

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 21 年 2 月 26 日 (2009.2.26)

【公表番号】特表 2002-519852 (P2002-519852A)

【公表日】平成 14 年 7 月 2 日 (2002.7.2)

【出願番号】特願 2000-556403 (P2000-556403)

【国際特許分類】

H 0 1 L 29/78 (2006.01)

【 F I 】

H 0 1 L 29/78 3 0 1 D

【誤訳訂正書】

【提出日】平成 20 年 12 月 25 日 (2008.12.25)

【誤訳訂正 1】

【訂正対象書類名】明細書

【訂正対象項目名】特許請求の範囲

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項 1】 ラテラル高電圧トランジスタであって、半導体 (1, 2) を有しており、該半導体は、一方の導電型の弱ドーピングされた半導体基板 (1) と、該半導体基板 (1) 上に設けられた、前記一方の導電型とは反対の他方の導電型のエピタキシャル層 (2)、ドレイン電極 (3)、ソース電極 (5)、ゲート電極 (7) 及び該ゲート電極 (7) の下側に設けられていて、前記エピタキシャル層 (2) 内に埋め込まれている一方の導電型の半導体ゾーン (4) から形成されているラテラル高電圧トランジスタにおいて、行及び列状にソース電極 (5) とドレイン電極 (3) との間のエピタキシャル層 (2) 内のトレンチ (8) が設けられており、該トレンチ (8) の壁は、一方の導電型のドーピング多結晶シリコン又は相応の酸化物の充填材を前記エピタキシャル層 (2) 内に拡散することによって、前記一方の導電型のドーピング材で高ドーピングされており、トレンチ (8) の各列間の間隔は、前記トレンチの前記各壁と他方の導電型の各領域との間に降伏電圧が達成される前に、エピタキシャル層内の他方の導電型の領域が空乏化されるような大きさに選定されていることを特徴とするラテラル高電圧トランジスタ。

【請求項 2】 トレンチ (8) は、行状にソース電極 (5) とドレイン電極 (3) との間で、エピタキシャル層 (2) の表面上でストライプ状に弱ドーピングされた一方の導電型の領域 (9) と結合されている請求項 1 記載のラテラル高電圧トランジスタ。

【請求項 3】 約 20 μm のエピタキシャル層 (2) の層厚の場合、トレンチ (8) の深さは約 18 μm であり、前記トレンチ (8) の直径は約 1 μm である請求項 1 又は 2 記載のラテラル高電圧トランジスタ。

【請求項 4】 トレンチ (8) の構造は、環状又は長く引き伸ばした楕円状に構成されており、その際、ドレイン電極 (3) は、真ん中に配設されている請求項 1 ~ 3 迄の何れか 1 記載のラテラル高電圧トランジスタ。

【誤訳訂正 2】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 0 4

【訂正方法】変更

【訂正の内容】

【0 0 0 4】

本発明によると、この課題は、行及び列状にソース電極とドレイン電極との間のエピタキシャル層内のトレンチが設けられており、該トレンチの壁は、一方の導電型のドーピン

グ多結晶シリコン又は相応の酸化物の充填材をエピタキシャル層内に拡散することによって、一方の導電型のドーピング材で高ドーピングされており、トレンチの各列間の間隔は、トレンチの各壁と他方の導電型の各領域との間に降伏電圧が達成される前に、エピタキシャル層内の他方の導電型の領域が空乏化されるような大きさに選定されていることにより解決される。

【誤訳訂正３】

【訂正対象書類名】明細書

【訂正対象項目名】００１４

【訂正方法】変更

【訂正の内容】

【００１４】

本発明によると、ソース電極用の端子領域５とドレイン電極用の端子領域３との間に、例えば、エピタキシャル層２内にエッチングにより形成されたトレンチ８及び該トレンチ８の壁が p^+ ドーピング物質、例えば、Bor、つまり、ホウ素で高ドーピングされている。これは、 p ドーピング多結晶シリコン又は相応の酸化物の充填材の拡散によって行うことができる。その際、トレンチ８は、列及び行状に配設されており（図２参照）、その際、行状に表面上で狭幅の p -導電型ストライプ９と相互に結合されている（図２の平面図に略示されている）。トレンチ８は、「浮遊」乃至電位なしで（既述のように）ストライプ９上に行状に相互に結合されている。