

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成21年2月26日(2009.2.26)

【公表番号】特表2002-519852(P2002-519852A)

【公表日】平成14年7月2日(2002.7.2)

【出願番号】特願2000-556403(P2000-556403)

【国際特許分類】

H 01 L 29/78 (2006.01)

【F I】

H 01 L 29/78 301D

【誤訳訂正書】

【提出日】平成20年12月25日(2008.12.25)

【誤訳訂正1】

【訂正対象書類名】明細書

【訂正対象項目名】特許請求の範囲

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項1】 ラテラル高電圧トランジスタであって、半導体(1,2)を有しており、該半導体は、一方の導電型の弱ドーピングされた半導体基板(1)と、該半導体基板(1)上に設けられた、前記一方の導電型とは反対の他方の導電型のエピタキシャル層(2)、ドレイン電極(3)、ソース電極(5)、ゲート電極(7)及び該ゲート電極(7)の下側に設けられていて、前記エピタキシャル層(2)内に埋め込まれている一方の導電型の半導体ゾーン(4)から形成されているラテラル高電圧トランジスタにおいて、行及び列状にソース電極(5)とドレイン電極(3)との間のエピタキシャル層(2)内のトレンチ(8)が設けられており、該トレンチ(8)の壁は、一方の導電型のドーピング多結晶シリコン又は相応の酸化物の充填材を前記エピタキシャル層(2)内に拡散することによって、前記一方の導電型のドーピング材で高ドーピングされており、トレンチ(8)の各列間の間隔は、前記トレンチの前記各壁と他方の導電型の各領域との間に降伏電圧が達成される前に、エピタキシャル層内の他方の導電型の領域が空乏化されるような大きさに選定されていることを特徴とするラテラル高電圧トランジスタ。

【請求項2】 トレンチ(8)は、行状にソース電極(5)とドレイン電極(3)との間で、エピタキシャル層(2)の表面上でストライプ状に弱ドーピングされた一方の導電型の領域(9)と結合されている請求項1記載のラテラル高電圧トランジスタ。

【請求項3】 約20μmのエピタキシャル層(2)の層厚の場合、トレンチ(8)の深さは約18μmであり、前記トレンチ(8)の直径は約1μmである請求項1又は2記載のラテラル高電圧トランジスタ。

【請求項4】 トレンチ(8)の構造は、環状又は長く引き伸ばした楕円状に構成されており、その際、ドレイン電極(3)は、真ん中に配設されている請求項1~3迄の何れか1記載のラテラル高電圧トランジスタ。

【誤訳訂正2】

【訂正対象書類名】明細書

【訂正対象項目名】0004

【訂正方法】変更

【訂正の内容】

【0004】

本発明によると、この課題は、行及び列状にソース電極とドレイン電極との間のエピタキシャル層内のトレンチが設けられており、該トレンチの壁は、一方の導電型のドーピン

グ多結晶シリコン又は相応の酸化物の充填材をエピタキシャル層内に拡散することによって、一方の導電型のドーピング材で高ドーピングされており、トレンチの各列間の間隔は、トレンチの各壁と他方の導電型の各領域との間に降伏電圧が達成される前に、エピタキシャル層内の他方の導電型の領域が空乏化されるような大きさに選定されていることにより解決される。

【誤訳訂正3】

【訂正対象書類名】明細書

【訂正対象項目名】0014

【訂正方法】変更

【訂正の内容】

【0014】

本発明によると、ソース電極用の端子領域5とドレイン電極用の端子領域3との間に、例えば、エピタキシャル層2内にエッティングにより形成されたトレンチ8及び該トレンチ8の壁がp⁺ドーピング物質、例えば、Bor、つまり、ホウ素で高ドーピングされている。これは、pドーピング多結晶シリコン又は相応の酸化物の充填材の拡散によって行うことができる。その際、トレンチ8は、列及び行状に配設されており(図2参照)、その際、行状に表面上で狭幅のp-導電型ストライプ9と相互に結合されている(図2の平面図に略示されている)。トレンチ8は、「浮遊」乃至電位なしで(既述のように)ストライプ9上に行状に相互に結合されている。