

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号  
特許第7519992号  
(P7519992)

(45)発行日 令和6年7月22日(2024.7.22)

(24)登録日 令和6年7月11日(2024.7.11)

(51)国際特許分類

F I

H 0 1 L	29/872 (2006.01)	H 0 1 L	29/86	3 0 1 F
H 0 1 L	29/06 (2006.01)	H 0 1 L	29/86	3 0 1 M
H 0 1 L	21/02 (2006.01)	H 0 1 L	29/86	3 0 1 E
H 0 1 L	29/861 (2006.01)	H 0 1 L	29/06	3 0 1 G
H 0 1 L	29/868 (2006.01)	H 0 1 L	29/06	3 0 1 V

請求項の数 10 (全23頁) 最終頁に続く

(21)出願番号 特願2021-515558(P2021-515558)

(86)(22)出願日 令和1年9月20日(2019.9.20)

(65)公表番号 特表2022-500878(P2022-500878  
A)

(43)公表日 令和4年1月4日(2022.1.4)

(86)国際出願番号 PCT/EP2019/075320

(87)国際公開番号 WO2020/058473

(87)国際公開日 令和2年3月26日(2020.3.26)

審査請求日 令和4年8月8日(2022.8.8)

(31)優先権主張番号 102018000008823

(32)優先日 平成30年9月21日(2018.9.21)

(33)優先権主張国・地域又は機関  
イタリア(IT)

(73)特許権者 516140753

エルファウンドリー エッセ・エッレ・  
エッレイタリア国 6 7 0 5 1 (ラクイラ)  
アベツァーノ ヴィア パチノッティ 7

(74)代理人 100108453

弁理士 村山 靖彦

(74)代理人 100110364

弁理士 実広 信哉

(74)代理人 100133400

弁理士 阿部 達彦

(72)発明者 シュミット カルステン

イタリア国 6 7 0 5 1 アベツァーノ  
ヴィア パチノッティ 7

(72)発明者 スピッツルスパーガー ゲルハルト

最終頁に続く

(54)【発明の名称】 半導体の垂直ショットキーダイオード及びその製造方法

(57)【特許請求の範囲】

【請求項1】

集積垂直ショットキーダイオードを備える半導体デバイス(300、400、500、600、700)であって、前記半導体デバイスが、

半導体材料製の基板(101)であって、表側面(101a)及び裏側面(101b')と、並びに前記基板内に形成された集積回路を有する、半導体材料製の基板(101)と、

前記基板(101)の表面部分に形成され、前記表側面(101a)に対向し、かつ第1の導電性を有する低濃度にドーピングされた領域(102)と、

前記低濃度にドーピングされた領域(102)における前記基板(101)の前記表側面(101a)に形成され、ショットキー接点を確立している第1の電極(111)と、

前記基板(101)の前記裏側面(101b')にあり、前記低濃度にドーピングされた領域(102)と接触しており、かつ第1の導電性を有する高濃度にドーピングされた領域(140)と、

前記高濃度にドーピングされた領域(140)における前記基板(101)の前記裏側面(101b')と電気的に接触して、オーミック接点を確立している第2の電極(160a)と、を備え、

前記基板(101)の前記表側面(101a)にある金属間誘電体層(120)、及び前記金属間誘電体層(120)内で、前記表側面(101a)の上方に配置された少なくとも1つの第1の表側金属相互接続層(121)と、

前記第1の表側金属相互接続層(121)内に画定され、前記表側面(101a)で利

10

20

用できる第1の電気接点をもたらし、前記金属間誘電体層(120)を貫通して延在している接点(115)を介して、前記第1の電極(111)と電氣的に接触している第1の相互接続パッド(121a)と、  
 前記第1の表側金属相互接続層(121)内に画定され、前記表側面(101a)で利用できる第2の電気接点をもたらす、第2の相互接続パッド(121b)と、  
 前記基板(101)の前記裏側面(101b')の上方にあるさらに別の金属間誘電体層(180)、および前記さらに別の金属間誘電体層(180)内に配置された少なくとも1つの第1の相互接続領域(170a、170b)を画定する第1の裏側金属相互接続層と、誘電体ライナ(161b)及び導電性充填部(161a)を含み、かつ前記低濃度にドーブされた領域(102)及び前記高濃度にドーブされた領域(140)を横方向に包囲して、電氣的分離をもたらしている、シリコン貫通ビア構造(162)と、をさらに備え、前記シリコン貫通ビア構造(162)が、  
 前記第2の相互接続パッド(121b)から、前記第2の電極(160a)と電氣的に接触している前記少なくとも1つの第1の相互接続領域(170a)まで延在し、前記シリコン貫通ビア構造(162)の前記導電性充填部(161a)が、前記第2の電極(160a)と前記第2の相互接続パッド(121b)との間の電氣的接触を確立している、  
 または、前記第1の相互接続パッド(121a)から第2の相互接続領域(170b)まで延在し、前記シリコン貫通ビア構造(162)の前記導電性充填部(161a)が、前記第1の電極(111)と前記第2の相互接続領域(170b)との間の電氣的接触を確立しており、これによって前記裏側面(101b')で利用できる第1の電気接点をもたらされている、

10

20

半導体デバイス(300、400、500、600、700)。

【請求項2】

前記金属間誘電体層(120)の上面(120a)に結合されたキャリアウェーハ(130)をさらに備える、請求項1に記載の半導体デバイス。

【請求項3】

前記第1の電極(111)が金属シリサイド層から形成されている、請求項1または2に記載の半導体デバイス。

【請求項4】

第1の導電型とは反対の第2の導電型によって構成され、前記低濃度にドーブされた領域(102)の周辺領域における前記基板(101)の前記表側面(101a)に配置されたガードリング(108)をさらに備える、請求項1から3のいずれか一項に記載の半導体デバイス。

30

【請求項5】

前記ガードリング(108)が前記第1の電極(111)とオーバーラップし、かつ接触しているか、又は前記第1の電極(111)と接触しておらず、フローティングしている、請求項4に記載の半導体デバイス。

【請求項6】

前記低濃度にドーブされた領域(102)における前記基板(101)の前記表側面(101a)に配置され、幅が同じであり、かつ等距離にある、前記第1の導電型とは反対の第2の導電型を有するドーブされた領域(109)のグリッド(188)をさらに備える、請求項1から5のいずれか一項に記載の半導体デバイス。

40

【請求項7】

前記基板(101)の前記裏側面(101b')から、前記低濃度にドーブされた領域(102)における前記基板(101)の前記表側面(101a)に形成されたシャロー・トレンチ・アイソレーション(104)まで延在している、誘電体材料から形成されたディープ・トレンチ・アイソレーション領域(106)をさらに備え、前記シャロー・トレンチ・アイソレーション(104)と前記ディープ・トレンチ・アイソレーション領域(106)とが、前記低濃度にドーブされた領域(102)及び前記高濃度にドーブされた領域(140)を共に横方向に包囲して、誘電体分離をもたらしている、請求項1から6

50

のいずれか一項に記載の半導体デバイス。

【請求項 8】

集積垂直ショットキーダイオードを備える半導体デバイス(300、400、500、600、700)を製造するための方法であって、前記方法が、  
半導体材料製の基板(101)であって、上になる表側面(101a)、及び前記表側面(101a)に対向している裏側面(101b)、並びに前記基板内に形成された集積回路を有する、半導体材料製の基板(101)を設け、前記基板(101)の表面部分に、前記表側面(101a)に対向し、かつ第1の導電性を有する、低濃度にドーパされた領域(102)を形成するステップと、

ショットキー接点を確立するように、前記低濃度にドーパされた領域(102)における前記基板(101)の前記表側面(101a)に第1の電極(111)を形成するステップと、

前記基板(101)の前記表側面(101a)に金属間誘電体層(120)を形成し、かつ前記金属間誘電体層(120)内で、前記表側面(101a)の上方に少なくとも1つの第1の表側金属相互接続層(121)を配置形成するステップと、

前記第1の表側金属相互接続層(121)内に、前記金属間誘電体層(120)を貫通して延在している接点(115)を介して、前記第1の電極(111)と電氣的に接触している第1の相互接続パッド(121a)を画定するステップと、

前記基板(101)を反転させ、その結果、前記表側面(101a)に対向している前記基板(101)の前記裏側面(101b)が上になるようにするステップと、

前記基板(101)を前記裏側面(101b)から薄肉化するステップと、

前記基板(101)の前記薄肉化された裏側面(101b')に、前記低濃度にドーパされた領域(102)と接触し、かつ第1の導電性を有する高濃度にドーパされた領域(140)を形成するステップと、

前記高濃度にドーパされた領域(140)における前記基板(101)の前記薄肉化された裏側面(101b')と電氣的に接触して、オーミック接点を確立するように、第2の電極(160a)を形成するステップと、を含み、

前記基板(101)の前記薄肉化された裏側面(101b')から前記第1の表側金属相互接続層(121)まで、前記基板(101)を貫通して延在しているシリコン貫通ビア構造(162)を形成するステップであって、前記シリコン貫通ビア構造(162)が、前記低濃度にドーパされた領域(102)及び前記高濃度にドーパされた領域(140)を横方向に包囲して、電氣的分離をもたらしている、ステップと、をさらに含む、

垂直ショットキーダイオードを備える半導体デバイス(300、400、500、600、700)を製造するための方法。

【請求項 9】

前記基板(101)を前記裏側面(101b)から薄肉化する前記ステップが、前記基板(101)の前記表側面(101a)にキャリアウエーハ(130)を結合するステップと、

前記基板(101)において、自身の前記裏側面(101b)を処理するステップと、

前記低濃度にドーパされた領域(102)を露出させ、かつ前記裏側面(101b')を画定するように、前記薄肉化するステップを実行するステップと、をさらに含む、

請求項 8 に記載の方法。

【請求項 10】

前記第2の電極(160a)を形成する前記ステップが、

前記裏側面(101b')に誘電体層(150)を形成するステップと、

前記高濃度にドーパされた領域(140)の当該領域で、前記誘電体層(150)に接点開口部(152)を貫通エッチングするステップと、

導電性領域で前記接点開口部(152)を充填することにより、前記第2の電極(160a)を構成するステップと、を含む、

請求項 9 に記載の方法。

10

20

30

40

50

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本解決策は、半導体の垂直ショットキーダイオード、及び対応する製造プロセスに関し、具体的には以下の開示は、相補型金属酸化膜半導体（CMOS）技術で製造される半導体の垂直ショットキーダイオードに言及するものである。

## 【背景技術】

## 【0002】

公知であるように、ショットキーダイオードは主としてスイッチング素子又は整流素子として使用され、この場合、一般的なPN接合ダイオードと比較して優れた高速スイッチング特性を有する、金属-半導体接合が用いられている。その理由としては、p-n接合ダイオードとは異なり、ショットキーダイオードに順方向電圧が印加された場合は少数キャリア注入が発生しないからであり、これはすなわち、ショットキーダイオードでは、電流は多数キャリアのみによって流れることを意味する。

10

## 【0003】

半導体のショットキーダイオードは当技術分野で広く見出されている。

## 【0004】

例えば図1は、概して100で表す、横方向ドリフト領域を有する典型的な集積高電圧ショットキーダイオードを示す（このタイプのダイオードについては、例えば米国特許出願公開2012/068297（A1）号明細書に開示されている）。ショットキーダイオード100は、半導体材料、具体的にはシリコン製の基板101内に形成されており、基板101は表側面101a及び裏側面101bを有し、これらは主として水平面xyに延在し、同水平面xyに直交する垂直方向zに沿って分離されている。第1の導電型、例えばn型の低濃度にドーピングされたウェル102が基板101の表面部分に形成され、表側面101aに当接しており（又は対向しており）、基板101は、第2の導電型のドーピング、当該例ではp型ドーピングを有する。基板101の表側面101aに形成されている、誘電体材料製のシャロー・トレンチ・アイソレーション領域104が、ショットキーダイオード100のアノード電極、カソード電極、及び本体電極間の空間的分離をもたらしている。

20

## 【0005】

具体的には、第1の電極、例えば低濃度にドーピングされたウェル102に形成されている金属シリサイド接点によって構成されるショットキーダイオード100のアノード電極111a（半導体のn型の導電性の場合）が、同低濃度にドーピングされたウェル102とのショットキー接点を確立している。シリサイド形成は、基板101の表側面101aに形成されているシリサイドブロック層110によって横方向にブロックされ、また、このシリサイドブロック層110内に開口部112が画定され、この開口部112を通して、金属シリサイド及び対応するショットキー接点領域が画定されている。

30

## 【0006】

ショットキー接点領域のエッジ部では通常、リークが増大しやすくなるため、第2の導電型（当該例では、p型）のドーピング領域であるガードリング108が、低濃度にドーピングされたウェル102におけるショットキー接点領域の周辺領域に形成される。低濃度にドーピングされたウェル102にオーミック金属接点を形成することにより、第2の電極、例えばショットキーダイオード100のカソード電極111cが確立される（この場合、n型導電性を有する）。これは、低濃度にドーピングされたウェル102における基板101の表側面101aに形成されている、高濃度にドーピングされた領域109に金属シリサイド接点を形成することによって達成される。高濃度にドーピングされた領域109は第1の導電型（n型）を有し、例えばイオン注入によって形成されている。図1には、2つのカソード電極111cを示しており、これらの電極はそれぞれのシャロー・トレンチ・アイソレーション領域104によって、横方向に画定されている。

40

## 【0007】

50

なお、当該半導体がn型である場合、金属/半導体接合のダイオードであるショットキーダイオードではいずれの場合も、金属側がアノードと呼ばれ、半導体側がカソードと呼ばれる。反対に、当該半導体がp型である場合（すなわち、低濃度にドーピングされたウェル102がp型導電性を有する場合）、ショットキーダイオードにおいて金属側がカソードを形成し、半導体側がアノードを形成する。

#### 【0008】

さらに、第2の導電型（p型）を有し、基板101の表側面101aにおいて、低濃度にドーピングされたウェル102の外側に形成されたさらに別の高濃度にドーピングされた領域107に、さらに別の金属シリサイド接点を形成することにより、基板（又は本体）電極111bが設けられている。高濃度にドーピングされた領域107、109は、シャロー・トレンチ・アイソレーション領域104によって分離されている。

10

#### 【0009】

多くの適用例において、ショットキーダイオード100が、例えば約30Vの降伏電圧など、逆方向バイアスの高電圧を維持できるようにすることが必要となる。そのような高い降伏電圧を得るために、アノード電極111a及びカソード電極111cが低濃度にドーピングされたウェル102において空間的に分離される必要があり、その分離長さを図1においてLdで表しており、ここで、Laはアノード電極111aの長さを表し、Lcはカソード電極111cの長さを表し、Lは、基板電極111bをさらに含む、ショットキーダイオード100の横方向（図1で、xy平面のx軸に沿った）の全長を表している。

#### 【発明の概要】

20

#### 【発明が解決しようとする課題】

#### 【0010】

集積ショットキーダイオードの重要な特性は、特定の順方向電流を供給するために必要な面積消費にある。特定のショットキーダイオード設計では、順方向電流はショットキー接点のサイズに依存する。ショットキーダイオードの面積効率は、ショットキーダイオードの総面積に対するショットキー接点領域の比率として定義され得る。図1から明らかのように、ショットキーダイオード100の面積効率は最適ではなく、これはダイオードが横方向の構成になっていることと、当該設計で指定された長さLa及びLcに対し、最適な設定値が存在することとに起因している。長さLaを、その最適値を超えて長くすると、ショットキーダイオードで不要な高直列抵抗が発生する結果となる。したがって、大きな順方向電流を供給するには、ショットキーダイオードの幅を（水平面xyのy軸に沿って）広くする必要があり、そうでない場合は、占有面積を多くとる必要があるいずれの場合も、マルチストライプ構造を使用する必要がある。

30

#### 【0011】

ショットキーダイオード100には、さらに不利な点がある。ガードリング108、低濃度にドーピングされたウェル102、及び基板101は、寄生バイポーラトランジスタを形成する。この寄生バイポーラトランジスタの電流利得によって、ショットキーダイオード100のショットキー特性が、所望の特性から著しく逸脱する恐れがある。また、ガードリング108は寄生容量を生じさせ、スイッチング性能を低下させる少数キャリア注入を引き起こす。ショットキー接点の長さLaには最適値があるため、ショットキーダイオード100の寄生容量を容易に低減することはできない。その上、図1に示すショットキーダイオード100は絶縁されていないので、電流が基板101に向かって流れる可能性もある。

40

#### 【0012】

図2は、200で表す別の典型的なショットキーダイオード構成を示しており、ショットキーダイオードはこの場合、垂直ドリフト領域を有する（このタイプのダイオードについては、例えば米国特許出願公開第2008/296722(A1)号明細書に開示されている）。

#### 【0013】

ショットキーダイオード200は図1のショットキーダイオード100とほぼ同様であ

50

るが（そのため、対応する要素を同じ参照符号で示しており、これについて再度述べることはしない）、第1の導電型（ $n$ 型）を有し、低濃度にドーピングされたウェル102の直下に形成され、かつこれと接触している高濃度にドーピングされた埋込層202を備える。

【0014】

この場合、ショットキーダイオード200のカソード電極111cにおける高濃度にドーピングされた領域109は、第1の導電型（ $n$ 型）を有し、垂直方向 $z$ に沿って延在する高濃度にドーピングされた接続領域203を介して、埋込層202に結合されている。高濃度にドーピングされた接続領域203は、様々な注入エネルギーで一連の高線量注入を行うことによって形成されてもよい。高濃度にドーピングされた接続領域203は、通常「シンカー」と呼ばれている。この場合、低濃度にドーピングされたウェル102は、2つのカソード電極111cに対応する2つの高濃度にドーピングされた接続領域203によって、横方向に画定されている。

10

【0015】

ショットキーダイオード200では、垂直構成になっていることより、ショットキー接点領域の長さ $L_a$ を非常に長くすることができる。

【0016】

順方向バイアスでは、電流は低濃度にドーピングされたウェル102を通過して垂直方向に流れ、高濃度にドーピングされた埋込領域202に到達する。高濃度にドーピングされた埋込領域202は電流を収集し、これらの電流は、次いで同高濃度にドーピングされた埋込層202を通過して横方向に流れ、高濃度にドーピングされた接続領域203に到達し、そこからカソード接点111cに到達する。逆方向バイアスでは、印加電圧は、低濃度にドーピングされたウェル102の空乏化領域を横切って、垂直方向に降下する。

20

【0017】

ショットキーダイオード200を垂直ドリフト構成にすることにより、図1のショットキーダイオード100の面積効率と比較して、より高い面積効率を得られる。ただし、埋込層202と高濃度にドーピングされた接続領域203とは、ショットキーダイオード200の直列抵抗を増大させる。ショットキー接点長さ $L_a$ が長いほど、高濃度にドーピングされた埋込層202に関連して生じる直列抵抗が大きくなる。結果として、ここでも長さ $L_a$ の最適値が存在しており、ショットキーダイオード200の面積効率を制限している。

【0018】

半導体のショットキーダイオードに関するさらに別の公知の解決策が米国特許第7002187(B1)号明細書に開示されており、ここでは、エピタキシャル（エピ）層に形成されたショットキーダイオードを開示している。このエピ層が成長する基板内に、 $N+$ 埋込チャンネルが形成されている。この $N+$ 埋込チャンネルは、ショットキーダイオードのカソードを形成しているエピ層に配置された、金属電極に結合されている垂直酸化金属スロットによってアクセスされている。同じくエピ層に配置されたさらに別の金属電極が、ショットキーダイオードのアノードを形成している。接合部の曲率が高いことに起因してエッジ部のリークが増大するという課題を解決するために、エピ層内に横方向に $P+$ ガードリングが形成されている。

30

【0019】

また、この公知の解決策では、 $N+$ 埋込層が寄生直列抵抗を生じさせ、その値はショットキー接点領域の横方向寸法が増加するにつれて大きくなっている。

40

【課題を解決するための手段】

【0020】

本発明の目的は、半導体のショットキーダイオードに関する改良された解決策を提供することであり、これによって、例えば面積効率、製造コスト、及び電氣的性能の点で、公知の解決策の制限を克服することができるようになる。

【0021】

本解決策によれば、添付の特許請求の範囲で定義しているように、結果として半導体CMOSベースの垂直ショットキーダイオードデバイス及び対応する製造プロセスが提供さ

50

れる。

【 0 0 2 2 】

本発明がより良好に理解されるように、その好ましい実施形態を、ここで単に非限定的な例として、添付の図面を参照しながら説明する。

【図面の簡単な説明】

【 0 0 2 3 】

【図 1】公知の半導体のショットキーダイオードの断面図である。

【図 2】別の公知の半導体のショットキーダイオードを示す断面図である。

【図 3】本解決策の第 1 の実施形態による、半導体の垂直ショットキーダイオードの断面図である。

【図 4】本解決策による半導体の垂直ショットキーダイオードのさらに別の実施形態を示す断面図である。

【図 5】本解決策による半導体の垂直ショットキーダイオードのさらに別の実施形態を示す断面図である。

【図 6】本解決策による半導体の垂直ショットキーダイオードのさらに別の実施形態を示す断面図である。

【図 7】本解決策による半導体の垂直ショットキーダイオードのさらに別の実施形態を示す断面図である。

【図 8 A】対応する製造プロセスの後続のステップにおける、図 3 の半導体の垂直ショットキーダイオードの断面図である。

【図 8 B】対応する製造プロセスの後続のステップにおける、図 3 の半導体の垂直ショットキーダイオードの断面図である。

【図 8 C】対応する製造プロセスの後続のステップにおける、図 3 の半導体の垂直ショットキーダイオードの断面図である。

【図 8 D】対応する製造プロセスの後続のステップにおける、図 3 の半導体の垂直ショットキーダイオードの断面図である。

【図 8 E】対応する製造プロセスの後続のステップにおける、図 3 の半導体の垂直ショットキーダイオードの断面図である。

【図 8 F】対応する製造プロセスの後続のステップにおける、図 3 の半導体の垂直ショットキーダイオードの断面図である。

【図 8 G】対応する製造プロセスの後続のステップにおける、図 3 の半導体の垂直ショットキーダイオードの断面図である。

【図 8 H】対応する製造プロセスの後続のステップにおける、図 3 の半導体の垂直ショットキーダイオードの断面図である。

【図 8 I】対応する製造プロセスの後続のステップにおける、図 3 の半導体の垂直ショットキーダイオードの断面図である。

【図 8 J】対応する製造プロセスの後続のステップにおける、図 3 の半導体の垂直ショットキーダイオードの断面図である。

【図 8 K】対応する製造プロセスの後続のステップにおける、図 3 の半導体の垂直ショットキーダイオードの断面図である。

【発明を実施するための形態】

【 0 0 2 4 】

以下で詳述しているように、本解決策の一態様は、基板の薄肉化された裏側面に本ショットキーダイオードのオーミック金属（カソード）接点を形成することを想定しており、この接点は、同基板の表側面に確立されたショットキー（アノード）接点とは対向している。ショットキー接点とオーミック接点とは水平面でほぼ同じサイズであり、これらはその間にある低濃度にドーピングされた基板によって、垂直方向に分離されている。表側面のショットキー接点は、標準の CMOS プロセスによって形成されている。薄肉化された裏側面の電気接点は、シリコン貫通ビア（Through Silicon Via: TSV）構造によって、表側面の配線（導電性相互接続体）でも利用できるようになり、このシリ

10

20

30

40

50

コン貫通ビア構造は、本ショットキーダイオードを横方向に包囲しており、その結果、完全な誘電体分離をさらにもたらししている。

【 0 0 2 5 】

図 3 は、標準の CMOS 技術で製造された、本解決策の第 1 の実施形態による、集積高電圧垂直ショットキーダイオード 3 0 0 を示す。

【 0 0 2 6 】

ショットキーダイオード 3 0 0 は、表側面を 1 0 1 a とする半導体基板に形成され、ここでもこれを 1 0 1 で表している（図 3 及び以降の図では、対応する要素を再度同じ参照符号で表している）。基板 1 0 1 は、好ましくはシリコンウェーハ、又はエピタキシャルシリコン層である。基板 1 0 1 の表面部分に、表側面 1 0 1 a に対向し、かつ第 1 の導電型（例えば、n 型）を有する、低濃度にドーピングされた領域（いわゆるウェル）1 0 2 が形成され、これに対して基板 1 0 1 は、当該例では p 型である第 2 の導電型を有する（ただし、n 型ドーピングを使用することもでき、また他の半導体材料を使用することもできる）。

10

【 0 0 2 7 】

低濃度にドーピングされたウェル 1 0 2 における基板 1 0 1 の表側面 1 0 1 a に金属領域 1 1 1 が形成されて、低濃度にドーピングされたウェル 1 0 2 とのショットキー接点を画定している。

【 0 0 2 8 】

好ましい実施形態では、金属領域 1 1 1 は金属シリサイド層、好ましくはコバルトシリサイド層であり、公知であるように、多くの CMOS プロセスでは、ソース及びドレインの接触抵抗を低減するためにコバルトシリサイドを使用しているため、本材料をショットキーダイオード 3 0 0 の形成に容易に利用することができる（いずれの場合でも、他の金属又は金属シリサイドを同様に使用することができる）。

20

【 0 0 2 9 】

多くの CMOS プロセスでは、シリコン又はポリシリコンのシリサイド化は、不要となる位置でブロックされ得る。これは、表側面 1 0 1 a にシリサイドブロック層 1 1 0 を堆積させることによって達成され、このシリサイドブロック層 1 1 0 に対し、フォトマスクング・エッチング・ステップによって開口部 1 1 2 が貫通形成されて、低濃度にドーピングされたウェル 1 0 2 でシリサイド化が起こる表面領域を画定している。シリサイドブロック層 1 1 0 は通常、酸化シリコン層、又は酸化シリコン層と窒化シリコン層とから構成された積層である。

30

【 0 0 3 0 】

金属領域 1 1 1 のエッジ部において、基板 1 0 1 の表面部分にガードリング 1 0 8 が形成されている。ガードリング 1 0 8 は、低濃度にドーピングされたウェル 1 0 2 とは反対の導電型を有するドーピングされた領域であり、当該例では第 2 の導電型（p 型）を有する。ガードリング 1 0 8 は、注入ステップ及び後続のアニーリングステップによって形成されてもよい。図 3 の実施形態では、ガードリング 1 0 8 は金属領域 1 1 1 とオーバーラップしている。

【 0 0 3 1 】

コバルトシリサイド領域のエッジ部には、多くの場合、多数の表面準位及び表面トラップが存在し、これによってリークレベルの上昇が起こり得、また、逆方向バイアスが印加されると、周囲領域におけるコバルトシリサイドの曲率に起因して、この位置で高電場も発生し得ることが知られている。ガードリング 1 0 8 により、コバルトシリサイド領域のエッジ部から生じるショットキーダイオード 3 0 0 のリークが効果的に低減される。ガードリング 1 0 8 が第 2 の導電型のドーピングを有するので、低濃度にドーピングされたウェル 1 0 2 との間に p - n 接合が形成される。

40

【 0 0 3 2 】

標準の CMOS プロセスと同様に、基板 1 0 1 の表側面 1 0 1 a に、いくつかの誘電体層及び導電体相互接続層を含む CMOS 層スタックが配置される。簡潔さを期すために、

50

図3では、金属間誘電体層120と、金属間誘電体層120内に配置された単一の金属相互接続層121（第1の金属相互接続層）とを示している（ただし、当業者には明らかとなるように、誘電体層によって分離されるさらに別の金属層が、通常は想定される）。第1の金属相互接続層121は、タングステン、アルミニウム、又は銅などの導電性材料から作製されており、金属間誘電体層120は酸化シリコン又は他の誘電体材料、好ましくは比誘電率の低い誘電体材料から作製されている。

【0033】

金属間誘電体層120内に形成され、垂直方向zに延在する電気接点115は、金属領域111と、第1の金属相互接続層121内に形成された第1の相互接続パッド121aとの間の結合を確立している。図3に示すように、接点115は、ガードリング8がコバルトシリサイド領域とオーバーラップしている位置にさらに形成されてもよい。

10

【0034】

具体的には、金属領域111は、ショットキーダイオード300の第1の電極、当該例ではアノード電極を構成しており、また、接点115及び第1の相互接続パッド121aは、例えば同基板101内に集積回路を形成することにより（ここでは図示せず）、適切な電気接続経路を介して、ショットキーダイオード300の表側面からこのアノード電極にアクセスできるようにしている。

【0035】

前述したように、図3には、1つの相互接続層（第1の金属相互接続層121）のみを示しているが、複数の金属相互接続層と対応するビアとを使用することもでき、一般的である。

20

【0036】

本解決策の一態様によれば、標準のCMOSソリューションとは異なり、最終金属相互接続レベルにはボンディングパッド又はパンピングパッドが形成されず、代わりに金属間誘電体層120の上面120aが、キャリアウェーハ130に結合されている。キャリアウェーハ130はさらに別のシリコンウェーハ、又は標準のCMOS処理に対応できる、異なるタイプの材料で作製されたウェーハであってもよい。具体的には、金属間誘電体層120とキャリアウェーハ130との間に永久結合が形成されている（任意の公知の方法で行われるもので、ここでは詳述しない）。

【0037】

以下でもさらに詳述しているように、キャリアウェーハ130を設けることにより、基板101は裏側面から薄肉化され（すなわち、表側面101aの反対側の裏側面から開始して）、その結果、101b'で表す薄肉化された裏側面でウェル102が露出するようになる（すなわち、ウェル102の厚さは、薄肉化された基板101の厚さに相当する）。

30

【0038】

低濃度にドーパされたウェル102の領域内のこの裏側面101b'に浅く、高濃度にドーパされた領域140が形成される。高濃度にドーパされた領域140は、第1の導電型、当該例ではn型を有する。

【0039】

例えば酸化シリコンから形成されている誘電体層150が裏側面101b'に配置され、その際、高濃度にドーパされた領域140の領域内に裏側接点開口部が形成される。この裏側接点開口部は、例えばタングステン、アルミニウム又は銅から形成された導電性領域で充填され、これによってショットキーダイオード300の第2の電極、当該例ではカソード電極160aを形成して、高濃度にドーパされた領域140とのオーミック接点を画定している。

40

【0040】

ショットキーダイオード300のカソード電極160aを、基板101の表側面101a及びその上に形成された電氣的相互接続体が（例えば、同基板101内に形成された集積回路が）利用できるようにするために、シリコン貫通ビア（TSV）構造162が形成されている。

50

## 【 0 0 4 1 】

シリコン貫通ビア構造 1 6 2 は誘電体層 1 5 0 の底面から、基板 1 0 1 の全厚を通して第 2 の相互接続パッド 1 2 1 b まで延在し、この第 2 の相互接続パッド 1 2 1 b は、第 1 の相互接続パッド 1 2 1 a と同じ第 1 の金属相互接続層 1 2 1 内に形成されている。

## 【 0 0 4 2 】

シリコン貫通ビア構造 1 6 2 は、タングステン、アルミニウム又は銅（カソード電極 1 6 0 a と同じ材料であってもよいし、異なる材料であってもよい）のような導電性材料から形成された導電性充填部 1 6 1 a を含み、また、例えば酸化シリコンから形成された誘電体ライナ 1 6 1 b がこの導電性充填部 1 6 1 a を包囲し、かつ導電性ビアを基板 1 0 1 から電氣的に分離している。こうして、シリコン貫通ビア構造 1 6 2 の導電性充填部 1 6 1 a と第 2 の相互接続パッド 1 2 1 b との間の電氣的接触が確立される。

10

## 【 0 0 4 3 】

さらに、裏側面 1 0 1 b ' の上方に（具体的には、誘電体層 1 5 0 に）配置された、第 1 の相互接続層 1 7 0 内に形成されている第 1 の相互接続領域 1 7 0 a が、カソード電極 1 6 0 a とシリコン貫通ビア構造 1 6 2 の導電性充填部 1 6 1 a との間の電氣的結合を確立している。このようにして、裏側面 1 0 1 b ' に形成されたショットキーダイオード 3 0 0 のカソード電極 1 6 0 a を、基板 1 0 1 の表側面 1 0 1 a に形成された配線が利用できるようにしている。

## 【 0 0 4 4 】

図 3 では、裏側面に 1 つの相互接続層のみを示しており、この相互接続層に第 1 の相互接続領域 1 7 0 a が形成されている。ただし、通常、それぞれの金属間誘電体層 1 8 0 内により多くの相互接続層が対応するビアと共に形成され得、又は必要とさえされ、これらは酸化シリコン又は異なる誘電体材料から作製され得る。

20

## 【 0 0 4 5 】

図 3 に示す実施形態では、ショットキーダイオード 3 0 0 はシリコン貫通ビア構造 1 6 2 によって横方向に包囲され（低濃度にドーブされたウェル 1 0 2 は、同シリコン貫通ビア構造 1 6 2 まで横方向に延在し、かつ同構造によって包囲されている）、その結果、シリコン貫通ビア構造 1 6 2 によって包囲されている基板領域全体が、同基板 1 0 1 の外部領域から電氣的に絶縁される。ガードリング 1 0 8 は、金属領域 1 1 1 からシリコン貫通ビア構造 1 6 2 まで横方向に延在している。また、高濃度にドーブされた領域 1 4 0 はシリコン貫通ビア構造 1 4 2 まで横方向に延在し、これにより、シリコン貫通ビア 1 6 2 によって画定されているエンクロージャ内部で、裏側面 1 0 1 b ' 全体に高濃度にドーブされた領域 1 4 0 が配置されるようになっている。

30

## 【 0 0 4 6 】

したがって、図 3 に示す実施形態では、シリコン貫通ビア構造 1 6 2 は、ショットキーダイオード 3 0 0 のカソード接点を基板 1 0 1 の表側面 1 0 1 a に導くだけでなく、本ショットキーダイオードに誘電体分離（例えば、同基板 1 0 1 内に形成されたさらに別の集積回路から）をもたらすように動作している。

## 【 0 0 4 7 】

シリコン貫通ビア構造 1 6 2 がショットキーダイオード 3 0 0 を包囲しているので、第 2 の相互接続パッド 1 2 1 b も第 1 の相互接続パッド 1 2 1 a を包囲しており、このために、少なくとも第 2 の相互接続レベル（図 3 には図示せず）が設けられ、これにより、ショットキーダイオード 3 0 0 のアノード及びカソードを集積回路が利用できる状態になってもよい。

40

## 【 0 0 4 8 】

動作中、カソード電極 1 6 0 a に対してアノード電極 1 1 1 に正電圧が印加されると、同アノード電極 1 1 1 とカソード電極 1 6 0 a との間で、低濃度にドーブされたウェル 1 0 2 を通って電流が流れる。この電流フローは実質的に垂直方向フローである。順方向電流の量は、ショットキーダイオード 3 0 0 の直列抵抗にも依存する。このショットキーダイオード 3 0 0 の直列抵抗は、低濃度にドーブされたウェル 1 0 2 の直列抵抗、裏側面の

50

オーミック接点の直列抵抗、及び関係するすべての金属相互接続体の直列抵抗によって得られる。カソード電極 160a に対してアノード電極 111 に負電圧が印加されると、この印加電圧がショットキーダイオード 300 の降伏電圧よりも低いならば、リーク電流のみが流れることになる。そのような逆方向バイアス状態では、低濃度にドーブされたウェル 102 は部分的に、又は完全に空乏化して、印加された静電ポテンシャルは空乏化領域全体で低下する。アノード電極 111 及びカソード電極 160a は薄肉化された基板 101 を挟んで対向する位置に配置されるので、等位面分布はほぼ平坦になり、シリコン表面に平行となる。ショットキーダイオード 300 の降伏電圧は、低濃度にドーブされたウェル 102 のドーピング濃度及びドーピング厚さに依存し、このドーピング厚さは、薄肉化された後の基板 101 の厚さに等しい。

10

【0049】

なお、図 3 では、L a はアノード電極 111 の長さを表し、L c はカソード電極 160a の長さを表し、L d は垂直ドリフト領域の長さを表している。

【0050】

図 4 は、本解決策の代替実施形態を示す。

【0051】

ここでは 400 で表す本ショットキーダイオードは、ガードリング 108 が金属領域 111 と（すなわち、アノード電極と）全くオーバーラップしていないという点でのみ、図 3 のショットキーダイオード 300 と異なっている。ガードリング 108 は、ショットキーダイオード 300 のアノードへの電氣的結合を有することなく、フローティング状態でシリサイドブロック層 110 の下に配置されている。本実施形態では、ガードリング 108 と金属領域 111 との間の間隔が広すぎない場合は、ガードリング 108 は依然として、逆方向バイアス状態でのコバルトシリサイド領域のエッジ部の電場を低減する助けとなっている。ただし、ショットキーダイオード 400 のフローティングガードリング 108 は、コバルトシリサイド層のエッジ部に多数の表面準位又は表面トラップが存在していることから生じるリーク電流を低減する手段をもたしていない。フローティングガードリング 108 を設ける利点は、一方で図 3 の実施形態では形成されている並列 p - n 接合ダイオードが、ショットキーダイオード 400 の周辺領域に全く形成されないことである。したがって、本ショットキーダイオードの特性が、寄生 p - n 接合ダイオードの存在によって損なわれることがなくなる。ショットキーダイオード 400 では、ショットキーダイオード 300 と比較して少数キャリア注入が減少し、また寄生容量も減少する。

20

30

【0052】

図 5 は、本解決策のさらに別の実施形態を示す。ここでは 500 で表す本ショットキーダイオードは、低濃度にドーブされたウェル 102 における基板 101 の表側面 101a に、第 2 の導電型（p 型）を有するドーブされた領域 109 のグリッド 188 が形成されているという点でのみ、図 3 に示す実施形態と異なっている。このドーブされた領域 109 のグリッド 188 は、ガードリング 108 と共に形成されてもよい（例えば、同じ注入ステップで）。これらのドーブされた領域 109 の幅は同じであり、水平面 x y において等距離にある。別のグリッドレイアウトを検討することもでき、例えば、コバルトシリサイド領域が円形状である場合、ドーブされた領域 109 は、同コバルトシリサイド領域の中心に沿って同心円状のリングを形成することができる。

40

【0053】

カソード電極 160a に対してアノード電極 111 に負電圧が印加されると、グリッド 188 のドーブされた領域 109 は、低濃度にドーブされたウェル 102 の空乏化を助長する。その結果、逆方向リーク電流が減少する。

【0054】

ドーブされた領域 109 のグリッド 188 は、ショットキーダイオード 500 に並列の p - n 接合ダイオードを構成している。カソードに対してアノードに正電圧が印加され、その正電圧がショットキーダイオード 500 のターンオン電圧よりも高く、この p - n 接合ダイオードの作りつけ電圧よりも低い場合、その順方向電流は、ショットキーダイオー

50

ド500の特性によって大部分が決まるようになる。ただし、ショットキーダイオード500がショットキーダイオード300と同じサイズである場合、その順方向電流は、図3のショットキーダイオード300の順方向電流と比較して少なくなる。印加された正電圧が上記のp-n接合ダイオードの作りつけ電圧よりも高い場合、並列p-n接合ダイオードが順方向電流に寄与することになる。その場合、この順方向特性は、純粋なショットキーダイオードの順方向特性から逸脱する。低バイアス状態の場合、ショットキーダイオード500の $I_{on}/I_{off}$ 比は改善するが、面積消費が増大し、スイッチング性能が低下する可能性がある。

【0055】

図6は、本解決策のさらに別の代替実施形態を示す。

10

【0056】

ここでは600で表す本ショットキーダイオードは、ショットキーダイオード600のアノード電極111及びカソード電極160aを、基板101の薄肉化された裏側面101b'に形成された配線(電気接続体)が利用できるようになってきているという点で、図3に示すショットキーダイオード300とは異なっている。

【0057】

したがって、本実施形態ではシリコン貫通ビア構造162は、アノード電極111を基板101の裏側面に導くために使用されている。第1の相互接続パッド121aは、ここではアノード電極111のコバルトシリサイド層に形成された接点115と、シリコン貫通ビア構造162の導電性充填部161aとの間の電氣的結合を実現している。第1の相互接続領域170aが、ここでもカソード電極160aと接触した状態で、裏側面101b'に配置され、さらに、シリコン貫通ビア構造162の導電性充填部161aと接触した状態で、同裏側相互接続層170内に第2の相互接続領域170bが形成されている。

20

【0058】

なお、ショットキーダイオード600のアノード及びカソードを基板101の裏側面の配線が利用できるようにするために、少なくとも第2の金属相互接続層が裏側面に設けられてもよい(その方法については示していないが、当業者には明らかであろう)。

【0059】

CMOS製造プロセスでは、基板101の表側面101aだけでなく、同基板101の裏側面101b'にも配線を形成できるため、いくつかの例では、アノード電極111及びカソード電極160aの両方を、同裏側面101b'に形成された配線が利用できるようにすると、実際有用であり得る。また、本ショットキーダイオードのアノード電極111を基板101の表側面の配線が利用できるようにし、また、カソード電極160aを、同基板101の裏側面に形成された配線が利用できるようにすることを検討してもよい。この構成(ここでは図示せず)では、シリコン貫通ビア構造162の機能は、本ショットキーダイオードを横方向に誘電体分離することのみであってもよく、その場合、同シリコン貫通ビア構造162は、基準電圧(接地)に電氣的に設定されるか、又はフローティングのままにされ得る。

30

【0060】

図7は、本解決策のさらに別の代替実施形態を示す。

40

【0061】

ここでは700で表す本ショットキーダイオードは、ディープ・トレンチ・アイソレーション106によって包囲されているという点で、図3に示すショットキーダイオード300とは異なっている。

【0062】

ディープ・トレンチ・アイソレーション106は、基板101の裏側面101b'から表側面101aに向かって延在するトレンチをエッチングし、かつこのトレンチを誘電体材料、例えば酸化シリコンで充填することによって形成される。ディープ・トレンチ・アイソレーション106は、基板101の裏側面101b'から、基板101の表側面101aに形成されたシャロー・トレンチ・アイソレーション104まで(同図7に示すように)

50

延在してもよい。シャロー・トレンチ・アイソレーションは、標準のCMOSプロセスでは一般的である。

【0063】

低濃度にドーパされたウェル102はディープ・トレンチ・アイソレーション106まで延在し、その結果、ディープ・トレンチ・アイソレーション106によって包囲された基板領域全体が低濃度にドーパされたウェルのドーピングを有するようになっている。ガードリング108は、アノード電極111からシャロー・トレンチ・アイソレーション104まで横方向に延在している。さらに、高濃度にドーパされた領域140はディープ・トレンチ・アイソレーション106まで横方向に延在し、その結果、ディープ・トレンチ・アイソレーション・エンクロージャ内部の裏側面101b'全体にわたり、高濃度にドーパされた領域140が配置されている。

10

【0064】

この場合、ショットキーダイオード700は、誘電体分離を通じ、ディープ・トレンチ・アイソレーション・エンクロージャによって基板101に形成された他のデバイスから横方向に分離される。本代替実施形態では、シリコン貫通ビア構造162の機能は、ショットキーダイオード700のカソード電極160aを、基板101の表側面101aに配置された配線が利用できるようにすることのみであり、すなわち本代替実施形態では、シリコン貫通ビア構造162によって、ショットキーダイオード700が横方向に誘電体分離されてはいない。

【0065】

ここで、図3のショットキーダイオード300の製造プロセスについてさらに詳述する（なお、当業者には明らかであるように、前述した代替実施形態のそれぞれの製造プロセスは、これから述べるものと実質的に異なってはいない）。

20

【0066】

なお、本製造プロセスはまた、本出願人の名の下に、欧州特許第2913847(B1)号明細書に開示されたプロセスステップ（本明細書で参照している）に一部基づいている。

【0067】

図8Aに示すように、本製造プロセスの第1のステップは、表側面101a及び裏側面101bを含む基板101を有する、半導体材料製のウェーハを設けることを想定している。基板101の厚さT1は、例えば数百マイクロメートルであってもよい。基板101は、半導体材料、一例として第2の導電型、例えばp型を有するシリコンなどの半導体材料から作製されており、また、基板101は、シリコンウェーハ上で成長したエピタキシャル層であってもよく、例えば基板101は、高濃度にドーパされたシリコンウェーハ上で成長した、p型導電性を有する低濃度にドーパされたシリコンエピタキシャル層であってもよい。

30

【0068】

次に、低濃度にドーパされたウェル102が基板101の表面部分に、その表側面101aに対向した状態で形成される。低濃度にドーパされたウェル102は、マスク注入及び後続のアニリングによって形成され、第1の導電型（n型）を有する。ただし、ウェル102のp型ドーピング（第2の導電型のドーピング）も同様に想定されてもよく、低濃度にドーパされたウェル102のドーピングと基板101のドーピングとは反対の導電型のものであってもよいし、又は同じ導電型のものであってもよい。低濃度にドーパされたウェル102の表側面101aでのドーピング濃度は、例えば $1e^{15}/\text{cm}^3 \sim 1e^{17}/\text{cm}^3$ であり、より好ましくは、表側面101aでのドーピング濃度は、 $5e^{15}/\text{cm}^3 \sim 5e^{16}/\text{cm}^3$ である。低濃度にドーパされたウェル102の深さをT2で表し、このT2は、同じ垂直方向zにおける基板101の深さよりも浅い。

40

【0069】

通常、ドーピング型とドーピングレベルとが適切である場合、ショットキー接点を同じ基板101上に確立することもできる。より高いリチャードソン係数を得ることができるため、n型ドーピングが好ましい。通常、所望のショットキー特性を得るためには、光ド

50

ーピングが必要になる。

【0070】

続いて、図8Bに示すように、低濃度にドーブされたウェル102における表側面101aにガードリング108が形成される。ガードリング108は、図8Bに示すように、低濃度にドーブされたウェル102の周辺エッジ部に位置合わせされてもよい。ガードリング108は、低濃度にドーブされたウェル102とは反対の導電型を有する。低濃度にドーブされたウェル102が第1の導電型を有する好ましい実施形態では、ガードリング108は第2の導電型を有する。ガードリング108の深さは、低濃度にドーブされたウェル102の深さよりもはるかに浅い。ガードリング108は、標準のCMOSプロセスで利用可能なソース/ドレイン注入と共に形成され得る。その後、図8Cに示すように、

10

【0071】

n型若しくはp型ウェル上の金属又は金属シリサイドから形成されるショットキー障壁高さが適切である場合、低濃度にドーブされたウェル102に配置される他の金属又は金属シリサイドでもショットキーダイオードが形成され得る。

20

【0072】

図示している実施形態では、同図8Cに示すように、アノード電極111はガードリング108上にオーバーラップしている。

【0073】

ここで図8Dを参照すると、CMOS層スタック(適切な数の誘電体層及び導電体相互接続層を含む)を形成するように、基板101の表側面101aでさらなる処理ステップが実行される。

30

【0074】

具体的には、アノード電極111のコバルトシリサイド層から第1の金属相互接続層121内に形成された第1の相互接続パッド121a間を延在する接点115が、金属間誘電体層120内に形成される。

【0075】

第2の相互接続パッド121bも同様に、後続形成されるシリコン貫通ビア構造162用のランディングパッドとして、同第1の金属相互接続層121内に形成される(以下に述べているように)。考察中の実施形態では、シリコン貫通ビア構造162がショットキーダイオード300を包囲しているため、第2の相互接続パッド121bも同様に、第1の相互接続パッド121aを横方向に包囲して取り囲み、例えば同第1の相互接続パッド121aに沿ってリングを形成している。第2の相互接続パッド121bの幅は、後続形成されるシリコン貫通ビア構造162の幅よりも広がっている。標準のCMOSプロセスの場合と同様に、いくつかの金属相互接続層とビアとが金属間誘電体120内に形成されてもよい。

40

【0076】

標準のCMOSプロセスとは異なり、表側面のプロセスステップ終了後、金属間誘電体層120の上面120aに、最終金属相互接続層でボンディングパッドを形成する作業を行っていない。上面120aは酸化シリコンから作製されており、また実質的に平面状であり、これは化学機械研磨によって達成されている。

【0077】

50

次に、図 8 E に示すように、基板 101 が反転し（すなわち、裏側面 101 b が上になり、表側面 101 a が下になる）、そして金属間誘電体層 120 の上面 120 a はキャリアウエーハ 130 に結合される。

【0078】

キャリアウエーハ 130 は、半導体ウエーハ、又は CMOS 製造要件に対応できる、異なる材料製のウエーハであってもよい。上面 120 a とキャリアウエーハ 130 との間で永久結合が達成されている（永久結合を達成する実行可能な方法については、例えば欧州特許第 2913847 (B1) 号明細書に記載されているが、そのような結合を達成する任意の公知の方法が同様に用いられてもよい）。

【0079】

次に、図 8 F に示すように、裏側面から材料を除去することにより、基板 101 が裏側面 101 b から薄肉化される。この薄肉化ステップにより、基板 101 の厚さは厚さ T1 から厚さ T3 まで薄くなる。この薄肉化プロセスは、バックグラインド、エッチング、及び化学機械研磨を組み合わせる（この場合も、薄肉化作業を実行できる方法については、欧州特許第 2913847 (B1) 号明細書に記載されている）。薄く均一な厚さ T3 が達成され得る。結果として得られる薄肉化された裏側面 101 b'（結果として得られる薄肉化された基板 101 の実際の裏側面を画定する）は、実質的に平面状である。この厚さ T3 は、例えば  $1.5 \mu\text{m} \sim 15 \mu\text{m}$  である。この厚さ T3 を、低濃度にドーピングされたウェル 102 の厚さ T2 よりも薄くする必要がある。このようにして、低濃度にドーピングされたウェル 102 が、薄肉化された裏側面 101 b' で露出するようになる（ショットキーダイオード 300 が適切なドーピングでエピタキシャル層内に形成される場合、本要件は適用されない）。

【0080】

ここで図 8 G を参照すると、低濃度にドーピングされたウェル 102 の薄肉化された裏側面 101 b' に浅く、高濃度にドーピングされた領域 140 が形成されている。この浅く、高濃度にドーピングされた領域 140 は、レジストマスクの注入と、それに続くレーザ熱アニーリングによって形成される（処理の詳細については、この場合も欧州特許第 2913847 (B1) 号明細書で確認できる）。

【0081】

同図 8 G に示すように、高濃度にドーピングされた領域 140 は低濃度にドーピングされたウェル 102 に位置合わせされてもよい。高濃度にドーピングされた領域 140 の薄肉化された裏側面 101 b' でのドーピングレベルにより、低濃度にドーピングされたウェル 102 へのオーミック接触が金属堆積で得られるようにしている。

【0082】

その後、図 8 H に示すように、酸化シリコン又は他の誘電体材料で作製された誘電体層 150 が、基板 101 の薄肉化された裏側面 101 b' 上に堆積される。次に、薄肉化された裏側面 101 b' の誘電体層 150 の上部からシリコン貫通ビア (TSV) 開口部 151 がエッチングされ、シリサイドブロック層 110 まで延在する。次に、エッチングされた TSV 開口部 151 内に誘電体ライナ 161 b が堆積され、その後、同 TSV 開口部 151 の底部で、第 2 の相互接続パッド 121 b が露出するようになるまでエッチングが続行される。

【0083】

図 8 I に示すように、誘電体層 150 内に裏側接点開口部 152 がエッチングされ、その結果、高濃度にドーピングされた領域 140 が露出する。この裏側接点開口部 152 は、その全体が高濃度にドーピングされた領域 140 内にある。結果として得られる表面 140 a にオーミック金属接点が形成されるのに十分高いドーピング濃度が同表面 140 a で得られるように、オーバーエッチングの実施を非常に低程度に抑える必要がある。

【0084】

ここで図 8 J を参照すると、シリコン貫通ビア開口部 151、及び裏側接点開口部 152 は導電性材料、例えばアルミニウム、タングステン又は銅（これらの導電性材料には、

10

20

30

40

50

それ自体が公知の接着層及びバリア層が含まれ得る)で充填され、これにより、シリコン貫通ビア構造162の導電性充填部161a(これによって形成される)と、同時にショットキーダイオード300のカソード電極160aとの両方が形成される。好ましくは、金属形成の後には化学機械研磨が続く。既に述べているように、裏側接点開口部152内に金属を堆積させることにより、裏側面から、低濃度にドーブされたウェル102上にオーミック金属接点が形成される。

#### 【0085】

図8Kに示すように、例えばアルミニウム又は銅から作製された第1の相互接続層170が裏側面101b'、具体的には誘電体層150に形成されている。次に、第1の相互接続層170は、第1の相互接続領域170aを形成するようにパターン化され、これによってシリコン貫通ビア構造162とカソード電極160aとの間に電氣的結合が確立される。より多くの金属相互接続層とビアとを同裏側面101b'に付加することで、同裏側面101b'に適切な接続パターンが形成され得る。第1の相互接続層170は、金属間誘電体180内に配置されている。金属間誘電体180は酸化シリコン、又はポリイミド、若しくはベンゾシクロブテンなどのようなスピンオン誘電体であってもよい。

10

#### 【0086】

続いて、裏側最終金属相互接続層でボンディングパッド又はバンピングパッド(ここでは図示せず)が形成され、ショットキーダイオード300のアノード電極111及び/又はカソード電極160aに(並びに/又は基板101内に形成されたさらに別の集積回路に)好適に結合され、これにより、これらの電気信号を外部が利用できるようにしている(これらのパッド190の形成はそれ自体が公知であるため、本明細書では詳述していない)。

20

#### 【0087】

提案している解決策によって達成が可能となる利点は、前述の開示から明らかである。

#### 【0088】

具体的には、同じ薄肉化された基板101の両側に本ショットキーダイオードのアノード電極111及びカソード電極160aを形成することにより、高い面積効率が達成され得る。裏側金属配線と、シリコン貫通ビアが必要となることとによって付加される直列抵抗は、例えば埋込層やシンカーなどによって生じる寄生直列抵抗と比較して小さくなる。提案している本ショットキーダイオードでは、同アノード電極111及びカソード電極160aのサイズに何ら基本的な限界がない。シリコン貫通ビア構造162の面積消費は、典型的にはシンカー構造の面積消費よりも少ない。

30

#### 【0089】

面積消費が少なく、直列抵抗が小さいという利点に加えて、提案している本高電圧ショットキーダイオードには次の付加的利点があり、これらの利点はすなわち、

- 寄生バイポーラトランジスタが存在せず(本ショットキーダイオードの電氣的特性が、寄生バイポーラトランジスタの動作によって損なわれることはない)、
- 基板電流が極めて小さく(完全な誘電体分離による)、
- 逆方向バイアスでのエッジ部のリークが低減する(逆方向バイアスでの等電位面分布がほぼ平坦になり、このことが、ショットキー領域のエッジ部の電場を低減する助けとなっていることに起因して)、ということである。

40

#### 【0090】

さらに、提案している本ショットキーダイオードを適切にレイアウトすることにより、少数キャリア注入と寄生容量とを最小限に抑えることができる。ガードリング108は、当該デバイスに寄生容量を生じさせ、少数キャリア注入を引き起こす可能性がある。少数キャリア注入が増大すると、スイッチング用途でのダイオードの逆方向回復時間が長くなる。提案している本ショットキーダイオードのレイアウトは、面積対外周比が大きくなるように選択され得る。例えば、このレイアウトは円形状、正形状、又はほぼ正形状となるように選択され得る。このようにして、特定のショットキー領域におけるガードリングの総面積を最小限に抑えることができる。その結果、提案している本ショットキーダイ

50

オードのスイッチング損失は低減されている。

【 0 0 9 1 】

本製造プロセスは、C M O S 処理の標準のステップを想定しているため、複雑性やコストが削減されている。提案している本集積ショットキーダイオードにおいて面積効率が高まり、なおかつ直列抵抗が減少していることは、さらなるコスト上の利点につながっていく。

【 0 0 9 2 】

最後に、添付の特許請求の範囲で定義しているように、本明細書に記載し、かつ図示したものに対する修正及び変形を、これらによって本発明の範囲から逸脱せずになすことができることは明らかである。

10

20

30

40

50

【図面】  
【図 1】

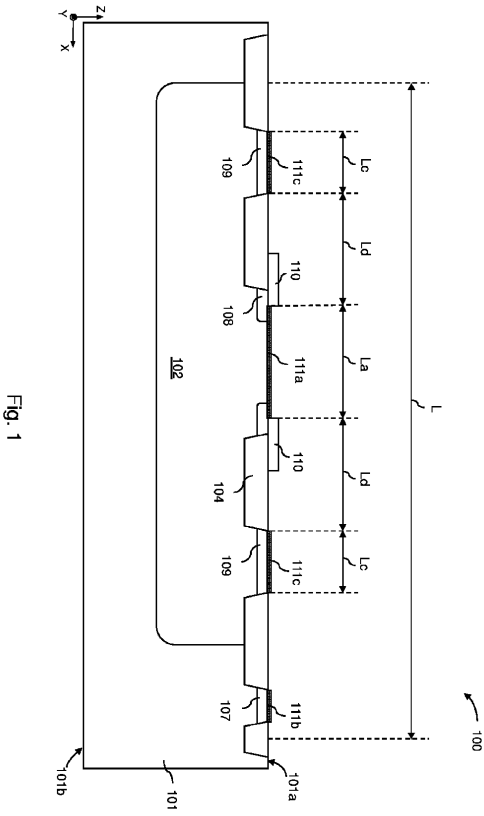


Fig. 1

【図 2】

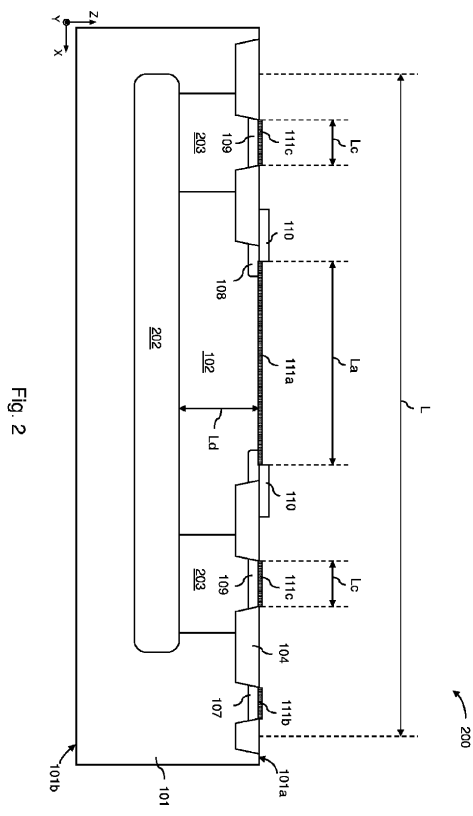


Fig. 2

【図 3】

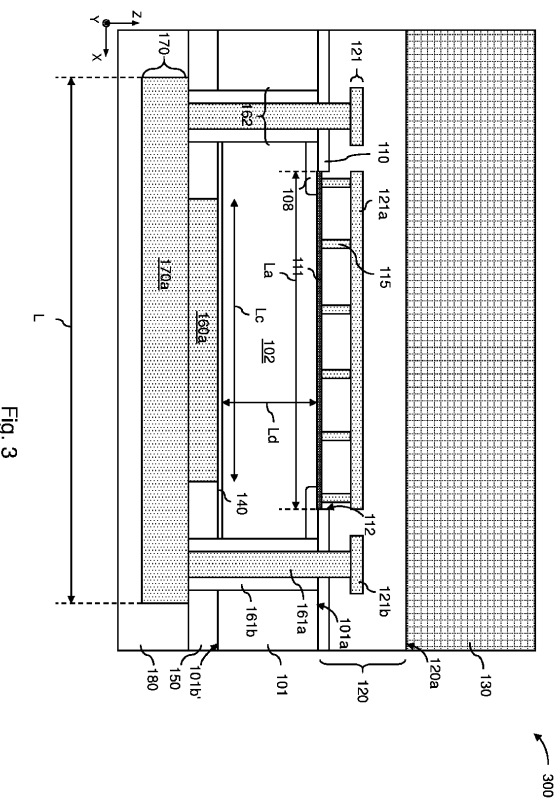


Fig. 3

【図 4】

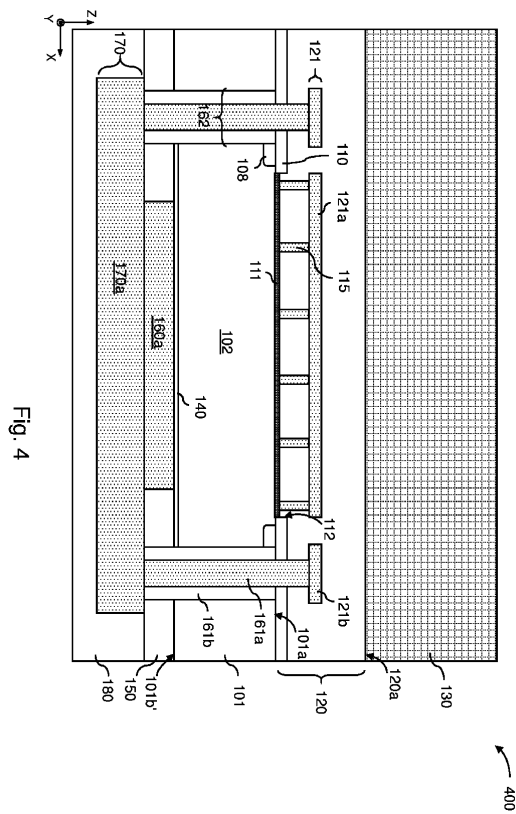


Fig. 4

10

20

30

40

50

【 5 】

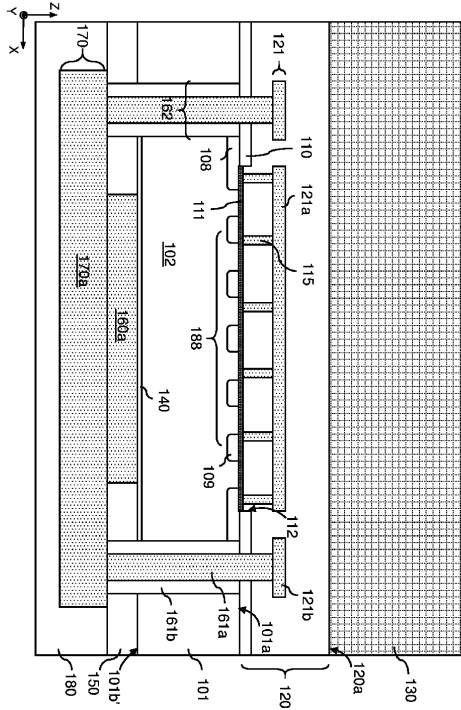


Fig. 5

500

【 6 】

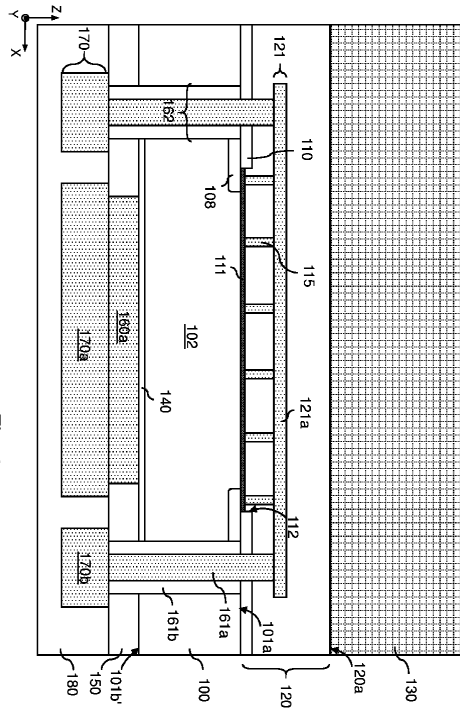


Fig. 6

600

【 7 】

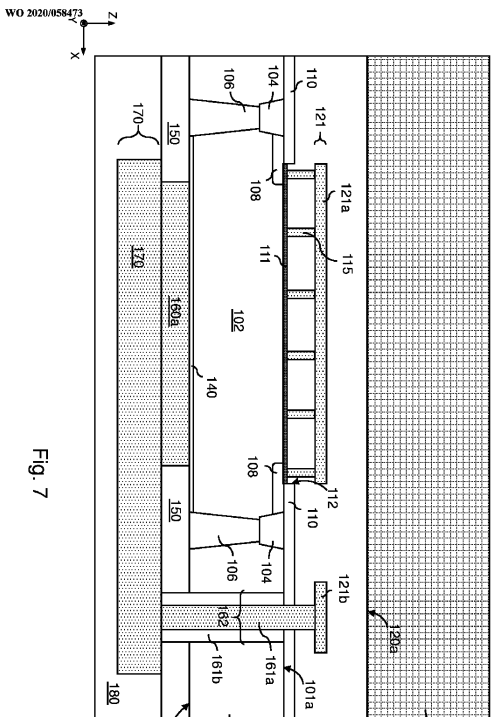


Fig. 7

700

【 8 A 】

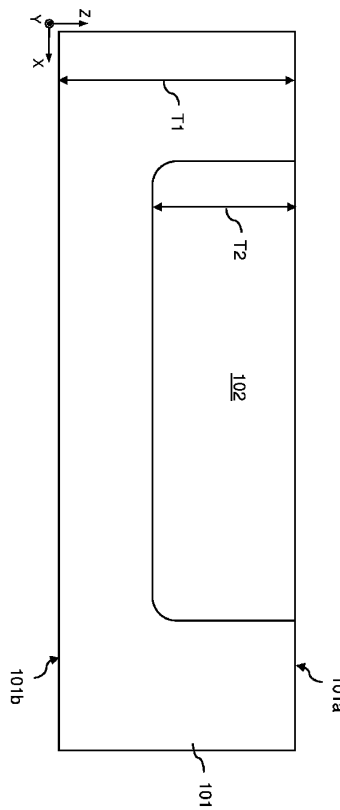


Fig. 8A

10

20

30

40

50

【 8 B 】

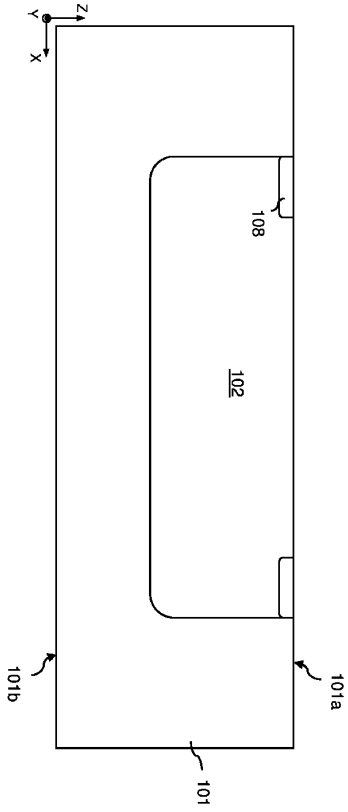


Fig. 8B

【 8 C 】

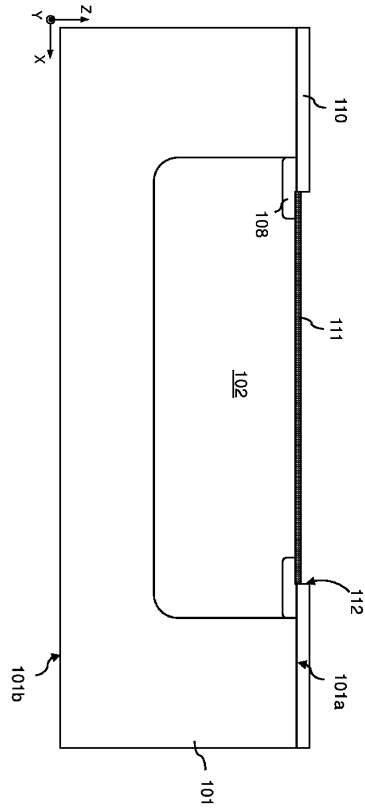


Fig. 8C

【 8 D 】

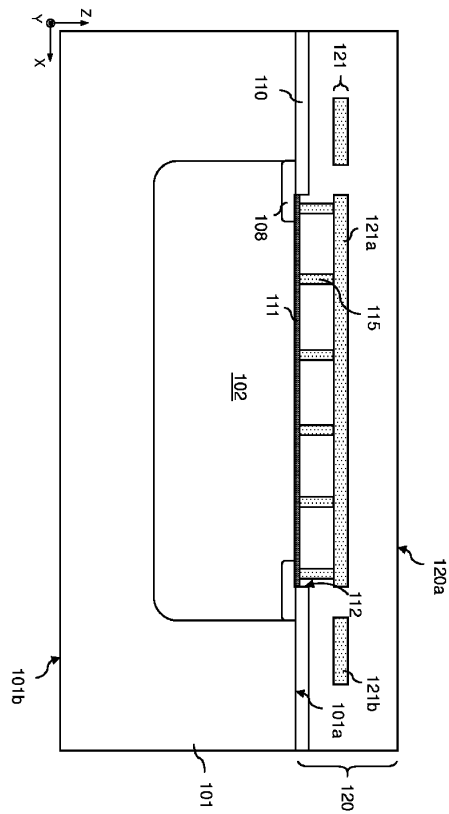


Fig. 8D

【 8 E 】

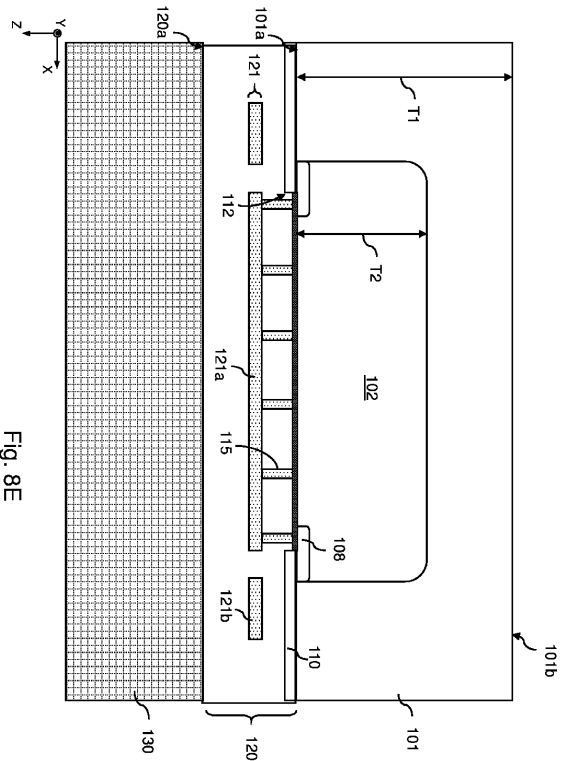


Fig. 8E

10

20

30

40

50

【 8 F 】

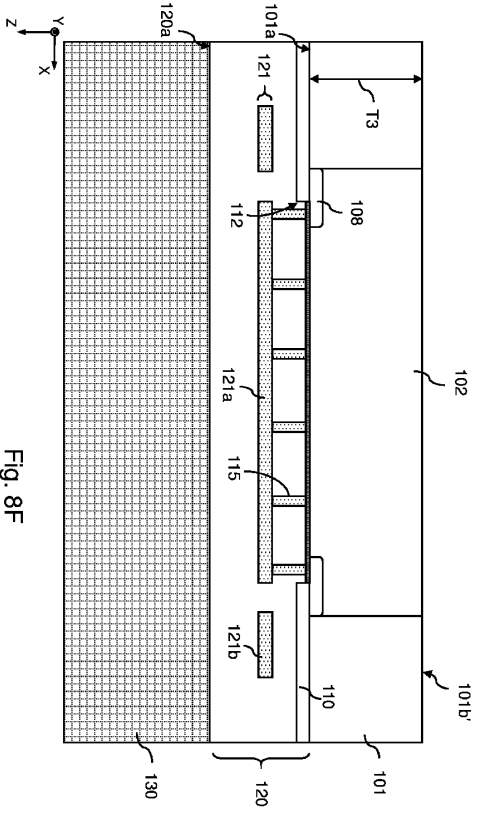


Fig. 8F

【 8 G 】

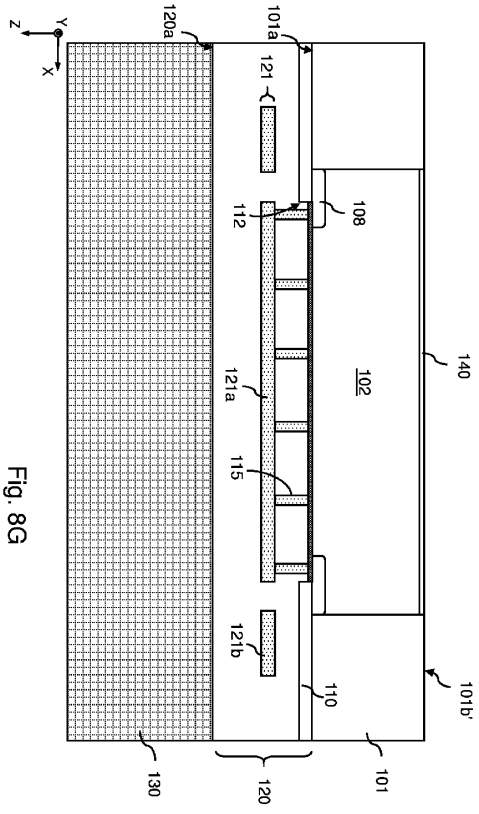


Fig. 8G

【 8 H 】

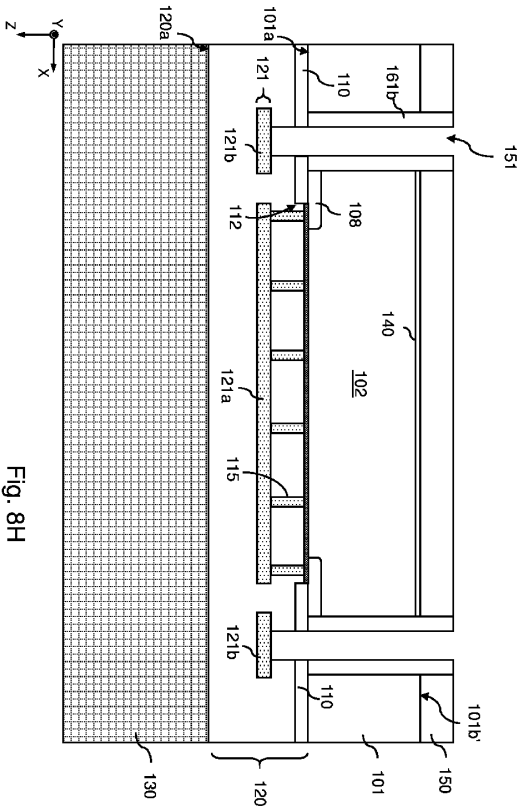


Fig. 8H

【 8 I 】

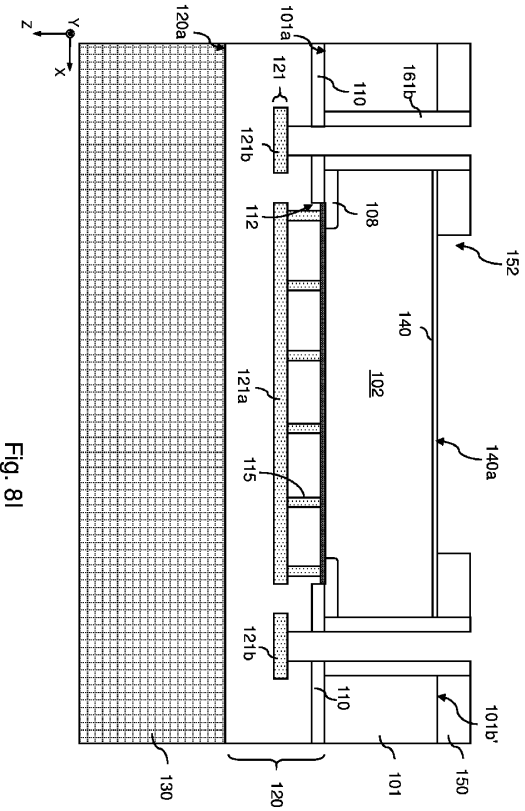


Fig. 8I

10

20

30

40

50

【 8 J 】

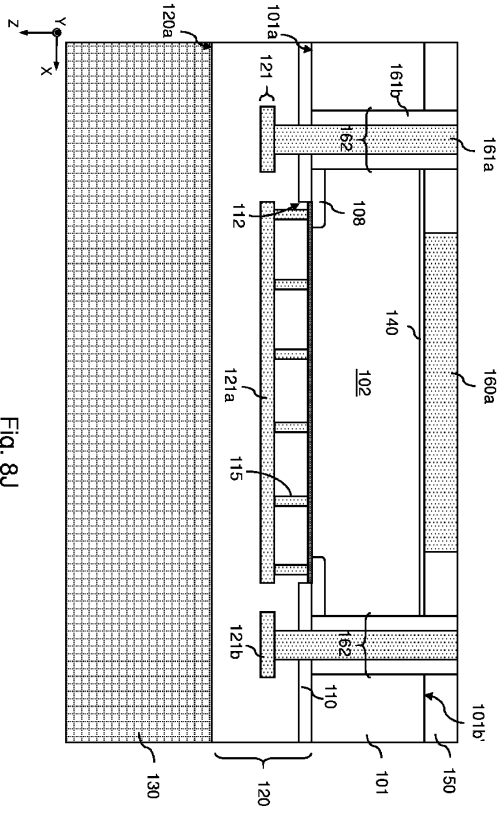


Fig. 8J

【 8 K 】

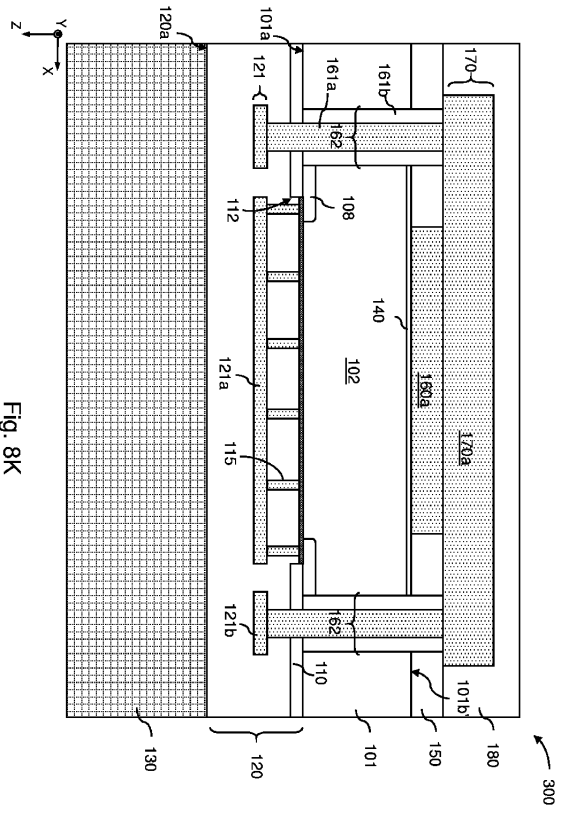


Fig. 8K

10

20

30

40

50

## フロントページの続き

(51)国際特許分類	F I
H 0 1 L 21/329(2006.01)	H 0 1 L 21/02 B
H 0 1 L 21/768(2006.01)	H 0 1 L 29/91 K
H 0 1 L 23/522(2006.01)	H 0 1 L 29/86 3 0 1 P
H 0 1 L 21/28 (2006.01)	H 0 1 L 21/90 D
	H 0 1 L 21/28 3 0 1 S

イタリア国 6 7 0 5 1 アベッツァーノ ヴィア パチノッティ 7

審査官 杉山 芳弘

- (56)参考文献 特開2007-317839(JP,A)  
 特開2009-064977(JP,A)  
 国際公開第2013/007705(WO,A1)  
 特開2008-166705(JP,A)  
 特開2012-231019(JP,A)  
 特開2015-207780(JP,A)  
 特表2017-507494(JP,A)

- (58)調査した分野 (Int.Cl., DB名)
- H 0 1 L 2 9 / 8 7 2
  - H 0 1 L 2 1 / 3 2 0 5
  - H 0 1 L 2 9 / 0 6
  - H 0 1 L 2 1 / 0 2
  - H 0 1 L 2 9 / 8 6 1
  - H 0 1 L 2 1 / 3 2 9
  - H 0 1 L 2 1 / 7 6 8
  - H 0 1 L 2 1 / 2 8
  - H 0 1 L 2 1 / 5 2 2