

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年1月6日(06.01.2022)



(10) 国際公開番号

WO 2022/004289 A1

(51) 国際特許分類:
H04N 5/378 (2011.01)

(21) 国際出願番号: PCT/JP2021/021636

(22) 国際出願日: 2021年6月7日(07.06.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-115934 2020年7月3日(03.07.2020) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).

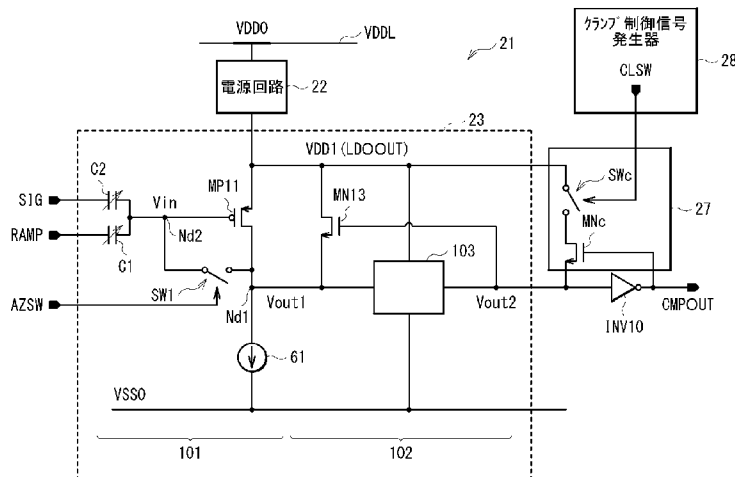
(72) 発明者: 長谷川 雅子 (HASEGAWA, Masako); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). カンチャナウィロゲン パリット (KANJANAVIROJKUL, Parit); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号 さわだビル3階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) Title: LIGHT DETECTION DEVICE AND ELECTRONIC INSTRUMENT

(54) 発明の名称: 光検出装置、および電子機器



22 Power source circuit

28 Clamp control signal generator

(57) Abstract: A light detection device according to the present disclosure comprises: first-stage amplifier circuits that are provided to each pixel row of a plurality of pixels, and that are capable of outputting a first output signal in accordance with a comparison operation based on a pixel signal and a reference signal; a plurality of AD conversion units that include comparison circuits, which are connected to the first-stage amplifier circuits and have second-stage amplifier circuits capable of outputting a second output signal in accordance with the first output signal output by the first-stage amplifier circuits, and that perform AD conversion of the pixel signal on the basis of the second output signal; a plurality of clamp circuits that are provided to the respective comparison circuits of the plurality of AD conversion units, that have switches that perform ON/OFF control on the basis of a clamp control signal, and that are capable of selectively clamping the voltage of the second output signal from the second-stage amplifier circuits by switching the switches to the ON state;

BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

and a control signal generation unit that generates a clamp control signal for each of the plurality of clamp circuits.

(57) 要約: 本開示の光検出装置は、複数の画素の各画素列ごとに設けられ、画素信号および参照信号に基づく比較動作に応じた第1の出力信号を出力可能な第1段アンプ回路と、第1段アンプ回路に接続され、第1段アンプ回路から出力された第1の出力信号に応じた第2の出力信号を出力可能な第2段アンプ回路とを有する比較回路を含み、第2の出力信号に基づいて画素信号のA/D変換を行う複数のA/D変換部と、複数のA/D変換部のそれぞれの比較回路に対して設けられ、クランプ制御信号に基づいてオンオフ制御されるスイッチを有し、スイッチがオン状態になることにより、第2段アンプ回路からの第2の出力信号の電圧を選択的にクランプすることが可能な複数のクランプ回路と、複数のクランプ回路のそれぞれに対するクランプ制御信号を生成する制御信号発生部とを備える。

明 細 書

発明の名称：光検出装置、および電子機器

技術分野

[0001] 本開示は、光を検出可能な光検出装置、およびそのような光検出装置を備えた電子機器に関する。

背景技術

[0002] 画素が受光量に応じた画素信号を生成し、A D (Analog to Digital) 変換回路がその画素信号をデジタルコードに変換する光検出装置がある。光検出装置は例えば撮像装置に適用される。特許文献1には、ランプ波形を有する信号、および画素信号に基づいてA D変換を行う撮像装置が開示されている。また、特許文献1には、C D S (Correlated Double Sampling : 相関2重サンプリング) 法によって画素信号に含まれるノイズを低減し、画質を高める技術が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第2018/159343号

発明の概要

[0004] さらに画質の向上を図ることが可能な技術の開発が望まれている。

[0005] 画質の向上を図ることが可能となる光検出装置、および電子機器を提供することが望ましい。

[0006] 本開示の一実施の形態に係る光検出装置は、マトリックス状に配置され、それぞれが画素信号を生成可能な複数の画素と、参照信号を生成可能な参照信号生成部と、複数の画素の各画素列ごとに設けられ、画素信号および参照信号に基づく比較動作に応じた第1の出力信号を出力可能な第1段アンプ回路と、第1段アンプ回路に接続され、第1段アンプ回路から出力された第1の出力信号に応じた第2の出力信号を出力可能な第2段アンプ回路とを有する比較回路を含み、第2の出力信号に基づいて画素信号のA D変換を行う複

数のAD変換部と、複数のAD変換部のそれぞれの比較回路に対して設けられ、クランプ制御信号に基づいてオンオフ制御されるスイッチを有し、スイッチがオン状態になることにより、第2段アンプ回路からの第2の出力信号の電圧を選択的にクランプすることが可能な複数のクランプ回路と、複数のクランプ回路のそれぞれに対するクランプ制御信号を生成する制御信号発生部とを備える。

[0007] 本開示の一実施の形態に係る電子機器は、光検出装置を含み、光検出装置を、上記本開示の一実施の形態に係る光検出装置によって構成したものである。

[0008] 本開示の一実施の形態に係る光検出装置、または電子機器では、複数のAD変換部のそれぞれにおける比較回路において、第1段アンプ回路から画素信号および参照信号に基づく比較動作に応じた第1の出力信号が出力され、第2段アンプ回路から第1の出力信号に応じた第2の出力信号が出力される。複数のAD変換部のそれぞれの比較回路において、第2段アンプ回路からの第2の出力信号の電圧は、クランプ回路によって選択的にクランプすることが可能となる。

図面の簡単な説明

[0009] [図1]本開示の一実施の形態に係る撮像装置の一構成例を表すブロック図である。

[図2]一実施の形態に係る撮像装置における画素の一構成例を表す回路図である。

[図3]一実施の形態に係る撮像装置における読出部の一構成例を表すブロック図である。

[図4A]一実施の形態に係る撮像装置における比較部の一構成例を、部分的に簡略化して示したブロック図である。

[図4B]一実施の形態に係る撮像装置における比較部の一構成例を表すブロック図である。

[図5]クランプ回路の第1の変形例を示す回路図である。

[図6] クランプ回路の第2の変形例を示す回路図である。

[図7] クランプ回路の論理ゲートの入出力に関する真理値表の一例を示す説明図である。

[図8] AD変換ゲインとクランプ機能との関係の一例を示す説明図である。

[図9] 一実施の形態に係る撮像装置の一実装例を表す説明図である。

[図10] 一実施の形態に係る撮像装置の他の実装例を表す説明図である。

[図11] カラムAにおいて、クランプ回路のスイッチをオフにした場合の比較部の動作状態の一例を示す回路図である。

[図12] カラムBにおいて、クランプ回路のスイッチをオフにした場合の比較部の動作状態の一例を示す回路図である。

[図13] クランプ回路のスイッチをオフにした場合における比較部の信号出力状態の一例を、信号値を絶対値として示したタイミング波形図である。

[図14] クランプ回路のスイッチをオフにした場合における比較部の信号出力状態の一例を、信号値をAZレベルからの変動成分として示したタイミング波形図である。

[図15] カラムAにおいて、クランプ回路のスイッチをオンにした場合の比較部の動作状態の一例を示す回路図である。

[図16] カラムBにおいて、クランプ回路のスイッチをオンにした場合の比較部の動作状態の一例を示す回路図である。

[図17] クランプ回路のスイッチを所定のタイミングでオンにした場合における比較部の信号出力状態の一例を、信号値を絶対値として示したタイミング波形図である。

[図18] クランプ回路のスイッチを所定のタイミングでオンにした場合における比較部の信号出力状態の一例を、信号値をAZレベルからの変動成分として示したタイミング波形図である。

[図19A] 変形例1に係る比較部の一構成例を、部分的に簡略化して示した回路図である。

[図19B] 変形例1に係る比較部の一構成例を概略的に示す回路図である。

[図20]変形例2に係る比較部の一構成例を概略的に示す回路図である。

[図21]変形例2に係る撮像装置における読出部の周辺部の一構成例を表すブロック図である。

[図22]変形例2に係る撮像装置における照度計測処理の一例を概略的に示す流れ図である。

[図23]変形例2に係る撮像装置における撮像処理の一例を概略的に示す流れ図である。

[図24]撮像装置の使用例を表す説明図である。

[図25]車両制御システムの概略的な構成の一例を示すブロック図である。

[図26]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

[図27]応用例に係る測距装置の一構成例を表すブロック図である。

[図28]図27に示した光検出部の一構成例を表すブロック図である。

[図29]図28に示した画素の一構成例を表す回路図である。

[図30]図27に示した測距装置の一動作例を表す波形図である。

発明を実施するための形態

[0010] 以下、本開示の実施の形態について図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 一実施の形態（光検出装置を適用した撮像装置）
 1. 1 構成（図1～図10）
 1. 2 動作および作用（図11～図18）
 1. 3 効果
 1. 4 変形例（図19A、図19B、図20～図23）
2. 撮像装置の使用例（図24）
3. 移動体への応用例（図25～図26）
4. 測距装置への応用例（図27～図30）
5. その他の実施の形態

[0011] <1. 一実施の形態（光検出装置を適用した撮像装置）>

本開示の一実施の形態に係る電子機器は、本開示の一実施の形態に係る光検出装置を含むものであり、例えば、スマートフォン、デジタルカメラ、ビデオカメラ、ノート型パーソナルコンピュータなどが該当する。

[0012] ここでは、本開示の一実施の形態に係る光検出装置を撮像装置に適用した場合を例に説明する。

[0013] [1. 1 構成]

図1は、一実施の形態に係る光検出装置を適用した撮像装置1の一構成例を表すものである。撮像装置1は、画素アレイ11と、駆動部12と、参照信号生成部13と、読出部20と、信号処理部14と、撮像制御部15とを備えている。

[0014] 画素アレイ11は、マトリックス状に配置された複数の画素Pを有している。画素Pは、受光量に応じた画素電圧 V_{pix} を生成するように構成される。

[0015] 図2は、撮像装置1における画素Pの一構成例を表すものである。画素アレイ11は、複数の制御線TGLと、複数の制御線RSTLと、複数の制御線SELLと、複数の信号線VSLとを有している。制御線TGLは、水平方向（行方向、図2における横方向）に延伸し、一端が駆動部12に接続される。この制御線TGLには、駆動部12により制御信号STGが供給される。制御線RSTLは、水平方向に延伸し、一端が駆動部12に接続される。この制御線RSTLには、駆動部12により制御信号SRSTが供給される。制御線SELLは、水平方向に延伸し、一端が駆動部12に接続される。この制御線SELLには、駆動部12により制御信号SSELが供給される。信号線VSLは、垂直方向（列方向、図2における縦方向）に延伸し、一端が読出部20に接続される。この信号線VSLは、画素Pが生成した信号SIGを読出部20に伝える。水平方向（図1, 2において横方向）に並設された1行分の複数の画素Pは、画素ラインLを構成する。

[0016] 画素Pは、フォトダイオードPDと、トランジスタTGと、フローティングディフュージョンFDと、トランジスタRST, AMP, SELとを有している。トランジスタTG, RST, AMP, SELは、この例ではN型の

MOS (Metal Oxide Semiconductor) トランジスタである。

- [0017] フォトダイオードPDは、受光量に応じた量の電荷を生成し、生成した電荷を内部に蓄積する光電変換素子である。フォトダイオードPDのアノードは接地され、カソードはトランジスタTGのソースに接続される。
- [0018] トランジスタTGのゲートは制御線TGLに接続され、ソースはフォトダイオードPDのカソードに接続され、ドレインはフローティングディフュージョンFDに接続される。
- [0019] フローティングディフュージョンFDは、フォトダイオードPDからトランジスタTGを介して転送された電荷を蓄積するように構成される。フローティングディフュージョンFDは、例えば、半導体基板の表面に形成された拡散層を用いて構成される。図2では、フローティングディフュージョンFDを、容量素子のシンボルを用いて示している。
- [0020] トランジスタRSTのゲートは制御線RSTLに接続され、ドレインには電源電圧VDDが供給され、ソースはフローティングディフュージョンFDに接続される。
- [0021] トランジスタAMPのゲートはフローティングディフュージョンFDに接続され、ドレインには電源電圧VDDが供給され、ソースはトランジスタSELのドレインに接続される。
- [0022] トランジスタSELのゲートは制御線SELLに接続され、ドレインはトランジスタAMPのソースに接続され、ソースは信号線VSLに接続される。
- [0023] この構成により、画素Pでは、制御線SELLに供給された制御信号SELに基づいてトランジスタSELがオン状態になることにより、画素Pが信号線VSLと電氣的に接続される。これにより、トランジスタAMPは、読出部20の定電流源CS（後述の図3参照）に接続され、いわゆるソースフォロワとして動作する。そして、画素Pは、フローティングディフュージョンFDにおける電圧に応じた電圧を含む信号SIGを、信号線VSLに出力する。具体的には、画素Pは、後述するように、読出部20がAD変換を

行う2つの期間（P相期間 T_P およびD相期間 T_D ）のうちのP相期間 T_P においてリセット電圧 V_{reset} を出力し、D相期間 T_D において受光量に応じた画素電圧 V_{pix} を出力する。画素Pは、これらのリセット電圧 V_{reset} および画素電圧 V_{pix} を含む信号 S_{IG} を、信号線 V_{SL} に出力するようになっている。

[0024] 駆動部12（図1）は、撮像制御部15からの指示に基づいて、画素ラインL単位で、画素アレイ11における複数の画素Pを順次駆動するように構成される。具体的には、駆動部12は、画素アレイ11における複数の制御線 T_{GL} に複数の制御信号 S_{TG} をそれぞれ供給し、複数の制御線 R_{STL} に複数の制御信号 S_{RST} をそれぞれ供給し、複数の制御線 S_{ELL} に複数の制御信号 S_{SEL} をそれぞれ供給することにより、画素ラインL単位で画素アレイ11における複数の画素Pを駆動するようになっている。

[0025] 参照信号生成部13は、撮像制御部15からの指示に基づいて、参照信号 R_{AMP} を生成するように構成される。参照信号 R_{AMP} は、読出部20がAD変換を行う2つの期間（P相期間 T_P およびD相期間 T_D ）において、時間の経過に応じて電圧レベルが徐々に変化する、いわゆるランプ波形を有する。参照信号生成部13は、この参照信号 R_{AMP} を読出部20に供給するようになっている。

[0026] 読出部20は、撮像制御部15からの指示に基づいて、画素アレイ11から信号線 V_{SL} を介して供給された信号 S_{IG} に基づいてAD変換を行うことにより、画像信号 D_{ATO} を生成するように構成される。

[0027] 図3は、撮像装置1における読出部20の一構成例を表すものである。なお、図3には、読出部20に加え、参照信号生成部13、信号処理部14、および撮像制御部15をも描いている。読出部20は、複数の定電流源 CS （定電流源 $CS[0]$ 、 $CS[1]$ 、 $CS[2]$ 、 $CS[2]$ 、…）と、複数のAD変換部 ADC （AD変換部 $ADC[0]$ 、 $ADC[1]$ 、 $ADC[2]$ 、 $ADC[3]$ …）と、転送走査部29とを有している。

[0028] 複数の定電流源 CS は、複数の信号線 V_{SL} に対応して設けられる。具体

的には、0番目の定電流源CS[0]は、0番目の信号線VSL[0]に対応して設けられ、1番目の定電流源CS[1]は、1番目の信号線VSL[1]に対応して設けられ、2番目の定電流源CS[2]は、2番目の信号線VSL[2]に対応して設けられ、3番目の定電流源CS[3]は、3番目の信号線VSL[3]に対応して設けられる。4番目以降についても同様である。定電流源CSの一端は、対応する信号線VSLに接続され、他端は接地される。複数の定電流源CSのそれぞれは、対応する信号線VSLに所定の電流を流すように構成される。

[0029] 複数のAD変換部ADCは、複数の信号線VSLに対応して設けられている。換言すれば、AD変換部ADCは、複数の画素Pの各画素列ごとに設けられている。具体的には、0番目のAD変換部ADC[0]は、0番目の信号線VSL[0]に対応して設けられ、1番目のAD変換部ADC[1]は、1番目の信号線VSL[1]に対応して設けられ、2番目のAD変換部ADC[2]は、2番目の信号線VSL[2]に対応して設けられ、3番目のAD変換部ADC[3]は、3番目の信号線VSL[2]に対応して設けられる。4番目以降についても同様である。複数のAD変換部ADCのそれぞれは、画素アレイ11から供給された信号SIGに基づいてAD変換を行うことにより、信号SIGの電圧をデジタルコードCODEに変換するように構成される。AD変換部ADCは、比較部21と、カウンタ24と、ラッチ25とを有している。

[0030] 比較部21は、参照信号生成部13から供給された参照信号RAMPおよび画素Pから信号線VSLを介して供給された信号SIGに基づいて比較動作を行うことにより信号CMPOUTを生成するように構成される。比較部21は、撮像制御部15から供給された制御信号AZSW、AZNに基づいて動作点を設定し、その後に比較動作を行うようになっている。比較部21は、電源回路22と、比較回路23とを有している。

[0031] 図3に示したように、撮像制御部15は、電源線VD DLを介して、電源電圧VD D0を複数の比較部21に供給する。複数の比較部21のそれぞれ

において、電源回路 22 は、この電源電圧 $VDD0$ に基づいて、電源電圧 $VDD1$ を生成し、生成した電源電圧 $VDD1$ を比較回路 23 に供給する。そして、比較部 21 は、参照信号 $RAMP$ および信号 SIG に基づいて比較動作を行うことにより、信号 $CMPOUT$ を生成するようになっている。

[0032] カウンタ 24 は、比較部 21 から供給された信号 $CMPOUT$ 、および撮像制御部 15 から供給された制御信号 CTL に基づいて、撮像制御部 15 から供給されたクロック信号 CLK のパルスをカウントするカウント動作を行うように構成される。

[0033] ラッチ 25 は、カウンタ 24 により得られたカウント値に基づいて、デジタルコード $CODE$ を生成し、このデジタルコード $CODE$ を保持するように構成される。具体的には、ラッチ 25 は、 P 相期間 TP においてカウンタ 24 により得られたカウント値 CNT_P と、 D 相期間 TD においてカウンタ 24 により得られたカウント値 CNT_D との差 ($CNT_D - CNT_P$) に応じたデジタルコード $CODE$ を生成する。この際、 CDS 法によるノイズ低減処理が行われる。そして、ラッチ 25 は、転送走査部 29 から供給された制御信号に基づいて、このデジタルコード $CODE$ をバス配線 BUS に出力するようになっている。

[0034] 転送走査部 29 は、撮像制御部 15 から供給された制御信号 $CTL2$ に基づいて、複数の AD 変換部 ADC のラッチ 25 に対して、デジタルコード $CODE$ をバス配線 BUS に順次出力させるように制御するように構成される。読出部 20 は、このバス配線 BUS を用いて、複数の AD 変換部 ADC から供給された複数のデジタルコード $CODE$ を、画像信号 $DATA0$ として、信号処理部 14 に順次転送するようになっている。

[0035] 信号処理部 14 (図 1) は、撮像制御部 15 からの指示に基づいて、画像信号 $DATA0$ に対して、所定の信号処理を行うことにより画像信号 $DATA$ を生成し、この画像信号 $DATA$ を出力するように構成される。

[0036] 撮像制御部 15 は、駆動部 12、参照信号生成部 13、読出部 20、および信号処理部 14 に制御信号を供給し、これらの回路の動作を制御すること

により、撮像装置 1 の動作を制御するように構成される。具体的には、撮像制御部 15 は、駆動部 12 に対して制御信号を供給することにより、駆動部 12 が、画素ライン L 単位で、画素アレイ 11 における複数の画素 P を順次駆動するように制御する。また、撮像制御部 15 は、参照信号生成部 13 に対して制御信号を供給することにより、参照信号生成部 13 が参照信号 RAMP を生成するように制御する。また、撮像制御部 15 は、読出部 20 に対して、電源電圧 VDD0 およびバイアス電圧 VB1, VB2 を供給するとともに、制御信号 AZSW, AZN, CTL, CTL2 およびクロック信号 CLK を供給することにより、読出部 20 が、信号 SIG に基づいて AD 変換を行うことにより画像信号 DATA0 を生成するように制御する。また、撮像制御部 15 は、信号処理部 14 に対して制御信号を供給することにより、信号処理部 14 の動作を制御するようになっている。

[0037] (比較部 21 の構成例)

図 4A および図 4B は、比較部 21 の一構成例を表すものである。なお、図 4A では、比較部 21 の一構成例を、部分的に簡略化して示す。比較部 21 には、電源電圧 VDD0、接地電圧 VSS0、およびバイアス電圧 VB1, VB2 が供給される。電源電圧 VDD0 は、撮像制御部 15 から、電源線 VDDL を介して供給される。

[0038] 比較部 21 は、電源回路 22 と、比較回路 23 とを有している。また、比較部 21 は、インバータ INV10 と、クランプ回路 27 と、クランプ制御信号発生器 28 とを有している。

[0039] 電源回路 22 は、図 4B に示したように、例えばトランジスタ MN10 を有している。

[0040] 比較回路 23 は、初段回路 101 と、後段回路 102 とを有している。初段回路 101 は、信号 SIG および参照信号 RAMP に基づく比較動作に応じた信号 Vout1 を出力可能となっている。後段回路 102 は、接続ノード Nd1 を介して初段回路 101 に接続され、接続ノード Nd1 を介して初段回路 101 から出力された信号 Vout1 に応じた信号 Vout2 を出力

可能となっている。

[0041] 初段回路101は、容量素子C1、C2と、トランジスタMP11と、定電流源61と、スイッチSW1とを有している。定電流源61は、図4Bに示したように、例えばトランジスタMN11と、容量素子C5とを有している。後段回路102は、トランジスタMMN13と、その他の回路103とを有している。その他の回路103は、図4Bに示したように、例えば、容量素子C3と、トランジスタMP12、MN12と、スイッチSW2とを有している。

以下、図4Bに示した構成例を例に説明するが、電源回路22、定電流源61、および後段回路102の構成は図4Bに示した構成例に限定されるものではない。

[0042] クランプ回路27は、スイッチSWcと、トランジスタMNCとを有している。

[0043] トランジスタMP11、MP12は、P型のMOSトランジスタであり、トランジスタMN10～MN13、およびトランジスタMNCは、N型のMOSトランジスタである。図示していないが、この例では、トランジスタMP11、MP12のバックゲートには電源電圧VDD0が供給され、トランジスタMN10～MN12のバックゲートには接地電圧VSS0が供給される。

[0044] ここで、信号SIGは、本開示の技術における「画素信号」の一具体例に相当する。信号Vout1は、本開示の技術における「第1の出力信号」の一具体例に相当する。信号Vout2は、本開示の技術における「第2の出力信号」の一具体例に相当する。初段回路101は、本開示の技術における「第1段アンプ回路」の一具体例に相当する。後段回路102は、本開示の技術における「第2段アンプ回路」の一具体例に相当する。スイッチSWcは、本開示の技術における「スイッチ」の一具体例に相当する。トランジスタMP11は、本開示の技術における「第1のトランジスタ」の一具体例に相当する。トランジスタMP12は、本開示の技術における「第2のトラン

ジスタ」の一具体例に相当する。容量素子C 1は、本開示の技術における「第1の容量素子」の一具体例に相当する。容量素子C 2は、本開示の技術における「第2の容量素子」の一具体例に相当する。トランジスタMN 1 1は、本開示の技術における「第1の負荷トランジスタ」の一具体例に相当する。トランジスタMN 1 2は、本開示の技術における「第2の負荷トランジスタ」の一具体例に相当する。P相期間T Pは、本開示の技術における「第1の期間」の一具体例に相当する。D相期間T Dは、本開示の技術における「第2の期間」の一具体例に相当する。クランプ制御信号発生器2 8は、本開示の技術における「制御信号発生部」の一具体例に相当する。

[0045] 電源回路2 2は、複数のA D変換部A D Cのそれぞれの比較回路2 3に対して設けられ、初段回路1 0 1と後段回路1 0 2とに、共通の電源電圧V D D 1を供給する。電源回路2 2において、トランジスタMN 1 0のゲートにはバイアス電圧V B 1が供給され、ドレインは電源線V D D Lに接続され、ソースはトランジスタMP 1 1、MP 1 2のソースとトランジスタMN 1 3のドレインに接続される。トランジスタMN 1 0は、いわゆるソースフォロワとして動作することにより、ソースから電源電圧V D D 1を出力する。また、トランジスタMN 1 0のソースは、クランプ回路2 7におけるスイッチS W cの一端に接続される。

[0046] 容量素子C 1、C 2は一端および他端を有する。容量素子C 1の一端は参照信号生成部1 3に接続され、他端は容量素子C 2の他端、トランジスタMP 1 1のゲート、およびスイッチS W 1の一端に接続される。この容量素子C 1の一端には、参照信号生成部1 3が生成した参照信号R A M Pが供給される。容量素子C 2の一端は信号線V S Lに接続され、他端は容量素子C 1の他端、トランジスタMP 1 1のゲート、およびスイッチS W 1の一端に接続される。この容量素子C 2の一端には、画素Pが生成した信号S I Gが供給される。

[0047] 容量素子C 1および容量素子C 2のうち少なくとも一方は容量が可変であってもよい。これにより、容量素子C 1と容量素子C 2との容量の比率を変

更可能であってもよい。

- [0048] トランジスタMP 1 1 のゲートは接続ノードNd 2 を介して、容量素子C 1, C 2 の他端およびスイッチSW 1 の一端に接続される。トランジスタMP 1 1 のゲートには、容量素子C 2 を介して信号S 1 Gが入力される。また、トランジスタMP 1 1 のゲートには、容量素子C 1 を介して参照信号RAMPが入力される。
- [0049] トランジスタMP 1 1 のドレインは、接続ノードNd 1 を介してトランジスタMN 1 1 のドレイン、トランジスタMP 1 2 のゲート、およびスイッチSW 1 の他端に接続され、ソースはトランジスタMN 1 0, MP 1 2 のソースに接続される。また、第1のトランジスタのドレインは、接続ノードNd 1 を介してトランジスタMN 1 3 のソースに接続される。
- [0050] スイッチSW 1 は、制御信号AZSWに基づいてオンオフするように構成され、一端は接続ノードNd 2 を介して容量素子C 1, C 2 の他端およびトランジスタMP 1 1 のゲートに接続され、他端は接続ノードNd 1 を介してトランジスタMN 1 1 のドレインおよびトランジスタMP 1 2 のゲートに接続される。また、スイッチSW 1 の他端は、トランジスタMP 1 1 のドレインに接続される。また、スイッチSW 1 の他端は、接続ノードNd 1 を介してトランジスタMN 1 3 のソースに接続される。
- [0051] トランジスタMN 1 1 のゲートにはバイアス電圧VB 2 が供給される。トランジスタMN 1 1 は、接続ノードNd 1 を介してドレインがトランジスタMP 1 1 のドレイン、トランジスタMP 1 2 のゲート、およびスイッチSW 1 の他端に接続される。また、トランジスタMN 1 1 のドレインは、接続ノードNd 1 を介してトランジスタMN 1 3 のソースに接続される。トランジスタMN 1 1 のソースには接地電圧VSS 0 が供給される。トランジスタMN 1 1 は、トランジスタMP 1 1 の負荷となる負荷トランジスタであり、定電流源として動作する。
- [0052] 容量素子C 5 の一端はトランジスタMN 1 1 のゲートに接続され、他端には接地電圧VSS 0 が供給される。なお、容量素子C 5 は、MOSキャパシ

タなどを用いて構成してもよいし、例えば、トランジスタMN11のゲートの寄生容量、配線の寄生容量などを用いて構成してもよい。容量素子C5は、サンプル・ホールド回路を構成する。

[0053] トランジスタMP12のゲートは、接続ノードNd1を介してトランジスタMP11、MN11のドレインおよびスイッチSW1の他端に接続され、ドレインはトランジスタMN12のドレインおよびスイッチSW2の一端に接続され、ソースはトランジスタMN10、MP11のソースに接続される。また、トランジスタMP12のドレインは、トランジスタMN13のゲートに接続される。

[0054] トランジスタMN12のゲートは容量素子C3の一端およびスイッチSW2の他端に接続され、ドレインはトランジスタMP12のドレインおよびスイッチSW2の一端に接続され、ソースには接地電圧VSS0が供給される。トランジスタMN12は、トランジスタMP12の負荷となる負荷トランジスタであり、定電流源として動作する。

[0055] トランジスタMN13は、ゲートには信号Vout2が供給され、ドレインはトランジスタMN10、MP11、MP12のソースに接続され、ソースはトランジスタMP11、MN11のドレイン、トランジスタMP12のゲート、スイッチSW1の他端に接続される。トランジスタMN13は、信号Vout2の電圧に基づいて、定電流源として動作するトランジスタMN11のドレイン電圧が低くなりすぎないように制御する。これにより、例えば、トランジスタMN11における定電流性を維持することができるとともに、複数のAD変換部ADCの間の干渉を抑えることができる。

[0056] スイッチSW2は制御信号AZNに基づいてオンオフするように構成され、一端はトランジスタMP12、MN12のドレインに接続され、他端はトランジスタMN12のゲートおよび容量素子C3の一端に接続される。また、スイッチSW2の一端は、トランジスタMN13のゲートに接続される。

[0057] 容量素子C3の一端はトランジスタMN12のゲートおよびスイッチSW2の他端に接続され、他端には接地電圧VSS0が供給される。なお、容量

素子C 3は、MOSキャパシタなどを用いて構成してもよいし、例えば、トランジスタMN 1 2のゲートの寄生容量、スイッチSW 2の寄生容量、配線の寄生容量などを用いて構成してもよい。

[0058] 比較部2 1では、電源回路2 2が電源電圧VDD 1を生成し、比較回路2 3は、この電源電圧VDD 1に基づいて動作することにより、信号S I Gおよび参照信号RAMPに基づいて比較動作を行う。具体的には、定電流源として動作するトランジスタMN 1 1が生成した電流I dが、トランジスタMN 1 0に流れ、トランジスタMN 1 0は、いわゆるソースフォロワとして動作する。これにより、電源回路2 2は、電源電圧VDD 1を生成する。比較回路2 3では、後述するように、スイッチSW 1, SW 2がオン状態になることにより、動作点を設定する。そして、比較回路2 3は、P相期間TPにおいて、参照信号RAMP、および信号S I Gに含まれるリセット電圧Vresetに基づいて比較動作を行い、D相期間TDにおいて、参照信号RAMP、および信号S I Gに含まれる画素電圧Vpixに基づいて比較動作を行うようになっている。

[0059] スイッチSW 1は、オン状態になることによりトランジスタMP 1 1のゲートとトランジスタMP 1 1のドレインとを接続可能となっている。

[0060] インバータINV 1 0は、入力端と出力端とを有している。インバータINV 1 0は、複数のAD変換部ADCのそれぞれの比較回路2 3に対して設けられ、後段回路1 0 2から出力された信号Vout 2を反転させた信号CMP OUTを出力する。クランプ回路2 7は、インバータINV 1 0の入力端と出力端とに接続されている。

[0061] クランプ回路2 7は、複数のAD変換部ADCのそれぞれの比較回路2 3に対して設けられる。クランプ回路2 7のスイッチSWcは、クランプ制御信号CL SWに基づいてオンオフ制御される。クランプ回路2 7は、スイッチSWcがオン状態になることにより、後段回路1 0 2から出力された信号Vout 2の電圧を選択的にクランプすることが可能となっている。

[0062] クランプ回路2 7におけるトランジスタMNcのゲートは、インバータI

NV10の出力端に接続され、信号CMPOUTが入力される。トランジスタMNcのソースは、インバータINV10の入力端と、トランジスタMP12、MN12のドレインと、トランジスタMN13のゲートと、スイッチSW2の一端とに接続される。トランジスタMNcのドレインは、スイッチSWcの他端に接続される。

[0063] クランプ回路27におけるスイッチSWcの一端は、トランジスタMN10のソースと、トランジスタMP11、MP12のソースと、トランジスタMN13のドレインとに接続される。スイッチSWcの他端は、クランプ回路27におけるトランジスタMNcのドレインに接続される。

[0064] クランプ制御信号発生器28は、複数のAD変換部ADCのそれぞれにおける比較回路23に対するクランプ制御信号CLSWを生成する。制御信号発生部28は、複数のAD変換部ADCのそれぞれのAD変換ゲインに基づいてクランプ制御信号CLSWを生成するようにしてもよい。

[0065] 複数の画素Pはそれぞれ、画素信号として、P相期間TPにおいてリセット電圧Vresetとなる信号SIGを出力した後、D相期間TDにおいて受光量に応じた画素電圧Vpixとなる信号SIGを出力する。参照信号生成部13は、P相期間TPの開始前の所定の期間、およびD相期間TDの開始前の所定の期間において所定の基準電圧(AZ電圧)となる参照信号RAMPを生成する。制御信号発生部28は、クランプ制御信号CLSWとして、後述するように、所定の基準電圧(AZ電圧)となる所定の期間の終了タイミングに同期してクランプ回路27のスイッチがオン状態になるような信号を生成するようにしてもよい。

[0066] 図5は、クランプ回路27の第1の変形例を示している。

[0067] 第1の変形例に係るクランプ回路27Aは、スイッチSWcと、論理ゲートAND1とを有している。

[0068] 論理ゲートAND1は、ANDゲートであり、第1の入力端子と、第2の入力端子と、出力端子とを有している。論理ゲートAND1の第1の入力端子には、クランプ制御信号発生器28からのクランプ制御信号CLSWが入

力される。論理ゲートAND 1の第2の入力端子には、信号C M P O U Tが入力される。

[0069] クランプ回路27Aにおいて、スイッチSWcは、論理ゲートAND 1の出力端子からの出力信号によってオンオフ制御される。クランプ回路27Aにおいて、スイッチSWcの一端は、トランジスタMN 10のソースと、トランジスタMP 11, MP 12のソースと、トランジスタMN 13のドレインとに接続される。スイッチSWcの他端は、インバータINV 10の入力端と、トランジスタMP 12, MN 12のドレインと、トランジスタMN 13のゲートと、スイッチSW 2の一端とに接続される。

[0070] 図6は、クランプ回路27の第2の変形例を示している。

[0071] 第2の変形例に係るクランプ回路27Bは、トランジスタMNcと、論理ゲートAND 1とを有している。

[0072] 論理ゲートAND 1は、ANDゲートであり、第1の入力端子と、第2の入力端子と、出力端子とを有している。論理ゲートAND 1の第1の入力端子には、クランプ制御信号発生器28からのクランプ制御信号CLSWが入力される。論理ゲートAND 1の第2の入力端子には、信号C M P O U Tが入力される。

[0073] クランプ回路27Bにおいて、トランジスタMNcのゲートには、論理ゲートAND 1の出力端子からの出力信号が入力される。クランプ回路27Bにおいて、トランジスタMNcのドレインは、トランジスタMN 10のソースと、トランジスタMP 11, MP 12のソースと、トランジスタMN 13のドレインとに接続される。トランジスタMNcのソースは、インバータINV 10の入力端と、トランジスタMP 12, MN 12のドレインと、トランジスタMN 13のゲートと、スイッチSW 2の一端とに接続される。

[0074] 図7に、クランプ回路27A, 27Bの論理ゲートAND 1の入出力に関する真理値表の一例を示している。

[0075] 図7に示したように、例えば、クランプ制御信号CLSWの信号値と信号C M P O U Tの信号値とが共に“1”となる場合に、クランプ回路27A,

27Bのクランプ機能がオン状態となり、それ以外ではオフ状態となる。

[0076] 図8は、AD変換部ADCのAD変換ゲインとクランプ回路27のクランプ機能との関係の一例を示している。

[0077] 複数のAD変換部ADCはそれぞれ、少なくとも、第1のAD変換ゲインでAD変換を行う第1のゲインモード（低ゲインモード）と第1のAD変換ゲインよりも高い第2のAD変換ゲインでAD変換を行う第2のゲインモード（高ゲインモード）とを含む複数のゲインモードで動作可能であってもよい。

[0078] 制御信号発生部28は、複数のAD変換部ADCのそれぞれのAD変換ゲインに基づいてクランプ制御信号CLSWを生成するようにしてもよい。制御信号発生部28は、複数のAD変換部ADCのそれぞれにおける複数のクランプ回路27のそれぞれに対して、クランプ制御信号CLSWとして、第1のゲインモード（低ゲインモード）ではクランプ回路27のクランプ機能が無効となり、第2のゲインモード（高ゲインモード）ではクランプ回路27のクランプ機能が有効となるような信号を出力するようにしてもよい。

[0079] なお、参照信号RAMPの信号波形の傾きは相対的に、低ゲインモードでは大きく、高ゲインモードでは小さくなる。比較回路23において、トランジスタMP11のゲートに入力される参照信号RAMPの信号波形の傾きは、容量素子C1と容量素子C2との容量の比率を変更することにより変更可能である。

[0080] （撮像装置1の実装例）

次に、撮像装置1の実装について説明する。撮像装置1において、図1に示した各ブロックは、例えば、1枚の半導体基板に形成されてもよいし、複数の半導体基板に形成されてもよい。

[0081] 図9は、1枚の半導体基板200に形成した場合における撮像装置1の実装例を表すものである。半導体基板200には画素アレイ11が配置され、その画素アレイ11の左には、駆動部12が配置される。また、画素アレイ11の下には、読出部20が配置される。読出部20では、上から順に、複

数の定電流源CSを含む定電流源部201、複数の比較部21を含む比較回路部202、複数のカウンタ24を含むカウンタ部203、複数のラッチ25を含むラッチ部204、および転送走査部29がこの順に配置される。この読出部20の左には、参照信号生成部13および撮像制御部15が配置される。また、画素アレイ11および読出部20の右には信号処理部14が配置される。

[0082] 図10は、2枚の半導体基板211、212に形成した場合における撮像装置1の実装例を表すものである。例えば、半導体基板211には画素アレイ11が配置され、半導体基板212には、読出部20、駆動部12、参照信号生成部13、信号処理部14、および撮像制御部15が配置される。半導体基板211、212は互いに重ね合わされる。そして、例えば、半導体基板211に配置された複数の信号線VSLが、例えばTSV(Through Silicon Via)を介して半導体基板212に配置された読出部20に電氣的に接続されるとともに、半導体基板211に配置された複数の制御線TGL、RSTL、SELLが、例えばTSVを介して半導体基板212に配置された駆動部12に電氣的に接続される。半導体基板212には、読出部20が配置され、読出部20の左には、駆動部12、参照信号生成部13、および撮像制御部15が配置され、読出部20の右には信号処理部14が配置される。読出部20では、上から順に、複数の定電流源CSを含む定電流源部201、複数の比較部21を含む比較回路部202、複数のカウンタ24を含むカウンタ部203、複数のラッチ25を含むラッチ部204、および転送走査部29がこの順に配置される。

[0083] このように、2枚の半導体基板211、212に形成した場合(図10)には、半導体基板211に画素アレイ11を主に配置することにより、画素の形成に特化した半導体製造工程を用いて半導体基板211を製造することができる。つまり、半導体基板211には、画素アレイ11以外に回路がないので、例えば、画素を形成するために特別な製造工程を用いた場合でも、その製造工程が画素アレイ11以外の回路に影響を与えない。この

ように、撮像装置 1 では、画素の形成に特化した半導体製造工程を用いることができるので、撮像装置 1 における撮像特性を高めることができる。

[0084] [1. 2 動作および作用]

(全体動作概要)

まず、図 1 を参照して、撮像装置 1 の全体動作概要を説明する。駆動部 12 は、撮像制御部 15 からの指示に基づいて、画素ライン L 単位で、画素アレイ 11 における複数の画素 P を順次駆動する。画素 P は、P 相期間 T_P において、リセット電圧 V_{reset} を信号 S I G として出力し、D 相期間 T_D において、受光量に応じた画素電圧 V_{pix} を信号 S I G として出力する。

[0085] 参照信号生成部 13 は、撮像制御部 15 からの指示に基づいて、参照信号 RAMP を生成する。読出部 20 は、撮像制御部 15 からの指示に基づいて、画素アレイ 11 から信号線 VSL を介して供給された信号 S I G に基づいて A/D 変換を行うことにより、画像信号 DATA0 を生成する。信号処理部 14 は、撮像制御部 15 からの指示に基づいて、画像信号 DATA0 に対して、所定の信号処理を行うことにより画像信号 DATA を生成する。撮像制御部 15 は、駆動部 12、参照信号生成部 13、読出部 20、および信号処理部 14 に制御信号を供給し、これらの回路の動作を制御することにより、撮像装置 1 の動作を制御する

[0086] (詳細動作)

撮像装置 1 において、複数の画素 P は、受光量に応じて電荷を蓄積し、受光量に応じた画素電圧 V_{pix} を信号 S I G として出力する。そして、読出部 20 は、この信号 S I G に基づいて A/D 変換を行う。

[0087] 撮像装置 1 は、画素アレイ 11 に対して、垂直方向において上から順に露光開始駆動を行う。具体的には、駆動部 12 は、例えば、制御信号 STG, RST を生成することにより、画素ライン L を順次選択し、画素 P におけるトランジスタ TG, RST を所定の長さの時間において順次オン状態にする。これにより、画素 P では、フローティングディフュージョン FD の電圧およびフォトダイオード PD のカソードの電圧が電源電圧 VDD に設定され

る。そして、トランジスタ TG 、 RST がオフ状態になると、フォトダイオード PD は、受光量に応じて電荷を蓄積し始める。このようにして、複数の画素 P では、露光期間が順次開始する。

[0088] 次に、撮像装置 1 は、画素アレイ 11 に対して、垂直方向において上から順に読出駆動を行う。具体的には、駆動部 12 は、制御信号 STG 、 SRS 、 T を生成することにより、画素ライン L を順次選択する。これにより、画素 P は、 P 相期間 TP においてリセット電圧 V_{reset} を信号 SIG として出力し、 D 相期間 TD において画素電圧 V_{pix} を信号 SIG として出力する。読出部 20 は、この信号 SIG に基づいて AD 変換を行うことによりデジタルコード $CODE$ を生成する。

[0089] 撮像装置 1 は、このような露光開始駆動および読出駆動を繰り返す。これにより、撮像装置 1 では、一連の撮像画像が得られる。

[0090] 次に、読出駆動について、詳細に説明する。以下では、任意の画素ライン L における異なる 2 つの列（カラム A 、 B ）にある任意の画素 P に着目し、任意の画素 P およびその任意の画素 P に接続された AD 変換部 ADC の動作について詳細に説明する。

[0091] （クランプ回路 27 のクランプ機能を無効にした場合）

まず、クランプ回路 27 のクランプ機能を無効にした場合を例に説明する。すなわち、クランプ制御信号発生器 28 からクランプ制御信号 $CLSW$ として、常時、スイッチ SWc をオフにする信号を出力した場合を例に説明する。図 11 は、カラム A において、クランプ回路 27 のスイッチ SWc をオフにした場合の比較部 21 の動作状態の一例を示す回路図である。図 12 は、カラム B において、クランプ回路 27 のスイッチ SWc をオフにした場合の比較部 21 の動作状態の一例を示す回路図である。

[0092] 図 13 は、クランプ回路 27 のスイッチ SWc をオフにした場合における比較部 21 の信号出力状態の一例を、信号値を絶対値として示したタイミング波形図である。なお、図 13 には、主として P 相期間 TP における波形を示すが、 D 相期間 TD についても略同様である。

[0093] 図13において、(A)にはスイッチSW1をオンオフ制御する制御信号AZSWの電圧波形を示す。(B)にはスイッチSW2をオンオフ制御する制御信号AZNの電圧波形を示す。(C)にはスイッチSWcをオンオフ制御するクランプ制御信号CLSWの電圧波形を示す。制御信号AZSW、制御信号AZN、およびクランプ制御信号CLSWは、カラムA、Bについて共通の信号である。

[0094] また、図13において、(D)にはトランジスタMN11に流れる電流Id11の電流波形を示す。(E)にはトランジスタMN12に流れる電流Id12の電流波形を示す。(F)には電源回路22から供給される電源電圧VDD1(LDOOUT)の電圧波形を示す。(G)には初段回路101における接続ノードNd2における電圧Vinの電圧波形を示す。(H)には初段回路101から出力される信号Vout1の電圧波形を示す。信号Vout1の電圧波形は、接続ノードNd1における電圧波形に相当する。(I)には比較部21から最終的に出力される信号CMPOUTの電圧波形を示す。図13の(D)～(I)に示した電流および信号は、カラムA、Bのそれぞれにおける比較部21の内部において生ずる電流および信号である。

[0095] 撮像装置1では、ある水平期間(H)において、まず、画素Pがリセット動作を行うことによりリセット電圧Vresetを出力し、AD変換部ADCがP相期間TPにおいてそのリセット電圧Vresetに基づいてAD変換を行う。そして、その後に画素Pが電荷転送動作を行うことにより画素電圧Vpixを出力し、AD変換部ADCがD相期間TDにおいてその画素電圧Vpixに基づいてAD変換を行う。

[0096] まず、水平期間Hが開始すると、駆動部12は、制御信号SSELの電圧を低レベルから高レベルに変化させる。これにより、画素Pでは、トランジスタSELがオン状態になり、画素Pが信号線VSLと電氣的に接続される。また、このタイミングにおいて、駆動部12は、制御信号SRSTの電圧を低レベルから高レベルに変化させる。これにより、画素Pでは、トランジスタRSTがオン状態になり、フローティングディフュージョンFDの電圧

が電源電圧 V_{DD} に設定される（リセット動作）。そして、画素 P は、このときのフローティングディフュージョン FD の電圧に対応する電圧（リセット電圧 V_{reset} ）を出力する。このようにして、信号 SIG の電圧がリセット電圧 V_{reset} になる。

[0097] また、このタイミング（タイミング t_z ）において、参照信号生成部13は、参照信号 $RAMP$ を所定の基準電圧にする。また、このタイミング t_z において、撮像制御部15は、制御信号 $AZSW$ 、 AZN として、スイッチ $SW1$ 、 $SW2$ をともにオン状態にする信号を出力する。スイッチ $SW1$ がオン状態になることにより、トランジスタ $MP11$ のゲート電圧（電圧 V_{in} ）が、トランジスタ $MP11$ のドレイン電圧と同じ電圧（ AZ 電圧（基準電圧））になり、容量素子 $C1$ 、 $C2$ の電圧が設定される。また、スイッチ $SW2$ がオン状態になることにより、トランジスタ $MN12$ のゲート電圧が、トランジスタ $MN12$ のドレイン電圧と同じ電圧になり、容量素子 $C3$ の電圧が設定される。これにより、初段回路101から出力される信号 V_{out1} および後段回路102から出力される信号 V_{out2} の電圧は初期の基準電圧になる。このようにして、比較部21では、動作点設定動作を行う。この動作点設定動作は、比較部21の初期化動作であり、オートゼロ動作と呼ばれる。以下、オートゼロ動作の期間を AZ 期間という。

[0098] 次に、駆動部12は、制御信号 S_RST の電圧を高レベルから低レベルに変化させる。これにより、画素 P では、トランジスタ RST がオフ状態になる。

[0099] 次に、タイミング t_0 において、撮像制御部15は、制御信号 $AZSW$ 、 AZN として、スイッチ $SW1$ 、 $SW2$ をともにオフ状態にする信号を出力する。これにより、 AD 変換部 ADC の比較部21では、スイッチ $SW1$ 、 $SW2$ がともにオフ状態になり、動作点設定動作（オートゼロ動作）が終了する。比較部21は、これ以降、トランジスタ $MP11$ のゲート電圧（電圧 V_{in} ）と、 AZ 電圧（基準電圧）とを比較するように動作する。

[0100] 次に、タイミング t_a において、参照信号生成部13は、参照信号 $RAMP$

Pの電圧を所定の基準電圧よりも低下させる。これにより、AD変換部ADCの比較部21では、トランジスタMP11のゲート電圧（電圧 V_{in} ）がAZ電圧（基準電圧）より低くなるので、初段回路101から出力される信号 V_{out1} の電圧がAZ電圧（基準電圧）よりも高い電圧となる。

[0101] 次に、タイミング $t_{p1} \sim t_{p2}$ の期間において、AD変換部ADCは、リセット電圧 V_{reset} に基づいてAD変換を行う。具体的には、まず、タイミング t_{p1} において、参照信号生成部13は、参照信号RAMPの電圧を、所定の基準電圧よりも低い電圧から所定の変化度合いで上昇させ始める。これに応じて、AD変換部ADCの比較部21では、トランジスタMP11のゲート電圧（電圧 V_{in} ）が上昇し始める。また、このタイミング t_{p1} において、撮像制御部15は、クロック信号CLKの生成を開始する。AD変換部ADCのカウンタ24は、カウント動作を行うことにより、このクロック信号CLKのパルスをカウントする。

[0102] そして、タイミング t_{p10} において、トランジスタMP11のゲート電圧（電圧 V_{in} ）がAZ電圧（基準電圧）を上回る。すなわち、トランジスタMP11のゲート電圧がAZ電圧に対して極性が反転する。

[0103] 次に、タイミング t_{p2} において、参照信号生成部13は、P相期間TPの終了に伴い、参照信号RAMPの電圧を所定の基準電圧に設定する。また、撮像制御部15は、このタイミング t_{p2} において、クロック信号CLKの生成を停止する。

[0104] P相期間TPにおけるカウンタ24のカウント値はCNTPである。AD変換部ADCのラッチ25は、P相期間TPにおけるカウント値CNTPをラッチする。そして、カウンタ24はリセットされる。

[0105] 次に、参照信号生成部13は、再度、参照信号RAMPを所定の基準電圧（AZ電圧）にする。これにより、D相期間TDの開始前の所定の期間において、オートゼロ動作が行われる。次に、D相期間TDにおいて、AD変換部ADCは、画素電圧 V_{pix} に基づいてAD変換を行う。D相期間TDにおけるカウンタ24のカウント値はCNTDである。AD変換部ADCのラッチ

25は、D相期間TDにおけるカウント値CNTDをラッチする。そして、カウンタ24はリセットされる。

[0106] 次に、参照信号生成部13は、D相期間TDの終了に伴い、参照信号RAMPの電圧を所定の基準電圧に設定する。また、撮像制御部15は、このタイミングにおいて、クロック信号CLKの生成を停止する。そして、駆動部12は、このタイミングにおいて、制御信号SELの電圧を高レベルから低レベルに変化させる。これにより、画素Pでは、トランジスタSELがオフ状態になり、画素Pが信号線VSLから電氣的に切り離される。

[0107] そして、AD変換部ADCのラッチ25は、P相期間TPにおいてカウンタ24により得られたカウント値CNTPと、D相期間TDにおいてカウンタ24により得られたカウント値CNTDとの差($CNTD - CNTP$)に応じたデジタルコードCODEを生成する。

[0108] (カラムごとの信号ばらつきの説明)

ここで、図13の(D)～(I)に示した電流および信号は、カラムA、Bのそれぞれにおける比較部21の内部において生ずる電流および信号であるが、これらの電流および信号はカラムごとにばらつきが生ずる。以下、このばらつきについて説明する。なお、D相期間TDについても略同様である。

[0109] オートゼロ動作の期間(AZ期間)では、カラムAにおいて、トランジスタMN10に流れる電流Idは、トランジスタMN11に流れる電流Id11(電流値Id1)とトランジスタMN12に流れる電流Id12(電流値Id2)との和となる(電流値Id1+Id2)(図11、図13(D),(E))。P相期間TP(AD期間)では、カラムAにおいて、トランジスタMN10に流れる電流Idは、トランジスタMN12に流れる電流Id12が0であるため、トランジスタMN11に流れる電流Id11(電流値Id1)と同じとなる(図11、図13(D),(E))。すなわち、クランプ回路27のスイッチがP相期間TPではオフ状態になることで、AZ期間とP相期間TPとで電流Idには差分が生じる。

- [0110] 一方、カラムBでは、カラムAと比べて、トランジスタMN11に流れる電流 I_{d11} の電流値に ΔI_{d1} 、トランジスタMN12に流れる電流 I_{d12} の電流値に ΔI_{d2} のばらつきが生ずる（図12、図13（D）、（E））。これにより、カラムBでは、オートゼロ動作の期間（AZ期間）では、トランジスタMN10に流れる電流 I_d の電流値は、 $I_{d1} + I_{d2} + \Delta I_{d1} + \Delta I_{d2}$ となる。また、P相期間TP（AD期間）では、カラムBにおいて、トランジスタMN10に流れる電流 I_d は、トランジスタMN12に流れる電流 I_{d12} が0であるため、 $I_{d1} + \Delta I_{d1}$ となる。すなわち、クランプ回路27のスイッチがP相期間TPではオフ状態になることで、AZ期間とP相期間TPとで電流 I_d には差分が生じる。
- [0111] また、カラムAとカラムBとでは、電源電圧 V_{DD1} 、電圧 V_{in} 、信号 V_{out1} についてもばらつきが生ずる（図13（F）～（H））。
- [0112] 以上のカラムA、Bの電流および信号のばらつきには、DC成分とAC成分とが存在する。DC成分のばらつきは、CDS法によるノイズ低減処理により除外される。そこで、次に、カラムごとのDC成分のばらつきを除外し、AZレベルを基準にした変動量を考える。AC成分のばらつきが、P相期間TPにおけるカウント値 CNT_P のばらつきとなる。
- [0113] 図14は、クランプ回路27のスイッチ SW_c をオフにした場合における比較部21の信号出力状態の一例を、信号値をAZレベルからの変動成分として示したタイミング波形図である。図14の（A）～（I）には、図13の（A）～（I）と同様の信号または電流の波形を示す。
- [0114] AZレベルを基準にした変動量を考えた場合、P相期間TPにおいて、カラムAとカラムBとで、電源回路22から供給される電源電圧 V_{DD1} （ $LDOOUT$ ）に $\Delta LDOOUT$ のばらつきが生じる。これにより、初段回路101から出力される信号 V_{out1} の反転時間に ΔV_{out1} のばらつきが生じ、比較部21から最終的に出力される信号 $CMPOUT$ の反転時間にばらつきが生じる。これにより、カラムAとカラムBとで、P相期間TPにおけるカウント値 CNT_P にばらつきが生じる。

[0115] (クランプ回路27のクランプ機能を有効にした場合)

次に、クランプ回路27のクランプ機能を有効にした場合を例に説明する。すなわち、クランプ制御信号発生器28からクランプ制御信号CLSWとして、所定のタイミングでスイッチSWcをオンにする信号を出力する場合を例に説明する。

[0116] 図15は、カラムAにおいて、クランプ回路27のスイッチSWcをオンにした場合の比較部21の動作状態の一例を示す回路図である。図16は、カラムBにおいて、クランプ回路27のスイッチSWcをオンにした場合の比較部21の動作状態の一例を示す回路図である。

[0117] 図17は、クランプ回路27のスイッチSWcを所定のタイミングでオンにした場合における比較部21の信号出力状態の一例を、信号値を絶対値として示したタイミング波形図である。図17の(A)～(I)には、図13の(A)～(I)と同様の信号または電流の波形を示す。

[0118] 図17の(A)～(I)において、比較部21におけるAZ期間では、クランプ回路27のスイッチSWcがオフにされているので、信号または電流の波形は上記図13の(A)～(I)と同様である。

[0119] 制御信号発生部28は、クランプ制御信号CLSWとして、AZ期間の終了タイミングに同期してクランプ回路27のスイッチがオン状態になるような信号を出力する。これにより、P相期間TP(AD期間)では、クランプ回路27のスイッチがオン状態になる。

[0120] クランプ回路27のスイッチがオン状態になることで、カラムAでは、P相期間TP(AD期間)においても、AZ期間と同様に、トランジスタMN12には電流値 I_{d2} の電流 I_{d12} が流れる(図15、図17(D),(E))。このため、カラムAでは、AZ期間とP相期間TPとの双方において、トランジスタMN10に流れる電流 I_d の電流値は、 $I_{d1} + I_{d2}$ となる。すなわち、クランプ回路27のスイッチがオン状態になることで、AZ期間とP相期間TPとで電流 I_d は同じとなる。

[0121] 一方、カラムBでは、カラムAと比べて、トランジスタMN11に流れる

電流 I_{d11} の電流値に ΔI_{d1} 、トランジスタ MN12 に流れる電流 I_{d12} の電流値に ΔI_{d2} のばらつきが生ずる（図16、図17（D）、（E））。これにより、カラムBでは、AZ期間とP相期間TPとの双方において、トランジスタ MN10 に流れる電流 I_d の電流値は、 $I_{d1} + I_{d2} + \Delta I_{d1} + \Delta I_{d2}$ となる。すなわち、クランプ回路27のスイッチがオン状態になることで、AZ期間とP相期間TPとで電流 I_d は同じとなる。

[0122] また、カラムAとカラムBとでは、電源電圧 V_{DD1} 、電圧 V_{in} 、信号 V_{out1} についてもばらつきが生ずる（図17（F）～（H））。

[0123] 以上のカラムA、Bの電流および信号のばらつきには、DC成分とAC成分とが存在する。DC成分のばらつきは、CDS法によるノイズ低減処理により除外される。そこで、次に、カラムごとのDC成分のばらつきを除外し、AZレベルを基準にした変動量を考える。AC成分のばらつきが、P相期間TPにおけるカウント値 CNT_P のばらつきとなる。

[0124] 図18は、クランプ回路27のスイッチ SW_c を所定のタイミングでオンにした場合における比較部21の信号出力状態の一例を、信号値をAZレベルからの変動成分として示したタイミング波形図である。図18の（A）～（I）には、図14の（A）～（I）と同様の信号または電流の波形を示す。

[0125] AZレベルを基準にした変動量を考えた場合、クランプ回路27のスイッチがオン状態になることで、AZ期間とP相期間TPとの双方において、カラムAとカラムBとで電流 I_{d1} 、 I_{d2} のばらつきはない。また、AZレベルを基準にした変動量を考えた場合、AZ期間とP相期間TPとの双方において、カラムAとカラムBとで、電源電圧 V_{DD1} 、電圧 V_{in} 、信号 V_{out1} 、信号 CMP_{OUT} のばらつきはない。これにより、カラムAとカラムBとで、P相期間TPにおけるカウント値 CNT_P にばらつきは生じない、または低減される。

[0126] また、クランプ回路27のクランプ機能を有効にした場合、P相期間TPにおける信号 CMP_{OUT} の分布幅を拡大することが可能となる。なお、カ

ラムA、Bの電源電圧 V_{DD1} のDC成分のばらつきは、CDS法によるノイズ低減処理により互いにキャンセルされる。この効果は、AD変換ゲインが低ゲインである場合に、特に大きい。逆に、AD変換ゲインが高ゲインである場合には、小さい。このため、特に、AD変換ゲインが高ゲインである場合には、クランプ回路27のクランプ機能を有効にすることが望ましい。

[0127] [1. 3 効果]

以上説明したように、一実施の形態に係る撮像装置1によれば、複数のAD変換部ADCのそれぞれの比較部21において、後段回路102から出力された信号 V_{out2} の電圧を、クランプ回路27によって選択的にクランプすることを可能にしたので、画質の向上を図ることが可能となる。

[0128] なお、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があってもよい。以降の変形例や他の実施の形態の効果についても同様である。

[0129] [1. 4 変形例]

(変形例1)

図19Aおよび図19Bは、変形例1に係る比較部21Aの一構成例を概略的に示している。なお、図19Bでは、比較部21Aの一構成例を、部分的に簡略化して示す。

[0130] 比較部21は、図4Aおよび図4Bに示した構成に限定されるものではなく、図19Aおよび図19Bに示す変形例1に係る比較部21Aのように構成してもよい。変形例1に係る比較部21Aでは、接地電圧 V_{SS0} は、撮像制御部15から、接地線 V_{SSL} を介して供給される。この比較部21Aは、電源回路22Aと、比較回路23Aとを有している。また、比較部21Aは、インバータINV10と、クランプ回路27と、クランプ制御信号発生器28とを有している。

[0131] 電源回路22Aは、図19Bに示したように、例えばトランジスタMP20を有している。

[0132] 比較回路23Aは、初段回路101と、後段回路102とを有している。

初段回路101は、信号SIGおよび参照信号RAMPに基づく比較動作に応じた信号Vout1を出力可能となっている。後段回路102は、接続ノードNd1を介して初段回路101に接続され、接続ノードNd1を介して初段回路101から出力された信号Vout1に応じた信号Vout2を出力可能となっている。

[0133] 比較回路23Aにおいて、初段回路101は、容量素子C11、C12と、トランジスタMN21と、定電流源61Aと、スイッチSW11とを有している。定電流源61Aは、図19Bに示したように、例えばトランジスタMP21を有している。トランジスタMP20、MP21は、P型のMOSトランジスタであり、トランジスタMN21は、N型のMOSトランジスタである。

以下、図19Bに示した構成例を例に説明するが、電源回路22A、および定電流源61Aの構成は図19Bに示した構成例に限定されるものではない。

[0134] 比較回路23Aにおいて、後段回路102は、図示しないが、例えばN型のMOSトランジスタからなる第2のトランジスタと、P型のMOSトランジスタからなる第2の負荷トランジスタとを有する。

[0135] 電源回路22Aは、複数のAD変換部ADCのそれぞれの比較回路23Aに対して設けられ、初段回路101と後段回路102とに、共通の電源電圧として接地電圧VSS1を供給する。電源回路22Aにおいて、トランジスタMP20のゲートにはバイアス電圧VB1が供給され、ドレインは接地線VSSLに接続され、ソースはトランジスタMN21のソースと、後段回路102における図示しない第2のトランジスタのソースとに接続される。トランジスタMP20は、いわゆるソースフォロワとして動作することにより、ソースから接地電圧VSS1を出力する。また、トランジスタMN20のソースは、クランプ回路27におけるスイッチSWcの一端に接続される。

[0136] 容量素子C11、C12は一端および他端を有する。容量素子C11の一端は参照信号生成部13に接続され、他端は容量素子C12の他端、トラン

ジスタMN21のゲート、およびスイッチSW11の一端に接続される。この容量素子C11の一端には、参照信号生成部13が生成した参照信号RAMPが供給される。容量素子C12の一端は信号線VSLに接続され、他端は容量素子C11の他端、トランジスタMN21のゲート、およびスイッチSW11の一端に接続される。この容量素子C12の一端には、画素Pが生成した信号SIGが供給される。

[0137] 容量素子C11および容量素子C12のうち少なくとも一方は容量が可変であってもよい。これにより、容量素子C11と容量素子C12との容量の比率を変更可能であってもよい。

[0138] トランジスタMN21のゲートは接続ノードNd2を介して、容量素子C11、C12の他端およびスイッチSW11の一端に接続される。トランジスタMN21のゲートには、容量素子C12を介して信号SIGが入力される。また、トランジスタMN21のゲートには、容量素子C11を介して参照信号RAMPが入力される。

[0139] トランジスタMN21のドレインはトランジスタMP21のドレイン、トランジスタMN22のゲート、およびスイッチSW11の他端に接続され、ソースはトランジスタMP20と、後段回路102における図示しない第2の負荷トランジスタのソースとに接続される。

[0140] トランジスタMP21のゲートにはバイアス電圧VB2が供給され、ドレインはトランジスタMN21のドレイン、トランジスタMN22のゲート、およびスイッチSW11の他端に接続され、ソースは電源電圧VDD0が供給される。トランジスタMP21は、トランジスタMN21の負荷となる負荷トランジスタであり、定電流源として動作する。スイッチSW11は、制御信号AZSWに基づいてオンオフするように構成され、一端は容量素子C11、C12の他端およびトランジスタMN21のゲートに接続される。スイッチSW11の他端は、トランジスタMN21、MP21のドレインと、後段回路102における図示しない第2のトランジスタのゲートとに接続される。

- [0141] ここで、トランジスタMN21は、本開示の技術における「第1のトランジスタ」の一具体例に相当する。容量素子C11は、本開示の技術における「第1の容量素子」の一具体例に相当する。容量素子C12は、本開示の技術における「第2の容量素子」の一具体例に相当する。トランジスタMP21は、本開示の技術における「第1の負荷トランジスタ」の一具体例に相当する。
- [0142] クランプ回路27は、複数のAD変換部ADCのそれぞれの比較回路23Aに対して設けられる。クランプ回路27のスイッチSWcは、クランプ制御信号CLSWに基づいてオンオフ制御される。クランプ回路27は、スイッチSWcがオン状態になることにより、後段回路102から出力された信号Vout2の電圧を選択的にクランプすることが可能となっている。
- [0143] クランプ回路27におけるトランジスタMNcのゲートは、インバータINV10の出力端に接続され、信号CMPOUTが入力される。トランジスタMNcのソースは、インバータINV10の入力端と、後段回路102における図示しない第2のトランジスタおよび第2の負荷トランジスタのドレインに接続される。トランジスタMNcのドレインは、スイッチSWcの他端に接続される。
- [0144] クランプ回路27におけるスイッチSWcの一端は、トランジスタMP20のソースと、トランジスタMN21のソースと、後段回路102における図示しない第2のトランジスタのソースとに接続される。スイッチSWcの他端は、クランプ回路27におけるトランジスタMNcのドレインに接続される。
- [0145] 変形例1に係る比較部21Aにおいても、図4Aおよび図4Bに示した比較部21と同様にスイッチSWcを適切にオンオフ制御することにより、画質の向上を図ることが可能となる。また、変形例1に係る比較部21Aにおいても、クランプ回路27の構成を、図5に示したクランプ回路27Aまたは図6に示したクランプ回路27Bのように構成してもよい。
- [0146] その他の構成および動作は、図4Aおよび図4Bに示した比較部21と略

同様であってもよい。

[0147] (変形例 2)

(構成)

図 20 は、変形例 2 に係る比較部 21B の一構成例を概略的に示している。

[0148] 変形例 2 に係る比較部 21B は、図 4A および図 4B に示した比較部 21 における比較回路 23 に代えて、比較回路 23B を有している。比較回路 23B は、図 4A および図 4B に示した比較回路 23 における容量素子 C1 および容量素子 C2 として、容量素子 Cg1, Cg2, Cg3, Cg4, Cg5 を有している。また、比較回路 23B は、スイッチ SWg1, SWg2, SWg3, SWg4, SWg5 を有している。容量素子 Cg1, Cg2, Cg3, Cg4, Cg5 は、スイッチ SWg1, SWg2, SWg3, SWg4, SWg5 を介して、並列的に接続することが可能とされている。これにより、容量素子 C1 および容量素子 C2 のうち少なくとも一方は容量を可変とし、容量素子 C1 と容量素子 C2 との容量の比率を変更可能となっている。なお、容量素子 C1 および容量素子 C2 を構成する容量素子の数は、この例には限られない。

[0149] 容量素子 Cg1 の一端には、画素 P が生成した信号 S1G が供給される。容量素子 Cg5 の一端には、参照信号生成部 13 が生成した参照信号 RAMP が供給される。容量素子 Cg1 の一端には、スイッチ SWg1 の一端が接続される。スイッチ SWg1 の他端は、容量素子 Cg2 の一端とスイッチ SWg2 の一端とに接続される。スイッチ SWg2 の他端は、容量素子 Cg3 の一端とスイッチ SWg3 の一端とに接続される。スイッチ SWg3 の他端は、容量素子 Cg4 の一端とスイッチ SWg4 の一端とに接続される。スイッチ SWg5 の他端は、容量素子 Cg5 の一端に接続される。容量素子 Cg1, Cg2, Cg3, Cg4, Cg5 の他端は、トランジスタ MP11 のゲート、およびスイッチ SW1 の一端に接続される。

[0150] 容量素子 Cg1, Cg2, Cg3, Cg4, Cg5 は、例えば同じ容量の

素子であってもよい。スイッチSWg 1, SWg 2, SWg 3, SWg 4, SWg 5のオンオフ状態は、スイッチ設定信号GASWにより制御される。スイッチSWg 1, SWg 2, SWg 3, SWg 4, SWg 5は、少なくとも1つがオフ状態となるように制御される。これにより、容量素子C 1と容量素子C 2との容量の比率を変更することが可能となる。比較回路23Bにおいて、トランジスタMP 11のゲートに入力される参照信号RAMPの信号波形の傾きは、容量素子C 1と容量素子C 2との容量の比率を変更することにより変更可能である。これにより、参照信号RAMPの信号波形を、AD変換ゲインに応じた波形にすることが可能となる。

[0151] 図21は、変形例2に係る撮像装置1における読出部20の周辺部の一構成例を表している。

[0152] 変形例2に係る撮像装置1は、図3に示した構成例に対して、ゲイン設定制御部81と、レジスタ82とをさらに備えている。

[0153] ここで、ゲイン設定制御部81は、本開示の技術における「設定制御部」の一具体例に相当する。レジスタ82は、本開示の技術における「設定記憶部」の一具体例に相当する。

[0154] 変形例2に係る撮像装置1において、信号処理部14は、複数のAD変換部ADCのそれぞれから出力された画像信号DATA0に基づいて照度データDATA1を生成した後、画像データとしての画像信号DATAを生成するようにしてもよい。信号処理部14は、画素アレイ11における複数の画素Pの全部または一部の画素Pからの信号SIGに基づく画像信号DATA0に基づいて照度を取得して、照度データDATA1をゲイン設定制御部81へ出力してもよい。信号処理部14による照度データDATA1の生成演算は、所定の画素信号の統計値、たとえば平均、中央値、最頻値を得るように構成されてよいし、統計量を得る前後に任意の線形または非線形演算を施してもよい。

[0155] なお、画素アレイ11において、照度計測専用の画素を備えてもよい。また、画素アレイ11において、撮像に用いるか照度計測に用いるかを切り替

えられるように構成された画素を備えてもよい。

[0156] レジスタ82は、容量素子C1と容量素子C2との容量の比率を設定するための設定データGADTを記憶するようにしてもよい。

[0157] ゲイン設定制御部81は、信号処理部14からの照度データDATA1とレジスタ82からの設定データGADTとの少なくとも一方に基づいて、スイッチ設定信号GASWを生成し、容量素子C1と容量素子C2との容量の比率を制御するようにしてもよい。

[0158] 照度データDATA1および設定データGADTとスイッチ設定信号GASWとの対応関係は、演算ハードウェア、演算ソフトウェア、またはルックアップテーブル等で実現するようにしてもよい。

[0159] (動作)

図22は、変形例2に係る撮像装置1における照度計測処理の一例を概略的に示している。図23は、変形例2に係る撮像装置1における撮像処理の一例を概略的に示している。ここでは、1フレームの読み出しシーケンスの一例を示す。また、ローリングシャッタの場合を例に説明する。

[0160] 駆動部12は、撮像制御部15からの指示に基づいて、画素ラインL単位で、画素アレイ11における複数の画素Pを順次駆動する。まず、駆動部12は、1つの画素ラインLを選択する(ステップS110)。次に、駆動部12は、画素アレイ11に対して、選択された1つの画素ラインLについて露光開始駆動および読出駆動を行う(ステップS111)。次に、AD変換部ADCは、1つの画素ラインLの画素Pからの信号SIGについてA/D変換を行う(ステップS112)。次に、AD変換部ADCは、1つの画素ラインLについて、画像信号DATA0の出力を行う(ステップS113)。

[0161] 次に、撮像制御部15は、画素アレイ11の最終ラインまで駆動したか否かを判断する(ステップS114)。最終ラインまで駆動していないと判断した場合(ステップS114:N)には、撮像制御部15は、ステップS110の処理に戻る。撮像制御部15が最終ラインまで駆動したと判断した場

合（ステップS 1 1 4 : Y）には、信号処理部 1 4 は、A D 変換部 A D C から出力された画像信号 D A T A 0 に基づいて照度データ D A T A 1 の生成を行う（ステップS 1 1 5）。次に、信号処理部 1 4 は、照度データ D A T A 1 をゲイン設定制御部 8 1 へ出力する（ステップS 1 1 6）。

[0162] 次に、撮像制御部 1 5 は、図 2 3 の撮像処理を行う。駆動部 1 2 は、撮像制御部 1 5 からの指示に基づいて、画素ライン L 単位で、画素アレイ 1 1 における複数の画素 P を順次駆動する。まず、駆動部 1 2 は、1 つの画素ライン L を選択する（ステップS 1 2 0）。次に、駆動部 1 2 は、画素アレイ 1 1 に対して、選択された 1 つの画素ライン L について露光開始駆動および読出駆動を行う（ステップS 1 2 1）。次に、A D 変換部 A D C は、1 つの画素ライン L の画素 P からの信号 S I G について A / D 変換を行う（ステップS 1 2 2）。次に、A D 変換部 A D C は、1 つの画素ライン L について、画像信号 D A T A 0 の出力を行う（ステップS 1 2 3）。

[0163] 次に、撮像制御部 1 5 は、画素アレイ 1 1 の最終ラインまで駆動したか否かを判断する（ステップS 1 2 4）。最終ラインまで駆動していないと判断した場合（ステップS 1 2 4 : N）には、撮像制御部 1 5 は、ステップS 1 2 0 の処理に戻る。撮像制御部 1 5 が最終ラインまで駆動したと判断した場合（ステップS 1 2 4 : Y）には、信号処理部 1 4 は、A D 変換部 A D C から出力された画像信号 D A T A 0 に基づいて、画像データとしての画像信号 D A T A を生成する（ステップS 1 2 5）。次に、信号処理部 1 4 は、画像データとしての画像信号 D A T A を出力する（ステップS 1 2 6）。

[0164] （効果）

変形例 2 に係る撮像装置 1 によれば、フレームごとに最適なゲインでの撮像が可能になる。なお、変形例 2 に係る撮像装置 1 において、撮像用の露光において照度取得用の露光を兼用し、画像データの生成に合わせて照度データ D A T A 1 を生成してもよい。また、撮像用の露光シーケンスと、照度取得用の露光シーケンスは交互でなくてもよい。例えば照度取得用の露光シーケンスは数フレームに 1 度でもよい。また、信号処理部 1 4 における照度デ

ータDATA1の生成演算を部分の一部または全てと、ゲイン設定制御部81は、他の回路とは異なるチップで構成してもよい。

[0165] その他の構成および動作は、上記一実施の形態に係る撮像装置1と略同様であってもよい。

[0166] <2. 撮像装置の使用例>

図24は、上記実施の形態に係る撮像装置1の使用例を表すものである。上述した撮像装置1は、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0167] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、テレビジョンや、冷蔵庫、エアコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0168] <3. 移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例

例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0169] 図25は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0170] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図25に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F (interface) 12053が図示されている。

[0171] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0172] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック

装置、パワーウィンドウ装置、ランプ等を制御する。

[0173] 車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0174] 撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0175] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0176] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行

うことができる。

[0177] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0178] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で取得される車外の情報に基づいて、ボディ系制御ユニット 12020 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0179] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 25 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0180] 図 26 は、撮像部 12031 の設置位置の例を示す図である。

[0181] 図 26 では、車両 12100 は、撮像部 12031 として、撮像部 12101、12102、12103、12104、12105 を有する。

[0182] 撮像部 12101、12102、12103、12104、12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102、12103 は、

主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。撮像部 12101 及び 12105 で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0183] なお、図 26 には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112, 12113 は、それぞれサイドミラーに設けられた撮像部 12102, 12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像部 12104 の撮像範囲を示す。例えば、撮像部 12101 ないし 12104 で撮像された画像データが重ね合わせられることにより、車両 12100 を上方から見た俯瞰画像が得られる。

[0184] 撮像部 12101 ないし 12104 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 12101 ないし 12104 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0185] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を基に、撮像範囲 12111 ないし 12114 内における各立体物までの距離と、この距離の時間的变化（車両 12100 に対する相対速度）を求めることにより、特に車両 12100 の進行路上にある最も近い立体物で、車両 12100 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0186] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0187] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0188] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12031に適用され得る。これにより、車両制御システム12000では、撮像画像の画質を高めることができる。その結果、車両制御システム12000で

は、車両の衝突回避あるいは衝突緩和機能、車間距離に基づく追従走行機能、車速維持走行機能、車両の衝突警告機能、車両のレーン逸脱警告機能等の精度を高めることができる。

[0189] <4. 測距装置への応用例>

次に、本技術を測距装置に応用した場合の一例について、詳細に説明する。

[0190] 図27は、本応用例に係る測距装置900の一構成例を表すものである。測距装置900は、インダイレクト方式により計測対象物OBJまでの距離を計測するように構成される。測距装置900は、発光部901と、光学系902と、光検出部910と、制御部903とを備えている。

[0191] 発光部901は、計測対象物OBJに向かって光パルスL0を射出するように構成される。発光部901は、制御部903からの指示に基づいて、発光および非発光を交互に繰り返す発光動作を行うことにより光パルスL0を射出するようになっている。発光部901は、例えば赤外光を射出する光源を有する。この光源は、例えば、レーザ光源やLED (Light Emitting Diode) などを用いて構成される。

[0192] 光学系902は、光検出部910の受光面Sにおいて像を結像させるレンズを含んで構成される。この光学系902には、発光部901から射出され、計測対象物OBJにより反射された光パルス（反射光パルスL1）が入射するようになっている。

[0193] 光検出部910は、制御部903からの指示に基づいて、光を検出することにより距離画像PICを生成するように構成される。距離画像PICに含まれる複数の画素値のそれぞれは、計測対象物OBJまでの距離Dについての値を示す。そして、光検出部910は、生成した距離画像PICを画像信号DATAとして出力するようになっている。

[0194] 制御部903は、発光部901および光検出部910に制御信号を供給し、これらの動作を制御することにより、測距装置900の動作を制御するように構成される。

- [0195] 図28は、光検出部910の一構成例を表すものである。光検出部910は、画素アレイ911と、駆動部912と、参照信号生成部913と、読出部919と、信号処理部914と、撮像制御部915とを有している。例えば、画素アレイ911、駆動部912、参照信号生成部913、読出部919、信号処理部914、および撮像制御部915は、1枚の半導体基板に形成されてもよい。また、画素アレイ911が1枚の半導体基板に形成されるとともに、駆動部912、参照信号生成部913、読出部919、信号処理部914、および撮像制御部915が他の半導体基板に形成され、これらの2枚の半導体基板が重ねあわされるようにしてもよい。
- [0196] 画素アレイ911は、マトリックス状に配置された複数の画素920を有している。画素920は、受光量に応じた画素電圧 V_{pix} を生成するように構成される。
- [0197] 図29は、画素920の一構成例を表すものである。画素アレイ911は、複数の制御線931Aと、複数の制御線931Bと、複数の制御線932Aと、複数の制御線932Bと、複数の制御線933と、複数の信号線939Aと、複数の信号線939Bとを有している。
- [0198] 画素920は、フォトダイオード921と、フローティングディフュージョン923A、923Bと、トランジスタ922A、922B、924A、924B、925A、925B、926A、926Bとを有している。フォトダイオード921、フローティングディフュージョン923A、およびトランジスタ922A、924A、925A、926Aからなる回路をタップAとも呼ぶ。また、フォトダイオード921、フローティングディフュージョン923B、およびトランジスタ922B、924B、925B、926Bからなる回路をタップBとも呼ぶ。
- [0199] タップAにおいて、トランジスタ922Aのゲートは制御線931Aに接続され、ソースはフォトダイオード921に接続され、ドレインはフローティングディフュージョン923Aに接続される。フローティングディフュージョン923Aは、フォトダイオード921からトランジスタ922Aを介

して供給された電荷を蓄積するように構成される。トランジスタ924Aのゲートは制御線932Aに接続され、ドレインには電源電圧VDDが供給され、ソースはフローティングディフュージョン923Aに接続される。トランジスタ925Aのゲートはフローティングディフュージョン923Aに接続され、ドレインには電源電圧VDDが供給され、ソースはトランジスタ926Aのドレインに接続される。トランジスタ926Aのゲートは制御線933に接続され、ドレインはトランジスタ925Aのソースに接続され、ソースは信号線939Aに接続される。以上、タップAを例に説明したが、タップBについても同様である。

[0200] この構成により、画素920では、トランジスタ924Aがオン状態になることによりフローティングディフュージョン923Aがリセットされ、トランジスタ924Bがオン状態になることによりフローティングディフュージョン923Bがリセットされる。そして、トランジスタ922A、922Bのうちのいずれか1つが交互にオン状態になることにより、フォトダイオード921により生成された電荷がフローティングディフュージョン923Aおよびフローティングディフュージョン923Bに選択的に蓄積される。そして、トランジスタ926A、926Bがオン状態になることにより、画素920は、フローティングディフュージョン923Aに蓄積された電荷の量に応じた画素信号を信号線939Aに出力するとともに、フローティングディフュージョン923Bに蓄積された電荷の量に応じた画素信号を信号線939Bに出力するようになっている。

[0201] 駆動部912（図28）は、撮像制御部915からの指示に基づいて、画素ラインL単位で、画素アレイ911における複数の画素920を順次駆動するように構成される。参照信号生成部913は、撮像制御部915からの指示に基づいて、参照信号RAMPを生成するように構成される。読出部919は、撮像制御部915からの指示に基づいて、画素アレイ911から信号線939A、939Bを介して供給された画素信号に基づいてAD変換を行うことにより、画像信号DATA0を生成するように構成される。信号処

理部 914 は、撮像制御部 915 からの指示に基づいて、画像信号 DATA に対して、所定の信号処理を行うことにより距離画像 PIC を生成し、この距離画像 PIC を含む画像信号 DATA を出力するように構成される。撮像制御部 915 は、駆動部 912、参照信号生成部 913、読出部 919、および信号処理部 914 に制御信号を供給し、これらの回路の動作を制御することにより、光検出部 910 の動作を制御するように構成される。

[0202] 図 30 は、測距装置 900 の一動作例を表すものであり、図 30 (A) は、発光部 901 から射出される光パルス L0 の波形を示し、図 30 (B) は、光検出部 910 が検出する反射光パルス L1 の波形を示す。

[0203] 発光部 901 は、制御部 903 からの指示に基づいて、デューティ比が 50% であるパルス波形を有する光パルス L0 を射出する (図 30 (A))。この光パルス L0 は、計測対象物 OBJ に向かって進行する。そして、この光パルス L0 が計測対象物 OBJ により反射され、反射された反射光パルス L1 は、光検出部 910 に向かって進行する。そして、この光検出部 910 の画素 920 が、この反射光パルス L1 を検出する (図 30 (B))。画素 920 により検出された反射光パルス L1 は、図 30 (A) に示した光パルス L0 の波形を遅延時間 DL だけ遅延した波形を有する。この遅延時間 DL は、光が、発光部 901、計測対象物 OBJ、光検出部 910 の順に進行する時間であり、光の飛行時間に対応する。この光の飛行時間は、測距装置 900 と計測対象物 OBJ との間の距離に対応している。

[0204] インダイレクト方式では、画素 920 のフローティングディフュージョン 923A は、発光部 901 が発光する期間 941 において、フォトダイオード 921 の受光量に応じた信号電荷 Q1 を蓄積し、画素 920 のフローティングディフュージョン 923B は、発光部 901 が消光する期間 942 において、フォトダイオード 921 の受光量に応じた信号電荷 Q2 を蓄積する。そして、信号処理部 914 は、信号電荷 Q1 と信号電荷 Q2 との電荷比を求める。フォトダイオード 921 は、期間 951、952 において光を検出しているので、信号電荷 Q1 の電荷量は、期間 951 の長さに比例し、信号電

荷 Q_2 の電荷量は、期間 952 の長さに比例する。遅延時間 DL が短い場合には、信号電荷 Q_1 が多くなるとともに信号電荷 Q_2 が少なくなり、遅延時間 DL が長い場合には、信号電荷 Q_1 が少なくなるとともに信号電荷 Q_2 が多くなる。このように、信号電荷 Q_1 と信号電荷 Q_2 の電荷比は、遅延時間 DL に応じて変化する。インダイレクト方式では、この電荷比を求めることにより、例えば高い精度で遅延時間 DL を求めることができ、その結果、高い精度で、計測対象物 OBJ までの距離を計測することができる。この読出部 919 には、本技術を適用することができる。これにより、距離画像の画質を高めることができる。

[0205] 以上、本開示に係る技術が適用され得る測距装置 900 の一例について説明した。本開示に係る技術は、このような測距装置 900 に適用され得る。これにより、測距装置 900 では、距離画像の画質を高めることができる。

[0206] <5. その他の実施の形態>

本開示による技術は、上記一実施の形態および変形例の説明に限定されず種々の変形実施が可能である。

[0207] 例えば、上記の実施の形態では、図 2 に示したように画素 P を構成したが、これに限定されるものではなく、様々な構成の画素を用いることができる。

[0208] 例えば、本技術は以下のような構成を取ることもできる。

以下の構成の本技術によれば、複数の AD 変換部のそれぞれの比較回路において、第 2 段アンプ回路からの第 2 の出力信号の電圧を、クランプ回路によって選択的にクランプすることを可能にしたので、画質の向上を図ることが可能となる。

[0209] (1)

マトリックス状に配置され、それぞれが画素信号を生成可能な複数の画素と、

参照信号を生成可能な参照信号生成部と、

前記複数の画素の各画素列ごとに設けられ、前記画素信号および前記参照

信号に基づく比較動作に応じた第1の出力信号を出力可能な第1段アンプ回路と、前記第1段アンプ回路に接続され、前記第1段アンプ回路から出力された前記第1の出力信号に応じた第2の出力信号を出力可能な第2段アンプ回路とを有する比較回路を含み、前記第2の出力信号に基づいて前記画素信号のA/D変換を行う複数のA/D変換部と、

前記複数のA/D変換部のそれぞれの前記比較回路に対して設けられ、クランプ制御信号に基づいてオンオフ制御されるスイッチを有し、前記スイッチがオン状態になることにより、前記第2段アンプ回路からの前記第2の出力信号の電圧を選択的にクランプすることが可能な複数のクランプ回路と、

前記複数のクランプ回路のそれぞれに対する前記クランプ制御信号を生成する制御信号発生部と

を備える

光検出装置。

(2)

前記複数のA/D変換部のそれぞれの前記比較回路に対して設けられ、前記第1段アンプ回路と前記第2段アンプ回路とに共通の電源電圧を供給する電源回路、をさらに備える

上記(1)に記載の光検出装置。

(3)

前記制御信号発生部は、前記複数のA/D変換部のそれぞれのA/D変換ゲインに基づいて前記クランプ制御信号を生成する

上記(1)または(2)に記載の光検出装置。

(4)

前記複数のA/D変換部はそれぞれ、少なくとも、第1のA/D変換ゲインでA/D変換を行う第1のゲインモードと前記第1のA/D変換ゲインよりも高い第2のA/D変換ゲインでA/D変換を行う第2のゲインモードとを含む複数のゲインモードで動作可能であり、

前記制御信号発生部は、前記複数のクランプ回路のそれぞれに対して、前

記クランプ制御信号として、前記第1のゲインモードでは前記クランプ回路のクランプ機能が無効となり、前記第2のゲインモードでは前記クランプ回路の前記クランプ機能が有効となるような信号を出力する

上記(3)に記載の光検出装置。

(5)

前記複数の画素はそれぞれ、前記画素信号として、第1の期間においてリセット電圧となる信号を出力した後、第2の期間において受光量に応じた画素電圧となる信号を出力するようになされ、

前記参照信号生成部は、前記第1の期間の開始前の所定の期間、および前記第2の期間の開始前の所定の期間において所定の基準電圧となる参照信号を生成するようになされ、

前記制御信号発生部は、前記クランプ制御信号として、前記所定の期間の終了タイミングに同期して前記クランプ回路の前記スイッチがオン状態になるような信号を生成する

上記(1)ないし(4)のいずれか1つに記載の光検出装置。

(6)

前記第1段アンプ回路は、

前記参照信号が入力される第1の容量素子と、

前記画素信号が入力される第2の容量素子と、

ゲートと、ドレインと、ソースとを有し、前記第1の容量素子を介して前記ゲートに前記参照信号が入力されると共に、前記第2の容量素子を介して前記ゲートに前記画素信号が入力される第1のトランジスタと

を有する

上記(1)ないし(5)のいずれか1つに記載の光検出装置。

(7)

前記第1段アンプ回路は、

前記第1のトランジスタの前記ドレインに接続された第1の負荷トランジスタ、をさらに有する

上記（６）に記載の光検出装置。

（８）

前記第１の容量素子および前記第２の容量素子のうち少なくとも一方は容量が可変であり、前記第１の容量素子と前記第２の容量素子との容量の比率が変更可能である

上記（６）または（７）に記載の光検出装置。

（９）

照度データに基づいて、前記第１の容量素子と前記第２の容量素子との容量の比率を制御する設定制御部、をさらに備える

上記（８）に記載の光検出装置。

（１０）

前記複数のＡＤ変換部のそれぞれから出力された信号に基づいて前記照度データを生成した後、画像データを生成する信号処理部、をさらに備える

上記（９）に記載の光検出装置。

（１１）

前記第１の容量素子と前記第２の容量素子との容量の比率を設定するための設定データを記憶する設定記憶部、をさらに備え、

前記設定制御部は、前記照度データと前記設定データとに基づいて、前記第１の容量素子と前記第２の容量素子との容量の比率を制御する制御信号を生成する

上記（９）または（１０）に記載の光検出装置。

（１２）

前記第２段アンプ回路は、

ゲートと、ドレインと、ソースとを有し、前記ゲートに前記第１の出力信号が入力され、前記ドレインから前記第２の出力信号を出力可能な第２のトランジスタを有する

上記（１）ないし（１１）のいずれか１つに記載の光検出装置。

（１３）

前記第2アンプ回路は、

前記第2のトランジスタの前記ドレインに接続された第2の負荷トランジスタ、をさらに有する

上記(12)に記載の光検出装置。

(14)

前記複数のAD変換部のそれぞれの前記比較回路に対して設けられ、前記第2の出力信号を反転させるインバータ、をさらに備え、

前記複数のクランプ回路はそれぞれ、前記インバータの入力端と出力端とに接続されている

上記(1)ないし(13)のいずれか1つに記載の光検出装置。

(15)

光検出装置を含み、

前記光検出装置は、

マトリックス状に配置され、それぞれが画素信号を生成可能な複数の画素と、

参照信号を生成可能な参照信号生成部と、

前記複数の画素の各画素列ごとに設けられ、前記画素信号および前記参照信号に基づく比較動作に応じた第1の出力信号を出力可能な第1段アンプ回路と、前記第1段アンプ回路に接続され、前記第1段アンプ回路から出力された前記第1の出力信号に応じた第2の出力信号を出力可能な第2段アンプ回路とを有する比較回路を含み、前記第2の出力信号に基づいて前記画素信号のAD変換を行う複数のAD変換部と、

前記複数のAD変換部のそれぞれの前記比較回路に対して設けられ、クランプ制御信号に基づいてオンオフ制御されるスイッチを有し、前記スイッチがオン状態になることにより、前記第2段アンプ回路からの前記第2の出力信号の電圧を選択的にクランプすることが可能な複数のクランプ回路と、

前記複数のクランプ回路のそれぞれに対する前記クランプ制御信号を生成する制御信号発生部と

を備える

電子機器。

[0210] 本出願は、日本国特許庁において2020年7月3日に出願された日本特許出願番号第2020-115934号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0211] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] マトリックス状に配置され、それぞれが画素信号を生成可能な複数の画素と、
- 参照信号を生成可能な参照信号生成部と、
- 前記複数の画素の各画素列ごとに設けられ、前記画素信号および前記参照信号に基づく比較動作に応じた第1の出力信号を出力可能な第1段アンプ回路と、前記第1段アンプ回路に接続され、前記第1段アンプ回路から出力された前記第1の出力信号に応じた第2の出力信号を出力可能な第2段アンプ回路とを有する比較回路を含み、前記第2の出力信号に基づいて前記画素信号のA/D変換を行う複数のA/D変換部と、
- 前記複数のA/D変換部のそれぞれの前記比較回路に対して設けられ、クランプ制御信号に基づいてオンオフ制御されるスイッチを有し、前記スイッチがオン状態になることにより、前記第2段アンプ回路からの前記第2の出力信号の電圧を選択的にクランプすることが可能な複数のクランプ回路と、
- 前記複数のクランプ回路のそれぞれに対する前記クランプ制御信号を生成する制御信号発生部と
- を備える
- 光検出装置。
- [請求項2] 前記複数のA/D変換部のそれぞれの前記比較回路に対して設けられ、前記第1段アンプ回路と前記第2段アンプ回路とに共通の電源電圧を供給する電源回路、をさらに備える
- 請求項1に記載の光検出装置。
- [請求項3] 前記制御信号発生部は、前記複数のA/D変換部のそれぞれのA/D変換ゲインに基づいて前記クランプ制御信号を生成する
- 請求項1に記載の光検出装置。
- [請求項4] 前記複数のA/D変換部はそれぞれ、少なくとも、第1のA/D変換ゲ

インでAD変換を行う第1のゲインモードと前記第1のAD変換ゲインよりも高い第2のAD変換ゲインでAD変換を行う第2のゲインモードとを含む複数のゲインモードで動作可能であり、

前記制御信号発生部は、前記複数のクランプ回路のそれぞれに対して、前記クランプ制御信号として、前記第1のゲインモードでは前記クランプ回路のクランプ機能が無効となり、前記第2のゲインモードでは前記クランプ回路の前記クランプ機能が有効となるような信号を出力する

請求項3に記載の光検出装置。

[請求項5]

前記複数の画素はそれぞれ、前記画素信号として、第1の期間においてリセット電圧となる信号を出力した後、第2の期間において受光量に応じた画素電圧となる信号を出力するようになされ、

前記参照信号生成部は、前記第1の期間の開始前の所定の期間、および前記第2の期間の開始前の所定の期間において所定の基準電圧となる参照信号を生成するようになされ、

前記制御信号発生部は、前記クランプ制御信号として、前記所定の期間の終了タイミングに同期して前記クランプ回路の前記スイッチがオン状態になるような信号を生成する

請求項1に記載の光検出装置。

[請求項6]

前記第1段アンプ回路は、

前記参照信号が入力される第1の容量素子と、

前記画素信号が入力される第2の容量素子と、

ゲートと、ドレインと、ソースとを有し、前記第1の容量素子を介して前記ゲートに前記参照信号が入力されると共に、前記第2の容量素子を介して前記ゲートに前記画素信号が入力される第1のトランジスタと

を有する

請求項1に記載の光検出装置。

- [請求項7] 前記第1段アンプ回路は、
 前記第1のトランジスタの前記ドレインに接続された第1の負荷トランジスタ、をさらに有する
 請求項6に記載の光検出装置。
- [請求項8] 前記第1の容量素子および前記第2の容量素子のうち少なくとも一方は容量が可変であり、前記第1の容量素子と前記第2の容量素子との容量の比率が変更可能である
 請求項6に記載の光検出装置。
- [請求項9] 照度データに基づいて、前記第1の容量素子と前記第2の容量素子との容量の比率を制御する設定制御部、をさらに備える
 請求項8に記載の光検出装置。
- [請求項10] 前記複数のAD変換部のそれぞれから出力された信号に基づいて前記照度データを生成した後、画像データを生成する信号処理部、をさらに備える
 請求項9に記載の光検出装置。
- [請求項11] 前記第1の容量素子と前記第2の容量素子との容量の比率を設定するための設定データを記憶する設定記憶部、をさらに備え、
 前記設定制御部は、前記照度データと前記設定データとに基づいて、前記第1の容量素子と前記第2の容量素子との容量の比率を制御する制御信号を生成する
 請求項9に記載の光検出装置。
- [請求項12] 前記第2段アンプ回路は、
 ゲートと、ドレインと、ソースとを有し、前記ゲートに前記第1の出力信号が入力され、前記ドレインから前記第2の出力信号を出力可能な第2のトランジスタを有する
 請求項1に記載の光検出装置。
- [請求項13] 前記第2アンプ回路は、
 前記第2のトランジスタの前記ドレインに接続された第2の負荷ト

ランジスタ、をさらに有する

請求項 1 2 に記載の光検出装置。

[請求項14] 前記複数の A D 変換部のそれぞれの前記比較回路に対して設けられ、前記第 2 の出力信号を反転させるインバータ、をさらに備え、
前記複数のクランプ回路はそれぞれ、前記インバータの入力端と出力端とに接続されている

請求項 1 に記載の光検出装置。

[請求項15] 光検出装置を含み、
前記光検出装置は、
マトリックス状に配置され、それぞれが画素信号を生成可能な複数の画素と、

参照信号を生成可能な参照信号生成部と、

前記複数の画素の各画素列ごとに設けられ、前記画素信号および前記参照信号に基づく比較動作に応じた第 1 の出力信号を出力可能な第 1 段アンプ回路と、前記第 1 段アンプ回路に接続され、前記第 1 段アンプ回路から出力された前記第 1 の出力信号に応じた第 2 の出力信号を出力可能な第 2 段アンプ回路とを有する比較回路を含み、前記第 2 の出力信号に基づいて前記画素信号の A D 変換を行う複数の A D 変換部と、

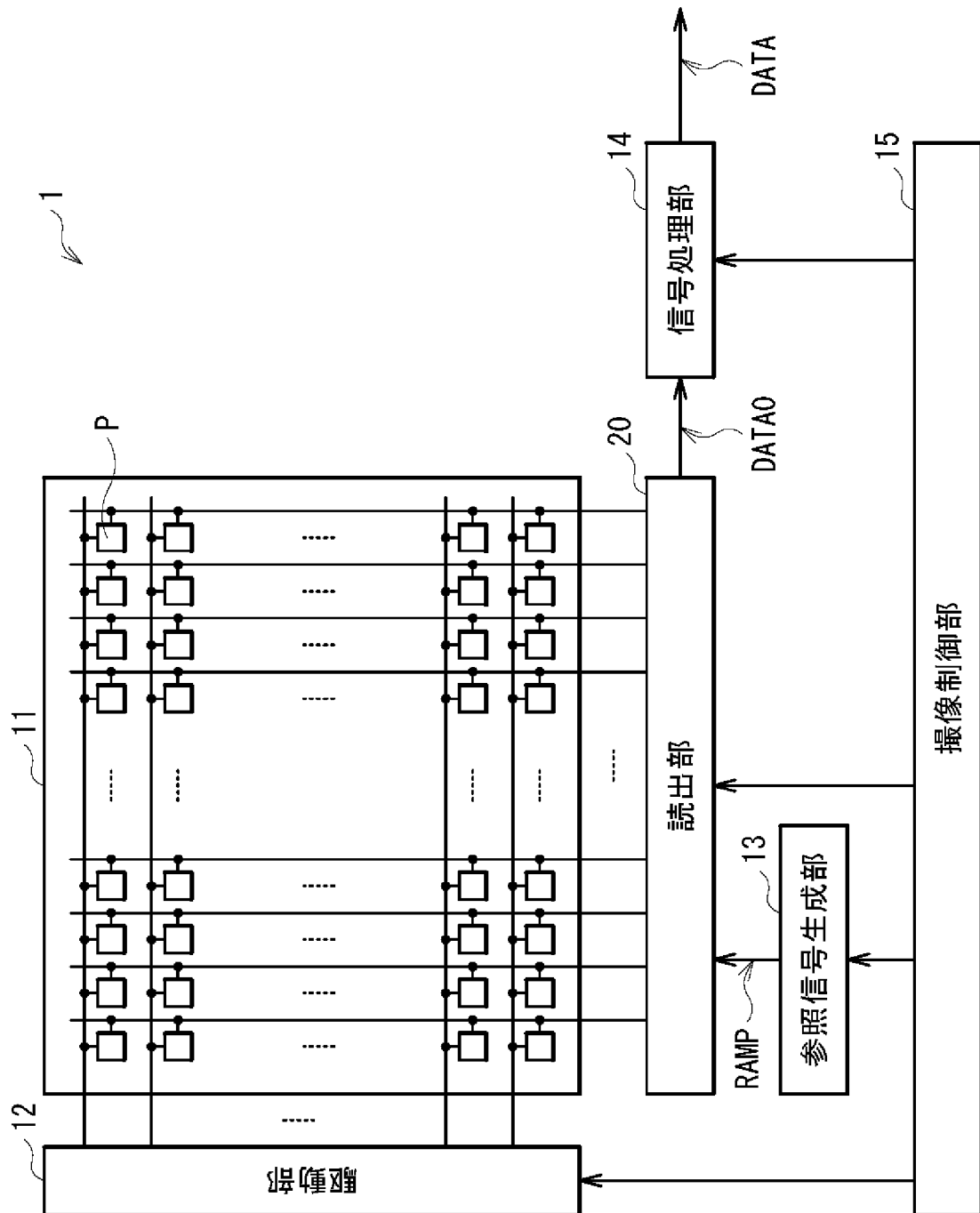
前記複数の A D 変換部のそれぞれの前記比較回路に対して設けられ、クランプ制御信号に基づいてオンオフ制御されるスイッチを有し、前記スイッチがオン状態になることにより、前記第 2 段アンプ回路からの前記第 2 の出力信号の電圧を選択的にクランプすることが可能な複数のクランプ回路と、

前記複数のクランプ回路のそれぞれに対する前記クランプ制御信号を生成する制御信号発生部と

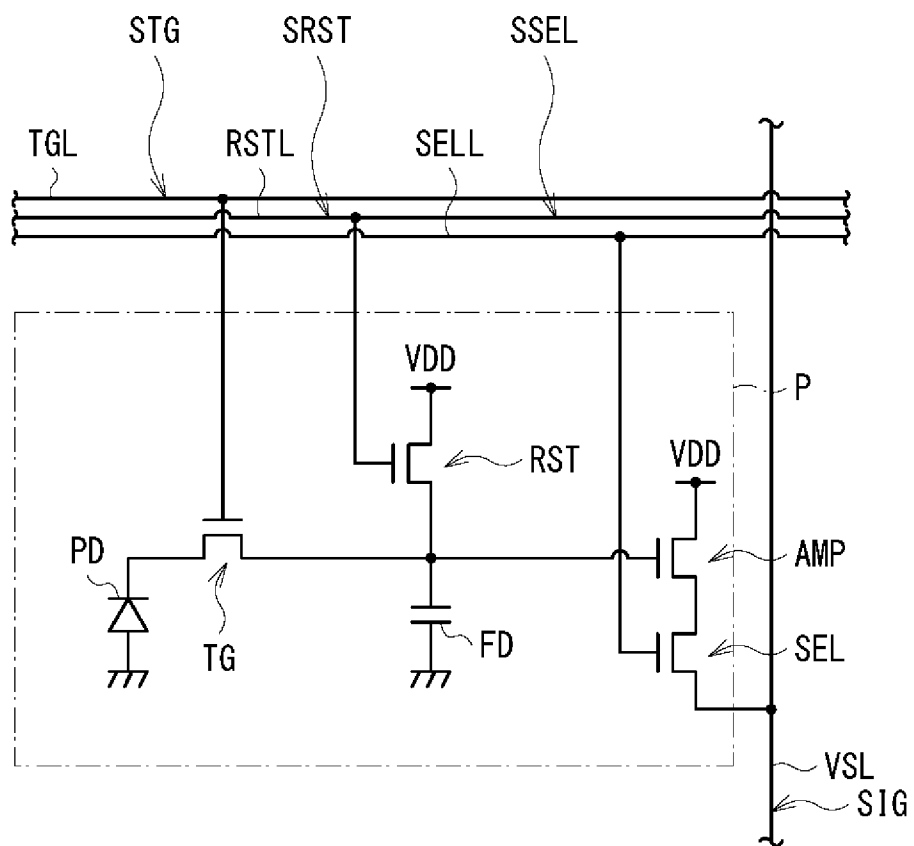
を備える

電子機器。

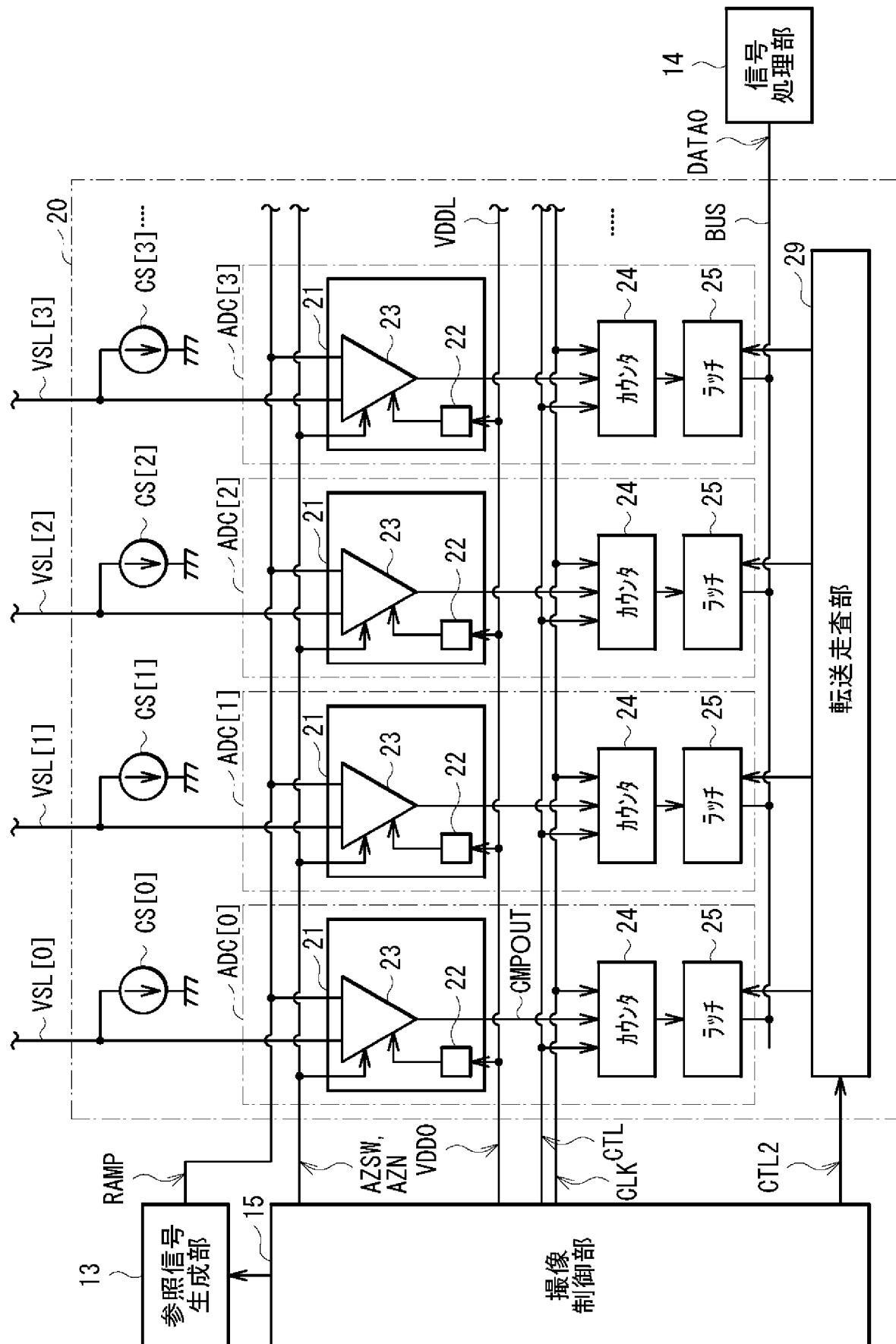
[図1]



[図2]

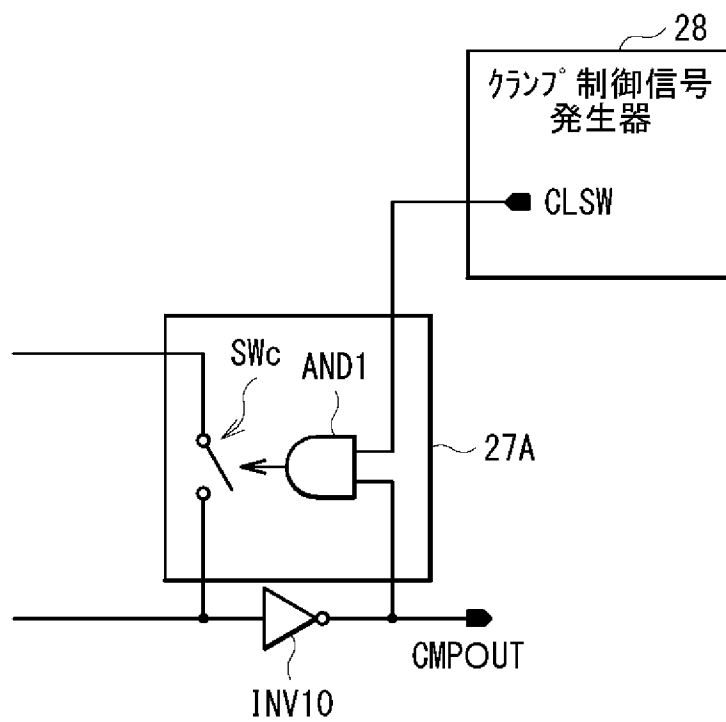


[図3]

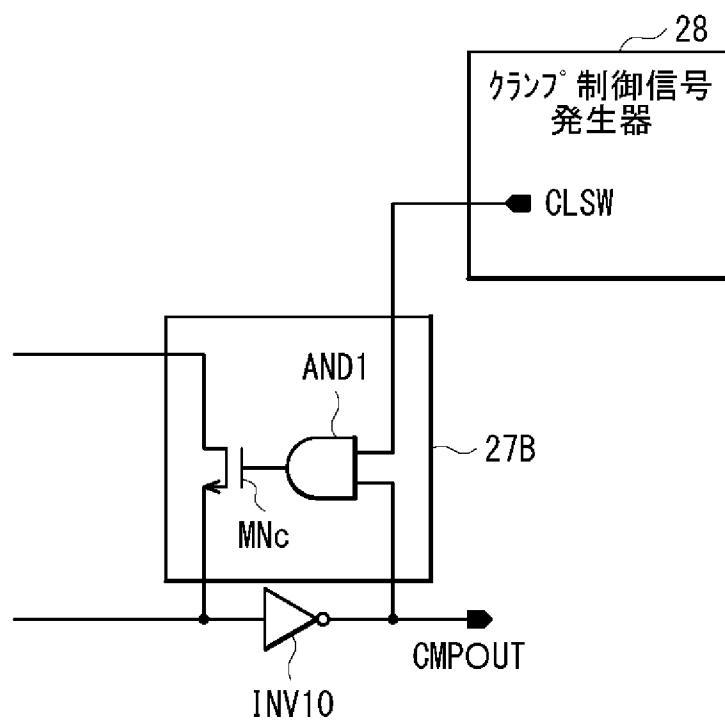


[illegible]

[図5]



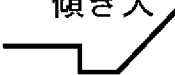
[図6]



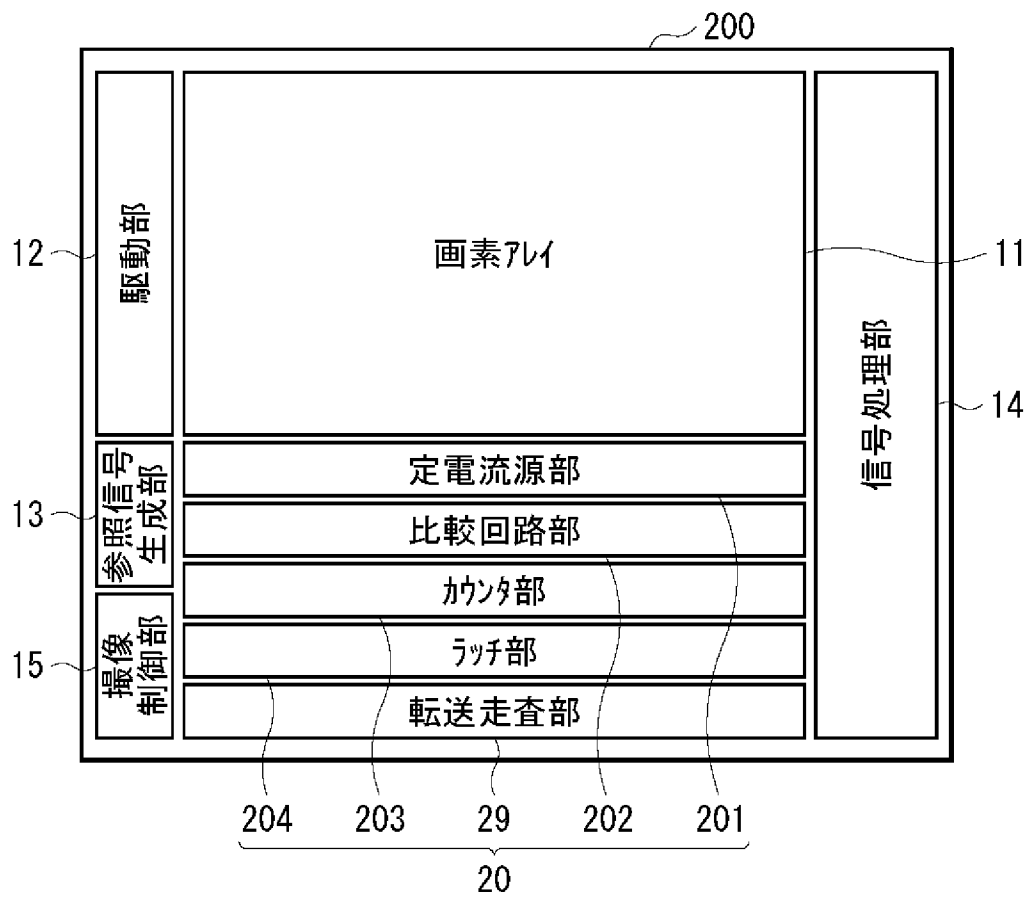
[図7]

CLSW	CMPOUT	クランプ機能
0	0	OFF
0	1	OFF
1	0	OFF
1	1	ON

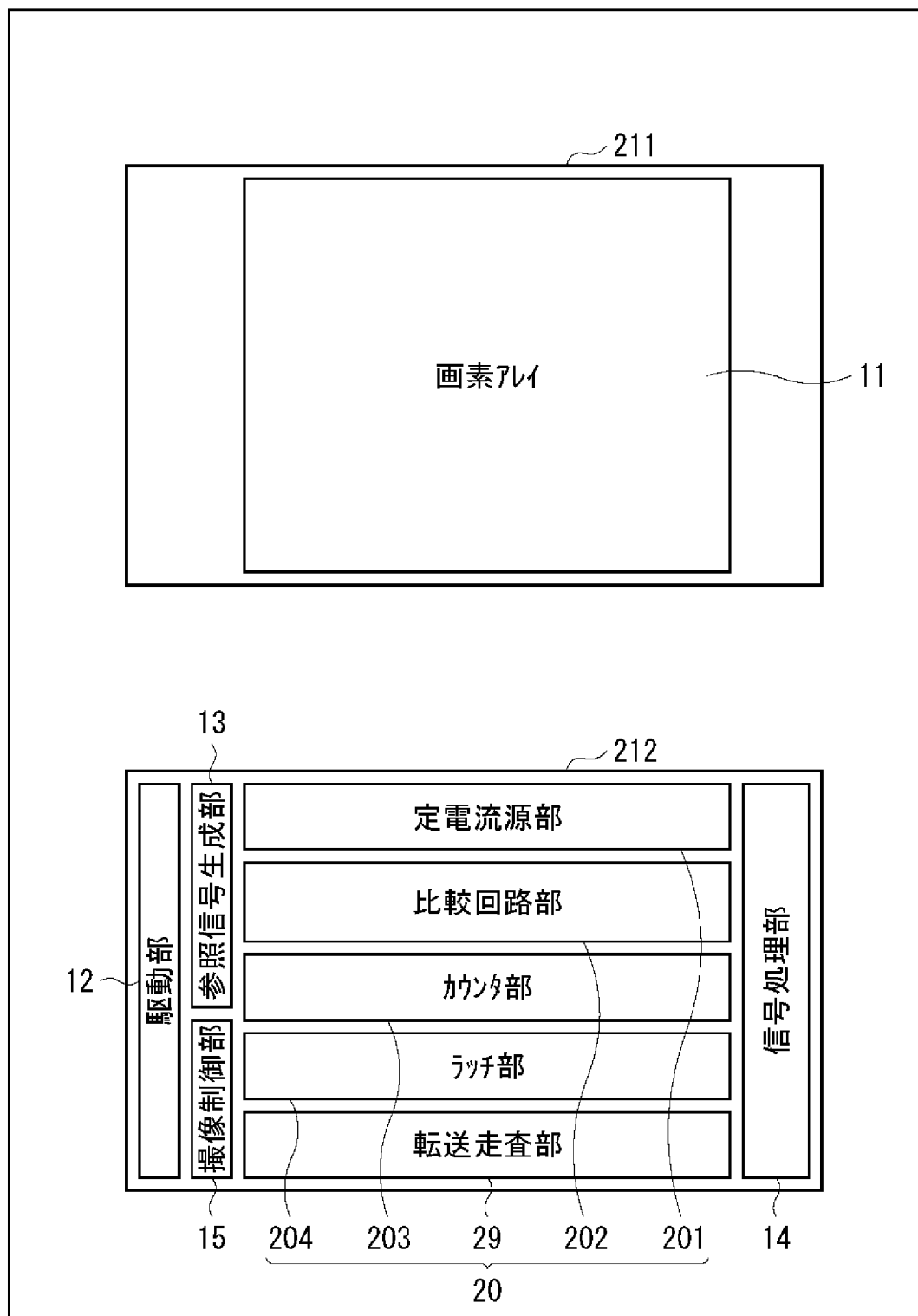
[図8]

AD変換ゲイン	低ゲイン	高ゲイン
クランプ機能	無効	無効
CLSW	OFF 	 ON
RAMP波形	傾き大 	傾き小 

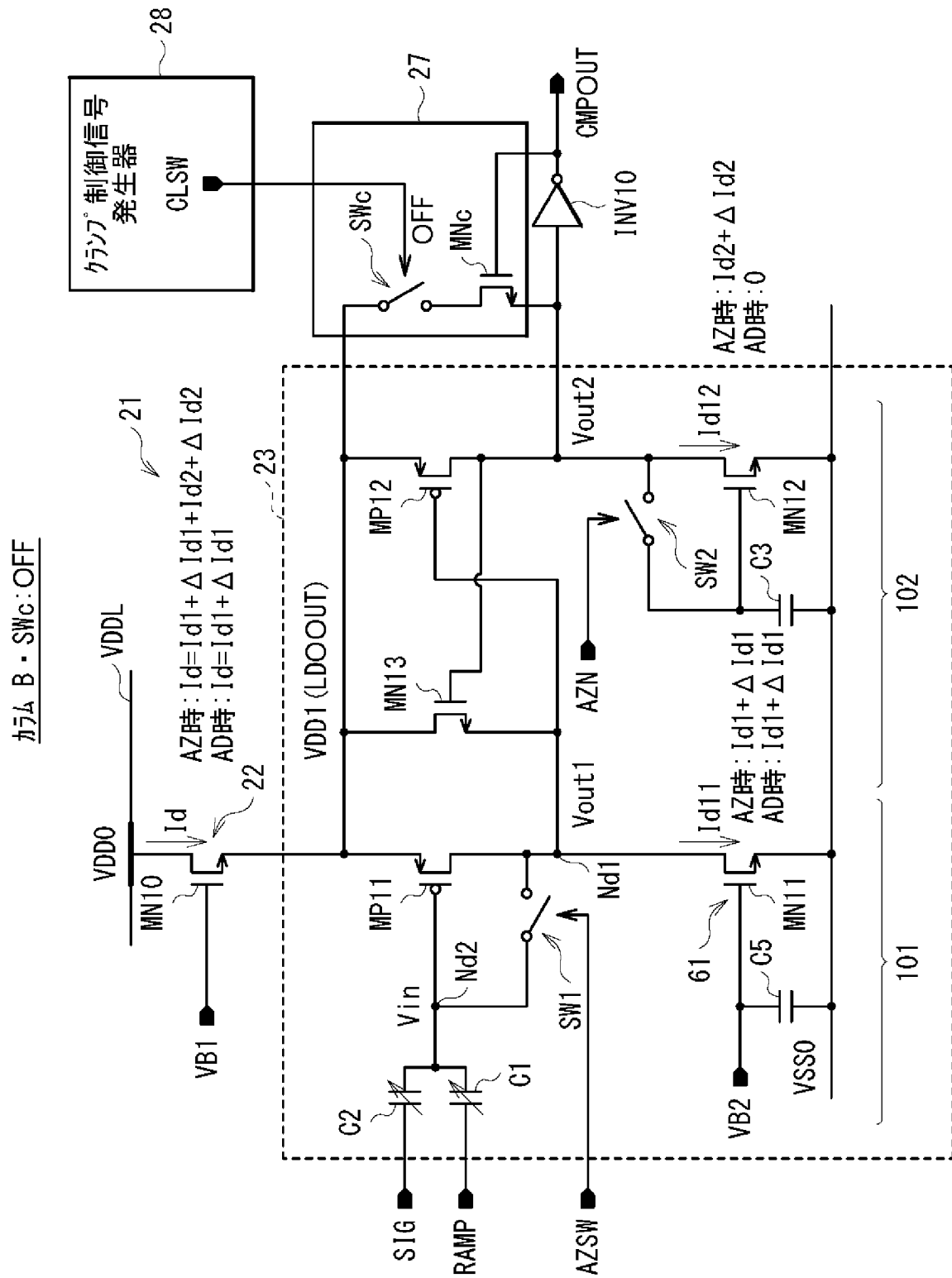
[図9]



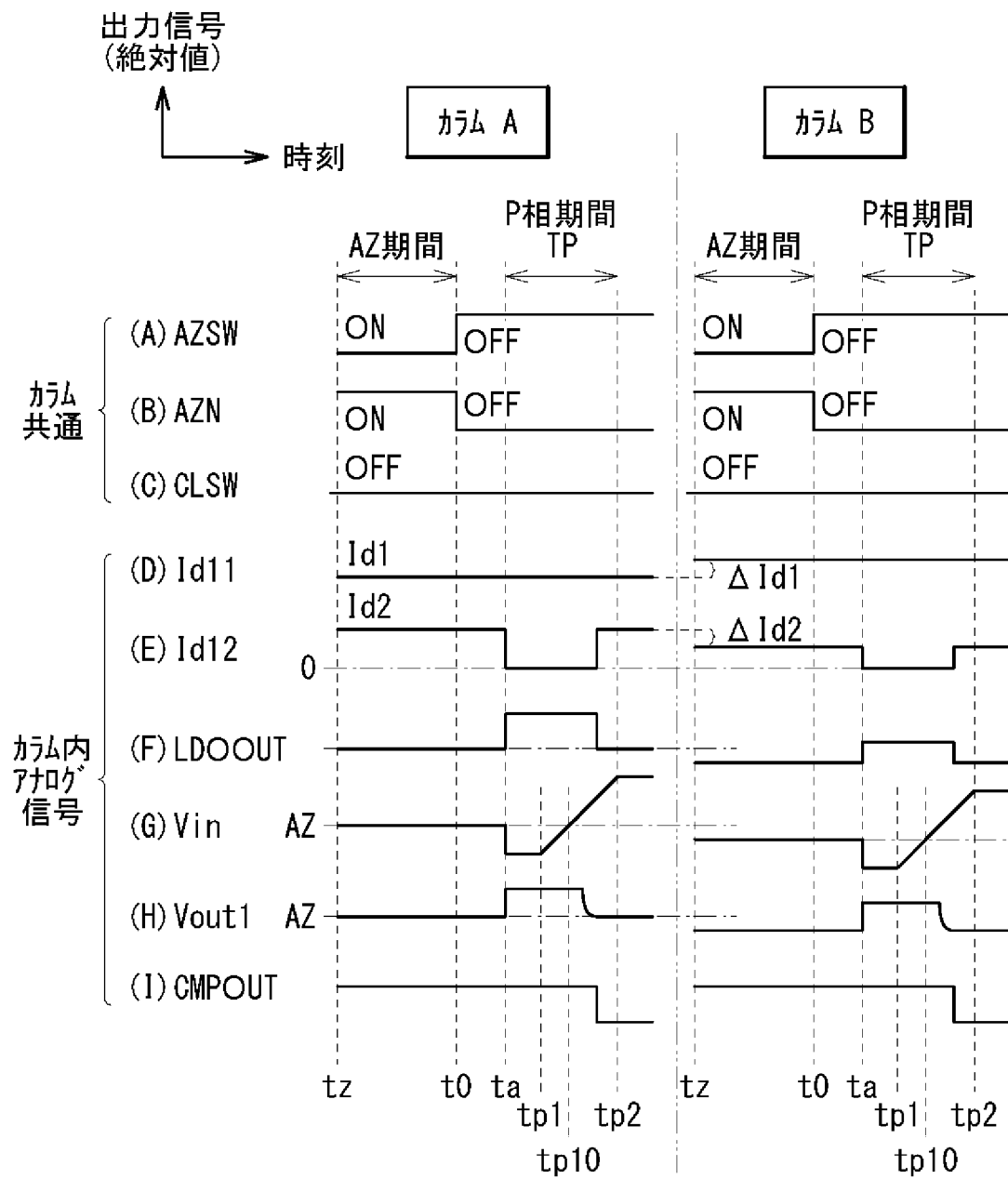
[図10]



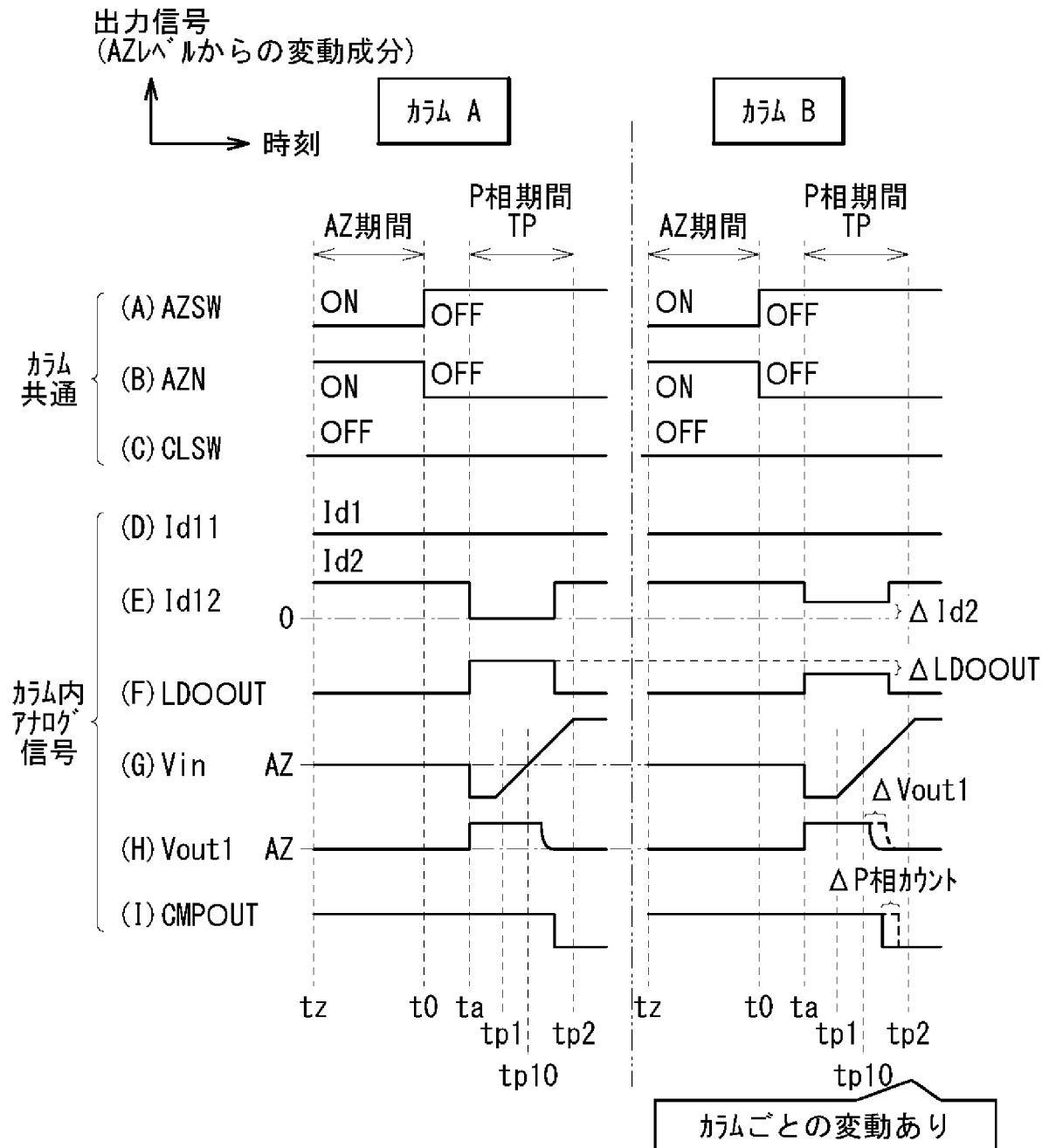
[図12]



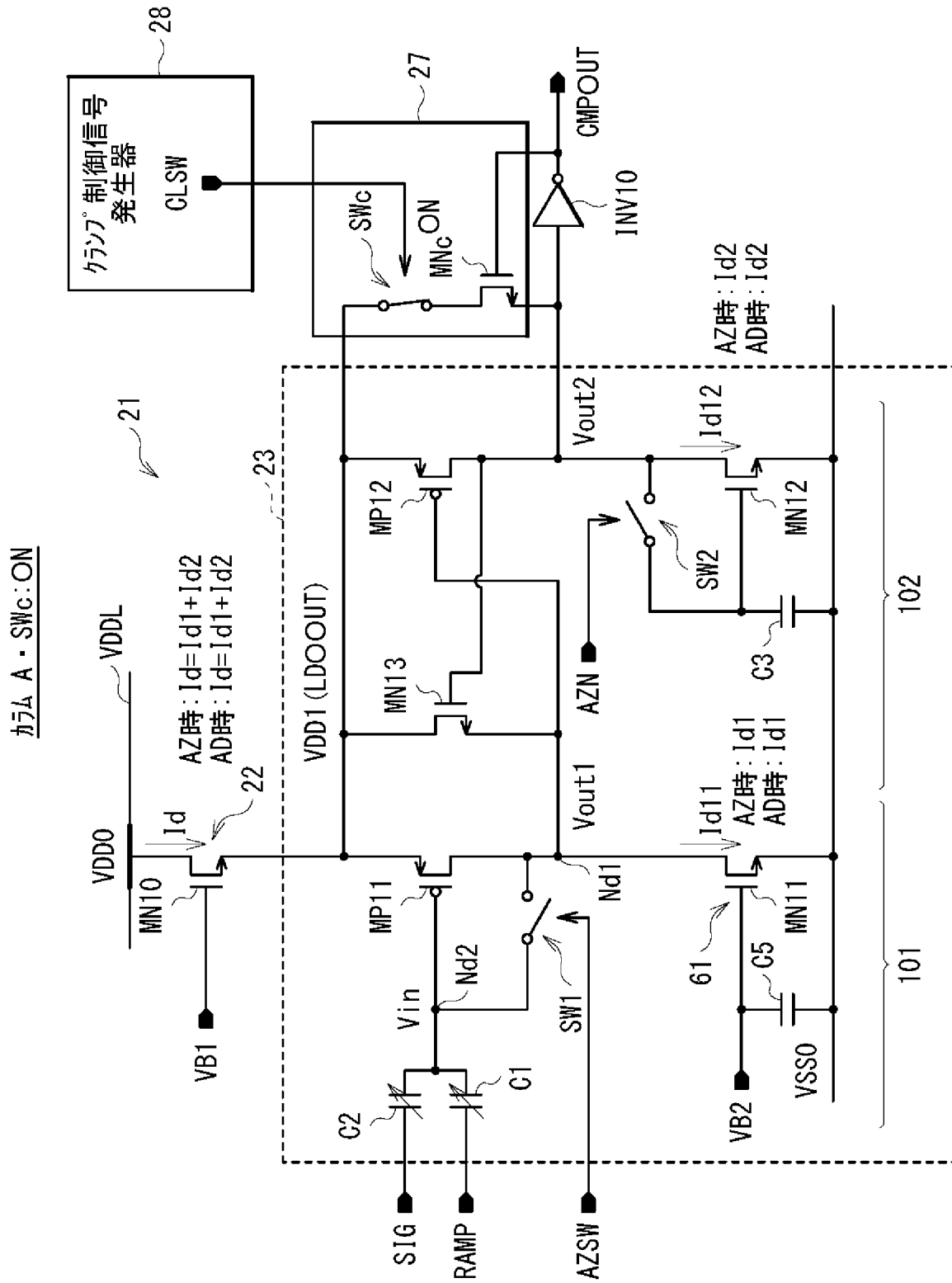
[図13]



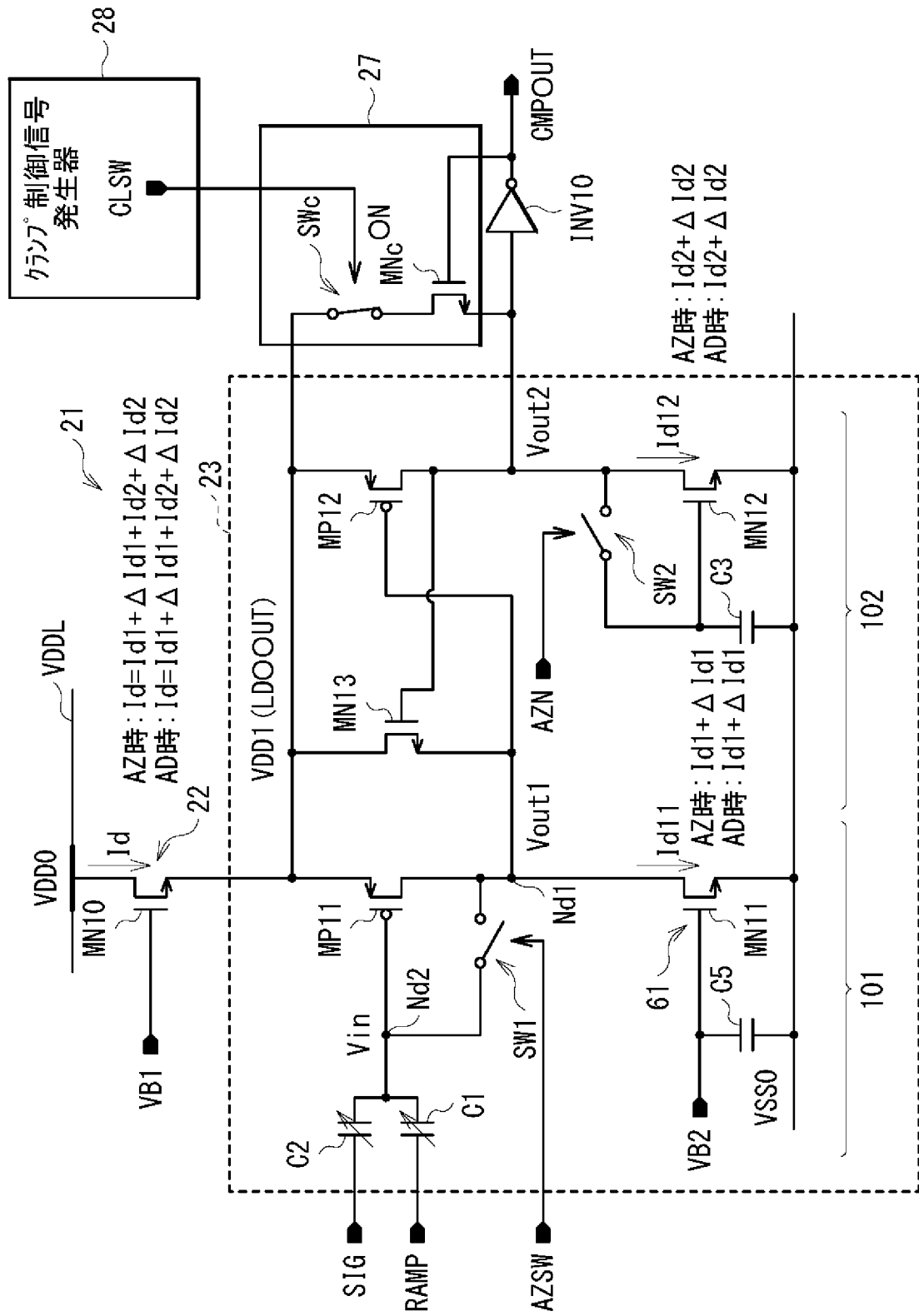
[図14]



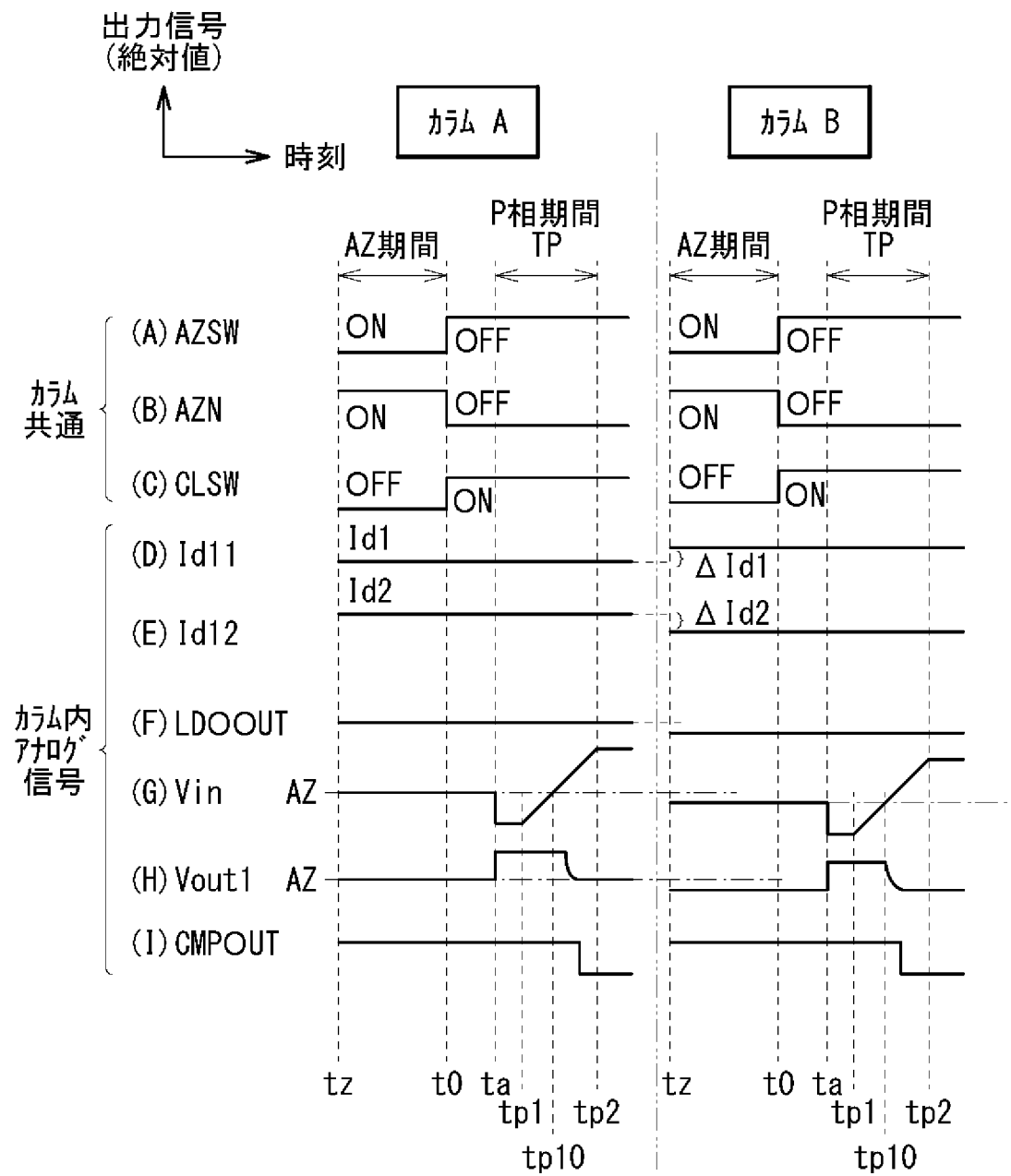
[図15]



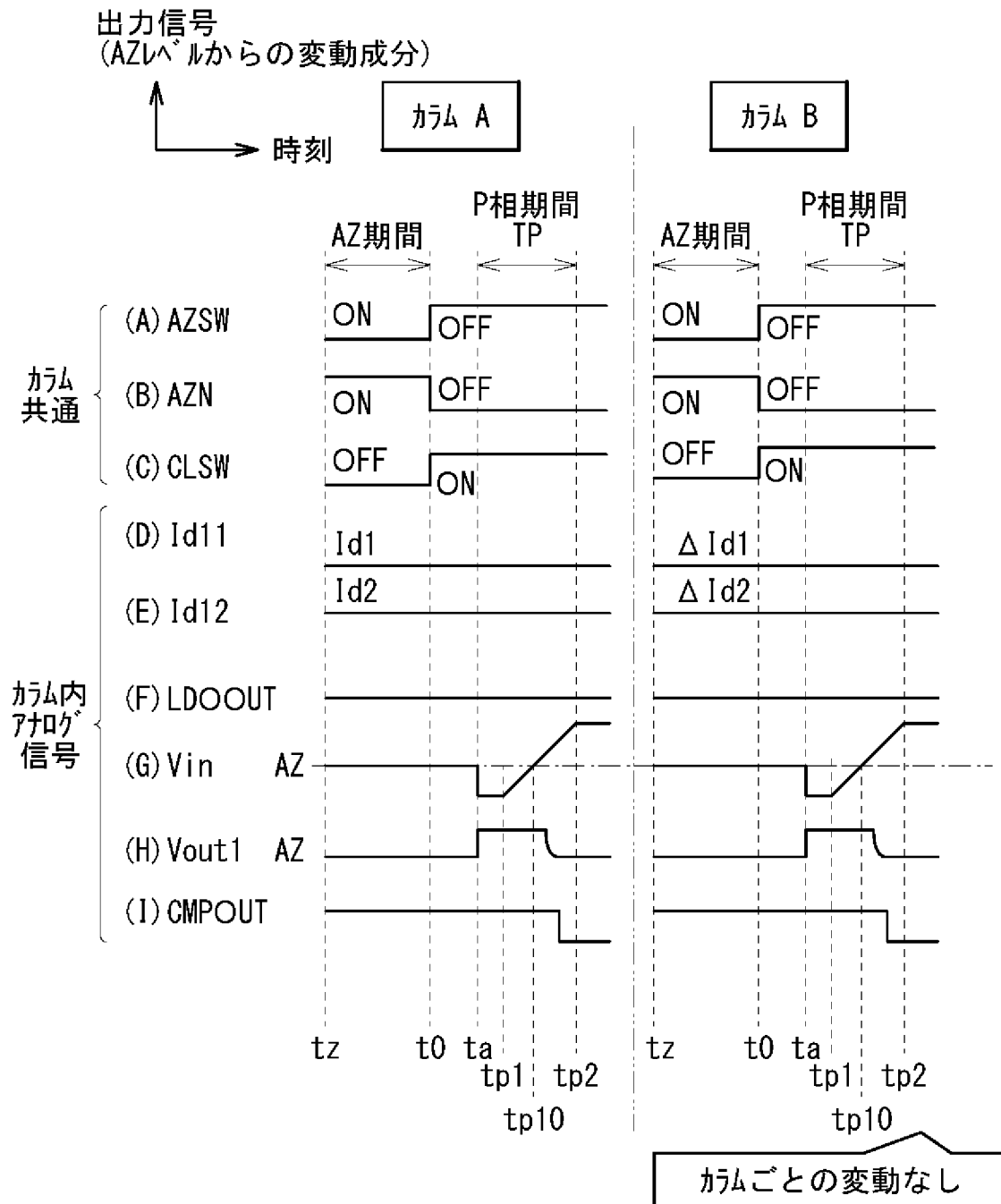
カラム B - SWC: ON



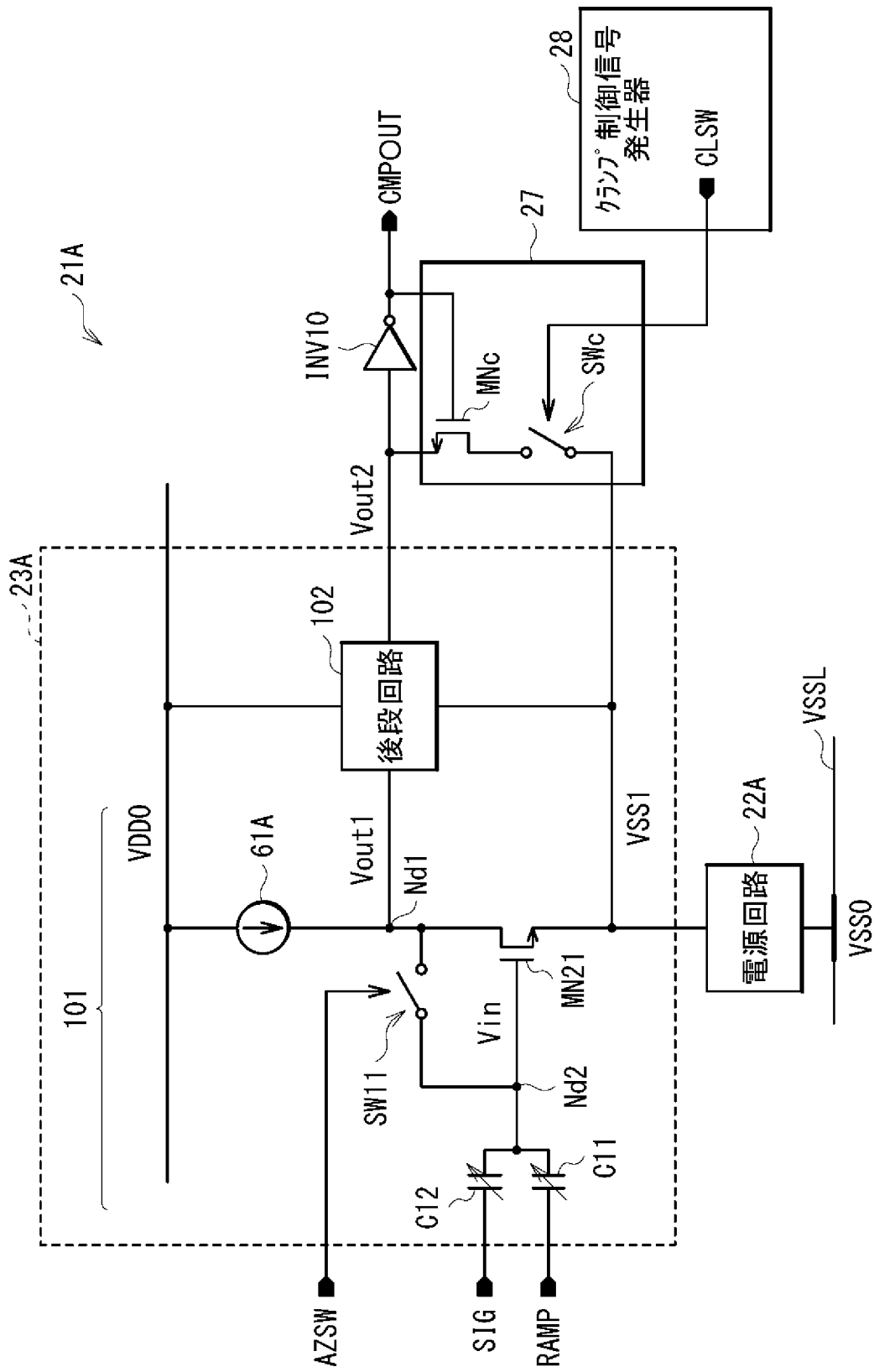
[図17]



[図18]

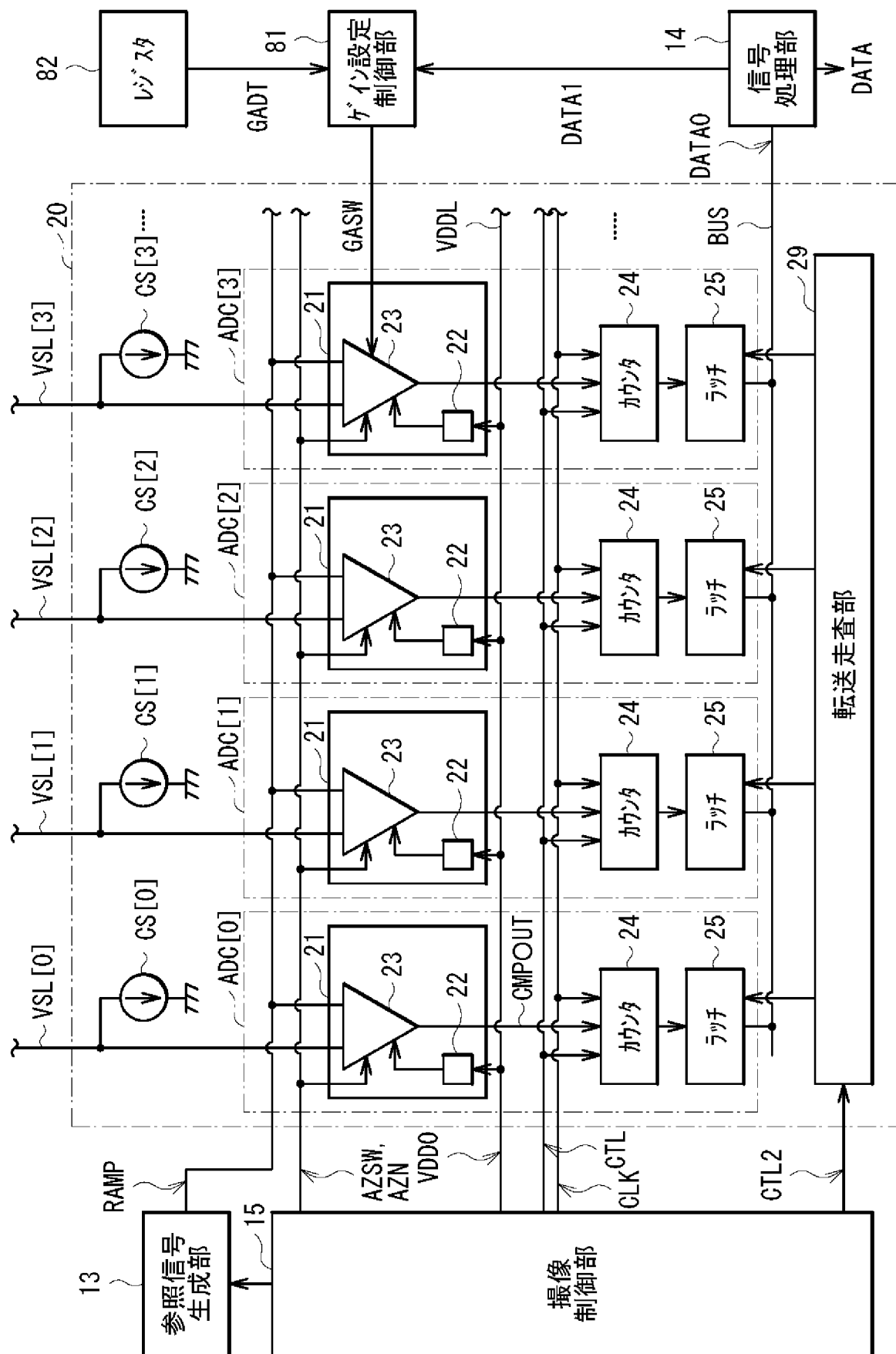


[図19A]

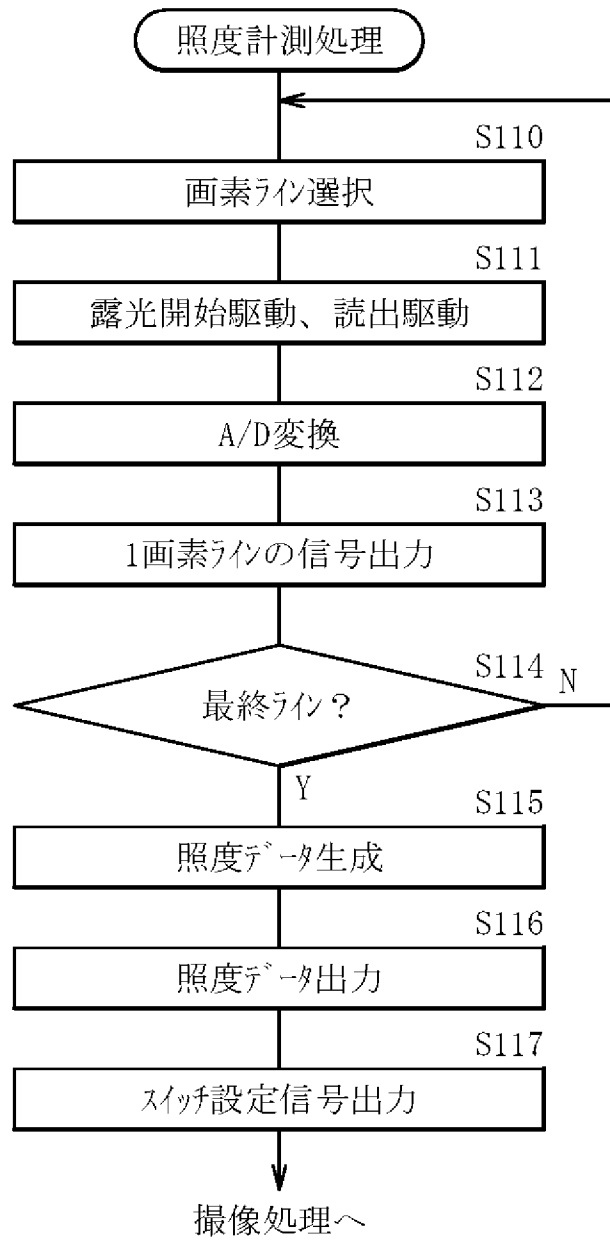


[illegible]

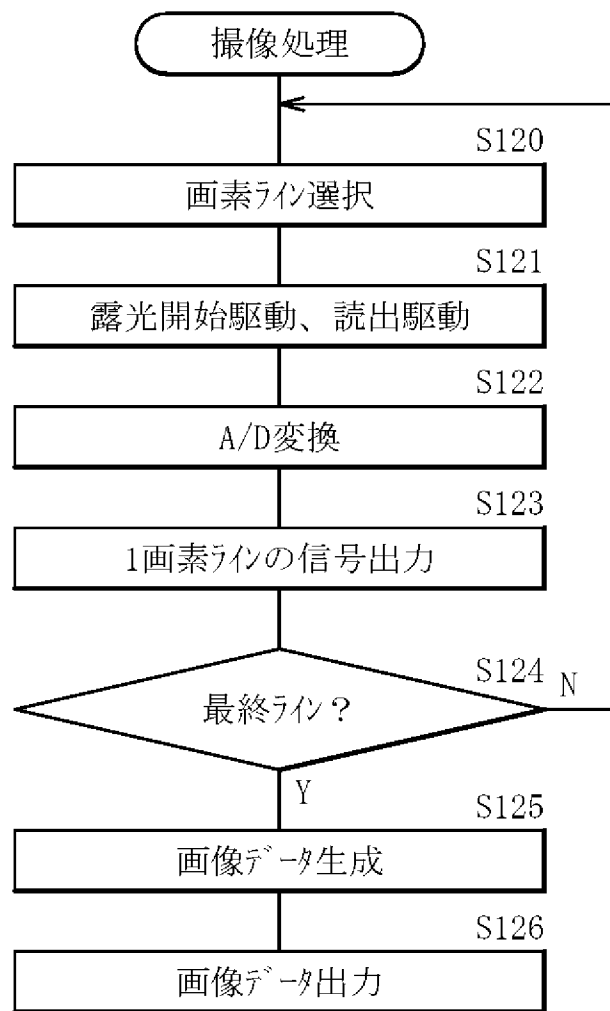
[図21]



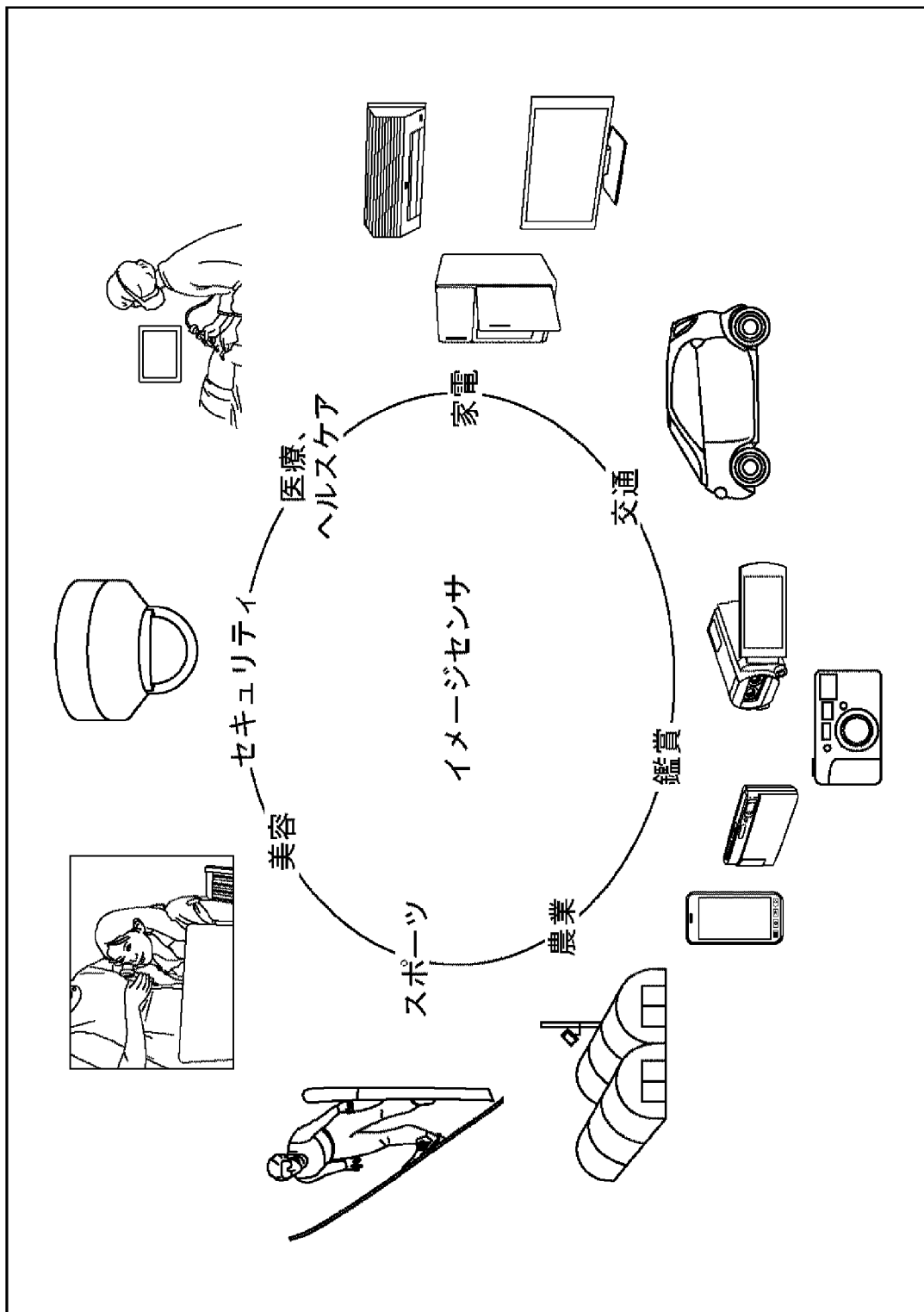
[図22]



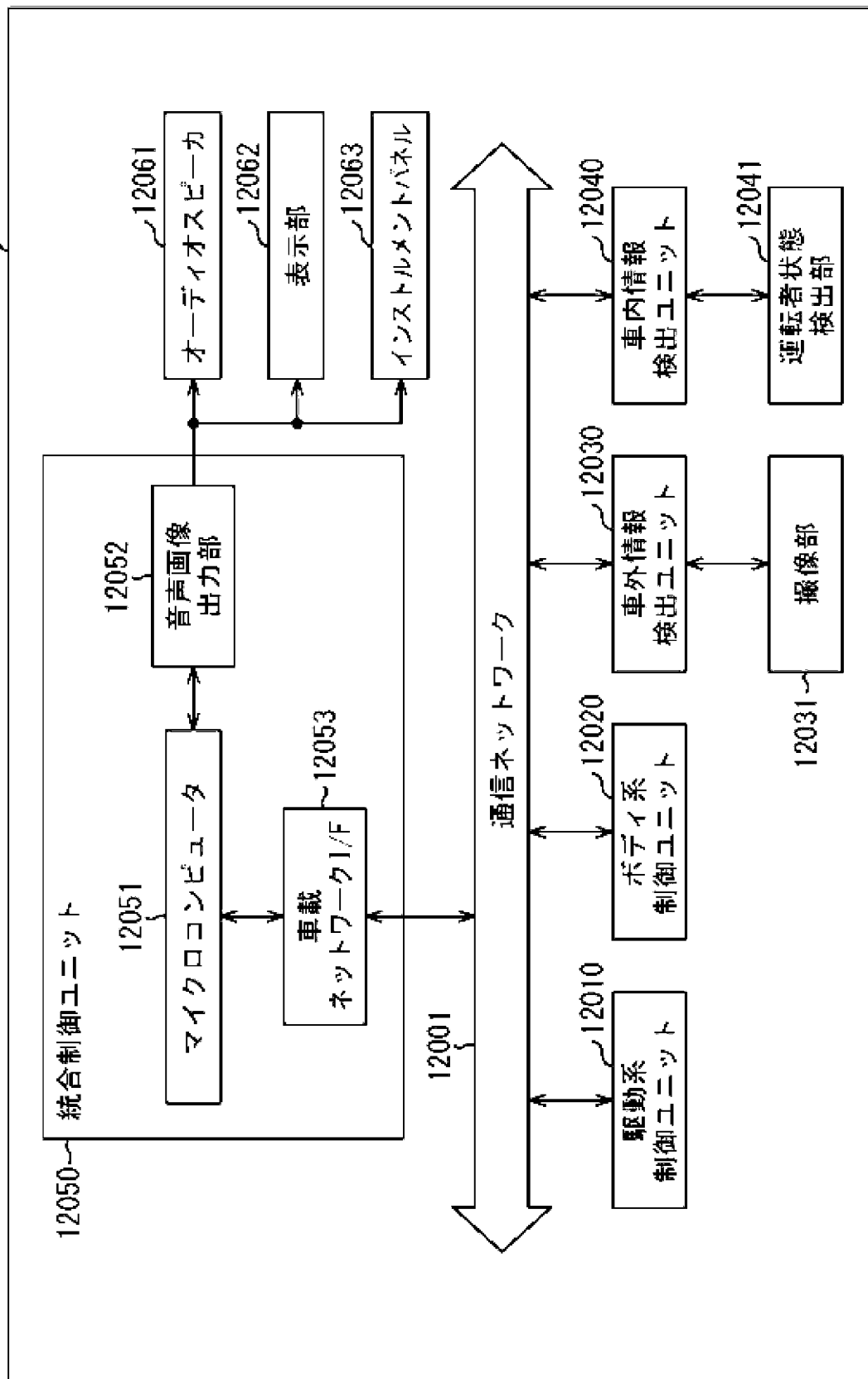
[図23]



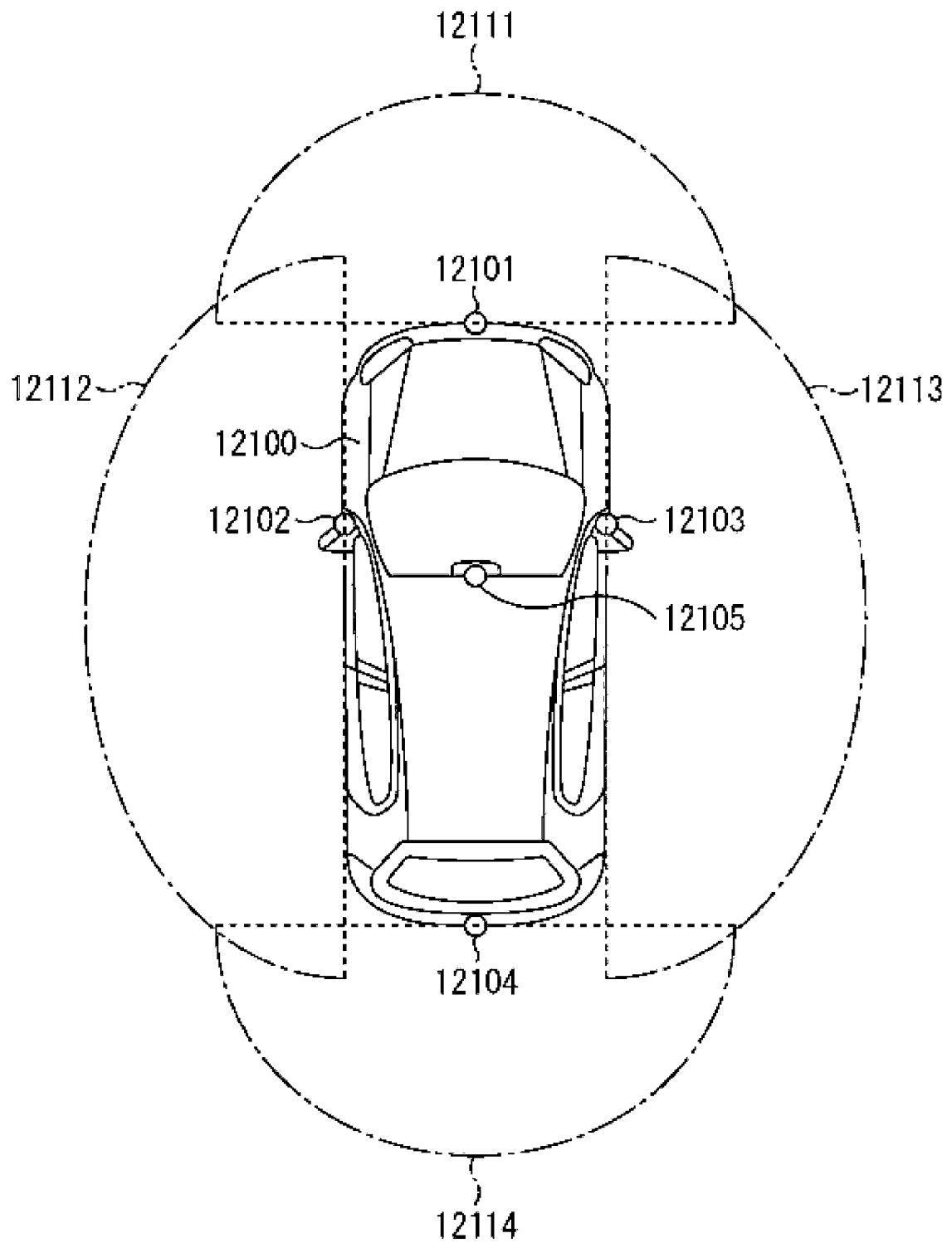
[図24]



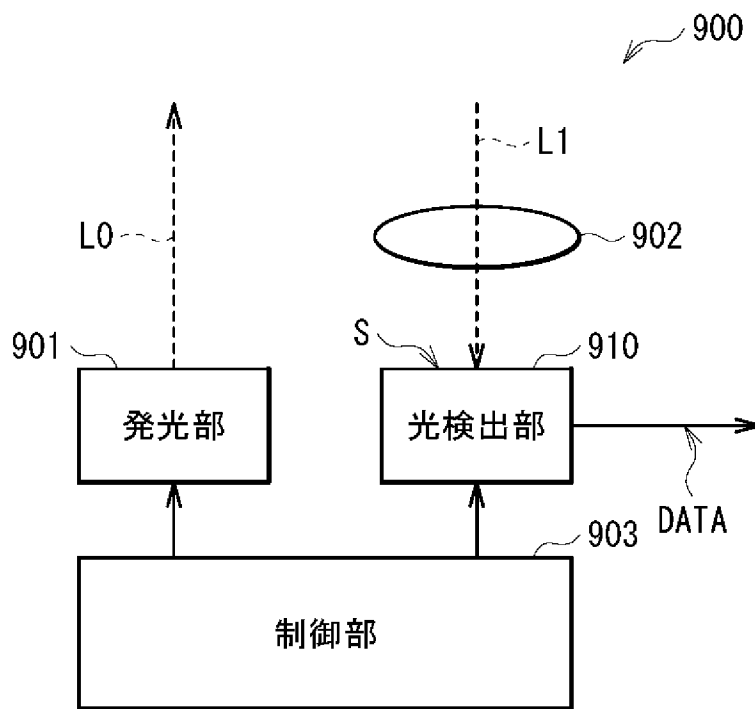
[図25]



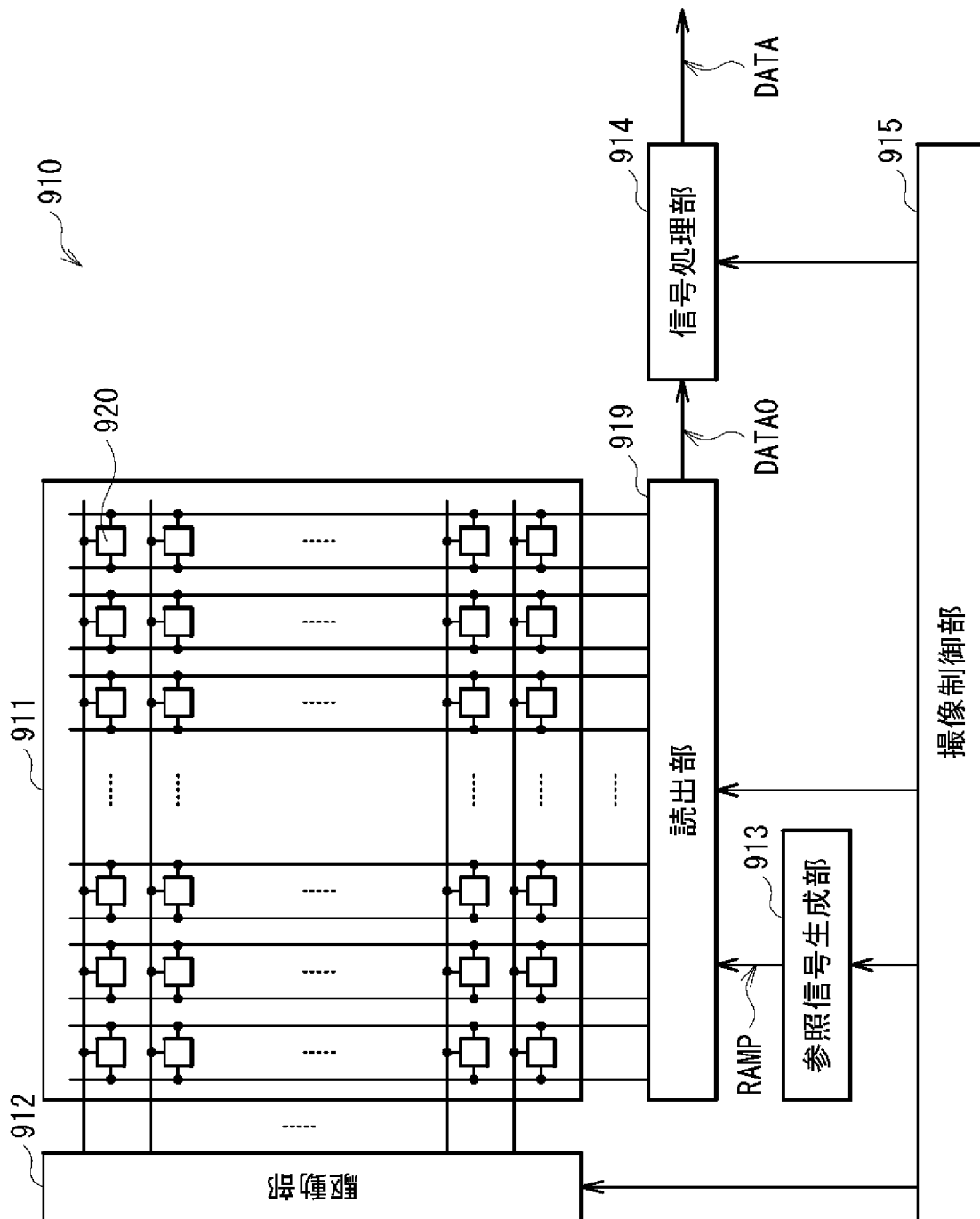
[図26]



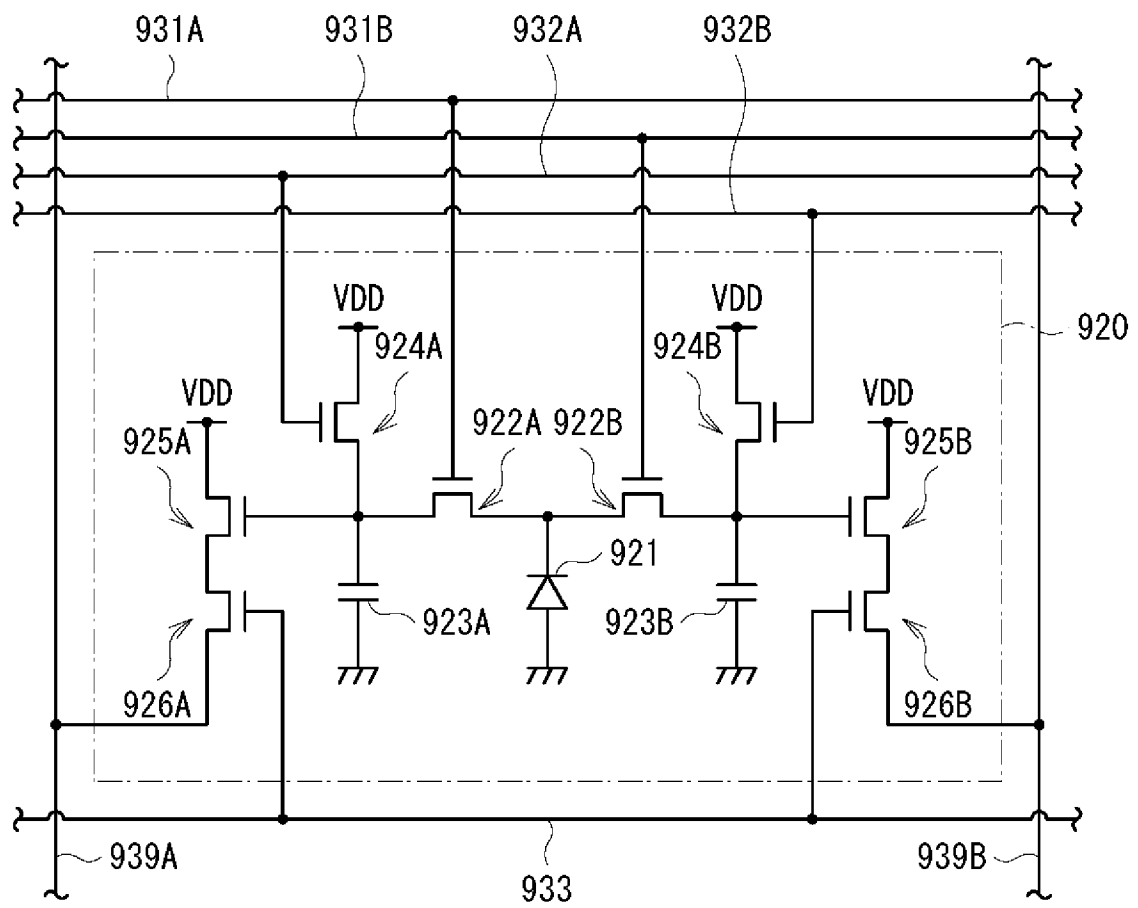
[図27]



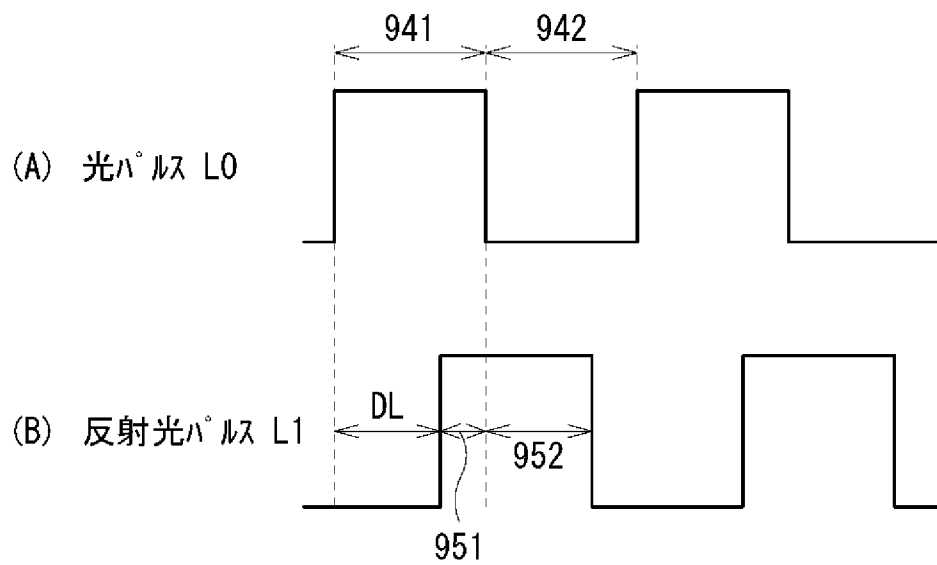
[図28]



[図29]



[図30]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/021636

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H04N5/378 (2011.01) i

FI: H04N5/378

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2019/150917 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 08 August 2019 (2019-08-08), paragraphs [0169]-[0177], fig. 1-3, 28	1-15
A	JP 2000-287137 A (TOSHIBA CORP.) 13 October 2000 (2000-10-13), paragraphs [0017]-[0023], fig. 2	1-15

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03.08.2021

Date of mailing of the international search report
10.08.2021

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/021636

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
WO 2019/150917 A1	08.08.2019	(Family: none)	
JP 2000-287137 A	13.10.2000	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/378(2011.01)i FI: H04N5/378														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H04N5/378														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	WO 2019/150917 A1（ソニーセミコンダクタソリューションズ株式会社）08.08.2019 (2019 - 08 - 08) 段落[0169]-[0177]、図1-3, 28	1-15												
A	JP 2000-287137 A（株式会社東芝）13.10.2000（2000 - 10 - 13） 段落[0017]-[0023]、図2	1-15												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 03.08.2021	国際調査報告の発送日 10.08.2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 松永 隆志 5V 4228 電話番号 03-3581-1101 内線 3571													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/021636

引用文献			公表日	パテントファミリー文献	公表日
WO	2019/150917	A1	08.08.2019	(ファミリーなし)	
JP	2000-287137	A	13.10.2000	(ファミリーなし)	