



## (19) 대한민국특허청(KR)

## (12) 등록특허공보(B1)

(45) 공고일자 2014년02월21일

(11) 등록번호 10-1363704

(24) 등록일자 2014년02월10일

(51) 국제특허분류(Int. Cl.)

H04L 1/00 (2006.01) H04L 29/10 (2006.01)

H04L 29/06 (2006.01)

(21) 출원번호 10-2007-0023561

(22) 출원일자 2007년03월09일

심사청구일자 2012년03월08일

(65) 공개번호 10-2007-0092676

(43) 공개일자 2007년09월13일

(30) 우선권주장

11/372,866 2006년03월09일 미국(US)

(56) 선행기술조사문현

JP2001308711 A\*

US20050005189 A1\*

KR2019990038709 U

US20030185251 A1

\*는 심사관에 의하여 인용된 문현

(73) 특허권자

실리콘 이미지, 임크.

미국 캘리포니아 (우편번호: 94085) 써니베일 이  
스트 아쿠에스 애비뉴 1140

(72) 발명자

슈미트, 브라이언 케이.

미국 94040 캘리포니아주 마운틴 뷰 쟁조 코트  
3370

부처, 로렌스 레웰린

미국 94043 캘리포니아주 마운틴 뷰 알딘 애비뉴  
332

(74) 대리인

백만기, 이중희, 주성민

전체 청구항 수 : 총 15 항

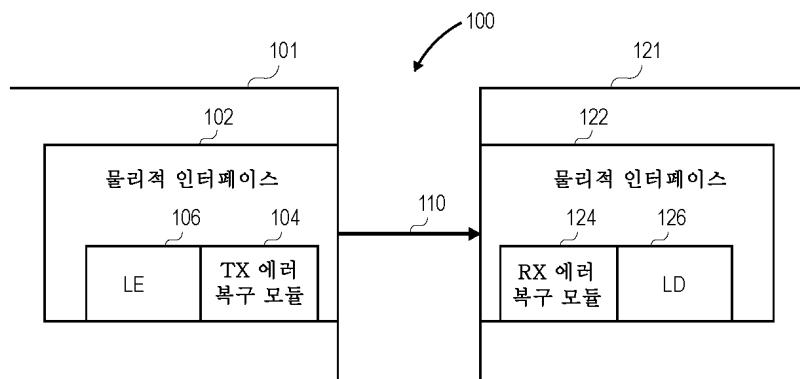
심사관 : 정은선

(54) 발명의 명칭 집적회로 간의 점 대 점 통신을 위한 물리적인터페이스에서의 에러 검출

## (57) 요 약

집적회로(IC) 간의 데이터 통신을 전송 및/또는 수신하는 동안 물리적 인터페이스에서 에러를 검출하기 위한 장치, 시스템 및 방법을 개시한다. 실시예에서, 본 장치는 수신 물리적 인터페이스로서/내에서 동작하도록 구성한다. 본 장치는 인코딩된 데이터 비트의 서브세트를 디코딩하여 디코딩된 데이터 비트를 제공하도록 구성한다. 또한, 본 장치는 디코딩된 데이터 비트로부터 물리적 인터페이스 에러 검출 비트를 추출하도록 구성한 물리적 인터페이스(PI) 에러 검출 비트 추출기를 포함한다. 이와 같이, 본 장치는 물리적 인터페이스 에러 검출 비트를 이용하여, 인코딩된 데이터 비트가 에러로서 적어도 하나의 에러 데이터 비트를 포함하는지 여부를 판정한다. 일부 실시예에서, 본 장치는 물리 계층 내에서 동작하도록 구성한 에러 검출기를 포함한다. 적어도 하나의 실시예에서, 본 장치는, 예를 들어 NB/(N+1)B 라인 코더 내에서의 에러 검출 코드를 효과적으로 전송한다.

대 표 도 - 도1a



## 특허청구의 범위

### 청구항 1

집적회로(IC) 간의 데이터 통신을 용이하게 하는 물리적 인터페이스에서 에러들을 검출하기 위한 장치로서, 애플리케이션 데이터 비트들의 그룹에 기초하여 에러 검출 코드를 생성하도록 구성된 에러 검출 코드 생성기 – 상기 에러 검출 코드는 제1 물리적 인터페이스(PI) 에러 검출 비트를 포함하는 복수의 에러 검출 비트를 포함함 –;

(1) 상기 애플리케이션 데이터 비트들의 그룹 중 N개의 애플리케이션 데이터 비트들의 세트를 갖는 상기 제1 물리적 인터페이스 에러 검출 비트를 삽입하여 (N+1)개의 비부호화된(unencoded) 데이터 비트들을 형성하고, (2) 상기 (N+1)개의 비부호화된 데이터 비트들을 인코딩하여, 복수의 코드 워드 중 제1 코드 워드의 (N+2)개의 인코딩된 데이터 비트들을 제공하도록 구성된 물리 계층(PHY) 인코더 – 상기 N은 임의의 정수의 데이터 비트들을 나타냄 –;

상기 제1 코드 워드의 상기 (N+2)개의 인코딩된 데이터 비트들을 디코딩하여 (N+1)개의 디코딩된 데이터 비트들을 제공하도록 구성된 디코더;

상기 (N+1)개의 디코딩된 데이터 비트들로부터 상기 제1 물리적 인터페이스 에러 검출 비트를 추출하도록 구성된 물리적 인터페이스 에러 검출 비트를 추출기 – 상기 제1 물리적 인터페이스 에러 검출 비트는 상기 인코딩된 데이터 비트들이 에러로서 적어도 하나의 데이터 비트를 포함하는지 여부를 판정하는 데 이용됨 –; 및

상기 제1 코드 워드로부터의 상기 제1 물리적 인터페이스 에러 검출 비트를 포함하여, 상기 복수의 코드 워드로부터의 복수의 추출된 물리적 인터페이스 에러 검출 비트로부터 상기 에러 검출 코드를 재구성하는 에러 검출 코드 재구성기

를 포함하는 장치.

### 청구항 2

제1항에 있어서,

상기 에러를 검출하기 위한 상기 장치의 물리 계층 내의 에러 검출기를 더 포함하고,

상기 에러 검출기는, 상기 재구성된 에러 검출 코드를 수신된 코드 워드들로부터 생성되는 에러 검출 코드와 비교하는 비교기를 포함하는 장치.

### 청구항 3

제2항에 있어서,

상기 장치의 상기 물리 계층 내의 에러 정정기를 더 포함하고, 상기 에러 정정기는 상기 에러 검출기로부터의 명령의 수신 시에 에러 복구 조치(measure)를 제공하는 장치.

### 청구항 4

제3항에 있어서,

상기 에러 복구 조치는 에러 표시 신호를 외부 IC 또는 디바이스에 전송하여 상기 에러를 해결하는 것; 에러 표시 신호를 코어 회로에 전송하여 검출된 에러를 정정하는 것; 또는 에러 표시 신호를 전송하지 않고 검출된 에러를 정정하는 것 중 하나를 포함하는 장치.

### 청구항 5

제2항에 있어서,

상기 에러 검출기는 상기 물리 계층 위의 OSI(Open System Interconnection) 7 계층 참조 모델의 임의의 상위 계층에서 또는 데이터 링크 계층에서보다 더 일찍 에러 검출을 실행하는 장치.

### 청구항 6

제2항에 있어서,

상기 물리적 인터페이스 에러 검출 비트는 순환 중복 검사(CRC) 체크섬의 일부인 장치.

### 청구항 7

시스템으로서,

물리적 매체를 통해 제2 집적회로(IC)에 연결된 제1 집적회로(IC)

를 포함하고,

상기 제1 IC는,

상기 제1 IC의 제1 기판부 상에 형성되어, 제2 기판부 상에 형성된 상기 제2 IC와 교환되는 데이터의 전송에  
려들을 검출하는 물리적 인터페이스, 및

상기 물리적 매체의 제1 단부에 연결된 전송 디바이스

를 포함하고,

상기 전송 디바이스는,

애플리케이션 데이터 비트들의 그룹에 기초하여 에러 검출 코드를 생성하는 에러 검출 코드 생성기 – 상기 에  
러 검출 코드는 제1 물리적 인터페이스(PI) 에러 검출 비트를 포함하는 복수의 에러 검출 비트를 포함함 –,  
및

- (1) 상기 애플리케이션 데이터 비트들의 그룹 중 N개의 애플리케이션 데이터 비트들의 세트를 갖는 상기 제1  
물리적 인터페이스 에러 검출 비트를 삽입하여 (N+1)개의 비부호화된(unencoded) 데이터 비트들을 형성하고,
- (2) 상기 (N+1)개의 비부호화된 데이터 비트들을 인코딩하여, 복수의 코드 워드 중 제1 코드 워드의 (N+2)개의  
인코딩된 데이터 비트들을 제공하도록 구성된 물리 계층 인코더 – 상기 N은 임의의 정수의 데이터 비트들을  
나타냄 –

를 포함하고,

상기 시스템의 상기 제2 IC는 상기 물리적 매체의 제2 단부에 연결된 수신 디바이스를 더 포함하고,

상기 수신 디바이스는,

상기 제1 코드 워드의 상기 (N+2)개의 인코딩된 데이터 비트들을 디코딩하여 (N+1)개의 디코딩된 데이터 비트  
들을 제공하도록 구성된 (N+2)비트/N비트 디코더,

상기 (N+1)개의 디코딩된 데이터 비트들로부터 상기 물리적 인터페이스 에러 검출 비트를 추출하도록 구성된  
물리적 인터페이스 에러 검출 비트 추출기 – 상기 물리적 인터페이스 에러 검출 비트들은 인코딩된 데이터 비  
트들의 세트들이 에러로서 적어도 하나의 데이터 비트를 포함하는지 여부를 판정하는데 이용됨 –, 및

상기 제1 코드 워드로부터의 상기 제1 물리적 인터페이스 에러 검출 비트를 포함하여, 상기 복수의 코드 워드  
로부터의 복수의 추출된 물리적 인터페이스 에러 검출 비트로부터 상기 에러 검출 코드를 재구성하는 에러 검  
출 코드 재구성기

를 포함하는 시스템.

### 청구항 8

제7항에 있어서,

상기 물리적 인터페이스는,

인-바운드(in-bound) 인코딩된 데이터 비트들을 수신하도록 구성된 입력 포트들의 제1 서브세트 및 인-바운드  
디코딩된 데이터 비트들을 또 다른 IC에 전송하도록 구성된 출력 포트들의 제1 서브세트를 구비하는 복수의 입  
력 포트와 출력 포트, 및

상기 복수의 입력 포트 및 출력 포트 간에 연결된 하나 이상의 에러 복구 모듈

을 포함하고,

상기 하나 이상의 에러 복구 모듈의 제1 에러 복구 모듈은 상기 입력 포트들의 1 서브세트 중 적어도 하나의 입력 포트와 상기 출력 포트들의 제1 서브세트 중 적어도 하나의 출력 포트 사이에 연결되는 시스템.

### 청구항 9

제8항에 있어서,

상기 제1 에러 복구 모듈은 상기 인-바운드 인코딩된 데이터 비트들에서 에러들을 검출하고, 상기 에러들을 정정하는 동작을 개시하도록 구성된 물리 계층(PHY) 디코더를 포함하는 시스템.

### 청구항 10

제9항에 있어서,

상기 복수의 입력 포트 및 출력 포트는 상기 또 다른 IC로부터의 아웃-바운드(out-bound) 비부호화된 데이터 비트들을 수신하도록 구성된 입력 포트들의 제2 서브세트 및 아웃-바운드 인코딩된 데이터 비트들을 전송하도록 구성된 출력 포트들의 제2 서브세트를 포함하고,

상기 하나 이상의 에러 복구 모듈의 제2 에러 복구 모듈은 상기 입력 포트들의 제2 서브세트의 적어도 하나의 입력 포트와 상기 출력 포트들의 제2 서브세트의 적어도 하나의 출력 포트 사이에 연결되며,

상기 제2 에러 복구 모듈은 상기 아웃-바운드 인코딩된 데이터 비트들에 대한 에러 검출 코드들을 생성하도록 구성된 PHY 인코더를 포함하는 시스템.

### 청구항 11

제7항에 있어서,

상기 에러를 검출하기 위한 상기 수신 디바이스의 물리 계층 내의 에러 검출기를 더 포함하고, 상기 에러 검출기는 상기 재구성된 에러 검출 코드를 상기 수신된 코드 워드들로부터 생성되는 에러 검출 코드와 비교하는 비교기를 포함하는 시스템.

### 청구항 12

제7항에 있어서,

상기 전송 디바이스는 TMDS(transition-minimized differential signaling) 전송기 및 HDMI(high-definition multimedia interface) 전송기이고, 상기 수신 디바이스는 TMDS 수신기 및 HDMI 수신기인 시스템.

### 청구항 13

데이터 비트들을 디코딩하여 적어도 물리적 인터페이스에서 에러들을 검출하기 위한 방법으로서,

임베드된 비동기 클록을 갖는 인코딩된 비트 스트림의 제1 코드 워드의 (N+2) 비트의 인코딩된 데이터 비트들을 디코더에 의해 디코딩하여 (N+1)개의 디코딩된 데이터 비트들을 제공하는 단계 – 상기 디코딩된 데이터 비트들은 제1 물리적 인터페이스 에러 검출 비트를 포함하고, 상기 제1 물리적 인터페이스 에러 검출 비트는 애플리케이션 데이터 비트들의 그룹에 기초하여 생성된 에러 검출 코드의 복수의 비트 중 한 비트임 –,

에러 검출 비트 추출기에 의해 상기 (N+1)개의 디코딩된 데이터 비트들로부터 상기 제1 물리적 인터페이스 에러 검출 비트를 추출하여, N개의 애플리케이션 데이터 비트들을 제공하는 단계,

적어도 상기 물리적 인터페이스 에러 검출 비트에 기초하여 상기 인코딩된 비트 스트림이 부정확한 비트를 포함하고 있다고 판정하는 단계,

상기 물리적 인터페이스에서 상기 에러를 정정하는 단계, 및

에러 검출 코드 재구성기에 의해 상기 제1 코드 워드로부터의 상기 제1 물리적 인터페이스 에러 검출 비트를 포함하여, 복수의 코드 워드로부터의 복수의 추출된 물리적 인터페이스 에러 검출 비트로부터 상기 에러 검출 코드를 재구성하는 단계

를 포함하는 방법.

#### 청구항 14

제13항에 있어서,

상기 인코딩된 비트 스트림이 상기 부정확한 비트를 포함하고 있다고 판정하는 단계는,

상기 디코딩된 데이터 비트들로부터의 애플리케이션 데이터 비트들 및 상기 비트 스트림의 다른 서브셋트들로부터 디코딩된 다른 디코딩된 데이터 비트들로부터의 다른 애플리케이션 데이터 비트들에 기초하여 제2 에러 검출 코드를 생성하는 단계,

상기 재구성된 에러 검출 코드를 상기 제2 에러 검출 코드에 대하여 비교하는 단계, 및

상기 제2 에러 검출 코드가 상기 재구성된 에러 검출 코드와 맞지 않으면 상기 에러가 존재함을 나타내는 단계를 더 포함하는 방법.

#### 청구항 15

적어도 2개의 접속회로(IC) 간의 고속 직렬 통신 링크 장치로서,

통신 데이터를 전달하기 위한 물리적 매체;

상기 물리적 매체의 제1 단부에 연결된 전송 디바이스; 및

상기 물리적 매체의 제2 단부에 연결된 수신 디바이스

를 포함하고,

상기 전송 디바이스는,

애플리케이션 데이터 비트들의 그룹에 기초하여 에러 검출 코드를 생성하는 에러 검출 코드 생성기 – 상기 에러 검출 코드는 제1 물리적 인터페이스(PI) 에러 검출 비트를 포함하는 복수의 에러 검출 비트를 포함함 –, 및

내부에 물리적 인터페이스 에러 검출 비트들이 인코딩되어 있는 인코딩된 데이터 비트들을 생성하는 N비트/(N+2)비트 인코더 – 상기 애플리케이션 데이터 비트들의 그룹 중 N개의 애플리케이션 데이터 비트들의 세트를 갖는 상기 제1 물리적 인터페이스 에러 검출 비트를 삽입하여 (N+1)개의 비부호화된(unencoded) 데이터 비트들을 형성하고, 상기 (N+1)개의 비부호화된 데이터 비트들을 인코딩하여, 복수의 코드 워드 중 제1 코드 워드의 (N+2)개의 인코딩된 데이터 비트들을 제공하는 것을 포함하며, 상기 N은 임의의 정수의 데이터 비트들을 나타냄 –를 포함하고,

상기 수신 디바이스는,

상기 제1 코드 워드의 (N+2) 개의 인코딩된 데이터 비트들을 디코딩하여 (N+1)개의 디코딩된 데이터 비트들을 제공하는 것을 포함하여, 상기 인코딩된 데이터 비트들을 디코딩하는 (N+2)비트/N비트 디코더,

상기 제1 코드 워드로부터 상기 제1 물리적 인터페이스 비트를 추출하는 것을 포함하여, 디코딩된 데이터 비트들로부터 물리적 인터페이스 에러 검출 비트들을 추출하고, 상기 추출된 물리적 인터페이스 에러 검출 비트들을 이용하여 에러를 판정하도록 구성된 에러 검출기, 및

상기 제1 코드 워드로부터의 상기 제1 물리적 인터페이스 에러 검출 비트를 포함하여, 상기 복수의 코드 워드로부터의 추출된 물리적 인터페이스 에러 검출 비트로부터 상기 에러 검출 코드를 재구성하는 에러 검출 코드 재구성기

를 포함하는 고속 직렬 통신 링크 장치.

#### 청구항 16

삭제

#### 청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 종래기술의 문헌 정보

[0017] [특허문헌] 미국특허번호 제6,747,580호

#### 발명이 속하는 기술 및 그 분야의 종래기술

[0018] 본 발명은 일반적으로는 전자 디바이스 간의 신뢰 가능한 데이터 통신을 제공하기 위한 장치 및 방법에 관한 것으로서, 특히 전자 디바이스 간의 물리적 매체를 통해 데이터 비트를 점 대 점 전송하는 동안 물리적 인터페이스에서 에러를 효과적으로 검출하도록 구성한 물리적 인터페이스에 관한 것이다. 실시예에서, 데이터 비트의 점 대 점 전송은 직렬 데이터 링크를 따라 저 진폭 고 주파수의 시그널링을 사용한다.

[0019] 집적회로(IC)와 같은 전자 디바이스 간의 점 대 점 전송은, 특히 전용 동기 클록 라인을 사용하여 데이터 전송을 동기화할 때 일반적으로 신뢰할 수 있다고 간주한다. 특히, 많은 시스템 설계자는 IC 간의 통신은 IC 간에 교환되는 데이터 비트가 동일한 데이터 비트이다는 일반적인 가정을 준수하기를 원한다. 예를 들어, 대부분의 종래 프로세서 IC는 메모리 IC에 전송되는 어드레스 비트가 정확하게 수신되었는지 또는 프로세서 IC가 수신한 데이터는 메모리 IC가 송신한 데이터와 동일한지 여부에 상관없이 메모리 IC로부터 페치된 데이터에 작용하도록 설계한다. 그러나 전형적인 물리적 인터페이스를 사용하여 더 빠른 데이터 전송 속도와 감소한 진폭(즉, 감소한 전송 전력)으로 데이터 비트를 전송할 수록 데이터 신호의 세기에 대한 배경 잡음의 효과로 인하여 신호대 잡음비가 감소하는데, 이는 신뢰 가능한 점 대 점 통신을 방해할 수 있는 에러의 증가를 나타낸다. 또한, 많은 시스템 설계자는 인코딩된 직렬화 데이터에 클록을 임베드하는 비동기 클록킹 기법을 사용하여 직렬 데이터 링크를 통해 데이터를 직렬로 전송하는 물리적 인터페이스를 구현하고 있다. 직렬 데이터 링크를 사용하는 고속 직렬 통신 기술의 예로는 Serial ATA("SATA")®, TMDS(Transition Minimized Differential Signaling), PCI Express, InfiniBand® 등이 있다. 직렬 데이터 통신용으로 제공하는 종래의 물리적 인터페이스는 잡음과 전력 둘 다를 감소시키지만, 종래의 직렬 데이터 링크를 통과하는 동안 데이터가 손상되기 쉽다는 적어도 하나의 결점이 있다.

[0020] 컴퓨터 네트워킹 분야에서, OSI(Open Systems Interconnect) 모델은 2개 종단국(또는 컴퓨팅 디바이스) 간의 에러를 검출 및 정정하는 공통 접근법을 기술한다. 이 접근법에 따르면, 데이터 링크 계층은 전송된 비트의 프레임에 기초하여 에러 검출 코드(예컨대, 순환 중복 코드 "CRC")를 계산한다. 다음으로, 에러 검출 코드를 프레임에 연속 비트로서 부가한 다음, 에러 검출 코드와 애플리케이션 데이터 비트 둘 다를 라인 인코딩(또는 코

딩)을 위한 물리적 인터페이스에 전달한다. 라인 인코딩의 한 예는 8 애플리케이션 데이터 비트를 10 인코딩된 비트로 변형한다. 이러한 타입의 라인 인코딩 기법은 8B/10B로서 일반적으로 알려져 있다. 라인 인코딩을 실행한 후, 직렬 물리적 인터페이스는 인코딩된 비트를 통신 매체를 통해 또 다른 직렬 물리적 인터페이스에 전달하는데, 그 또 다른 직렬 물리적 인터페이스는 클록을 복구하고, 인코딩된 비트를 디코딩한다. 다음으로, 수신 기에서 데이터 링크 계층은 에러 검출 코드의 연속 비트를 이용하는 에러 검출 및 정정 기법을 적용한다.

[0021] 데이터 링크 계층은 물리적 인터페이스 기능 외에 이러한 에러 검출 및 정정 프로세스를 실행하지만, 이에 의해 에러 검출 및/또는 해석을 지연시킨다. 또한, 종래의 물리적 인터페이스는 표준화된 방식으로 에러를 용이하게 검출 및 정정하는 데 일반적으로 적합하지 않다. 예를 들어, 전형적인 물리적 인터페이스는 집적회로 간의 동기 및 병렬 데이터 통신을 제공하도록 최적화한다. 이와 같이 전형적인 물리적 인터페이스는, 예컨대 직렬 데이터 링크를 통해 비동기 및 직렬 데이터 통신을 위한 신뢰가능한 데이터를 시의적절하게 전송하도록 쉽게 적응할 수 없다. 또한, 종래의 물리적 인터페이스는 적어도 (1) 전문 에러 처리 기법에 관여하는 애플리케이션을 요구하지 않는 투명적 에러 검출 및 복구 기법과 (2) 직렬 데이터 링크를 통해 코드의 전송 속도를 높이는 에러 검출 코드의 효율적인 전송을 제공하는 데 일반적으로 기여하지 않는다.

[0022] 지금까지의 관점에서, 상술한 단점을 최소화하고, 적어도 에러 검출 및 선택적인 에러 복구를 제공하는 물리적 인터페이스, 장치 및 방법을 제공하는 것이 바람직하다.

### 발명이 이루고자 하는 기술적 과제

[0023] 집적회로(IC) 간의 데이터 통신을 전송 및/또는 수신하는 동안 물리적 인터페이스에서 에러를 검출하기 위한 장치, 시스템 및 방법을 개시한다. 본 발명의 다양한 실시예에 따르면, 물리적 인터페이스는 직렬 또는 병렬 데이터 링크를 통해 용이하게 통신할 수 있거나, 임베드된 비동기 클록 또는 외부 동기 클록을 사용하도록 구성할 수 있다.

[0024] 실시예에서, 장치는 수신 물리적 인터페이스로서/내에서 동작하도록 구성한다. 본 장치는 인코딩된 데이터 비트의 서브세트를 디코딩하여 디코딩된 데이터 비트를 제공하도록 구성한다. 또한, 디코딩된 데이터 비트로부터 물리적 인터페이스 에러 검출 비트를 추출하도록 구성한 물리적 인터페이스(PI) 에러 검출 비트 추출기를 포함한다. 이와 같이, 본 장치는 물리적 인터페이스 에러 검출 비트를 이용하여, 인코딩된 데이터 비트가 에러로서 적어도 하나의 에러 데이터 비트를 포함하는지 여부를 판정한다. 몇몇 실시예에서, 본 장치는 물리 계층 내에서 동작하도록 구성한 에러 검출기를 포함한다. 적어도 하나의 실시예에서, 본 장치는, 예를 들어 NB/(N+1)B 라인 코더 내에서의 에러 검출 코드를 효과적으로 전송한다. 인코딩된 데이터 비트는 거의 DC(direct current) 밸런스일 수 있다. 또한, 인코딩된 데이터 비트는 방사의 스펙트럼 특성을 형성하도록 구성할 수 있다. 또한, 그러한 인코딩된 데이터 비트는 수신 디바이스에서 클록을 복구하는 데 이용할 수 있는 임베드된 비동기 클록을 포함할 수 있다. 몇몇의 예에서, 본 장치는 에러를 검출하는 물리 계층 내에서 동작하도록 구성한 에러 검출기를 포함한다. 에러 검출기는 데이터 링크 계층 또는 OSI(Open System Interconnection) 7 계층 참조 모델의 다른 상위 계층에서보다 빠르게 에러 검출을 실행한다. 몇몇의 경우, 물리적 인터페이스 에러 검출 비트는 패리티 비트인 반면, 다른 경우에서 물리적 인터페이스 에러 검출 비트는 에러 검출 코드의 일부이다. 예를 들어, 에러 검출 코드는 순환 중복 검사(CRC) 체크섬일 수 있다. 이 경우의 에러 검출기는 물리적 인터페이스 에러 검출 비트뿐만 아니라 인코딩된 데이터 비트의 다른 서브세트로부터의 다른 물리적 인터페이스 에러 검출기 비트(즉, 다른 코드 워드)를 축적하여 에러 검출 코드를 재구성하도록 구성한다. 에러 검출기는 물리적 인터페이스 에러 검출 비트와 다른 물리적 인터페이스 에러 검출 비트로부터 CRC 체크섬을 생성하도록 구성할 수 있음을 알아야 한다. 다음으로, 에러 검출기는 CRC 체크섬을 에러 검출 코드에 대하여 비교하여 에러가 발생했는지 여부를 판정한다.

[0025] 다양한 실시예에서, 물리적 인터페이스 에러 검출 비트는 인코딩된 데이터 비트의 서브세트와 동시에 본 장치에서 수신하고, 다른 물리적 인터페이스 에러 검출 비트 각각은 인코딩된 데이터 비트의 다른 서브세트와 동시에 본 장치에서 또한 수신하며, 이에 의해 본 장치가 인코딩된 데이터 비트에 부가하는 에러 검출 코드를 수신하는 시간을 감소시킨다. 적어도 하나의 실시예에서, 본 장치는 에러를 정정하도록 구성한 에러 정정기를 또한 포함한다. 에러 정정기는 인코딩된 데이터 비트의 서브세트의 재전송을 요청하도록 구성하거나, 에러가 검출되는 주문형 모듈에 신호를 보내 주문형 모듈이 에러를 해결할 수 있도록 구성한다. 또는, 에러 정정기는 하나 이상의 IC를 다시 초기화하는 디폴트 조치를 취할 수 있다. 인코딩된 데이터 비트의 서브세트 중 하나는  $N+m$  데이터 비트를 포함할 수 있고, 이는 N 애플리케이션 데이터 비트를 디코딩된 데이터 비트로서 얻도록 디코딩할 수 있음을 알아야 한다. 또한, 본 장치는 인코딩된 데이터 비트를  $N+2$  데이터 비트로서 수신하도록 구성하고, N

애플리케이션 데이터 비트를 출력으로서 제공하도록 구성할 수 있음을 알아야 한다. 예를 들어, N은 8이고, 본 장치는 8B/10B 디코더로서 구성하여, 8 애플리케이션 데이터 비트 및 에러 검출을 위한 1 물리적 인터페이스에 에러 검출 비트인 9 디코딩된 데이터 비트를 제공한다.

[0026] 본 발명의 또 다른 실시예에서, 접적회로(IC) 간의 데이터 전송을 위한 물리적 인터페이스에서 에러 검출 코드를 생성하기 위한 장치를 개시한다. 실시예에서, 본 장치는 전송 물리적 인터페이스로서/내에서 동작하도록 구성한다. 본 장치는 N 비트 대 N+2(N비트/N+2) 비트 물리 계층(PHY) 인코더를 포함할 수 있다. 이 인코더는 물리적 인터페이스 에러 검출 비트와 N 애플리케이션 데이터 비트를 삽입하여 N+1 비부호화된 데이터 비트를 형성하고, N+1 비부호화된 데이터 비트를 인코딩하여 N+2 인코딩된 데이터 비트를 제공하도록 구성한다. 또한, 본 장치는 물리적 인터페이스 에러 검출 비트를 포함하는 에러 검출 코드를 구성하는 수많은 비트를 생성하도록 구성한 에러 검출 코드 생성기를 포함한다. N은 정수의 데이터 비트를 나타낼 수 있다. 몇몇의 경우, 본 장치는 N+2 인코딩된 데이터 비트를 직렬화하여 직렬 N+2 인코딩된 데이터 비트를 형성하고, 이에 의해 단일 에러 검출 데이터 비트와 직렬 N+2 인코딩된 데이터 비트를 인터리빙하도록 구성한 직렬 변환기를 포함한다. 적어도 하나의 실시예에서, 본 장치는 N 데이터 비트를 포함하는 데이터 비트의 그룹을 저장하는 스토리지를 포함한다. 에러 검출 코드 생성기는 데이터 비트의 그룹을 조사하여 에러 검출 코드를 생성하도록 구성한다. 특정 실시예에서, 본 장치는 전송기 에러 정정기가 재전송 요청을 수신한 경우, 데이터 비트 그룹의 하나 이상의 서브세트를 재전송하도록 구성한 전송기(TX) 에러 정정기를 포함한다.

[0027] 본 발명의 또 다른 실시예에서, 물리적 인터페이스는 제1 기판에 접적회로(IC)로서 형성하여 제2 기판에 형성한 코어 IC와 교환한 데이터에서의 전송 에러를 검출한다. 코어 IC는 주문형 기능, 예컨대 메모리 칩의 저장 기능을 구현하기 위한 로직을 포함한 또 다른 IC이다. 물리적 인터페이스는 인-바운드 인코딩된 데이터 비트를 수신하도록 구성한 입력 포트의 제1 서브세트 및 인-바운드 디코딩된 데이터 비트를 코어 IC에 전송하도록 구성한 출력 포트의 제1 서브세트를 구비하는 복수의 입력 포트 및 출력 포트를 포함한다. 또한, 물리적 인터페이스는 복수의 입력 포트 및 출력 포트 간에 연결한 하나 이상의 에러 복구 모듈을 포함한다. 에러 복구 모듈 중 적어도 하나는 입력 포트의 제1 서브세트 중 적어도 하나와 출력 포트의 제1 서브세트 중 적어도 하나 사이에 연결한다. 에러 복구 모듈은 인-바운드 인코딩된 데이터 비트에서 에러를 검출하여 그 에러를 정정하는 동작을 개시하도록 구성한 물리 계층(PHY) 디코더를 선택적으로 포함할 수 있다.

[0028] 본 발명의 또 다른 실시예에서, 적어도 2개 접적회로(IC) 간의 고속 직렬 통신 링크를 개시한다. 이 링크는 데이터를 전달하기 위한 물리적 매체, 물리적 매체의 제1 단에 연결한 전송 디바이스 및 물리적 매체의 제2 단에 연결한 수신 디바이스를 포함한다. 또한, 물리적 인터페이스 에러 검출 비트를 이용하여 에러를 판정하도록 구성한 에러 검출기를 포함한다. 전송 디바이스는 인코딩되는 물리적 인터페이스 에러 검출 비트와 인코딩된 데이터 비트를 생성하는 N비트/N+2 비트 인코더를 포함하고, 수신 디바이스는 인코딩된 데이터 비트를 디코딩하는 N+2비트/N비트 디코더 및 물리적 인터페이스 에러 검출 비트를 이용하여 에러를 판정하는 에러 검출기를 포함한다는 점을 알아야 한다. 전송 및 수신 디바이스는 TMDS(transition-minimized differential signaling) 디바이스, HDMI(high-definition multimedia interface) 디바이스, 멀티-기ガ비트 이더넷 디바이스(예컨대, 10Gbps 이더넷 또는 "10GbE" 디바이스) 및/또는 SATA(serial advanced technology attachment) 디바이스 중 하나 이상일 수 있음을 알아야 한다. 또한, 전송 및 수신 디바이스는 DVI(Digital Visual Interface) 및/또는 LVDS(Low Voltage Differential Signalling)뿐만 아니라 다른 동등한 기술을 구현할 수 있음을 알아야 한다.

### 발명의 구성 및 작용

[0029] 본 발명은 첨부한 도면과 함께 이하의 상세한 설명을 통해 더욱 충분하게 이해한다. 유사한 참조번호는 일부 도면에서 대응 부분을 의미한다. 대부분의 참조번호는 그 참조번호를 우선 도입하는 도면을 식별하는 1 또는 2 개의 맨 왼쪽 숫자를 일반적으로 포함한다는 점을 알아야 한다.

[0030] 도 1a는 본 발명의 적어도 하나의 특정 실시예에 따라 라인 인코딩/디코딩과 관련한 에러를 검출하는 에러 복구 모듈을 포함하는 물리적 인터페이스의 블록도(100)이다. 물리적 인터페이스(102 및 122)는 디바이스(101 및 121) 간의 물리적 접속을 제공하는데, 각 디바이스는 메모리 칩 등의 접적회로 또는 이더넷 라인 카드 혹은 네트워크 컴퓨터 등의 전자 디바이스일 수 있다. 물리적 인터페이스(102 및 122)는 물리적 매체(110)를 통해 데이터 비트의 전송 및 수신을 용이하게 하는 라인 인코더(LE)(106) 및 라인 디코더(LD)(126)를 각각 포함한다. 실시예에서, 라인 인코더(LE)(106)는 라인 인코딩(또한 "라인 코딩"으로 지칭됨)을 실행하는데, 라인 인코딩은 이진으로 표현한 디지털 정보(즉, 데이터 비트)를 특정 코드(또는 코드 워드)로 변형하여 구리선, 광섬유, 전파 등의 특정 유형의 매체를 통해 인코딩된 데이터 비트의 전송을 최적화하는 것이다. 라인 디코딩은 특정 코드를

데이터 비트로 변형하는 역 프로세스이다. 라인 인코더와 라인 디코더 둘 다는 특정 유형의 매체와 최적으로 동작하도록 조정한다. 몇몇 실시예에서 사용하는 바와 같이, 인코딩이란 용어는 데이터 비트를 코드 워드로 변형하는 것뿐만 아니라 데이터 비트를 코드 워드에 삽입하는 것을 의미한다.

[0031] 물리적 인터페이스(102)는 전송기(TX) 에러 복구 모듈(104)을 포함하는 반면, 물리적 인터페이스(122)는 수신기(RX) 에러 복구 모듈(124)을 포함한다. 에러 복구 모듈 104 및 124 둘 다는 라인 인코딩 또는 디코딩과 관련한 에러를 검출하고, 그러한 에러를 선택적으로 정정하도록 동작한다. 도 1a는 단일 방향의 통신을 도시하지만, 본 기술분야의 숙련자는 TX 에러 복구 모듈(104) 및 RX 에러 복구 모듈(124)의 구조 및/또는 기능을 결합하여 송수신기(TX/RX) 에러 복구 모듈(도시하지 않음)을 형성하여, 물리적 매체(110)를 통해 양방향 통신하는 동안 에러 검출 및 정정을 지원할 수 있음을 인식해야 한다. 적어도 하나의 실시예에서, 물리적 매체(110)는 직렬 데이터 링크를 제공한다. 데이터 링크가 직렬 데이터 링크 또는 병렬 데이터 링크인지 여부에 상관없이, 라인 인코더(106) 및 라인 디코더(126)는 라인 인코딩/디코딩을 구현하여, (1) 데이터 스트림에 임베드된 클록의 복구를 보장하는 데이터 스트림에 적절한 수의 변화가 존재하고, (2) d-c 벨런스를 유지하며, (3) 전자기 방사를 감소시키는 데이터 링크의 스펙트럼 형상을 제공하는 것 중 하나 이상을 실행한다.

[0032] 특정 실시예에서, 에러 복구 모듈(104 및 124)은 데이터 비트가 수신기(예컨대, IC 또는 전자 디바이스)에 도달한 직후 초기 에러 검출을 용이하게 하여, 에러 검출은, 예를 들어 라인 디코딩 전, 라인 디코딩 동안 또는 라인 디코딩 후의 어느 시점에서 실행할 수 있다. 이와 같이, 물리적 인터페이스 내의 에러 검출(124)은 에러 검출 및 정정 기법을 적용할 수 있을 때까지 디바이스(121)가 부정확하거나 손상된 데이터 비트를 갖는 다른 다음 스트림 프로세스를 불필요하게 실행하는 것을 방지한다. 유용하게도, 본 발명의 다양한 실시예에 따르면, 에러 복구 모듈(104 및 124)은 손상된 데이터 비트를 처리할 수도 있는 계산 리소스를 보존할 수 있고, 에러를 검출 및/또는 정정하는 데 필요한 시간을 줄임으로써 디바이스(101 및 121) 간의 통신을 또한 신속하게 처리할 수 있다. 본 발명의 다양한 특징은 에러를 검출하는 시간을 또한 줄일 수 있다. 예를 들어, 에러 검출 비트는 전송하는 데이터 비트 그룹의 끝보다는 애플리케이션 데이터 비트와 인터리빙 방식으로 전송할 수 있는데, 이러한 방식이 통상적이다. 적어도 하나의 실시예에서, 라인 인코더(106)는 NB/(N+2)B 라인 인코딩을 사용하여 직렬 데이터 링크에 대한 데이터 스트림을 인코딩한다. 또한, 라인 인코더(106)는 애플리케이션 데이터 비트를 물리적 매체(110)를 통해 전달하는 속도에 영향을 미치지 않으면서 물리적 인터페이스(PHY) 에러 정정 비트를 그 인코딩된 데이터 스트림에 임베드하도록 동작할 수 있다. 유용하게도, 물리적 인터페이스(102 및 122)는 디바이스(101 및 121)가 에러를 해결할 필요없이 물리 계층(또는 "PHY")에서 -전체 또는 부분적으로- 하위 레벨의 에러 검출 및/또는 정정을 구현할 수 있다. 이와 같이, PHY 에러 정정 정보는 디바이스(101 및 121)의 동작을 투명하게 하기 위하여 애플리케이션 데이터 비트와 함께 전송할 수 있다. 물론, 디바이스(101 및 121)에 대한 에러 검출 및/또는 정정은 물리적 인터페이스(102 및 122) 이외의 회로 및/또는 계층에서 다른 에러 복구 기법에 의해 보완할 수 있다. 이와 같이, 애플리케이션 데이터 비트는 상위 계층 에러 복구 메커니즘을 위한 상위 계층(UL) 에러 검출 비트를 포함할 수 있다. 에러 검출 및/또는 정정은 물리 계층에서 실행하므로, 유용하게도 에러 검출은 물리적 인터페이스(102 및 122) 이외에서 실행하는 것보다 더욱 빠르게 실행할 수 있다.

[0033] 도 1b는 본 발명의 하나 이상의 실시예에 따라 데이터 링크 계층보다는 물리 계층에서 에러를 검출하도록 구현한 도 1a의 에러 복구 모듈(104 및 124)을 나타낸다. 국제 표준 기구(ISO)의 OSI MODEL(Open System Interconnection Reference Model)은 물리 계층(예컨대, 하위 레벨 계층 162) 및 데이터 링크 계층(176)을 포함하는 그 밖의 상위 계층(160)의 기능을 기술한다. 도 1b는 디바이스(101)에 대한 OSI 모델(150) 및 디바이스(121)에 대한 OSI 모델(152)을 도시한다. 특히, 각 OSI 모델(150 및 152)은 응용 계층(170), 표현 계층(172), 네트워크 계층(174), 데이터 링크 계층(176) 및 물리 계층(178) 중 하나 이상을 포함하는데, 모든 계층의 기능은 잘 알려져 있으므로 본 명세서에서는 상세히 설명하지 않는다. OSI 모델(150)에 따르면, 전송 IC 또는 디바이스(101)(즉, 전송기)의 데이터 링크 계층(176)은 일반적으로 하위 레벨 계층(162)에서의 라인 인코더에 의한 인코딩에 이전에 상위 레벨 에러 검출 코드를 생성하는 반면, 수신 IC 또는 디바이스(121)(즉, 수신기)의 데이터 링크 계층(176)은 통상적으로 하위 레벨 계층(162)에서의 라인 디코더가 라인 인코딩된 비트를 디코딩한 후에 에러를 검출 및 정정한다. 특히, 수신 데이터 링크 계층(176)은 일반적으로 디코딩된 데이터 비트의 비트 스트림을 프레임으로 어셈블링한 다음, 프레임의 콘텐츠에 기초하여 CRC 체크섬 등의 상위 레벨 에러 검출 코드를 계산한다. 예로서, 프레이머(FR)(193)는 비트의 연속 세트를 프레임으로 어셈블링한다. 특히, 프레이머(193)는 프레임의 필드 중 하나에 프레임 검사 시퀀스(FCS) 코드를 설정한다. FCS는, 예를 들어 순환 중복 검사(CRC) 체크섬을 이용하여 에러를 검출하는 데 사용한다. 일반적으로, FCS는 CRC 체크섬에 대하여 비교하여 에러가 존재하는지 여부를 판정한다. 예시를 위하여, 이더넷 프레임은 헤더 비트 및 최대 1500 바이트의 페이로드를 포함하고, CRC 체크섬은 페이로드의 끝에 32 연속 비트로서 부가한다고 간주한다. 일반적으로, CRC 체

크섬은 물리 계층(178) 위의 하나 이상의 상위 계층(160)에 부가한다. 도시한 바와 같이, 물리 계층(178)은, 상위 계층(160)에서 사용하는 상위 레벨 에러 복구 메커니즘에 상관없이 하위 레벨 계층(162)이 적어도 몇몇 실시예에서 하위 레벨 에러 검출 및/또는 정정(에러 복구)을 전체적으로 실행할 수 있게 하기 위한 하위 레벨 에러 복구 기능(Err Rec)(190 및 192)을 포함한다. 적어도 하나의 실시예에서, 하위 레벨 에러 복구 기능(Err Rec)(190 및 192)은 애플리케이션 데이터 비트를 버퍼(예컨대, FIFO 버퍼)에 일시적으로 저장하기 이전 또는 저장하는 동안에 동작하여 에러가 발생했는지 여부를 전체적으로 또는 부분적으로 판정한다. 에러가 존재하지 않으면, 애플리케이션 데이터 비트는 상위 계층으로 전달하여 비트의 서브세트로 어셈블링한다. 비트의 서브세트는 이더넷 프레임, 메모리 디바이스를 위한 어드레스 등을 나타낼 수 있다. 특정 실시예에서, 물리 계층(178)과 데이터 링크 계층(176) 간의 경계는 애플리케이션 데이터 비트가 어셈블링을 위하여 상위 계층으로 버퍼를 벗어나는 시점이다.

[0034] 어느 계층이 종래의 에러 검출 및 정정을 구현하는지에 상관없이, 통상적인 상위 레벨 에러 검출 코드는 일반적으로 페이로드와 유사한 형태로 전송한다. 그러나 본 발명의 다양한 실시예에 따르면, 하위 레벨 에러 검출 코드 및 페이로드는 상이하게, 예컨대 병렬로 라인 디코딩할 수 있다. 본 명세서에서 사용하는 바와 같이, 페이로드란 용어는 응용 계층에서 사용한 프로그램 명령 및/또는 프로그램 데이터를 나타내는 비트의 집합(즉, 애플리케이션 데이터 비트)을 일반적으로 의미한다. 애플리케이션 데이터 비트는 애플리케이션 데이터를 구성하므로 데이터 비트 전송을 제어하기 위한 제어 코드를 포함하지 않는다. 이에 비해, 에러 검출 코드는 데이터 비트 전송의 신뢰성을 제어하는 데 사용하므로 제어 코드이다. 따라서, 본 발명의 다양한 실시예에 따르면, 애플리케이션 데이터 비트 및 에러 검출 비트 모두의 일부분은(특히, 애플리케이션 데이터 비트 및 에러 검출 비트 모두의 일부분을 함께 인코딩하여 코드 워드를 형성하는 경우) 거의 동일한 시간에 라인 디코딩(및 라인 인코딩)한다. 실시예에서, 라인 디코더는 코드 워드를 변형하여, 애플리케이션 데이터 비트 및 물리적 인터페이스(PI) 에러 검출 비트 모두를 포함할 수 있는 디코딩된 데이터 비트를 형성한다. 통상적으로 상위 레벨 에러 검출 코드는 연속 비트의 그룹(예컨대, 이더넷 프레임용의 CRC 체크섬의 비트)으로 전송하고, 일반적으로는 애플리케이션 데이터 비트와 유사한 방식으로 라인 디코더를 통해 상위 계층으로 전달한다는 점을 알아야 한다. 그 결과, 종래의 상위 레벨 에러 검출 기법은 일반적으로 계산 리소스를 소비하여 상위 계층에서의 에러 복구를 위한 제어 코드를 라인 디코딩하는 반면, 본 발명의 적어도 특정 실시예에 따르면, 하위 레벨 에러 검출 코드는 물리 계층 이외에는 전달할 필요가 없다.

[0035] 도 2a는 본 발명의 실시예에 따라 임베드된 클록 및 클록 복구를 사용하는 물리적 인터페이스에서 신뢰가능한 데이터 전송을 제공하는 에러 복구 모듈을 구현한 회로의 블록도이다. 도시한 예에서, 전자 디바이스(200)는 RX 에러 복구 모듈(ERM)(212) 및 RX 에러 복구 모듈(ERM)(232)로 각각 구성하는 물리적 인터페이스(210 및 230)를 포함한다. 도 2a는 TX 에러 복구 모듈을 포함하는 물리적 인터페이스를 생략하지만, 본 기술분야의 당업자는 그와 같은 TX 에러 복구 모듈은 역 기능을 갖는 것으로 또한 구현할 수 있음을 인식해야 한다. 몇몇의 경우, 물리적 인터페이스(210 및 230)는, 예를 들어 입/출력("I/O") 링(202) 내의 회로로서 형성한다. I/O 링(202)은 본딩 와이어 등의 전도체를 신호의 외부 소스, 예컨대 신호를 코어 회로(204)에 전송하는 접적회로에 연결하기 위한 입력 및 출력 단자(201)를 포함한다. RX 에러 복구 모듈(212) 및 RX 에러 복구 모듈(232) 각각은 코어 회로(204)에 연결하여 신호를 전달한다. 몇몇 실시예에서 사용하는 바와 같이, 코어 회로라는 용어는 하나 이상의 코어 기능을 실행하는 회로를 의미하고, 물리적 인터페이스(210 및 230)를 통해 입력을 수신하거나 출력을 전송하도록 구성할 수 있다. 몇몇 실시예에서, 코어 회로(204)는 HDL(Hardware Description Language) 코드(예컨대, VHDL 또는 Verilog) 또는 넷리스트 파일로 표현할 수 있는 IP(intellectual property) 코어로부터 형성할 수 있다. 따라서, 코어 회로(204)는 휴대가능하고, 물리적 인터페이스(210 및 230)가 제공하는 하위 레벨 계층 에러 검출 및 정정에 가장 이로운 설계에 쉽게 삽입할 수 있다. 예로서, 코어 회로(204)는 DRAM, 마이크로컨트롤러 또는 프로세서 회로와 같은 회로 또는 물리적 인터페이스에서 에러 검출 및 정정을 구현하는 타입의 회로라고 간주한다. 유용하게도, 하위 레벨 에러 검출 및 정정은 코어 회로(204)에 투명한 방식으로 동작한다(즉, 물리적 인터페이스 에러 복구는 코어 회로(204)의 리소스가 에러 검출 및/또는 정정을 실행할 필요가 없다).

[0036] 물리적 인터페이스(210)는  $N+m$  인코딩된 비트를 라인 디코더-에러 검출기(LD/ED)(214)에서 직렬로 수신하도록 구성한 직렬 물리적 인터페이스이고, 라인 디코더-에러 검출기는  $N+m$  인코딩된 비트의 일부 또는 전부를 디코딩하여 N 디코딩된 애플리케이션 데이터 비트를 형성하도록 구성한다. 값 "m"은 인코딩된 데이터 비트의 수와 애플리케이션 데이터 비트의 수 간의 비트 수의 차를 나타낸다. 예를 들어, 8B/10B 라인 인코더는 2의  $m$ 을 갖는데, 2가 그 차이다. 라인 디코더-에러 검출기(214)는 인코딩된 비트를 라인 디코딩한 다음, 검출가능하다면 에러를 검출하도록 동작한다. 라인 디코더-에러 검출기(214)가 에러를 검출하면, 에러 정정기(EC)(216)에 지시하

여 적절한 에러 복구 조치를 한다. 실시예에서, 에러 정정기(216)는 에러 표시 신호(218)를 외부 IC 또는 디바이스에 전송하여 경고함으로써, 외부 IC 또는 디바이스가 N+m 인코딩된 비트를 물리적 인터페이스(210)에 재전송하는 것과 같은 에러를 해결할 수 있도록 구성한다. 유용하게도, 물리적 인터페이스(210 및 230)는 코어 회로(204)를 변경하지 않으면서 코어 회로(204)에 에러 검출 및 정정을 제공하고, 이에 의해 에러 검출 또는 정정을 코어(204)에 통합하는 데 필요한 엔지니어링 리소스를 보존한다. 또 다른 실시예에서, 에러 정정기(216)는 에러 표시 신호(220)를 코어 회로(204)에 전송하여 코어 회로가 에러를 정정할 수 있도록 구성한다. 이 경우, 코어 회로(204)는 검출된 에러를 정정하는 주문형 로직(244)을 포함한다. 유용하게도, 코어 회로(204)(또는 다른 곳)에서 주문형 로직(244)에 의한 에러 처리는 전송 IC 또는 디바이스(도시하지 않음)가 에러 정정을 도울 필요가 없이 에러 검출 및 정정을 가능하게 한다. 이는, 특히 반도체 패키지에 캡슐화되는 경우, 전자 디바이스(200)에 필요한 신호 전도체 및/또는 편의 수를 최소화한다. 또 다른 실시예에서, 물리적 인터페이스(210)의 에러 정정기(216)는 에러 표시 신호 218 또는 220을 송신하지 않으면서 에러를 정정할 수 있다. 예를 들어, 에러 정정기는 에러를 자동으로 정정하는 포워드 에러 정정 기법을 구현할 수 있다.

[0037] 다음으로, 외부 IC는, 예를 들어 DRAM 컨트롤러(도시하지 않음)이고, 코어 회로(204)는 DRAM 메모리라고 간주한다. 그러면, 물리적 인터페이스(230)는 DRAM 컨트롤러와 DRAM 메모리(즉, 코어 회로(204)) 사이에 에러 정정된 어드레스 및 데이터를 교환하는 칩 대 칩 인터페이스를 제공하여, 그 중 하나 이상을 (기능적 혹은 구조적으로) 변경하지 않으면서 에러 검출 및 정정을 구현할 수 있다. 몇몇 실시예에서, 물리적 인터페이스(210 및 230)는 입력-출력(I/O) 텅(202)을 포함하는 제1 기판에 형성한다. 코어 회로(204)는 제2 기판에 형성한다. 제1 및 제2 기판이 분리되면, 물리적 인터페이스(210 및 230)는 코어 회로(204)로부터 개별적으로 패키지할 수 있다. 그러나 물리적 인터페이스와 코어 회로를 동일한 기판에 형성하면, 시스템-온-칩(SOC)의 일부로서 형성할 수 있고, 하나의 패키지에 함께 캡슐화할 수 있다. 다른 실시예에서, 물리적 인터페이스(230)는 N+m 인코딩된 비트를 RX 에러 복구 모듈(232)에서 수신하고, N+m 인코딩된 비트의 일부 혹은 전부를 디코딩하여 N 디코딩된 애플리케이션 데이터 비트를 형성하도록 구성한 병렬 물리적 인터페이스이다. 도 2a는 논의를 간략화하기 위하여 RX 에러 복구 모듈(232)에 대한 라인 디코더-에러 검출기 및 에러 정정기의 세부 사항을 생략한다. 도 2a는 인-바운드 데이터 비트(즉, 인-바운드 쪽 코어 204)를 인-바운드 방향(287)으로 제공하는 물리적 인터페이스(210 및 230)를 도시하지만, 그러한 동일한 물리적 인터페이스는 코어(204)로부터의 아웃-바운드 데이터 비트 전송(도시하지 않음)을 아웃-바운드 방향(289)으로 제공할 수 있음을 알아야 한다. 도 2a에 도시한 직렬 물리적 인터페이스(210)와 병렬 물리적 인터페이스(230) 둘 다는 인-바운드 데이터 비트를 라인 디코딩하여, 그 중에서 임베드된 클록을 복구하도록 구성한다는 점을 알아야 한다. 다른 실시예에서, 직렬 물리적 인터페이스(210) 또는 병렬 물리적 인터페이스(230), 혹은 둘 다는 임베드된 클록보다는 외부 클록을 수신하도록 구성할 수 있다.

[0038] 도 2b는 본 발명의 실시예에 따라 외부 클록을 사용하는 물리적 인터페이스에서 신뢰가능한 데이터 전송을 제공하는 에러 복구 모듈을 구현한 도 2a 회로의 다른 블록도이다. 도 2a의 직렬 물리적 인터페이스(210) 또는 병렬 물리적 인터페이스(230)와는 다르게, 도 2b의 전자 디바이스(200)는 외부 클록(Ext.CLOCK)(274)을 수신하도록 구성한 직렬 물리적 인터페이스(250)를 포함한다. 또한, 전자 디바이스(200)는 외부 클록(Ext.CLOCK)(254)을 수신하도록 구성한 병렬 물리적 인터페이스(270)를 포함한다. 물리적 인터페이스 250 및 270 둘 다는 외부 클록 신호를 수신할 수 있으므로, 이러한 인터페이스는 임베디드 클로킹 기법을 사용할 필요가 없어 클록 복구 회로를 포함할 필요가 없다. 이와 같이, 에러 복구 모듈(252 및 272)은 라인 디코더 또는 라인 디코딩 프로세스 후 배치할 필요가 없다. 도 2b의 각 구성요소는 도 2a에서 유사한 참조번호가 붙은 구성요소와 동등한 기능 및/또는 구조일 수 있음을 알아야 한다.

[0039] 도 3은 본 발명의 특정 실시예에 따라 에러를 검출 및 선택적으로 정정하도록 구성한 물리적 인터페이스를 도시하는 블록도이다. 물리적 인터페이스(300)는 물리 계층(PHY) 라인 디코더(302)와, 에러 검출 비트 추출기(312), 에러 검출기(314) 및 에러 정정기(316)로 구성한 에러 복구 모듈(310)을 포함한다. 에러 검출 비트 추출기(312)는 PHY 라인 디코더(302)의 라인 디코딩 프로세스와 적어도 기능적으로 협력하고, 도 3에 도시한 바와 같이, PHY 라인 디코더(302) 내에 상주한다. 이 예에서, PHY 라인 디코더(302)는 적어도 비트 스트림의 N+m 인코딩된 비트(즉, 심벌 또는 코드 워드)을 수신하고, 그러한 비트의 전부 또는 일부를 디코딩하여 N 디코딩된 애플리케이션 데이터 비트를 형성하도록 구성한다. 예를 들어, PHY 라인 디코더(302)는 10, 14, 20, 66 또는 130 인코딩된 애플리케이션 데이터 비트(또는 N+2 비트)를 수신하도록 동작한 다음, 그러한 비트를 각각 디코딩하여 8, 12, 18, 64 또는 128 디코딩된 애플리케이션 데이터 비트(또는 N 비트)를 형성할 수 있다. 통상적으로 적어도 2개의 비트를 클록 복구 및 DC-밸런싱에 사용한다. 다양한 실시예에서, PHY 라인 디코더(302)는 임의 수의 인코딩된 데이터 비트를 수신한 다음, 그러한 비트를 임의의 다른 수의 애플리케이션 데이터 비트로 디코딩하도록 동작할 수 있다. 예를 들어, PHY 라인 디코더(302)는 인코딩된 데이터의 80비트를 디코딩하여 64 디코딩된

애플리케이션 데이터 비트를 형성할 수 있다.

[0040] 특정 실시예에서, PHY 라인 디코더(302)는  $N+m$  비트의 서브세트인  $N+(m-1)$  인코딩된 비트를 디코딩하여  $N$  디코딩된 애플리케이션 데이터 비트 및 E 에러 검출 비트를 제공한다. 다음으로, 에러 검출 비트 추출기(312)는 하위 레벨 에러 검출 목적을 위하여 하나 이상의 물리적 인터페이스 에러 검출 비트를 추출한다. 예를 들어, 에러 검출 비트 추출기(312)는  $N+m$ (예컨대, 10비트)에서 하나의 비트를 추출하여,  $N$  디코딩된 애플리케이션 데이터 비트 및 E 디코딩된 에러 검출 비트를 포함하는  $N+(m-1)$  비트(예컨대, 9비트)의 디코딩된 비트를 제공할 수 있다. 이와 같이, PHY 라인 디코더(302)는  $N+m$  비트를 수신하고,  $N$  애플리케이션 데이터 비트 및 적어도 하나의 에러 검출 비트를 제공하는 라인 디코딩을 실행하도록 구성한다. 유용하게도, PHY 라인 디코더(302)는, 일반적으로 10비트의 심벌 크기를 인코딩된 비트에 대하여 사용하고, 디코딩된 애플리케이션 데이터 비트가 8비트의 비트 크기를 갖는 종래의 10B/8B 디코더를 보완 또는 대체하도록 구현할 수 있다. 본 발명의 다양한 실시예에서, PHY 라인 디코더(302)는 9번째 비트(즉, 10 인코딩된 비트와 8 디코딩된 애플리케이션 데이터 비트 간의 차인 2비트 중 하나)를 조사하여 에러를 검출한다. 적합한 PHY 라인 디코더(302)는 "Method and Apparatus for Encoding or Decoding Data in accordance with an NB/(N+1)B Block Code and Method for Determining such a Block Code"란 명칭의 미국특허번호 제6,747,580호에 개시된 바와 같은  $N+1$ 비트/ $N$ 비트 디코더이고, 그 내용은 본 명세서에 참조로서 포함한다. 도 3은 PHY 라인 디코더(302)를 도시하지만, 본 기술분야의 당업자는  $N$  애플리케이션 데이터 비트 및 E 에러 검출 비트를  $N+m$  인코딩된 비트로 인코딩하는 PHY 라인 인코더(즉,  $N$ 비트/ $N+m$ 비트 인코더)는 도 3 및 본 명세서의 다른 부분에서 설명하는 방식과는 반대로 동작하도록 구성할 수 있다는 점을 알아야 한다.

[0041] 추출 후, 에러 검출 비트 추출기(312)는 물리적 인터페이스(PI) 에러 검출 비트(EDB)(313)를 에러 검출기(314)에 송신하고, 에러 검출기는 그 비트를 이용하여  $N+m$  인코딩된 데이터 비트가 하나 이상의 에러 데이터 비트를 포함하는지 여부를 판정한다. 에러 검출기(314)는 에러 검출 기법 및 코드에 따라 에러를 검출하도록 구성한다. 실시예에서, 에러 검출기(314)는 짹수 또는 홀수 패리티 검사기로서 구성하고, 물리적 인터페이스 에러 검출 비트는 패리티 비트(즉, 짹수 또는 홀수 패리티 비트)이다. 유용하게도, 물리적 인터페이스 에러 검출 비트는 디코딩된 애플리케이션 데이터 비트의 서브세트와 동시에 PHY 라인 디코더(302)에서 수신한다. 이는,  $N+m$  비트보다 훨씬 큰 비트 크기를 갖는 그룹의 인코딩된 데이터 비트의 끝에 에러 검출 코드를 부가하는 종래의 에러 검출 기법에 비하여, PHY 라인 디코더(302)가 에러 검출 코드를 수신하는 데 필요한 시간을 줄일 수 있다. 또 다른 실시예에서, 물리적 인터페이스 에러 검출 비트는 CRC 체크섬의 일부(예컨대, 1비트)이다. 이 경우, 전송 물리적 인터페이스에서의 에러 검출 코드 생성기(도시하지 않음)는 물리적 인터페이스 에러 검출 비트를 CRC 체크섬의 일부로서 생성하도록 구성한다. 도 6에서 후술하는 바와 같이, 에러 검출 코드 생성기(또는 등가물)는 CRC 체크섬의 비트를 PHY 라인 인코더(도시하지 않음)에 제공할 수 있고, PHY 라인 인코더는 물리적 인터페이스 에러 검출 비트와  $N$  비부호화된 애플리케이션 데이터 비트를 삽입하여  $N+2$  인코딩된 데이터 비트를 제공한다. 그 결과, 에러 검출기(314)는 디코딩된  $N+m$  데이터 비트의 각 서브세트로부터 물리적 인터페이스 에러 검출 비트를 축적 또는 수집하여 CRC 체크섬을 에러 검출 코드로서 재구성한다. 예를 들어, PHY 라인 디코더(302)가 디코딩하는 10 인코딩된 비트의 각 세트에 대하여, CRC 체크섬의 1비트를 8 디코딩된 애플리케이션 데이터 비트의 각 세트에 대한 물리적 인터페이스 에러 검출 비트로서 제공한다고 간주한다. 16비트 CRC 체크섬이 구현되면, 8 디코딩된 애플리케이션 데이터 비트의 16세트마다(즉, 128비트), 에러 검출기(314)는 16비트 CRC 체크섬을 재구성할 수 있다. 그리고나서, 에러 검출기(314)는 그러한 128비트로부터 CRC 체크섬을 생성하고, 그 CRC 체크섬을 재구성한 에러 검출 코드에 대하여 비교하여 에러가 발생했는지 여부를 판정한다. 에러 검출기(314)는 포워드 에러 정정과 같은 다른 에러 검출 기법을 실행할 수 있다. 포워드 에러 정정 기법의 예로는 Reed-Solomon 코드, Hamming 코드 및 BCH(Bose-Chaudhuri-Hocquenghem) 코드가 있다.

[0042] 데이터 비트 전송 동안 에러가 발생하였다고 에러 검출기(314)가 판정하면, 에러 검출기는 에러가 발생하였음을 에러 정정기(316)에 신호로 알린다. 몇몇 경우, 에러 정정기(316)는 에러가 검출되었으므로 디코딩된 애플리케이션 데이터 비트의 재전송을 요청하도록 동작한다. 이전 예에 연속하여, 16비트 CRC 체크섬 비교로 에러가 128 디코딩된 애플리케이션 데이터 비트에 존재함을 나타내면, 에러 정정기(316)는 전송 물리적 인터페이스가 그러한 128비트를 재전송하도록 요청할 수 있다. 다른 경우, 에러 정정기(316)는 주문형 회로를 구동시켜 사용자 정의된 에러 처리를 실행할 수 있다. 적어도 하나의 예에서, 에러 정정기(316)는 상술한 코어 회로 등의 관련 IC를 다시 초기화하는 것과 같은 일종의 디풀트 에러 정정 동작을 취할 수 있다.

[0043] 도 4는 본 발명의 실시예에 따라 에러 검출 비트를 삽입 및 추출하는 전송기에서의 라인 인코딩 및 수신기에서의 라인 디코딩을 예시하는 기능 블록도이다. 참조번호 400으로 도시한 바와 같이, 전송기 물리적 인터페이스

(TX)(410)는 PHY 라인 인코더(412), 에러 검출 코드 생성기(416), 에러 비트 삽입기(418) 및 예를 들어 에러 검출 코드를 생성하는 동안 애플리케이션 데이터 비트를 유지하기 위한 옵션 버퍼(421)를 포함한다. 이 예에서, 에러 검출 코드 생성기(416)는 16비트 CRC 체크섬과 같은 버퍼(421)의 애플리케이션 데이터 비트에 기초하여 에러 검출 코드를 생성한다. 다음으로, 에러 비트 삽입기(418)는 16비트 CRC 체크섬으로부터 적어도 하나의 에러 검출 비트(EDB)(414)를 선택한 다음, 이 비트와 버퍼(421)로부터의 N 애플리케이션 데이터 비트의 출력 세트를 삽입하여 9비트를 형성한다. 그리고나서, PHY 라인 인코더(412)는 9비트를 10 인코딩된 비트(또는 심벌)로 인코딩한다. 몇몇 실시예에서, PHY 라인 인코더(412)는 동일하게 인코딩된 비트에 대해 제로 DC 오프셋 및/또는 최적 스펙트럼 특성을 유지할 뿐만 아니라 비동기 클록을 10 인코딩된 비트에 임베드하는 방식으로 에러 검출 비트(414)를 인코딩한다. 특정 실시예에서, PHY 라인 인코더(412)는 미국특허번호 제6,747,580호에 개시되어 있는 코딩 기법에 따라 동작하며, PHY 라인 인코더(412)는 N비트의 애플리케이션 데이터를 N+1 인코딩된 비트로 인코딩한다. 예를 들어, N이 9라고 간주한다. 이와 같이, PHY 라인 인코더(412)는 8B/10B 코딩 방식에 관련한 데이터 전송 속도에 영향을 주지 않으면서 8 애플리케이션 데이터 비트 및 1 에러 비트(즉, 9비트)를 10 인코딩된 비트로 인코딩할 수 있다. 도 4에서 N은 음이 아닌 정수를 나타낼 수 있음을 알아야 한다.

[0044]

다음으로, 전송기 물리적 인터페이스(410)는 물리적 매체(420)를 통해 인코딩된 비트를 수신 물리적 인터페이스(RX)(440)의 에러 비트 추출기(422)에 송신한다. 수신 물리적 인터페이스(RX)(440)는 PHY 라인 디코더(428), 에러 비트 추출기(422), 에러 검출 코드 재구성기(426), 에러 검출기(430), 비교기(434) 및 어떠한 에러도 검출되지 않는다고 확인될 때까지 디코딩된 애플리케이션 데이터 비트를 유지할 수 있는 버퍼(431)를 포함한다. PHY 라인 디코더(428)는 10 인코딩된 데이터 비트를 8 디코딩된 애플리케이션 데이터 비트와 1 디코딩된 에러 검출 비트(EDB)(424)를 포함하는 9 디코딩된 비트로 디코딩한다. 다양한 실시예에서, PHY 라인 디코더(428)는 물리적 매체(420)를 통해 인코딩된 애플리케이션 데이터 비트로 전송되는 임베드된 클록을 복구하는 클록 데이터 복구 회로(도시하지 않음)를 포함한다. 에러 비트 추출기(422)는 9 디코딩된 비트로부터 에러 검출 비트(424)를 추출하고, 이 비트를 에러 검출 코드 재구성기(426)에 제공하며, 에러 검출 코드 재구성기는 에러 검출 비트와 다른 물리적 인터페이스 에러 검출 비트를 축적한다. 다음으로, 에러 검출 코드 재구성기(426)는 에러 검출 코드 생성기(416)가 원래 생성하였던 에러 검출 코드를 재구성한다. 다음으로, 에러 검출기(430)는 버퍼(431)에서의 N 디코딩된 애플리케이션 데이터 비트의 그룹에 기초하여 CRC 체크섬(432)을 생성한다. 그리고나서, 비교기(434)는 CRC 체크섬(432)이 에러 검출 코드(426)에 맞는지 여부를 비교하도록 동작할 수 있다. 일치하면, 에러가 존재하지 않는 것이고, 일치하지 않으면, 에러가 존재한다는 것이다.

[0045]

도 5는 본 발명의 실시예에 따라 데이터 비트의 그룹을 셀로서 라인 인코딩하는 흐름도의 일례를 도시한다. 몇몇 실시예에서, 전송 물리적 인터페이스는, 참조번호 550으로 도시한 바와 같이 데이터를 전송할 수 있고, 이에 의해 데이터 비트의 그룹(560)은 셀(및 프레임 등)로서 간주할 수 있다. 셀(560)은, 예를 들어 임의 수의 제어 비트(561)(예컨대, x는 비트의 수) 및 각각 64비트인 2개 애플리케이션 데이터 워드(563)를 포함할 수 있다. 물리 계층에서 PHY 라인 인코더 위에 위치하는 상위 계층 디바이스(도시하지 않음)는 PHY 라인 인코더가 사용하는 셀(560)을 비호화된(즉, 부호화 전 또는 인코딩되지 않은) 비트의 개별 세트(562)로 나누도록 구성할 수 있다. 각 세트(562)는 N 비트(예컨대, 8비트)를 갖는다. 에러 검출 코드 생성기(도시하지 않음)는 셀(560)에 기초하여 에러 검출 코드(570)를 생성하여, 예를 들어 에러 검출 코드를 12비트 CRC로서 형성한다. 다음으로, PHY 라인 인코더는 물리적 인터페이스 에러 검출 비트(EDB)(572)를 세트(562)의 비호화된 비트 스트림에 삽입하여 N+E 비트의 세트(574)(예컨대, N은 8비트이고, E는 1비트일 수 있음)를 형성할 수 있다. 그리고나서, PHY 라인 인코더는 직렬 데이터 링크와 같은 데이터 링크를 통한 전송을 위하여 N+E 비트의 각 세트(572)를 10비트 코드 워드(580)(예컨대, 인코딩된 데이터 비트)로 변형할 수 있다. 도시하지는 않지만, 수신 물리적 인터페이스에서 PHY 라인 디코더는 유사하지만 반대로 동작한다.

[0046]

도 6은 본 발명의 적어도 하나의 특정 실시예에 따라 데이터 비트를 적어도 재전송함으로써 에러 검출 및 정정을 제공하는 물리적 인터페이스를 예시하는 블록도(600)이다. 물리적 인터페이스(602 및 652)는 고속 직렬 통신 링크(650)를 통한 물리적 접속을 제공한다. 물리적 인터페이스(602)는 전송할 데이터 비트를 저장하기 위한 퍼스트 인 퍼스트 아웃 버퍼(FIFO)(604) 등의 스토리지를 포함한다. FIFO(604)는 저장된 데이터 비트를 유지하여, 예를 들어 데이터 비트의 그룹에서 에러 검출 코드를 계산한다. 몇몇의 경우, FIFO(604)는 에러가 발생한 경우에 재전송하기 위한 데이터 비트를 저장한다. 또한, 물리적 인터페이스(602)는 PHY 라인 인코더(PHY 인코더)(610), 병렬 데이터 비트를 직렬화하기 위한 직렬 변환기(SER)(612), 에러 검출 코드 생성기(616) 및 전송기(TX) 에러 정정기(618)를 포함한다. 특정 시각에 FIFO(604)에서 데이터 비트 그룹의 콘텐츠에 기초하여, 에러 검출 코드 생성기(616)는 CRC 체크섬과 같은 에러 검출 코드를 생성한다. 에러 검출 비트 삽입기는 CRC 체크섬을 분석하고, 적어도 하나의 비트(예컨대, 하나의 E 비트)를 물리적 인터페이스 에러 검출 비트(EDB)로서 N 비

부호화된 비트(608)에 삽입한다. 동작 시, PHY 라인 인코더(610)는 N+E 비트를 인코딩하여 N+2 인코딩된 데이터 비트(608)를 형성한다. 다음으로, 직렬 변환기(612)는 링크(650)를 통한 전송 이전에 N+2 데이터 비트(608)를 직렬화한다. 수신 물리적 인터페이스(652)는 N+2 데이터 비트(608)를 병렬 데이터 비트로 변환하기 위한 직렬화(654)를 포함한다. PHY 라인 디코더(PHY 디코더)(656)는 인코딩된 비트 스트림을 디코딩하고, 디코딩된 데이터 비트를 FIFO(658)에 저장한다. 여러 검출 비트(EDB) 추출기(660)는 적어도 하나의 비트를 물리적 인터페이스 여러 검출 비트(EDB)(662)로서 추출하여 여러 검출기(666)에 송신한다. 여러 코드 재구성이 완료될 때, 여러 검출기(666)는 여러가 발생했는지 여부를 판정하도록 동작한다. 여러 검출기(666)가 어떠한 에러도 검출하지 못하면, 여러 검출기(666)는 FIFO(658)에 지시하여 다른 프로세싱을 위하여 디코딩된 데이터 비트를 전송하게 한다. 그러나 여러 검출기(666)가 에러를 검출하면, 여러 검출기(666)는 에러의 존재를 수신기(RX) 여러 정정기(668)에 표시한다. 한 예에서, RX 여러 정정기(668)는 콘텐츠 또는 그 일부를 링크(650)를 통해 재전송하도록 TX 여러 정정기(618)에 지시하는 요청(669)을 송신한다. 또 다른 예에서, RX 여러 정정기(668)는 에러를 처리하는 주문형 회로(도시하지 않음)에 요청(671)을 송신할 수 있다. 또 다른 예에서, 수신기 여러 정정기(668)는 포워드 여러 정정 기법 등을 사용하여 에러를 정정할 수 있다.

[0047]

도 7은 본 발명의 적어도 하나의 특정 실시예에 따라 라인 디코딩하지 않고 여러 검출 및 정정을 구현하기 위한 다른 수신기를 나타낸다. 수신기(RX)(700)에서, 전송 물리적 인터페이스(도시하지 않음)는 링크(702)를 통해 데이터 비트를 송신한다. 여러 비트 추출기(704)는 데이터 비트로부터 여러 검출 데이터 비트(EDB)(706)를 추출하고, 그 비트를 수집하여 여러 검출 코드(708)를 재구성한다. 도 4의 다이어그램(400)과 다르게, 수신기(700)는 PHY 라인 디코더를 수신기(440)와는 다르게 사용하지 않는다. 이와 같이, 수신기(700)는 임베드된 클록으로부터 클록 신호를 복구할 필요가 없다. 도시한 바와 같이, 수신기(700)는, 예를 들어 전송 디바이스(도시하지 않음)로부터 외부 클록(701)을 수신하도록 구성한다. 이는, 예를 들어 여러 검출 비트를 링크(702)를 통한 전송 이전의 애플리케이션 데이터 비트에 부가하는 전송 디바이스이다. 수신기(700)는 여러 검출 코드를 계산하거나, 이 경우에서는 FIFO(720)의 애플리케이션 데이터 비트의 그룹에 기초하여 CRC 체크섬(722)을 계산하기 위한 여러 검출기(780)를 포함한다. 다음으로, 비교기(724)(예컨대, 여러 검출기(720) 내)는 전송 에러가 발생했는지 여부를 판정한다. 에러가 존재하는 경우, 여러 검출기(780)는, 예를 들어 전송 디바이스가 데이터 비트를 재전송하도록 요청하거나, 에러를 정정하는 주문형 로직에 신호를 보냄으로써 정정 동작을 취할 수 있다.

[0048]

도 8은 본 발명의 실시예에 따른 여러 정정기의 블록도를 도시한다. 이 예의 여러 정정기(800)는 에러를 해결할 수 있는 하나 이상의 기능을 제어하는 여러 정정기 컨트롤러(822)를 포함하는데, 특정 애플리케이션을 위한 특정 기능은 사용자가 프로그램한다. 예를 들어, 비디오 메모리 애플리케이션의 팩셀 데이터 손실은 다른 애플리케이션의 데이터 손실만큼 결정적이지 않다. 이와 같이, 여러 정정기 컨트롤러(822)는 다음 모듈 중 어떤 모듈을 선택하여 여러 정정을 구현할 수 있다. 재전송 요청 모듈(824)은 전송 물리적 인터페이스가 에러의 검출 시 데이터 비트를 재송신하는 요청 바운드를 생성한다. 주문형 복구 모듈(814)은 주문형 회로에 신호를 보내 설계자가 사전설정한 주문형 여러 처리 루틴을 개시한다. 그러나 여러 정정기 컨트롤러(822)는 에러의 검출 시 IC를 다시 초기화하는 것과 같은 디폴트 여러 복구 방식을 선택할 수 있다. 이로 인하여 양쪽의 물리적 인터페이스는 알려진 상태로 다시 초기화할 수 있다. 다양한 실시예에서, 여러 정정기(800)는 주파수 선택기(830), 진폭 선택기(840) 및 코딩 선택기(850)를 포함할 수 있다. 물리적 인터페이스 간의 통신 링크의 신호가 약해지면, 주파수 선택기(830)는 링크를 통한 데이터 전송 속도를 조절하여 에러율을 감소시킬 수 있다. 또는, 진폭 선택기(840)는 에러율이 줄어들 때까지 신호 진폭을 조절할 수 있다. 코딩 선택기(850)는, 예를 들어 18B/20B로부터의 라인 코딩을 변경하여 에러가 검출되는 시간을 감소시키는 데 사용할 수 있다. 예를 들어, 32 비트의 CRC는 에러 복구를 위하여 구현하고, CRC의 1 비트는 한 번에 송신한다고 간주한다. 18B/20B로는 32 비트의 CRC를 형성하는 576 애플리케이션 데이터 비트(8 비트)를 사용하는 반면(즉,  $8 \times 32 = 576$  비트), 8B/10B로는 256 애플리케이션 비트를 사용한다. 이와 같이, 코딩 선택기(850)는 에러 코드(예컨대, CRC)가 통신 채널을 통해 전송되는 속도를 증가시킬 수 있다. 여러 정정기 컨트롤러(822)는 이러한 선택기를 개별로 또는 조합하여 선택할 수 있다.

[0049]

지금까지 기술한 설명은 본 발명의 충분한 이해를 위하여 명확한 명칭을 사용하였다. 그러나 본 기술분야의 숙련자에게는 본 발명을 실행하기 위한 명확한 설명이 필요하지 않다는 점이 명백하다. 실제로, 이러한 기재는 본 발명의 특징 및 양상을 어떤 실시예에 한정하도록 해석해서는 안 되고, 실시예의 다른 특징 및 양상은 다른 실시예와 용이하게 교환할 수도 있다. 예를 들어, 다양한 실시예의 상술한 기재는 물리 계층 라인 디코더에 관한 것이지만, 물리 계층 라인 인코더와 모든 타입의 통신 링크뿐만 아니라 수많은 타입의 통신 프로토콜, 예컨대 Gigabit Ethernet, HDMI, TMDS, DVI 및 SATA에 적용할 수 있다. 또한, 다양한 실시예는 전자 디바이스 간

의 점 대 점 통신뿐만 아니라 브로드캐스팅에 적용할 수 있다. 상술한 논의의 일부는 직렬 데이터 통신에 관한 것이지만, 본 발명의 다양한 실시예는 병렬 데이터 통신에도 적용할 수 있다.

[0050] 따라서, 상술한 본 발명의 특정 실시예는 예시 및 설명을 위한 것이다. 그 실시예가 본 발명의 모든 것이거나, 본 발명을 공개된 명확한 형태로 한정하는 것은 아니고, 명백하게는 수많은 수정과 변형이 상술한 내용의 관점에서 가능하다. 실시예는 본 발명의 원리와 실질적인 애플리케이션을 가장 잘 설명하기 위하여 선택 및 기술하고, 이에 의해 본 기술분야의 당업자는 본 발명을 가장 잘 활용할 수 있고, 다양한 실시예를 특별한 용도에 적합하게 수정할 수 있다. 특히, 본 명세서에 기술한 모든 장점은 본 발명의 각 실시예에 의해 실현되는 것이 아니고, 어떤 특정 실시예는 상술한 하나 이상의 장점을 제공할 수 있다. 이하의 청구범위 및 그 균등물이 본 발명의 범위를 정의한다.

### 발명의 효과

[0051] 본 발명에 따르면, 물리적 인터페이스는 직렬 또는 병렬 데이터 링크를 통해 용이하게 통신할 수 있거나, 임베드된 비동기 클록 또는 외부 동기 클록을 사용하도록 구성할 수 있다.

### 도면의 간단한 설명

[0001] 도 1a는 본 발명의 적어도 하나의 특정 실시예에 따라 에러를 검출하는 에러 복구 모듈을 포함하는 물리적 인터페이스를 예시하는 블록도.

[0002] 도 1b는 본 발명의 하나 이상의 실시예에 따라 데이터 링크 계층보다 물리 계층에서 에러 검출을 제공하도록 구현한 에러 복구 모듈을 예시하는 도면.

[0003] 도 2a는 본 발명의 실시예에 따라 임베드된 클록 및 클록 복구를 사용하는 물리적 인터페이스에서 신뢰가능한 데이터 전송을 제공하는 에러 복구 모듈을 구현한 회로의 블록도.

[0004] 도 2b는 본 발명의 실시예에 따라 외부 클록을 사용하는 물리적 인터페이스에서 신뢰가능한 데이터 전송을 제공하는 에러 복구 모듈을 구현한 도 2a의 또 다른 블록도.

[0005] 도 3은 본 발명의 특정 실시예에 따라 에러를 검출하고, 선택적으로 정정하도록 구성한 물리적 인터페이스를 도시하는 블록도.

[0006] 도 4는 본 발명의 실시예에 따라 에러 검출 비트를 삽입 및 추출하는 라인 인코딩 및 라인 디코딩을 예시하는 기능 블록도.

[0007] 도 5는 본 발명의 실시예에 따라 데이터 비트의 그룹을 셀로서 라인 인코딩하기 위한 예시적인 흐름을 도시하는 도면.

[0008] 도 6은 본 발명의 적어도 하나의 실시예에 따라 적어도 전송 데이터 비트에 의한 에러 검출 및 정정을 제공하는 물리적 인터페이스를 도시한 블록도.

[0009] 도 7은 본 발명의 적어도 하나의 특정 실시예에 따라 라인 디코딩하지 않고 에러 검출 및 정정을 구현하기 위한 또 다른 수신기를 예시하는 도면.

[0010] 도 8은 본 발명의 실시예에 따른 에러 정정기의 블록도.

[0011] <도면의 주요 부분에 대한 부호의 설명>

[0012] 102, 122: 물리적 인터페이스

[0013] 104: TX 에러 복구 모듈

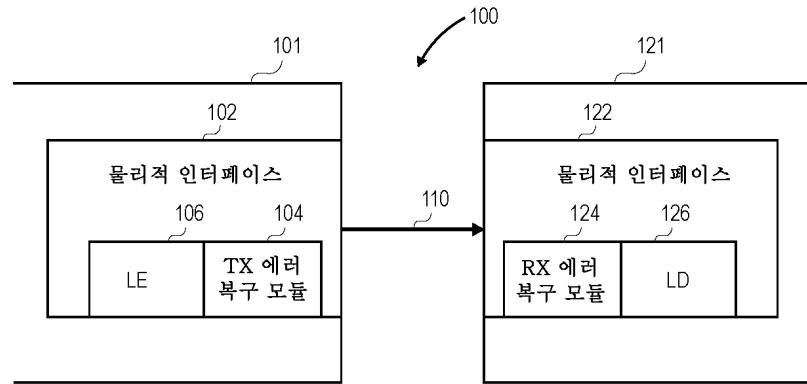
[0014] 106: 라인 인코더

[0015] 124: RX 에러 복구 모듈

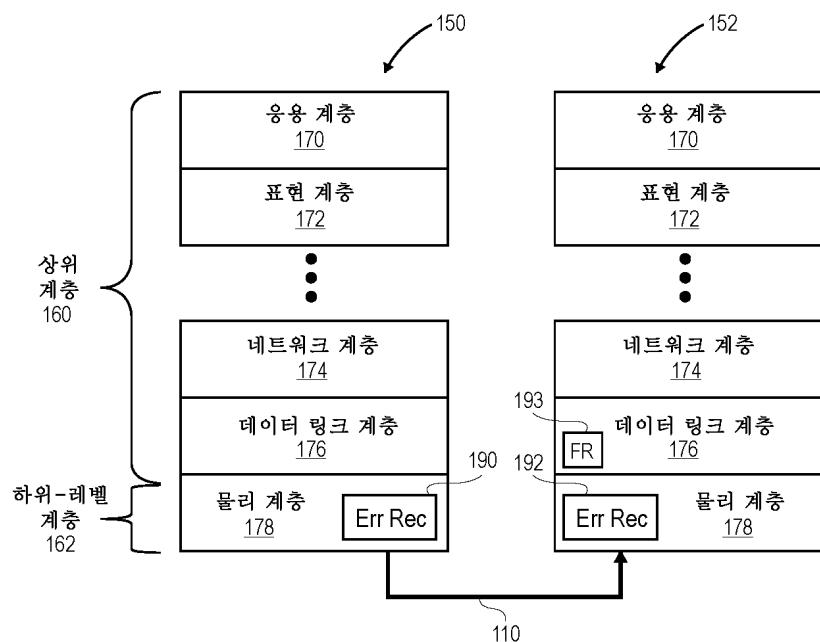
[0016] 126: 라인 디코더

## 도면

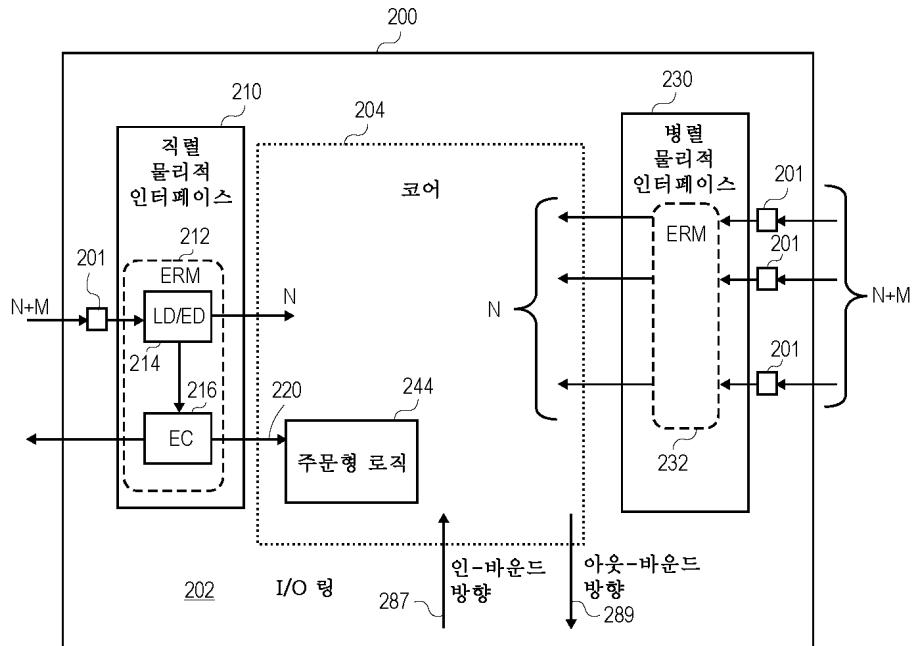
## 도면1a



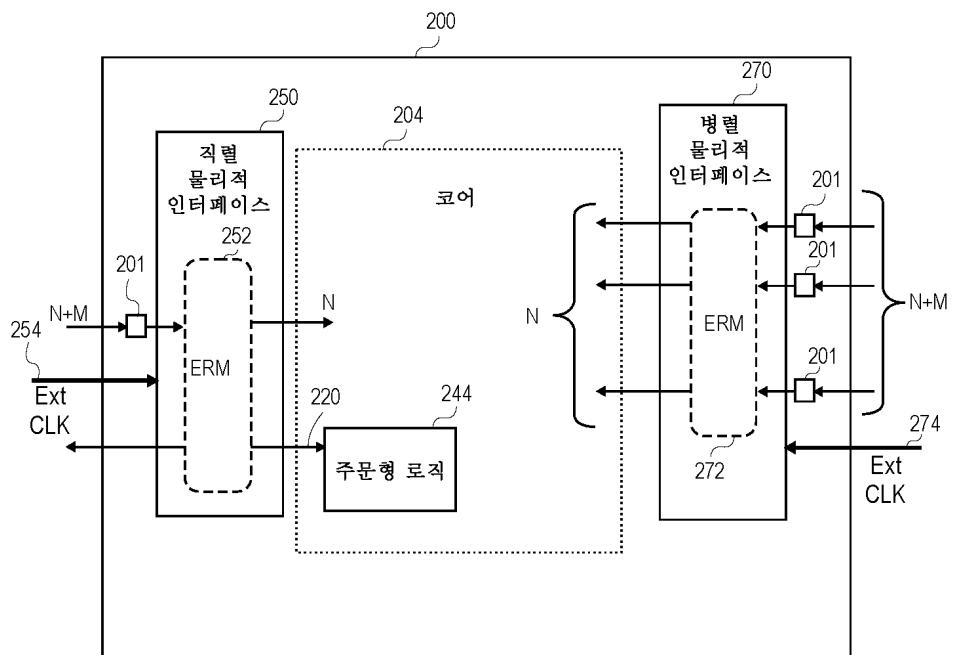
## 도면1b



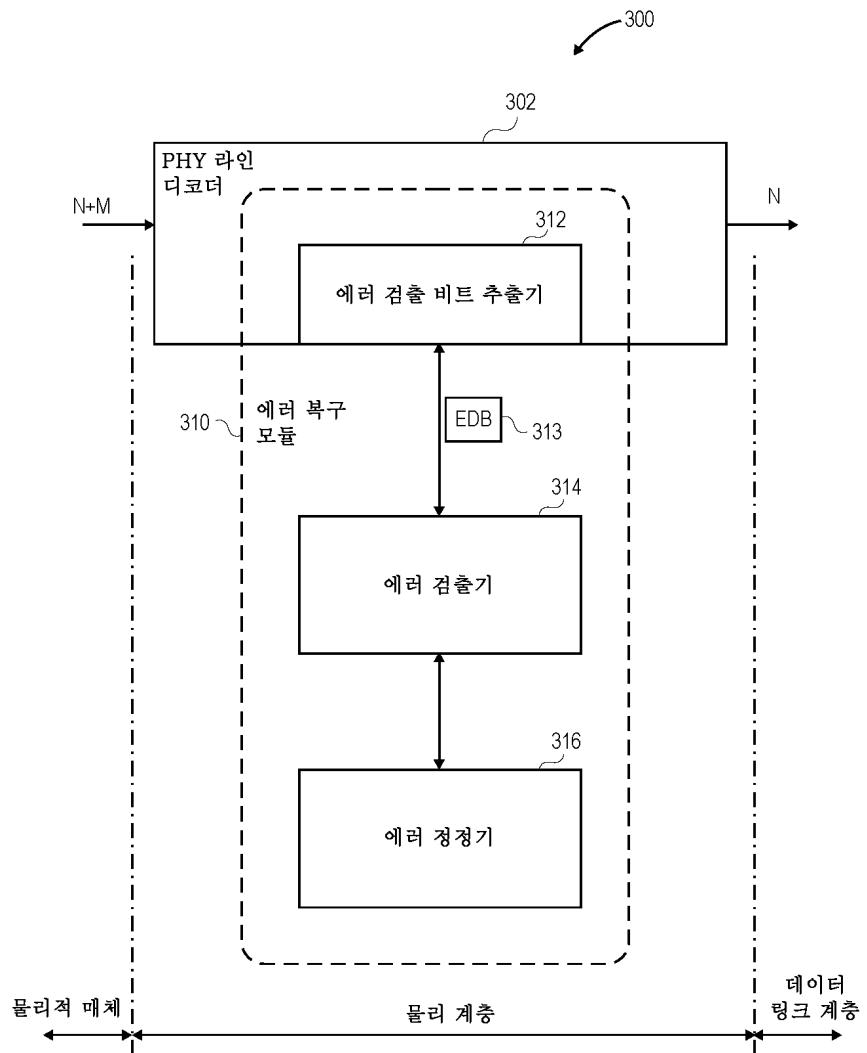
도면2a



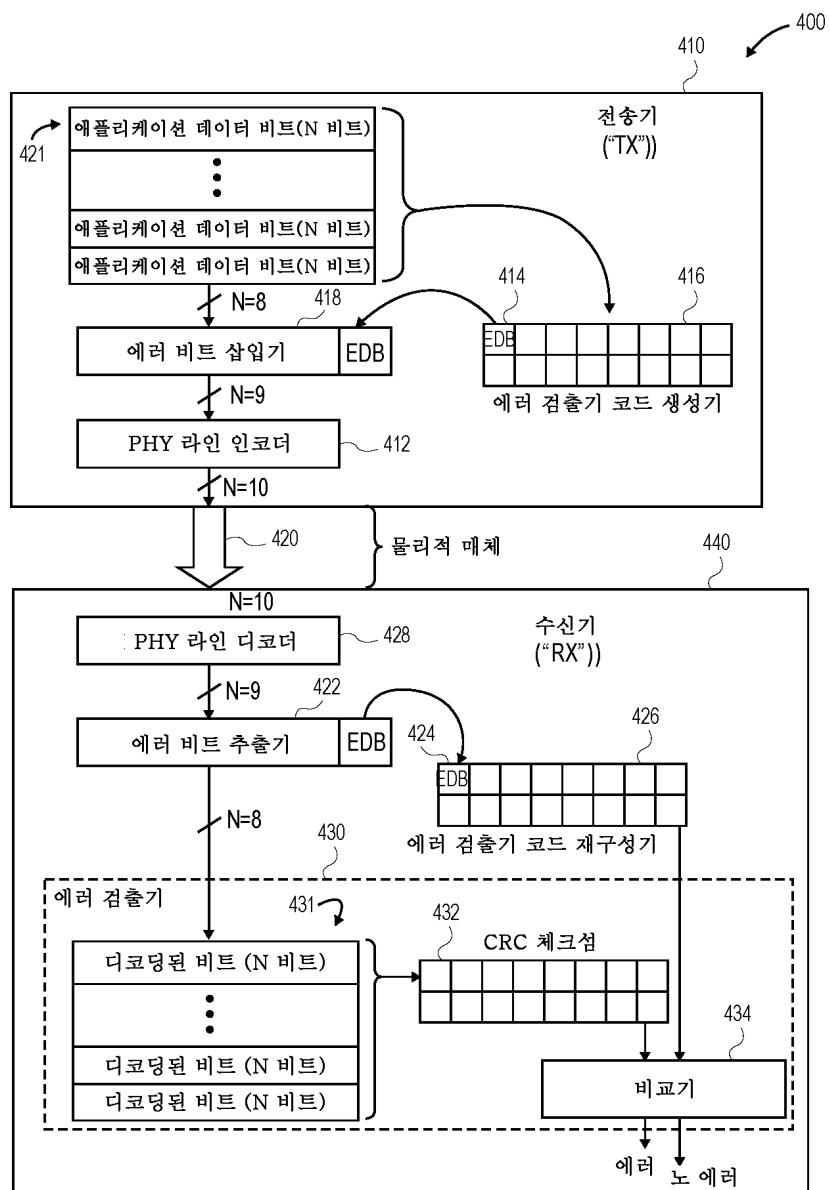
도면2b



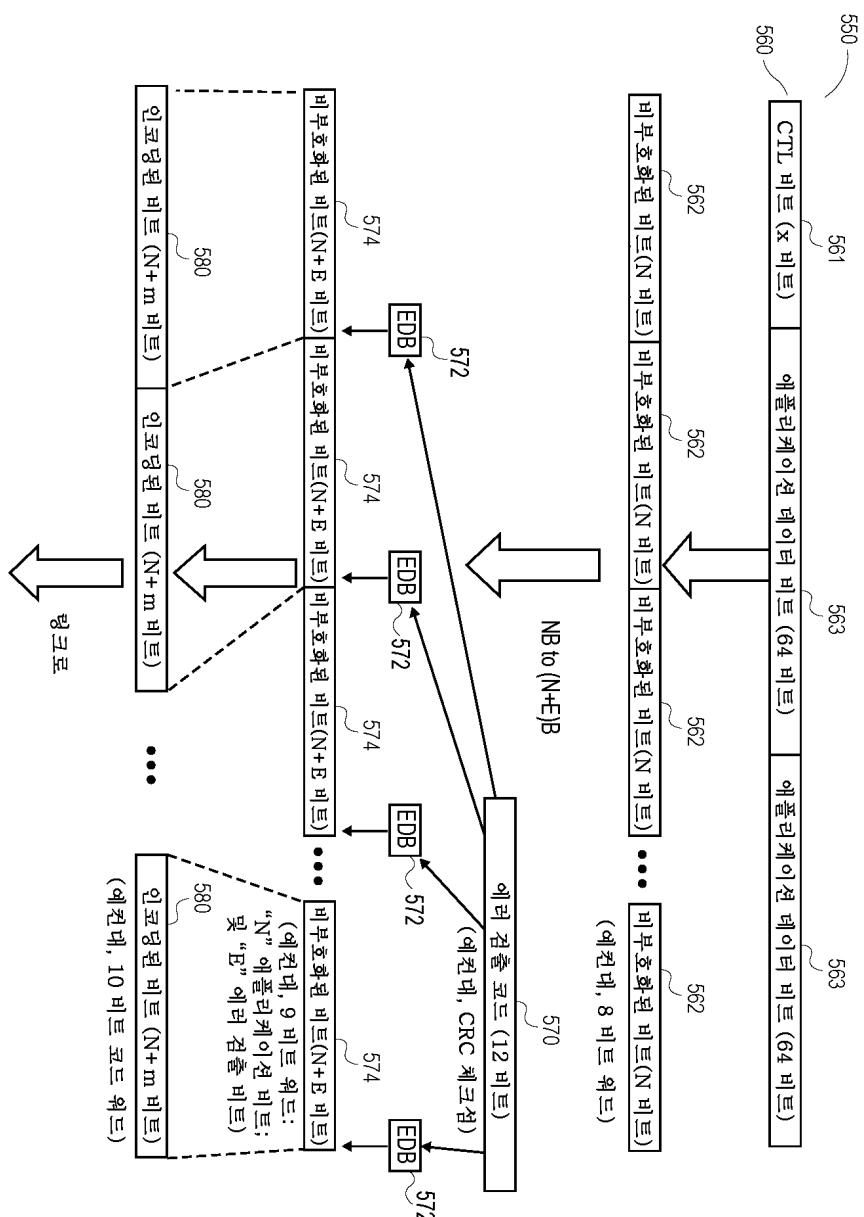
## 도면3



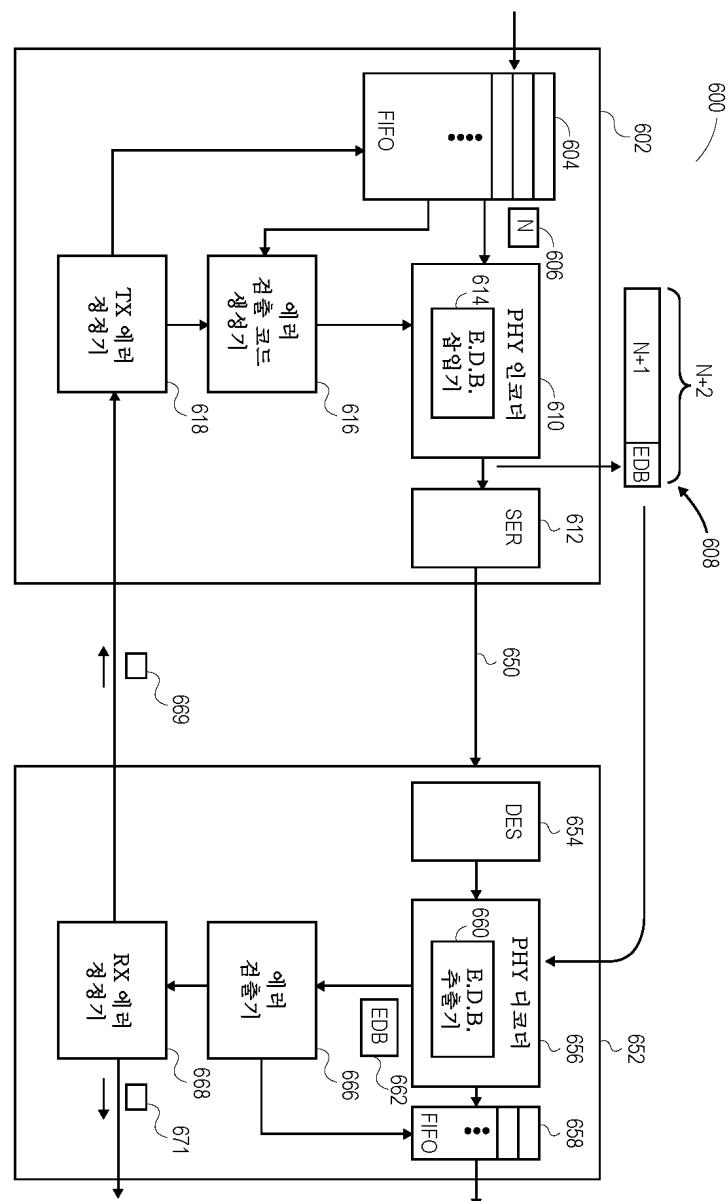
## 도면4



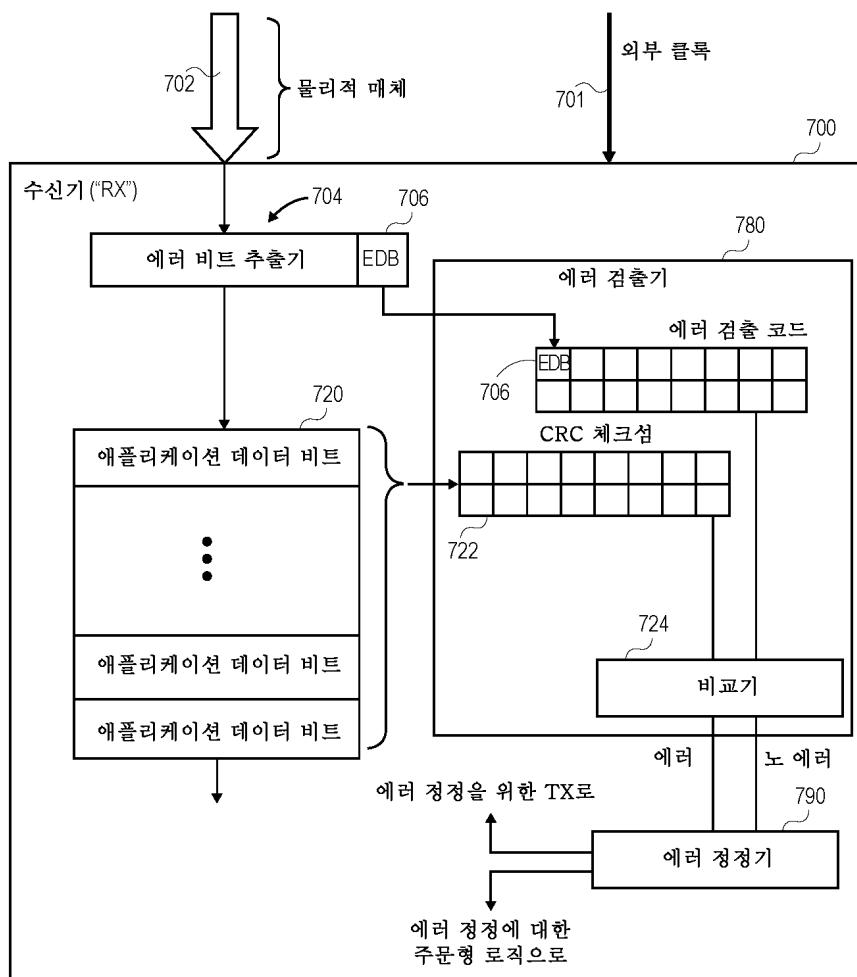
## 도면5



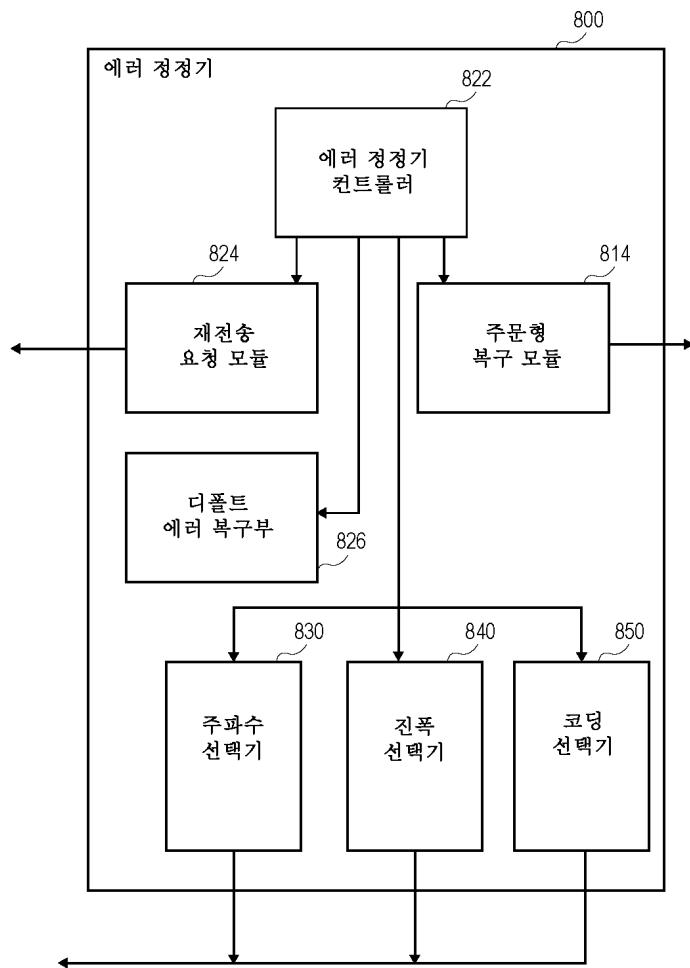
도면6



## 도면7



## 도면8



## 【심사관 직권보정사항】

## 【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 2

## 【변경전】

상기 수신된 코드 워드들로부터

## 【변경후】

수신된 코드 워드들로부터