

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4446891号  
(P4446891)

(45) 発行日 平成22年4月7日(2010.4.7)

(24) 登録日 平成22年1月29日(2010.1.29)

(51) Int.Cl.

F 1

H01L 27/105 (2006.01)

H01L 27/10 448

G11C 13/00 (2006.01)

G11C 13/00 A

H01L 45/00 (2006.01)

H01L 45/00 A

請求項の数 12 (全 6 頁)

(21) 出願番号 特願2004-560263 (P2004-560263)  
 (86) (22) 出願日 平成15年4月28日 (2003.4.28)  
 (65) 公表番号 特表2006-510219 (P2006-510219A)  
 (43) 公表日 平成18年3月23日 (2006.3.23)  
 (86) 國際出願番号 PCT/US2003/013360  
 (87) 國際公開番号 WO2004/055915  
 (87) 國際公開日 平成16年7月1日 (2004.7.1)  
 審査請求日 平成17年6月10日 (2005.6.10)  
 (31) 優先権主張番号 10/319,179  
 (32) 優先日 平成14年12月13日 (2002.12.13)  
 (33) 優先権主張国 米国(US)

(73) 特許権者 505052836  
 オヴォニクス、インコーポレイテッド  
 アメリカ合衆国 ミシガン州 48309  
 ロチェスター・ヒルズ ウォーターヴュー  
 一・ドライヴ 2956  
 (74) 代理人 100070150  
 弁理士 伊東 忠彦  
 (74) 代理人 100091214  
 弁理士 大貫 進介  
 (74) 代理人 100107766  
 弁理士 伊東 忠重  
 (72) 発明者 ラウリー, タイラー エイ  
 アメリカ合衆国 ヴァージニア州 244  
 85 ウエスト・オーガスタ オールド・  
 パーカーズバーグ・パイク 2991  
 最終頁に続く

(54) 【発明の名称】垂直積層ポア相変化メモリ

## (57) 【特許請求の範囲】

## 【請求項1】

相変化材料、および

該相変化材料に結合された底部電極であって、低抵抗層の上部に高抵抗層を有する底部電極、

を有する相変化メモリであって、

前記底部電極は、相変化材料を含まず、前記低抵抗層は、前記高抵抗層よりも薄く、

前記高抵抗層は、前記相変化材料と隣接する箇所を加熱する役割を有することを特徴とする相変化メモリ。

## 【請求項2】

前記高抵抗層は、前記相変化材料に接続されることを特徴とする請求項1に記載のメモリ。

## 【請求項3】

前記低抵抗層に接続されたカップ状導体を有することを特徴とする請求項1または2に記載のメモリ。

## 【請求項4】

前記相変化材料の層と前記底部電極の間に絶縁体を有し、該絶縁体内には孔部が形成されることを特徴とする請求項1乃至3のいずれか一つに記載のメモリ。

## 【請求項5】

第1の層および第2の層を有する底部電極を形成するステップであって、前記第2の層は

10

20

- 、前記第1の層より高い抵抗率を有する、ステップと、  
前記第2の層の上部に相変化材料を形成するステップと、  
を有し、  
前記底部電極は、相変化材料を含まず、前記第1の層は、前記第2の層よりも薄く、  
前記第2の層は、前記相変化材料と隣接する箇所を加熱する役割を有することを特徴とする方法。
- 【請求項 6】**  
前記第1の層を導体と接続させるステップを有することを特徴とする請求項5に記載の方法。
- 【請求項 7】**  
前記底部電極の上部に絶縁体を形成するステップおよび前記絶縁体に孔部を形成するステップを有することを特徴とする請求項5または6に記載の方法。
- 【請求項 8】**  
前記孔部内に、前記底部電極と接続された前記相変化材料を形成するステップを有することを特徴とする請求項7に記載の方法。
- 【請求項 9】**  
前記孔部よりも幅の広い底部電極を形成するステップを有することを特徴とする請求項8に記載の方法。
- 【請求項 10】**  
孔部を定形する絶縁層と、  
前記孔部に設置された相変化材料と、  
前記相変化材料と接続するように前記孔部の底部に設置された底部電極と、  
を有する相変化メモリであって、前記底部電極は第1および第2の層を有し、前記第1の層は前記相変化材料と接続され、前記第2の層よりも高い抵抗率を有し、  
前記底部電極は、相変化材料を含まず、前記第2の層は、前記第1の層よりも薄く、  
前記第1の層は、前記相変化材料と隣接する箇所を加熱する役割を有することを特徴とする、相変化メモリ。
- 【請求項 11】**  
前記第2の層に接続されたカップ状導体を有することを特徴とする請求項10に記載のメモリ。
- 【請求項 12】**  
前記底部電極は、前記孔部より幅が広いことを特徴とする請求項10または11に記載のメモリ。
- 【発明の詳細な説明】**
- 【技術分野】**
- 【0001】**  
本発明は、概して電子メモリに関し、特に相変化材料を用いる電子メモリに関する。
- 【背景技術】**
- 【0002】**  
相変化材料は、少なくとも2種類の状態を持ち、これらの状態は、アモルファス状態および結晶質状態と呼ばれる。両状態間の遷移は、選択的に生じさせることができる。通常アモルファス状態は、結晶質状態よりも高い抵抗を示すため、両状態を区別することができる。アモルファス状態では、より不規則な原子構造となる。通常は、いずれの相変化材料を利用してても良い。ただし、薄膜カルコゲナイト合金材料を用いることが好ましい場合がある。
- 【0003】**  
相変化は可逆的に生じる。すなわちメモリには、温度の変化に応じてアモルファスから結晶質状態に変化し、その後結晶質からアモルファス状態に戻る変化、あるいはその逆の変化が生じ得る。実際には、各メモリセルはプログラム化レジスタとみなすことができ、メモリセルは、高抵抗と低抵抗の状態間で可逆的に変化する。相変化は抵抗加熱によって

10

20

30

40

50

生じる。

【発明の開示】

【発明が解決しようとする課題】

【0004】

相変化メモリにおいては、相変化材料の加熱が非効率的であることが示されている。従って相変化材料の加熱を適切に行うことに対するニーズがある。

【0005】

本発明は、相変化材料の加熱をより均一に行うことの可能な相変化メモリ、およびその製作方法を提供することを課題とする。

【課題を解決するための手段】

10

【0006】

本発明のある態様では、

絶縁体、

該絶縁体上の相変化材料、

該相変化材料に結合された底部電極であって、低抵抗層の上部に高抵抗層を有する底部電極、

とを有する相変化メモリが提供される。

【0007】

本発明のメモリにおいて、前記高抵抗層は、前記層変化材料に接続されても良い。

【0008】

20

また前記低抵抗層は、前記高抵抗層よりも薄くすることができる。

【0009】

さらに本発明のメモリは、前記低抵抗層に接続されたカップ状導体を有しても良い。

【0010】

さらに本発明のメモリは、前記相変化材料の層と前記底部電極の間に絶縁体を有し、該絶縁体内には孔部が形成されても良い。

【0011】

本発明の別の態様では、

第1の層および第2の層を有する底部電極を形成するステップであって、前記第2の層は、前記第1の層より高い抵抗率を有する、ステップと、

30

前記第2の層の上部に相変化材料を形成するステップと、

を有する方法が提供される。

【0012】

本発明の方法は、前記第2の層を導体と接続させるステップを有しても良い。

【0013】

また本発明の方法は、前記底部電極の上部に絶縁体を形成するステップおよび前記絶縁体に孔部を形成するステップを有しても良い。

【0014】

さらに本発明の方法は、前記孔部内に、前記底部電極と接続された前記相変化材料を形成するステップを有しても良い。

40

【0015】

さらに本発明の方法は、前記孔部よりも幅の広い底部電極を形成するステップを有しても良い。

【0016】

本発明のさらに別の態様では、

孔部を定形する絶縁層と、

前記孔部に設置された相変化材料と、

前記相変化材料と接続するように前記孔部の底部に設置された底部電極と、

を有する相変化メモリであって、前記底部電極は第1および第2の層を有し、前記第1の層は前記相変化材料と接続され、前記第2の層よりも高い抵抗率を有することを特徴とす

50

る、相変化メモリが提供される。

【0017】

本発明のメモリにおいては、前記第2の層は、前記第1の層よりも薄くすることができる。

【0018】

また本発明のメモリは、前記第2の層に接続されたカップ状導体を有しても良い。

【0019】

さらに本発明のメモリにおいては、前記底部電極は、前記孔部より幅が広くても良い。

【発明を実施するための最良の形態】

【0020】

10

図1には、複数の相変化メモリセル12からなる相変化メモリ10が示されており、メモリセルには、隣接するピットライン14における隣接セル12aおよび12bが含まれる。各ピットライン14は、バリア材16上に設置される。バリア材16は、相変化材料18の上部に設置され、一部は孔部に向かって延びる。本発明の実施例では、相変化材料はカルコゲナイト材料である。

【0021】

本実施例では、これに限定されるものではないが、相変化メモリ材料は、テレリウム - ゲルマニウム - アンチモン (TexGeySbz) 材料またはGeSbTe合金のようなカルコゲナイト成分を有する。ただし本発明の範囲はこれに限定されるものではない。代わりに電気特性（例えば抵抗、容量等）がエネルギーの印加、例えば光、熱または電流等によって変化するような、別の相変化材料を用いても良い。

20

【0022】

ある実施例では孔部46は、側壁スペーサ22によって定形される。孔部46および側壁スペーサ22は、誘電体または絶縁体の材料20内に形成された開口によって定形されても良い。材料20は、酸化物、窒化物または他のいかなる絶縁材料であっても良い。

【0023】

孔部46の下には、1組の底部電極が設置され、この電極組は、比較的高抵抗の底部電極24と、比較的低抵抗の底部電極26とを有する。高抵抗電極24は、相変化材料46と隣接する箇所を加熱する役割を有し、垂直方向の厚さは厚い。低抵抗電極26は、高抵抗電極24の幅全体にわたって横断する電流を十分に分散させる役割を有する。

30

【0024】

ある実施例では、電流は、低抵抗電極26から台座状導体30を介して流れる。本発明のある実施例では、導体30は、中に絶縁体28が充填されたカップ状であって、絶縁体28は、さらに台座状導体30を取り囲む。

【0025】

台座状導体30は、窒化物層32を貫通している。窒化物層32は、絶縁層35上部に設置される。なお絶縁層35は、p+領域38を有する半導体基板上に形成される。

【0026】

p+領域38は、シリサイド接触領域34と隣接しても良い。p+領域の下には、n型シリコン層40が存在する。n+領域36は、隣接ピットライン14の間に設置される。本発明のある実施例では、n型シリコン層40の底部には、p型エピタキシャル (EPI) シリコン層42とp++型シリコン基板44が存在する。

40

【0027】

高抵抗底部電極24の抵抗は、1乃至500m<sup>-cm</sup>であるが、30乃至100m<sup>-cm</sup>の範囲であることが好ましい。本発明のある実施例では、低抵抗底部電極26は、0.01乃至1.0m<sup>-cm</sup>の抵抗率であって、0.05乃至0.15m<sup>-cm</sup>であることが好ましい。電極26に用いられる低抵抗材料の例として、例えば、窒化タンタルが挙げられる。

【0028】

図2に示されているプロセッサを基本とするシステムは、プロセッサ50を有し、このプロセッサは、2例を挙げると、通常の目的のプロセッサまたはデジタル信号プロセッサで

50

ある。プロセッサ50は、例えばバス52によってメモリ10に結合される。ある実施例では、ワイヤレスインターフェース54が提供される。ワイヤレスインターフェース54は、例えばトランシーバまたはアンテナを有する。

**【 0 0 2 9 】**

本発明は、限定された数の実施例で説明されたが、多くの変更や修正が可能であることは、当業者には明らかであろう。添付の請求項には、本発明の概念および範囲内にあるそのような変更や修正が含まれる。

**【 図面の簡単な説明 】**

**【 0 0 3 0 】**

**【 図 1 】**本発明の実施例による相変化メモリの一部の拡大断面図である。 10

**【 図 2 】**本発明の実施例による相変化メモリを利用したシステムの概略図である。

**【 図 1 】**

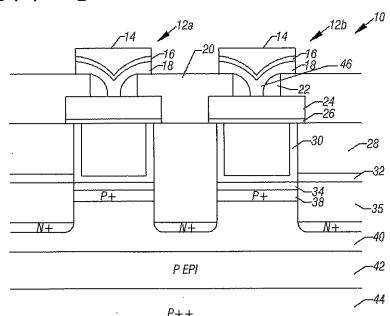
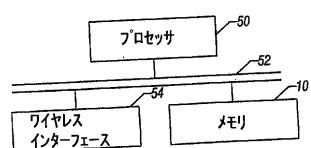


FIG. 1

**【 図 2 】**



---

フロントページの続き

審査官 小川 将之

(56)参考文献 特表平11-510317(JP,A)  
特表2002-540605(JP,A)  
米国特許第05789758(US,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/105

G11C 13/00

H01L 45/00