

# 公告本

88年12月14日 修正  
補充

申請日期	87.9.3
案號	87114613
類	Int. Cl <sup>6</sup> H01L 21/768

395025

A4  
C4

395025

(以上各欄由本局填註)

## 發明專利說明書

一、發明 名稱	中文	未接著介層窗插塞之製造方法
	英文	
二、發明 創作人	姓名	蔡健華
	國籍	中華民國
	住、居所	台中市北區錦村里興進路 117 之 1 號 9 樓之 3
三、申請人	姓名 (名稱)	聯華電子股份有限公司
	國籍	中華民國
	住、居所 (事務所)	新竹科學工業園區新竹市力行二路三號
	代表 姓名	曹興誠

裝  
訂  
線

經濟部智慧財產局員工消費合作社印製

# 公告本

88年12月14日 修正  
補充

申請日期	87.9.3
案號	87114613
類	Int. Cl <sup>6</sup> H01L 21/768

395025

A4  
C4

395025

(以上各欄由本局填註)

## 發明專利說明書

一、發明 名稱	中文	未接著介層窗插塞之製造方法
	英文	
二、發明 創作人	姓名	蔡健華
	國籍	中華民國
	住、居所	台中市北區錦村里興進路 117 之 1 號 9 樓之 3
三、申請人	姓名 (名稱)	聯華電子股份有限公司
	國籍	中華民國
	住、居所 (事務所)	新竹科學工業園區新竹市力行二路三號
	代表 姓名	曹興誠

裝  
訂  
線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明( / )

本發明是有關於一種多重金屬內連線的製造方式，且特別是有關於一種未接著介層窗 (Unlanded Via)插塞之製造方式。

積體電路的積集度增加，使得晶片的表面無法提供足夠的面積來製作所需的內連線 (Interconnects) 時，爲了配合金屬氧化半導體 (Metal Oxide Semiconductor; MOS) 電晶體縮小後所增加的內連線需求，兩層或甚至多層以上的金屬層設計，便逐漸地成爲許多大型積體電路 (Very Large Scale Integration; VLSI)，尤其是超大型積體電路 (Ultra Large Scale Integration; ULSI) 所必須採用的方式。爲了不讓第一層導線與第二層導線直接接觸而發生短路，在導線層之間常以介電層加以隔離，並在其中形成介層窗插塞 (Via Plug)，以連接上下兩層金屬層。

習知製造介層窗插塞以及多重金屬內連線的方法是在導線上形成介電層，並在介電層中定義形成介層窗口，再於此介層窗口中填入導電材料以完成介層窗插塞之製造。之後，再覆蓋一層導電層，並定義導線圖形，以完成多重金屬內連線之製作。

然而，隨著半導體製程線寬的減小與積集度的增加，相對在定義介電層以形成介層窗口時，極易發生對準失誤 (Misalignment) 的現象，且蝕刻穿透介電層到達另一導電區，如此一來，在後續形成介層窗插塞之後，會造成不正常的導通，而引起元件的失效。

爲清楚說明起見，請參照第 1A 圖至第 1C 圖，其所繪

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 2 )

示者係為習知一種未接著介層窗插塞之製造流程剖面圖。首先，提供一基底 100(為簡化起見，基底 100 內之元件並未繪出)，並在基底 100 上形成導線 102 以及其上之反反射層(Anti-Reflection Layer)104。其中，反反射層 104 之材質包括氮化鈦或其他性質相似之材料。接著，在基底 100 上形成一層低介電常數之介電層 106，且覆蓋導線 102 以及反反射層 104。之後，在介電層 106 上形成一層介電層 108，並進行介電層 108 之平坦化步驟。

續之請參照第 1B 圖，以反反射層 104 為蝕刻終止層，蝕刻介電層 106 與 108，以形成具有介層窗口 110 之介電層 106a 與 108a。

請參照第 1C 圖，於介層窗口 110 中填入導電材料，形成介層窗插塞 114，以完成習知之未接著介層窗插塞之製程。

請參照第 1D 圖，當在定義介層窗口 110 時，發生了對準失誤，使得所形成之介層窗口 110a 只暴露出部分反反射層 104a 的表面，並且穿透介電層 106a，裸露出介電層 106a 下層之導電區(未繪示出)，將使得後續在介層窗口 110a 中形成介窗插塞 114a 時，造成不正常導通，引發元件失效。習知在線寬 0.18 微米以下製程中，為防止因定義介層窗口對準失誤，造成蝕刻穿透至下層導電區的蝕刻終止方法有兩種，一是以偵測反反射層 104a 的材質微粒，另一種則是以計算所需蝕刻時間來決定蝕刻終止的時機。但是，上述第一種方法的缺點在於，介層窗口 110 面

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

### 五、發明說明(3)

積狹小，反反射層 104a 厚度薄，蝕刻過程中反反射層材質所產生的微粒量極少，且裸露於介層窗口 110a 的反反射層 104 在極短的時間內就被蝕刻完畢，因之偵測得的訊號極微弱，甚至在未測得訊號之前，介電層 106a 即被蝕刻穿透，使得後續所形成之介層窗插塞 114a，直達基底 100 的另一導電區，造成不正常導通，使引發元件失效。而第二種方法之缺點在於，每次形成之介電層厚度皆不同，且計算蝕刻時間所需參數包括介電層厚度以及介電層材料、反反射層材料、導線材料的蝕刻速率等並非一定不變，因此也不是一種控制蝕刻終止的好方法。

有鑑於此本發明的目的，就是在提供一種未接著介層窗插塞之製造方法，以解決在線寬 0.18 微米以下製程時，由於定義介層窗口對準失誤，蝕刻穿透介電層至下層導電區，造成後續製造完成之介層窗插塞，產生不正常導通，引起元件失效等問題。

為達成本發明之上述目的，提供一種未接著介層窗插塞之製造方法，此方法簡述如下：首先，在已形成導線之基底上形成一層介電層並露出部分導線；之後，於基底上再覆蓋一層蝕刻終止層，並將其平坦化直至露出導線表面。接著，在基底上形成另一層介電層，並蝕刻穿透此介電層，以形成露導線表面之介層窗口。繼之，在介電層窗口中填入導電材料，以形成介層窗插塞，完成介層窗插塞之製造。而蝕刻終止層係為本發明之主要特徵之一，主要作用在於定義介層窗口的微影製程中，一旦發生對準失誤

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(4)

時，透過蝕刻終止層的蝕刻速率與介電層之蝕刻速率不同，以及其會與電漿蝕刻氣體進行聚合作用(Polymerization)，產生聚合物(Polymer)之特性，以阻擋蝕刻電漿繼續向下層進行，防止蝕刻穿透介電層，造成所形成之介層窗插塞直達下層之導電區，形成不正常導通，以及其所造成之元件失效等問題。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1A 圖至第 1C 圖係顯示習知一種未接著介層窗插塞之製造流程的剖面圖；

第 1D 圖係顯示習知一種因對準失誤所形成之未接著介層插塞的剖面圖；

第 2A 圖至第 2G 圖係顯示根據本發明較佳實施例之未接著介層窗插塞之製造流程的剖面圖；以及

第 2H 圖係顯示根據本發明較佳實施例之因對準失誤所形成之未接著介層窗口之的剖面圖。

其中，各圖標號與構件名稱之關係如下：

100, 200：半導體基底

102, 112, 202, 212：導電層

102, 202：導線

104：反反射層

106, 106a, 108, 108a, 206, 206a, 220, 220a, 222,

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(5)

222a：介電層

110，110a，210，210a：介層窗口

114，114a，214：介層窗插塞

202a：導線上緣

202b：導線下緣

216：介電層表面

### 實施例

第 2A 圖至第 2G 圖所示，為根據本發明一較佳實施例之一種未接著介層窗插塞之製造流程的剖面示意圖。

請參照第 2A 圖，首先，提供一基底 200(為簡化起見，基底 200 內之元件並未繪出)，此基底 200 上已完成導線 202 之製造。其中，導線 202 之材質包括銅、鋁或其他性質相近之材質。接著，在基底 200 上形成一層低介電常數之介電層 206，此介電層 206 之材質包括氧化矽，其形成方式，例如是以高密度電漿化學氣相沉積法(High Density Plasma Chemistry Vapor Deposition, HDPCVD)沉積形成。

之後，請參照第 2B 圖所示，除去部分介電層 206，使形成介電層 206a 之表面 216 介於導線 202 上緣 202a 與下緣 202b 之間。此除去部分介電層 206 之方式，例如是回蝕刻法或是以化學機械研磨法(Chemical-Mechanical Polishing, CMP)配合回蝕刻法達成。

接著請參照第 2C 圖，在基底 200 上形成一層蝕刻終止層 220，此蝕刻終止層 220 之材質包括氧化矽，形成方式包括化學氣相沉積法(CVD)，較佳方式例如是以矽酸四

## 五、發明說明 ( 6 )

乙酯(Tetraethylorthosilicate, TEOS)為氣體源, 利用低壓化學氣相沉積法(Low Pressure CVD, LPCVD)所形成之 TEOS 氧化矽層。

請參照第 2D 圖, 緊接著進行蝕刻終止層 220 之平坦化步驟, 直至露出導線 202 之表面, 以形成蝕刻終止層 220a。其中, 蝕刻終止層 220 之平坦化方式, 例如以化學機械研磨法(CMP)。續之, 在蝕刻終止層 220a 以及導線 202 上形成一層介電層 222 並將其平坦化。此介電層 222 與蝕刻終止層 220a 具有蝕刻速率不同之關係, 且介電層 222 之材質包括氧化矽, 而其形成方式, 例如是以電漿加強型化學氣相沉積法(Plasma Enhanced CVD, PECVD) 沉積形成, 而介電層 222 平坦化方式例如以化學機械研磨法(CMP)。

然後, 請參照第 2E 圖, 定義介電層 222, 直到露出導線 202 之表面, 形成具有介層窗口 210 之介電層 222a。此形成介層窗口 210 的方式, 包括乾式蝕刻法, 當蝕刻終止層 220a 之材質為 TEOS 氧化矽時, 較佳的係以  $C_4F_8/CO/Ar/O_2$  為電漿蝕刻氣體進行蝕刻, 且其較佳的氣體比例約為  $C_4F_8/CO/Ar=3\sim4/50\sim100/400\sim500$  左右。

繼之, 請參照第 2H 圖, 當定義第 2D 圖之介電層 222 以形成介層窗口 210 的過程中發生對準誤差時, 所使用之蝕刻氣體穿過介電層 222a 裸露出蝕刻終止層 220a 時, 由於蝕刻終止層 220a 蝕刻速率與介電層 222a 不同, 且由於與蝕刻氣體接觸之蝕刻終止層 220a 的表面會形成大量聚

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(7)

合物(未繪出)，以抵抗蝕刻氣體之侵蝕，因此整個蝕刻製程並不會繼續向下層蝕刻而終止於蝕刻終止層 220a。如此一來，將不會有習知方法中定義介層窗口對準失誤，向下蝕刻穿透介電層，導致後續介層窗插塞接觸下層導電區，形成不正常導通，所引發的元件失效等問題。

請參照第 2F 圖，於介電層 222a 上形成一層導電層 212，此導電層之材質包括銅、鋁等性質相近之材質，並填滿介層窗口 210，以形成介層窗插塞 214。

之後請參照第 2G 圖，移除部分導電層 212，直到露出介電層 222a 之表面，於是便完成了未接著介層窗插塞之製程。其中，移除部分導電層 212 的方法，例如使用回蝕刻的方式或以化學機械研磨法(CMP)。

本發明的較佳實施例中，在形成介電層 222 之前，先去除部分介電層 206，直到其表面 216 介於導線上下緣之間。接著，形成蝕刻終止層 220，並將其平坦化，直至露出導線 202 之表面，而使之轉成為蝕刻終止層 220a。在後續蝕刻介層窗口 210 製程時，由於蝕刻終止層 220a 的蝕刻速率與介電層 222a 的蝕刻速率不一樣，且蝕刻終止層 220a 與電漿蝕刻氣體之接觸面所產生之聚合物層對於電漿蝕刻具有強的抗蝕刻性，因此不會繼續向下層介電層蝕刻，甚至蝕刻穿透。因此可避免因對準失誤，造成後續製造之介層窗插塞 214 與介電層 206a 其下層另一導電區，形成不正常導電，所引發的元件失效等問題。

綜上所述，本發明的特徵在於：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 8 )

1. 在兩介電層之間形成一層蝕刻終止層，此蝕刻終止層可於對準失誤時，與電漿蝕刻氣體作用形成聚合物，因聚合物之抗蝕刻性強，可避免繼續向下層蝕刻，所造成之蝕刻穿透等問題。

2. 本發明可以容易的決定蝕刻終止時機，以解決習知方法中以反反射層材質為蝕刻終點，卻由於反反射層材質微量、訊號微弱，造成介層窗口蝕刻穿透之缺點。

3. 本發明可以容易的控制蝕刻終點，解決習知以計算蝕刻介電層所需時間來決定蝕刻終止時機，卻因為每次介電層材質、厚度均不同，以至於計算不方便之缺點。

4. 本發明的製程與現有的製程相容，極適合廠商的生產安排。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 四、中文發明摘要 (發明之名稱：

## 未接著介層窗插塞之製造方法 )

一種未接著介層窗插塞之製造方法，此方法係在已形成導線的基底上形成一層介電層，使其表面介於導線上下緣之間。之後，在基底上形成蝕刻終止層，並將其平坦化直至露出導線。然後在蝕刻終止層上形成另一層介電層，並進行蝕刻處理，以形成介層窗口，裸露出導線。繼之，在介層窗口中完成介層窗插塞之製造。由於此蝕刻終止層與介電層之材質具有不同的蝕刻率，而且可以與電漿蝕刻製程中之氣體源產生聚合物，因此，此蝕刻終止層可以做為蝕刻終點，來防止於定義介層窗口時，因發生對準失誤造成蝕刻穿透，而致使元件失效等問題。

## 英文發明摘要 (發明之名稱：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 六、申請專利範圍

1. 一種未接著介層窗插塞之製造方法，適用於一基底，該基底上已形成一導線，包括：

於該基底以及該導線上，形成一第一介電層；

去除部分該第一介電層，使該第一介電層之表面介於該導線之上緣與下緣之間；

於該基底上，形成一蝕刻終止層；

將該蝕刻終止層平坦化直至暴露出該導線之表面；

於該基底上，形成一第二介電層；

定義該第二介電層，直到暴露出部分該導線之表面，形成一介層窗口；以及

於該介層窗口中填滿一導電層，以形成一介層窗插塞。

2. 如申請專利範圍第 1 項所述之未接著介層窗插塞之製造方法，其中該蝕刻終止層之蝕刻速率與該第二介電層之蝕刻速率不同。

3. 如申請專利範圍第 2 項所述之未接著介層窗插塞之製造方法，其中該蝕刻終止層之材質包括氧化矽。

4. 如申請專利範圍第 3 項所述之未接著介層窗插塞之製造方法，其中形成該蝕刻終止層之方法包括以 TEOS 為氣體源之低壓化學氣相沉積法。

5. 如申請專利範圍第 2 項所述之未接著介層窗插塞之製造方法，其中形成該第二介電層之方法包括電漿加強型化學氣相沉積法，且其材質包括氧化矽。

6. 如申請專利範圍第 2 項所述之未接著介層窗插塞

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

之製造方法，其中形成該介層窗口包括使用  $C_4F_8/CO/Ar/O_2$  為蝕刻氣體源之電漿蝕刻法。

7. 如申請專利範圍第 6 項所述之未接著介層窗插塞之製造方法，其中  $C_4F_8/CO/Ar$  蝕刻氣體源之比例約為  $C_4F_8/CO/Ar=3\sim4/50\sim100/400\sim500$ 。

8. 如申請專利範圍第 1 項所述之未接著介層窗插塞之製造方法，其中該蝕刻終止層之平坦化方法包括化學機械研磨法。

9. 如申請專利範圍第 1 項所述之未接著介層窗插塞之製造方法，其中該第一介電層之材質包括氧化矽。

10. 如申請專利範圍第 9 項所述之未接著介層窗插塞之製造方法，其中形成該第一介電層之製造方法包括高密度電漿化學氣相沉積法。

11. 如申請專利範圍第 1 項所述之未接著介層窗插塞之製造方法，其中去除部分該第一介電層之方法包括回蝕刻法。

12. 如申請專利範圍第 1 項所述之未接著介層窗插塞之製造方法，其中去除部分該第一介電層之方法包括化學機械研磨法配合回蝕刻法。

13. 一種未接著介層窗插塞之製造方法，適用於一基底，該基底上已形成一導線，包括：

於該基底以及該導線上，形成一第一介電層；

去除部分該第一介電層，使該第一介電層之表面介於該導線之上緣與下緣之間；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

於該基底上，形成一 TEOS 蝕刻終止層；

將該 TEOS 蝕刻終止層平坦化直至暴露出該導線之表面；

於該基底上，形成一第二介電層；

定義該第二介電層，以  $C_4F_8/CO/Ar/O_2$  為蝕刻氣體源利用電漿蝕刻法，蝕刻該第二介電層，直到暴露出部分該導線之表面，形成一介層窗口；以及

於該介層窗口中填滿一導電層，以形成一介層窗插塞。

14. 如申請專利範圍第 13 項所述之未接著介層窗插塞之製造方法，其中該 TEOS 蝕刻終止層之蝕刻速率與該第二介電層之蝕刻速率不同。

15. 如申請專利範圍第 14 項所述之未接著介層窗插塞之製造方法，其中形成該 TEOS 蝕刻終止層之方式包括低壓化學氣相沉積法。

16. 如申請專利範圍第 14 項所述之未接著介層窗插塞之製造方法，其中該形成第二介電層之方法包括電漿加強型化學氣相沉積法，其材質包括氧化矽。

17. 如申請專利範圍第 14 項所述之未接著介層窗插塞之製造方法，其中該電漿蝕刻氣體源之比例約為  $C_4F_8/CO/Ar=3\sim4/50\sim100/400\sim500$ 。

18. 如申請專利範圍第 13 項所述之未接著介層窗插塞之製造方法，其中該 TEOS 蝕刻終止層之平坦化方法包括化學機械研磨法。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

19. 如申請專利範圍第 13 項所述之未接著介層窗插塞之製造方法，其中該第一介電層之材質包括氧化矽。

20. 如申請專利範圍第 19 項所述之未接著介層窗插塞之製造方法，其中形成該第一介電層之方法包括高密度電漿化學氣相沉積法。

(請先閱讀背面之注意事項再填寫本頁)

裝

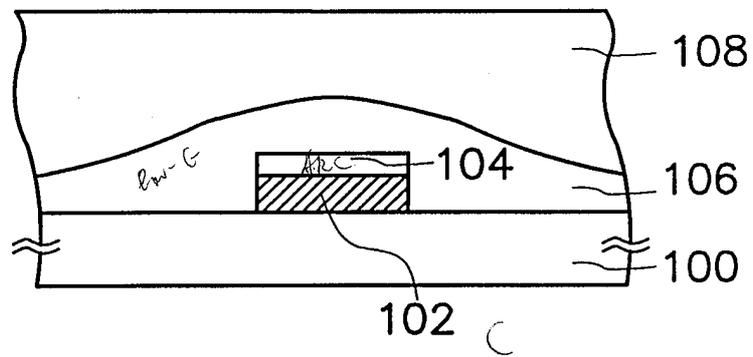
訂

線

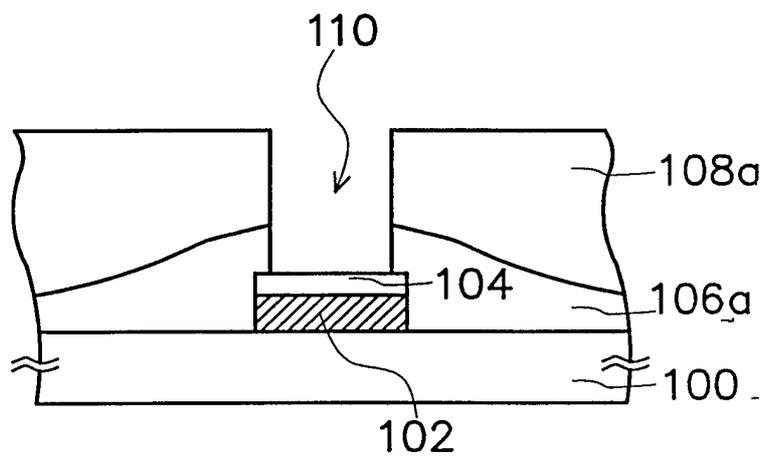
395025

87114613

3624TW



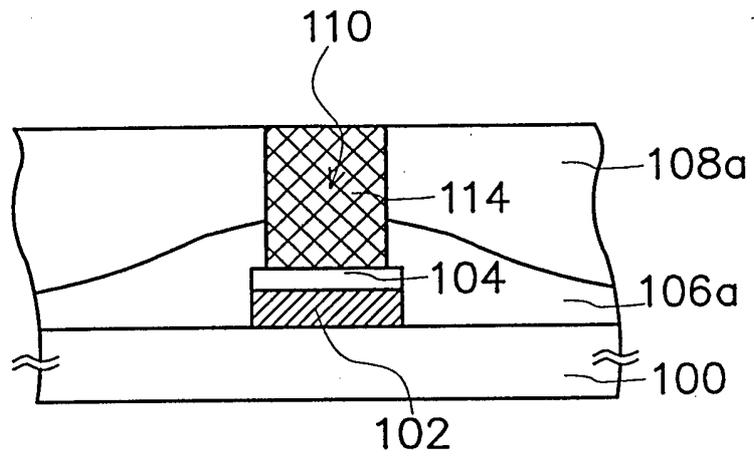
第1A圖



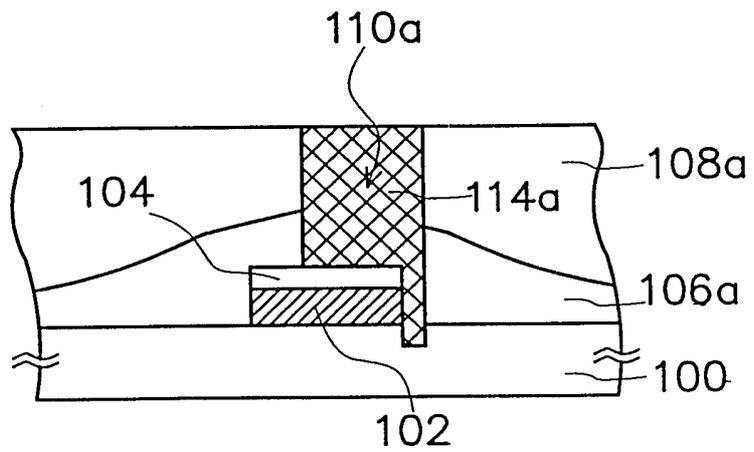
第1B圖

395025

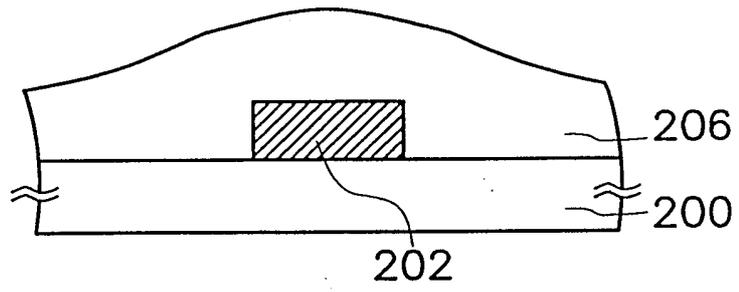
3624TW



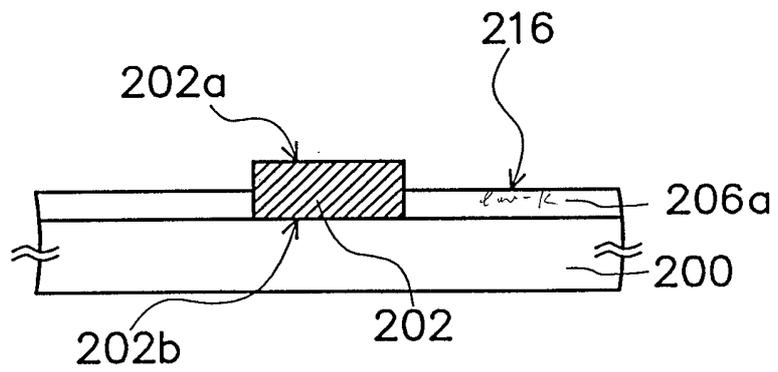
第 1C 圖



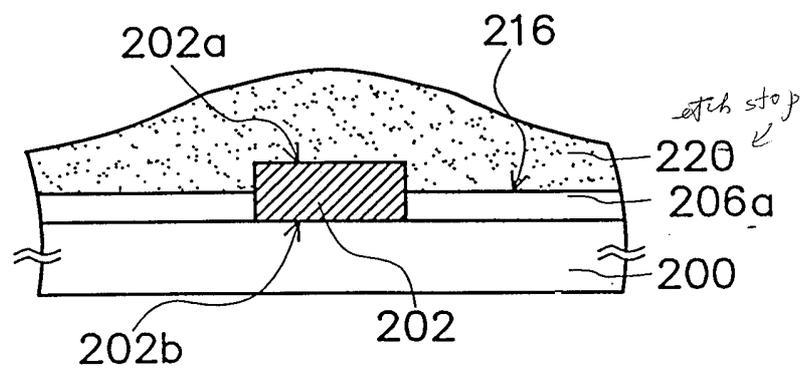
第 1D 圖



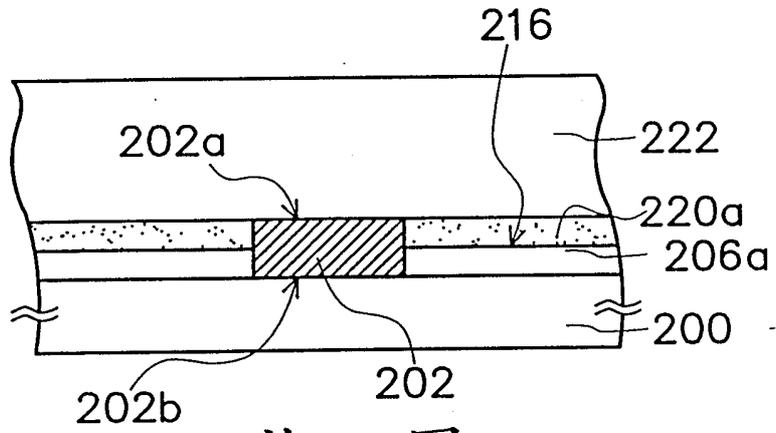
第 2A 圖



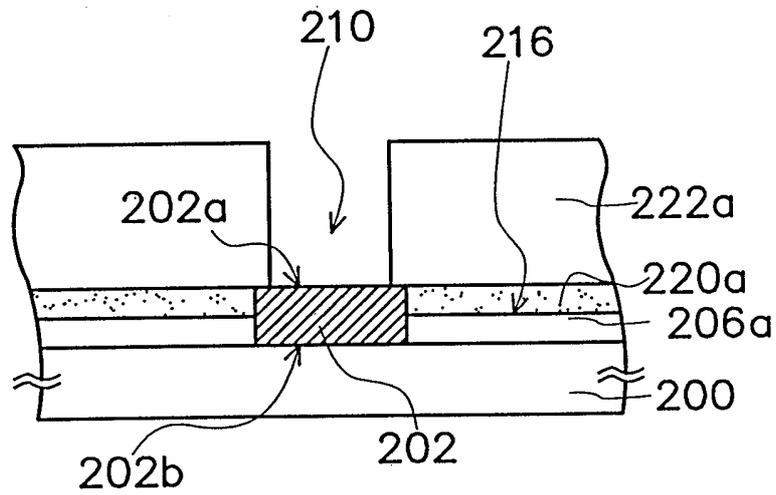
第 2B 圖



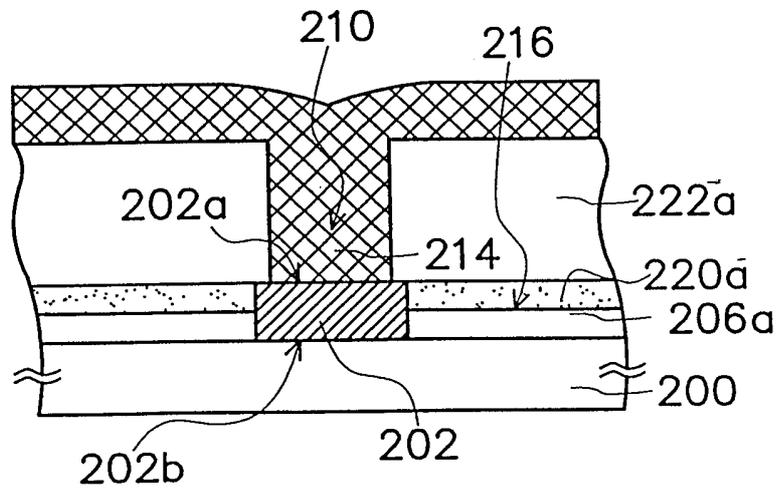
第 2C 圖



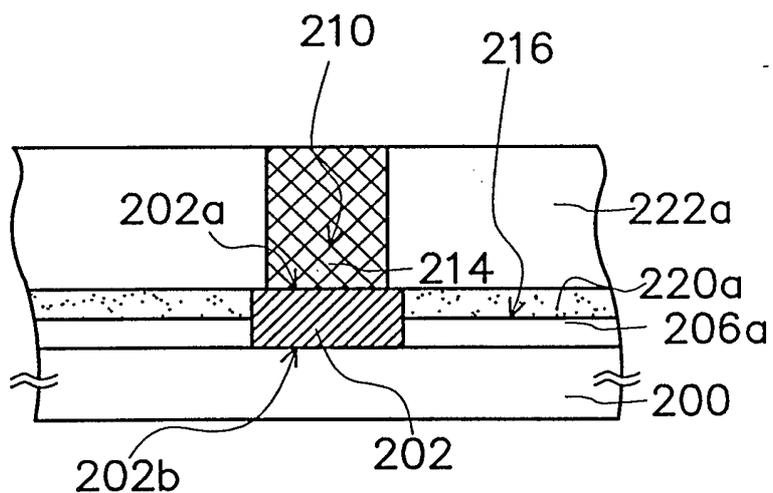
第 2D 圖



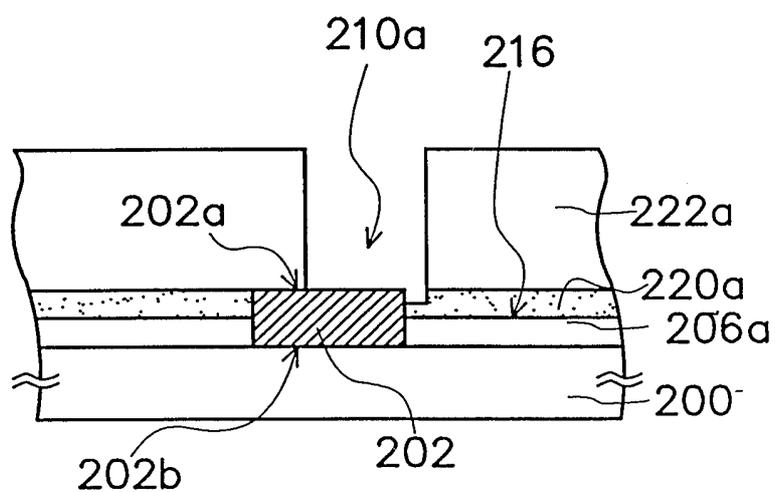
第 2E 圖



第 2F 圖



第 2G 圖



第 2H 圖