(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년02월24일
(11) 등록번호 10-2080696
(24) 등록일자 2020년02월18일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 29/24* (2006.01)
(52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 29/247 (2013.01)
(21) 출원번호 10-2015-7000416
(22) 출원일자(국제) 2013년06월18일
심사청구일자 2018년06월12일
(85) 번역문제출일자 2015년01월07일
(65) 공개번호 10-2015-0028806
(43) 공개일자 2015년03월16일
(86) 국제출원번호 PCT/JP2013/067165
(87) 국제공개번호 WO 2014/002920
국제공개일자 2014년01월03일
(30) 우선권주장
JP-P-2012-147703 2012년06월29일 일본(JP)
(56) 선행기술조사문헌
JP2011109646 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
사사키 토시나리
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
하모치 타카시
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
황의만

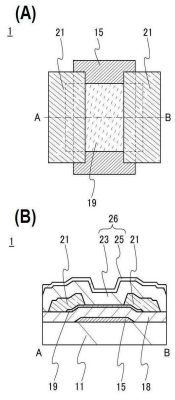
전체 청구항 수 : 총 9 항 심사관 : 백형열

(54) 발명의 명칭 **반도체 장치**

(57) 요 약

본 발명은, 산화물 반도체막을 포함하는 트랜지스터에 있어서, 산화물 반도체막으로의 수소 및 질소의 이동을 억제한다. 또한, 산화물 반도체막을 포함하는 트랜지스터를 이용한 반도체 장치에 있어서, 전기 특성의 변동을 억제함과 동시에, 신뢰성을 향상시키는 것을 과제로 한다. 산화물 반도체막을 포함하는 트랜지스터와 상기 트랜지스터 위에 제공되는 질화 절연막을 포함하고, 질화 절연막이 승온 탈리 가스 분석법에 의해, 수소 분자의 방출량이 5×10^{21} 분자/cm^3 미만, 바람직하게는 3×10^{21} 분자/cm^3 이하, 더욱 바람직하게는 1×10^{21} 분자/cm^3 이하이며, 암모니아 분자의 방출량이 1×10^{22} 분자/cm^3 미만, 바람직하게는 5×10^{21} 분자/cm^3 이하, 더욱 바람직하게는 1×10^{21} 분자/cm^3 이하이다.

대 표 도



(52) CPC특허분류
H01L 29/78606 (2013.01)
(72) 발명자
미야모토 토시유키
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
노무라 마사후미
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
코에주카 준이치
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
오카자키 켄이치
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

명 세 서

청구범위

청구항 1

반도체 장치로서,

게이트 전극;

게이트 절연막을 사이에 두고 상기 게이트 전극과 중첩되는 산화물 반도체막;

상기 산화물 반도체막과 접촉하는 한쌍의 전극; 및

상기 산화물 반도체막 위의 질화 절연막을 포함하고,

상기 질화 절연막은, 승온 탈리 가스 분석법에 의해 분석되는 경우에, 1×10^{21} 분자/cm^3 초과 5×10^{21} 분자/cm^3 미만의 수소 분자와, 1×10^{20} 분자/cm^3 초과 1×10^{22} 분자/cm^3 미만의 암모니아 분자가 방출되는, 반도체 장치.

청구항 2

반도체 장치로서,

게이트 전극;

게이트 절연막을 사이에 두고 상기 게이트 전극과 중첩되는 산화물 반도체막; 및

상기 산화물 반도체막과 접촉하는 한쌍의 전극을 포함하고,

상기 게이트 절연막은 질화 절연막을 포함하고,

상기 질화 절연막은, 승온 탈리 가스 분석법에 의해 분석되는 경우에, 1×10^{21} 분자/cm^3 초과 5×10^{21} 분자/cm^3 미만의 수소 분자와, 1×10^{20} 분자/cm^3 초과 1×10^{22} 분자/cm^3 미만의 암모니아 분자가 방출되는, 반도체 장치.

청구항 3

반도체 장치로서,

게이트 전극;

게이트 절연막을 사이에 두고 상기 게이트 전극과 중첩되는 산화물 반도체막;

상기 산화물 반도체막과 접촉하는 한쌍의 전극; 및

상기 산화물 반도체막 위의 절연막을 포함하고,

상기 게이트 절연막과 상기 절연막 중 적어도 하나는, 승온 탈리 가스 분석법에 의해 분석될 때, 1×10^{21} 분자/cm^3 초과 5×10^{21} 분자/cm^3 미만의 수소 분자와, 1×10^{20} 분자/cm^3 초과 1×10^{22} 분자/cm^3 미만의 암모니아 분자가 방출되는 질화 절연막을 포함하는, 반도체 장치.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 한쌍의 전극은 상기 산화물 반도체막과 상기 게이트 절연막 사이에 제공되는, 반도체 장치.

청구항 5

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 산화물 반도체막과 상기 질화 절연막 사이에 산화 절연막이 제공되는, 반도체 장치.

청구항 6

제 5 항에 있어서,

상기 산화 절연막은 산화 실리콘 또는 산화 질화 실리콘인, 반도체 장치.

청구항 7

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 산화물 반도체막과 상기 질화 절연막 사이에, 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함한 산화 절연막이 제공되는, 반도체 장치.

청구항 8

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 산화물 반도체막은 상기 한쌍의 전극과 상기 게이트 절연막 사이에 제공되는, 반도체 장치.

청구항 9

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 질화 절연막은 질화 실리콘 또는 질화 산화 실리콘인, 반도체 장치.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

발명의 설명

기 술 분 야

[0001] 본 발명은 전계 효과 트랜지스터를 포함하는 반도체 장치 및 그 제작 방법에 관한 것이다.

배 경 기 술

[0002] 액정 표시 장치나 발광 표시 장치로 대표되는 플랫 패널 디스플레이가 많이 이용되고 있는 트랜지스터는, 유리 기판 위에 제공된 어모퍼스 실리콘, 단결정 실리콘 또는 다결정 실리콘 등의 실리콘 반도체에 의해 형성되어 있다. 또한, 이 실리콘 반도체를 이용하여 형성된 트랜지스터는 집적회로(IC) 등에도 이용되고 있다.

[0003] 근년, 실리콘 반도체 대신에, 반도체 특성을 나타내는 금속 산화물을 트랜지스터에 이용하는 기술이 주목받고 있다. 단, 본 명세서에서는, 반도체 특성을 나타내는 금속 산화물을 산화물 반도체라고 부르기로 한다.

[0004] 예를 들면, 산화물 반도체로서 산화 아연, 또는 In-Ga-Zn계 산화물을 이용한 트랜지스터를 제작하여, 이 트랜지스터를 표시 장치의 화소의 스위칭 소자 등으로서 이용하는 기술이 개시되어 있다(특허문헌 1 및 특허문헌 2 참조).

[0005] 그런데, 특히 산화물 반도체에서는, 수소가 캐리어의 공급원이 되는 것이 지적되고 있다. 따라서, 산화물 반도체의 형성 시에 수소가 혼입되지 않는 조치를 강구하는 것이 요구되고 있다. 산화물 반도체막이나, 산화물 반도체에 접촉하는 게이트 절연막에 함유된 수소를 저감시킴으로써, 문턱 전압의 변동을 억제하고 있다(특허문헌 3 참조).

[0006] 또한, 물은 수소의 공급원이다. 따라서, 산화물 반도체막을 포함하는 트랜지스터 위에 물의 블로킹성을 갖는 질화 실리콘막을 제공함으로써, 외부로부터 산화물 반도체막에 물이 침입하는 것을 막을 수 있다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 일본국 특개 2007-123861호 공보

(특허문헌 0002) 일본국 특개 2007-96055호 공보

(특허문헌 0003) 일본국 특개 2009-224479호 공보

발명의 내용

해결하려는 과제

[0008] 그러나, 질소는 수소와 마찬가지로 캐리어 공급원이 된다. 이 때문에, 질화 실리콘막에 포함되는 질소가 산화물 반도체막에 침입하면, 산화물 반도체막을 포함하는 트랜지스터의 전기 특성의 변동, 대표적으로는, 문턱 전압의 마이너스 시프트가 생긴다. 또한, 트랜지스터마다 전기 특성이 변동된다는 문제가 있다.

[0009] 따라서, 본 발명의 일 양태는 산화물 반도체막을 포함하는 트랜지스터에서, 산화물 반도체막으로의 수소 및 질

소의 이동을 억제하는 것을 과제의 하나로 한다. 또한, 본 발명의 일 양태는, 산화물 반도체를 포함하는 트랜지스터를 이용한 반도체 장치에서, 전기 특성의 변동을 억제함과 동시에, 신뢰성을 향상시키는 것을 과제의 하나로 한다.

과제의 해결 수단

[0010] 본 발명의 일 양태는, 산화물 반도체막을 포함하는 트랜지스터와, 상기 트랜지스터 위에 제공되는 질화 절연막을 포함하고, 질화 절연막으로부터 승온 탈리 가스 분석법에 의해, 수소 분자의 방출량이 5×10^{21} 분자/cm^3 미만, 바람직하게는 3×10^{21} 분자/cm^3 이하, 더욱 바람직하게는 1×10^{21} 분자/cm^3 이하이며, 암모니아 분자의 방출량이 1×10^{22} 분자/cm^3 미만, 바람직하게는 5×10^{21} 분자/cm^3 이하, 더욱 바람직하게는 1×10^{21} 분자/cm^3 이하인 것을 특징으로 한다.

[0011] 본 발명의 일 양태는, 게이트 전극과, 게이트 전극의 일부와 게이트 절연막을 사이에 끼우고 중첩되는 산화물 반도체막과, 산화물 반도체막에 접촉하는 한쌍의 전극과, 산화물 반도체막 위에 제공되는 질화 절연막을 포함한다. 질화 절연막으로부터 승온 탈리 가스 분석법에 의해, 수소 분자의 방출량이 5×10^{21} 분자/cm^3 미만, 바람직하게는 3×10^{21} 분자/cm^3 이하, 더욱 바람직하게는 1×10^{21} 분자/cm^3 이하이며, 암모니아 분자의 방출량이 1×10^{22} 분자/cm^3 미만, 바람직하게는 5×10^{21} 분자/cm^3 이하, 더욱 바람직하게는 1×10^{21} 분자/cm^3 이하인 것을 특징으로 한다.

[0012] 본 발명의 일 양태는, 산화물 반도체막을 포함하는 트랜지스터에서, 게이트 절연막으로서 질화 절연막을 포함한다. 질화 절연막으로부터 승온 탈리 가스 분석법에 의해, 수소 분자의 방출량이 5×10^{21} 분자/cm^3 미만, 바람직하게는 3×10^{21} 분자/cm^3 이하, 더욱 바람직하게는 1×10^{21} 분자/cm^3 이하이며, 암모니아 분자의 방출량이 1×10^{22} 분자/cm^3 미만, 바람직하게는 5×10^{21} 분자/cm^3 이하, 더욱 바람직하게는 1×10^{21} 분자/cm^3 이하인 것을 특징으로 한다.

[0013] 본 발명의 일 양태는, 산화물 반도체막과, 산화물 반도체막에 접촉하는 한쌍의 전극과, 적어도 산화물 반도체막 위에 제공되는 게이트 절연막과, 산화물 반도체막의 일부와 게이트 절연막을 사이에 끼우고 중첩하는 게이트 전극을 포함하는 트랜지스터이다. 게이트 절연막이 질화 절연막을 포함한다. 질화 절연막으로부터 승온 탈리 가스 분석법에 의해, 수소 분자의 방출량이 5×10^{21} 분자/cm^3 미만, 바람직하게는 3×10^{21} 분자/cm^3 이하, 더욱 바람직하게는 1×10^{21} 분자/cm^3 이하이며, 암모니아 분자의 방출량이 1×10^{22} 분자/cm^3 미만, 바람직하게는 5×10^{21} 분자/cm^3 이하, 더욱 바람직하게는 1×10^{21} 분자/cm^3 이하인 것을 특징으로 한다.

[0014] 산화물 반도체막을 포함하는 트랜지스터 위에, 승온 탈리 가스 분석법에 의해, 수소 분자의 방출량이 5×10^{21} 분자/cm^3 미만, 바람직하게는 3×10^{21} 분자/cm^3 이하, 더욱 바람직하게는 1×10^{21} 분자/cm^3 이하이며, 암모니아 분자의 방출량이 1×10^{22} 분자/cm^3 미만, 바람직하게는 5×10^{21} 분자/cm^3 이하, 더욱 바람직하게는 1×10^{21} 분자/cm^3 이하인 질화 절연막을 제공하는 것에 의해, 질화 절연막으로부터 산화물 반도체막으로의 수소 및 질소의 이동량을 저감시킬 수 있다. 또한, 외부로부터 산화물 반도체막으로의 물에 포함되는 수소의 침입을 저감시킬 수 있다.

[0015] 또한, 산화물 반도체막을 포함하는 트랜지스터의 게이트 절연막으로서 승온 탈리 가스 분석법에 의해, 수소 분자의 방출량이 5×10^{21} 분자/cm^3 미만, 바람직하게는 3×10^{21} 분자/cm^3 이하, 더욱 바람직하게는 1×10^{21} 분자/cm^3 이하이며, 암모니아 분자의 방출량이 1×10^{22} 분자/cm^3 미만, 바람직하게는 5×10^{21} 분자/cm^3 이하, 더욱 바람직하게는 1×10^{21} 분자/cm^3 이하인 질화 절연막을 제공하는 것에 의해, 질화 절연막으로부터 산화물 반도체막으로의 수소 및 질소의 이동량을 저감시킬 수 있다. 또한, 외부로부터 산화물 반도체막으로의 물에 포함되는 수소의 침입을 억제할 수 있다.

발명의 효과

[0016] 본 발명의 일 양태에 의해, 산화물 반도체막을 포함하는 트랜지스터의 전기 특성의 변동을 억제함과 동시에, 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

[0017] 도 1의 (A) 및 도 1의 (B)는 트랜지스터의 일 형태를 설명하는 도면이다.

도 2의 (A) 내지 도 2의 (D)는 트랜지스터의 제작 방법의 일 형태를 설명하는 단면도이다.

도 3의 (A) 및 도 3의 (B)는 트랜지스터의 일 형태를 설명하는 도면이다.

도 4의 (A) 내지 도 4의 (D)는 트랜지스터의 제작 방법의 일 형태를 설명하는 단면도이다.

도 5는 트랜지스터의 일 형태를 설명하는 단면도이다.

도 6의 (A) 및 도 6의 (B)는 트랜지스터의 일 형태를 설명하는 도면이다.

도 7의 (A) 및 도 7의 (B)는 트랜지스터의 일 형태를 설명하는 도면이다.

도 8의 (A) 내지 도 8의 (C)는 표시 장치의 일 형태를 설명하는 상면도이다.

도 9의 (A) 및 도 9의 (B)는 표시 장치의 일 형태를 설명하는 단면도이다.

도 10은 표시 장치의 일 형태를 설명하는 단면도이다.

도 11의 (A) 내지 도 11의 (C)는 표시 장치의 일 형태를 설명하는 단면도이다.

도 12의 (A) 및 도 12의 (B)는 반도체 장치의 일 양태를 설명하는 도면이다.

도 13의 (A) 내지 도 13의 (C)는 전자기기를 설명하는 도면이다.

도 14의 (A) 내지 도 14의 (C)는 전자기기를 설명하는 도면이다.

도 15의 (A) 및 도 15의 (B)는 시료의 구조를 설명하는 도면이다.

도 16의 (A) 내지 도 16의 (C)는 TDS 분석 결과를 설명하는 도면이다.

도 17의 (A) 및 도 17의 (B)는 TDS 분석 결과를 설명하는 도면이다.

도 18의 (A) 및 도 18의 (B)는 TDS 분석 결과를 설명하는 도면이다.

도 19의 (A) 및 도 19의 (B)는 TDS 분석 결과를 설명하는 도면이다.

도 20의 (A) 내지 도 20의 (C)는 트랜지스터의 Vg-Id 특성을 설명하는 도면이다.

도 21의 (A) 내지 도 21의 (C)는 트랜지스터의 Vg-Id 특성을 설명하는 도면이다.

도 22의 (A) 내지 도 22의 (C)는 트랜지스터의 Vg-Id 특성을 설명하는 도면이다.

도 23은 질화 실리콘막의 수소 분자의 방출량 및 암모니아 분자의 방출량과 트랜지스터의 Vg-Id 특성을 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하에서는, 본 발명의 실시형태에 대하여 도면을 이용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되는 것은 아니고, 본 발명의 취지 및 그 범위로부터 벗어나지 않고 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은, 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 발명은, 이하에 나타내는 실시형태 및 실시예의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 설명하는 실시형태 및 실시예에서, 동일 부분 또는 같은 기능을 갖는 부분에는, 동일한 부호 또는 동일한 해치 패턴을 다른 도면 간에 공통으로 이용하고, 그 반복 설명은 생략한다.

[0019] 단, 본 명세서에서 설명하는 각 도면에서, 각 구성의 크기, 막의 두께, 또는 영역은 명료화를 위하여 과장되어

있는 경우가 있다. 따라서, 반드시 그 스케일로 한정되지 않는다.

[0020] 단, 본 명세서에서 이용하는 "제 1", "제 2", "제 3" 등의 용어는, 구성 요소의 혼동을 피하기 위하여 붙인 것이고, 수적으로 한정하는 것은 아니다. 따라서, 예를 들면, " 제 1"을 " 제 2" 또는 "제 3" 등과 적절히 치환하여 설명할 수 있다.

[0021] "소스"나 "드레인"의 기능은 회로 동작에서 전류의 방향이 변화하는 경우 등에는 서로 바뀌는 경우가 있다. 따라서, 본 명세서에서는, "소스"나 "드레인"이라는 용어는 서로 치환하여 이용할 수 있는 것으로 한다.

[0022] 단, 전압이란 2점간에서의 전위차를 말하고, 전위란 어느 일점에서의 정전장 중에 있는 단위 전하가 갖는 정전에너지(전기적인 위치 에너지)를 말한다. 단, 일반적으로, 어느 일점에서의 전위와 기준이 되는 전위(예를 들면 접지 전위)와의 전위차를 단지 전위 혹은 전압이라고 부르고, 전위와 전압이 동의어로서 이용되는 경우가 많다. 따라서, 본 명세서에서는 특히 지정하는 경우를 제외하고, 전위를 전압이라고 바꾸어 읽어도 좋고, 전압을 전위라고 바꾸어 읽어도 좋은 것으로 한다.

[0023] 단, 산화물 반도체막을 포함하는 트랜지스터는 n채널형 트랜지스터이기 때문에; 따라서, 본 명세서에서, 게이트 전압이 0 V인 경우, 드레인 전류가 흐르지 않았다고 간주할 수 있는 트랜지스터를 노멀리 오프(normally-off) 특성을 갖는 트랜지스터라고 정의한다. 또한, 게이트 전압이 0 V인 경우, 드레인 전류가 흐르고 있다고 간주할 수 있는 트랜지스터를 노멀리 온(normally-on) 특성을 갖는 트랜지스터라고 정의한다.

[0024] (실시형태 1)

[0025] 본 실시형태에서는, 본 발명의 일 양태인 반도체 장치, 및 그 제작 방법에 대하여 도면을 참조하여 설명한다.

[0026] 도 1의 (A) 및 도 1의 (B)는, 반도체 장치에 포함되는 트랜지스터(1)의 상면도 및 단면도이다. 도 1의 (A)는 트랜지스터(1)의 상면도이며, 도 1의 (B)는 도 1의 (A)의 일점 쇄선 A-B간의 단면도이다. 단, 도 1의 (A)에서는, 명료화를 위하여, 기판(11), 트랜지스터(1)의 구성 요소의 일부(예를 들면, 게이트 절연막(18)), 절연막(23), 질화 절연막(25) 등을 생략하였다.

[0027] 도 1의 (A) 및 도 1의 (B)에 도시하는 트랜지스터(1)는, 기판(11) 위에 제공되는 게이트 전극(15)과, 기판(11) 및 게이트 전극(15) 위에 형성되는 게이트 절연막(18)과, 게이트 절연막(18)을 사이에 끼우고, 게이트 전극(15)과 중첩하는 산화물 반도체막(19)과, 산화물 반도체막(19)에 접촉하는 한쌍의 전극(21)을 포함한다. 또한, 게이트 절연막(18), 산화물 반도체막(19), 및 한쌍의 전극(21) 위에는, 절연막(23) 및 질화 절연막(25)을 포함하는 보호막(26)이 형성된다.

[0028] 본 실시형태에 나타내는 트랜지스터(1) 위에 제공되는 질화 절연막(25)은 승온 탈리 가스 분석법(TDS(Thermal Desorption Spectroscopy))으로, 수소 분자의 방출량이 5×10^{21} 분자/cm^3 미만, 바람직하게는 3×10^{21} 분자/cm^3 이하, 더욱 바람직하게는 1×10^{21} 분자/cm^3 이하이며, 또한 암모니아 분자의 방출량이 1×10^{22} 분자/cm^3 미만, 바람직하게는 5×10^{21} 분자/cm^3 이하, 더욱 바람직하게는 1×10^{21} 분자/cm^3 이하이다. 질화 절연막(25)으로부터 방출되는 수소 분자량 및 질소의 공급원인 암모니아 분자량이 적기 때문에; 따라서, 트랜지스터(1)에 포함되는 산화물 반도체막(19)으로의 수소 및 질소의 이동량이 적다.

[0029] 산화물 반도체막(19)에 포함되는 수소는, 금속 원자와 결합하는 산소와 반응하여 물이 됨과 동시에, 산소가 탈리한 격자(혹은 산소가 탈리한 부분)에는 결손이 형성되게 된다. 또한, 수소의 일부가 산소와 반응함으로써, 캐리어인 전자가 생긴다. 또한, 산화물 반도체막(19)에 포함되는 질소는 금속 원소 또는 산소와 반응함으로써, 캐리어인 전자가 생긴다. 이 결과, 산화물 반도체막(19)을 포함하는 트랜지스터는 노멀리 온 특성이 되기 쉽다. 따라서, 산화물 반도체막(19) 중의 수소 및 질소를 매우 줄임으로써, 문턱 전압의 마이너스 시프트를 억제할 수 있음과 동시에, 전기 특성의 편차를 저감시킬 수 있다. 또한, 트랜지스터의 소스 및 드레인에서의 누출 전류, 대표적으로는, 오프 전류를 저감시키는 것이 가능하다.

[0030] 이 때문에, 트랜지스터(1) 위에, 승온 탈리 가스 분석법에 의해, 수소 분자의 방출량이 5×10^{21} 분자/cm^3 미만, 바람직하게는 3×10^{21} 분자/cm^3 이하, 더욱 바람직하게는 1×10^{21} 분자/cm^3 이하이며, 또한 암모니아 분자의 방출량이 1×10^{22} 분자/cm^3 미만, 바람직하게는 5×10^{21} 분자/cm^3 이하, 더욱 바람직하게는 1×10^{21} 분자/cm^3 이하인 질화 절연막을 제공함으로써, 질화 절연막으로부터 산화물 반도체막(19)으로의 수소 및 암모니아의 이동량이 적

고, 산화물 반도체막(19) 중의 수소 및 질소의 농도를 저감시킬 수 있다. 또한, 트랜지스터(1) 위에는 질화 절연막(25)이 제공되어 있기 때문에; 따라서, 외부로부터 산화물 반도체막(19)으로의 물의 침입을 억제할 수 있다. 즉, 산화물 반도체막(19)으로의 물에 포함되는 수소의 침입을 억제할 수 있다. 이상의 결과, 문턱 전압의 마이너스 시프트를 억제할 수 있음과 동시에, 전기 특성의 편차를 저감시킬 수 있다. 또한, 트랜지스터의 소스 및 드레인에서의 누출 전류, 대표적으로는, 오프 전류를 저감시키는 것이 가능하다.

[0031] 질화 절연막(25)으로서는, 두께가 50 nm 이상 200 nm 이하의 질화 실리콘, 질화 산화 실리콘, 질화 알루미늄, 질화 산화 알루미늄 등을 이용할 수 있다. 단, 본 명세서에서, "산화 질화 실리콘막"이란, 그 조성으로서 질소보다 산소의 함유량이 많은 막을 가리키고, "질화 산화 실리콘막"이란, 그 조성으로서 산소보다 질소의 함유량이 많은 막을 가리킨다. 또한, "산화 질화 알루미늄막"이란, 그 조성으로서 질소보다 산소의 함유량이 많은 막을 가리키고, "질화 산화 알루미늄"막이란, 그 조성으로서 산소보다 질소의 함유량이 많은 막을 가리킨다.

[0032] 여기서, 승온 탈리 가스 분석법(이하, TDS 분석이라고 함)에 의한, 수소 분자 및 암모니아 분자의 방출량의 측정 방법에 대하여, 이하에 설명한다.

[0033] TDS 분석에 의한 기체의 방출량은 스펙트럼의 적분치에 비례한다. 이 때문에, 절연막의 스펙트럼의 적분치와 표준 시료의 기준치에 대한 비에 의해, 기체의 방출량을 계산할 수 있다. 표준 시료의 기준치란, 소정의 원자를 포함한 시료의, 스펙트럼의 적분치에 대한 원자의 밀도의 비율이다.

[0034] 예를 들면, 표준 시료인 소정의 밀도의 수소를 포함한 실리콘 웨이퍼의 TDS 분석 결과, 및 절연막의 TDS 분석 결과로부터, 절연막의 수소 분자의 방출량(N_{H2})은 수학식 1로 구할 수 있다. 여기서, TDS 분석으로 얻어지는 질량수 2로 검출되는 스펙트럼 전부가 수소 분자 유래라고 가정한다. 또한, 질량수가 1 이외의 수소 원자의 동위체는 자연계에서의 존재 비율이 극미량이기 때문에 고려하지 않는다.

[0035] [수학식 1]

$$N_{H2} = \frac{N_{H2(S)}}{S_{H2(S)}} \times S_{H2} \times \alpha \qquad (1)$$

[0036]

[0037] N_{H2}는 수소 분자의 방출량이다. $N_{H2(s)}$는 표준 시료로부터 탈리한 수소 분자를 밀도로 환산한 값이다. $S_{H2(s)}$는 표준 시료를 TDS 분석했을 때의 스펙트럼의 적분치이다. 여기서, 표준 시료의 기준치를 $N_{H2(s)}/S_{H2(s)}$로 한다. S_{H2}는 절연막을 TDS 분석했을 때의 스펙트럼의 적분치이다. α는 TDS 분석에서의 스펙트럼 강도에 영향을 주는 계수이다. 수학식 1의 상세한 사항에 관해서는, 일본국 특개평 6-275697 공보를 참조한다. 단, 상기 절연막의 수소 분자의 방출량은 전자 과학 주식회사(ESCO Ltd.)제의 승온 탈리 분석 장치 EMD-WA1000S/W를 이용하고, 표준 시료로서 1×10^{16} atoms/cm^2의 수소 원자를 포함한 실리콘 웨이퍼를 이용하여 측정한다.

[0038] 또한, 상기 수학식 1에서, 절연막의 암모니아 분자의 방출량을 TDS 분석했을 때의 스펙트럼의 적분치를 SH_2에 대입함으로써, 암모니아 분자의 방출량을 구할 수 있다.

[0039] 이하에, 트랜지스터(1) 이외의 구성의 상세한 사항에 대하여 설명한다.

[0040] 기판(11)의 재질 등에 큰 제한은 없지만, 적어도, 후의 열처리에 견딜 수 있을 정도의 내열성을 가지고 있을 필요가 있다. 예를 들면, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 기판(11)으로서 이용해도 좋다. 또한, 실리콘이나 탄화 실리콘 등의 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI(Silicon OnInsulator) 기판 등을 이용해도 좋다. 또한, 이러한 기판 위에 반도체 소자가 제공된 것을 기판(11)으로서 이용해도 좋다.

[0041] 또한, 기판(11)으로서 가요성 기판을 이용하여, 가요성 기판 위에 직접 트랜지스터(1)를 제공해도 좋다. 또는, 기판(11)과 트랜지스터(1)의 사이에 박리층을 제공해도 좋다. 박리층은 그 위에 반도체 장치를 일부 혹은 전부 완성시킨 후, 기판(11)보다 분리하여, 다른 기판에 전재(轉載)하는데 이용할 수 있다. 그때, 트랜지스터(1)는 내열성이 낮은 기판이나 가요성의 기판에도 전재할 수 있다.

[0042] 기판(11) 및 게이트 전극(15)의 사이에 하지 절연막을 제공해도 좋다. 하지 절연막으로서는, 산화 실리콘, 산화 질화 실리콘, 질화 실리콘, 질화 산화 실리콘, 산화 갈륨, 산화 하프늄, 산화 이트륨, 산화 알루미늄, 산화 질화 알루미늄 등이 있다. 단, 하지 절연막으로서 질화 실리콘, 산화 갈륨, 산화 하프늄, 산화 이트륨, 산화

알루미늄 등을 이용함으로써, 기판(11)으로부터 불순물, 대표적으로는 알칼리 금속, 물, 수소 등의 산화물 반도체막(19)으로의 확산을 억제할 수 있다.

[0043] 게이트 전극(15)은 알루미늄, 크롬, 구리, 탄탈, 티탄, 몰리브덴, 텅스텐으로부터 선택된 금속 원소; 또는 상술한 금속 원소를 성분으로 하는 합금이나; 상술한 금속 원소를 조합한 합금; 등을 이용하여 형성할 수 있다. 또한, 망간, 지르코늄 중 어느 하나 또는 복수로부터 선택된 금속 원소를 이용해도 좋다. 또한, 게이트 전극(15)은, 단층 구조로 해도, 2층 이상의 적층 구조로 해도 좋다. 예를 들면, 실리콘을 포함한 알루미늄막의 단층 구조; 알루미늄막 위에 티탄막을 적층하는 2층 구조; 질화 티탄막 위에 티탄막을 적층하는 2층 구조; 질화 티탄막 위에 텅스텐막을 적층하는 2층 구조; 질화 탄탈막 또는 질화 텅스텐막 위에 텅스텐막을 적층하는 2층 구조; 티탄막과 그 티탄막 위에 알루미늄막을 적층하고, 또한, 그 위에 티탄막을 형성하는 3층 구조 등이 있다. 또한, 알루미늄을 포함하고, 티탄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐으로부터 선택된 원소의 막, 또는 복수 조합한 합금막, 혹은 질화막을 이용해도 좋다.

[0044] 게이트 전극(15)은, 인듐 주석 산화물, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티탄을 포함한 인듐 산화물, 산화 티탄을 포함한 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘을 포함한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 이용하여 형성될 수 있다. 또한, 상기 투광성을 갖는 도전성 재료와 상기 금속 원소를 이용하여 형성된 적층 구조를 가질 수도 있다.

[0045] 또한, 게이트 전극(15)과 게이트 절연막(18)과의 사이에, In-Ga-Zn계 산질화물 반도체막, In-Sn계 산질화물 반도체막, In-Ga계 산질화물 반도체막, In-Zn계 산질화물 반도체막, Sn계 산질화물 반도체막, In계 산질화물 반도체막, 금속 질화막(InN, ZnN 등) 등을 제공해도 좋다. 이러한 막은 5 eV 이상, 바람직하게는 5.5 eV 이상의 일함수를 갖고, 산화물 반도체의 전자 친화력보다 큰 값이기 때문에; 따라서, 산화물 반도체를 포함한 트랜지스터의 문턱 전압을 플러스로 시프트할 수 있다. 따라서, 소위 노멀리 오프 특성의 스위칭 소자를 얻을 수 있다. 예를 들면, In-Ga-Zn계 산질화물 반도체막을 이용하는 경우, 적어도 산화물 반도체막(19)보다 높은 질소 농도, 구체적으로는 7 원자% 이상의 In-Ga-Zn계 산질화물 반도체막을 이용한다.

[0046] 게이트 절연막(18)은 예를 들면 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨 또는 Ga-Zn계 금속 산화물 등을 이용하면 좋고, 적층 또는 단층으로 형성한다. 단, 산화물 반도체막(19)과의 계면 특성을 향상시키기 위해, 게이트 절연막(18)에서 적어도 산화물 반도체막(19)과 접촉하는 영역은 산화 절연막으로 형성하는 것이 바람직하다.

[0047] 게이트 절연막(18)에, 산소, 수소, 물 등의 블로킹 효과를 갖는 절연막을 제공함으로써, 산화물 반도체막(19)으로부터의 산소의 외부로의 확산과, 외부로부터 산화물 반도체막(19)에의 수소, 물 등의 침입을 막을 수 있다. 산소, 수소, 물 등의 블로킹 효과를 갖는 절연막으로서는, 산화 알루미늄, 산화 질화 알루미늄, 산화 갈륨, 산화 질화 갈륨, 산화 이트륨, 산화 질화 이트륨, 산화 하프늄, 산화 질화 하프늄 등이 있다.

[0048] 또한, 게이트 절연막(18)을 적층 구조로 하고, 제 1 질화 실리콘막으로서 결함이 적은 질화 실리콘막으로 하고, 제 1 질화 실리콘막 위에, 질화 절연막(25)과 같이, 수소 분자 방출량 및 암모니아 분자 방출량이 적은 질화 실리콘막을 제 2 질화 실리콘막을 형성하여, 제 2 질화 실리콘막 위에 산화 절연막을 형성함으로써, 게이트 절연막(18)으로서 결함이 적고, 또한 수소 분자 및 암모니아 분자의 방출량이 적은 게이트 절연막을 형성할 수 있다. 이 결과, 게이트 절연막(18)에 포함되는 수소 및 질소가 산화물 반도체막(19)으로 이동하는 것을 억제할 수 있다.

[0049] 게이트 절연막(18)으로서 질화 실리콘막을 이용함으로써, 이하의 효과를 얻을 수 있다. 질화 실리콘막은 산화 실리콘막과 비교하여 비유전률이 높고, 동등한 정전 용량을 얻는데 큰 막두께가 필요하다. 따라서, 게이트 절연막을 물리적으로 두껍게 할 수 있다. 따라서, 트랜지스터(1)의 절연 내압의 저하를 억제하고, 절연 내압을 향상시켜, 반도체 장치의 정전 파괴를 억제할 수 있다.

[0050] 또한, 게이트 전극(15)으로서 구리를 이용하여 게이트 전극(15)에 접촉하는 게이트 절연막(18)으로서 질화 실리콘막을 이용하는 경우, 가열에 의한 암모니아 분자 방출량을 가능한 한 저감시키는 질화 실리콘막을 이용하는 것이 바람직하다. 따라서, 상기 질화 실리콘막으로서 질화 절연막(25)에 적용할 수 있는 질화 실리콘막을 이용할 수 있다. 이 결과, 구리와 암모니아 분자가 반응하는 것을 억제할 수 있다.

[0051] 산화물 반도체를 이용한 트랜지스터에서, 산화물 반도체막 및 게이트 절연막의 계면 또는 게이트 절연막 중에 포획 준위(계면 준위라고도 함)가 있으면, 트랜지스터의 문턱 전압의 변동, 대표적으로는, 문턱 전압의 마이너스 시프트, 및 트랜지스터가 온 상태가 될 때 드레인 전류가 1 자리수 변화하는데 필요한 게이트 전압을 나타내

는 서브 문턱 계수(S값)의 증대의 원인이 된다. 이 결과, 트랜지스터마다 전기 특성이 변동된다는 문제가 있다. 따라서, 게이트 절연막으로서 결함이 적은 질화 실리콘막을 이용함으로써, 문턱 전압의 마이너스 시프트, 및 트랜지스터의 전기 특성의 편차를 저감시킬 수 있다.

[0052] 게이트 절연막(18)은 하프늄 실리케이트($HfSiO_x$), 질소가 첨가된 하프늄 실리케이트($HfSi_xO_yN_z$), 질소가 첨가된 하프늄 알루미네이트($HfAl_xO_yN_z$), 산화 하프늄, 산화 이트륨 등의 high-k 재료를 이용하여 형성됨으로써, 트랜지스터의 게이트 누출을 저감시킬 수 있다.

[0053] 게이트 절연막(18)의 두께는 5 nm 이상 400 nm 이하, 보다 바람직하게는 10 nm 이상 300 nm 이하, 보다 바람직하게는 50 nm 이상 250 nm 이하로 하면 좋다.

[0054] 산화물 반도체막(19)은 적어도 인듐(In) 혹은 아연(Zn)을 포함하는 것이 바람직하다. 또는, In과 Zn의 쌍방을 포함하는 것이 바람직하다. 또한, 이 산화물 반도체막을 포함한 트랜지스터의 전기 특성의 편차를 줄이기 위하여, 그것들과 함께, 스태빌라이저를 하나 또는 복수 갖는 것이 바람직하다.

[0055] 스태빌라이저로서는, 갈륨(Ga), 주석(Sn), 하프늄(Hf), 알루미늄(Al), 또는 지르코늄(Zr) 등이 있다. 다른 스태빌라이저로서는, 란타노이드인, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 등이 있다.

[0056] 예를 들면, 산화물 반도체로서, 다음의 것들이 이용될 수 있다: 산화 인듐, 산화 주석, 산화 아연; 2원계 금속 산화물인 In-Zn계 금속 산화물, Sn-Zn계 금속 산화물, Al-Zn계 금속 산화물, Zn-Mg계 금속 산화물, Sn-Mg계 금속 산화물, In-Mg계 금속 산화물, In-Ga계 금속 산화물, In-W계 금속 산화물; 3원계 금속 산화물인 In-Ga-Zn계 금속 산화물(IGZO라고도 표기함), In-Al-Zn계 금속 산화물, In-Sn-Zn계 금속 산화물, Sn-Ga-Zn계 금속 산화물, Al-Ga-Zn계 금속 산화물, Sn-Al-Zn계 금속 산화물, In-Hf-Zn계 금속 산화물, In-La-Zn계 금속 산화물, In-Ce-Zn계 금속 산화물, In-Pr-Zn계 금속 산화물, In-Nd-Zn계 금속 산화물, In-Sm-Zn계 금속 산화물, In-Eu-Zn계 금속 산화물, In-Gd-Zn계 금속 산화물, In-Tb-Zn계 금속 산화물, In-Dy-Zn계 금속 산화물, In-Ho-Zn계 금속 산화물, In-Er-Zn계 금속 산화물, In-Tm-Zn계 금속 산화물, In-Yb-Zn계 금속 산화물, In-Lu-Zn계 금속 산화물; 4원계 금속 산화물인 In-Sn-Ga-Zn계 금속 산화물, In-Hf-Ga-Zn계 금속 산화물, In-Al-Ga-Zn계 금속 산화물, In-Sn-Al-Zn계 금속 산화물, In-Sn-Hf-Zn계 금속 산화물, In-Hf-Al-Zn계 금속 산화물을 이용할 수 있다.

[0057] 단, 여기서, 예를 들면, In-Ga-Zn계 금속 산화물이란, In과 Ga와 Zn을 주성분으로서 갖는 산화물이라는 의미이며, In과 Ga와 Zn의 비율은 묻지 않는다. 또한, In과 Ga와 Zn 이외의 금속 원소가 포함되어 있어도 좋다.

[0058] 또한, 산화물 반도체로서 $InMO_3(ZnO)_m$(m>0이고, m은 정수가 아님)로 표기되는 재료를 이용해도 좋다. 단, M은 Ga, Fe, Mn, 및 Co로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 또한, 산화물 반도체로서 $In_2SnO_5(ZnO)_n$(n>0이고, n은 정수)로 표기되는 재료를 이용해도 좋다.

[0059] 예를 들면, In : Ga : Zn = 1 : 1 : 1(= 1/3 : 1/3 : 1/3), In : Ga : Zn = 2 : 2 : 1(= 2/5 : 2/5 : 1/5), 혹은 In : Ga : Zn = 3 : 1 : 2(= 1/2 : 1/6 : 1/3)의 원자수비의 In-Ga-Zn계 금속 산화물이나 그 조성의 근방의 산화물을 이용할 수 있다. 혹은, In : Sn : Zn = 1 : 1 : 1(= 1/3 : 1/3 : 1/3), In : Sn : Zn = 2 : 1 : 3(= 1/3 : 1/6 : 1/2) 혹은 In : Sn : Zn = 2 : 1 : 5(= 1/4 : 1/8 : 5/8)의 원자수비의 In-Sn-Zn계 금속 산화물을 이용하면 좋다. 또한, 금속 산화물의 원자수비는 오차로서 상기의 원자수비의 ±20%의 변동을 포함한다.

[0060] 그러나, 이것들에 한정되지 않고, 필요로 하는 반도체 특성 및 전기 특성(전계 효과 이동도, 문턱 전압, 편차 등)에 따라 적절한 조성의 것을 이용하면 좋다. 필요로 하는 반도체 특성을 얻기 위해, 캐리어 밀도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.

[0061] 예를 들면, In-Sn-Zn계 금속 산화물을 이용하는 경우에서는 비교적 용이하게 높은 이동도를 얻을 수 있다. 그러나, In-Ga-Zn계 금속 산화물을 이용하는 경우에서도, 벌크 내 결함 밀도를 낮게 함으로써 이동도를 높일 수 있다.

[0062] 단, 산화물 반도체막(19)을 형성할 수 있는 금속 산화물은 에너지 갭이 2 eV 이상, 바람직하게는 2.5 eV 이상, 보다 바람직하게는 3 eV 이상이다. 이와 같이, 에너지 갭이 넓은 산화물 반도체를 이용함으로써, 트랜지스터의 오프 전류를 저감시킬 수 있다.

[0063] 단, 산화물 반도체막(19)은 비정질 구조, 단결정 구조, 또는 다결정 구조여도 좋다.

[0064] 산화물 반도체막(19)으로서 결정부를 갖는 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor라고도 함)막을 이용해도 좋다.

[0065] CAAC-OS막은 복수의 결정부를 포함하는 산화물 반도체막의 하나이며, 대부분의 결정부는 한 변이 100 nm 미만의 입방체 내에 들어가는 크기이다. 따라서, CAAC-OS막에 포함되는 결정부는 한 변이 10 nm 미만, 5 nm 미만 또는 3 nm 미만의 입방체 내에 들어가는 크기의 경우도 포함된다. CAAC-OS막은 미결정 산화물 반도체막보다 결함 준위 밀도가 낮다는 특징이 있다. 이하, CAAC-OS막에 대하여 상세한 설명을 행한다.

[0066] CAAC-OS막을 투과형 전자 현미경(TEM : Transmission Electron Microscope)에 의해 관찰하면, 결정부들 간의 명확한 경계, 즉 결정립계(그레인 바운더리라고도 함)를 확인할 수 없다. 따라서, CAAC-OS막은 결정립계에 기인한 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.

[0067] CAAC-OS막을 시료면과 대략 평행한 방향으로부터 TEM에 의해 관찰(단면 TEM 관찰)하면, 결정부에서, 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각 층은 CAAC-OS막의 막을 형성하는 면(피형성면이라고도 함) 또는 상면의 요철을 반영한 형상이며, CAAC-OS막의 피형성면 또는 상면과 평행하게 배열한다.

[0068] 한편, CAAC-OS막을 시료면과 대략 수직인 방향으로부터 TEM에 의해 관찰(평면 TEM 관찰)하면, 결정부에서, 금속 원자가 삼각 형상 또는 육각 형상으로 배열되어 있는 것을 확인할 수 있다. 그러나, 다른 결정부간에서, 금속 원자의 배열에 규칙성은 볼 수 없다.

[0069] 단면 TEM 관찰 및 평면 TEM 관찰로부터, CAAC-OS막의 결정부는 배향성을 가지고 있는 것을 알 수 있다.

[0070] CAAC-OS막에 대하여, X선 회절(XRD : X-Ray Diffraction) 장치를 이용하여 구조 해석을 행한다. 예를 들면 $InGaZnO_4$의 결정을 포함하는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 회절각(2θ)이 31° 근방에 피크가 나타나는 경우가 있다. 이 피크는 $InGaZnO_4$의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 피형성면 또는 상면에 대략 수직인 방향을 향하고 있는 것을 확인할 수 있다.

[0071] 한편, CAAC-OS막에 대하여, c축에 대략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 해석에서는, 2θ가 56° 근방에 피크가 나타나는 경우가 있다. 이 피크는 $InGaZnO_4$의 결정의 (110)면에 귀속된다. $InGaZnO_4$의 단결정 산화물 반도체막의 경우, 2θ를 56° 근방에 고정하고, 시료면의 법선 벡터를 축(φ축)으로 하여 시료를 회전시키면서 분석(φ스캔)을 행한다. 시료가 $InGaZnO_4$의 단결정 산화물 반도체막인 경우, (110)면과 등가인 결정면에 귀속되는 피크가 6개 관찰된다. 이것에 비해, CAAC-OS막의 경우는 2θ를 56° 근방에 고정하여 φ스캔한 경우에도 명료한 피크가 나타나지 않는다.

[0072] 이상으로부터, CAAC-OS막에서는 다른 결정부간에서는 a축 및 b축의 배향은 불규칙하지만, c축 배향성을 갖고, 또한 c축이 피형성면 또는 상면의 법선 벡터에 평행한 방향을 향하고 있는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰로 확인된 층상으로 배열된 금속 원자의 각 층은 결정의 ab면에 평행한 면이다.

[0073] 단, 결정부는 CAAC-OS막을 성막했을 때, 또는 가열 처리 등의 결정화 처리를 행했을 때에 형성된다. 상술한 바와 같이, 결정의 c축은 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향한다. 따라서, 예를 들면, CAAC-OS막의 형상을 에칭 등에 의해 변화시킨 경우, 결정의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터와 평행하게 되지 않는 경우도 있다.

[0074] 또한, CAAC-OS막 중의 결정화도가 균일하지 않아도 좋다. 예를 들면, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터의 결정 성장에 의해 형성되는 경우, 상면 근방의 영역은 피형성면 근방의 영역보다 결정화도가 높아지는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우, 불순물이 첨가된 영역의 결정화도가 변화되어, 부분적으로 결정화도가 다른 영역이 형성되는 경우도 있다.

[0075] 단, $InGaZnO_4$의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는 2θ가 31° 근방의 피크 외에, 2θ가 36° 근방에도 피크가 나타나는 경우가 있다. 2θ가 36° 근방의 피크는 CAAC-OS막 중의 일부에 c축 배향성을 갖지 않는 결정이 포함되는 것을 나타낸다. CAAC-OS막은 2θ가 31° 근방에 피크를 나타내고, 2θ가 36° 근방에 피크를 나타내지 않는 것이 바람직하다.

[0076] CAAC-OS막을 이용한 트랜지스터는 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 작다. 따라서, 상기

트랜지스터는 신뢰성이 높다.

[0077] 또한, 산화물 반도체막(19)은 복수의 산화물 반도체막이 적층된 구조여도 좋다. 예를 들면, 산화물 반도체막(19)을 제 1 산화물 반도체막과 제 2 산화물 반도체막의 적층으로 하고, 제 1 산화물 반도체막과 제 2 산화물 반도체막에 다른 조성의 금속 산화물을 이용해도 좋다. 예를 들면, 제 1 산화물 반도체막에 2원계 금속 산화물 내지 4원계 금속 산화물의 하나를 이용하고, 제 2 산화물 반도체막에 제 1 산화물 반도체막과 다른 2원계 금속 산화물 내지 4원계 금속 산화물을 이용해도 좋다.

[0078] 또한, 제 1 산화물 반도체막과 제 2 산화물 반도체막의 구성 원소를 동일하게 하고, 양자의 조성을 다르게 해도 좋다. 예를 들면, 제 1 산화물 반도체막의 원자수비를 In : Ga : Zn = 3 : 1 : 2로 하고, 제 2 산화물 반도체막의 원자수비를 In : Ga : Zn = 1 : 1 : 1로 해도 좋다. 또한, 제 1 산화물 반도체막의 원자수비를 In : Ga : Zn = 2 : 1 : 3으로 하고, 제 2 산화물 반도체막의 원자수비를 In : Ga : Zn = 1 : 3 : 2로 해도 좋다. 단, 각 산화물 반도체막의 원자수비는 오차로서 상기의 원자수비의 ±20%의 변동을 포함한다.

[0079] 이 때, 제 1 산화물 반도체막과 제 2 산화물 반도체막 중, 게이트 전극에 가까운 쪽(채널측)의 산화물 반도체막의 In과 Ga의 함유율을 In>Ga로 하면 좋다. 또 게이트 전극으로부터 먼 쪽(백 채널측)의 산화물 반도체막의 In과 Ga의 함유율을 In≤Ga로 하면 좋다.

[0080] 또한, 산화물 반도체막(19)을 3층 구조로 하고, 제 1 산화물 반도체막~제 3 산화물 반도체막의 구성 원소를 동일하게 하고, 또한 각각의 조성을 다르게 해도 좋다. 예를 들면, 제 1 산화물 반도체막의 원자수비를 In : Ga : Zn = 1 : 3 : 2로 하고, 제 2 산화물 반도체막의 원자수비를 In : Ga : Zn = 3 : 1 : 2로 하고, 제 3 산화물 반도체막의 원자수비를 In : Ga : Zn = 1 : 1 : 1로 해도 좋다.

[0081] Ga 및 Zn보다 In의 원자수비가 작은 산화물 반도체막, 대표적으로는 원자수비가 In : Ga : Zn = 1 : 3 : 2인 제 1 산화물 반도체막은, Ga 및 Zn보다 In의 원자수비가 큰 산화물 반도체막, 대표적으로는, 제 2 산화물 반도체막, 및 Ga, Zn, 및 In의 원자수비가 같은 산화물 반도체막, 대표적으로는 제 3 산화물 반도체막과 비교하여, 산소 결손이 생기기 어렵기 때문에, 캐리어 밀도가 증가하는 것을 억제할 수 있다. 또한, 원자수비가 In : Ga : Zn = 1 : 3 : 2인 제 1 산화물 반도체막이 비정질 구조라면, 제 2 산화물 반도체막이 CAAC-OS막이 되기 쉽다.

[0082] 제 1 산화물 반도체막~제 3 산화물 반도체막의 구성 원소는 동일하기 때문에, 제 1 산화물 반도체막은 제 2 산화물 반도체막과의 계면에서의 트랩 준위가 적다. 따라서, 산화물 반도체막(19)을 상기 구조로 함으로써, 트랜지스터의 경시 변화나 광 BT 스트레스 시험에 의한 문턱 전압의 변동량을 저감시킬 수 있다.

[0083] 산화물 반도체에서는 주로 중금속의 s궤도가 캐리어 전도에 기여하고 있고, In의 함유율을 많이 함으로써, 보다 많은 s궤도가 중첩된다. 따라서, In>Ga의 조성이 되는 산화물은 In≤Ga의 조성이 되는 산화물과 비교하여 높은 캐리어 이동도를 구비한다. 또한, Ga는 In과 비교하여 산소 결손의 형성 에너지가 크고 산소 결손이 생기기 어렵기 때문에; In≤Ga의 조성이 되는 산화물은 In>Ga의 조성이 되는 산화물과 비교하여 안정된 특성을 구비한다.

[0084] 채널측에 In>Ga의 조성이 되는 산화물 반도체를 이용하고, 백 채널측에 In≤Ga의 조성이 되는 산화물 반도체를 이용함으로써, 트랜지스터의 전계 효과 이동도 및 신뢰성을 더욱 높이는 것이 가능하게 된다.

[0085] 또한, 제 1 산화물 반도체막 내지 제 3 산화물 반도체막에, 결정성이 다른 산화물 반도체를 이용하여 형성해도 좋다. 즉, 이러한 산화물 반도체막은 단결정 산화물 반도체, 다결정 산화물 반도체, 비정질 산화물 반도체, 또는 CAAC-OS를 적절히 이용하여 형성하면 좋다. 제 1 산화물 반도체막 내지 제 2 산화물 반도체막 중 어느 하나에 비정질 산화물 반도체를 이용하면, 산화물 반도체막(19)의 내부 응력이나 외부로부터의 응력을 완화하여, 트랜지스터의 특성 편차가 저감되고, 또한, 트랜지스터의 신뢰성을 더욱 높이는 것이 가능하게 된다.

[0086] 산화물 반도체막(19)의 두께는 1 nm 이상 100 nm 이하, 더욱 바람직하게는 1 nm 이상 30 nm 이하, 더욱 바람직하게는 1 nm 이상 50 nm 이하, 더욱 바람직하게는 3 nm 이상 20 nm 이하로 하는 것이 바람직하다.

[0087] 산화물 반도체막(19)에서, 2차 이온 질량 분석법(SIMS : Secondary Ion Mass Spectrometry)에 의해 얻어지는 알칼리 금속 또는 알칼리 토류 금속의 농도를 1×10^{18} atoms/cm^3 이하, 더욱 바람직하게는 2×10^{16} atoms/cm^3 이하로 하는 것이 바람직하다. 알칼리 금속 및 알칼리 토류 금속은 산화물 반도체와 결합하면 캐리어를 생성하는 경우가 있어, 트랜지스터의 오프 전류의 상승의 원인이 되기 때문이다.

[0088] 산화물 반도체막(19)에서, 2차 이온 질량 분석법에 의해 얻어지는 수소 농도를 5×10^{18} atoms/cm^3 미만, 바람직

하게는 1×10^{18} atoms/cm^3 이하, 보다 바람직하게는 5×10^{17} atoms/cm^3 이하, 더욱 바람직하게는 1×10^{16} atoms/cm^3 이하로 하는 것이 바람직하다.

[0089] 산화물 반도체막(19)에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 됨과 동시에, 산소가 탈리한 격자(혹은 산소가 탈리한 부분)에는 결손이 형성되게 된다. 또한, 수소의 일부가 산소와 결합함으로써, 캐리어인 전자가 생기게 된다. 따라서, 산화물 반도체막의 형성 공정에서, 수소를 포함한 불순물을 매우 줄임으로써, 산화물 반도체막의 수소 농도를 저감시키는 것이 가능하다. 이 때문에, 수소가 가능한 한 제거된 산화물 반도체막을 채널 영역으로 함으로써, 문턱 전압의 마이너스 시프트를 억제할 수 있음과 동시에, 전기 특성의 편차를 저감시킬 수 있다. 또한, 트랜지스터의 소스 및 드레인에의 누출 전류, 대표적으로는, 오프 전류를 저감시키는 것이 가능하다.

[0090] 또한, 산화물 반도체막(19)의 질소 농도를 5×10^{18} atoms/cm^3 이하로 함으로써, 트랜지스터의 문턱 전압의 마이너스 시프트를 억제할 수 있음과 동시에, 전기 특성의 편차를 저감시킬 수 있다.

[0091] 수소를 가능한 한 제거함으로써 고순도화된 산화물 반도체막을 채널 영역으로서 포함하는 트랜지스터의 오프 전류가 낮다는 것은 여러가지 실험에 의해 증명할 수 있다. 예를 들면, 채널 폭이 1×10^6 μm이고 채널 길이가 10 μm의 소자일 때도, 소스 전극과 드레인 전극간의 전압(드레인 전압)이 1 V에서 10 V의 범위에서, 오프 전류가 반도체 파라미터 애널라이저의 측정 한계 이하, 즉 1×10^{-13} A 이하라는 특성을 얻을 수 있다. 이 경우, 오프 전류를 트랜지스터의 채널 폭으로 나눈 수치에 상당하는 오프 전류는 100 zA/μm 이하인 것을 알 수 있다. 또한, 용량 소자와 트랜지스터를 접속하고, 용량 소자에 유입되거나 또는 용량 소자로부터 유출하는 전하를 상기 트랜지스터로 제어하는 회로를 이용하여, 오프 전류의 측정을 행하였다. 상기 측정에서는 상기 트랜지스터에 고순도화된 산화물 반도체막을 채널 영역에 이용하여 용량 소자의 단위 시간당의 전하량의 추이로부터 상기 트랜지스터의 오프 전류를 측정했다. 그 결과, 트랜지스터의 소스 전극과 드레인 전극간의 전압이 3 V인 경우에, 수십 yA/μm라는 더욱 낮은 오프 전류가 얻어지는 것을 알 수 있었다. 따라서, 고순도화된 산화물 반도체막을 채널 영역으로서 포함하는 트랜지스터는 오프 전류가 현저하게 작다.

[0092] 한쌍의 전극(21)은 도전 재료로서, 알루미늄, 티탄, 크롬, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 은, 탄탈, 또는 텅스텐을 포함하는 단체 금속, 또는 이것을 주성분으로 하는 합금을 단층 구조 또는 적층 구조로서 이용한다. 예를 들면, 실리콘을 포함한 알루미늄막의 단층 구조; 알루미늄막 위에 티탄막을 적층하는 2층 구조; 텅스텐막 위에 티탄막을 적층하는 2층 구조; 구리-마그네슘-알루미늄 합금막 위에 구리막을 적층하는 2층 구조; 티탄막 또는 질화 티탄막과, 그 티탄막 또는 질화 티탄막 위에 중첩하여 알루미늄막 또는 구리막을 적층하고, 또한 그 위에 티탄막 또는 질화 티탄막을 형성하는 3층 구조; 몰리브덴막 또는 질화 몰리브덴막과, 그 몰리브덴막 또는 질화 몰리브덴막 위에 중첩하여 알루미늄막 또는 구리막을 적층하고, 또한 그 위에 몰리브덴막 또는 질화 몰리브덴막을 형성하는 3층 구조 등이 있다. 단, 산화 인듐, 산화 주석, 또는 산화 아연을 포함한 투명 도전 재료를 이용해도 좋다.

[0093] 또한, 본 실시형태에서는, 한쌍의 전극(21)을 산화물 반도체막(19) 및 절연막(23)의 사이에 제공했지만, 게이트 절연막(18) 및 산화물 반도체막(19)의 사이에 제공해도 좋다.

[0094] 절연막(23)은 산화물 반도체막(19)과의 계면 특성을 향상시키기 위해, 산화 절연막을 이용하는 것이 바람직하다. 절연막(23)으로서는, 두께 150 nm 이상 400 nm 이하의 산화 실리콘, 산화 질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨, 또는 Ga-Zn계 금속 산화물 등을 이용할 수 있다.

[0095] 다음에, 도 1의 (A) 및 도 1의 (B)에 나타내는 트랜지스터(1)의 제작 방법에 대하여, 도 2의 (A) 내지 도 2의 (D)를 이용하여 설명한다.

[0096] 도 2의 (A)에 도시하는 바와 같이, 기판(11) 위에 게이트 전극(15)을 형성하고, 게이트 전극(15) 위에 게이트 절연막(18)을 형성한다.

[0097] 게이트 전극(15)의 형성 방법을 이하에 나타낸다. 처음에, 스퍼터링법, CVD법, 증착법 등에 의해 도전막을 형성하고, 도전막 위에 포토리소그래피 공정에 의해 마스크를 형성한다. 다음에, 이 마스크를 이용하여 도전막의 일부를 에칭하여, 게이트 전극(15)을 형성한다. 이 후, 마스크를 제거한다.

[0098] 단, 게이트 전극(15)은 상기 형성 방법 대신에, 전해 도금법, 인쇄법, 잉크젯법 등으로 형성해도 좋다.

[0099] 여기에서는, 두께 100 nm의 텅스텐막을 스퍼터링법에 의해 형성한다. 다음에, 포토리소그래피 공정에 의해 마스크를 형성하고, 상기 마스크를 이용하여 텅스텐막을 드라이 에칭하여, 게이트 전극(15)을 형성한다.

[0100] 게이트 절연막(18)은 스퍼터링법, CVD법, 증착법 등으로 형성한다.

[0101] 게이트 절연막(18)으로서 산화 실리콘막 또는 산화 질화 실리콘막을 형성하는 경우, 원료 가스로서는, 실리콘을 포함한 퇴적성 기체 및 산화성 기체를 이용하는 것이 바람직하다. 실리콘을 포함한 퇴적성 기체의 대표예로서는, 실레인, 디실레인, 트리실레인, 불화 실레인 등이 있다. 산화성 기체로서는, 산소, 오존, 일산화이질소, 이산화질소 등이 있다.

[0102] 또한, 게이트 절연막(18)으로서 적층 구조의 질화 실리콘막 및 산화 절연막을 형성하는 경우, 2 단계의 형성 방법을 이용하여 질화 실리콘막을 적층하여 형성하는 것이 바람직하다. 먼저, 실레인, 질소, 및 암모니아의 혼합 가스를 원료 가스로서 이용한 플라즈마 CVD법에 의해, 결함이 적은 제 1 질화 실리콘막을 형성한다. 다음에, 후에 설명하는 질화 절연막(25)과 같은 원료 가스의 유량비를 이용함으로써, 수소 분자 방출량 및 암모니아 분자 방출량이 적은 질화 실리콘막을 제 2 질화 실리콘막으로서 형성할 수 있다. 이러한 형성 방법에 의해, 게이트 절연막(18)으로서 결함이 적고, 또한 수소 분자 방출량 및 암모니아 분자 방출량이 적은 질화 실리콘막을 형성할 수 있다.

[0103] 또한, 게이트 절연막(18)으로서 산화 갈륨막을 형성하는 경우, MOCVD(Metal Organic Chemical Vapor Deposition)법을 이용하여 형성할 수 있다.

[0104] 여기에서는, 플라즈마 CVD법에 의해, 두께 300 nm의 제 1 질화 실리콘막, 두께 50 nm의 제 2 질화 실리콘막, 및 두께 50 nm의 산화 질화 실리콘막을 적층한 게이트 절연막(18)을 형성한다.

[0105] 다음에, 도 2의 (B)에 도시하는 바와 같이, 게이트 절연막(18) 위에 산화물 반도체막(19)을 형성한다.

[0106] 산화물 반도체막(19)의 형성 방법에 대하여 이하에 설명한다. 게이트 절연막(18) 위에 스퍼터링법, 도포법, 펄스 레이저 증착법, 레이저 어블레이션법 등에 의해 산화물 반도체막을 형성한다. 다음에, 산화물 반도체막 위에 포토리소그래피 공정에 의해 마스크를 형성한 후, 이 마스크를 이용하여 산화물 반도체막의 일부를 에칭한다. 따라서, 도 2의 (B)에 도시하는 바와 같이, 게이트 절연막(18) 위이며, 게이트 전극(15)의 일부와 중첩되도록 소자 분리된 산화물 반도체막(19)을 형성한다. 이 후, 마스크를 제거한다.

[0107] 또한, 산화물 반도체막(19)으로서 인쇄법을 이용함으로써, 소자 분리된 산화물 반도체막(19)을 직접 형성할 수 있다.

[0108] 스퍼터링법으로 산화물 반도체막을 형성하는 경우, 플라즈마를 발생시키기 위한 전원 장치는 RF 전원 장치, AC 전원 장치, DC 전원 장치 등을 적절히 이용할 수 있다.

[0109] 스퍼터링 가스는 희가스(대표적으로는 아르곤) 분위기, 산소 분위기, 희가스 및 산소의 혼합 가스를 적절히 이용한다. 또한, 희가스 및 산소의 혼합 가스의 경우, 희가스에 대한 산소의 가스비를 높이는 것이 바람직하다.

[0110] 또한, 타겟은 형성하는 산화물 반도체막의 조성에 맞추어 적절히 선택하면 좋다.

[0111] 산화물 반도체막을 형성할 때에, 예를 들면, 스퍼터링법을 이용하는 경우, 기판 온도를 150℃ 이상 750℃ 이하, 바람직하게는 150℃ 이상 450℃ 이하, 더욱 바람직하게는 200℃ 이상 350℃ 이하로 하여 산화물 반도체막을 형성함으로써, ㅅ산화물 반도체막이 CAAC-OS막이 될 수 있다.

[0112] CAAC-OS막은 예를 들면, 다결정인 산화물 반도체 스퍼터링용 타겟을 이용하여 스퍼터링법에 따라 형성한다. 상기 스퍼터링용 타겟에 이온이 충돌하면, 스퍼터링용 타겟에 포함되는 결정 영역이 a-b면으로부터 벽개(劈開)하고, a-b면에 평행한 면을 갖는 평판 형상 또는 펠릿 형상의 스퍼터링 입자로서 박리하는 경우가 있다. 이 경우, 상기 평판 형상의 스퍼터링 입자가 결정 상태를 유지한 채로 기판에 도달함으로써, CAAC-OS막을 성막할 수 있다.

[0113] CAAC-OS막을 성막하기 위해, 이하의 조건을 이용하는 것이 바람직하다.

[0114] 성막 시의 불순물 혼입을 억제함으로써, 불순물에 의해 결정 상태가 무너지는 것을 억제할 수 있다. 예를 들면, 성막실 내에 존재하는 불순물 농도(수소, 물, 이산화탄소 및 질소 등)를 저감하면 좋다. 또한, 성막 가스 중의 불순물 농도를 저감하면 좋다. 구체적으로는, 노점이 -80℃ 이하, 바람직하게는 -100℃ 이하인 성막 가스를 이용한다.

[0115] 성막 시의 기판 가열 온도를 높임으로써, 기판 도달 후에 스퍼터링 입자의 마이그레이션(migration)이 일어난다. 구체적으로는, 기판 가열 온도를 100℃ 이상 기판 변형점 미만, 바람직하게는 200℃ 이상 500℃ 이하로 성막한다. 성막 시의 기판 가열 온도를 높임으로써, 평판 형상의 스퍼터링 입자가 기판에 도달한 경우, 기판 위에서 마이그레이션이 일어나, 스퍼터링 입자의 평평한 면이 기판에 부착된다.

[0116] 또한, 성막 가스 중의 산소 비율을 높여 전력을 최적함으로써 성막 시의 플라즈마 대미지를 경감하면 바람직하다. 성막 가스 중의 산소 비율은, 30 체적% 이상, 바람직하게는 100 체적%로 한다.

[0117] 스퍼터링용 타겟의 일례로서 In-Ga-Zn계 금속 산화물 타겟에 대하여 이하에 나타낸다.

[0118] InO_X 분말, GaO_Y 분말 및 ZnO_Z 분말을 소정의 mol수로 혼합하여, 가압 처리한 후, 1000℃ 이상 1500℃ 이하의 온도로 가열 처리를 함으로써 다결정인 In-Ga-Zn계 금속 산화물 타겟으로 한다. 단, X, Y, 및 Z는 임의의 양수이다. 여기서, 소정의 mol수비는 예를 들면, InO_X 분말, GaO_Y 분말 및 ZnO_Z 분말이 2 : 2 : 1, 8 : 4 : 3, 3 : 1 : 1, 1 : 1 : 1, 4 : 2 : 3, 또는 3 : 1 : 2이다. 분말의 종류, 및 그 혼합하는 mol수비는 제작하는 스퍼터링용 타겟에 따라 적절히 변경하면 좋다.

[0119] 또한, 산화물 반도체막을 형성한 후, 가열 처리를 행하고, 산화물 반도체막의 탈수소화 또는 탈수화를 해도 좋다. 가열 처리의 온도는 대표적으로는, 150℃ 이상 기판 변형점 미만, 바람직하게는 250℃ 이상 450℃ 이하, 더욱 바람직하게는 300℃ 이상 450℃ 이하로 한다.

[0120] 가열 처리는 헬륨, 네온, 아르곤, 크세논, 크립톤 등의 희가스, 또는 질소를 포함한 불활성 가스 분위기에서 행한다. 또는, 불활성 가스 분위기에서 가열한 후, 산소 분위기에서 가열해도 좋다. 또한, 상기 불활성 분위기 및 산소 분위기에 수소, 물 등이 포함되지 않는 것이 바람직하다. 처리 시간은 3분~24시간으로 한다.

[0121] 이 가열 처리는, 전기로, RTA 장치 등을 이용할 수 있다. RTA 장치를 이용함으로써, 단시간에 한하여, 기판의 변형점 이상의 온도로 열처리를 행할 수 있다. 따라서, 가열 처리 시간을 단축할 수 있다.

[0122] 산화물 반도체막을 형성한 후, 가열 처리를 행함으로써, 산화물 반도체막에서, 수소 농도를 5×10^{18} atoms/cm^3 미만, 바람직하게는 1×10^{18} atoms/cm^3 이하, 보다 바람직하게는 5×10^{17} atoms/cm^3 이하, 더욱 바람직하게는 1×10^{16} atoms/cm^3 이하로 할 수 있다.

[0123] 여기에서는, 스퍼터링법에 의해, 두께 35 nm의 산화물 반도체막을 형성한 후, 상기 산화물 반도체막 위에 마스크를 형성하고, 산화물 반도체막의 일부를 선택적으로 에칭한다. 다음에, 마스크를 제거한 후, 질소 및 산소 분위기에서 가열 처리를 행함으로써, 산화물 반도체막(19)을 형성한다.

[0124] 다음에, 도 2의 (C)에 도시하는 바와 같이, 한쌍의 전극(21)을 형성한다.

[0125] 한쌍의 전극(21)의 형성 방법을 이하에 나타낸다. 처음에, 스퍼터링법, CVD법, 증착법 등으로 도전막을 형성한다. 다음에, 이 도전막 위에 포토리소그래피 공정에 의해 마스크를 형성한다. 다음에, 이 마스크를 이용하여 도전막을 에칭하여, 한쌍의 전극(21)을 형성한다. 이 후, 마스크를 제거한다.

[0126] 여기에서는, 두께 50 nm의 텅스텐막, 두께 400 nm의 알루미늄막, 및 두께 100 nm의 티탄막을 순차로 스퍼터링법에 의해 적층한다. 다음에, 티탄막 위에 포토리소그래피 공정에 의해 마스크를 형성하고, 상기 마스크를 이용하여 텅스텐막, 알루미늄막, 및 티탄막을 드라이 에칭하여, 한쌍의 전극(21)을 형성한다.

[0127] 단, 한쌍의 전극(21)을 형성한 후, 가열 처리를 행하여도 좋다. 상기 가열 처리로서는 산화물 반도체막(19)을 형성한 후에 행하는 가열 처리와 마찬가지로 하여 행할 수 있다.

[0128] 한쌍의 전극(21)을 형성한 후, 에칭 잔사를 제거하기 위해, 세정 처리를 하는 것이 바람직하다. 이 세정 처리를 행함으로써, 한쌍의 전극(21)의 단락을 억제할 수 있다. 상기 세정 처리는, TMAH(Tetramethylammonium Hydroxide) 용액 등의 알칼리성의 용액; 불화 수소산, 옥살산 등의 산성의 용액, 또는 물을 이용하여 행할 수 있다.

[0129] 다음에, 산화물 반도체막(19) 및 한쌍의 전극(21) 위에 절연막(23)을 형성한다. 절연막(23)은 스퍼터링법, CVD법, 증착법 등에 의해 형성할 수 있다.

[0130] 여기에서는, 절연막(23)으로서 플라즈마 CVD법에 의해, 산화 실리콘막 또는 산화 질화 실리콘막을 형성한다.

[0131] 다음에, 가열 처리를 행하여도 좋다. 이 가열 처리의 온도는, 대표적으로는, 150℃ 이상 기판 변형점 미만, 바람직하게는 200℃ 이상 450℃ 이하, 더욱 바람직하게는 300℃ 이상 450℃ 이하로 한다. 상기 가열 처리에 의해, 절연막(23)에 포함되는 물, 수소 등을 방출시키는 것이 가능하다.

[0132] 여기에서는, 질소 및 산소 분위기에서, 350℃, 1시간의 가열 처리를 행한다.

[0133] 다음에, 절연막(23) 위에 질화 절연막(25)을 형성한다. 질화 절연막(25)은 스퍼터링법, CVD법 등을 이용하여 형성할 수 있다.

[0134] 질화 절연막(25)으로서 플라즈마 CVD법에 의해 질화 실리콘막을 형성하는 경우, 실리콘을 포함한 퇴적성 기체, 질소, 및 암모니아를 원료 가스로서 이용한다. 원료 가스로서 질소와 비교하여 소량의 암모니아를 이용함으로써, 플라즈마 중에서 암모니아가 해리되어, 활성종이 발생한다. 상기 활성종이 실리콘을 포함한 퇴적성 기체에 포함되는 실리콘 및 수소의 결합, 및 질소의 삼중 결합을 절단한다. 이 결과, 실리콘 및 질소의 결합이 촉진되어 실리콘 및 수소의 결합이 적고, 결함이 적고, 치밀한 질화 실리콘막을 형성할 수 있다. 한편, 원료 가스에서, 질소에 대한 암모니아의 양이 많으면 실리콘을 포함한 퇴적성 기체 및 질소 각각의 분해가 진행되지 않고, 실리콘 및 수소 결합이 잔존하게 되어, 결함이 증대되거나, 또한 엉성한 질화 실리콘막이 형성되게 된다. 따라서, 원료 가스에서, 암모니아에 대한 질소의 유량비를 5 이상 50 이하, 바람직하게는 10 이상 50 이하로 하는 것이 바람직하다.

[0135] 여기에서는, 플라즈마 CVD 장치의 처리실에 유량 50 sccm의 실레인, 유량 5000 sccm의 질소, 및 유량 100 sccm의 암모니아를 원료 가스로 하고, 처리실의 압력을 200 Pa, 기판 온도를 220℃로 하고, 27.12 MHz의 고주파 전원을 이용하여 1000 W의 고주파 전력을 평행 평판 전극에 공급한 플라즈마 CVD법에 의해, 두께 50 nm의 질화 실리콘막을 형성한다. 단, 플라즈마 CVD 장치는 전극 면적이 6000 cm^2인 평행 평판형의 플라즈마 CVD 장치이며, 공급한 전력을 단위 면적당의 전력(전력 밀도)으로 환산하면 1.7×10^{-1} W/cm^2이다.

[0136] 이상의 공정에 의해, 절연막(23), 및 수소 분자 및 암모니아 분자의 방출량이 적은 질화 절연막(25)을 포함하는 보호막(26)을 형성할 수 있다.

[0137] 다음에, 가열 처리를 행하여도 좋다. 이 가열 처리의 온도는, 대표적으로는, 150℃ 이상 기판 변형점 미만, 바람직하게는 200℃ 이상 450℃ 이하, 더욱 바람직하게는 300℃ 이상 450℃ 이하로 한다.

[0138] 이상의 공정에 의해, 산화물 반도체막을 포함하는 트랜지스터 위에, 수소 분자 및 암모니아 분자의 방출량이 적은 질화 절연막을 형성할 수 있다. 또한, 전기 특성의 변동이 억제되어 신뢰성이 향상된 트랜지스터를 제작할 수 있다.

[0139] 단, 본 실시형태에 나타내는 구성 및 방법 등은 다른 실시형태 및 실시예에 나타내는 구성 및 방법 등과 적절히 조합하여 이용할 수 있다.

[0140] (실시형태 2)

[0141] 본 실시형태에서는, 실시형태 1과 다른 구조의 트랜지스터에 대하여, 도 3의 (A) 및 도 3의 (B)를 이용하여 설명한다. 본 실시형태에 나타내는 트랜지스터(3)는, 실시형태 1에 나타내는 트랜지스터와 비교하여, 탑 게이트 구조의 트랜지스터인 점이 다르다.

[0142] 도 3의 (A) 및 도 3의 (B)에, 트랜지스터(3)의 상면도 및 단면도를 나타낸다. 도 3의 (A)는 트랜지스터(3)의 상면도이며, 도 3의 (B)는 도 3의 (A)의 일점 쇄선 A-B간의 단면도이다. 단, 도 3의 (A)에서는, 명료화를 위하여, 기판(31), 하지 절연막(33), 트랜지스터(3)의 구성 요소의 일부(예를 들면, 절연막(37), 질화 절연막(39) 등)를 생략하였다.

[0143] 도 3에 나타내는 트랜지스터(3)는, 하지 절연막(33) 위에 형성되는 산화물 반도체막(34)과, 산화물 반도체막(34)에 접촉하는 한쌍의 전극(35)과, 하지 절연막(33), 산화물 반도체막(34), 및 한쌍의 전극(35)에 접촉하는 게이트 절연막(40)과, 게이트 절연막(40)을 사이에 끼우고 산화물 반도체막(34)과 중첩되는 게이트 전극(41)을 포함한다.

[0144] 본 실시형태에 나타내는 트랜지스터(3)에 제공되는 게이트 절연막(40)은 절연막(37) 및 질화 절연막(39)을 포함한다. 절연막(37)은 실시형태 1에 나타내는 게이트 절연막(18)에 나타내는 산화 절연막을 적절히

이용함으로써, 산화물 반도체막(34)과 게이트 절연막(40)의 계면 준위를 저감시킬 수 있다. 질화 절연막(39)은 실시형태 1에 나타내는 질화 절연막(25)에 나타낸 바와 같은 승온 탈리 가스 분석법에 의해, 수소 분자의 방출량이 5×10^{21} 분자/cm^3 미만, 바람직하게는 3×10^{21} 분자/cm^3 이하, 더욱 바람직하게는 1×10^{21} 분자/cm^3 이하이며, 또한 암모니아 분자의 방출량이 1×10^{22} 분자/cm^3 미만, 바람직하게는 5×10^{21} 분자/cm^3 이하, 더욱 바람직하게는 1×10^{21} 분자/cm^3 이하인 질화 절연막을 이용할 수 있다. 질화 절연막(39)으로부터 방출되는 수소 분자량 및 암모니아 분자량이 적기 때문에; 트랜지스터(3)에 포함되는 산화물 반도체막(34)으로의 수소 및 질소의 이동량이 적다.

[0145] 따라서, 트랜지스터(3)에 제공되는 게이트 절연막(40)으로부터 산화물 반도체막(34)으로의 수소 및 질소의 이동량이 적고, 산화물 반도체막(34) 중의 수소 및 질소의 농도를 저감시킬 수 있다. 또한, 트랜지스터(3)에 제공되는 게이트 절연막으로서 질화 절연막(39)이 포함되어 있기 때문에, 외부로부터 산화물 반도체막(34)으로의 물의 침입을 억제할 수 있다. 즉, 산화물 반도체막(34)으로의 물에 포함되는 수소의 침입을 억제할 수 있다. 이상의 결과, 문턱 전압의 마이너스 시프트를 억제할 수 있음과 동시에, 전기 특성의 편차를 저감시킬 수 있다. 또한, 트랜지스터의 소스 및 드레인에서의 누출 전류, 대표적으로는, 오프 전류를 저감시키는 것이 가능하다.

[0146] 이하에, 트랜지스터(3) 이외의 구성의 상세한 사항에 대하여 설명한다.

[0147] 기판(31)은 실시형태 1에 나타내는 기판(11)에 열거하는 기판을 적절히 이용할 수 있다.

[0148] 하지 절연막(33)은 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함한 산화 절연막을 이용하여 형성하는 것이 바람직하다. 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함한 산화 절연막은 가열 처리에 의해 산화물 반도체막에 산소를 확산시킬 수 있다. 하지 절연막(33)의 대표예로서는, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 갈륨, 산화 하프늄, 산화 이트륨, 산화 알루미늄, 산화 질화 알루미늄 등이 있다.

[0149] 하지 절연막(33)은 50 nm 이상, 바람직하게는 200 nm 이상 3000 nm 이하, 바람직하게는 300 nm 이상 1000 nm 이하로 한다. 하지 절연막(33)을 두껍게 함으로써, 하지 절연막(33)의 산소 분자의 방출량을 증가시킬 수 있음과 동시에, 하지 절연막(33) 및 후에 형성되는 산화물 반도체막과의 계면에서의 계면 준위를 저감시키는 것이 가능하다.

[0150] 여기서, "가열에 의해 산소의 일부가 탈리한다"란, TDS 분석에서, 산소 원자로 환산한 산소의 방출량이 1.0×10^{18} atoms/cm^3 이상, 바람직하게는 3.0×10^{20} atoms/cm^3 이상인 것을 말한다.

[0151] 산화물 반도체막(34)은 실시형태 1에 나타내는 산화물 반도체막(19)과 마찬가지로 형성할 수 있다.

[0152] 한쌍의 전극(35)은 실시형태 1에 나타내는 한쌍의 전극(21)과 마찬가지로 형성할 수 있다. 단, 한쌍의 전극(35)에서, 채널 폭 방향에서의 길이가 산화물 반도체막(34)보다 길고, 또한 채널 길이 방향과 교차하는 단부를 덮는 구조로 한다. 이러한 구조로, 한쌍의 전극(35) 및 산화물 반도체막(34)의 접촉 면적을 증대시킨다. 따라서, 산화물 반도체막(34)과 한쌍의 전극(35)과의 접촉 저항을 저감시키는 것이 가능하고, 트랜지스터의 온 전류를 높일 수 있다.

[0153] 또한, 본 실시형태에서는, 한쌍의 전극(35)을 산화물 반도체막(34) 및 절연막(37)의 사이에 제공했지만; 하지 절연막(33) 및 산화물 반도체막(34)의 사이에 제공해도 좋다.

[0154] 또한, 게이트 절연막(40) 및 게이트 전극 위에, 실시형태 1과 마찬가지로 절연막(23) 및 질화 절연막(25)을 제공함으로써, 또한 외부로부터 산화물 반도체막을 포함하는 트랜지스터(3)로의 물의 침입을 억제할 수 있다.

[0155] 게이트 전극(41)은 실시형태 1에 나타내는 게이트 전극(15)과 마찬가지로 형성할 수 있다.

[0156] 다음에, 도 3의 (A) 및 도 3의 (B)에 나타내는 트랜지스터의 제작 방법에 대하여, 도 4의 (A) 내지 도 4의 (D)를 이용하여 설명한다.

[0157] 도 4의 (A)에 도시하는 바와 같이, 기판(31) 위에 하지 절연막(33)을 형성한다. 다음에, 하지 절연막(33) 위에 산화물 반도체막(34)을 형성한다.

[0158] 하지 절연막(33)은 스퍼터링법, CVD법 등에 의해 형성한다.

[0159] 하지 절연막(33)으로서 가열에 의해 산소의 일부가 탈리하는 산화 절연막을 스퍼터링법에 의해 형성하는 경우는, 성막 가스 중의 산소량이 많은 것이 바람직하고, 산소, 또는 산소 및 희가스의 혼합 가스 등을 이용할

수 있다. 대표적으로는, 성막 가스 중의 산소 농도를 6% 이상 100% 이하로 하는 것이 바람직하다.

[0160] 하지 절연막(33)으로서 CVD법으로 산화 절연막을 형성하는 경우, 원료 가스에 유래한 수소 또는 물이 산화 절연막 중에 혼입되는 경우가 있다. 이 때문에, CVD법으로 산화 절연막을 형성한 후, 탈수소화 또는 탈수화로서 가열 처리를 행하는 것이 바람직하다.

[0161] CVD법으로 형성한 산화 절연막에, 산소를 도입하는 경우, 가열에 의해 탈리하는 산소량을 증가시킬 수 있다. 산화 절연막에 산소를 도입하는 방법으로서는, 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법, 플라즈마 처리 등이 있다.

[0162] 여기서, 산화물 반도체막(34)은 실시형태 1에 나타내는 산화물 반도체막(19)과 같은 형성 방법을 적절히 이용할 수 있다.

[0163] CAAC-OS막에 포함되는 결정부의 배향을 높이기 위해서는, 산화물 반도체막의 하지 절연막인 하지 절연막(33)의 표면의 평탄성을 높이는 것이 바람직하다. 대표적으로는, 하지 절연막(33)의 평균면 조도(Ra)가 1 nm 이하, 0.3 nm 이하, 또는 0.1 nm 이하로 할 수 있다. 단, Ra는 JIS B0601로 정의되어 있는 산술 평균 조도를 곡면에 대하여 적용할 수 있도록 삼차원으로 확장한 것이고, "기준면으로부터 지정면까지의 편차의 절대치를 평균한 값"으로 표현할 수 있고, 수학식 2로 정의된다.

[0164] [수학식 2]

$$Ra = \frac{1}{S_0}\int_{y1}^{y2}\int_{x1}^{x2}\left|f(x,y) - Z_0\right|dxdy \qquad (2)$$

[0165]

[0166] 여기서, 지정면이란, 조도 계측의 대상이 되는 면이며, 좌표(x_1, y_1, $f(x_1, y_1)$), (x_1, y_2, $f(x_1, y_2)$), (x_2, y_1, $f(x_2, y_1)$), (x_2, y_2, $f(x_2, y_2)$)의 4점으로 나타내어지는 장방형의 영역으로 한다. 지정면을 xy 평면에 투영한 직사각형의 면적을 S_0, 기준면의 높이(지정면의 평균의 높이)를 Z_0로 한다. Ra는 원자간력 현미경(AFM : Atomic Force Microscope)으로 측정 가능하다.

[0167] 하지 절연막(33)의 표면의 평탄성을 높이는 평탄화 처리로서는, 화학적 기계적 연마(Chemical Mechanical Polishing : CMP) 처리, 드라이 에칭 처리, 플라즈마 처리(소위, 역스퍼터링)으로부터 하나 또는 복수를 선택할 수 있다. 플라즈마 처리는 진공의 체임버에 불활성 가스, 예를 들면 아르곤 가스를 도입하고, 피처리면을 음극으로 하는 전계를 가하여, 표면의 미세한 요철을 평탄화하는 것이다.

[0168] 다음에, 가열 처리를 행하는 것이 바람직하다. 상기 가열 처리에 의해, 하지 절연막(33)에 포함되는 산소의 일부를, 하지 절연막(33) 및 산화물 반도체막(34)의 계면 근방으로 확산시킬 수 있다. 이 결과, 하지 절연막(33) 및 산화물 반도체막(34)의 계면 근방에서의 계면 준위를 저감시킬 수 있다.

[0169] 가열 처리의 온도는, 대표적으로는, 150℃ 이상 기판 변형점 미만, 바람직하게는 250℃ 이상 450℃ 이하, 더욱 바람직하게는 300℃ 이상 450℃ 이하로 한다.

[0170] 가열 처리는, 헬륨, 네온, 아르곤, 크세논, 크립톤 등의 희가스, 또는 질소를 포함한 불활성 가스 분위기에서 행한다. 또는, 불활성 가스 분위기에서 가열한 후, 산소 분위기에서 가열해도 좋다. 또한, 상기 불활성 분위기 및 산소 분위기에 수소, 물 등이 포함되지 않는 것이 바람직하다. 처리 시간은 3분~24시간으로 한다.

[0171] 다음에, 도 4의 (B)에 도시하는 바와 같이, 한쌍의 전극(35)을 형성한다. 한쌍의 전극(35)은 실시형태 1에 나타내는 한쌍의 전극(21)과 같은 형성 방법을 적절히 이용할 수 있다. 또는, 인쇄법 또는 잉크젯법에 의해 한쌍의 전극(35)을 형성할 수 있다.

[0172] 다음에, 도 4의 (C)에 도시하는 바와 같이, 게이트 절연막(40)을 구성하는 절연막(37) 및 질화 절연막(39)을 형성한다.

[0173] 절연막(37)은 스퍼터링법, CVD법, 증착법 등으로 형성한다.

[0174] 질화 절연막(39)은 실시형태 1에 나타내는 질화 절연막(25)과 마찬가지로 형성함으로써, 승온 탈리 가스 분석법에 의해, 수소 분자의 방출량이 5×10^{21} 분자/cm^3 미만, 바람직하게는 3×10^{21} 분자/cm^3 이하, 더욱 바람직하게는 1×10^{21} 분자/cm^3 이하이며, 또한 암모니아 분자의 방출량이 1×10^{22} 분자/cm^3 미만, 바람직하게는 5×10^{21} 분자

/cm^3 이하, 더욱 바람직하게는 1×10^{21} 분자/cm^3 이하인 질화 절연막을 형성할 수 있다.

[0175] 다음에, 도 4의 (D)에 도시하는 바와 같이, 게이트 절연막(40) 위에 게이트 전극(41)을 형성한다. 게이트 전극(41)은 실시형태 1에 나타내는 게이트 전극(15)의 형성 방법을 적절히 이용할 수 있다.

[0176] 다음에, 실시형태 1과 마찬가지로, 가열 처리를 행하여도 좋다. 이 가열 처리의 온도는, 대표적으로는, 150℃ 이상 기판 변형점 미만, 바람직하게는 250℃ 이상 450℃ 이하, 더욱 바람직하게는 300℃ 이상 450℃ 이하로 한다.

[0177] 이상의 공정에 의해, 전기 특성의 변동이 억제되어 신뢰성이 향상된 트랜지스터를 제작할 수 있다.

[0178] 단, 본 실시형태에 나타내는 구성 및 방법 등은 다른 실시형태 및 실시예에 나타내는 구성 및 방법 등과 적절히 조합하여 이용할 수 있다.

[0179] (실시형태 3)

[0180] 본 실시형태에서는, 실시형태 1 및 실시형태 2와 다른 구조의 트랜지스터에 대하여, 도 5를 이용하여 설명한다. 본 실시형태에 나타내는 트랜지스터(5)는 산화물 반도체막을 사이에 끼우고 대향하는 복수의 게이트 전극을 포함하는 것을 특징으로 한다.

[0181] 도 5에 나타내는 트랜지스터(5)는 기판(11) 위에 제공되는 게이트 전극(15)과, 기판(11) 및 게이트 전극(15) 위에 형성되는 게이트 절연막(18)과, 게이트 절연막(18)을 사이에 끼우고 게이트 전극(15)과 중첩되는 산화물 반도체막(19)과, 산화물 반도체막(19)에 접촉하는 한쌍의 전극(21)을 포함한다. 게이트 절연막(18), 산화물 반도체막(19), 및 한쌍의 전극(21) 위에는 절연막(23) 및 질화 절연막(25)을 포함하는 보호막(26)이 형성된다. 보호막(26)을 사이에 끼우고 산화물 반도체막(19)과 중첩되는 게이트 전극(61)을 포함한다.

[0182] 게이트 전극(61)은 실시형태 1에 나타내는 게이트 전극(15)과 마찬가지로 형성할 수 있다.

[0183] 본 실시형태에 나타내는 트랜지스터(5)는 산화물 반도체막(19)을 사이에 끼우고 대향하는 게이트 전극(15) 및 게이트 전극(61)을 가진다. 게이트 전극(15)과 게이트 전극(61)에 다른 전위를 인가함으로써, 트랜지스터(5)의 문턱 전압을 제어할 수 있다. 또는, 게이트 전극(15) 및 게이트 전극(61)에 같은 전위를 인가함으로써, 트랜지스터(5)의 온 전류를 증가시킬 수 있다. 산화물 반도체막(19) 및 게이트 전극(61)의 사이에, 승온 탈리 가스 분석법에 의해, 수소 분자의 방출량이 5×10^{21} 분자/cm^3 미만, 바람직하게는 3×10^{21} 분자/cm^3 이하, 더욱 바람직하게는 1×10^{21} 분자/cm^3 이하이며, 또한 암모니아 분자의 방출량이 1×10^{22} 분자/cm^3 미만, 바람직하게는 5×10^{21} 분자/cm^3 이하, 더욱 바람직하게는 1×10^{21} 분자/cm^3 이하인 질화 절연막을 형성함으로써, 질화 절연막으로부터 산화물 반도체막(19)에의 수소 및 암모니아의 이동량이 적고, 산화물 반도체막(19) 중의 수소 및 질소의 농도를 저감시킬 수 있다. 또한, 산화물 반도체막(19) 및 게이트 전극(61)의 사이에 질화 절연막(25)이 제공되어 있기 때문에; 외부로부터 산화물 반도체막(19)에의 물의 침입을 억제할 수 있다. 즉, 산화물 반도체막(19)으로 물에 포함되는 수소의 침입을 억제할 수 있다. 이상의 결과, 문턱 전압의 마이너스 시프트를 억제할 수 있음과 동시에, 전기 특성의 편차를 저감시킬 수 있다.

[0184] (실시형태 4)

[0185] 본 실시형태에서는, 산화물 반도체막으로의 수소 및 질소의 이동을 억제함과 동시에, 산화물 반도체막의 산소 결손을 저감시킬 수 있는 트랜지스터 및 보호막의 구조에 대하여, 도 6의 (A) 및 도 6의 (B)를 이용하여 설명한다. 단, 실시형태 1과 중복되는 구성에 관해서는 설명을 생략한다.

[0186] 산화물 반도체를 이용한 트랜지스터에서, 산화물 반도체막에 포함되는 산소 결손은 트랜지스터의 전기 특성의 불량으로 연결된다. 예를 들면, 막 중에 산소 결손이 포함되어 있는 산화물 반도체를 이용한 트랜지스터는 문턱 전압이 마이너스 방향으로 변동되기 쉽고, 노멀리 온 특성이 되기 쉽다. 이것은, 산화물 반도체에 포함되는 산소 결손에 기인하여 전하가 발생하여, 저저항화되기 때문이다.

[0187] 또한, 산화물 반도체막에 산소 결손이 포함되면, 경시 변화나 바이어스 온도 스트레스 시험(이하, BT(Bias-Temperature) 스트레스 시험이라고도 함)에 의해, 트랜지스터의 전기 특성, 대표적으로는, 문턱 전압의 변동량

이 증대된다는 문제가 있다.

[0188] 이 때문에, 본 실시형태에서는, 문턱 전압의 마이너스 시프트를 억제한, 뛰어난 전기 특성을 갖는 트랜지스터 및 그 제작 방법에 대하여 설명한다. 또한, 경시 변화나 광 BT 스트레스 시험에 의한 전기 특성의 변동이 적고, 신뢰성이 높은 트랜지스터 및 그 제작 방법에 대하여 설명한다.

[0189] 도 6의 (A) 및 도 6의 (B)에, 반도체 장치에 포함되는 트랜지스터(7)의 상면도 및 단면도를 나타낸다. 도 6의 (A)는 트랜지스터(7)의 상면도이며, 도 6의 (B)는 도 6의 (A)의 일점 쇄선 A-B간의 단면도이다. 단, 도 6의 (A)에서는, 명료화를 위하여, 기판(11), 트랜지스터(7)의 구성 요소의 일부(예를 들면, 게이트 절연막(18)), 절연막(24a), 절연막(24b), 질화 절연막(25), 평탄화막(27) 등을 생략하고 있다.

[0190] 도 6의 (A) 및 도 6의 (B)에 도시하는 트랜지스터(7)는 기판(11) 위에 제공되는 게이트 전극(15)과, 기판(11) 및 게이트 전극(15) 위에 형성되는 게이트 절연막(18)과, 게이트 절연막(18)을 사이에 끼우고 게이트 전극(15)과 중첩되는 산화물 반도체막(19)과, 산화물 반도체막(19)에 접촉하는 한쌍의 전극(21)을 포함한다. 또한, 게이트 절연막(18), 산화물 반도체막(19), 및 한쌍의 전극(21) 위에는, 절연막(24a), 절연막(24b), 및 질화 절연막(25)을 포함하는 보호막(28)이 형성된다. 또한, 보호막(28) 위에 평탄화막(27)을 제공해도 좋다. 또한, 보호막(28) 및 평탄화막(27)에 형성되는 개구부(30)에서, 한쌍의 전극(21)의 한쪽과 접속하는 도전막(29)을 제공해도 좋다.

[0191] 본 실시형태에 나타내는 트랜지스터(7)에서, 산화물 반도체막(19)에 접촉하도록, 절연막(24a)이 형성되어 있다. 절연막(24a)은 산소를 투과하는 산화 절연막이다. 단, 절연막(24a)은 후에 형성하는 절연막(24b)을 형성할 때의, 산화물 반도체막(19)에의 대미지 완화막으로서도 기능한다.

[0192] 산소를 투과하는 산화 절연막으로서는, 두께가 5 nm 이상 150 nm 이하, 바람직하게는 5 nm 이상 50 nm 이하, 바람직하게는 10 nm 이상 30 nm 이하의 산화 실리콘, 산화 질화 실리콘 등을 이용할 수 있다.

[0193] 또한, 절연막(24a)은 결함이 적은 것이 바람직하고, 대표적으로는, ESR 측정에 의해, 실리콘의 댕글링 본드에 유래하는 g = 2.001에 나타나는 신호의 스핀 밀도가 3×10^{17} spins/cm^3 이하, 더욱 바람직하게는 5.0×10^{16} spins/cm^3 이하인 것이 좋다. 이것은, 절연막(24a)에 포함되는 결함 밀도가 많으면 상기 결함에 산소가 결합하여, 절연막(24a)에서의 산소의 투과량이 감소해 버리기 때문이다.

[0194] 또한, 절연막(24a)과 산화물 반도체막(19)과의 계면에 결함이 적은 것이 바람직하고, 대표적으로는, 자장의 방향을 막면에 대하여 평행하게 인가한 ESR 측정에 의해, 산화물 반도체막 중의 산소 결손에 유래하는 g = 1.93에 나타나는 신호의 스핀 밀도가 1×10^{17} spins/cm^3 이하, 더욱 바람직하게는 검출 하한 이하인 것이 좋다. 산화물 반도체막(19)의 산소 결손에 유래하는 스핀 밀도를 상기 스핀 밀도 이하로 함으로써, 산화물 반도체막을 포함하는 트랜지스터의 Vg-Id 특성에서, 드레인 전압이 다른 경우의 트랜지스터가 온 상태가 되는 게이트 전압의 편차를 저감시킬 수 있다.

[0195] 단, 절연막(24a)에서는, 외부로부터 절연막(24a)에 들어온 산소가 모두 절연막(24a)의 외부로 이동하지 않고, 절연막(24a)에 머무르는 산소도 있다. 또한, 절연막(24a)에 산소가 들어감과 동시에, 절연막(24a)에 포함되는 산소가 절연막(24a)의 외부로 이동함으로써, 절연막(24a)에서 산소의 이동이 생기는 경우도 있다.

[0196] 절연막(24a)으로서 산소를 투과하는 산화 절연막을 형성하면, 절연막(24a) 위에 제공되는, 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함한 산화 절연막으로부터 탈리되는 산소를, 절연막(24a)을 통하여 산화물 반도체막(19)으로 이동시킬 수 있다.

[0197] 절연막(24a)에 접촉하도록 절연막(24b)이 형성되어 있다. 절연막(24b)은 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함한 산화 절연막을 이용하여 형성한다. 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함한 산화 절연막은 가열에 의해 산소의 일부가 탈리한다. 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함한 산화 절연막은 실시형태 2의 하지 절연막(33)과 마찬가지로, TDS 분석에서, 산소 원자로 환산한 산소의 방출량이 1.0×10^{18} atoms/cm^3 이상, 바람직하게는 3.0×10^{20} atoms/cm^3 이상인 산화 절연막이다.

[0198] 절연막(24a)으로서는, 플라즈마 CVD 장치의 진공 배기된 처리실 내에 재치된 기판을 180℃ 이상 400℃ 이하, 더욱 바람직하게는 200℃ 이상 370℃ 이하로 유지하고, 처리실에 원료 가스를 도입하여 처리실 내에서의 압력을 30 Pa 이상 250 Pa 이하, 더욱 바람직하게는 40 Pa 이상 200 Pa 이하로 하고, 처리실 내에 재치되는 전극에 고주파 전력을 공급하는 조건에 따라, 절연막(24a)으로서 산화 실리콘막 또는 산화 질화 실리콘막을 형성할 수 있

다.

[0199] 단, 실리콘을 포함한 퇴적성 기체에 대한 산화성 기체량을 100배 이상으로 함으로써, 절연막(24a)에 포함되는 수소 함유량을 저감시키는 것이 가능하다. 이 결과, 절연막(24a)에 혼입하는 수소량을 저감시킬 수 있기 때문에; 트랜지스터의 문턱 전압의 마이너스 시프트를 억제할 수 있다.

[0200] 절연막(24b)으로서는, 두께가 30 nm 이상 500 nm 이하, 바람직하게는 50 nm 이상 400 nm 이하의, 산화 실리콘, 산화 질화 실리콘 등을 이용할 수 있다.

[0201] 또한, 절연막(24b)은 결함이 적은 것이 바람직하고, 대표적으로는, ESR 측정에 의해, 실리콘의 댕글링 본드에 유래하는 g = 2.001에 나타나는 신호의 스핀 밀도가 1×10^{18} spins/cm^3 이하인 것이 바람직하다. 단, 절연막(24b)은 절연막(24a)과 비교하여 산화물 반도체막(19)으로부터 멀어져 있기 때문에; 절연막(24a)보다 결함 밀도가 많아도 좋다.

[0202] 절연막(24b)으로서는, 다음의 조건 하에서 산화 실리콘막 또는 산화 질화 실리콘막이 형성된다: 플라즈마 CVD 장치의 진공 배기된 처리실 내에 재치된 기판을 180℃ 이상 260℃ 이하, 더욱 바람직하게는 180℃ 이상 240℃ 이하로 유지하고, 처리실에 원료 가스를 도입하여 처리실 내에서의 압력을 100 Pa 이상 250 Pa 이하, 더욱 바람직하게는 100 Pa 이상 200 Pa 이하로 하고, 처리실 내에 재치되는 전극에 0.17 W/cm^2 이상 0.5 W/cm^2 이하, 더욱 바람직하게는 0.25 W/cm^2 이상 0.35 W/cm^2 이하의 고주파 전력을 공급하는 조건에 따라, 산화 실리콘막 또는 산화 질화 실리콘막을 형성한다.

[0203] 절연막(24b)의 성막 조건으로서 상기 압력의 처리실에서 상기 파워 밀도의 고주파 전력을 공급함으로써, 플라즈마 중에서 원료 가스의 분해 효율이 높아지고, 산소 라디칼이 증가되어, 원료 가스의 산화가 진행되기 때문에; 절연막(24b) 중에서의 산소 함유량이 화학량론비보다 많아진다. 한편, 기판 온도가 상기 온도로 형성된 막에서는, 실리콘과 산소의 결합력이 약하기 때문에, 후의 공정의 가열에 의해 산소의 일부가 탈리한다. 이 결과, 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함하여, 가열에 의해 산소의 일부가 탈리하는 산화 절연막을 형성할 수 있다. 또한, 산화물 반도체막(19) 위에 절연막(24a)이 제공되어 있다. 이 때문에, 절연막(24b)의 형성 공정에서, 절연막(24a)이 산화물 반도체막(19)에의 대미지 완화막으로서 기능한다. 이 결과, 산화물 반도체막(19)에의 대미지를 저감하면서, 파워 밀도가 높은 고주파 전력을 이용하여 절연막(24b)을 형성할 수 있다.

[0204] 가열하면서 절연막(24b)을 절연막(24a) 위에 형성함으로써, 산화물 반도체막(19)으로 산소를 이동시켜, 산화물 반도체막(19)에 포함되는 산소 결손을 보충하는 것이 가능하다. 또는, 절연막(24a) 위에 절연막(24b)을 형성한 후 가열 처리하는 것에 의해, 산소를 산화물 반도체막(19)으로 이동시켜, 산화물 반도체막(19)에 포함되는 산소 결손을 보충하는 것이 가능하다. 이 결과, 산화물 반도체막에 포함되는 산소 결손량을 저감시킬 수 있다.

[0205] 산화물 반도체막(19)의 백 채널(산화물 반도체막(19)에서, 게이트 전극(15)과 대향하는 면과 반대측의 면)에, 산소를 투과하는 산화 절연막을 사이에 끼우고, 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함한 산화 절연막을 제공함으로써, 산화물 반도체막(19)의 백 채널측에 산소를 이동시키는 것이 가능하고, 상기 영역의 산소 결손을 저감시킬 수 있다.

[0206] 절연막(24b)의 형성 공정에서, 산화물 반도체막(19)에 대미지가 들어가지 않는 경우는, 절연막(24a)을 제공하지 않고, 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함한 산화 절연막인 절연막(24b)만을 보호막으로서 제공해도 좋다.

[0207] 절연막(24b) 위에, 질화 절연막(25)이 형성되어 있다. 질화 절연막(25)을 제공함으로써, 질화 절연막으로부터 산화물 반도체막(19)으로의 수소 및 암모니아의 이동량이 적고, 산화물 반도체막(19) 중의 수소 및 질소의 농도를 저감시킬 수 있다. 또한, 트랜지스터(7) 위에는 질화 절연막(25)이 제공되어 있기 때문에, 외부로부터 산화물 반도체막(19)에의 물의 침입을 억제할 수 있다. 즉, 산화물 반도체막(19)에의 물에 포함되는 수소의 침입을 억제할 수 있다. 질화 절연막(25)의 산소 블로킹성이 높으면 절연막(24b)에 포함되는 산소가 외부로 이동하는 것을 억제할 수 있어 절연막(24b)에 포함되는 산소를 산화물 반도체막(19)에 이동시키는 것이 가능하기 때문에 바람직하다. 이상의 결과, 문턱 전압의 마이너스 시프트를 억제할 수 있음과 동시에, 전기 특성의 편차를 저감시킬 수 있다. 또한, 트랜지스터의 소스 및 드레인에서의 누출 전류, 대표적으로는, 오프 전류를 저감시키는 것이 가능하다. 또한, 경시 변화나 광 BT 스트레스 시험에 의한 전기 특성의 변동을 억제할 수 있다.

[0208] 평탄화막(27)은 아크릴 수지, 에폭시 수지, 벤조사이클로부테인 수지, 폴리이미드, 폴리아미드 등의 유기 재료를 이용할 수 있다. 또 상기 유기 재료 외에, 실리콘 수지 등을 이용할 수 있다. 단, 이러한 재료로 형성되는

절연막을 복수 적층시켜, 평탄화막을 형성해도 좋다.

[0209] 평탄화막(27)으로서 이용되는 유기 재료는 무기 절연막과 비교하여 물이나 기체를 포함하기 때문에, 가열 처리에 의해 상기 물이나 기체가 산화물 반도체막으로 이동하는 경우가 있다. 또한, 외부로부터의 물을 투과시키기 쉽다. 단, 평탄화막(27)을 형성하면, 상기 물이나 기체에 의해 산화물 반도체막을 포함하는 트랜지스터의 전기 특성 변동이 생겨 트랜지스터의 신뢰성이 저하할 가능성이 있다.

[0210] 따라서, 도 6의 (A) 및 도 6의 (B)에 나타내는 트랜지스터(7)와 같이, 트랜지스터(7)와 평탄화막(27)의 사이에, 물의 침입을 억제하는 기능을 갖는 질화 절연막(25)을 제공하는 것이 바람직하다.

[0211] 또한, 절연막(24b)과 평탄화막(27)과의 사이에 질화 절연막(25)을 제공함으로써, 질화 절연막(25) 및 평탄화막(27)의 밀착성이 향상되기 때문에, 바람직하다.

[0212] 도전막(29)은 한쌍의 전극(21)에 나타내는 재료를 적절히 이용할 수 있다. 도전막(29)은 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티탄을 포함한 인듐 산화물, 산화 티탄을 포함한 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 나타냄), 인듐 아연 산화물, 산화 규소를 포함한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 이용할 수 있다.

[0213] 게이트 절연막(18)으로서 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함한 산화 절연막을 이용해도 좋다. 게이트 절연막(18)에 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함한 산화 절연막을 이용함으로써, 산화물 반도체막(19) 및 게이트 절연막(18)의 계면에서의 계면 준위를 저감시키는 것이 가능하고, 문턱 전압의 마이너스 시프트, 및 트랜지스터의 전기 특성의 편차를 저감시킬 수 있다.

[0214] 실시형태 1의 도 2의 (C)의 공정에 나타내는, 산화물 반도체막(19) 위에 한쌍의 전극(21)을 형성한 후, 산화물 반도체막(19)을 산소 분위기에서 발생시킨 플라즈마에 노출하고, 산화물 반도체막(19)에 산소를 공급하여, 산소 결손이 적은 산화물 반도체막을 형성해도 좋다. 산소 분위기로서는, 산소, 오존, 일산화이질소, 이산화질소 등의 분위기가 있다. 또한, 플라즈마 처리에서, 기판(11)측에 바이어스를 인가하지 않은 상태에서 발생한 플라즈마에 산화물 반도체막(19)을 노출하는 것이 바람직하다. 이 결과, 산화물 반도체막(19)에 대미지를 주지 않고, 또한 산소를 공급하는 것이 가능하고, 산화물 반도체막(19)에 포함되는 산소 결손량을 저감시킬 수 있다. 또한, 한쌍의 전극(21)을 형성할 때의 에칭 처리에 의해 산화물 반도체막(19)의 표면에 잔존하는 불순물, 예를 들면, 불소, 염소 등의 할로겐 등을 제거할 수 있다.

[0215] 이상의 공정에 의해, 전기 특성의 변동이 억제되어 신뢰성이 향상된 트랜지스터를 제작할 수 있다. 또한, 경시변화나 광 BT 스트레스 시험에 의한 전기 특성의 변동이 적은, 대표적으로는, 문턱 전압의 변동이 작고, 신뢰성이 높은 트랜지스터를 제작할 수 있다.

[0216] 단, 본 실시형태에 나타내는 구성 및 방법 등은, 다른 실시형태 및 실시예에 나타내는 구성 및 방법 등과 적절히 조합하여 이용할 수 있다.

[0217] (실시형태 5)

[0218] 본 실시형태에서는, 실시형태 2와는 다른 게이트 절연막의 구조에 대하여, 도 7의 (A) 및 도 7의 (B)를 이용하여 설명한다.

[0219] 도 7의 (A) 및 도 7의 (B)에, 반도체 장치에 포함되는 트랜지스터(9)의 상면도 및 단면도를 나타낸다. 도 7의 (A)는 트랜지스터(9)의 상면도이며, 도 7의 (B)는 도 7의 (A)의 일점 쇄선 A-B간의 단면도이다. 단, 도 7의 (A)에서는 명료화를 위하여, 기판(31), 하지 절연막(33), 트랜지스터(9)의 구성 요소의 일부(예를 들면, 절연막(38a), 절연막(38b), 질화 절연막(39)), 평탄화막(43) 등을 생략하였다.

[0220] 도 7의 (A) 및 도 7의 (B)에 도시하는 트랜지스터(9)는, 하지 절연막(33) 위에 형성되는 산화물 반도체막(34)과, 산화물 반도체막(34)에 접촉하는 한쌍의 전극(35)을 포함한다. 또한, 절연막(38a), 절연막(38b), 및 질화 절연막(39)으로 구성되는 게이트 절연막(42)과, 게이트 절연막(42)을 사이에 끼우고 산화물 반도체막(34)과 중첩되는 게이트 전극(41)을 포함한다. 게이트 절연막(42) 및 게이트 전극(41)을 덮는 평탄화막(43)을 포함해도 좋다. 또한, 게이트 절연막(42) 및 평탄화막(43)의 개구부(47)에서, 한쌍의 전극(35)의 한쪽과 접촉하는 도전막(45)을 포함해도 좋다.

[0221] 본 실시형태에 나타내는 트랜지스터(9)에서, 산화물 반도체막(34)에 접촉하도록, 절연막(38a)이 형성되어 있다.

절연막(38a)은 산소를 투과하는 산화 절연막이다. 절연막(38a)은 실시형태 4에 나타내는 절연막(24a)을 적절히 이용할 수 있다.

[0222] 절연막(38a)으로서 산소를 투과하는 산화 절연막을 형성하면, 절연막(38a) 위에 제공되고, 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함한 산화 절연막으로부터 탈리되는 산소를, 절연막(38a)을 통하여 산화물 반도체막(34)으로 이동시킬 수 있다.

[0223] 절연막(38a)에 접촉하도록 절연막(38b)이 형성되어 있다. 절연막(38b)은 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함한 산화 절연막이다. 절연막(38b)으로서 실시형태 4에 나타내는 절연막(24b)을 적절히 이용할 수 있다.

[0224] 가열하면서 절연막(38b)을 절연막(38a) 위에 형성함으로써, 산화물 반도체막(34)으로 산소를 이동시켜, 산화물 반도체막(34)에 포함되는 산소 결손을 보충하는 것이 가능하다. 또는, 절연막(38a) 위에 절연막(38b)을 형성한 후 가열 처리하는 것에 의해, 산소를 산화물 반도체막(34)으로 이동시켜, 산화물 반도체막(34)에 포함되는 산소 결손을 보충하는 것이 가능하다. 이 결과, 산화물 반도체막에 포함되는 산소 결손량을 저감시킬 수 있다.

[0225] 게이트 절연막으로서 결함이 적은 절연막을 이용함으로써, 문턱 전압의 마이너스 시프트, 및 트랜지스터의 전기 특성의 편차를 저감시킬 수 있다.

[0226] 절연막(38b)의 형성 공정에서, 산화물 반도체막(34)에 대미지가 들어가지 않는 경우는, 절연막(38a)을 제공하지 않고, 가열에 의해 산소의 일부가 탈리하는 산화 절연막인 절연막(38b)만을 제공해도 좋다.

[0227] 절연막(38b) 위에, 질화 절연막(39)이 형성되어 있다. 질화 절연막(39)을 제공함으로써, 질화 절연막으로부터 산화물 반도체막(34)으로의 수소 및 암모니아의 이동량이 적고, 산화물 반도체막(34) 중의 수소 및 질소의 농도를 저감시킬 수 있다. 또한, 트랜지스터(9) 위에는 질화 절연막(39)이 제공되어 있기 때문에, 외부로부터 산화물 반도체막(34)으로의 물의 침입을 억제할 수 있다. 즉, 산화물 반도체막(34)에의 물에 포함되는 수소의 침입을 억제할 수 있다. 질화 절연막(39)의 산소 블로킹성이 높으면 절연막(38b)에 포함되는 산소가 외부로 이동하는 것을 억제할 수 있어 절연막(38b)에 포함되는 산소를 산화물 반도체막(34)으로 이동시키는 것이 가능하기 때문에 바람직하다. 이상의 결과, 문턱 전압의 마이너스 시프트를 억제할 수 있음과 동시에, 전기 특성의 편차를 저감시킬 수 있다. 또한, 트랜지스터의 소스 및 드레인에서의 누출 전류, 대표적으로는, 오프 전류를 저감시키는 것이 가능하다. 또한, 경시 변화나 광 BT 스트레스 시험에 의한 전기 특성의 변동을 억제할 수 있다.

[0228] 평탄화막(43)은 실시형태 4에 나타내는 평탄화막(27)의 재료를 적절히 이용할 수 있다.

[0229] 단, 절연막(38b)과 평탄화막(43)과의 사이에 질화 절연막(39)을 제공함으로써, 질화 절연막(39) 및 평탄화막(43)의 밀착성이 향상되기 때문에, 바람직하다.

[0230] 도전막(45)은 실시형태 4에 나타내는 도전막(29)의 재료를 적절히 이용할 수 있다.

[0231] 실시형태 4와 마찬가지로, 실시형태 2의 도 4의 (B)의 공정에 나타내는, 산화물 반도체막(34) 위에 한쌍의 전극(35)을 형성한 후, 산화물 반도체막(34)을 산소 분위기에서 발생시킨 플라즈마에 노출시키고, 산화물 반도체막(34)에 산소를 공급하여, 산소 결손이 적은 산화물 반도체막을 형성해도 좋다. 이 결과, 손상되지 않은 산소를 산화물 반도체막(34)에 공급하는 것이 가능하고; 따라서, 산화물 반도체막(34)에 포함되는 산소 결손량을 저감시킬 수 있다.

[0232] 이상의 공정에 의해, 전기 특성의 변동이 억제되어 신뢰성이 향상된 트랜지스터를 제작할 수 있다. 또한, 경시 변화나 광 BT 스트레스 시험에 의한 전기 특성의 변동이 적은, 트랜지스터를 제작할 수 있다. 대표적으로는, 문턱 전압의 변동이 작고, 신뢰성이 높은 트랜지스터를 제작할 수 있다.

[0233] 단, 본 실시형태에 나타내는 구성 및 방법 등은, 다른 실시형태 및 실시예에 나타내는 구성 및 방법 등과 적절히 조합하여 이용할 수 있다.

[0234] (실시형태 6)

[0235] 상기 실시형태에 일례를 나타낸 트랜지스터를 이용하여 표시 기능을 갖는 반도체 장치(표시 장치라고도 함)를 제작할 수 있다. 또한, 트랜지스터를 포함한 구동 회로의 일부 또는 전체를, 화소부와 같은 기판 위에 일체 형성하고, 시스템 온 패널을 형성할 수 있다. 본 실시형태에서는, 상기 실시형태에 일례를 나타낸 트랜지스터를

이용한 표시 장치의 예에 대하여, 도 8의 (A) 내지 도 8의 (C), 도 9의 (A) 및 도 9의 (B), 도 10 및 도 11의 (A) 내지 도 11의 (C)를 이용하여 설명한다. 도 9의 (A), 도 9의 (B), 및 도 10은 도 8의 (B) 중에서 M-N의 일점 쇄선으로 나타낸 부위의 단면 구성을 나타내는 단면도이다.

[0236] 도 8의 (A)에서, 제 1 기판(901) 위에 제공된 화소부(902)를 둘러싸도록 하여 시일재(905)가 제공되고, 제 2 기판(906)에 의해 밀봉되어 있다. 도 8의 (A)에서는 제 1 기판(901) 위의 시일재(905)에 의해 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 기판 위에 단결정 반도체 또는 다결정 반도체로 형성된 신호선 구동 회로(903), 및 주사선 구동 회로(904)가 실장되어 있다. 또한, 신호선 구동 회로(903), 주사선 구동 회로(904), 또는 화소부(902)에 공급할 수 있는 각종 신호 및 전위는, FPC(Flexible printed Circuit)(918a), FPC(918b)로부터 공급되고 있다.

[0237] 도 8의 (B) 및 도 8의 (C)에서, 제 1 기판(901) 위에 제공된 화소부(902)와 주사선 구동 회로(904)를 둘러싸도록 하여 시일재(905)가 제공되어 있다. 또한, 화소부(902)와, 주사선 구동 회로(904)의 위에 제 2 기판(906)이 제공되어 있다. 따라서 화소부(902)와, 주사선 구동 회로(904)는 제 1 기판(901)과 시일재(905)와 제 2 기판(906)에 의해, 표시 소자와 함께 밀봉되어 있다. 도 8의 (B) 및 도 8의 (C)에서는 제 1 기판(901) 위의 시일재(905)에 의해 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 기판 위에 단결정 반도체 또는 다결정 반도체로 형성된 신호선 구동 회로(903)가 실장되어 있다. 도 8의 (B) 및 도 8의 (C)에서는, 신호선 구동 회로(903), 주사선 구동 회로(904), 또는 화소부(902)에 공급되는 각종 신호 및 전위는 FPC(918)로부터 공급되고 있다.

[0238] 또한, 도 8의 (B) 및 도 8의 (C)에서는, 신호선 구동 회로(903)를 별도 형성하고, 제 1 기판(901)에 실장하고 있는 예를 나타내고 있지만, 이 구성으로 한정되지 않는다. 주사선 구동 회로를 별도 형성하여 실장해도 좋은 것으로 하고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성하여 실장해도 좋다.

[0239] 단, 별도 형성한 구동 회로의 접속 방법은 특별히 한정되는 것은 아니고, COG(Chip On Glass) 방법, 와이어 본딩 방법, 혹은 TAB(Tape Automated Bonding) 방법 등을 이용할 수 있다. 도 8의 (A)는 COG 방법에 의해 신호선 구동 회로(903), 주사선 구동 회로(904)를 실장하는 예이다. 도 8의 (B)는 COG 방법에 의해 신호선 구동 회로(903)를 실장하는 예이다. 도 8의 (C)는 TAB 방법에 의해 신호선 구동 회로(903)를 실장하는 예이다.

[0240] 표시 장치는 표시 소자가 밀봉된 상태에 있는 패널과, 이 패널에 콘트롤러를 포함한 IC 등을 실장한 상태에 있는 모듈을 포함한다.

[0241] 단, 본 명세서 중에서의 표시 장치란, 화상 표시 디바이스, 표시 디바이스, 혹은 광원(조명 장치 포함함)을 가리킨다. 또한, 표시 장치는 그 카테고리에 다음의 모듈을 포함한다: 커넥터, 예를 들면 FPC 혹은 TCP가 장착된 모듈; TCP의 끝에 프린트 배선판이 제공된 모듈; 또는 표시 소자에 COG 방식에 의해 IC(집적회로)가 직접 실장된 모듈도 모두 표시 장치에 포함하는 것으로 한다.

[0242] 제 1 기판 위에 제공된 화소부 및 주사선 구동 회로는 트랜지스터를 복수 포함하고 있고, 상기 실시형태에 나타낸 트랜지스터를 이용할 수 있다.

[0243] 표시 장치에 제공되는 표시 소자로서는 액정 소자(액정 표시 소자라고도 함), 발광 소자(발광 표시 소자라고도 함)를 이용할 수 있다. 발광 소자는 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고 있고, 구체적으로는 무기 EL(Electro Luminescence) 소자, 유기 EL 소자 등이 포함된다. 또한, 전자 잉크 등 전기적 작용에 의해 콘트라스트가 변화하는 표시 매체도 이용할 수 있다.

[0244] 도 9의 (A)에 도시하는 표시 장치는 접속 단자 전극(915) 및 단자 전극(916)을 포함하고 있다. 접속 단자 전극(915) 및 단자 전극(916)은 FPC(918)에 포함되는 단자와 이방성 도전제(919)를 통하여, 전기적으로 접속되어 있다.

[0245] 접속 단자 전극(915)은 제 1 전극(930)과 같은 도전막으로부터 형성되고, 단자 전극(916)은 트랜지스터(910, 911)의 한쌍의 전극과 같은 도전막으로 형성되어 있다.

[0246] 도 9의 (B)에 도시하는 표시 장치는 접속 단자 전극(915a, 915b) 및 단자 전극(916)을 포함한다. 접속 단자 전극(915a, 915b) 및 단자 전극(916)은 FPC(918)에 포함되는 단자와 이방성 도전제(919)를 통하여, 전기적으로 접속되어 있다.

[0247] 접속 단자 전극(915a)은 제 1 전극(930)과 같은 도전막으로 형성되고, 접속 단자 전극(915b)은 제 2 전극(941)과 같은 도전막으로 형성되고, 단자 전극(916)은 트랜지스터(910, 911)의 한쌍의 전극과 같은 도전막으로 형성

되어 있다.

[0248] 또한, 도 10에 도시하는 바와 같이, 반도체 장치는 접속 단자 전극(955) 및 단자 전극(916)을 포함하고 있고, 접속 단자 전극(955) 및 단자 전극(916)은 FPC(918)에 포함되는 단자와 이방성 도전제(919)를 통하여, 전기적으로 접속되어 있다.

[0249] 접속 단자 전극(955)은 제 2 전극(951)과 같은 도전막으로부터 형성되고, 단자 전극(916)은 트랜지스터(910, 911)의 한쌍의 전극과 같은 도전막으로 형성되어 있다.

[0250] 제 1 기판(901) 위에 제공된 화소부(902)와 주사선 구동 회로(904)는 트랜지스터를 복수 포함한다. 도 9의 (A), 도 9의 (B) 및 도 10에서는 화소부(902)에 포함되는 트랜지스터(910)와 주사선 구동 회로(904)에 포함되는 트랜지스터(911)를 예시하고 있다. 도 9의 (A)에서는, 트랜지스터(910) 및 트랜지스터(911) 위에는 실시형태 1에 나타내는 보호막(26) 또는 실시형태 4에 나타내는 보호막(28)에 상당하는 절연막(924)이 제공된다. 도 9의 (B)에서는 절연막(924)의 위에 평탄화막(921)이 더 제공되어 있다. 단, 절연막(923)은 하지막으로서 기능하는 절연막이다.

[0251] 본 실시형태에서는, 트랜지스터(910), 트랜지스터(911)로서 상기 실시형태에 설명한 트랜지스터를 이용할 수 있다.

[0252] 또한, 도 10에서는 절연막(924) 위에서 구동 회로용의 트랜지스터(911)의 산화물 반도체막의 채널 형성 영역과 중첩되는 위치에 도전막(917)이 제공되어 있는 예를 나타낸다. 본 실시형태에서는 도전막(917)을 제 1 전극(930)과 같은 도전막으로 형성한다. 도전막(917)을 산화물 반도체막의 채널 형성 영역과 중첩되는 위치에 제공함으로써, BT 스트레스 시험 전후에서의 트랜지스터(911)의 문턱 전압의 변동량을 더욱 저감시킬 수 있다. 도전막(917)의 전위는 트랜지스터(911)의 게이트 전극과 같아도 좋고, 상이하여도 좋고, 도전막을 제 2 게이트 전극으로서 기능시킬 수도 있다. 도전막(917)의 전위는 GND, 0 V, 혹은 플로팅 상태여도 좋다.

[0253] 또한, 도전막(917)은 외부의 전기장을 차폐하는 기능도 가진다. 즉 외부의 전기장이 내부(트랜지스터를 포함한 회로부)에 작용하지 않게 하는 기능(특히 정전기에 대한 정전 차폐 기능)도 가진다. 도전막(917)의 차폐 기능에 의해, 정전기 등의 외부의 전기장의 영향에 의해 트랜지스터의 전기적인 특성이 변동하는 것을 방지할 수 있다. 도전막(917)은 상기 실시형태에 나타낸, 어느 트랜지스터에도 이용할 수 있다.

[0254] 화소부(902)에 제공된 트랜지스터(910)는 표시 소자와 전기적으로 접속하여, 표시 패널을 구성한다. 표시 소자는 표시를 행할 수 있다면 특별히 한정되지 않고, 여러가지 표시 소자를 이용할 수 있다.

[0255] 표시 소자에 전압을 인가하는 제 1 전극 및 제 2 전극(화소 전극, 공통 전극, 대향 전극 등이라고도 함)에서는 추출하는 광의 방향, 전극이 제공되는 장소, 및 전극의 패턴 구조에 의해 투광성, 반사성을 선택하면 좋다.

[0256] 제 1 전극(930), 제 2 전극(931), 제 2 전극(941)은 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티탄을 포함한 인듐 산화물, 산화 티탄을 포함한 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 나타냄), 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 이용할 수 있다.

[0257] 또한, 제 1 전극(930), 제 2 전극(931), 제 2 전극(941)은 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오브(Nb), 탄탈(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티탄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 은(Ag) 등의 금속, 또는 그 합금, 혹은 그 금속 질화물로부터 1종, 또는 복수종을 이용하여 형성할 수 있다.

[0258] 제 1 전극(930), 제 2 전극(931), 제 2 전극(941)으로서 도전성 고분자(도전성 폴리머라고도 함)를 포함한 도전성 조성물을 이용하여 형성할 수 있다. 도전성 고분자로서는, 소위 π 전자 공액계 도전성 고분자를 이용할 수 있다. 예를 들면, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 혹은 아닐린, 피롤 및 티오펜의 2종 이상으로 이루어지는 공중합체 혹은 그 유도체 등을 들 수 있다.

[0259] 도 9의 (A) 및 도 9의 (B)에 표시 소자로서 액정 소자를 이용한 액정 표시 장치의 예를 나타낸다. 도 9의 (A)는 종전계 방식을 채용하는 예이다.

[0260] 도 9의 (A)에서, 표시 소자인 액정 소자(913)는 제 1 전극(930), 제 2 전극(931), 및 액정층(908)을 포함한다. 단, 액정층(908)을 협지하도록 배향막으로서 기능하는 절연막(932), 절연막(933)이 제공되어 있다. 또한, 제 2 전극(931)은 제 2 기판(906)측에 제공되고, 제 1 전극(930)과 제 2 전극(931)과는 액정층(908)을 사이에 끼우고

중첩되는 구성으로 되어 있다.

[0261] 도 9의 (B)는 횡전계 방식의 일례로서 FFS(Fringe Field Switching) 모드를 채용하는 예이다.

[0262] 도 9의 (B)에서, 표시 소자인 액정 소자(943)는 평탄화막(921) 위에 형성되는 제 1 전극(930), 제 2 전극(941), 및 액정층(908)을 포함한다. 제 2 전극(941)은 공통 전극으로서 기능한다. 제 1 전극(930) 및 제 2 전극(941)의 사이에는 절연막(944)이 제공되어 있다. 절연막(944)은 질화 실리콘막을 이용하여 형성한다. 액정층(908)을 협지하도록 배향막으로서 기능하는 절연막(932), 절연막(933)이 제공되어 있다.

[0263] 스페이서(935)는 절연막을 선택적으로 에칭하여 얻어지는 주상(柱狀)의 스페이서이며, 제 1 전극(930)과 제 2 전극(931)과의 간격(셀 갭)을 제어하기 위해 제공되어 있다. 또한 구상(球狀)의 스페이서를 이용하여도 좋다.

[0264] 표시 소자로서 액정 소자를 이용하는 경우, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 이용할 수 있다. 이러한 액정 재료는, 조건에 따라, 콜레스테릭상, 스멕틱상, 큐빅상, 카이럴 네마틱상, 등방상 등을 나타낸다.

[0265] 또한, 배향막을 이용하지 않는 블루상을 나타내는 액정을 이용해도 좋다. 블루상은 액정상의 하나이며, 콜레스테릭 액정을 승온해 가면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현하는 상이다. 블루상은 좁은 온도 범위에서밖에 발현하지 않기 때문에, 온도 범위를 개선하기 위하여 카이럴제를 혼합시킨 액정 조성물을 이용하여 액정층에 이용한다. 블루상을 나타내는 액정과 카이럴제를 포함한 액정 조성물은 응답 속도가 1 msec 이하로 짧고, 광학적 등방성이기 때문에 배향 처리가 불필요하고, 시야각 의존성이 작다. 또한, 배향막을 제공하지 않아도 되므로 러빙 처리도 불필요해지기 때문에, 러빙 처리에 의해 일어나는 정전 파괴를 방지할 수 있어, 제작 공정 중의 액정 표시 장치의 불량이나 파손을 경감할 수 있다. 따라서 액정 표시 장치의 생산성을 향상시키는 것이 가능하게 된다.

[0266] 제 1 기판(901) 및 제 2 기판(906)은 시일재(925)에 의해 고정되어 있다. 시일재(925)는 열경화 수지, 광경화 수지 등의 유기 수지를 이용할 수 있다.

[0267] 도 9의 (A)에 도시하는 액정 표시 장치에서, 시일재(925)는 게이트 절연막(922)과 접촉하고, 평탄화막(921)이 시일재(925)의 내측에 제공되어 있다. 단, 게이트 절연막(922)은 질화 실리콘막 및 산화 질화 실리콘막을 적층하여 형성한다. 또한, 절연막(924)을 선택적으로 에칭할 때에, 게이트 절연막(922)의 상층의 산화 질화 실리콘막을 에칭하여 질화 실리콘막을 노출시키는 것이 바람직하다. 이 결과, 시일재(925)와 게이트 절연막(922)에 형성되는 질화 실리콘막이 접촉하는 구조가 되어, 외부로부터 물이 시일재(925)의 내부로 침입하는 것을 억제할 수 있다.

[0268] 도 9의 (B)에 도시하는 액정 표시 장치에서, 시일재(925)는 절연막(924)과 접촉하고 있다. 평탄화막(921)이 시일재(925)의 내측에 제공되어 있음과 동시에, 시일재(925)와 절연막(924)의 표면의 질화 실리콘막이 접촉하기 때문에; 외부로부터 물이 시일재(925)의 내부로 침입하는 것을 억제할 수 있다.

[0269] 액정 표시 장치에 형성되는 유지 용량의 크기는 화소부에 제공되는 트랜지스터의 누출 전류 등을 고려하여, 소정의 기간의 사이 전하를 유지할 수 있도록 설정된다. 고순도의 산화물 반도체막을 포함하는 트랜지스터를 이용함으로써, 각 화소에서의 액정 용량에 대하여 1/3 이하, 바람직하게는 1/5 이하의 용량의 크기를 갖는 유지 용량을 제공하면 충분하기 때문에, 화소에서의 개구율을 높일 수 있다.

[0270] 표시 장치에서, 블랙 매트릭스(차광막), 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기판) 등은 적절히 제공한다. 예를 들면, 편광 기판 및 위상차 기판에 의한 원 편광을 이용해도 좋다. 또한, 광원으로서 백 라이트, 사이드 라이트 등을 이용해도 좋다.

[0271] 화소부에서의 표시 방식은 프로그래시브 방식이나 인터레이스 방식 등을 이용할 수 있다. 또한, 컬러 표시할 때에 화소에서 제어하는 색 요소로서는 삼색으로 한정되지 않는다: R, G, 및 B(R는 적, G는 녹, B는 청을 나타냄)의 삼색으로 한정되지 않는다. 예를 들면, RGBW(W는 백을 나타냄), 또는 RGB에, 옐로우, 시안, 마젠타 등을 일색 이상 추가한 것이 이용될 수 있다. 또한, 색 요소의 도트마다 그 표시 영역의 크기가 상이하여도 좋다. 단, 본 발명은 컬러 표시의 표시 장치로 한정되는 것은 아니고, 흑백 표시의 표시 장치에 적용할 수도 있다.

[0272] 도 11의 (A) 내지 도 11의 (C)에, 도 9의 (A)에 도시하는 표시 장치에서, 기판(906)에 제공된 제 2 전극(931)과 전기적으로 접속하기 위한 공통 접속부(패드부)를, 기판(901) 위에 형성하는 예를 나타낸다.

[0273] 단, 여기에서는 면적 사이즈가 크게 다르기 때문에, 화소부에서의 콘택트홀과 공통 접속부의 개구부와 구분하여

부르기로 한다. 또한, 도 9의 (A), 도 9의 (B) 및 도 11의 (A) 내지 도 11의 (C)에서는 화소부(902)와 공통 접속부를 같은 축척으로 도시하지 않는다. 예를 들면 공통 접속부의 일점 쇄선 I-J의 길이가 500㎛ 정도인데 비하여, 화소부(902)의 트랜지스터의 사이즈는 50㎛ 미만이며; 따라서, 실제로는 10배 이상 면적 사이즈가 크다. 하지만, 이해하기 쉽게 하기 위하여, 도 9의 (A), 도 9의 (B) 및 도 11의 (A) 내지 도 11의 (C)에서는 화소부(902)와 공통 접속부의 축척을 각각 바꾸어 도시하고 있다.

[0274] 공통 접속부는 기판(901)과 기판(906)을 접착하기 위해 시일재와 중첩되는 위치에 제공되고, 시일재에 포함되는 도전성 입자를 통하여 제 2 전극(931)과 전기적으로 접속된다. 또는, 시일재와 중첩되지 않는 개소(단, 화소부를 제외함)에 공통 접속부를 제공하고, 공통 접속부와 중첩되도록 도전성 입자를 포함한 페이스트를 시일재와는 별도 제공하여 제 2 전극(931)과 전기적으로 접속해도 좋다.

[0275] 도 11의 (A)는 공통 접속부의 단면도이며, 도 11의 (B)에 도시하는 상면도의 I-J에 상당한다.

[0276] 공통 전위선(975)은 게이트 절연막(922) 위에 제공되고, 도 9의 (A) 및 도 9의 (B)에 나타내는 트랜지스터(910)의 소스 전극(971) 또는 드레인 전극(973)과 같은 재료 및 같은 공정으로 형성된다.

[0277] 또한, 공통 전위선(975)은 절연막(924) 및 평탄화막(921)으로 덮이고, 절연막(924) 및 평탄화막(921)은 공통 전위선(975)과 중첩되는 위치에 복수의 개구부를 포함하고 있다. 이 개구부는 트랜지스터(910)의 소스 전극(971) 또는 드레인 전극(973)의 한쪽과, 제 1 전극(930)을 접속하는 콘택트홀과 같은 공정으로 형성된다.

[0278] 또한, 공통 전위선(975) 및 공통 전극(977)이 개구부를 통하여 접속한다. 공통 전극(977)은 평탄화막(921) 위에 제공되고, 접속 단자 전극(915)이나 화소부의 제 1 전극(930)과 같은 재료 및 같은 공정으로 형성된다.

[0279] 이와 같이, 화소부(902)의 스위칭 소자의 제작 공정과 공통시켜 공통 접속부를 제작할 수 있다.

[0280] 공통 전극(977)은 시일재에 포함되는 도전성 입자와 접촉하는 전극이며, 기판(906)의 제 2 전극(931)과 전기적으로 접속을 한다.

[0281] 또한, 도 11의 (C)에 도시하는 바와 같이, 공통 전위선(985)을 트랜지스터(910)의 게이트 전극과 같은 재료, 같은 공정으로 형성해도 좋다.

[0282] 도 11의 (C)에 도시하는 공통 접속부에서, 공통 전위선(985)은 게이트 절연막(922), 절연막(924), 및 평탄화막(921)의 하층에 제공되고, 게이트 절연막(922), 절연막(924), 및 평탄화막(921)은 공통 전위선(985)과 중첩되는 위치에 복수의 개구부를 포함한다. 이 개구부는 트랜지스터(910)의 소스 전극(971) 또는 드레인 전극(973)의 한쪽과 제 1 전극(930)을 접속하는 콘택트홀과 같은 공정으로 절연막(924) 및 평탄화막(921)을 에칭한 후, 게이트 절연막(922)을 선택적으로 더 에칭함으로써 형성된다.

[0283] 또한, 공통 전위선(985) 및 공통 전극(987)이 개구부에서 접속한다. 공통 전극(987)은 평탄화막(921) 위에 제공되고, 접속 단자 전극(915)이나 화소부의 제 1 전극(930)과 같은 재료 및 같은 공정으로 형성된다.

[0284] 단, 도 9의 (B)에 도시하는 FFS 모드의 액정 표시 장치에서, 공통 전극(977, 987)은 각각 제 2 전극(941)과 접속한다.

[0285] 다음에, 표시 장치에 포함되는 표시 소자로서 일렉트로 루미네선스를 이용하는 발광 소자를 이용할 수 있다. 일렉트로 루미네선스를 이용하는 발광 소자는 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라 구별된다. 일반적으로, 전자는 유기 EL 소자, 후자는 무기 EL 소자라고 불린다.

[0286] 유기 EL 소자는 발광 소자에 전압을 인가함으로써, 한쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되어 전류가 흐른다. 그러한 캐리어(전자 및 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 돌아올 때에 발광한다. 이러한 메카니즘으로 인하여, 이러한 발광 소자는 전류 여기형의 발광 소자라고 불린다.

[0287] 무기 EL 소자는 그 소자 구성에 따라, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 갖는 것이며, 발광 메카니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층으로 끼우고, 또한 그것을 전극으로 사이에 끼운 구조이며, 발광 메카니즘은 금속 이온의 내각 전자 천이를 이용하는 국재형 발광이다. 단, 여기에서는, 발광 소자로서 유기 EL 소자를 이용하여 설명한다.

[0288] 발광 소자는 발광을 추출하기 위하여, 적어도 한쌍의 전극의 한쪽이 투명하면 좋다. 그리고, 기판 위에 트랜지

스터 및 발광 소자를 형성한다. 기판과는 반대쪽의 면으로부터 발광을 추출하는 상면 사출(top emission)이나; 기판측의 면으로부터 발광을 꺼내는 하면 사출(bottom emission)이나; 기판측 및 기판과는 반대측의 면으로부터 발광을 추출하는 양면 사출 구조의 발광 소자가 있으며, 어느 사출 구조의 발광 소자도 이용할 수 있다.

[0289] 도 10에 표시 소자로서 발광 소자를 이용한 발광 장치의 예를 나타낸다. 표시 소자인 발광 소자(963)는 화소부(902)에 제공된 트랜지스터(910)와 전기적으로 접속하고 있다. 단 발광 소자(963)의 구성은 제 1 전극(930), 발광층(961), 제 2 전극(931)의 적층 구조이지만, 나타낸 구성으로 한정되지 않는다. 발광 소자(963)로부터 추출하는 광의 방향 등에 맞추어, 발광 소자(963)의 구성은 적절히 바꿀 수 있다.

[0290] 평탄화막(921)과 제 1 전극(930)의 사이에 질화 실리콘막(950)을 제공한다. 질화 실리콘막(950)은 평탄화막(921) 및 절연막(924)의 측면과 접촉한다. 질화 실리콘막(950) 및 제 1 전극(930)의 단부 위에 격벽(960)이 제공된다. 격벽(960)은 유기 절연 재료, 또는 무기 절연 재료를 이용하여 형성한다. 특히 감광성의 수지 재료를 이용하여 제 1 전극(930) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속된 곡률을 가지고 형성되는 경사면이 되도록 형성하는 것이 바람직하다.

[0291] 발광층(961)은 단수의 층을 가지도록 형성되어 있거나, 복수의 층을 포함하는 적층 구조를 가지도록 형성되어도 좋다.

[0292] 발광 소자(963)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록, 제 2 전극(931) 및 격벽(960) 위에 보호층을 형성해도 좋다. 보호층으로서는, 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 질화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, DLC막 등을 형성할 수 있다. 또한, 제 1 기판(901), 제 2 기판(906), 및 시일재(936)에 의해 밀봉된 공간에는 충전재(964)가 제공되고 밀봉되어 있다. 이와 같이 외기에 노출되지 않도록 기밀성이 높고, 탈가스가 적은 보호 필름(부착 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(밀봉)하는 것이 바람직하다.

[0293] 시일재(936)는 열경화 수지, 광경화 수지 등의 유기 수지나, 저융점 유리를 포함한 프릿 유리(fritted glass) 등을 이용할 수 있다. 프릿 유리는, 물이나 산소 등의 불순물에 대하여 장벽이 높기 때문에 바람직하다. 또한, 시일재(936)로서 프릿 유리를 이용하는 경우, 도 10에 도시하는 바와 같이, 질화 실리콘막(950) 위에 프릿 유리를 제공함으로써, 질화 실리콘막(950) 및 프릿 유리의 밀착성을 높임과 동시에, 외부로부터 시일재(936) 내부로의 물의 침입을 방해할 수 있다.

[0294] 충전재(964)로서는 질소나 아르곤 등의 불활성의 기체 외에, 자외선 경화 수지 또는 열경화 수지를 이용할 수 있고: PVC(폴리비닐 클로라이드), 아크릴 수지, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티랄) 또는 EVA(에틸렌 비닐 아세테이트)를 이용할 수 있다. 예를 들면 충전재로서 질소를 이용하면 좋다.

[0295] 필요하다면, 발광 소자의 사출면에 편광판, 또는 원 편광판(타원 편광판을 포함함), 위상차판(λ/4판, λ/2판), 컬러 필터 등의 광학 필름을 적절히 제공해도 좋다. 또한, 편광판 또는 원 편광판에 반사 방지막을 제공해도 좋다. 예를 들면, 표면의 요철에 의해 반사광을 확산하여, 비침을 저감시킬 수 있는 안티글레어(anti-glare) 처리를 할 수 있다.

[0296] 또한, 표시 장치로서 전자 잉크를 구동시키는 전자 페이퍼를 제공하는 것도 가능하다. 전자 페이퍼는 전기 영동 표시 장치(전기 영동 디스플레이)라고도 불리고, 종이와 같이 읽기에 편리하고, 다른 표시 장치에 비해 저소비 전력이며, 얇고 가벼운 형상으로 하는 것이 가능하다는 이점을 가진다.

[0297] 또한, 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 구동 회로 보호용의 보호 회로를 제공하는 것이 바람직하다. 보호 회로는 비선형 소자를 이용하여 형성하는 것이 바람직하다.

[0298] 이상과 같이 상기 실시형태에 나타낸 트랜지스터를 이용함으로써, 표시 기능을 갖는 신뢰성이 좋은 반도체 장치를 제공할 수 있다.

[0299] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0300] (실시형태 7)

[0301] 실시형태 1 내지 실시형태 6 중 어느 하나에 트랜지스터를 이용하여, 대상물의 정보를 판독하는 이미지 센서 기능을 갖는 반도체 장치를 제작할 수 있다.

[0302] 도 12의 (A)에 이미지 센서 기능을 갖는 반도체 장치의 일례를 나타낸다. 도 12의 (A)는 포토 센서의 등가 회로이며, 도 12의 (B)는 포토 센서의 일부를 나타내는 단면도이다.

[0303] 포토 다이오드(602)는 한쪽의 전극이 포토 다이오드 리셋 신호선(658)에, 다른 한쪽의 전극이 트랜지스터(640)의 게이트에 전기적으로 접속되어 있다. 트랜지스터(640)는 소스 또는 드레인의 한쪽이 포토 센서 기준 신호선(672)에, 소스 또는 드레인의 다른 한쪽이 트랜지스터(656)의 소스 또는 드레인의 한쪽에 전기적으로 접속되어 있다. 트랜지스터(656)는 게이트가 게이트 신호선(659)에, 소스 또는 드레인의 다른 한쪽이 포토 센서 출력 신호선(671)에 전기적으로 접속되어 있다.

[0304] 단, 본 명세서의 회로도에서, 산화물 반도체막을 이용하는 트랜지스터라고 명확하게 판명할 수 있도록, 산화물 반도체막을 포함하는 트랜지스터의 기호에는 "OS"라고 기재하고 있다. 도 12의 (A)에서, 트랜지스터(640), 트랜지스터(656)는 실시형태 1 내지 실시형태 6 중 어느 하나에 나타낸 트랜지스터를 적용할 수 있고, 산화물 반도체막을 포함하는 트랜지스터이다. 본 실시형태에서는 실시형태 4에 나타낸 트랜지스터(7)와 같은 구조를 갖는 트랜지스터를 적용하는 예를 나타낸다.

[0305] 도 12의 (B)는 포토 센서에서의 포토 다이오드(602) 및 트랜지스터(640)의 단면도이다. 절연 표면을 갖는 기판(601)(소자 기판) 위에, 센서로서 기능하는 포토 다이오드(602) 및 트랜지스터(640)가 제공되어 있다. 포토 다이오드(602), 트랜지스터(640)의 위에는 접착층(608)을 사이에 끼우고 기판(613)이 제공되어 있다.

[0306] 트랜지스터(640) 위에는 절연막(632), 평탄화막(633), 평탄화막(634)이 제공되어 있다. 포토 다이오드(602)는 평탄화막(633) 위에 형성된 전극(641b)과; 전극(641b) 위에 순차로 적층된 제 1 반도체막(606a), 제 2 반도체막(606b), 및 제 3 반도체막(606c)과; 평탄화막(634) 위에 제공되고, 제 1 내지 제 3 반도체막을 통하여 전극(641b)과 전기적으로 접속하는 전극(642)과; 전극(641b)과 같은 층에 제공되고, 전극(642)과 전기적으로 접속하는 전극(641a)을 포함하고 있다.

[0307] 전극(641b)은 평탄화막(634)에 형성된 도전막(643)과 전기적으로 접속하고, 전극(642)은 전극(641a)을 통하여 도전막(645)과 전기적으로 접속하고 있다. 도전막(645)은 트랜지스터(640)의 게이트 전극과 전기적으로 접속하고, 포토 다이오드(602)는 트랜지스터(640)와 전기적으로 접속하고 있다.

[0308] 여기에서는, 제 1 반도체막(606a)으로서 p형의 도전형을 갖는 반도체막과, 제 2 반도체막(606b)으로서 고저항인 반도체막(i형 반도체막), 제 3 반도체막(606c)으로서 n형의 도전형을 갖는 반도체막을 적층하는 pin형의 포토 다이오드를 예시하고 있다.

[0309] 제 1 반도체막(606a)은 p형 반도체막이며, p형을 부여하는 불순물 원소를 포함한 어모퍼스 실리콘막에 의해 형성할 수 있다. 제 1 반도체막(606a)의 형성에는 13족의 불순물 원소(예를 들면, 붕소의 (B))를 포함한 반도체 재료 가스를 이용하여, 플라즈마 CVD법에 의해 형성한다. 반도체 재료 가스로서는, 실레인(SiH_4)을 이용하면 좋다. 또는, Si_2H_6, SiH_2Cl_2, $SiHCl_3$, $SiCl_4$, SiF_4 등을 이용해도 좋다. 또한, 불순물 원소를 포함하지 않는 어모퍼스 실리콘막을 형성한 후에, 확산법이나 이온 주입법을 이용하여 이 어모퍼스 실리콘막에 불순물 원소를 도입해도 좋다. 이온 주입법 등에 의해 불순물 원소를 도입한 후에 가열 등을 행함으로써, 불순물 원소를 확산시키면 좋다. 이 경우에 어모퍼스 실리콘막을 형성하는 방법으로서는, LPCVD법, 기상 성장법, 또는 스퍼터링법 등을 이용하면 좋다. 제 1 반도체막(606a)의 막두께는 10 nm 이상 50 nm 이하가 되도록 형성하는 것이 바람직하다.

[0310] 제 2 반도체막(606b)은 i형 반도체막(진성 반도체막)이며, 어모퍼스 실리콘막에 의해 형성한다. 제 2 반도체막(606b)의 형성에는, 반도체 재료 가스를 이용하여, 어모퍼스 실리콘막을 플라즈마 CVD법에 의해 형성한다. 반도체 재료 가스로서는, 실레인(SiH_4)을 이용하면 좋다. 또는, Si_2H_6, SiH_2Cl_2, $SiHCl_3$, $SiCl_4$, SiF_4 등을 이용해도 좋다. 제 2 반도체막(606b)의 형성은 LPCVD법, 기상 성장법, 스퍼터링법 등에 의해 행하여도 좋다. 제 2 반도체막(606b)의 막두께는 200 nm 이상 1000 nm 이하가 되도록 형성하는 것이 바람직하다.

[0311] 제 3 반도체막(606c)은 n형 반도체막이며, n형을 부여하는 불순물 원소를 포함한 어모퍼스 실리콘막에 의해 형성한다. 제 3 반도체막(606c)의 형성에는 15족의 불순물 원소(예를 들면 인(P))를 포함한 반도체 재료 가스를 이용하여, 플라즈마 CVD법에 의해 형성한다. 반도체 재료 가스로서는 실레인(SiH_4)을 이용하면 좋다. 또는, Si_2H_6, SiH_2Cl_2, $SiHCl_3$, $SiCl_4$, SiF_4 등을 이용해도 좋다. 또한, 불순물 원소를 포함하지 않는 어모퍼스 실리콘막을 형성한 후에, 확산법이나 이온 주입법을 이용하여 이 어모퍼스 실리콘막에 불순물 원소를 도입해도 좋다. 이온 주입법 등에 의해 불순물 원소를 도입한 후에 가열 등을 행함으로써, 불순물 원소를 확산시키면 좋다. 이

경우에 어모퍼스 실리콘막을 형성하는 방법으로서는, LPCVD법, 기상 성장법, 또는 스퍼터링법 등을 이용하면 좋다. 제 3 반도체막(606c)의 막두께는 20 nm 이상 200 nm 이하가 되도록 형성하는 것이 바람직하다.

[0312] 제 1 반도체막(606a), 제 2 반도체막(606b), 및 제 3 반도체막(606c)은 어모퍼스 반도체가 아니라, 다결정 반도체를 이용하여 형성해도 좋고, 미결정(세미 어모퍼스(Semi Amorphous Semiconductor : SAS)) 반도체를 이용하여 형성해도 좋다.

[0313] 또한, 광전 효과로 발생한 정공의 이동도는 전자의 이동도에 비해 작다. 따라서, pin형의 포토 다이오드는 p형의 반도체막측을 수광면으로 하는 것이 좋은 특성을 나타낸다. 여기에서는, pin형의 포토 다이오드가 형성되어 있는 기판(601)의 면으로부터 포토 다이오드(602)에 의해 받는 광을 전기 신호로 변환하는 예를 나타낸다. 수광면으로 한 반도체막측과는 반대의 도전형을 갖는 반도체막측에서의 광은 외란광이 되기 때문에; 전극은 차광성을 갖는 도전막을 이용하여 형성되면 좋다. 단, n형의 반도체막측을 수광면으로서 이용할 수도 있다.

[0314] 절연막(632), 평탄화막(633), 평탄화막(634)으로서는, 절연성 재료를 이용하고, 그 재료에 따라, 스퍼터링법, 플라즈마 CVD법, 스핀 코트, 딥, 스프레이 도포, 액적 토출법(잉크젯법), 스크린 인쇄, 오프셋 인쇄 등을 이용하여 형성할 수 있다.

[0315] 평탄화막(633, 634)으로서는, 예를 들면 폴리이미드, 아크릴 수지, 벤조사이클로부테인계 수지, 폴리아미드, 에폭시 수지 등의 내열성을 갖는 유기 절연 재료를 이용할 수 있다. 또 상기 유기 절연 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등의 단층, 또는 적층을 이용할 수 있다.

[0316] 포토 다이오드(602)에 입사하는 광을 검출하는 것에 의해, 피검출물의 정보를 판독할 수 있다. 단, 피검출물의 정보를 판독할 때에 백 라이트 등의 광원을 이용할 수 있다.

[0317] 본 실시형태에 나타내는 구성, 방법 등은 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.

[0318] (실시형태 8)

[0319] 본 명세서에 개시하는 반도체 장치는 다양한 전자기기(유기기도 포함함)에 적용할 수 있다. 전자기기로서는, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대전화기, 휴대형 게임기, 휴대 정보 단말, 음향 재생장치, 유기기(파칭코기, 슬롯 머신 등), 게임 하우징을 들 수 있다. 이러한 전자기기의 구체적인 예를 도 13의 (A) 내지 도 13의 (C)에 나타낸다.

[0320] 도 13의 (A)는 표시부를 갖는 테이블(9000)을 나타낸다. 테이블(9000)은 하우징(9001)에 표시부(9003)가 조립되어 있어, 표시부(9003)에 의해 영상을 표시하는 것이 가능하다. 단, 하우징(9001)은 4개의 다리부(9002)에 의해 지지된다. 또한, 전력 공급을 위한 전원 코드(9005)가 하우징(9001)에 제공되어 있다.

[0321] 상기 실시형태 중 어느 하나에 나타내는 반도체 장치는, 표시부(9003)에 이용하는 것이 가능하고, 전자기기에 높은 신뢰성을 부여할 수 있다.

[0322] 표시부(9003)는 터치 입력 기능을 가지고 있다. 테이블(9000)의 표시부(9003)에 표시된 표시 버튼(9004)을 손가락 등으로 터치함으로써, 화면 조작이나 정보의 입력을 할 수 있다. 또한 다른 가전제품과의 통신을 가능하게 하거나, 또는 제어를 가능으로 함으로써, 화면 조작에 의해 다른 가전제품을 제어하는 제어장치로 해도 좋다. 예를 들면, 실시형태 7에 나타낸 이미지 센서 기능을 갖는 반도체 장치를 이용하면, 표시부(9003)에 터치 입력 기능을 갖게 할 수 있다.

[0323] 또한, 하우징(9001)에 제공된 경첩에 의해, 표시부(9003)의 화면을 마루에 대하여 수직으로 세울 수도 있고; 따라서, 텔레비전 장치로서도 이용할 수 있다. 좁은 방에서는 큰 화면의 텔레비전 장치를 설치하면 자유로운 공간이 좁아지게 되지만; 테이블에 표시부가 내장되어 있으면, 방의 공간을 효율적으로 이용할 수 있다.

[0324] 도 13의 (B)는 텔레비전 장치(9100)를 나타낸다. 텔레비전 장치(9100)는 하우징(9101)에 표시부(9103)가 조립되어 있고, 표시부(9103)에 의해 영상을 표시하는 것이 가능하다. 단, 여기에서는 스탠드(9105)에 의해 하우징(9101)을 지지한 구성을 나타낸다.

[0325] 텔레비전 장치(9100)의 조작은 하우징(9101)이 구비하는 조작 스위치나, 별체의 리모콘 조작기(9110)에 의해 행할 수 있다. 리모콘 조작기(9110)가 구비하는 조작키(9109)에 의해, 채널이나 음량의 조작을 행할 수 있어, 표시부(9103)에 표시되는 영상을 조작할 수 있다. 또한, 리모콘 조작기(9110)에 상기 리모콘 조작기(9110)로부터 출력하는 정보를 표시하는 표시부(9107)를 제공하는 구성으로 해도 좋다.

[0326] 도 13의 (B)에 도시하는 텔레비전 장치(9100)는 수신기나 모뎀 등을 구비하고 있다. 텔레비전 장치(9100)는 수신기에 의해 일반의 텔레비전 방송의 수신을 행할 수 있다. 또한 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 한방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 혹은 수신자들간 등)의 정보통신을 행하는 것도 가능하다.

[0327] 상기 실시형태 중 어느 하나에 나타내는 반도체 장치는 표시부(9103, 9107)에 이용하는 것이 가능하고, 텔레비전 장치, 및 리모콘 조작기에 높은 신뢰성을 부여할 수 있다.

[0328] 도 13의 (C)는 컴퓨터이며, 본체(9201), 하우징(9202), 표시부(9203), 키보드(9204), 외부 접속 포트(9205), 포인팅 디바이스(9206) 등을 포함한다.

[0329] 상기 실시형태 중 어느 하나에 나타내는 반도체 장치는 표시부(9203)에 이용하는 것이 가능하고, 컴퓨터에 높은 신뢰성을 부여할 수 있다.

[0330] 도 14의 (A) 및 도 14의 (B)는 반으로 접을 수 있는 태블릿형 단말이다. 도 14의 (A)는 펼친 상태이며, 태블릿형 단말은 하우징(9630), 표시부(9631a), 표시부(9631b), 표시 모드 전환 스위치(9034), 전원 스위치(9035), 전력 절약 모드 전환 스위치(9036), 클립(9033), 조작 스위치(9038)를 포함한다.

[0331] 상기 실시형태 중 어느 하나에 나타내는 반도체 장치는 표시부(9631a, 9631b)에 이용하는 것이 가능하고, 신뢰성이 높은 태블릿형 단말로 하는 것이 가능하게 된다.

[0332] 표시부(9631a)는 일부를 터치 패널의 영역(9632a)으로 할 수 있고, 표시된 조작키(9638)에 터치함으로써 데이터 입력을 할 수 있다. 또한, 표시부(9631a)에서는, 일례로서 반의 영역이 표시만의 기능을 갖는 구성, 다른 반의 영역이 터치 패널의 기능을 갖는 구성을 나타내고 있다. 하지만 이 구성으로 한정되지 않고, 표시부(9631a)의 모든 영역이 터치 패널의 기능을 갖는 구성으로 해도 좋다. 예를 들면, 표시부(9631a)의 전면을 키보드 버튼 표시시켜 터치 패널로 하고, 표시부(9631b)를 표시 화면으로서 이용할 수 있다.

[0333] 표시부(9631b)에서도 표시부(9631a)와 마찬가지로, 표시부(9631b)의 일부를 터치 패널의 영역(9632b)으로 할 수 있다. 터치 패널의 키보드 표시 전환 버튼(9639)이 표시되어 있는 위치에 손가락이나 스타일러스 등으로 터치함으로써 표시부(9631b)에 키보드 버튼 표시할 수 있다.

[0334] 터치 패널의 영역(9632a)과 터치 패널의 영역(9632b)에 대하여 동시에 터치 입력할 수도 있다.

[0335] 표시 모드 전환 스위치(9034)는 세로 표시 또는 가로 표시 등의 표시의 방향의 전환, 흑백 표시나 컬러 표시의 전환 등을 선택할 수 있다. 전력 절약 모드 전환 스위치(9036)는 태블릿형 단말에 내장되어 있는 광 센서로 검출되는 사용시의 외광의 광량에 따라 표시의 휘도를 최적의 것으로 할 수 있다. 태블릿형 단말은 광 센서뿐만 아니라, 자이로스코프, 가속도 센서 등의 기울기를 검출하는 센서 등의 다른 검출 장치를 포함해도 좋다.

[0336] 또한, 도 14의 (A)에서는 표시부(9631b)와 표시부(9631a)의 표시 면적이 같은 예를 나타내고 있지만 특별히 한정되지 않는다. 한쪽의 사이즈와 다른 한쪽의 사이즈가 상이하여도 좋고, 표시의 품질도 상이하여도 좋다. 예를 들면 한쪽이 다른 한쪽보다 고정밀 표시를 행할 수 있는 표시 패널로 해도 좋다.

[0337] 도 14의 (B)는 닫은 상태이며, 태블릿형 단말은 하우징(9630), 태양전지(9633), 충방전 제어 회로(9634)를 포함한다. 단, 도 14의 (B)에서는 충방전 제어 회로(9634)의 일례로서 배터리(9635), DCDC 컨버터(9636)를 포함하는 구성에 대하여 나타내고 있다.

[0338] 또한, 태블릿형 단말은 반으로 접을 수 있기 때문에, 미사용시에 하우징(9630)을 닫은 상태로 할 수 있다. 따라서, 표시부(9631a), 표시부(9631b)를 보호할 수 있기 때문에, 내구성이 뛰어나 장기 사용의 관점에서도 신뢰성이 뛰어난 태블릿형 단말을 제공할 수 있다.

[0339] 이 그 밖에도 도 14의 (A) 및 도 14의 (B)에 나타낸 태블릿형 단말은 여러가지 정보(정지화면, 동영상, 텍스트 화상 등)를 표시하는 기능, 캘린더, 날짜, 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 터치 입력 조작 또는 편집하는 터치 입력 기능, 여러가지 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 등

을 가질 수 있다.

[0340] 태블릿형 단말의 표면에 장착된 태양전지(9633)에 의해, 전력을 터치 패널, 표시부, 또는 영상 신호 처리부 등에 공급할 수 있다. 단, 태양전지(9633)는 하우징(9630)의 한 면 또는 양면에 제공할 수 있어, 배터리(9635)의 충전을 효율적으로 행할 수 있다. 배터리(9635)로서는 리튬 이온 배터리를 이용하면, 소형화를 도모할 수 있다는 등의 이점이 있다.

[0341] 도 14의 (B)에 도시하는 충방전 제어 회로(9634)의 구성, 및 동작에 대하여 도 14의 (C)에 블럭도를 나타내어 설명한다. 도 14의 (C)에는 태양전지(9633), 배터리(9635), DCDC 컨버터(9636), 컨버터(9637), 스위치(SW1) 내지 스위치(SW3), 표시부(9631)에 대하여 나타내고 있고, 배터리(9635), DCDC 컨버터(9636), 컨버터(9637), 스위치(SW1) 내지 스위치(SW3)가 도 14의 (B)에 도시하는 충방전 제어 회로(9634)에 대응하는 개소가 된다.

[0342] 우선 외광에 의해 태양전지(9633)에 의해 발전이 되는 경우의 동작의 예에 대하여 설명한다. 태양전지로 발전한 전력은 배터리(9635)를 충전하기 위한 전압이 되도록 DCDC 컨버터(9636)로 승압 또는 강압이 이루어진다. 그리고, 표시부(9631)의 동작에 태양전지(9633)로부터의 전력이 이용될 때에는 스위치(SW1)를 온으로 하고, 컨버터(9637)로 표시부(9631)에 필요한 전압으로 승압 또는 강압을 하게 된다. 또한, 표시부(9631)에서의 표시를 행하지 않을 때는 스위치(SW1)를 오프로 하고, 스위치(SW2)를 온으로 하여 배터리(9635)의 충전을 행하는 구성으로 하면 좋다.

[0343] 또한 태양전지(9633)에 대해서는, 발전 수단의 일례로서 나타냈지만; 특별히 한정되지 않고, 압전 소자(피에조 소자)나 열전변환 소자(페르티에 소자) 등의 다른 발전 수단에 의한 배터리(9635)의 충전을 행하는 구성이어도 좋다. 예를 들면, 무선(비접촉)으로 전력을 송수신하여 충전하는 무접점 전력 전송 모듈이나, 또 다른 충전 수단을 조합하여 행하는 구성으로 해도 좋다.

[0344] 본 실시형태에 나타내는 구성, 방법 등은 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.

[0345] [실시예 1]

[0346] 본 실시예에서는, 본 발명의 일 양태에 따른 트랜지스터에 이용할 수 있는, 질화 절연막을 평가한 결과에 대하여 설명한다. 상세하게는, 가열에 의한 수소 분자의 방출량, 가열에 의한 암모니아 분자의 방출량 및 가열에 의한 물 분자의 방출량을 평가한 결과에 대하여 설명한다.

[0347] 처음에, 평가한 시료의 제작 방법을 설명한다. 제작한 시료는 구조 1 및 구조 2이다.

[0348] 구조 1은 실리콘 웨이퍼(991) 위에 실시형태 1에 나타내는 질화 절연막(25)(도 1 참조)에 이용할 수 있는 형성 조건을 이용하고, 플라즈마 CVD법에 의해 질화 실리콘막(993)을 형성하여 제작된다(도 15의 (A) 참조).

[0349] 질화 실리콘막(993)은 조건 1 내지 조건 3의 3조건을 이용하여 형성한다. 조건 1을 이용하여 형성된 시료를 시료 A1이라고 한다. 조건 2를 이용하여 형성된 시료를 시료 A2라고 한다. 조건 3을 이용하여 형성된 시료를 시료 A3이라고 한다. 또한, 시료 A1 내지 시료 A3 모두 질화 실리콘막(993)의 두께를 50 nm로 했다.

[0350] 조건 1은 다음과 같다: 실리콘 웨이퍼(991)를 유지하는 온도를 220℃로 하고; 유량 50 sccm의 실레인과 유량 5000 sccm의 질소와 유량 100 sccm의 암모니아를 원료 가스로 하고; 처리실 내의 압력을 200 Pa로 하고; 평행 평판 전극에 공급하는 고주파 전력을 27.12 MHz, 1000 W(전력 밀도로서는 1.6×10^{-1} W/cm^2)로 했다. 암모니아의 유량에 대한 질소의 유량비는 50이다.

[0351] 조건 2는 평행 평판 전극에 공급되는 고주파 전력을 150 W(전력 밀도로서는, 2.5×10^{-2} W/cm^2)인 것을 제외하고 조건 1과 같다.

[0352] 조건 3은 다음과 같다: 실리콘 웨이퍼(991)를 유지하는 온도를 220℃로 하고; 유량 30 sccm의 실레인과 유량 1500 sccm의 질소와 유량 1500 sccm의 암모니아를 원료 가스로 하고; 처리실 내의 압력을 200 Pa로 하고; 평행 평판 전극에 공급하는 고주파 전력을 27.12 MHz, 150 W(전력 밀도로서는 2.5×10^{-2} W/cm^2)로 했다. 암모니아의 유량에 대한 질소의 유량비는 1이다.

[0353] 시료 A1 내지 시료 A3에 대하여 TDS 분석(승온 탈리 가스 분석)을 행하였다. 각 시료에서 실리콘 웨이퍼(991)

를 65℃ 이상 610℃ 이하로 가열했다.

[0354] TDS 분석의 결과를 나타내는 곡선에서의 피크는 분석한 시료(본 실시예에서는 시료 A1 내지 시료 A3)에 포함되는 원자 또는 분자가 외부로 방출됨으로써 나타나는 피크이다. 외부로 방출되는 원자 또는 분자의 총량은 상기 피크의 적분치에 상당한다. 그러므로, 상기 피크 강도의 높낮이에 따라 질화 실리콘막에 포함되는 원자 또는 분자의 총량을 평가할 수 있다.

[0355] 시료 A1 내지 시료 A3에 대한 TDS 분석 결과를 도 16의 (A) 내지 도 16의 (C) 및 도 17의 (A) 및 도 17의 (B)에 나타낸다. 도 16의 (A)는 기판 온도에 대한 M/z = 2인 기체, 대표적으로는 수소 분자의 방출량을 나타낸 그래프이다. 도 16의 (B)는 기판 온도에 대한 M/z = 18인 기체, 대표적으로는 물 분자의 방출량을 나타낸 그래프이다. 도 16의 (C)는 도 16의 (A)의 곡선의 피크의 적분치로부터 산출한 수소 분자의 방출량을 나타낸 그래프이다. 도 17의 (A)는 기판 온도에 대한 M/z = 17인 기체, 대표적으로는 암모니아 분자의 방출량을 나타낸 그래프이다. 도 17의 (B)는 도 17의 (A)의 곡선의 피크의 적분치로부터 산출한 암모니아 분자의 방출량을 나타낸 그래프이다. 본 TDS 분석에서의 수소 분자의 검출 하한은 1.0×10^{21} 분자/cm^3 이하이며, 암모니아 분자의 검출 하한은 2.0×10^{20} 분자/cm^3이다.

[0356] 도 16의 (A)로부터, 수소 분자의 TDS 강도는 시료 A2 쪽이 시료 A1 및 시료 A3보다 높다고 확인되었다. 그리고, 도 16의 (C)로부터, 시료 A2의 기판 온도에 대한 수소 분자의 방출량은 시료 A1 및 시료 A3의 5배 정도라고 확인되었다. 또한, 도 16의 (B)로부터, 시료 A1 내지 시료 A3은 기판 온도 100℃ 이상 200℃ 이하의 범위에 물 분자의 방출을 나타내는 피크가 확인되었다. 단, 시료 A3만 상기 범위에 날카로운 피크가 검출되었다.

[0357] 한편, 도 17의 (A)로부터, 암모니아 분자의 TDS 강도는 시료 A3 쪽이 시료 A1 및 시료 A2보다 높은 것이 확인되었다. 도 17의 (B)로부터, 기판 온도에 대한 암모니아 분자의 방출량은 시료 A3가 시료 A1 및 시료 A2의 적어도 약 16배 이상인 것이 확인되었다. 시료 A2의 암모니아 분자의 방출량은 검출 하한 이하였다.

[0358] 다음에, 제작한 시료 중, 구조 2에 대하여 설명한다. 구조 2는 실리콘 웨이퍼(991) 위에 실시형태 4에 나타내는 절연막(24b)(도 6 참조)에 이용할 수 있는 형성 조건을 이용하여 플라즈마 CVD법에 의해 산화 질화 실리콘막(995)을 형성하고, 산화 질화 실리콘막(995) 위에 구조 1과 마찬가지로 하여 질화 실리콘막(993)을 형성하여 제작된다(도 15의 (B) 참조).

[0359] 구조 2에 대하여, 질화 실리콘막(993)에서의 물의 이동을 억제하는 효과를 평가하기 위해, 산화 질화 실리콘막(995)은 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함한 산화 질화 실리콘막으로 했다. 여기서, 실리콘 웨이퍼 위에 두께 400 nm의 산화 질화 실리콘막(995)만을 형성한 시료에 대하여 TDS 분석(승온 탈리 가스 분석)을 실시한 결과를 도 19의 (A) 및 도 19의 (B)에 나타낸다. 각 시료에서, 실리콘 웨이퍼(991)를 70℃ 이상 570℃ 이하로 가열했다. 도 19의 (A)는 기판 온도에 대한 M/z = 32인 기체, 대표적으로는 산소 분자의 방출량을 나타낸 그래프이다. 도 19의 (B)는 기판 온도에 대한 M/z = 18인 기체, 대표적으로는 물 분자의 방출량을 나타낸 그래프이다. 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함한 산화 질화 실리콘막은 막 중에 산소가 포함되어 있음과 동시에(도 19의 (A) 참조), 물도 포함되어 있다(도 19의 (B) 참조); 이 때문에, 시료 A4 내지 시료 A6에서, 기판 온도에 대한 물 분자의 방출량을 평가함으로써 질화 실리콘막(993)에 물의 이동을 억제하는 효과가 있는지 여부를 평가할 수 있다.

[0360] 산화 질화 실리콘막(995)의 형성 조건은 다음과 같다: 실리콘 웨이퍼(991)를 유지하는 온도를 220℃로 하고; 유량 160 sccm의 실레인과 유량 4000 sccm의 일산화질소를 원료 가스로 하고; 처리실 내의 압력을 200 Pa로 하고; 평행 평판 전극에 공급하는 고주파 전력을 27.12 MHz, 1500 W(전력 밀도로서는 2.5×10^{-1} W/cm^2)로 했다. 산화 질화 실리콘막(995)의 두께는 400 nm로 했다.

[0361] 구조 2에서 질화 실리콘막(993)은 상기 조건 1 내지 조건 3의 3조건을 이용하여 형성했다. 구조 2를 가지고 조건 1을 이용하여 형성된 시료를 시료 A4라고 한다. 구조 2를 가지고 조건 2를 이용하여 형성된 시료를 시료 A5라고 한다. 구조 2를 가지고 조건 3을 이용하여 형성된 시료를 시료 A6이라고 한다. 시료 A4 내지 시료 A6 모두 질화 실리콘막(993)의 두께는 50 nm로 했다. 조건 1 내지 조건 3의 상세한 사항은 구조 1의 경우와 같다.

[0362] 구조 2에서 물의 이동을 억제하는 효과를 평가하기 위하여, 시료 A4 내지 시료 A6에 대하여 TDS 분석(승온 탈리 가스 분석)을 행하였다. 각 시료에서 실리콘 웨이퍼(991)를 70℃ 이상 580℃ 이하로 가열했다.

[0363] 시료 A4 내지 시료 A6에 대한 TDS 분석 결과를 도 18의 (A) 및 도 18의 (B)에 나타낸다. 도 18의 (A)는 기판 온도에 대한 수소 분자의 방출량을 나타낸 그래프이다. 도 18의 (B)는 기판 온도에 대한 물 분자의 방출량을

나타낸 그래프이다.

[0364] 도 18의 (A)로부터, 수소 분자의 TDS 강도는 시료 A5 쪽이 시료 A4 및 시료 A6보다 높다는 것이 확인되었다. 도 18의 (B)로부터, 물 분자의 TDS 강도는 작은 피크를 확인할 수 있지만; 시료 A4 내지 시료 A6에서 큰 차이는 볼 수 없었다.

[0365] 구조 2에서, 시료 A4 내지 시료 A6은 물을 포함한 산화 질화 실리콘막(995)이 있음에도 불구하고, 물 분자의 탈리를 나타내는 피크의 강도는 매우 낮은 것을 확인할 수 있었다. 따라서, 시료 A4 내지 시료 A6의 각 조건은 물의 이동을 억제하는 효과를 갖는 절연막을 형성할 수 있는 조건이라고 할 수 있다.

[0366] 그러나, 시료 A5와 같은 조건을 이용한 질화 실리콘막을 포함하는 시료 A2는 수소 분자의 방출량이 많고, 시료 A3는 암모니아 분자의 방출량이 많다. 산화물 반도체를 포함하는 트랜지스터에서, 산화물 반도체막에 수소 및 질소가 포함되면, 산화물 반도체막에서 캐리어인 전자가 발생하여, 트랜지스터가 노멀리 온 특성이 된다. 이것으로부터, 수소 분자, 및 질소의 공급원인 암모니아 분자는 모두, 트랜지스터의 전기 특성을 변동시키는 불순물이다. 예를 들면, 시료 A3과 같이 암모니아 분자의 방출량이 많다는 것은 질소 공급원이 많다는 것이고, 그러한 절연막을 트랜지스터 위에 형성함으로써, 또는 트랜지스터의 게이트 절연막에 형성함으로써, 트랜지스터는 노멀리 온 특성이 된다.

[0367] 따라서, 산화물 반도체막을 포함하는 트랜지스터 위에, 시료 A1 및 시료 A4에서 이용한 조건 1에 의해 형성하는 질화 실리콘막과 같이, 수소 분자의 방출량 및 암모니아 분자의 방출량이 적은 질화 절연막이 제공된다. 결과적으로, 전기 특성 변동을 억제한 트랜지스터, 또는 신뢰성을 향상시킨 트랜지스터를 제작할 수 있다. 또한, 산화물 반도체막을 포함하는 트랜지스터의 게이트 절연막에서, 시료 A1 및 시료 A4에서 이용한 조건 1에 의해 형성하는 질화 실리콘막과 같이, 수소 분자의 방출량 및 암모니아 분자의 방출량이 적은 질화 절연막을 제공함으로써, 전기 특성 변동을 억제한 트랜지스터, 또는 신뢰성을 향상시킨 트랜지스터를 제작할 수 있다.

[0368] 다음에, 상기 조건 1 내지 조건 3을 이용하여 형성된 질화 실리콘막을 포함하는 트랜지스터를 제작하여, Vg-Id 특성을 측정했다.

[0369] 먼저, 시료 B1 내지 시료 B3에 포함되는 트랜지스터의 제작 공정에 대하여 설명한다. 본 실시예에서는 도 2의 (A) 내지 도 2의 (D)를 참조하여 설명한다.

[0370] 우선, 도 2의 (A)에 도시하는 바와 같이, 기판(11)으로서 유리 기판을 이용하여 기판(11) 위에 게이트 전극(15)을 형성했다.

[0371] 스퍼터링법으로 두께 100 nm의 텅스텐막을 형성하고, 포토리소그래피 공정에 의해 이 텅스텐막 위에 마스크를 형성하고, 이 마스크를 이용하여 이 텅스텐막의 일부를 에칭하여, 게이트 전극(15)을 형성했다.

[0372] 다음에, 게이트 전극(15) 위에 게이트 절연막(18)을 형성했다.

[0373] 게이트 절연막으로서, 두께 50 nm의 질화 실리콘막, 및 두께 200 nm의 산화 질화 실리콘막을 적층하여 형성했다. 상기 질화 실리콘막은 다음의 조건으로 형성된다: 실레인 50 sccm, 질소 5000 sccm를 플라즈마 CVD 장치의 처리실에 공급하고; 처리실 내의 압력을 60 Pa로 제어하고; 27.12 MHz의 고주파 전원을 이용하여 150 W의 전력을 공급하여 형성했다. 상기 산화 질화 실리콘막은 다음의 조건으로 형성된다: 실레인 20 sccm, 일산화이질소 3000 sccm를 플라즈마 CVD 장치의 처리실에 공급하고; 처리실 내의 압력을 40 Pa로 제어하고; 27.12 MHz의 고주파 전원을 이용하여 100 W의 전력을 공급하여 형성했다. 단, 상기 질화 실리콘막 및 상기 산화 질화 실리콘막은 기판 온도를 350℃로 하여 형성했다.

[0374] 다음에, 게이트 절연막(18)을 사이에 끼우고 게이트 전극(15)과 중첩되는 산화물 반도체막(19)을 형성했다.

[0375] 여기에서는, 게이트 절연막(18) 위에 CAAC-OS막인 IGZO막을 스퍼터링법으로 형성하고, 포토리소그래피 공정에 의해 이 IGZO막 위에 마스크를 형성하고, 이 마스크를 이용하여 이 IGZO막의 일부를 에칭했다. 그 후, 에칭된 IGZO막에 가열 처리를 행하여, 산화물 반도체막(19)을 형성했다. 단, 본 실시예에서는 두께 35 nm의 IGZO막을 형성했다.

[0376] IGZO막은 스퍼터링 타겟을 In : Ga : Zn = 1 : 1 : 1(원자수비)의 타겟으로 하고, 스퍼터링 가스로서 50 sccm의 Ar과 50 sccm의 산소를 스퍼터링 장치의 처리실 내에 공급하고, 처리실 내의 압력을 0.6 Pa로 제어하고, 5 kW의 직류 전력을 공급하여 형성했다. 단, IGZO막을 형성할 때의 기판 온도는 170℃로 했다.

[0377] 다음에, 가열 처리를 행하여, 산화물 반도체막에 포함되는 물, 수소 등을 방출시켰다. 여기에서는, 질소 분위

기에서 450℃, 1시간의 가열 처리를 행한 후, 질소 및 산소 분위기에서 450℃, 1시간의 가열 처리를 행하였다.

[0378] 여기까지의 공정으로 얻어진 구성은 도 2의 (B)를 참조할 수 있다.

[0379] 다음에, 게이트 절연막(18)의 일부를 에칭하여 게이트 전극이 노출된 후(도 시하지 않음), 도 2의 (C)에 도시하는 바와 같이, 산화물 반도체막(19)에 접촉하는 한쌍의 전극(21)을 형성했다.

[0380] 게이트 절연막(18) 및 산화물 반도체막(19) 위에 도전막을 형성하고, 포토리소그래피 공정에 의해 이 도전막 위에 마스크를 형성하고, 이 마스크를 이용하여 이 도전막의 일부를 에칭하여, 한쌍의 전극(21)을 형성했다. 단, 이 도전막은 두께 50 nm의 텅스텐막 위에 두께 400 nm의 알루미늄막을 형성하고, 이 알루미늄막 위에 두께 100 nm의 티탄막을 형성했다.

[0381] 다음에, 감압된 처리실에 기판을 이동하여, 220℃로 가열한 후, 일산화이질소가 충전된 처리실로 기판을 이동시켰다. 다음에, 처리실에 제공되는 상부 전극에 27.12 MHz의 고주파 전원을 이용하여 150 W의 고주파 전력을 공급하여 발생시킨 산소 플라즈마에 산화물 반도체막(19)을 노출했다.

[0382] 다음에, 상기 플라즈마 처리 후, 대기에 노출시키지 않고, 연속적으로 산화물 반도체막(19) 및 한쌍의 전극(21) 위에 절연막(23)을 형성했다. 두께 50 nm의 제 1 산화 질화 실리콘막 및 두께 400 nm의 제 2 산화 질화 실리콘막을 적층하여 형성했다.

[0383] 제 1 산화 질화 실리콘막으로서는, 유량 30 sccm의 실레인 및 유량 4000 sccm의 일산화이질소를 원료 가스로 하고, 처리실의 압력을 40 Pa, 기판 온도를 220℃로 하고, 150 W의 고주파 전력을 평행 평판 전극에 공급한 플라즈마 CVD법에 의해 형성했다.

[0384] 제 2 산화 질화 실리콘막은 다음의 조건 하에서 플라즈마 CVD법에 의해 형성된다: 유량 160 sccm의 실레인 및 유량 4000 sccm의 일산화이질소를 원료 가스로 하고, 처리실의 압력을 200 Pa, 기판 온도를 220℃로 하고, 1500 W의 고주파 전력을 평행 평판 전극에 공급한 플라즈마 CVD법에 의해 형성했다. 상기 조건에 따라, 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함하여, 가열에 의해 산소의 일부가 탈리하는 산화 질화 실리콘막을 형성할 수 있다.

[0385] 다음에, 가열 처리를 행하여, 절연막(23)으로부터 물, 수소 등을 방출시켰다. 여기에서는, 질소 및 산소 분위기에서, 350℃, 1시간의 가열 처리를 행하였다.

[0386] 다음에, 도 2의 (D)에 도시하는 바와 같이, 절연막(23) 위에 질화 절연막(25)을 형성했다.

[0387] 시료 B1에서, 질화 절연막(25)으로서, 시료 A1의 조건 1을 이용한 질화 실리콘막을 형성했다.

[0388] 시료 B2에서, 질화 절연막(25)으로서, 시료 A2의 조건 2를 이용한 질화 실리콘막을 형성했다.

[0389] 시료 B3에서, 질화 절연막(25)으로서, 시료 A3의 조건 3을 이용한 질화 실리콘막을 형성했다.

[0390] 다음에, 도시하지 않았지만, 절연막(23) 및 질화 절연막(25)의 일부를 에칭하여, 한쌍의 전극의 일부를 노출하는 개구부를 형성했다.

[0391] 다음에, 질화 절연막(25) 위에 평탄화막을 형성했다(도시하지 않음). 여기에서는, 조성물을 질화 절연막(25) 위에 도포한 후, 노광 및 현상을 행하여, 한쌍의 전극의 일부를 노출하는 개구부를 갖는 평탄화막을 형성했다. 단, 평탄화막으로서 두께 1.5㎛의 아크릴 수지를 형성했다. 이 후, 가열 처리를 행하였다. 상기 가열 처리는 온도를 250℃로 하고, 질소를 포함한 분위기에서 1시간 행하였다.

[0392] 다음에, 한쌍의 전극의 일부에 접속하는 도전막을 형성했다(도시하지 않음). 여기에서는, 스퍼터링법에 의해 두께 100 nm의 산화 실리콘을 포함한 ITO를 형성했다.

[0393] 이상의 공정에 의해, 시료 B1 내지 시료 B3에서 트랜지스터를 제작했다.

[0394] 다음에, 시료 B1 내지 시료 B3의 트랜지스터의 Vg-Id 특성을 측정했다.

[0395] 다음에, 내습 평가의 가속 수명 시험으로서 PCT(Pressure Cooker Test)를 행하였다. 본 실시예에서는 PCT로서, 시료 B1 내지 시료 B3를 다음의 조건 하에서 15시간 유지했다: 온도 130℃, 습도 85%, 압력 0.23 MPa의 조건에서 15시간 유지했다.

[0396] 시료 B1 내지 시료 B3에 포함되는 트랜지스터의 Vg-Id 특성의 초기 특성, 및 PCT 후의 시료 B1 내지 시료 B3에 포함되는 트랜지스터 각각의 Vg-Id 특성을 도 20의 (A) 내지 도 20의 (C), 도 21의 (A) 내지 도 21의 (C) 및

도 22의 (A) 내지 도 22의 (C)에 나타낸다.

[0397] 단, 각 시료에서, 채널 길이(L)가 2㎛, 채널 폭(W)이 50㎛인 트랜지스터(1)와, 채널 길이(L)가 6㎛, 채널 폭(W)이 50㎛인 트랜지스터(2) 각각의 Vg-Id 특성을 측정했다. 각 시료 B1 내지 B3에서, 트랜지스터(1)의 초기 특성을 도 20의 (A), 도 21의 (A) 및 도 22의 (A)에 나타내고, 각 시료 B1 내지 B3에서 트랜지스터(2)의 초기 특성을 도 20의 (B), 도 21의 (B) 및 도 22의 (B)에 나타내고, 트랜지스터(2)의 PCT 후의 Vg-Id 특성을 도 20의 (C), 도 21의 (C) 및 도 22의 (C)에 나타낸다. 또한, 각 시료에서, 기판 내에 같은 구조의 24개의 트랜지스터를 제작했다.

[0398] 도 21의 (A)에 도시하는 Vg-Id 특성은 스위칭 특성을 갖지 않는다. 또한, 도 22의 (A)에 도시하는 Vg-Id 특성은 문턱 전압의 편차가 크다. 그러나, 도 20의 (A)에 도시하는 Vg-Id 특성은 양호한 스위칭 특성을 갖고, 또한 문턱 전압의 편차가 작은 것을 알 수 있다.

[0399] 도 21의 (B)에 도시하는 Vg-Id 특성의 초기 특성과 비교하여, 도 20의 (B) 및 도 22의 (B)에 도시하는 Vg-Id 특성의 초기 특성은 문턱 전압의 편차가 작다는 것을 알 수 있다.

[0400] 도 21의 (C) 및 도 22의 (C)에 도시하는 PCT 후의 Vg-Id 특성과 비교하여, 도 20의 (C)에 도시하는 Vg-Id 특성은 양호한 스위칭 특성을 가진다.

[0401] 이상으로부터, 수소 분자의 방출량, 및 암모니아 분자의 방출량이 적은 질화 절연막을 트랜지스터 위에 형성함으로써, 문턱 전압의 마이너스 시프트를 저감시키는 것이 가능함과 동시에, 트랜지스터의 신뢰성을 향상시킬 수 있다.

[0402] 다음에, 본 실시예의 시료 B1 내지 시료 B3과 같은 공정이며, 조건 1 내지 조건 3 이외의 조건을 이용하여 질화 절연막(25)을 형성하고, 복수의 시료를 제작했다. 각 시료에서, 기판 내에 같은 구조의 트랜지스터를 24개 형성하고, 각 트랜지스터의 Vg-Id 특성의 초기 특성을 비교했다. 단, 각 트랜지스터에서, 채널 길이(L)는 2㎛, 채널 폭(W)은 50㎛ 이다.

[0403] 시료 B1 내지 시료 B3, 및 조건 1 내지 조건 3 이외의 조건을 이용하여 질화 절연막(25)을 형성한 복수의 시료에서, 질화 절연막(25)의 수소 분자의 방출량 및 암모니아 분자의 방출량과 트랜지스터의 Vg-Id 특성의 초기 특성과의 관계를 도 23에 나타낸다.

[0404] 도 23에서, 가로축은 질화 절연막(25)으로부터의 수소 분자의 방출량을 나타내고, 세로축은 질화 절연막(25)으로부터의 암모니아 분자의 방출량을 나타낸다. 또한, 도 23에서, 동그라미는 기판 내의 24개의 트랜지스터에서 최대 문턱 전압과 최소 문턱 전압과의 차이(Vth_max-Vth_min)가 1 V 이하인 것을 나타낸다. 또한, 삼각형은 Vth_max-Vth_min이 1 V보다 크고 3 V 이하인 것을 나타낸다. 또한, 엑스표는 Vth_max-Vth_min이 3 V보다 큰 것을 나타낸다.

[0405] 도 23에서는 질화 절연막(25)에서 수소 분자의 방출량이 5×10^{21} 분자/cm^3 미만이고, 암모니아 분자의 방출량이 1×10^{22} 분자/cm^3 미만인 영역에서 엑스표가 플롯되지 않는다. 이것으로부터, 수소 분자의 방출량이 5×10^{21} 분자/cm^3 미만이고, 암모니아 분자의 방출량이 1×10^{22} 분자/cm^3 미만인 질화 절연막을 트랜지스터 위에 제공함으로써, 트랜지스터의 문턱 전압의 편차가 저감되는 것을 알 수 있다. 또한, 문턱 전압의 마이너스 시프트를 억제할 수 있다.

부호의 설명

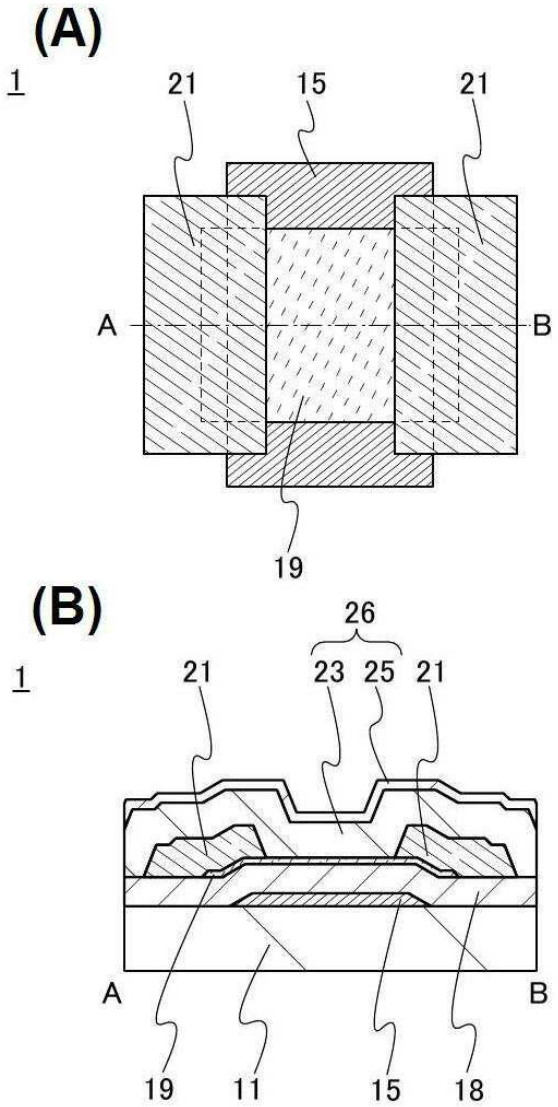
[0406] 1: 트랜지스터, 3: 트랜지스터, 5: 트랜지스터, 7: 트랜지스터, 9: 트랜지스터, 11: 기판, 15: 게이트 전극, 18: 게이트 절연막, 19: 산화물 반도체막, 21: 전극, 23: 절연막, 24a: 절연막, 24b: 절연막, 25: 질화 절연막, 26: 보호막, 27: 평탄화막, 28: 보호막, 29: 도전막, 30: 개구부, 31: 기판, 33: 하지 절연막, 34: 산화물 반도체막, 35: 전극, 37: 절연막, 38a: 절연막, 38b: 절연막, 39: 질화 절연막, 40: 게이트 절연막, 41: 게이트 전극, 42: 게이트 절연막, 43: 평탄화막, 45: 도전막, 47: 개구부, 61: 게이트 전극, 601: 기판, 602: 포토 다이오드, 606a: 반도체막, 606b: 반도체막, 606c: 반도체막, 608: 접착층, 613: 기판, 632: 절연막, 633: 평탄화막, 634: 평탄화막, 640: 트랜지스터, 641a: 전극, 641b: 전극, 642: 전극, 643: 도전막, 645: 도전막, 656: 트랜지스터, 658: 포토 다이오드 리셋 신호선, 659: 게이트 신호선, 671: 포토 센서 출력 신호선,

672: 포토 센서 기준 신호선, 901: 기판, 902: 화소부, 903: 신호선 구동 회로, 904: 주사선 구동 회로, 905: 시일재, 906: 기판, 908: 액정층, 910: 트랜지스터, 911: 트랜지스터, 913: 액정 소자, 915: 접속 단자 전극, 915a: 접속 단자 전극, 915b: 접속 단자 전극, 916: 단자 전극, 917: 도전막, 918: FPC, 918b: FPC, 919: 이방성 도전제, 921: 평탄화막, 922: 게이트 절연막, 923: 절연막, 924: 절연막, 925: 시일재, 930: 전극, 931: 전극, 932: 절연막, 933: 절연막, 935: 스페이서, 936: 시일재, 941: 전극, 943: 액정 소자, 944: 절연막, 950: 질화 실리콘막, 951: 전극, 955: 접속 단자 전극, 960: 격벽, 961: 발광층, 963: 발광 소자, 964: 충전재, 971: 소스 전극, 973: 드레인 전극, 975: 공통 전위선, 977: 공통 전극, 985: 공통 전위선, 987: 공통 전극, 991: 실리콘 웨이퍼, 993: 질화 실리콘막, 995: 산화 질화 실리콘막, 9000: 테이블, 9001: 하우징, 9002: 다리부, 9003: 표시부, 9004: 표시 버튼, 9005: 전원 코드, 9033: 클립, 9034: 표시 모드 전환 스위치, 9035: 전원 스위치, 9036: 전력 절약 모드 전환 스위치, 9038: 조작 스위치, 9100: 텔레비전 장치, 9101: 하우징, 9103: 표시부, 9105: 스탠드, 9107: 표시부, 9109: 조작키, 9110: 리모콘 조작기, 9201: 본체, 9202: 하우징, 9203: 표시부, 9204: 키보드, 9205: 외부 접속 포트, 9206: 포인팅 디바이스, 9630: 하우징, 9631: 표시부, 9631a: 표시부, 9631b: 표시부, 9632a: 영역, 9632b: 영역, 9633: 태양전지, 9634: 충방전 제어 회로, 9635: 배터리, 9636: DCDC 컨버터, 9637: 컨버터, 9638: 조작키, 9639: 버튼.

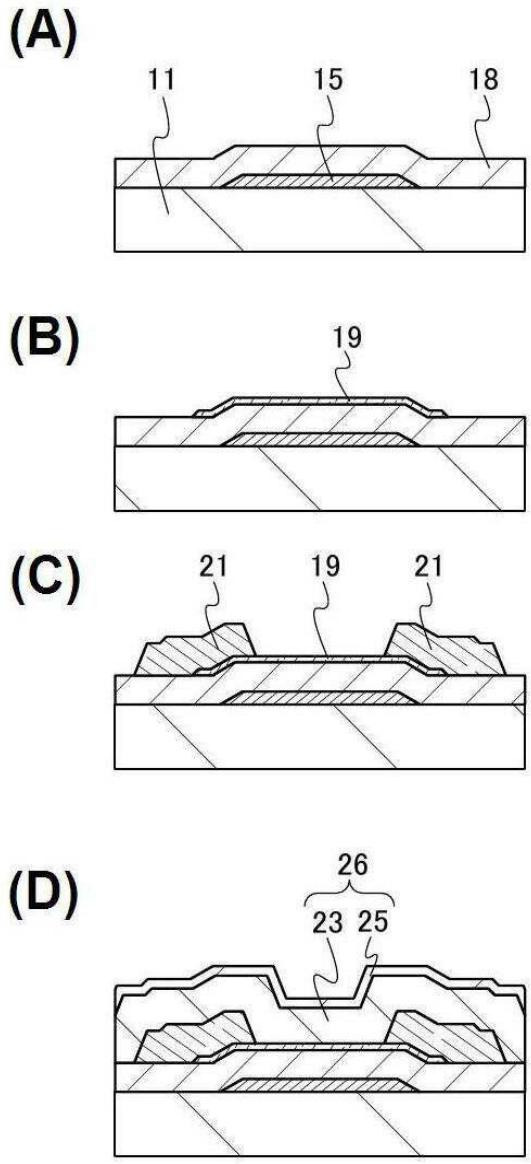
본 출원은 2012년 6월 29일에 일본 특허청에 출원된 일련 번호가 2012-147703인 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

도면

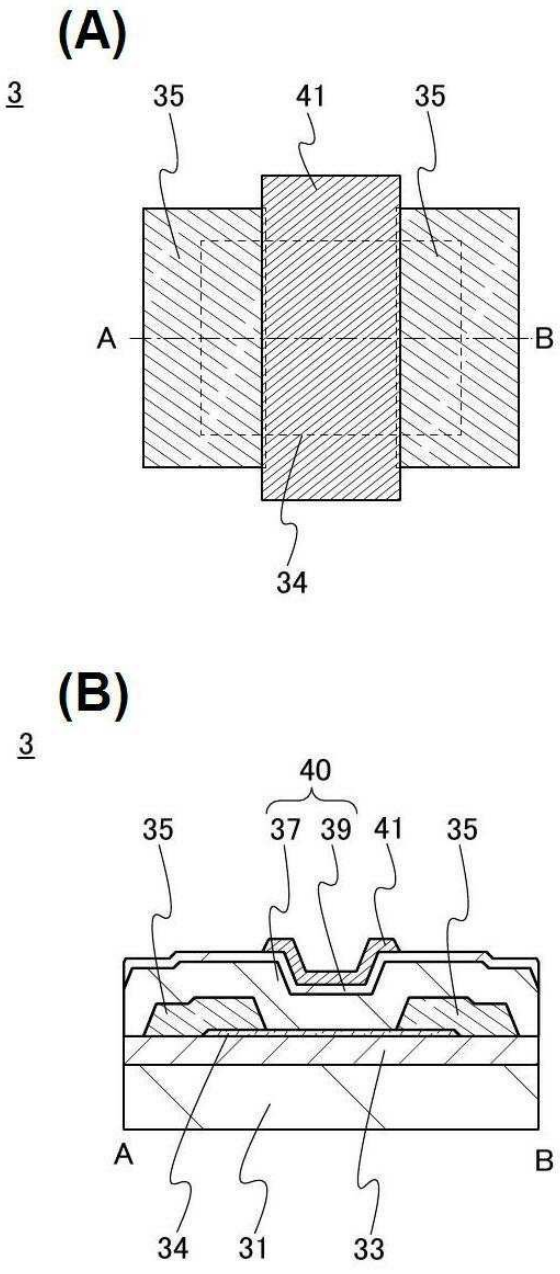
도면1



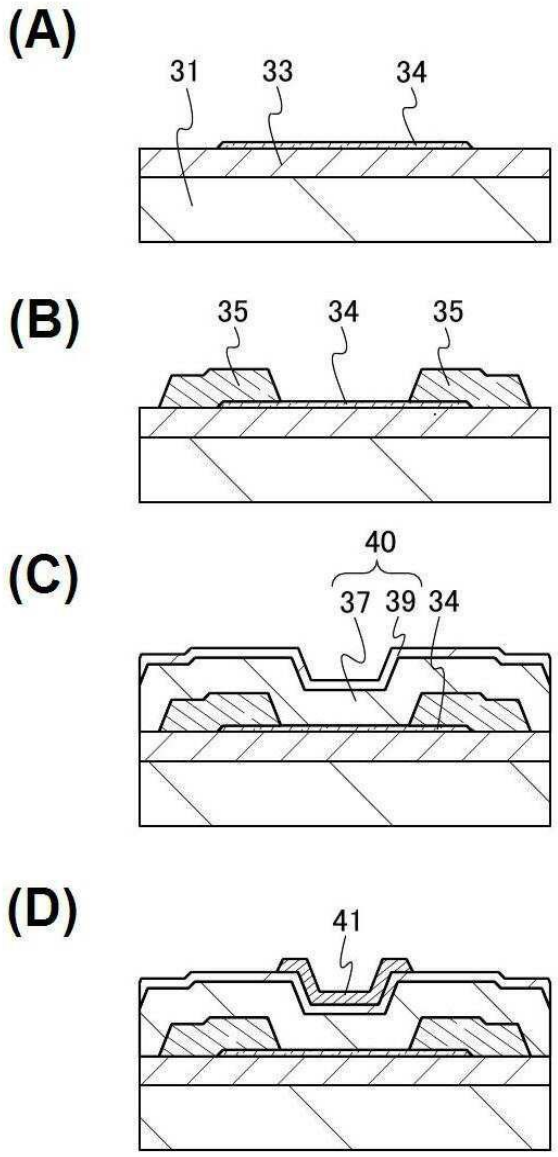
도면2



도면3

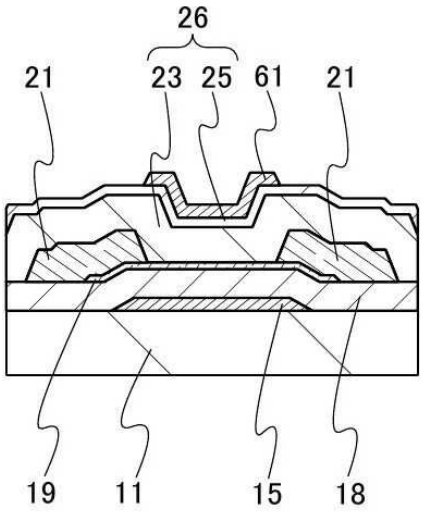


도면4

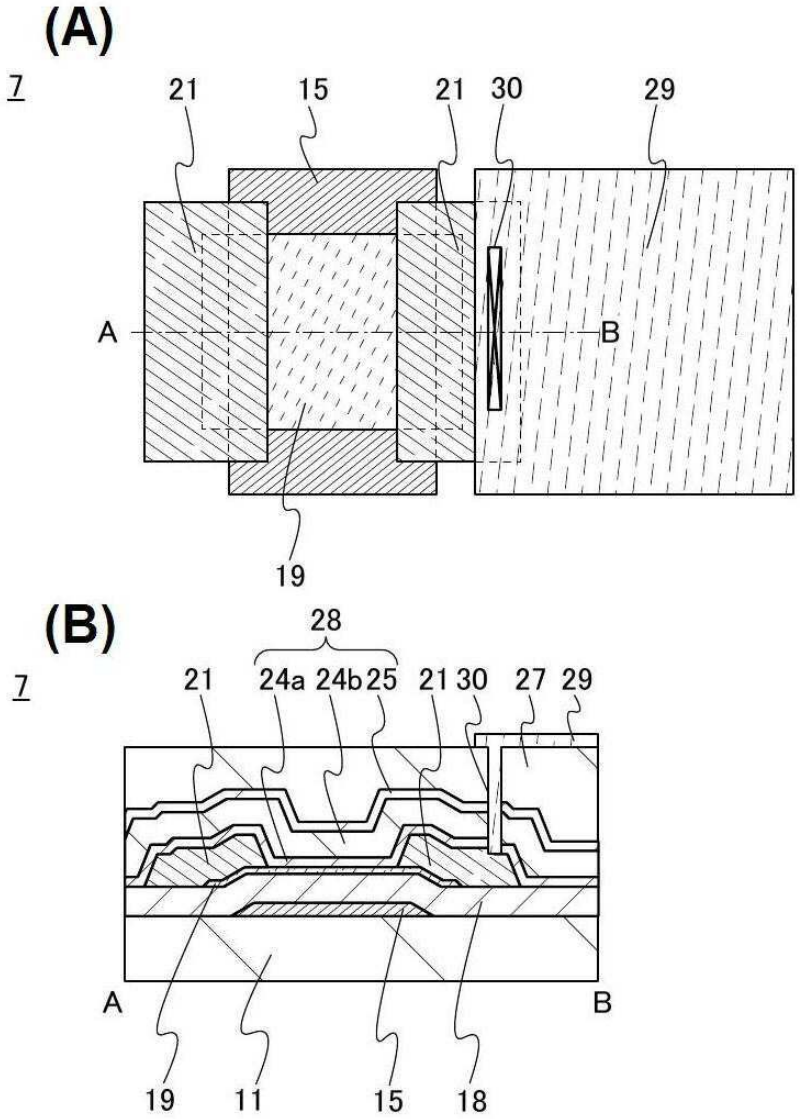


도면5

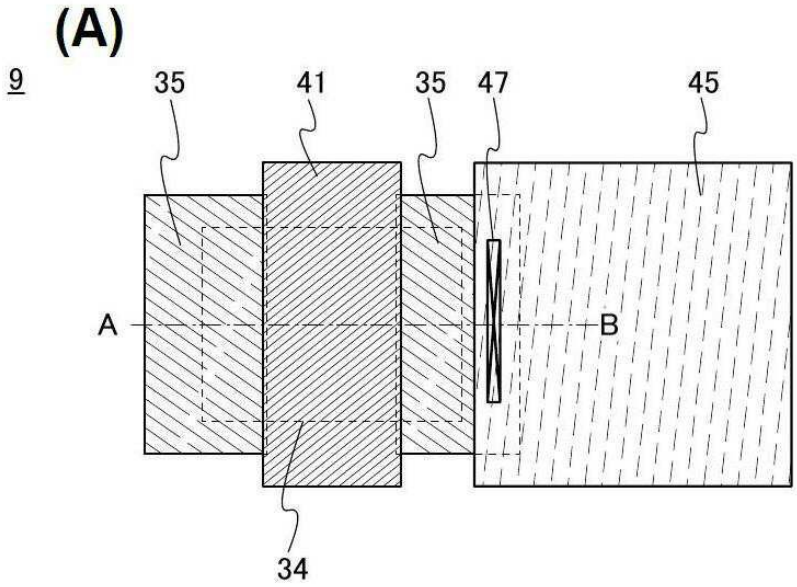
5

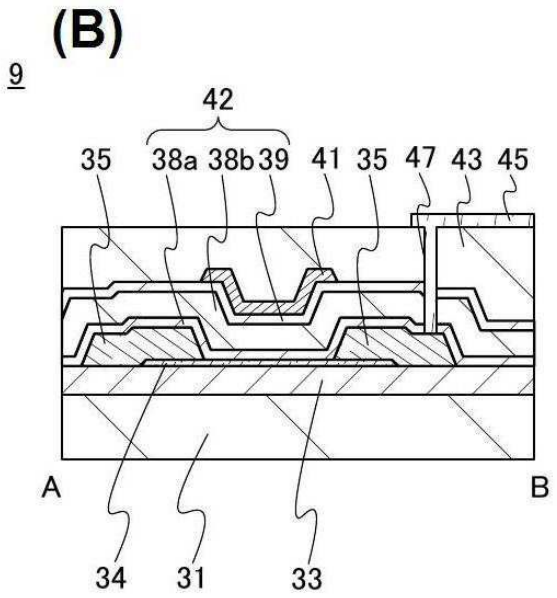


도면6

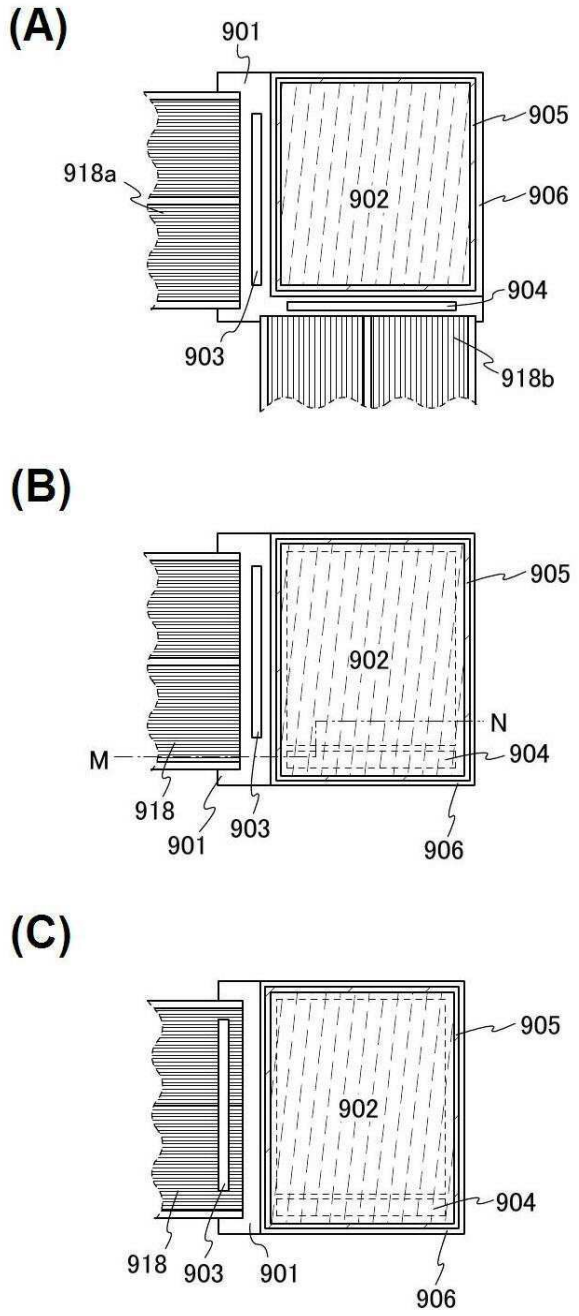


도면7

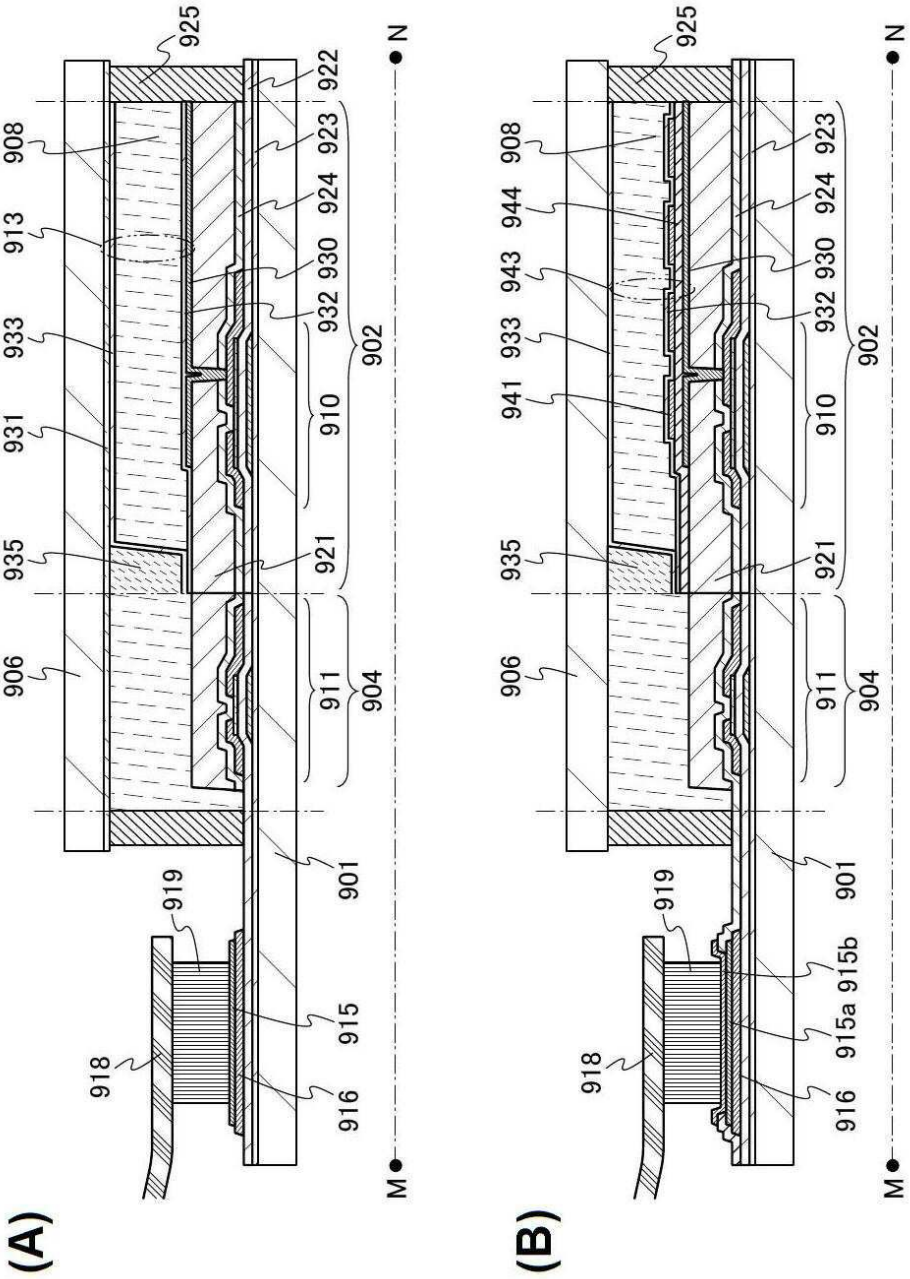




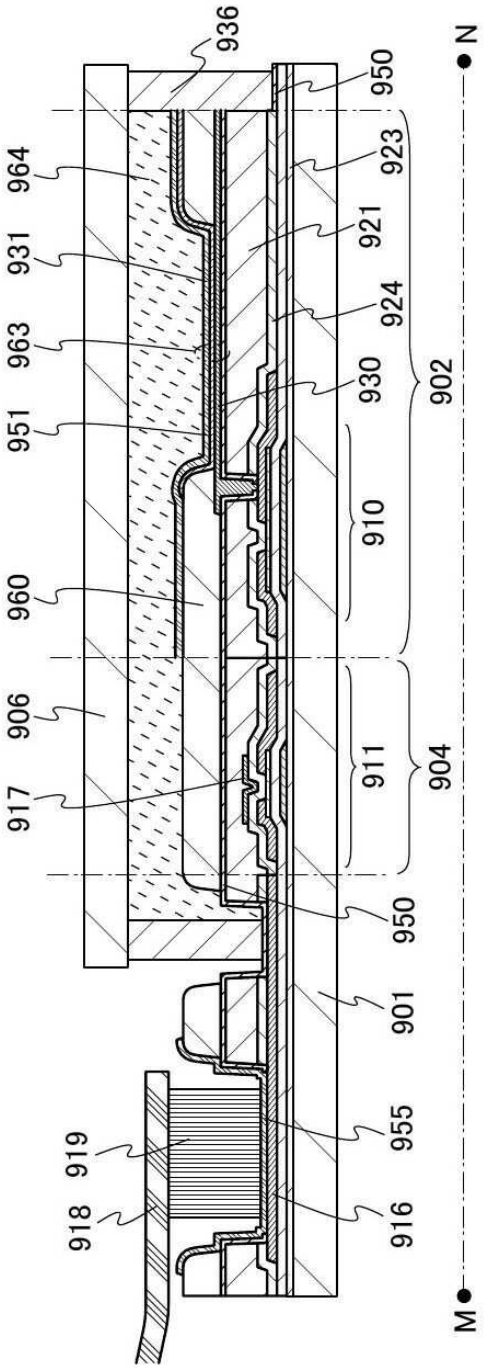
도면8


(A)
901
905
918a
902
906
904
903
918b
(B)
905
902
N
M
904
918
901
903
906
(C)
905
902
904
918
903
901
906

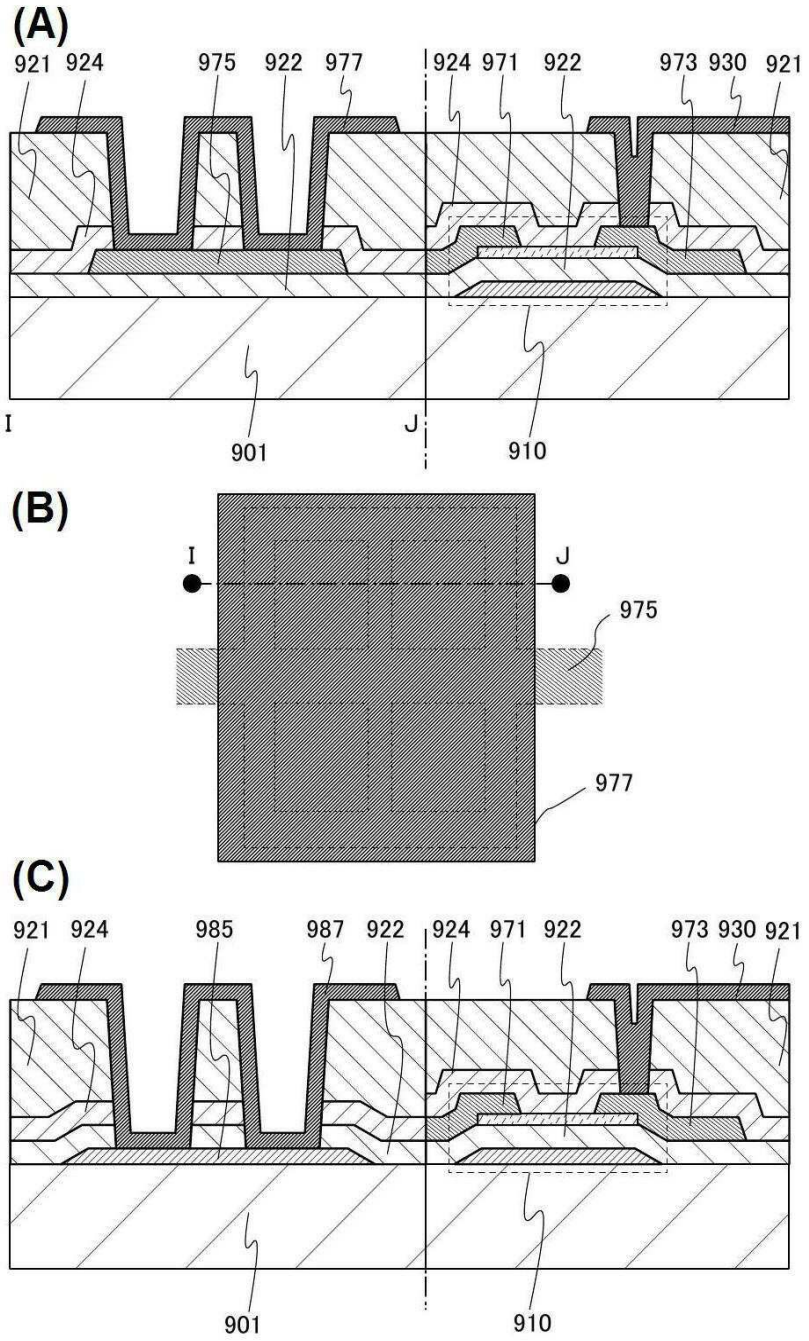
도면9


(A)
925
922
908
923
913
924
930
933
932
931
910
902
935
921
906
911
904
901
919
915
918
916
N
M
(B)
925
908
923
944
924
943
930
933
932
941
910
902
935
921
906
911
904
901
919
915b
915a
918
916
N
M

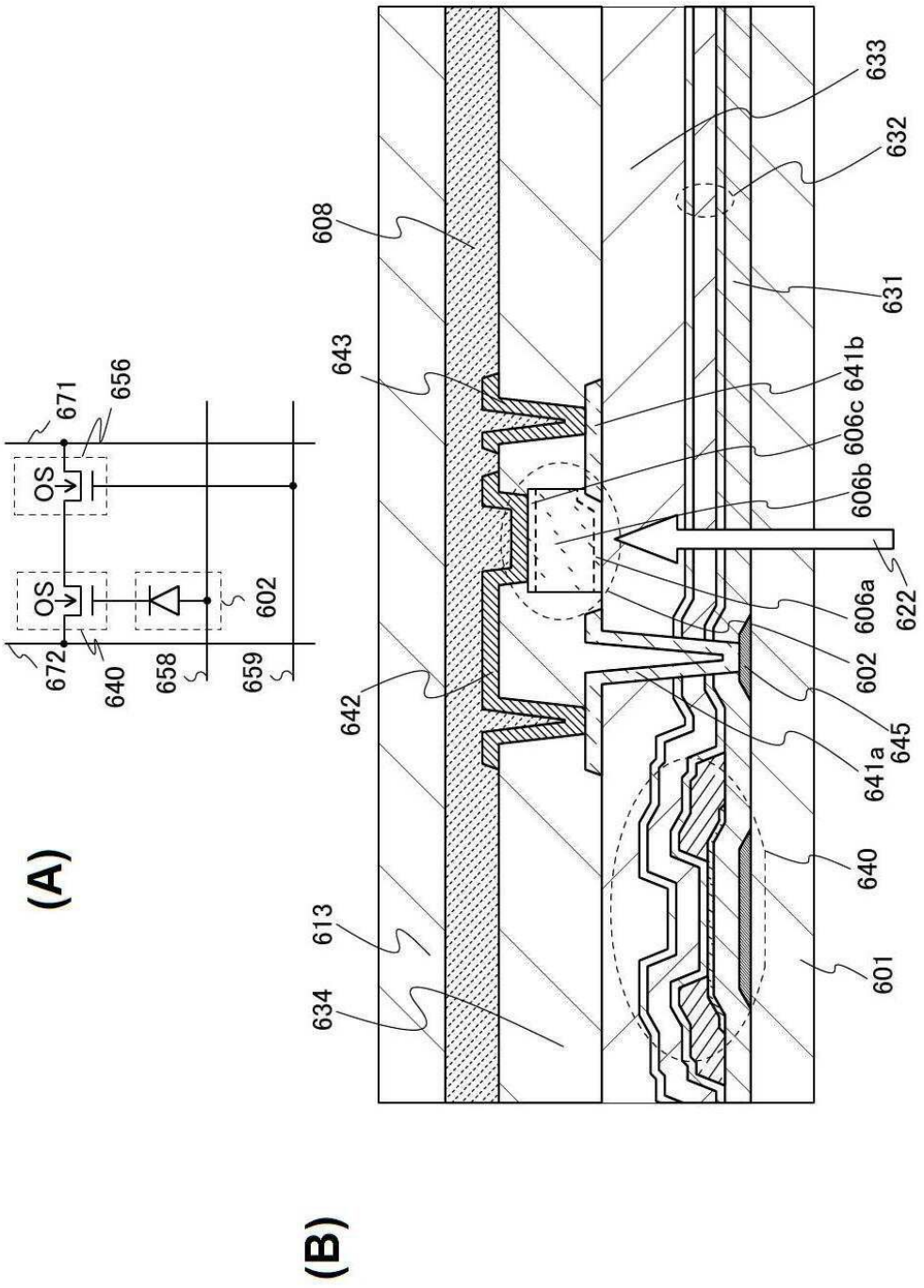
도면10


936
950
964
923
931
921
924
963
930
902
951
910
960
906
911
904
917
950
901
955
919
916
918
N
M

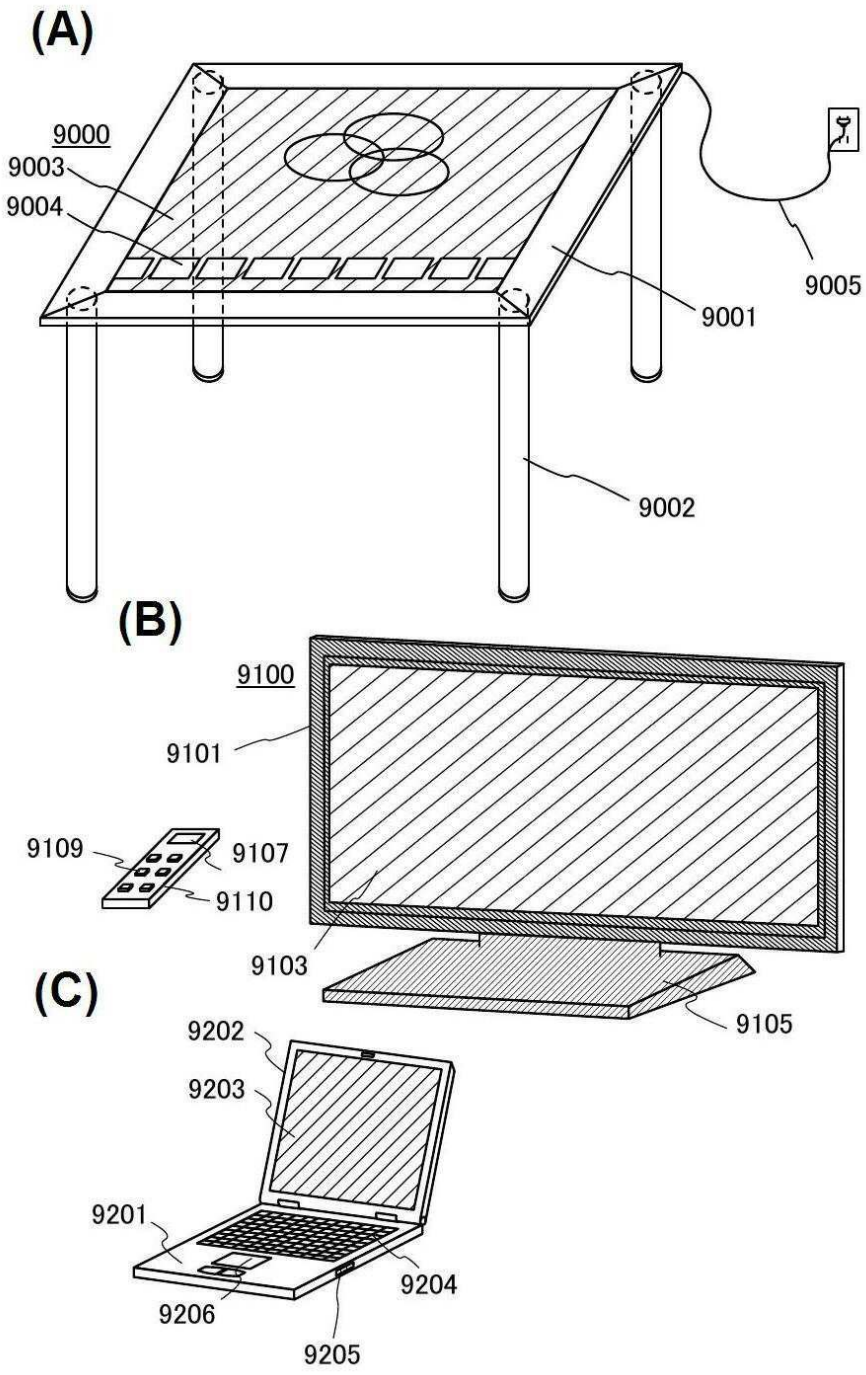
도면11


(A)
921
924
975
922
977
924
971
922
973
930
921
I
J
901
910
(B)
I
J
975
977
(C)
921
924
985
987
922
924
971
922
973
930
921
901
910

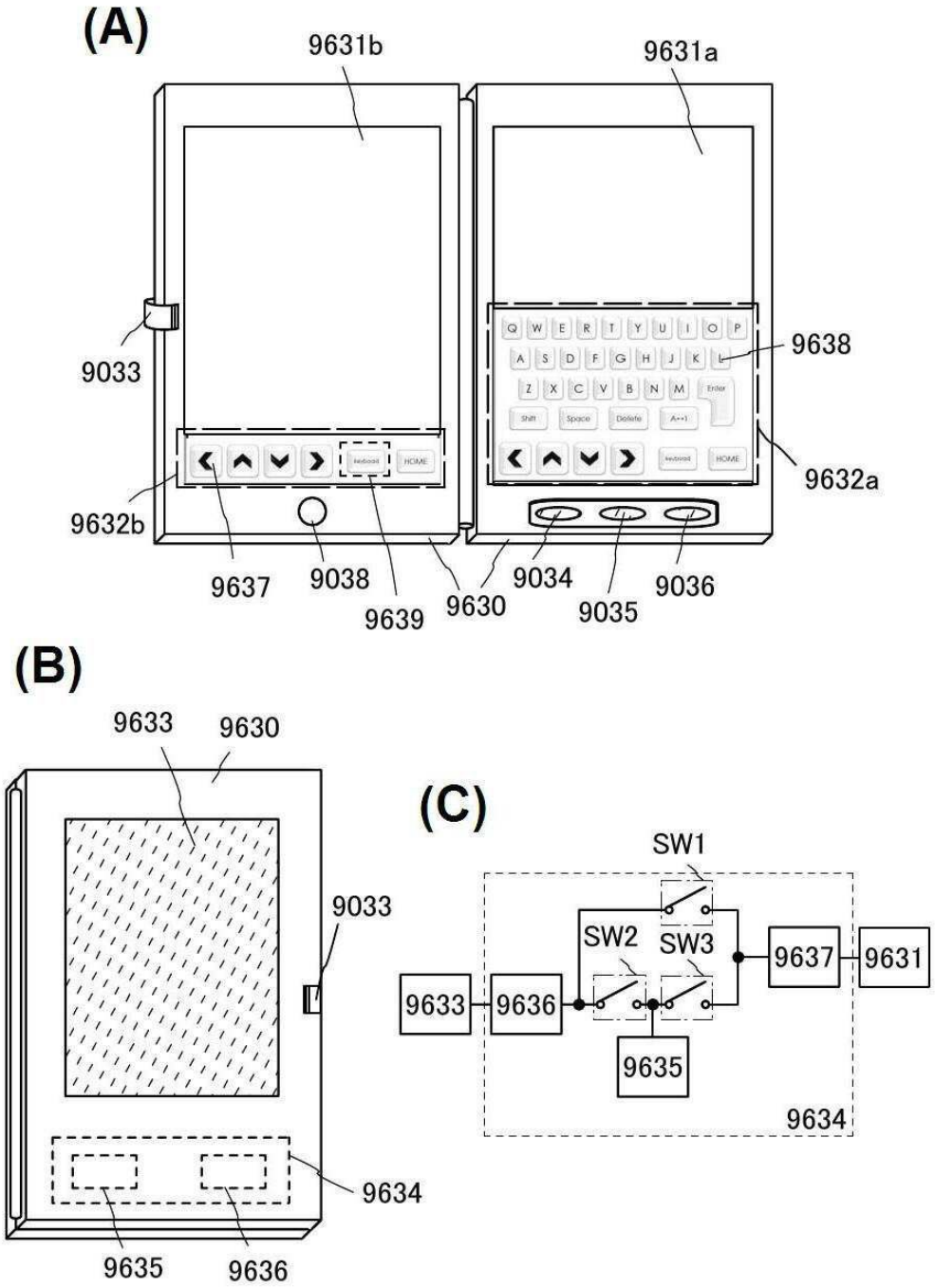
도면12


(A)
671
656
OS
OS
672
640
658
659
602
(B)
608
643
642
613
634
633
632
631
641b
606c
606b
606a
622
602
645
641a
640
601

도면13

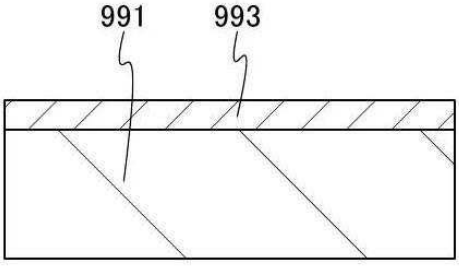

(A)
9000
9003
9004
9005
9001
9002
(B)
9100
9101
9109
9107
9110
9103
9105
(C)
9202
9203
9201
9204
9206
9205

도면14

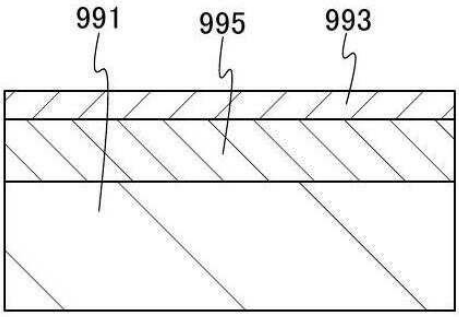

(A)
9631b
9631a
9033
9638
9632a
9632b
9637
9038
9639
9630
9034
9035
9036
(B)
9633
9630
9033
9634
9635
9636
(C)
SW1
SW2
SW3
9637
9631
9633
9636
9635
9634

도면15

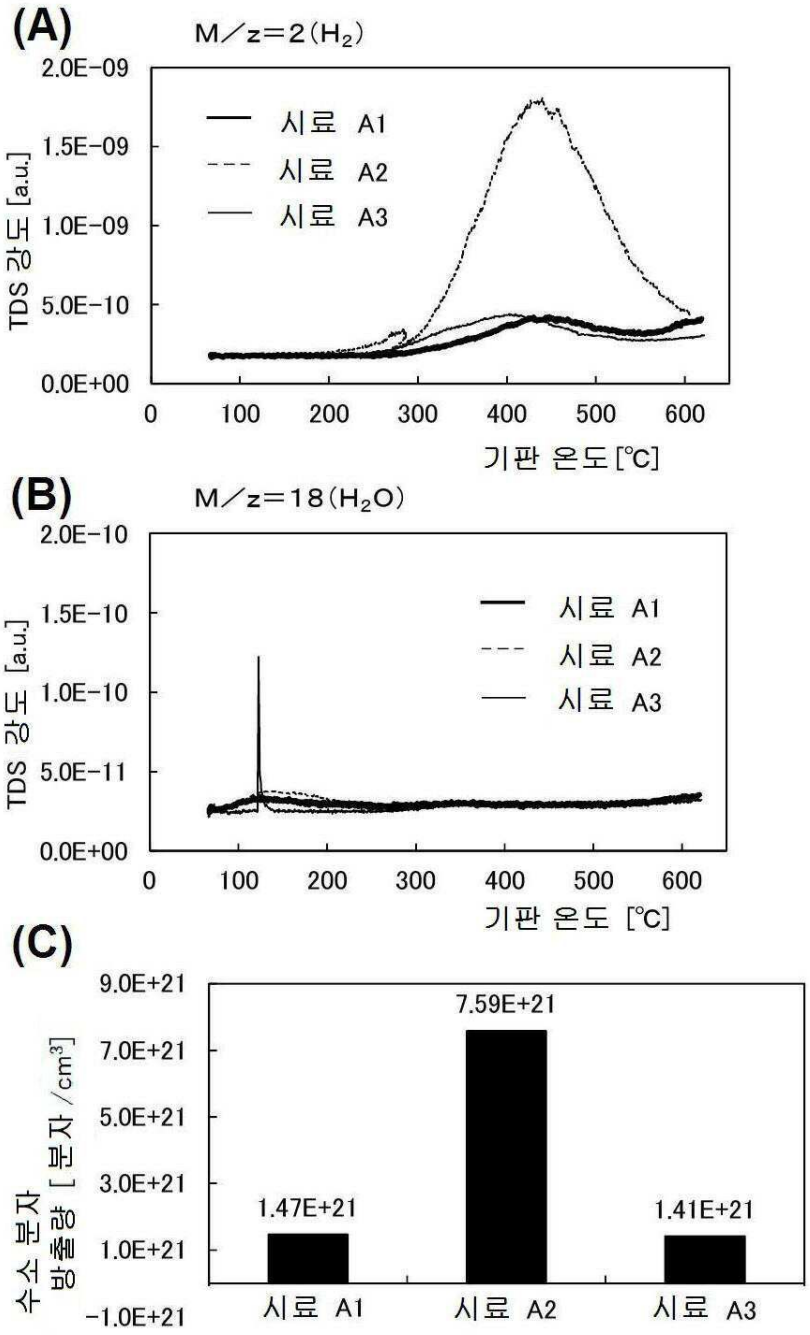
(A)



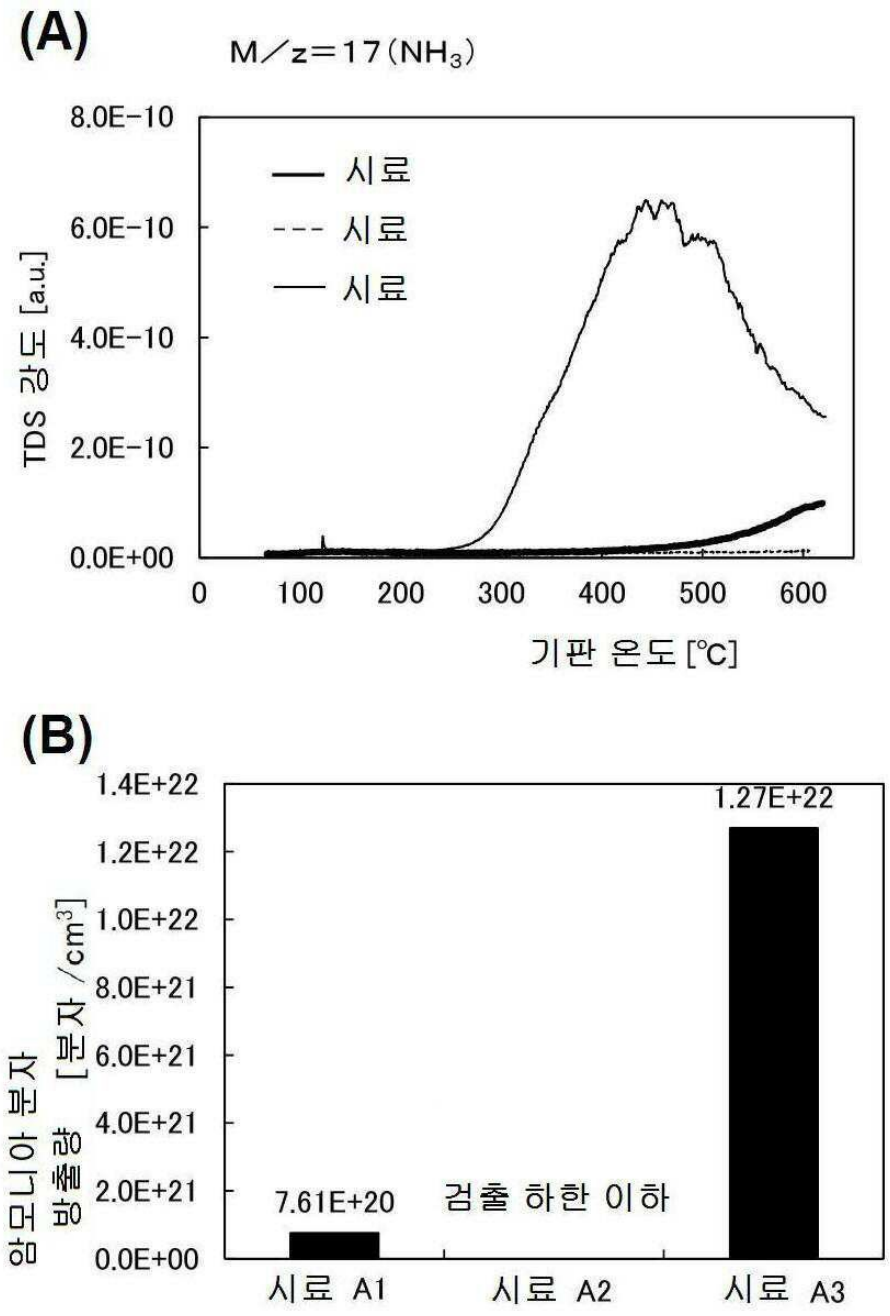
(B)



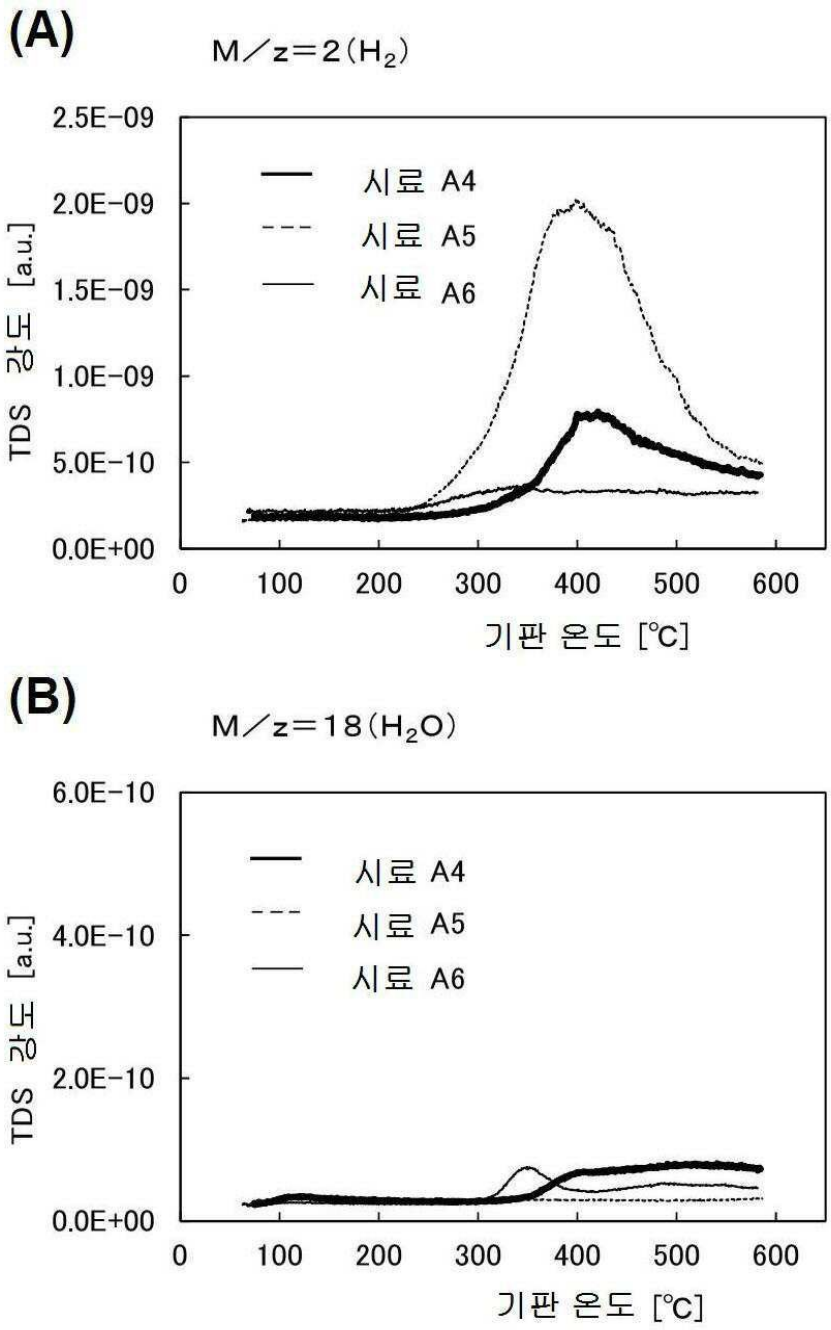
도면16


(A)
M/z=2(H2)
2.0E-09
1.5E-09
1.0E-09
5.0E-10
0.0E+00
TDS 강도 [a.u.]
시료 A1
시료 A2
시료 A3
0
100
200
300
400
500
600
기판 온도[℃]
(B)
M/z=18(H2O)
2.0E-10
1.5E-10
1.0E-10
5.0E-11
0.0E+00
TDS 강도 [a.u.]
시료 A1
시료 A2
시료 A3
0
100
200
300
400
500
600
기판 온도 [℃]
(C)
9.0E+21
7.0E+21
5.0E+21
3.0E+21
1.0E+21
-1.0E+21
수소 분자 방출량 [분자/cm3]
1.47E+21
7.59E+21
1.41E+21
시료 A1
시료 A2
시료 A3

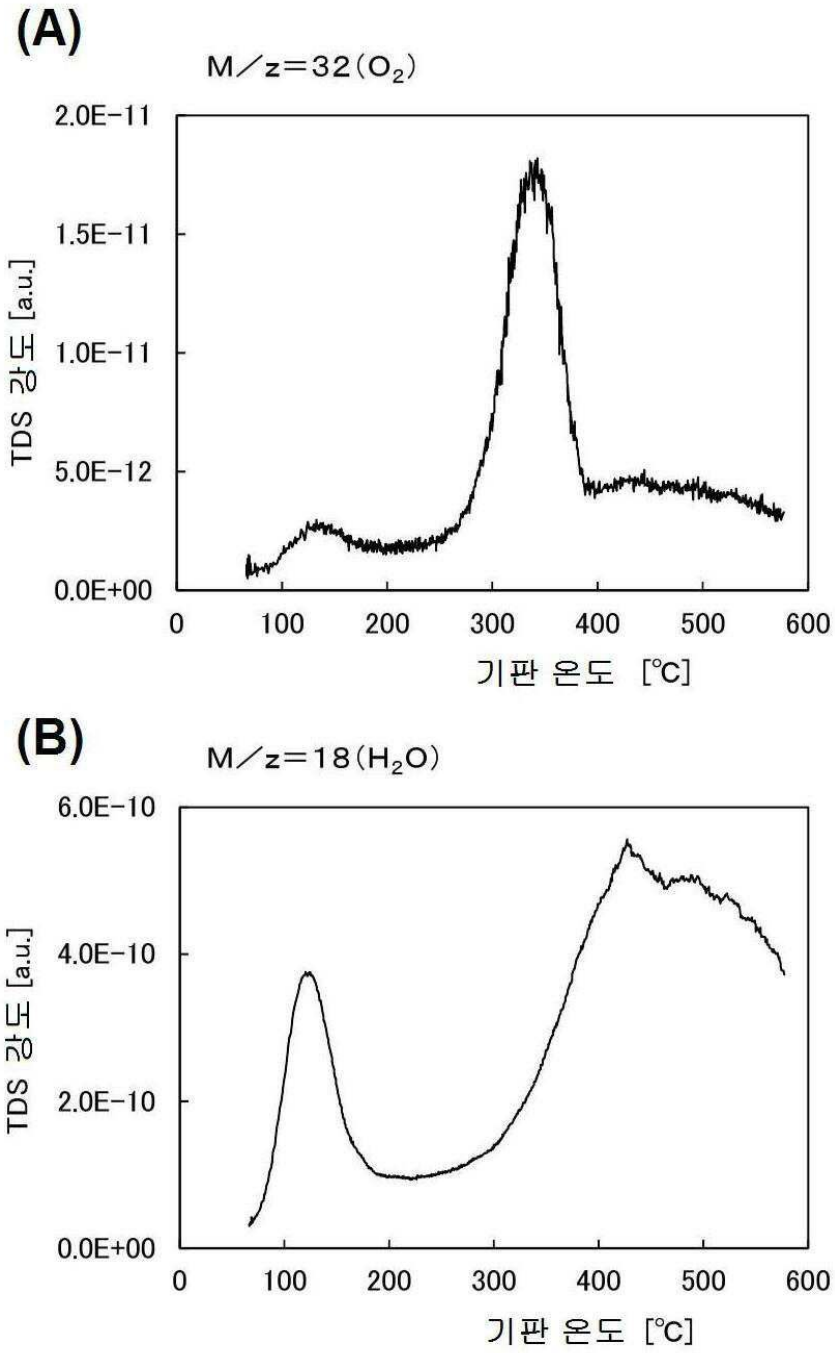
도면17


(A)
M／z＝17(NH3)
8.0E-10
6.0E-10
4.0E-10
2.0E-10
0.0E+00
TDS 강도 [a.u.]
시료
시료
시료
0
100
200
300
400
500
600
기판 온도 [℃]
(B)
1.4E+22
1.2E+22
1.0E+22
8.0E+21
6.0E+21
4.0E+21
2.0E+21
0.0E+00
암모니아 분자 방출량 [분자 /cm3]
1.27E+22
7.61E+20
검출 하한 이하
시료 A1
시료 A2
시료 A3

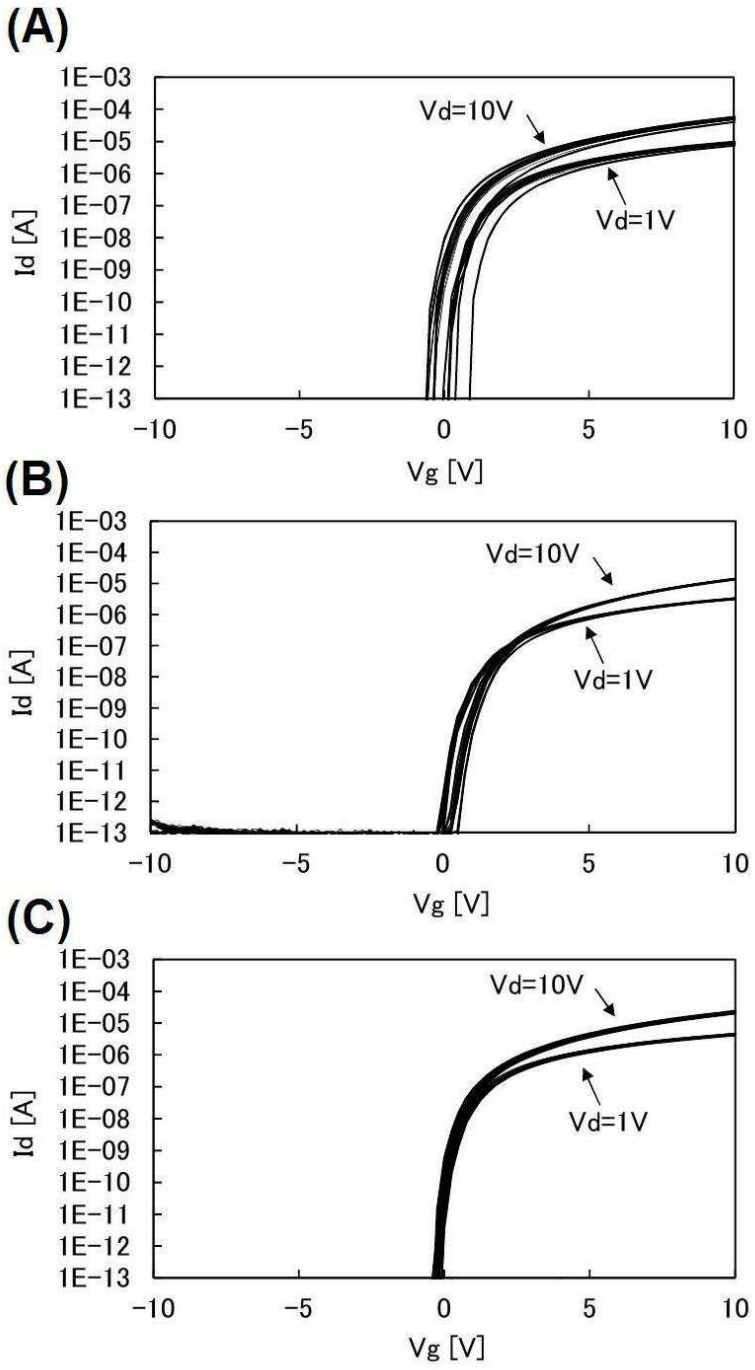
도면18


(A)
M／z＝2(H2)
2.5E-09
2.0E-09
1.5E-09
1.0E-09
5.0E-10
0.0E+00
TDS 강도 [a.u.]
시료 A4
시료 A5
시료 A6
0
100
200
300
400
500
600
기판 온도 [℃]
(B)
M／z＝18(H2O)
6.0E-10
4.0E-10
2.0E-10
0.0E+00
TDS 강도 [a.u.]
시료 A4
시료 A5
시료 A6
0
100
200
300
400
500
600
기판 온도 [℃]

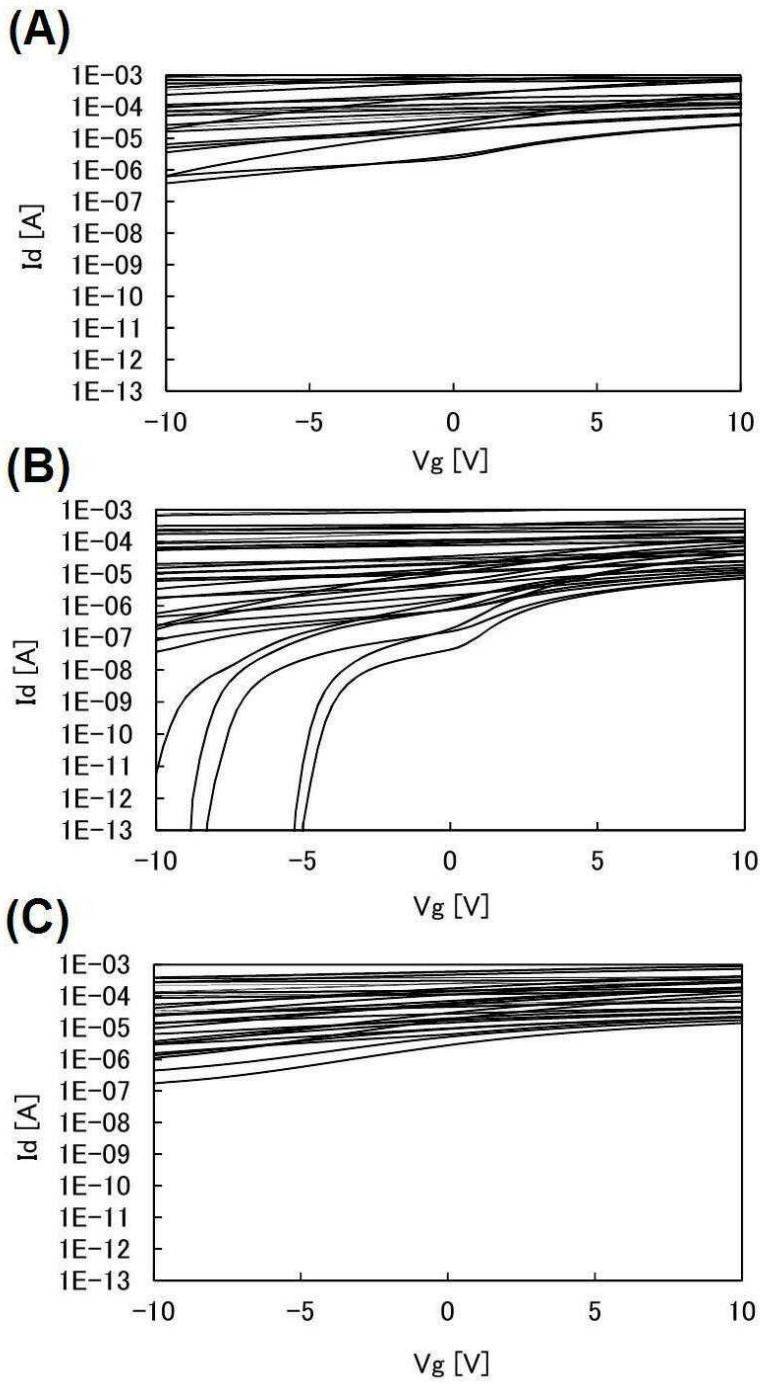
도면19


(A)
M／z＝32(O2)
2.0E-11
1.5E-11
1.0E-11
5.0E-12
0.0E+00
TDS 강도 [a.u.]
0
100
200
300
400
500
600
기판 온도 [℃]
(B)
M／z＝18(H2O)
6.0E-10
4.0E-10
2.0E-10
0.0E+00
TDS 강도 [a.u.]
0
100
200
300
400
500
600
기판 온도 [℃]

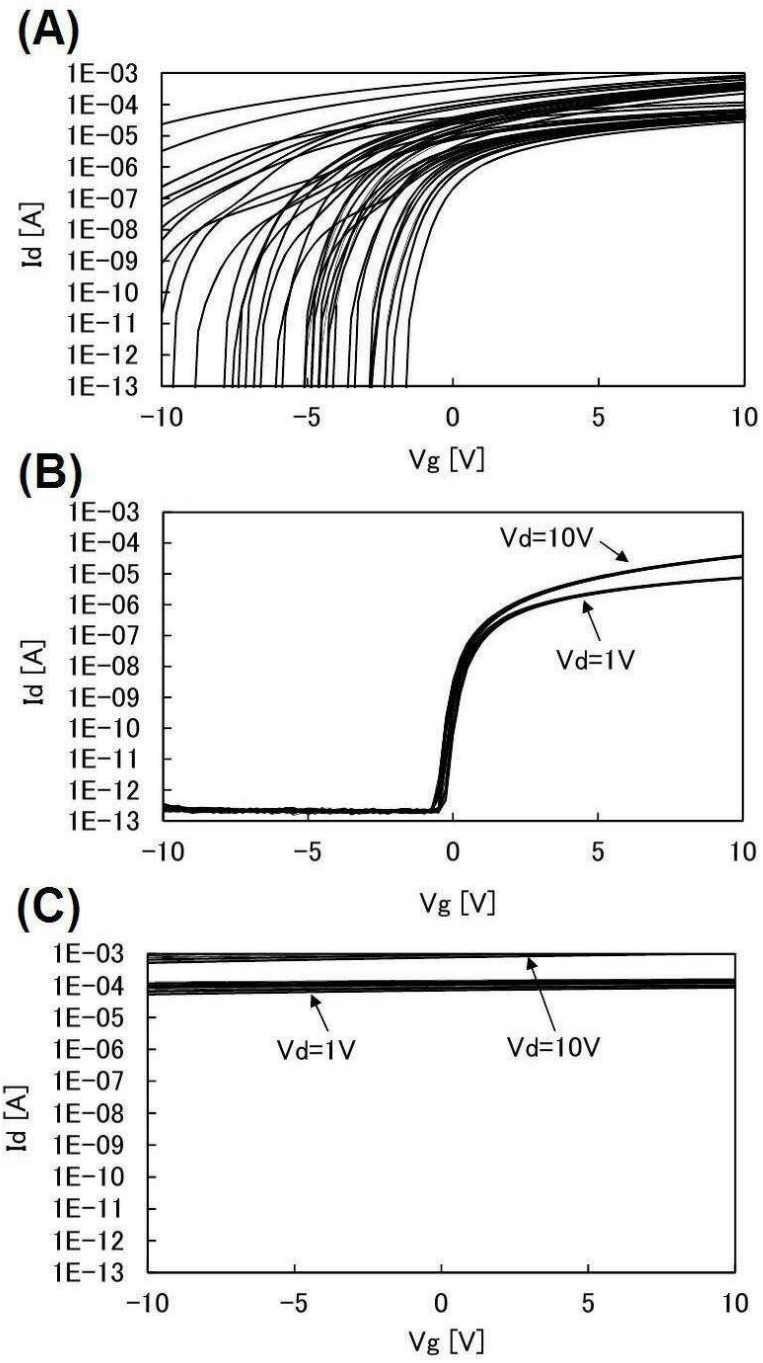
도면20


(A)
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
Id [A]
Vd=10V
Vd=1V
-10
-5
0
5
10
Vg [V]
(B)
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
Id [A]
Vd=10V
Vd=1V
-10
-5
0
5
10
Vg [V]
(C)
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
Id [A]
Vd=10V
Vd=1V
-10
-5
0
5
10
Vg [V]

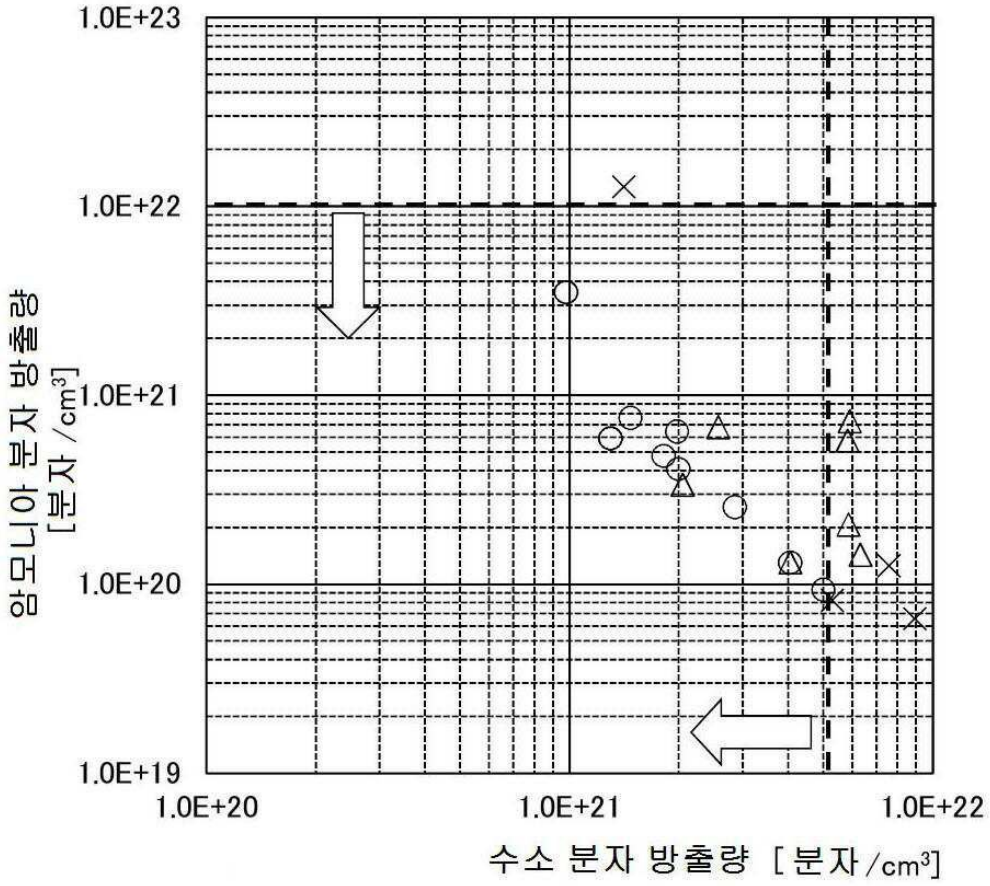
도면21


(A)
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
Id [A]
-10
-5
0
5
10
Vg [V]
(B)
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
Id [A]
-10
-5
0
5
10
Vg [V]
(C)
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
Id [A]
-10
-5
0
5
10
Vg [V]

도면22


(A)
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
Id [A]
-10
-5
0
5
10
Vg [V]
(B)
Vd=10V
Vd=1V
(C)
Vd=1V
Vd=10V

도면23


1.0E+23
1.0E+22
1.0E+21
1.0E+20
1.0E+19
암모니아 분자 방출량 [분자/cm³]
1.0E+20
1.0E+21
1.0E+22
수소 분자 방출량 [분자/cm³]