

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 28 年 3 月 31 日 (2016.3.31)

【公表番号】特表 2015-510265 (P2015-510265A)

【公表日】平成 27 年 4 月 2 日 (2015.4.2)

【年通号数】公開・登録公報 2015-022

【出願番号】特願 2014-555258 (P2014-555258)

【国際特許分類】

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 21/331 (2006.01)

H 0 1 L 29/732 (2006.01)

H 0 1 L 29/73 (2006.01)

H 0 1 L 27/08 (2006.01)

【F I】

H 0 1 L 27/04 H

H 0 1 L 27/06 3 1 1 C

H 0 1 L 29/72 P

H 0 1 L 29/72 Z

H 0 1 L 27/08 3 3 1 D

H 0 1 L 27/08 3 3 1 C

H 0 1 L 27/08 3 3 1 E

【手続補正書】

【提出日】平成 28 年 2 月 5 日 (2016.2.5)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 のノードと第 2 のノードとの間に結合された静電放電 (ESD) 保護デバイスであって、

P ドーパントタイプの第 1 の低ドーブ領域と、

前記第 1 の低ドーブ領域内の N ドーパントタイプの第 2 の低ドーブ領域と、

前記 N ドーパントタイプの第 1 の高ドーブ領域を含むと共に前記第 1 の低ドーブ領域内に直接形成された第 3 の領域であって、前記第 1 の高ドーブ領域が前記第 1 のノードに対して結合され、前記第 3 の領域内には前記 P ドーパントタイプの高ドーブ領域が形成されていない、第 3 の領域と、

前記 P ドーパントタイプの第 2 の高ドーブ領域を含むと共に前記第 2 の低ドーブ領域内に直接形成された第 4 の領域であって、前記第 2 の高ドーブ領域が前記第 2 のノードに対して結合され、前記第 4 の領域内には前記 N ドーパントタイプの高ドーブ領域が形成されていない、第 4 の領域と、

を備え、

前記第 1 の高ドーブ領域の電圧が、前記第 2 の高ドーブ領域の電圧よりも高く、さらに、前記第 1 の高ドーブ領域と前記第 1 の低ドーブ領域との間の接合点が、ESD 事象にตอบสนองして逆方向降伏状態になるように構成され、前記第 2 の低ドーブ領域と前記第 2 の高ド

ーブ領域との間の接合点が、前記 ESD 事象に応答して逆方向降伏状態になるように構成され、それにより、前記 ESD 保護デバイスが、ESD 事象に応答して前記第 1 のノードから前記第 2 のノードに電流をシンクするように構成される、ESD 保護デバイス。

【請求項 2】

前記第 3 の領域が、前記第 1 の低ドーブ領域内に直接形成された前記 N ドーバントタイプの第 3 の低ドーブ領域をさらに含み、

前記第 1 の高ドーブ領域が、前記第 3 の低ドーブ領域内に直接形成される、請求項 1 に記載の ESD 保護デバイス。

【請求項 3】

前記第 3 の領域が、前記第 1 の低ドーブ領域内に直接形成された P ドーバントタイプの第 3 の低ドーブ領域をさらに含み、

前記第 1 の高ドーブ領域が、前記第 3 の低ドーブ領域内に直接形成される、請求項 1 に記載の ESD 保護デバイス。

【請求項 4】

前記第 1 の低ドーブ領域と前記第 2 の低ドーブ領域との間に結合されるバイアス素子であって、前記第 1 の低ドーブ領域及び前記第 2 の低ドーブ領域により形成された順方向バイアス接合点の電圧を制御するように構成される、バイアス素子をさらに備え、

前記バイアス素子が、抵抗器、抵抗接続部、インダクタ、コンデンサ、逆方向接合点、順方向接合点、N 型金属酸化膜半導体 (NMOS)、P 型金属酸化膜半導体 (PMOS)、及びバイポーラトランジスタの中の少なくとも 1 つを含む、請求項 1 に記載の ESD 保護デバイス。

【請求項 5】

第 1 のノードと第 2 のノードとの間に結合された静電放電 (ESD) 保護デバイスであって、

N ドーバントタイプの第 1 の低ドーブ領域と、

前記第 1 の低ドーブ領域内に形成された P ドーバントタイプの第 2 の低ドーブ領域と、

前記 N ドーバントタイプの第 1 の高ドーブ領域を含むと共に前記第 2 の低ドーブ領域内に直接形成された第 3 の領域であって、前記第 1 の高ドーブ領域が前記第 1 のノードに対して結合され、前記第 3 の領域内には前記 P ドーバントタイプの高ドーブ領域が形成されていない、第 3 の領域と、

前記 P ドーバントタイプの第 2 の高ドーブ領域を含むと共に前記第 1 の低ドーブ領域内に直接形成された第 4 の領域であって、前記第 2 の高ドーブ領域が前記第 2 のノードに対して結合され、前記第 4 の領域内には前記 N ドーバントタイプの高ドーブ領域が形成されていない、第 4 の領域と、

を備え、

前記第 1 の高ドーブ領域の電圧が、前記第 2 の高ドーブ領域の電圧よりも高く、さらに、前記第 1 の高ドーブ領域と前記第 2 の低ドーブ領域との間の接合点が、ESD 事象に  
応答して逆方向降伏状態になるように構成され、前記第 1 の低ドーブ領域と前記第 2 の高ドーブ領域との間の接合点が、前記 ESD 事象に  
応答して逆方向降伏状態になるように構成され、それにより、前記 ESD 保護デバイスが、ESD 事象に応答して前記第 1 のノードから前記第 2 のノードに電流をシンクするように構成される、ESD 保護デバイス。

【請求項 6】

前記第 3 の領域が、前記第 1 の低ドーブ領域内に直接形成された前記 N ドーバントタイプの第 3 の低ドーブ領域をさらに含み、

前記第 2 の高ドーブ領域が、前記第 3 の低ドーブ領域内に直接形成される、請求項 5 に記載の ESD 保護デバイス。

【請求項 7】

前記第 3 の領域が、前記第 1 の低ドーブ領域内に直接形成された前記 P ドーバントタイプの第 3 の低ドーブ領域をさらに含み、

前記第 2 の高ドーブ領域が、前記第 3 の低ドーブ領域内に直接形成される、請求項 5 に

記載の ESD 保護デバイス。

【請求項 8】

前記第 2 の低ドープ領域と前記第 1 の低ドープ領域との間に結合されるバイアス素子であって、前記第 2 の低ドープ領域及び前記第 1 の低ドープ領域により形成された順方向バイアス接合点の電圧を制御するように構成される、バイアス素子をさらに備え、

前記バイアス素子が、抵抗器、抵抗接続部、インダクタ、コンデンサ、逆方向接合点、順方向接合点、N 型金属酸化膜半導体 (NMOS)、P 型金属酸化膜半導体 (PMOS)、及びバイポーラトランジスタの中の少なくとも 1 つを含む、請求項 5 に記載の ESD 保護デバイス。

【請求項 9】

第 1 のノードと第 2 のノードとの間に結合された静電放電 (ESD) 保護デバイスであって、

第 1 のコレクタ、第 1 のエミッタ、及び第 1 のベースを備える、NPN トランジスタと、

第 2 のコレクタ、第 2 のエミッタ、及び第 2 のベースを備える、PNP トランジスタとを具備し、

前記第 1 のコレクタが、前記第 1 のノードに対して結合され、前記第 2 のコレクタが、前記第 2 のノードに対して結合され、前記第 1 のベースが、前記第 2 のエミッタに対して結合され、前記第 1 のエミッタが、前記第 2 のベースに対して結合され、第 1 の低ドープ領域が、P 型のドーパントでドーブされ、前記 NPN トランジスタの前記第 1 のベース及び前記 PNP トランジスタの前記第 2 のエミッタの両方として機能し、前記第 1 のベースを流れる第 1 のベース電流の全てが、さらに前記第 1 のコレクタを流れ、前記第 2 のベースを流れる第 2 のベース電流の全てが、さらに前記第 2 のコレクタを流れ、前記 ESD 保護デバイスが、ESD 事象に応答して前記第 1 のノードから前記第 2 のノードに電流をシンクするように構成される、ESD 保護デバイス。

【請求項 10】

前記 NPN トランジスタの前記第 1 のベースと前記 PNP トランジスタの前記第 2 のベースとの間に結合されるバイアス素子であって、前記 NPN トランジスタの前記第 1 のベース及び前記 PNP トランジスタの前記第 2 のベースにより形成された順方向バイアス接合点の電圧を制御するように構成される、バイアス素子をさらに備え、

前記バイアス素子が、抵抗器、抵抗接続部、インダクタ、コンデンサ、逆方向接合点、順方向接合点、N 型金属酸化膜半導体 (NMOS)、P 型金属酸化膜半導体 (PMOS)、及びバイポーラトランジスタの中の少なくとも 1 つを備える、請求項 9 に記載の ESD 保護デバイス。

【請求項 11】

前記 NPN トランジスタの前記第 1 のエミッタ及び前記 PNP トランジスタの前記第 2 のベースとして機能する、第 2 の低ドープ領域であって、N 型のドーパントでドーブされ、前記第 1 の低ドープ領域内に形成される、第 2 の低ドープ領域と、

前記 NPN トランジスタの前記第 1 のコレクタとして機能する第 1 の高ドープ領域を含む第 3 の領域であって、前記第 1 の高ドープ領域が前記 N 型のドーパントでドーブされ、前記第 3 の領域が前記第 1 の低ドープ領域内に直接形成され、前記第 1 の高ドープ領域が前記第 1 のノードに対して結合され、前記第 3 の領域内には前記 P 型の高ドープ領域が形成されておらず、前記第 1 のベースを流れる前記第 1 のベース電流の全てが、さらに前記第 1 のコレクタを流れる、第 3 の領域と、

前記 PNP トランジスタの前記第 2 のコレクタとして機能する第 2 の高ドープ領域を含む第 4 の領域であって、前記第 2 の高ドープ領域が前記 P 型のドーパントでドーブされ、前記第 4 の領域が前記第 2 の低ドープ領域内に直接形成され、前記第 2 の高ドープ領域が前記第 2 のノードに対して結合され、前記第 4 の領域内には前記 N 型の高ドープ領域が形成されておらず、前記第 2 のベースを流れる前記第 2 のベース電流の全てが、さらに前記第 2 のコレクタを流れる、第 4 の領域と、

をさらに備える、請求項 9 に記載の E S D 保護デバイス。

【請求項 1 2】

前記第 3 の領域が、前記 N 型のドーパントでドーピングされた第 3 の低ドーピング領域であって、前記第 3 の低ドーピング領域が、前記第 1 の低ドーピング領域内に直接形成され、前記第 1 の高ドーピング領域が、前記第 3 の低ドーピング領域内に直接形成される、第 3 の低ドーピング領域をさらに備える、請求項 1 1 に記載の E S D 保護デバイス。

【請求項 1 3】

前記第 3 の領域が、前記 P 型のドーパントでドーピングされた第 3 の低ドーピング領域であって、前記第 3 の低ドーピング領域が、前記第 1 の低ドーピング領域内に直接形成され、前記第 1 の高ドーピング領域が、前記第 3 の低ドーピング領域内に直接形成される、請求項 1 1 に記載の E S D 保護デバイス。

【請求項 1 4】

前記 N P N トランジスタの前記第 1 のベース及び前記 P N P トランジスタの前記第 2 のエミッタとして機能する、第 1 の低ドーピング領域であって、P 型のドーパントでドーピングされた、第 1 の低ドーピング領域と、

前記 N P N トランジスタの前記第 1 のエミッタ及び前記 P N P トランジスタの前記第 2 のベースとして機能する、第 2 の低ドーピング領域であって、N 型のドーパントでドーピングされ、前記第 1 の低ドーピング領域内に形成される、第 2 の低ドーピング領域と、

前記 N P N トランジスタの前記第 1 のコレクタとして機能する、第 3 の低ドーピング領域であって、前記 N 型のドーパントでドーピングされ、前記第 1 の低ドーピング領域内に形成される、第 3 の低ドーピング領域と、

前記 P N P トランジスタの前記第 2 のコレクタとして機能する、第 4 の低ドーピング領域であって、前記 P 型のドーパントでドーピングされ、前記第 2 の低ドーピング領域内に形成される、第 4 の低ドーピング領域と、

をさらに備える、請求項 9 に記載の E S D 保護デバイス。

【請求項 1 5】

前記 P N P トランジスタの前記第 2 のベース及び前記 N P N トランジスタの前記第 1 のエミッタとして機能する、第 2 の低ドーピング領域であって、N 型のドーパントでドーピングされ、前記第 1 の低ドーピング領域が前記第 2 の低ドーピング領域内に形成される、第 2 の低ドーピング領域と、

前記 P N P トランジスタの前記第 2 のコレクタとして機能する、第 1 の高ドーピング領域を含む第 3 の領域であって、前記第 1 の高ドーピング領域が前記 P 型のドーパントでドーピングされ、前記第 3 の領域が前記第 2 の低ドーピング領域に直接形成され、前記第 1 の高ドーピング領域が前記第 2 のノードに対して結合され、前記第 3 の領域内には前記 N 型の高ドーピング領域が形成されておらず、前記第 2 のベースを流れる前記第 2 のベース電流の全てが、さらに前記第 2 のコレクタを流れる、第 3 の領域と、

前記 N P N トランジスタの前記第 1 のコレクタとして機能する、第 2 の高ドーピング領域を含む第 4 の領域であって、前記第 2 の高ドーピング領域が前記 N 型のドーパントでドーピングされ、前記第 4 の領域が前記第 1 の低ドーピング領域内に直接形成され、前記第 2 の高ドーピング領域が前記第 1 のノードに対して結合され、前記第 4 の領域内には前記 P 型の高ドーピング領域が形成されておらず、前記第 1 のベースを流れる前記第 1 のベース電流の全てが、さらに前記第 1 のコレクタを流れる、第 4 の領域と、

をさらに備える、請求項 9 に記載の E S D 保護デバイス。

【請求項 1 6】

前記第 3 の領域が前記 P 型のドーパントでドーピングされた第 3 の低ドーピング領域をさらに含み、前記第 3 の低ドーピング領域が前記第 2 の低ドーピング領域内に直接形成され、前記第 1 の高ドーピング領域が前記第 3 の低ドーピング領域内に直接形成される、請求項 1 5 に記載の E S D 保護デバイス。

【請求項 1 7】

前記第 3 の領域が前記 N 型のドーパントでドーピングされた第 3 の低ドーピング領域をさらに含

み、前記第 3 の低ドーブ領域が記第 2 の低ドーブ領域内に直接形成され、前記第 1 の高ドーブ領域が前記第 3 の低ドーブ領域内に直接形成される、請求項 1 5 に記載の E S D 保護デバイス。