

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成28年3月31日(2016.3.31)

【公表番号】特表2015-510265(P2015-510265A)

【公表日】平成27年4月2日(2015.4.2)

【年通号数】公開・登録公報2015-022

【出願番号】特願2014-555258(P2014-555258)

【国際特許分類】

H 01 L	21/822	(2006.01)
H 01 L	27/04	(2006.01)
H 01 L	27/06	(2006.01)
H 01 L	21/331	(2006.01)
H 01 L	29/732	(2006.01)
H 01 L	29/73	(2006.01)
H 01 L	27/08	(2006.01)

【F I】

H 01 L	27/04	H
H 01 L	27/06	3 1 1 C
H 01 L	29/72	P
H 01 L	29/72	Z
H 01 L	27/08	3 3 1 D
H 01 L	27/08	3 3 1 C
H 01 L	27/08	3 3 1 E

【手続補正書】

【提出日】平成28年2月5日(2016.2.5)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1のノードと第2のノードとの間に結合された静電放電(ESD)保護デバイスであって、

Pドーパントタイプの第1の低ドープ領域と、

前記第1の低ドープ領域内のNドーパントタイプの第2の低ドープ領域と、

前記Nドーパントタイプの第1の高ドープ領域を含むと共に前記第1の低ドープ領域内に直接形成された第3の領域であって、前記第1の高ドープ領域が前記第1のノードに対して結合され、前記第3の領域内には前記Pドーパントタイプの高ドープ領域が形成されていない、第3の領域と、

前記Pドーパントタイプの第2の高ドープ領域を含むと共に前記第2の低ドープ領域内に直接形成された第4の領域であって、前記第2の高ドープ領域が前記第2のノードに対して結合され、前記第4の領域内には前記Nドーパントタイプの高ドープ領域が形成されていない、第4の領域と、

を備え、

前記第1の高ドープ領域の電圧が、前記第2の高ドープ領域の電圧よりも高く、さらに、前記第1の高ドープ領域と前記第1の低ドープ領域との間の接合点が、ESD事象に応答して逆方向降伏状態になるように構成され、前記第2の低ドープ領域と前記第2の高ド

ープ領域との間の接合点が、前記 ESD 事象に応答して逆方向降伏状態になるように構成され、それにより、前記 ESD 保護デバイスが、ESD 事象に応答して前記第 1 のノードから前記第 2 のノードに電流をシンクするように構成される、ESD 保護デバイス。

【請求項 2】

前記第 3 の領域が、前記第 1 の低ドープ領域内に直接形成された前記 N ドーパントタイプの第 3 の低ドープ領域をさらに含み、

前記第 1 の高ドープ領域が、前記第 3 の低ドープ領域内に直接形成される、請求項 1 に記載の ESD 保護デバイス。

【請求項 3】

前記第 3 の領域が、前記第 1 の低ドープ領域内に直接形成された P ドーパントタイプの第 3 の低ドープ領域をさらに含み、

前記第 1 の高ドープ領域が、前記第 3 の低ドープ領域内に直接形成される、請求項 1 に記載の ESD 保護デバイス。

【請求項 4】

前記第 1 の低ドープ領域と前記第 2 の低ドープ領域との間に結合されるバイアス素子であって、前記第 1 の低ドープ領域及び前記第 2 の低ドープ領域により形成された順方向バイアス接合点の電圧を制御するように構成される、バイアス素子をさらに備え、

前記バイアス素子が、抵抗器、抵抗接続部、インダクタ、コンデンサ、逆方向接合点、順方向接合点、N 型金属酸化膜半導体 (NMOS)、P 型金属酸化膜半導体 (PMOS)、及びバイポーラトランジスタの中の少なくとも 1 つを含む、請求項 1 に記載の ESD 保護デバイス。

【請求項 5】

第 1 のノードと第 2 のノードとの間に結合された静電放電 (ESD) 保護デバイスであって、

N ドーパントタイプの第 1 の低ドープ領域と、

前記第 1 の低ドープ領域内に形成された P ドーパントタイプの第 2 の低ドープ領域と、

前記 N ドーパントタイプの第 1 の高ドープ領域を含むと共に前記第 2 の低ドープ領域内に直接形成された第 3 の領域であって、前記第 1 の高ドープ領域が前記第 1 のノードに対して結合され、前記第 3 の領域内には前記 P ドーパントタイプの高ドープ領域が形成されていない、第 3 の領域と、

前記 P ドーパントタイプの第 2 の高ドープ領域を含むと共に前記第 1 の低ドープ領域内に直接形成された第 4 の領域であって、前記第 2 の高ドープ領域が前記第 2 のノードに対して結合され、前記第 4 の領域内には前記 N ドーパントタイプの高ドープ領域が形成されていない、第 4 の領域と、

を備え、

前記第 1 の高ドープ領域の電圧が、前記第 2 の高ドープ領域の電圧よりも高く、さらに、前記第 1 の高ドープ領域と前記第 2 の低ドープ領域との間の接合点が、ESD 事象に応答して逆方向降伏状態になるように構成され、前記第 1 の低ドープ領域と前記第 2 の高ドープ領域との間の接合点が、前記 ESD 事象に応答して逆方向降伏状態になるように構成され、それにより、前記 ESD 保護デバイスが、ESD 事象に応答して前記第 1 のノードから前記第 2 のノードに電流をシンクするように構成される、ESD 保護デバイス。

【請求項 6】

前記第 3 の領域が、前記第 1 の低ドープ領域内に直接形成された前記 N ドーパントタイプの第 3 の低ドープ領域をさらに含み、

前記第 2 の高ドープ領域が、前記第 3 の低ドープ領域内に直接形成される、請求項 5 に記載の ESD 保護デバイス。

【請求項 7】

前記第 3 の領域が、前記第 1 の低ドープ領域内に直接形成された前記 P ドーパントタイプの第 3 の低ドープ領域をさらに含み、

前記第 2 の高ドープ領域が、前記第 3 の低ドープ領域内に直接形成される、請求項 5 に

記載の E S D 保護デバイス。

【請求項 8】

前記第2の低ドープ領域と前記第1の低ドープ領域との間に結合されるバイアス素子であって、前記第2の低ドープ領域及び前記第1の低ドープ領域により形成された順方向バイアス接合点の電圧を制御するように構成される、バイアス素子をさらに備え、

前記バイアス素子が、抵抗器、抵抗接続部、インダクタ、コンデンサ、逆方向接合点、順方向接合点、N型金属酸化膜半導体（N M O S）、P型金属酸化膜半導体（P M O S）、及びバイポーラトランジスタの中の少なくとも1つを含む、請求項5に記載のE S D 保護デバイス。

【請求項 9】

第1のノードと第2のノードとの間に結合された静電放電（E S D）保護デバイスであって、

第1のコレクタ、第1のエミッタ、及び第1のベースを備える、N P Nトランジスタと、
第2のコレクタ、第2のエミッタ、及び第2のベースを備える、P N Pトランジスタとを具備し、

前記第1のコレクタが、前記第1のノードに対して結合され、前記第2のコレクタが、前記第2のノードに対して結合され、前記第1のベースが、前記第2のエミッタに対して結合され、前記第1のエミッタが、前記第2のベースに対して結合され、第1の低ドープ領域が、P型のドーパントでドープされ、前記N P Nトランジスタの前記第1のベース及び前記P N Pトランジスタの前記第2のエミッタの両方として機能し、前記第1のベースを流れる第1のベース電流の全てが、さらに前記第1のコレクタを流れ、前記第2のベースを流れる第2のベース電流の全てが、さらに前記第2のコレクタを流れ、前記E S D 保護デバイスが、E S D事象に応答して前記第1のノードから前記第2のノードに電流をシンクするように構成される、E S D保護デバイス。

【請求項 10】

前記N P Nトランジスタの前記第1のベースと前記P N Pトランジスタの前記第2のベースとの間に結合されるバイアス素子であって、前記N P Nトランジスタの前記第1のベース及び前記P N Pトランジスタの前記第2のベースにより形成された順方向バイアス接合点の電圧を制御するように構成される、バイアス素子をさらに備え、

前記バイアス素子が、抵抗器、抵抗接続部、インダクタ、コンデンサ、逆方向接合点、順方向接合点、N型金属酸化膜半導体（N M O S）、P型金属酸化膜半導体（P M O S）、及びバイポーラトランジスタの中の少なくとも1つを備える、請求項9に記載のE S D 保護デバイス。

【請求項 11】

前記N P Nトランジスタの前記第1のエミッタ及び前記P N Pトランジスタの前記第2のベースとして機能する、第2の低ドープ領域であって、N型のドーパントでドープされ、前記第1の低ドープ領域内に形成される、第2の低ドープ領域と、

前記N P Nトランジスタの前記第1のコレクタとして機能する第1の高ドープ領域を含む第3の領域であって、前記第1の高ドープ領域が前記N型のドーパントでドープされ、前記第3の領域が前記第1の低ドープ領域内に直接形成され、前記第1の高ドープ領域が前記第1のノードに対して結合され、前記第3の領域内には前記P型の高ドープ領域が形成されておらず、前記第1のベースを流れる前記第1のベース電流の全てが、さらに前記第1のコレクタを流れる、第3の領域と、

前記P N Pトランジスタの前記第2のコレクタとして機能する第2の高ドープ領域を含む第4の領域であって、前記第2の高ドープ領域が前記P型のドーパントでドープされ、前記第4の領域が前記第2の低ドープ領域内に直接形成され、前記第2の高ドープ領域が前記第2のノードに対して結合され、前記第4の領域内には前記N型の高ドープ領域が形成されておらず、前記第2のベースを流れる前記第2のベース電流の全てが、さらに前記第2のコレクタを流れる、第4の領域と、

をさらに備える、請求項9に記載のE S D保護デバイス。

【請求項12】

前記第3の領域が、前記N型のドーパントでドープされた第3の低ドープ領域であって、前記第3の低ドープ領域が、前記第1の低ドープ領域内に直接形成され、前記第1の高ドープ領域が、前記第3の低ドープ領域内に直接形成される、第3の低ドープ領域をさらに備える、請求項11に記載のE S D保護デバイス。

【請求項13】

前記第3の領域が、前記P型のドーパントでドープされた第3の低ドープ領域であって、前記第3の低ドープ領域が、前記第1の低ドープ領域内に直接形成され、前記第1の高ドープ領域が、前記第3の低ドープ領域内に直接形成される、請求項11に記載のE S D保護デバイス。

【請求項14】

前記NPNトランジスタの前記第1のベース及び前記PNPトランジスタの前記第2のエミッタとして機能する、第1の低ドープ領域であって、P型のドーパントでドープされた、第1の低ドープ領域と、

前記NPNトランジスタの前記第1のエミッタ及び前記PNPトランジスタの前記第2のベースとして機能する、第2の低ドープ領域であって、N型のドーパントでドープされ、前記第1の低ドープ領域内に形成される、第2の低ドープ領域と、

前記NPNトランジスタの前記第1のコレクタとして機能する、第3の低ドープ領域であって、前記N型のドーパントでドープされ、前記第1の低ドープ領域内に形成される、第3の低ドープ領域と、

前記PNPトランジスタの前記第2のコレクタとして機能する、第4の低ドープ領域であって、前記P型のドーパントでドープされ、前記第2の低ドープ領域内に形成される、第4の低ドープ領域と、

をさらに備える、請求項9に記載のE S D保護デバイス。

【請求項15】

前記PNPトランジスタの前記第2のベース及び前記NPNトランジスタの前記第1のエミッタとして機能する、第2の低ドープ領域であって、N型のドーパントでドープされ、前記第1の低ドープ領域が前記第2の低ドープ領域内に形成される、第2の低ドープ領域と、

前記PNPトランジスタの前記第2のコレクタとして機能する、第1の高ドープ領域を含む第3の領域であって、前記第1の高ドープ領域が前記P型のドーパントでドープされ、前記第3の領域が前記第2の低ドープ領域に直接形成され、前記第1の高ドープ領域が前記第2のノードに対して結合され、前記第3の領域内には前記N型の高ドープ領域が形成されておらず、前記第2のベースを流れる前記第2のベース電流の全てが、さらに前記第2のコレクタを流れる、第3の領域と、

前記NPNトランジスタの前記第1のコレクタとして機能する、第2の高ドープ領域を含む第4の領域であって、前記第2の高ドープ領域が前記N型のドーパントでドープされ、前記第4の領域が前記第1の低ドープ領域内に直接形成され、前記第2の高ドープ領域が前記第1のノードに対して結合され、前記第4の領域内には前記P型の高ドープ領域が形成されておらず、前記第1のベースを流れる前記第1のベース電流の全てが、さらに前記第1のコレクタを流れる、第4の領域と、

をさらに備える、請求項9に記載のE S D保護デバイス。

【請求項16】

前記第3の領域が前記P型のドーパントでドープされた第3の低ドープ領域をさらに含み、前記第3の低ドープ領域が記第2の低ドープ領域内に直接形成され、前記第1の高ドープ領域が前記第3の低ドープ領域内に直接形成される、請求項15に記載のE S D保護デバイス。

【請求項17】

前記第3の領域が前記N型のドーパントでドープされた第3の低ドープ領域をさらに含

み、前記第3の低ドープ領域が記第2の低ドープ領域内に直接形成され、前記第1の高ドープ領域が前記第3の低ドープ領域内に直接形成される、請求項1-5に記載のESD保護デバイス。