

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 4 月 18 日 (18.04.2024)



(10) 国际公布号
WO 2024/078335 A1

- (51) 国际专利分类号:
H01L 21/28 (2006.01) **H10B 12/00** (2023.01)
H01L 29/423 (2006.01)
- (21) 国际申请号: PCT/CN2023/121918
- (22) 国际申请日: 2023 年 9 月 27 日 (27.09.2023)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202211253484.1 2022 年 10 月 13 日 (13.10.2022) CN
- (71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。
- (72) 发明人: 胡敏锐 (HU, Minrui); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。唐怡 (TANG, Yi); 中国安

徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

- (74) 代理人: 北京名华博信知识产权代理有限公司 (BOXIN CHINA INTELLECTUAL PROPERTY); 中国北京市海淀区黑泉路 8 号 1 幢 4 层 101-10 号, Beijing 100192 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,

(54) **Title:** SEMICONDUCTOR STRUCTURE MANUFACTURING METHOD, AND SEMICONDUCTOR STRUCTURE

(54) 发明名称: 半导体结构的制作方法 及 半导体结构

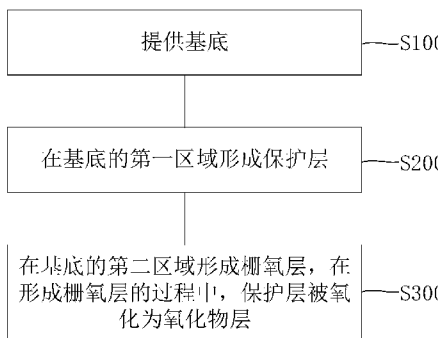


图 1

- S100 Provide substrate
S200 Form a protective layer in a first region of the substrate
S300 Form a gate oxide layer in a second region of the substrate, and oxidize the protective layer into an oxide layer during the process of forming the gate oxide layer

(57) **Abstract:** Disclosed are a semiconductor structure manufacturing method, and a semiconductor structure. The semiconductor structure manufacturing method comprises: providing a substrate; forming a protective layer in a first region of the substrate; forming a gate oxide layer in a second region of the substrate, and oxidizing the protective layer into an oxide layer during the process of forming the gate oxide layer.

(57) **摘要:** 公开了一种半导体结构的制作方法 及 半导体结构。半导体结构的制作方法包括提供基底, 在基底的第一区域形成保护层, 在基底的第二区域形成栅氧层, 在形成栅氧层的过程中, 保护层被氧化为氧化物层。

NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

半导体结构的制作方法

本公开基于申请号为 202211253484.1、申请日为 2022 年 10 月 13 日、申请名称为“半导体结构的制作方法”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及但不限于一种半导体结构的制作方法。

背景技术

在一些工艺制程中，衬底以及设置于衬底上的一些材料层在栅氧化制程之前形成，衬底和这些材料层对氧气非常敏感，在栅氧化制程过程中，如果未对这些结构进行保护或者保护不当，极易导致这些结构被氧化，影响半导体器件的性能。

发明内容

以下是对本公开详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。根据一些实施例，本公开的第一方面，提供了一种半导体结构的制作方法，包括：提供基底；

在所述基底的第一区域形成保护层；

在所述基底的第二区域形成栅氧层，在形成所述栅氧层的过程中，所述保护层被氧化为氧化物层。

根据一些实施例，本公开的第二方面，提供了一种半导体结构，包括：

基底，包括第一区域和第二区域；

氧化物层，覆盖所述基底的第一区域的顶面；

栅氧层，覆盖所述基底的第二区域的顶面。

本公开提供的半导体结构的制作方法中，通过在基底上形成能够与氧气反应并生成氧化物层的保护层，以使在栅氧化制程的过程中，保护层能够通过化学反应的方式吸收氧气以减少氧气含量，并且吸收氧气后的保护层形成氧化物层还能够以物理方式阻挡氧气，实现充分保护基底；并且，去除氧化物层的工艺与常规技术兼容，不会对后续制程产生影响。

在阅读并理解了附图和详细描述后，可以明白其他方面。

附图说明

图 1 是根据一示例性实施例示出的半导体结构的制作方法的流程图。

图 2 是根据一示例性实施例示出的半导体结构的示意图。

图 3 是根据一示例性实施例示出的半导体结构的示意图。

图 4 是根据一示例性实施例示出的半导体结构的示意图。

图 5 是根据一示例性实施例示出的半导体结构的示意图。

图 6 是根据一示例性实施例示出的半导体结构的示意图。

图 7 是根据一示例性实施例示出的半导体结构的示意图。

图 8 是根据一示例性实施例示出的半导体结构的示意图。

图 9 是根据一示例性实施例示出的半导体结构的示意图。

图 10 是根据一示例性实施例示出的半导体结构的示意图。

附图标记：

100、基底；

110、第一区域；120、第二区域；121、第一子区域；122、第二子区域；130、衬底；

5 111、埋入式字线；112、隔离结构；113、介质层；

200、保护层；210、第一材料层；220、第二材料层；

300、栅氧层；310、第一栅氧层；320、第二栅氧层；

400、氧化物层；

500、沟道材料层；

10 600、第一光刻胶层；700、第二光刻胶层；

800、高 K 介质层。

具体实施方式

下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本公开一部分实施例，而不是全部的实施例。基于本公开实施例，本领域技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。需要说明的是，在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互任意组合。

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例中的附图，对公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。需要说明的是，在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互任意组合。

在一些工艺制程中，衬底以及设置于衬底上的一些材料层，比如 SiGe，在栅氧化制程之前形成，衬底和这些材料层对氧气非常敏感，在栅氧化制程过程中，如果未对这些结构进行保护或者保护不当，极易导致这些结构被氧化，影响半导体器件的性能。

通常，会通过形成双层氧化物层用于阻挡氧气扩散，以保护衬底等结构，但是，双层氧化物层对于氧气的阻挡效果有限，仍存在衬底等结构被氧化的风险。

为了改善在栅氧化制程工艺过程中，现在的保护层不能够对衬底等结构进行有效保护的问题，本公开提供了一种半导体结构的制作方法，制作方法包括提供基底；在基底的第一区域形成保护层；在基底的第二区域形成栅氧层，在形成栅氧层的过程中，保护层被氧化为氧化物层。本公开实施例中，通过在基底上形成能够与氧气反应并生成氧化物层的保护层，以使在栅氧化制程的过程中，保护层能够通过化学反应的方式吸收氧气以减少氧气含量，并且吸收氧气后的保护层形成的氧化物层还能够以物理方式阻挡氧气，实现充分保护基底，并且去除氧化物层的工艺与常规技术兼容，不会对后续制程产生影响。

本公开实施例对半导体结构不做限制，下面将以半导体结构为动态随机存储器（DRAM）为例进行介绍，但本实施例并不以此为限，本实施例的半导体结构还可以为其他的结构。其中，图 1 示出了根据本公开一示例性实施例提供的半导体结构的制作方法的流程图，图 2 至图 10 为半导体结构的制作方法的各个阶段的示意图，下面结合图 2 至图 10 对半导体结构的制作方法进行介绍。

根据本公开一示例性实施例，如图 1 所示，本公开实施例提供了一种半导体结构的制作方法，制作方法包括如下步骤：

步骤 S100、提供基底。

该步骤中，如图 2 所示，基底 100 包括衬底 130，以及设置于衬底 130 上的元器件，元器件比如晶体管、电容器等。

其中，衬底 130 用于支撑设置在其上的元器件，衬底 130 的材料可以为硅(Si)、锗(Ge)、

或锗化硅(SiGe)、碳化硅(SiC);也可以是绝缘体上硅(SOI),绝缘体上锗(GOI);或者还可以为其它的材料,例如砷化镓等III-V族化合物。

步骤 S200、在基底的第一区域形成保护层。

该步骤中,如图2所示,可以采用物理气相沉积、化学气相沉积、原子层沉积或外延生长等方式在基底100的第一区域110的顶面形成保护层200。

在一个实施例中,在基底100的第一区域110形成保护层200,具体可以包括以下步骤:

步骤 S210、在基底的顶面依次形成第一材料层和第二材料层,第一材料层和第二材料层覆盖基底的顶面,第二材料层覆盖第一材料层的顶面。

该步骤中,如图2所示,首先,可以采用沉积、外延生长等工艺在基底100的整个顶面(包括第一区域110和第二区域120)形成第一材料层210,第一材料层210的材料为氧化物,氧化物可以为金属氧化物也可以为非金属氧化物,比如二氧化硅(SiO_2)。接着,可以采用沉积、外延生长等工艺在第一材料层210的顶面形成第二材料层220,第二材料层220的材料可以是多晶硅(Poly Si)或者氮化物(Nitride),多晶硅和氮化物能够与氧气发生反应,以在栅氧化制程过程中吸收氧气,从而提升保护层的氧气阻挡能力。

在一些实施例中,氮化物包括氮化硅,比如可以是 Si_3N_4 。

在一些实施例中,第二材料层220的厚度小于第一材料层210的厚度,以使得第一材料层210能够保证衬底130等结构与环境中的氧气隔绝,且第二材料层220在形成栅氧层300的过程中能够完全氧化为氧化物层400并阻挡氧气在保护层300中的扩散,提升后续去除氧化物层400的效率。

其中,为了提升第一材料层和第二材料层的结构可靠性,在形成第一材料层之前,可以对基底顶面进行化学机械抛光,在形成第二材料层之前,可以对第一材料层的顶面进行化学机械抛光。

步骤 S220、去除覆盖于基底的第二区域的第一材料层和第二材料层,被保留的位于基底的第一区域的第一材料层和第二材料层形成保护层。

该步骤中,参照图2和图8,可以采用光刻、刻蚀工艺去除覆盖于基底100的第二区域120的第一材料层210和第二材料层220,暴露出基底100的第二区域120的顶面,进而可以在基底100的第二区域120上形成栅氧层300(参照图8)。保留的位于第一区域110顶面的第一材料层210和第二材料层220形成保护层200。

需要说明的是,去除覆盖第二区域120顶面的第一材料层210和第二材料层220时,可以一次性去除第二区域120上的全部第一材料层210和第二材料层220。

也可以先去除第二区域120上的部分第一材料层210和部分第二材料层220,并在被去除第一材料层210和第二材料层220的位置完成指定制程工艺后,再去掉第二区域120上的另一部分第一材料层210和另一部分第二材料层220,从而在后续的栅氧化制程中,可以根据半导体器件中不同位置的性能需求,以在基底100的第二区域120上形成不同厚度的栅氧层300,使半导体器件具有最优的性能。例如,在核心区(Core)可以形成较薄的栅氧层300,使半导体器件具有更快的响应速度,而在输入输出区(I/O)可以形成较厚的栅氧层300,以满足输入输出区的高电压需求,避免出现隧穿漏电流的问题。

该步骤中,本公开实施例中示例性地示出了由第一材料层和第二材料层形成保护层的方案,这并不对本公开的技术方案产生限定,保护层还可以为三层、四层或者更多层的叠层结构。

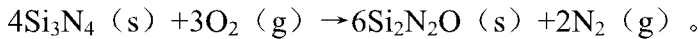
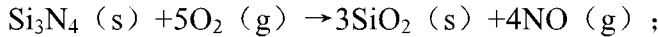
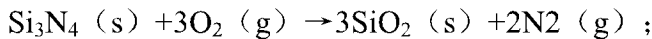
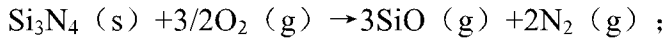
在一些实施例中,在基底的顶面形成第一材料层和第二材料层交替堆叠的保护层,例如保护层可以包括至少两层第一材料层和至少一层第二材料层。

步骤 S300、在基底的第二区域形成栅氧层,在形成栅氧层的过程中,保护层被氧化为氧化物层。

该步骤中,参照图4和图5,以及图7和图8,可以采用热氧化等工艺在基底100的第二区域120形成栅氧层300,栅氧层300的材料比如可以是二氧化硅(SiO_2)。其中,

在形成栅氧层 300 的过程中,保护层 200 能够被氧化为氧化物层 400。当保护层 200 为第一材料层 210 和第二材料层 220 构成的双层结构时,位于上层的第二材料层 220 被氧化形成氧化物层 400。

以第二材料层 200 的材料为 Si_3N_4 为例,第二材料层 220 与氧气反应形成氧化物层 400 的化学反应式包括:



其中, (s) 表示该物质为固体, (g) 表示该物质为气体。

当工艺温度为 1073K~1373K 时, Si_3N_4 能够被氧化为氧化物,在一个实际场景中,每消耗 0.44Å 的 Si_3N_4 能够生成 1Å 氧化物。在一些实施例中,第二材料层 200 的厚度为栅氧层 300 厚度的 0.44 倍-1.5 倍,栅氧层 300 可由一步形成,也可以分步形成。

由上可知,栅氧化制程过程中,保护层 200 能够与氧气发生化学反应以减小氧气含量,且在吸收氧气后的保护层 200 被氧化而形成氧化物层 400,氧化物层 400 对氧气具有物理阻挡作用,与常规方案相比,本公开方案中的保护层 200 能够通过化学方式、物理方式对氧气进行有效地阻挡。

本公开实施例中,在基底上形成能够与氧气反应并生成氧化物层的保护层,从而在栅氧化制程的过程中,保护层能够先通过化学反应的方式吸收氧气以减少氧气含量,保护层被氧化后形成的氧化物层又能以物理方式阻挡氧气,从而有效避免基底被氧化;并且,去除氧化物层的工艺与常规技术兼容,不会对后续制程产生影响。

在一个示例性实施例中,本实施例是对上述实施例中步骤 S220 的进一步说明,步骤 S220 具体可以包括以下步骤:

步骤 S221、形成第一光刻胶层,第一光刻胶层覆盖位于基底的第一区域的第二材料层的顶面。

该步骤中,如图 2 和图 3 所示,光刻胶可以是正性光刻胶 (Positive photoresist),也可以是负性光刻胶 (Photolithography negative glue),以光刻胶层的材料为正性光刻胶为例,首先,可以在基底上形成光刻胶层,接着,可以在基底上方(图 2 中所示 z 方向)设置光罩,光罩至少遮挡基底 100 的第一区域 110,然后,可以通过曝光去除未被光罩遮挡的光刻胶层,保留的光刻胶层形成第一光刻胶层 600。

步骤 S222、以第一光刻胶层为掩膜,去除第二区域的部分第一材料层和第二材料层。

该步骤中,如图 3 和图 4 所示,可以第一光刻胶层 600 为掩膜,采用刻蚀工艺去除未被第一光刻胶层 600 覆盖的第一材料层 210 和第二材料层 220,以暴露出基底 100 的第二区域 120 的至少部分顶面。

在一个实施例中,如图 4 所示,可以去除覆盖基底 100 的第二区域 120 的部分第一材料层 210 和第二材料层 220。例如,基底 100 的第二区域 120 包括第一子区域 121 和第二子区域 122,并且后道工艺中形成的栅氧层 300 包括第一栅氧层 310 和第二栅氧层 320,第一栅氧层 310 位于第一子区域 121 上,第二栅氧层 320 位于第二子区域 122 上,第一子区域 121 比如外围电路的输入输出区(I/O),第二子区域 122 比如外围电路的核心区(Core),由于输入输出区和核心区的工作电压不同,可以将外围电路的输入输出区和核心区可以设置不同厚度的栅氧层 300,以使得输入输出区和核心区均具有最佳的性能。

在一个实施例中,步骤 S300 具体可以包括以下步骤:

步骤 S310、去除位于第一子区域的保护层。

该步骤中,如图 3 和图 4 所示,可以通过光刻、刻蚀工艺去除位于第一子区域 121 的保护层,以暴露出基底 100 的第一子区域 121 的顶面。

步骤 S320、在第一子区域形成第一栅氧层,在形成第一栅氧层的过程中,位于第一区域和第二子区域的保护层被氧化为氧化物层。

该步骤中，如图 5 所示，使用栅氧化制程工艺在第一子区域 121 上形成第一栅氧层 310，其中，基于输入输出区（I/O）处的工作电压较高，因此，可以在第一子区域 121 上形成较厚的第一栅氧层 310，以避免由于第一栅氧层 310 过薄时对电子的阻挡效果差，导致发生隧穿漏电流的问题。

需要说明的是，参照图 4 和图 5，栅氧化制程工艺作用于基底 100 的整个顶面，在栅氧化制程工艺过程中，基底 100 的第一子区域 121 上能够形成第一栅氧层 310，覆盖于基底 100 的第一区域 110 和第二子区域 122 的第二材料层 220 能够被氧化，第二材料层 220 与氧气发生化学反应使得氧气含量降低，第二材料层 220 能够被氧化形成氧化物层 400。

以第二材料层 220 的材料为多晶硅为例，则氧化形成的氧化物层 400 的材料包括 SiO_2 。

以第二材料层 220 的材料为 Si_3N_4 为例，则氧化形成的氧化物层 400 的材料包括 SiO_2 和 $\text{Si}_2\text{N}_2\text{O}$ 中的任意一种或多种。

步骤 S330、去除位于第二子区域的氧化物层，以暴露出基底的第二子区域的顶面。

该步骤中，如图 6 和图 7 所示，可以采用光刻、刻蚀工艺去除覆盖于第二子区域 122 上的第一材料层 210 和氧化物层 400，基底 100 的第二子区域 122 的顶面暴露出来，从而能够在第二子区域 122 的顶面上形成第二栅氧层 320（参照图 8）。

在一个示例中，步骤 S330 具体可以包括以下步骤：

步骤 S331、形成第二光刻胶层，第二光刻胶层覆盖第一栅氧层的顶面以及第一区域的氧化物层的顶面，覆盖于第二子区域的氧化物层暴露出来。

该步骤中，如图 6 所示，可以在基底 100 的第一区域 110、第一子区域 121 的顶面形成第二光刻胶层 700，而覆盖于基底 100 的第二子区域 122 上的氧化物层 400 的顶面暴露出来。形成第二光刻胶层的方式可以与步骤 S221 中形成第一光刻胶层 600 的方式相同，此处不再赘述。

步骤 S332、以第二光刻胶层为掩膜，去除覆盖于第二子区域的氧化物层，暴露出基底的第二子区域的顶面。

该步骤中，如图 6 和图 7 所示，步骤 S332 的实现方式与步骤 S222 的实现方式相同，此处不再赘述。

步骤 S340、形成第二栅氧层，第二栅氧层覆盖基底的第二子区域的顶面。

该步骤中，如图 8 所示，可以采用栅氧化制程工艺在基底 100 的第二子区域 122 的顶面形成第二栅氧层 320，基底 100 的第二子区域 122 可以是核心区（Core），核心区的工作电压交低，形成较薄的第二栅氧层 320，使得半导体器件具有更快的响应速度。

在一些实施例中，形成第一栅氧层 310 的过程中，保护层中的部分第二材料层 220 被氧化成氧化物层 400，形成第二栅氧层 320 的过程中，保护层中的剩余全部第二材料层 220 被氧化成氧化物层 400。

步骤 S350、在第一栅氧层和第二栅氧层的顶面形成高 K 介质层，高 K 介质层还覆盖第一区域的氧化物层顶面。

该步骤中，如图 9 所示，可以通过沉积工艺在半导体器件的顶面形成高 K 介质层 800（high-K），也即高 K 介质层 800 能够覆盖第一栅氧层 310、第二栅氧层 320 以及覆盖第一区域 110 的氧化物层 400 的顶面。

需要说明的是，形成高 K 介质层 800 的工艺比如 HKMG（High-K Metal Gate，高电介质金属栅极）工艺，其中 HK 表示 High-K（高介电常数），MG 表示 Metal Gate（金属栅极），也即，使用高 K 介质材料代替或叠加常规技术中的氧化物材料制成的栅氧层，并使用金属栅极代替多晶硅栅极，高 K 介质层 800 能够提高栅氧厚度，降低出现隧穿漏电流的风险，提升半导体器件的性能。高 K 介质层 800 的材料包括但不限于氧化铪、氧化铝、氧化镧或氧化铟等。

步骤 S360、去除第一区域的氧化物层和高 K 介质层。

该步骤中，如图 10 所示，可以通过光刻、刻蚀等工艺去除位于第一区域 110 的氧化物层 400 和高 K 介质层 800，以暴露出基底 100 的第一区域 110 的顶面。

可以理解的是,由于基底 100 的第一区域 110(存储有源区)可以采用埋入式字线 111,从而在第一区域 110 处无需进行栅氧化制程工艺,因此,在基底 100 的第二区域 120 完成栅氧化制程工艺之后,可以将第一区域 111 的氧化物层 400 和高 K 介质层 800 去除。

在一些实施例中,基底 100 的第一区域 110 在形成保护层 200 之前还形成有介质层 113,介质层 113 用于进一步保护第一区域 110 的衬底 130。

在一个示例性实施例中,本实施例是对上述实施例中步骤 S100 的进一步说明,提供基底具体可以包括以下步骤:

步骤 S110、提供衬底。

步骤 S120、在衬底的第一区域形成存储有源区和贯穿存储有源区的埋入式字线。

该步骤中,参照图 2,比如通过离子注入的方式在衬底 130 的第一区域(参照基底 100 的第一区域 110)形成 P 阱区、N 阱区和浅沟槽隔离结构 112(shallow trench isolation, STI),以及凹入衬底中的埋入式字线 111(buried word line),埋入式字线 111 可以沿图 2 中所示 y 方向贯穿存储有源区,可用于形成 1T1C(即每个基础存储单元仅包括一个晶体管和一个电容器)存储阵列的有源区。

步骤 S130、在衬底的第二区域形成外围有源区。

该步骤中,参照图 2,可以通过离子注入等方式在衬底 130 的第二区域(参照基底 100 的第二区域 120)形成 P 阱区、N 阱区等,进而可以形成 P 型晶体管、N 型晶体管。

根据本公开一示例性实施例,如图 2 至图 8 所示,本公开提供了一种半导体结构,半导体结构包括基底 100 和栅氧层 300,以及在保护层 200。

本实施例中,如图 8 所示,基底 100 包括第一区域 110 和第二区域 120。参照图 8,基底 100 的第一区域 110 比如半导体器件的存储有源区,存储有源区又被称为阵列区(Array),存储有源区包括阵列排布的多个存储单元,每个存储单元包括晶体管、电容器等,多个晶体管和电容器通过十字交叉设置的字线和位线连接,进而可以通过字线和位线选中任一个存储单元,以在该存储单元中进行数据读写,此处不对字线和位线的原理过多赘述。

参照图 8,基底 100 的第二区域 120 比如半导体器件的外围有源区,外围有源区又被称为外围电路区,外围有源区中设置有 N 型晶体管(NMOS, Negative channel Metal-Oxide-Semiconductor)、P 型晶体管(PMOS, positive channel Metal-Oxide-Semiconductor)、电容器等。第二区域 120 的第一子区域 121 为输入输出区(I/O),第二子区域 122 为核心区(Core)。

本实施例中,如图 8 所示,氧化物层 400 覆盖基底 100 的第一区域 110 的顶面。由前述实施例可知,氧化物层 400 由保护层 200 在栅氧化制程过程中被氧化形成。保护层 200 包括上下堆叠的第一材料层 210 和第二材料层 220 时,氧化物层 400 可以是由位于上层的第二材料层 220 被氧化形成。

本实施例中,如图 8 所示,栅氧层 300 覆盖基底 100 的第二区域 120 的顶面,栅氧层的形成材料包括二氧化硅等。栅氧层 300 的厚度可以不同,例如,在基底 100 的第二区域 120 的第二子区域 122(核心区)可以设置较薄的第二栅氧层 320,在第二区域 120 的第一子区域 121(输入输出区)可以设置较厚的第一栅氧层 310。

本公开实施例中,保护层覆盖于基底的第一区域,且保护层能够与氧气反应生成氧化物层,在栅氧化制程的过程中,保护层能够通过化学反应的方式吸收氧气以减少氧气含量,并且吸收氧气后形成的氧化物层再以物理方式阻挡氧气,以充分保护基底,并且,去除氧化物层的工艺与常规技术兼容,不会对后续制程产生影响。

在一个实施例中,如图 8 所示,位于第一子区域 121 中设置有输入输出晶体管,输入输出晶体管包括覆盖于基底 100 的第一子区域 121 的第一栅氧层 310,第二子区域 122 中设置有核心晶体管,核心晶体管包括覆盖于基底 100 的第二子区域 122 的第二栅氧层 320,第一栅氧层 310 的厚度(图 2 中所示 z 方向,即垂直于基底上表面的方向)大于第二栅氧层 320,已在前述实施例中进行说明,此处不再赘述。

其中,如图 8 所示,核心晶体管还包括沟道材料层 500,沟道材料层 500 位于基底 100 的第二区域 120 的第二子区域 122 与第二栅氧层 320 之间。例如,部分沟道材料层 500 位于第二子区域 122 中 P 型晶体管上,沟道材料层 500 的材料比如可以是锗化硅、碳化硅中的任意一种或多种,沟道材料层 500 与衬底的晶格常数不同,能够产生应力以提高了 P 型晶体管的沟道区中电子空穴的迁移率。

在一个实施例中,如图 2 所示,基底 100 包括 P 阱区、N 阱区和浅沟槽隔离结构 112 (shallow trench isolation, STI),以及凹入衬底中的埋入式字线 111 (buried word line, BWZ),埋入式字线 111 可以沿图 2 中所示 y 方向贯穿存储有源区,可用于形成 1T1C (即每个基础存储单元仅包括一个晶体管和一个电容器) 存储阵列的有源区。

在本说明书的描述中,参考术语“实施例”、“示例性的实施例”、“一些实施方式”、“示意性实施方式”、“示例”等的描述意指结合实施方式或示例描述的具体特征、结构、材料或者特点包含于本公开的至少一个实施方式或示例中。

在本说明书中,对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且,描述的具体特征、结构、材料或者特点可以在任何的一个或多个实施方式或示例中以合适的方式结合。

在本公开的描述中,需要说明的是,术语“中心”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本公开和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本公开的限制。

可以理解的是,本公开所使用的术语“第一”、“第二”等可在本公开中用于描述各种结构,但这些结构不受这些术语的限制。这些术语仅用于将第一个结构与另一个结构区分。

在一个或多个附图中,相同的元件采用类似的附图标记来表示。为了清楚起见,附图中的多个部分没有按比例绘制。此外,可能未示出某些公知的部分。为了简明起见,可以在一幅图中描述经过数个步骤后获得的结构。在下文中描述了本公开的许多特定的细节,例如器件的结构、材料、尺寸、处理工艺和技术,以便更清楚地理解本公开。但正如本领域技术人员能够理解的那样,可以不按照这些特定的细节来实现本公开。

最后应说明的是:以上各实施例仅用以说明本公开的技术方案,而非对其限制;尽管参照前述各实施例对本公开进行了详细的说明,本领域技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分或者全部技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本公开各实施例技术方案的范围。

工业实用性

本公开提供的半导体结构的制作方法,及半导体结构中,通过在基底上形成能够与氧气反应并生成氧化物层的保护层,以使在栅氧化制程的过程中,保护层能够通过化学反应的方式吸收氧气以减少氧气含量,并且吸收氧气后的保护层形成氧化物层还能够以物理方式阻挡氧气,实现充分保护基底;并且,去除氧化物层的工艺与常规技术兼容,不会对后续制程产生影响。

权利要求书

1. 一种半导体结构的制作方法，包括：

提供基底（100）；

在所述基底（100）的第一区域（110）形成保护层（200）；

5 在所述基底（100）的第二区域（120）形成栅氧层（300），在形成所述栅氧层（300）的过程中，所述保护层（200）被氧化为氧化物层（400）。

2. 根据权利要求 1 所述的半导体结构的制作方法，其中，在所述基底（100）的第一区域（110）形成保护层（200），包括：

在所述基底（100）的顶面依次形成第一材料层（210）和第二材料层（220），

10 所述第一材料层（210）覆盖所述基底（100）的顶面，所述第二材料层（220）覆盖所述第一材料层（210）的顶面；

去除覆盖于所述基底（100）的第二区域（120）的所述第一材料层（210）和所述第二材料层（220），被保留的位于所述基底（100）的第一区域（110）的所述第一材料层（210）和所述第二材料层（220）形成所述保护层（200）；

15 所述保护层（200）被氧化为氧化物层（400）包括：至少所述第二材料层（220）被氧化为氧化物层（400）。

3. 根据权利要求 2 所述的半导体结构的制作方法，其中，去除覆盖于所述基底（100）的第二区域（120）的所述第一材料层（210）和所述第二材料层（220），包括：

20 形成第一光刻胶层（600），所述第一光刻胶层（600）覆盖位于所述基底（100）的第一区域（110）的所述第二材料层（220）的顶面；

以所述第一光刻胶层（600）为掩膜，去除所述第二区域（120）的部分所述第一材料层（210）和部分所述第二材料层（220）。

25 4. 根据权利要求 2 所述的半导体结构的制作方法，其中，所述第一材料层（210）的材料包括氧化物。

5. 根据权利要求 2 所述的半导体结构的制作方法，其中，所述第二材料层（220）的材料包括多晶硅，所述氧化物层（400）的材料包括 SiO_2 ；或，

所述第二材料层（220）的材料包括氮化物，所述氧化物层（400）的材料包括 SiO_2 和/或 $\text{Si}_2\text{N}_2\text{O}$ 。

30 6. 根据权利要求 1 所述的半导体结构的制作方法，其中，在所述基底（100）的第二区域（120）形成所述栅氧层（300）时，工艺温度为 $1073\text{K}\sim 1373\text{K}$ 。

7. 根据权利要求 1-6 中任一项所述的半导体结构的制作方法，其中，所述第二区域（120）包括第一子区域（121）和第二子区域（122），所述栅氧层（300）包括第一栅氧层（310）和第二栅氧层（320）；

35 在所述基底（100）的第二区域（120）形成栅氧层（300），包括：

去除位于所述第一子区域（121）的保护层（200）；

在所述第一子区域（121）形成第一栅氧层（310），在形成所述第一栅氧层（310）的过程中，位于所述第一区域（110）和所述第二子区域（122）的所述保护层（200）被氧化为氧化物层（400）；

40 去除位于所述第二子区域（122）的所述氧化物层（400），以暴露出所述基底（100）的第二子区域（122）的顶面；

形成第二栅氧层（320），所述第二栅氧层（320）覆盖所述基底（100）的第二子区域（122）的顶面；

在所述第一栅氧层（310）和所述第二栅氧层（320）的顶面形成高 K 介质层（800），

45 所述高 K 介质层（800）还覆盖所述第一区域（110）的所述氧化物层（400）顶面；

去除所述第一区域（110）的氧化物层（400）和所述高 K 介质层（800）。

8. 根据权利要求 7 所述的半导体结构的制作方法，其中，去除位于所述第二子区域（122）的所述氧化物层（400），包括：

形成第二光刻胶层（700），所述第二光刻胶层（700）覆盖所述第一栅氧层（310）的顶面以及所述第一区域（110）的所述氧化物层（400）的顶面，覆盖于所述第二子区域（122）的所述氧化物层（400）被暴露出来；

以所述第二光刻胶层（700）为掩膜，去除覆盖于所述第二子区域（122）的所述氧化物层（400），暴露出所述基底（100）的第二子区域（122）的顶面。

9. 根据权利要求 8 所述的半导体结构的制作方法，其中，在垂直于所述基底（100）上表面的方向上，所述第一栅氧层（310）的厚度大于所述第二栅氧层（320）的厚度；

所述提供基底（100），还包括：

在所述第二子区域（122）中用于形成 P 型晶体管的区域上形成沟道材料层（500）。

10. 根据权利要求 1-6 中任一项所述的半导体结构的制作方法，其中，提供基底（100），包括：

提供衬底（130）；

在所述衬底（130）的第一区域（110）形成存储有源区及贯穿所述存储有源区的埋入式字线（111）；

在所述衬底（130）的第二区域（120）形成外围有源区。

11. 一种半导体结构，包括：

基底（100），包括第一区域（110）和第二区域（120）；

氧化物层（400），覆盖所述基底（100）的第一区域（110）的顶面；

栅氧层（300），覆盖所述基底（100）的第二区域（120）的顶面。

12. 根据权利要求 11 所述的半导体结构，其中，所述氧化物层（400）的材料包括 SiO_2 和 $\text{Si}_2\text{N}_2\text{O}$ 中的至少一种。

13. 根据权利要求 11 或 12 所述的半导体结构，其中，所述第二区域（120）包括第一子区域（121）和第二子区域（122）；所述半导体结构还包括：

位于所述第一子区域（121）的输入输出晶体管，所述输入输出晶体管包括覆盖所述基底（100）的第一子区域（121）顶面的第一栅氧层（310）；

位于所述第二子区域（122）的核心晶体管，所述核心晶体管包括覆盖所述基底（100）的第二子区域（122）的顶面的第二栅氧层（320）；

在垂直于所述基底（100）上表面的方向上，所述第一栅氧层（310）的厚度大于所述第二栅氧层（320）的厚度。

14. 根据权利要求 13 所述的半导体结构，其中，所述核心晶体管还包括沟道材料层（500），所述沟道材料层（500）位于所述基底（100）的第二区域（120）的第二子区域（122）与所述第二栅氧层（320）之间。

15. 根据权利要求 11 或 12 所述的半导体结构，其中，所述基底（100）的第一区域（110）包括存储有源区及贯穿所述存储有源区的埋入式字线（111）；

所述基底（100）的第二区域（120）包括外围有源区。

16. 根据权利要求 13 所述的半导体结构，其中，所述第二区域（120）的所述第一子区域（121）为输入输出区，所述第二区域（120）的第二子区域（122）为核心区。

17. 根据权利要求 11-16 任一项所述的半导体结构，其中，所述第二区域（120）用于形成 P 型晶体管和 N 型晶体管。

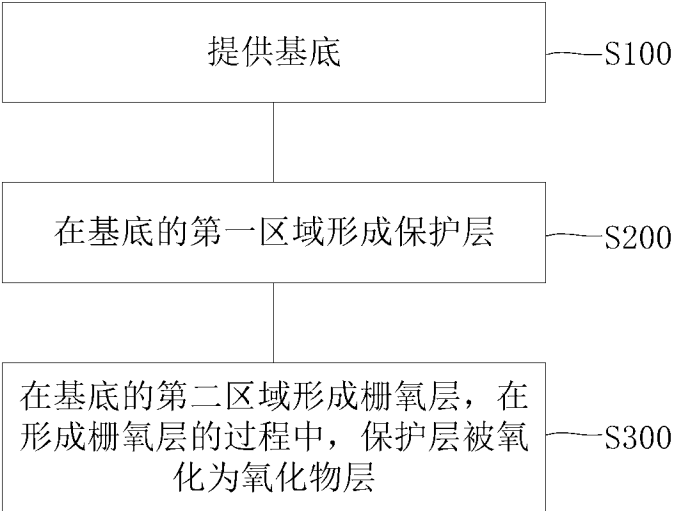


图 1

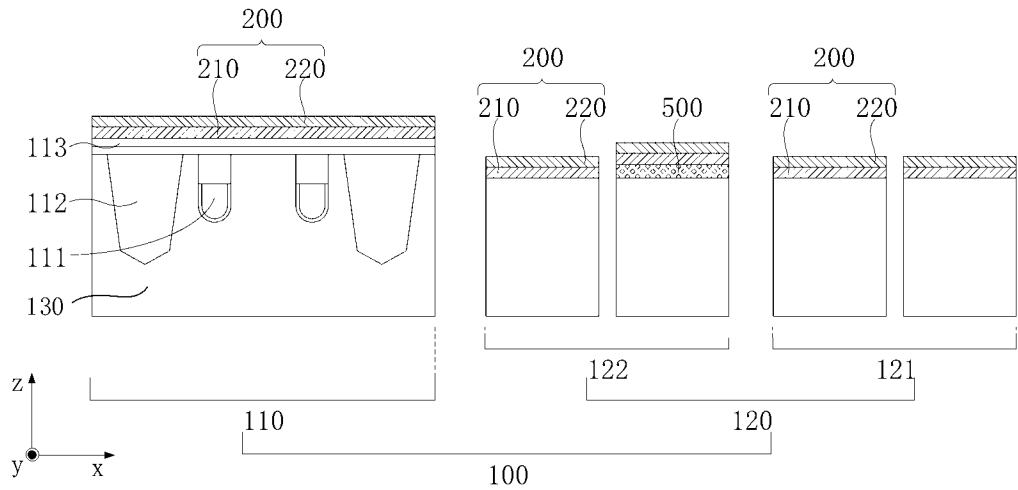
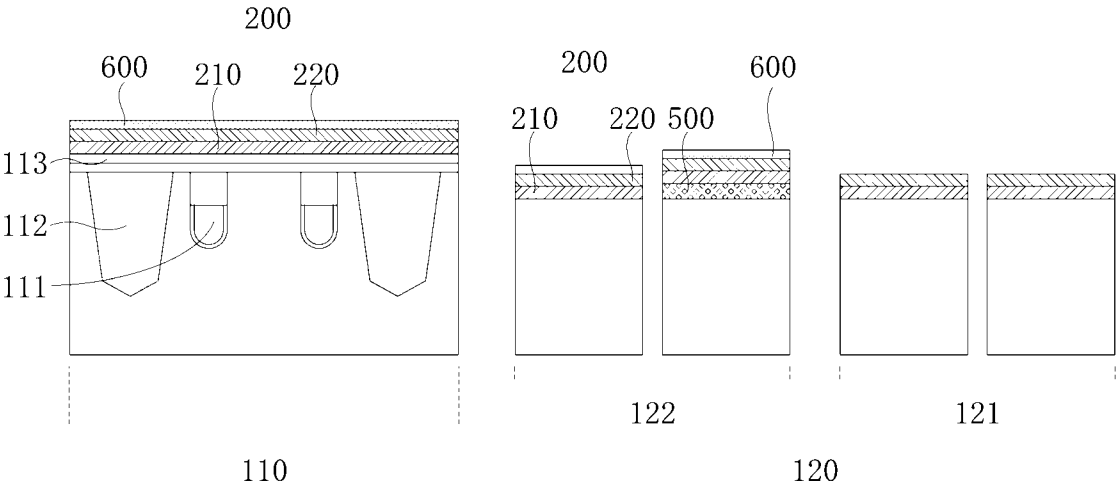
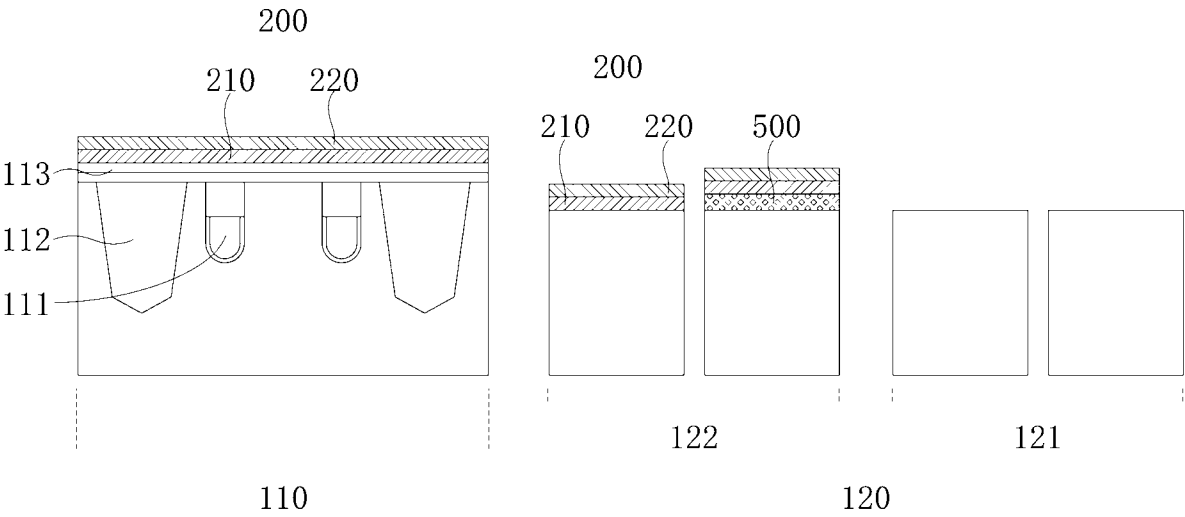


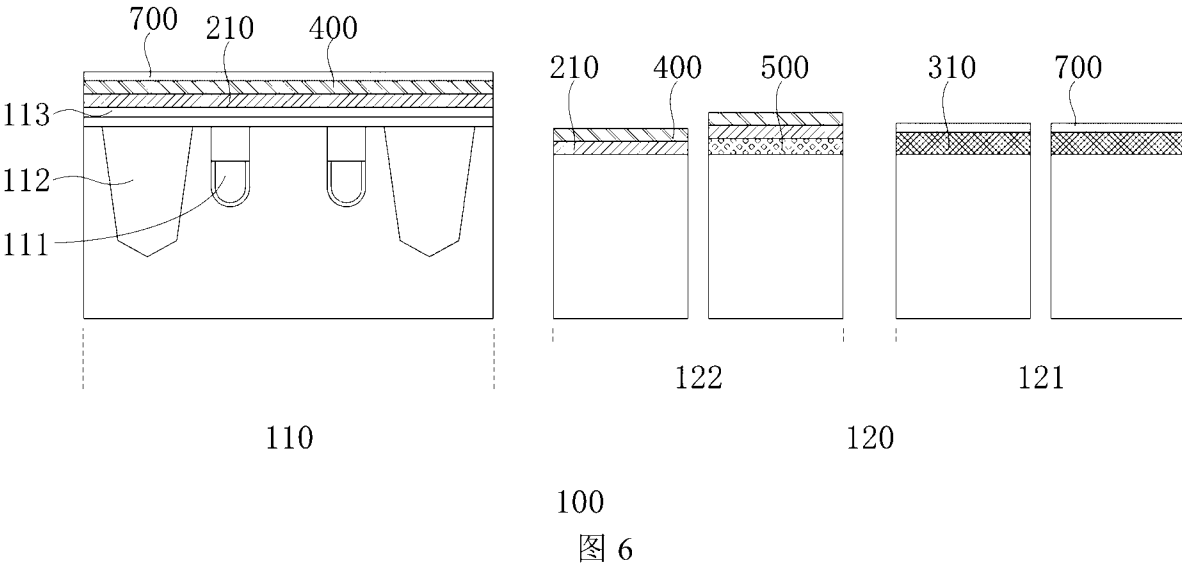
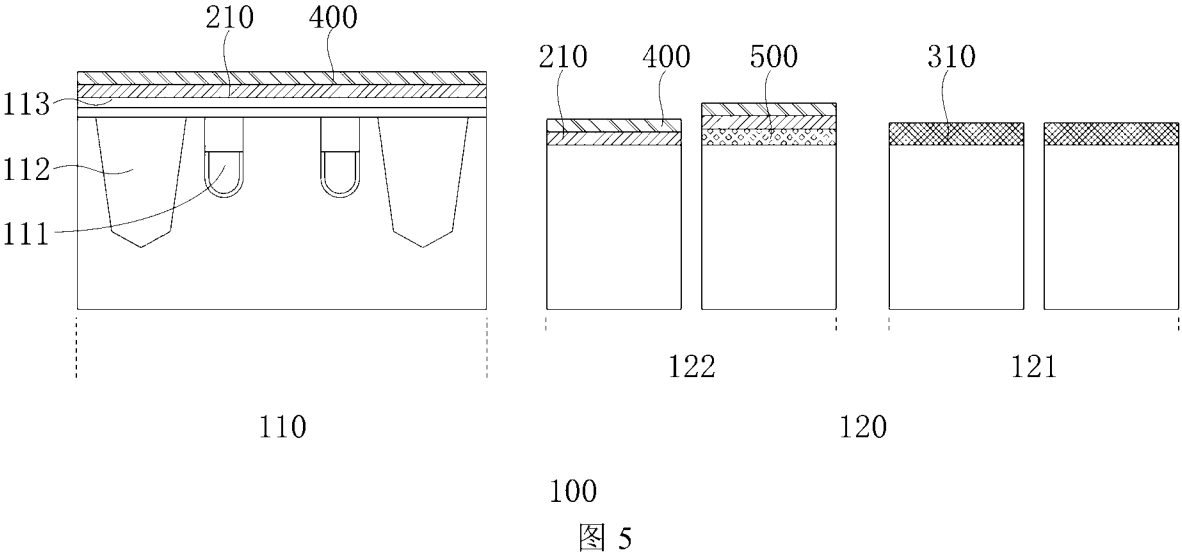
图 2

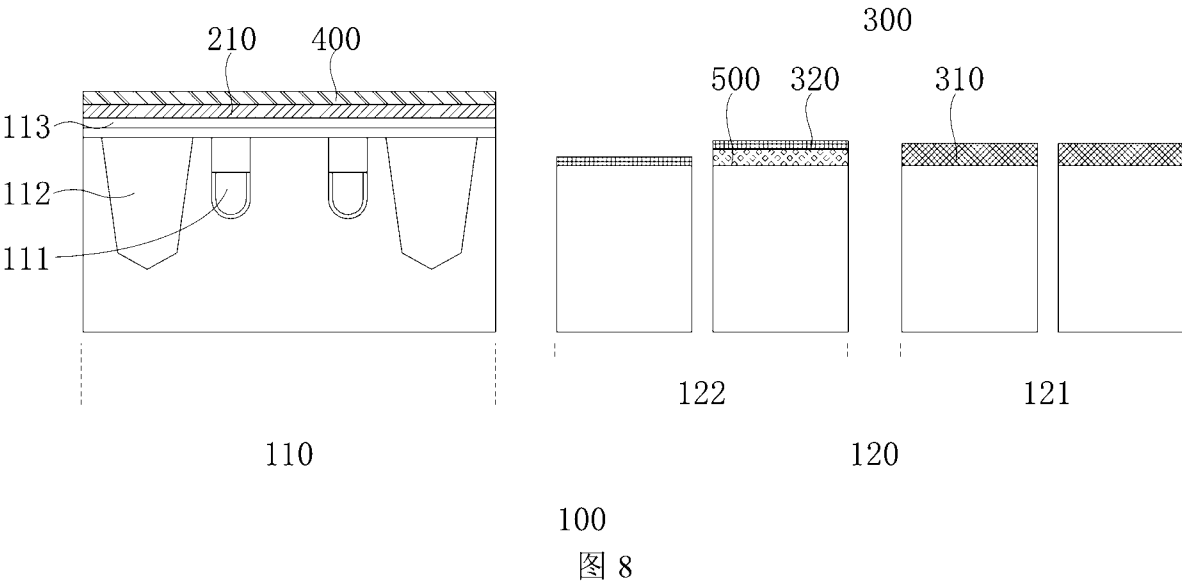
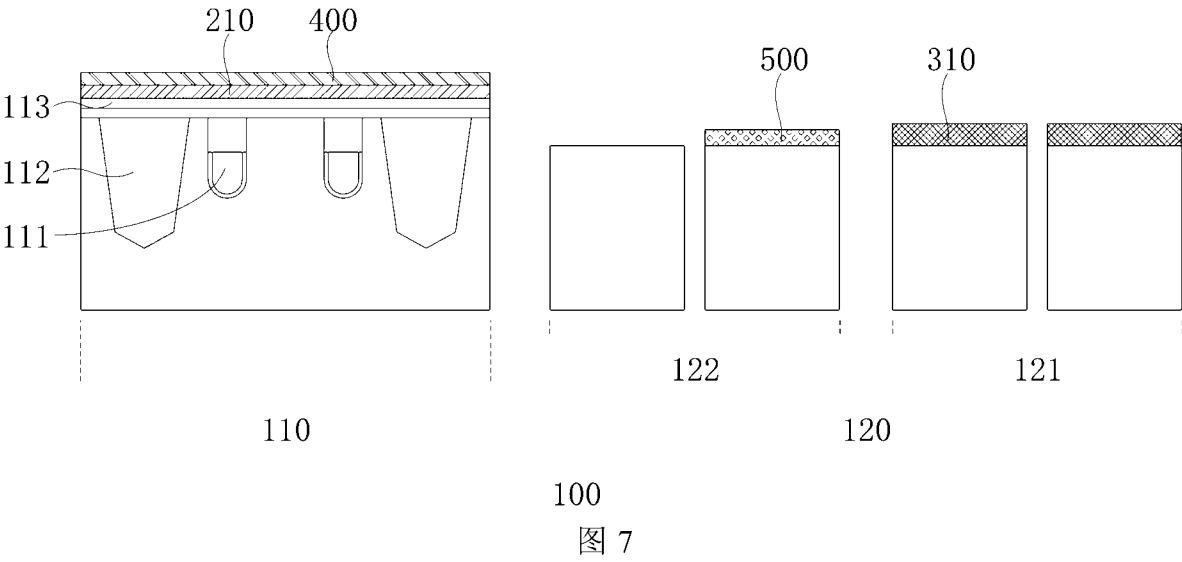


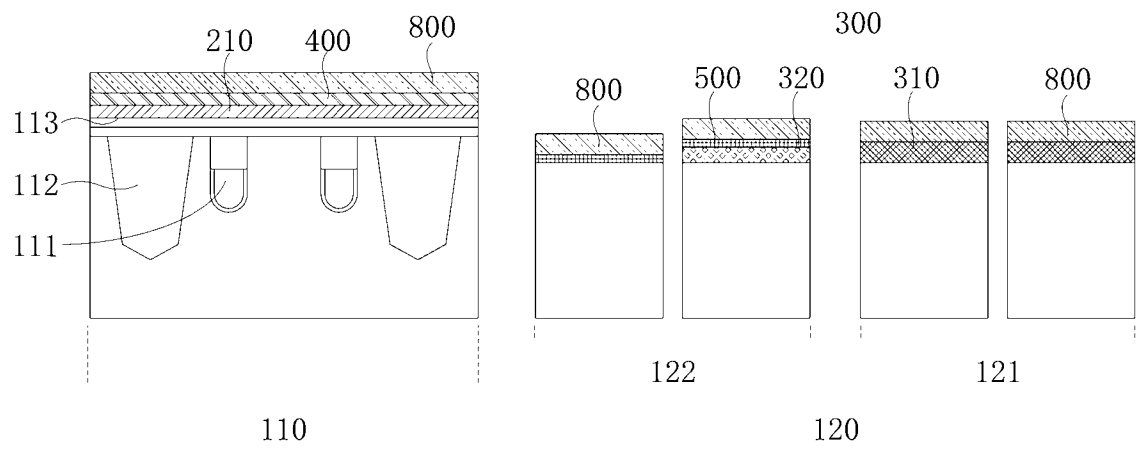
100
图 3



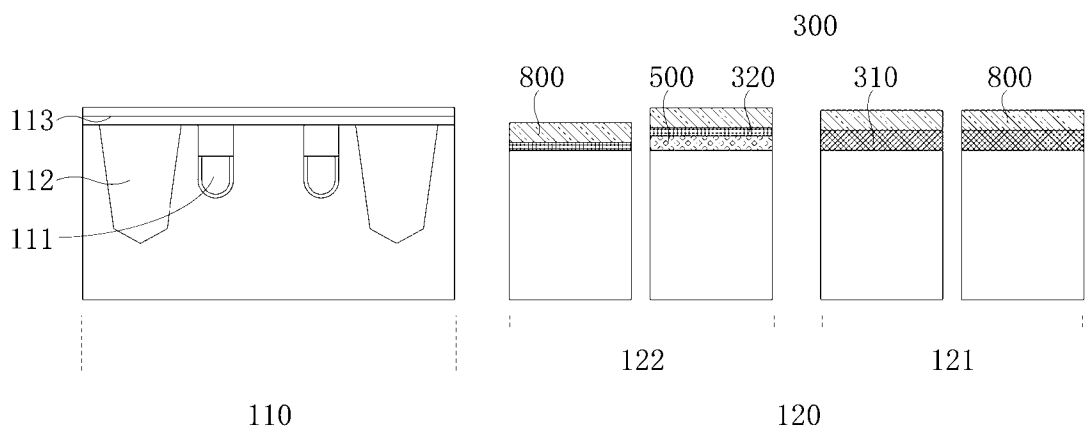
100
图 4







100
图 9



100
图 10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/121918

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/28(2006.01)i; H01L29/423(2006.01)i; H10B12/00(2023.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L, H10B

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, ENTXT, ENTXTC, WPABS, DWPI, CNKI: 氧化层, 保护层, 厚度, 不同, 覆盖, 核心, 逻辑, 输入输出, 外围, 吸收, 氧气, 栅氧, oxide layer, protective layer, thickness, different, cover, core, logic, input output, IO, peripheral, absorber, oxygen, gate oxygen

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 115547819 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 30 December 2022 (2022-12-30) claims 1-15, and description, paragraphs [0077]-[0152]	1-17
X	CN 115084178 A (HUAHONG SEMICONDUCTOR (WUXI) CO., LTD.) 20 September 2022 (2022-09-20) description, paragraphs [0032]-[0060], and figures 4-9	11-17
Y	CN 115084178 A (HUAHONG SEMICONDUCTOR (WUXI) CO., LTD.) 20 September 2022 (2022-09-20) description, paragraphs [0032]-[0060], and figures 4-9	1, 6-10
Y	US 2002022357 A1 (HITACHI LTD.) 21 February 2002 (2002-02-21) description, paragraphs [0218]-[0249], and figures 4-58	1, 6-10
X	CN 110164865 A (SHANGHAI HUAHONG GRACE SEMICONDUCTOR MANUFACTURING CORPORATION) 23 August 2019 (2019-08-23) description, paragraphs [0030]-[0079], and figures 1-22c	11-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

11 December 2023

Date of mailing of the international search report

26 December 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/121918**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 112382612 A (SHANGHAI HUALI INTEGRATED CIRCUIT MANUFACTURING CO., LTD.) 19 February 2021 (2021-02-19) entire document	1-17
A	CN 107045981 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CO., LTD. et al.) 15 August 2017 (2017-08-15) entire document	1-17
A	KR 20030086836 A (HYNIX SEMICONDUCTOR INC.) 12 November 2003 (2003-11-12) entire document	1-17

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/121918

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	115547819	A	30 December 2022	None			
CN	115084178	A	20 September 2022	None			
US	2002022357	A1	21 February 2002	US	6534375	B2	18 March 2003
				KR	20020015298	A	27 February 2002
				KR	100869559	B1	21 November 2008
				US	2003107073	A1	12 June 2003
				US	6720603	B2	13 April 2004
				JP	2002170940	A	14 June 2002
				JP	4150154	B2	17 September 2008
				TW	529130	B	21 April 2003
CN	110164865	A	23 August 2019	CN	110164865	B	18 June 2021
CN	112382612	A	19 February 2021	None			
CN	107045981	A	15 August 2017	CN	107045981	B	27 September 2019
KR	20030086836	A	12 November 2003	KR	100412143	B1	31 December 2003

A. 主题的分类 H01L21/28(2006.01)i; H01L29/423(2006.01)i; H10B12/00(2023.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) IPC: H01L, H10B 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNTXT, ENTXT, ENTXTC, WPABS, DWPI, CNKI:氧化层, 保护层, 厚度, 不同, 覆盖, 核心, 逻辑, 输入输出, 外围, 吸收, 氧气, 栅氧, oxide layer, protective layer, thickness, different, cover, core, logic, input output, IO, peripheral, absorber, oxygen, gate oxygen		
C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 115547819 A (长鑫存储技术有限公司) 2022年12月30日 (2022 - 12 - 30) 权利要求1-15, 说明书第[0077]-[0152]	1-17
X	CN 115084178 A (华虹半导体(无锡)有限公司) 2022年9月20日 (2022 - 09 - 20) 说明书第[0032]-[0060]段, 附图4-9	11-17
Y	CN 115084178 A (华虹半导体(无锡)有限公司) 2022年9月20日 (2022 - 09 - 20) 说明书第[0032]-[0060]段, 附图4-9	1,6-10
Y	US 2002022357 A1 (HITACHI LTD.) 2002年2月21日 (2002 - 02 - 21) 说明书第[0218]-[0249]段, 附图4-58	1,6-10
X	CN 110164865 A (上海华虹宏力半导体制造有限公司) 2019年8月23日 (2019 - 08 - 23) 说明书第[0030]-[0079]段, 附图1-22c	11-17
A	CN 112382612 A (上海华力集成电路制造有限公司) 2021年2月19日 (2021 - 02 - 19) 全文	1-17
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “p” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2023年12月11日		国际检索报告邮寄日期 2023年12月26日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088		授权官员 董蕴萱 电话号码 (+86) 62412223

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 107045981 A (中芯国际集成电路制造(上海)有限公司 等) 2017年8月15日 (2017 - 08 - 15) 全文	1-17
A	KR 20030086836 A (HYNIX SEMICONDUCTOR INC.) 2003年11月12日 (2003 - 11 - 12) 全文	1-17

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/121918

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	115547819	A	2022年12月30日	无	
CN	115084178	A	2022年9月20日	无	
US	2002022357	A1	2002年2月21日	US	6534375 B2 2003年3月18日
				KR	20020015298 A 2002年2月27日
				KR	100869559 B1 2008年11月21日
				US	2003107073 A1 2003年6月12日
				US	6720603 B2 2004年4月13日
				JP	2002170940 A 2002年6月14日
				JP	4150154 B2 2008年9月17日
				TW	529130 B 2003年4月21日
CN	110164865	A	2019年8月23日	CN	110164865 B 2021年6月18日
CN	112382612	A	2021年2月19日	无	
CN	107045981	A	2017年8月15日	CN	107045981 B 2019年9月27日
KR	20030086836	A	2003年11月12日	KR	100412143 B1 2003年12月31日