

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年9月16日(16.09.2021)



(10) 国際公開番号

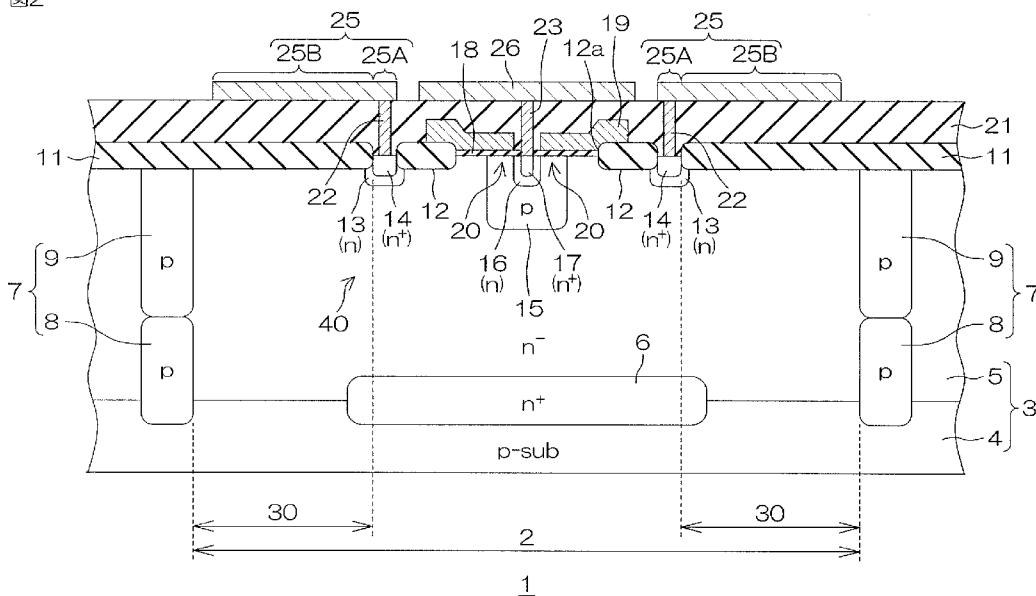
WO 2021/182211 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 21/76 (2006.01)
H01L 21/336 (2006.01)
- (72) 発明者:石田 剛志(ISHIDA, Takeshi); 〒6158585
京都府京都市右京区西院溝崎町2-1番地
ローム株式会社内 Kyoto (JP).
- (21) 国際出願番号: PCT/JP2021/008083
- (74) 代理人: 特許業務法人 あい 特許
事務所 (AI ASSOCIATION OF PATENT AND
TRADEMARK ATTORNEYS); 〒5410054 大阪
府大阪市中央区南本町二丁目6番12号 サン
マリオンNBFタワー2-1階 Osaka (JP).
- (22) 国際出願日: 2021年3月3日(03.03.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-044368 2020年3月13日(13.03.2020) JP
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町2-1番地 Kyoto (JP).

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置およびその製造方法

図2



(57) **Abstract:** A semiconductor device 1 comprises: a substrate 3 including a p-type substrate 4 and an n-type semiconductor layer 5 formed in the p-type substrate 4, and including an element region 2 having a transistor 40 having a drain of the n-type semiconductor layer; a p-type element isolating region 7 formed in an upper-layer portion of the substrate so as to define the element region; and an electrically conductive wire 25B disposed over a peripheral portion of the element region and electrically connected to the n-type semiconductor layer. The transistor in the peripheral portion of the element region includes an n⁺-type drain contact region 14 formed in an upper-layer portion of the n-type semiconductor layer. The electrically conductive wire is disposed so as to



WO 2021/182211 A1

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

cover at least part of an element terminal region 30 between the n⁺-type drain contact region and the p-type element isolating region.

(57) 要約 : 半導体装置 1 は、 p 型基板 4 および p 型基板 4 に形成された n 型半導体層 5 を含み、 n 型半導体層をドレインとするトランジスタ 4 0 を有する素子領域 2 を含む基体 3 と、素子領域を区画するように基体の表層部に形成された p 型素子分離領域 7 と、素子領域の周縁部上に配置されかつ n 型半導体層に電氣的に接続された導電配線 2 5 B とを含む。トランジスタは、素子領域の周縁部において、 n 型半導体層の表層部に形成された n⁺型ドレインコンタクト領域 1 4 を含む。導電配線は、 n⁺型ドレインコンタクト領域と p 型素子分離領域との間の素子終端領域 3 0 の少なくとも一部を覆うように配置されている。

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] この発明は、DMOS (Diffused Metal Oxide Semiconductor) トランジスタ等のトランジスタを含む半導体装置およびその製造方法に関する。

背景技術

[0002] 特許文献1は、素子領域を分離するp型素子分離領域(p型ウェル)と、素子領域に形成されたDMOSトランジスタを含む半導体装置を開示している。半導体装置は、p型基板のn型エピタキシャル層(n型ウェル)の表面に選択的に形成されたソース領域とドレイン領域と、ゲート酸化膜を介してシリコン基板上に形成されたゲート電極とを含む。

先行技術文献

特許文献

[0003] 特許文献1：特開2012-156205号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献1のように素子分離構造を有する半導体装置では、DMOSトランジスタは、他の素子と混載されることがある。このような半導体装置では、DMOSトランジスタに電氣的に接続される配線だけでなく、当該DMOSトランジスタ以外の他の素子(以下、「他素子」という。)に電氣的に接続される複数の配線(以下、「他配線」という。)が形成される。そして、複数の他配線には、対応する他素子に合わせた様々な電圧が印加される。

[0005] このため、特許文献1記載のDMOSトランジスタでは、他配線からの電位の影響によって、n型エピタキシャル層とp型素子分離領域との間に存在する寄生ダイオードに逆方向電圧が印加されたときの等電位分布が乱れ、耐圧が低下するおそれがある。

[0006] 本発明の目的は、他配線の電位の影響による耐圧低下を抑制できる半導体

装置を提供することである。

課題を解決するための手段

- [0007] 本発明の一実施形態は、p型基板および前記p型基板上に形成されたn型半導体層を含み、前記n型半導体層をドレインとするトランジスタを有する素子領域を含む基体と、前記素子領域を区画するように前記基体の表層部に形成されたp型素子分離領域と、前記素子領域の周縁部上に配置されかつ前記n型半導体層に電氣的に接続された導電配線とを含み、前記トランジスタは、前記素子領域の周縁部において、前記n型半導体層の表層部に形成されたn型ドレインコンタクト領域を含み、前記導電配線は、前記n型ドレインコンタクト領域と前記p型素子分離領域との間の素子終端領域の少なくとも一部を覆うように配置されている、半導体装置を提供する。
- [0008] この構成では、他配線の電位の影響による耐圧低下を抑制できる。
- [0009] 本発明の一実施形態では、前記n型ドレインコンタクト領域に電氣的に接続されたドレイン配線を含み、前記ドレイン配線は、平面視において、前記素子終端領域内に延びた延長部を有しており、前記導電配線は、前記延長部から構成されている。
- [0010] 本発明の一実施形態では、前記n型ドレインコンタクト領域および前記ドレイン配線は、それぞれ平面視で無端状に形成されており、前記延長部は、平面視において、前記n型ドレインコンタクト領域を取り囲むように、前記ドレイン配線の全長にわたって形成されている。
- [0011] 本発明の一実施形態では、前記素子終端領域において、前記n型半導体層の表層部に前記導電配線用のn型コンタクト領域が形成されており、前記導電配線は、前記n型コンタクト領域に導電部材を介して電氣的に接続されている。
- [0012] 本発明の一実施形態では、前記n型ドレインコンタクト領域は、平面視で無端状に形成されており、前記n型コンタクト領域および前記導電配線は、それぞれ、平面視において、前記n型ドレインコンタクト領域を取り囲むように、無端状に形成されている。

- [0013] 本発明の一実施形態では、前記n型ドレインコンタクト領域に電氣的に接続されたドレイン配線を含み、前記導電配線は、前記ドレイン配線に導電部材を介して電氣的に接続されている。
- [0014] 本発明の一実施形態では、前記導電配線は、前記素子終端領域内において、前記n型半導体層上に絶縁層を介して形成されており、前記ドレイン配線は、平面視において、前記導電配線の一部に重なる重合部を有しており、前記重合部の下面と前記導電配線の上面とが前記導電部材によって電氣的に接続されている。
- [0015] 本発明の一実施形態では、前記n型ドレインコンタクト領域および前記ドレイン配線は、平面視で無端状に形成されており、前記導電配線は、平面視において、前記n型ドレインコンタクト領域を取り囲むように、無端状に形成されており、前記ドレイン配線は、その外周縁部に前記重合部を有しており、前記重合部の下面と前記導電配線の上面の内周縁部とが前記導電部材によって電氣的に接続されている。
- [0016] 本発明の一実施形態では、前記導電配線は、ポリシリコンからなる。
- [0017] 本発明の一実施形態では、平面視で前記素子領域の中央部において、前記p型基板と前記n型半導体層との境界を跨ぐようにn型埋め込み層が形成されている。
- [0018] 本発明の一実施形態では、前記p型素子分離ウェルは、平面視において、前記素子領域を取り囲む無端状に形成されており、前記n型ドレインコンタクト領域は、平面視において、前記p型素子分離ウェルに沿って無端状に形成されている。
- [0019] 本発明の一実施形態では、前記トランジスタは、前記n型半導体層の表層部に形成されたp型ウェル領域と、前記p型ウェル領域の表層部に形成されたn型ソース領域と、前記n型ソース領域の表層部に形成され、n型不純物濃度が前記第n型ソース領域よりも高いn型ソースコンタクト領域と、前記n型半導体層の表層部に、前記p型ウェル領域を取り囲むように無端状に形成されたn型ドレイン領域とを含み、前記n型ドレインコンタクト領域は、

前記 n 型ドレイン領域の表層部に前記 p 型ウェル領域を取り囲むように形成されかつ n 型不純物濃度が前記 n 型ドレイン領域よりも高い。

[0020] 本発明の一実施形態では、前記トランジスタは、前記ソースコンタクト領域および前記ドレインコンタクト領域との間のチャネル領域を覆うように形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成され、前記ゲート絶縁膜を介して前記チャネル領域に対向するゲート電極とをさらに含む。

[0021] 本発明の一実施形態では、前記 n 型ソースコンタクト領域に電氣的に接続されたソース配線を含む。

[0022] 本発明における上述の、またはさらに他の目的、特徴および効果は、添付図面を参照して次に述べる実施形態の説明により明らかにされる。

図面の簡単な説明

[0023] [図1]図 1 は、本発明の第 1 実施形態に係る半導体装置の構成を説明するための図解的な平面図である。

[図2]図 2 は、図 1 のII-II線に沿う図解的な断面図である。

[図3]図 3 は、比較例に関するシミュレーションモデルの一例を示す図解的な断面図である。

[図4]図 4 は、比較例に対するシミュレーション結果を示すグラフである。

[図5]図 5 は、本実施形態に対するシミュレーション結果を示すグラフである。

[図6A]図 6 A は、図 1 および図 2 に示す半導体装置の製造工程の一例を示す断面図であって、図 2 の切断面に対応する断面図である。

[図6B]図 6 B は、図 6 A の次の工程を示す断面図である。

[図6C]図 6 C は、図 6 B の次の工程を示す断面図である。

[図6D]図 6 D は、図 6 C の次の工程を示す断面図である。

[図6E]図 6 E は、図 6 D の次の工程を示す断面図である。

[図6F]図 6 F は、図 6 E の次の工程を示す断面図である。

[図6G]図 6 G は、図 6 F の次の工程を示す断面図である。

[図7]図 7 は、本発明の第 2 実施形態に係る半導体装置の構成を説明するため

の図解的な平面図である。

[図8]図8は、図7のVIII-VIII線に沿う図解的な断面図である。

[図9A]図9Aは、図7および図8に示す半導体装置の製造工程の一例を示す断面図であって、図8の切断面に対応する断面図である。

[図9B]図9Bは、図9Aの次の工程を示す断面図である。

[図9C]図9Cは、図9Bの次の工程を示す断面図である。

[図9D]図9Dは、図9Cの次の工程を示す断面図である。

[図9E]図9Eは、図9Dの次の工程を示す断面図である。

[図10]図10は、本発明の第3実施形態に係る半導体装置の構成を説明するための図解的な平面図である。

[図11]図11は、図10のXI-XI線に沿う図解的な断面図である。

[図12A]図12Aは、図10および図11に示す半導体装置の製造工程の一例を示す断面図であって、図11の切断面に対応する断面図である。

[図12B]図12Bは、図12Aの次の工程を示す断面図である。

[図12C]図12Cは、図12Bの次の工程を示す断面図である。

発明を実施するための形態

[0024] 図1は、本発明の第1実施形態に係る半導体装置の構成を説明するための図解的な平面図である。図2は、図1のII-II線に沿う図解的な断面図である。図1では、図2に示されている層間絶縁膜21およびソース配線26は、省略されている。ただし、図2に示されているドレイン配線25は、図1に図示されている。

[0025] 以下において、図1の紙面の左右方向を横方向といい、図1の紙面の上下方向を縦方向ということにする。

[0026] 半導体装置1は、基体3を備えている。基体3は、p型半導体基板4およびp型半導体基板4上に形成されたn-型エピタキシャル層5を含んでいる。この実施形態では、p型半導体基板4は、シリコン基板である。p型半導体基板4は、本発明の「p型基板」の一例であり、n-型エピタキシャル層5は、本発明の「n型半導体層」の一例である。

- [0027] n-型エピタキシャル層5の膜厚は、例えば、 $3.0\ \mu\text{m} \sim 10\ \mu\text{m}$ 程度である。基体3の表層部には、素子領域2を区画するp型素子分離領域7が形成されている。この実施形態では、素子領域2は、平面視において、縦方向に長い四角形状である。素子領域2には、n-型エピタキシャル層5をドレインとするDMOSトランジスタ40が形成されている。
- [0028] p型素子分離領域膜7は、平面視で、無端状である。この実施形態では、p型素子分離領域7は、平面視で矩形環状であるが、円環状、楕円環状等の無端状であってもよい。p型素子分離領域7は、p型半導体基板に接続された下側分離領域8と、下側分離領域8上に形成された上側分離領域9とを備えている。
- [0029] これにより、基体3には、p型半導体基板4上においてp型素子分離領域7によって取り囲まれたn-型エピタキシャル層5の一部からなる素子領域2が区画されている。図示していないが、p型素子分離領域7およびp型半導体基板4は、接地されている。
- [0030] 素子領域2において、p型半導体基板4とn-型エピタキシャル層5の境界部には、p型半導体基板4とn-型エピタキシャル層5とに跨って、n-型エピタキシャル層5よりも不純物濃度が高いn⁺型埋め込み層6が選択的に形成されている。n⁺型埋め込み層6は、平面視で、素子領域2の周縁部に囲まれた中央領域に形成されている。n⁺型埋め込み層6の膜厚は、例えば、 $2.0\ \mu\text{m} \sim 10.0\ \mu\text{m}$ 程度である。
- [0031] また、基体3において、素子領域2の外周領域には、素子領域2内のDMOSトランジスタ40とは異なる他の素子が形成された素子領域（図示略）が区画されている。
- [0032] p型素子分離領域7の表面には、平面視で無端状のフィールド絶縁膜11が形成されている。フィールド絶縁膜11は、素子領域2の周縁部に囲まれた領域を取り囲むように平面視で四角環状に形成されている。フィールド絶縁膜11は、p型素子分離領域7よりも幅広で、p型素子分離領域7を完全に覆うように形成されている。フィールド絶縁膜11は、例えば、n-型エピ

タキシャル層5の表面を選択的に酸化させて形成したLOCOS膜である。

[0033] DMOSトランジスタ40は、 n^- 型エピタキシャル層5の表層部に、互いに間隔を空けて形成された n 型ドレイン領域13と p 型ウェル領域15とを含む。この実施形態では、 p 型ウェル領域15は、平面視で、縦方向に細長い四角形状であり、素子領域2の横方向の中央部に形成されている。

[0034] n 型ドレイン領域13は、 n^- 型エピタキシャル層5のよりも高い不純物濃度を有している。 n 型ドレイン領域13は、平面視において、 p 型ウェル領域15を取り囲むように、無端状に形成されている。この実施形態では、 n 型ドレイン領域13は、平面視において、フィールド絶縁膜11に沿って四角環状に形成されている。 n 型ドレイン領域13の表層部には、 n 型ドレイン領域13よりも高い不純物濃度を有する n^+ 型ドレインコンタクト領域14が形成されている。

[0035] p 型ウェル領域15の表層部には、 n^- 型エピタキシャル層5よりも高い不純物濃度を有する n 型ソース領域16が形成されている。 n 型ソース領域16の表層部には、 n 型ソース領域16よりも高い不純物濃度を有する n^+ 型ソースコンタクト領域17が形成されている。

[0036] n 型ソース領域16は、例えば、 n 型ドレイン領域13と同一濃度および同一深さで形成されている。 n^+ 型ソースコンタクト領域17の外周縁は、 p 型ウェル領域15の外周縁から内側に間隔を空けて配置されている。 n^+ 型ソースコンタクト領域17は、例えば、 n^+ 型ドレインコンタクト領域14と同一濃度および同一深さで形成されている。

[0037] n^- 型エピタキシャル層5の表面には、 n^+ 型ドレインコンタクト領域14と p 型ウェル領域15との間部分に、平面視四角環状のフィールド絶縁膜12が形成されている。フィールド絶縁膜12は、前述のフィールド絶縁膜11と同一工程で形成されたLOCOS膜である。図1には、フィールド絶縁膜12の内周縁が、符号12aで示されている。

[0038] フィールド絶縁膜12の内周縁12aは、 p 型ウェル領域15の外周縁から外方に間隔をあけて配置され、フィールド絶縁膜12の外周縁は、 n^+ 型ド

レインコンタクト領域 14 の内周縁上に配置されている。n⁺型ドレインコンタクト領域 14 は、フィールド絶縁膜 12 の外周縁とフィールド絶縁膜 11 の内周縁とによって挟まれた領域に形成されている。

[0039] また、n⁻型エピタキシャル層 5 の表面には、n⁻型エピタキシャル層 5 と p 型ウェル領域 15 との間に跨るようにゲート絶縁膜 18 が形成されている。ゲート絶縁膜 18 は、平面視で、n⁺型ソースコンタクト領域 17 を取り囲むように、四角環状に形成されている。そして、ゲート絶縁膜 18 上にゲート電極 19 が形成されている。ゲート電極 19 は、平面視で、n 型ソース領域 16 を取り囲むように、四角環状に形成されている。ゲート電極 19 は、ゲート絶縁膜 18 の一部およびフィールド絶縁膜 12 の一部を選択的に覆うように形成されている。

[0040] ゲート電極 19 は、例えば、ポリシリコンからなる。ゲート絶縁膜 18 は、例えば、n⁻型エピタキシャル層 5 の表面を酸化させて形成したシリコン酸化膜である。

[0041] ゲート電極 19 がゲート絶縁膜 18 を介して p 型ウェル領域 15 と対向する領域が、DMOS トランジスタ 40 のチャネル領域 20 である。チャネル領域 20 のチャネルの形成は、ゲート電極 19 によって制御される。

[0042] 素子領域 2 全体を覆うように層間絶縁膜 21 が形成されている。層間絶縁膜 21 は、例えば、酸化膜、窒化膜等の絶縁膜によって形成されている。

[0043] 層間絶縁膜 21 には、ドレイン用コンタクトプラグ 22、ソース用コンタクトプラグ 23 およびゲート用コンタクトプラグ 24 が埋設されている。ドレイン用コンタクトプラグ 22 の下端は、n⁺型ドレインコンタクト領域 14 と電氣的に接続されている。ソース用コンタクトプラグ 23 の下端は、n⁺型ソースコンタクト領域 17 と電氣的に接続されている。ゲート用コンタクトプラグ 24 は、ゲート電極 19 に電氣的に接続されている。

[0044] 層間絶縁膜 21 上には、ドレイン配線 25、ソース配線 26 およびゲート配線（図示略）が形成されている。図 1 においては、ドレイン配線 25 の領域が、ドットのハッチング領域として示されている。ドレイン配線 25 は、

複数のドレイン用コンタクトプラグ22を介してn⁺型ドレインコンタクト領域14に電氣的に接続されている。ソース配線26は、複数のソース用コンタクトプラグ23を介してn⁺型ソースコンタクト領域17に電氣的に接続されている。ゲート配線は、複数のゲート用コンタクトプラグ24を介してゲート電極19に電氣的に接続されている。

[0045] ソース配線26は、図1には描かれていないが、平面視で、縦方向に長い四角形状であり、ゲート電極19の両端部の間の長さ中間部を覆っている。ソース配線26の幅中央部の複数個所が、複数のソース用コンタクトプラグ23を介してn⁺型ソースコンタクト領域17に電氣的に接続されている。ゲート配線は、ゲート電極19の両端部に複数のゲート用コンタクトプラグ24を介して電氣的に接続されている。

[0046] ドレイン配線25は、平面視で、フィールド絶縁膜12を取り囲むように、四角環状に形成されている。ドレイン配線25の内周縁は、n⁺型ドレインコンタクト領域14の内周縁のほぼ真上にある。ドレイン配線25の外周縁は、n⁺型ドレインコンタクト領域14の外周縁よりも外方にある。ドレイン配線25は、n⁺型ドレインコンタクト領域14の真上に配置された主配線部25Aと、主配線部25Aの外周縁から外方に延びた延長部25Bとからなる。第1実施形態においては、この延長部25Bが、本発明の「導電配線」（以下、「耐压改善配線」という場合がある。）を構成している。

[0047] 延長部（耐压改善配線）25Bは、平面視において、四角環状であり、n⁺型ドレインコンタクト領域14の外周縁からその外側のp型素子分離領域7に向かって延びている。この実施形態では、延長部25Bは、平面視において、n⁺型ドレインコンタクト領域14の外周縁から、n⁺型ドレインコンタクト領域14の外周縁とその外側のp型素子分離領域7の内周縁との間のほぼ幅中央まで延びている。

[0048] つまり、延長部（耐压改善配線）25Bは、素子領域2の周縁部領域であって、n⁺型ドレインコンタクト領域14の外周縁とその外側のp型素子分離領域7の内周縁との間の素子終端領域30の一部を覆うように配置されてい

る。

- [0049] 延長部25Bは、平面視において、 n^+ 型ドレインコンタクト領域14の外周縁よりも外方に延びていればよい。したがって、延長部25Bは、平面視において、例えば、 n^+ 型ドレインコンタクト領域14の外周縁から、 n^+ 型ドレインコンタクト領域14の外周縁とその外側の p 型素子分離領域7の内周縁との間の任意位置まで延びていてもよいし、 p 型素子分離領域7の内周縁よりも外方に延びていてもよい。
- [0050] 素子領域2の上方にDMOSトランジスタ40以外の他の素子の配線（以下、「他配線」という。）が通っている場合には、他配線の電位の影響によって、 n^- 型エピタキシャル層5と p 型素子分離領域7との間に存在する寄生ダイオードに逆方向電圧が印加されたときの等電位分布が乱れて、耐圧が低下するおそれがある。他配線の電位が素子領域2の電位（ドレイン電圧）と同じであれば前記等電位分布は乱れないが、他配線の電位が接地電位である場合には前記等電位分布が乱れる。
- [0051] この実施形態では、素子終端領域30の少なくとも一部を覆う延長部（耐圧改善配線）25Bをドレイン配線25に形成している。これにより、素子領域2と同じ電位の配線（耐圧改善配線）が素子終端領域30上に配置された構成が得られるので、他配線の電位が接地電位である場合でも、他配線の電位の影響を抑制できる。これにより、他配線の電位が接地電位である場合に、前記等電位分布の乱れを抑制でき、DMOSトランジスタ40の耐圧の低下を抑制できるかまたは耐圧を向上させることができる。
- [0052] 図1および図2の半導体装置1を「本実施形態」といい、図1および図2の半導体装置1において、ドレイン配線25に延長部25Bが設けられてない構成を「比較例」ということにする。つまり、比較例では、ドレイン配線25は、本実施形態の主配線部25Aのみから構成されている。
- [0053] まず、図3に示すように、比較例に関して、素子終端領域30上に電位が接地電位他配線50（以下、「GND配線」という。）が配置された第1シミュレーションモデル101を用いて、比較例の耐圧を計算した。図3に

において、前述の図2に対応する各部には、図2と同じ符号を付して示す。また、比較例に関して、素子終端領域30上にGND配線が配置されていない第2シミュレーションモデルを用いて、比較例の耐圧を計算した。

[0054] 具体的には、 n^- 型エピタキシャル層5 (n^+ 型ドレインコンタクト領域14) と p 型素子分離領域7との間に存在する寄生ダイオードに印加される逆方向電圧を V_{epi} [V] とする。また、寄生ダイオードに流れる逆方向電流を I_{epi} [A] とする。逆方向電圧 V_{epi} を徐々に上げていったときの逆方向電流 I_{epi} をシミュレーションによって計算した。

[0055] 同様に、本実施形態に関して、素子終端領域30上にGND配線が配置された第3シミュレーションモデルを用いて、本実施形態の耐圧を計算した。また、本実施形態に関して、GND配線が配置されていない第4シミュレーションモデルを用いて、本実施形態の耐圧を計算した。

[0056] 図4は、比較例に対するシミュレーション結果を示すグラフである。図4において、破線は、GND配線が存在する場合のシミュレーション結果を示すグラフであり、実線は、GND配線が存在しない場合のシミュレーション結果を示すグラフである。

[0057] 図5は、本実施形態に対するシミュレーション結果を示すグラフである。図5において、破線は、GND配線が存在する場合のシミュレーション結果を示すグラフであり、実線は、GND配線が存在しない場合のシミュレーション結果を示すグラフである。

[0058] 図4を参照して、比較例では、GND配線が存在する場合にはGND配線が存在しない場合に比べてブレークダウン電圧は低い。また、比較例では、GND配線が存在する場合のブレークダウン電圧と、GND配線が存在しない場合のブレークダウン電圧との絶対値差は比較的大きい。

[0059] 一方、図5を参照して、本実施形態では、GND配線が存在する場合のブレークダウン電圧と、GND配線が存在しない場合のブレークダウン電圧とはほぼ等しくなっている。しかも、本実施形態におけるGND配線が存在しない場合のブレークダウン電圧は、比較例におけるGND配線が存在しない

場合のブレイクダウン電圧よりも高くなっている。

[0060] つまり、本実施形態では、接地電位のお他配線が存在する場合の耐圧は、接地電位のお他配線が存在しない場合の耐圧とほぼ等しい。言い換えれば、本実施形態では、接地電位のお他配線が存在しても、DMOSトランジスタの耐圧はさほど低下しない。

[0061] また、本実施形態では、接地電位のお他配線が存在する場合の耐圧は、比較例に比べて高くなる。さらに、本実施形態では、接地電位のお他配線が存在しない場合の耐圧も、比較例に比べて高くなる。

[0062] なお、本実施形態の延長部（耐圧改善配線）25Bの外方突出量を変化させて、同様なシミュレーションを行った結果、いずれの場合でも、比較例に比べて、GND配線が存在する場合と存在しない場合のブレイクダウン電圧の絶対値差は小さくなった。また、平面視において、 n^+ 型ドレインコンタクト領域14の外周縁とその外側の p 型素子分離領域7の内周縁までの距離を L とすると、延長部（耐圧改善配線）25Bの外方突出量が L の半分程度（ $0.5L$ 程度）のときに、耐圧が最も大きくなった。

[0063] 次に、図6A～図6Gを参照して、半導体装置1の製造工程について説明する。図6A～図6Gは、半導体装置1の製造工程の一例を説明するための断面図であって、図2の切断面に対応する断面図である。

[0064] 半導体装置1を製造するには、図6Aに示すように、 p 型半導体基板4が用意される。次に、 p 型半導体基板4の表面に n 型不純物と p 型不純物とが選択的に注入される。そして、例えば 1100°C 以上の加熱状態下で、 n 型不純物を添加しながら p 型半導体基板4の上にシリコンをエピタキシャル成長させる。これにより、図6Bに示すように、 p 型半導体基板4と n -型エピタキシャル層5とを含む基体3が形成される。

[0065] エピタキシャル成長に際して、 p 型半導体基板4に注入された n 型不純物および p 型不純物は、 n -型エピタキシャル層5の成長方向に拡散する。これにより、 p 型半導体基板4と n -型エピタキシャル層5との境界を跨ぐ n^+ 型埋め込み層6と、 p 型の下側分離領域8とが形成される。なお、 p 型不純物

としては、例えば、B（ホウ素）、Al（アルミニウム）等を挙げることができ、n型不純物としては、例えば、P（リン）、As（砒素）等を挙げることができる。

[0066] 次に、図6Cに示すように、p型の上側分離領域9を形成すべき領域に選択的に開口を有するイオン注入マスク（図示略）がn型エピタキシャル層5上に形成される。そして、当該イオン注入マスクを介してp型不純物がn型エピタキシャル層5に注入される。これにより、下側分離領域8と上側分離領域9との2層構造からなるp型素子分離領域7が形成される。この後、イオン注入マスクは除去される。

[0067] 次に、フィールド絶縁膜11、12を形成すべき領域に選択的に開口を有するハードマスク51がn型エピタキシャル層5上に形成される。そして、ハードマスク51を介してn型エピタキシャル層5の表面に熱酸化処理が施されてフィールド絶縁膜11、12が形成される。この後、ハードマスク51は除去される。

[0068] 次に、図6Dに示すように、n型エピタキシャル層5の表面に熱酸化処理が施されてゲート絶縁膜18が形成される。このとき、ゲート絶縁膜18はフィールド絶縁膜11、12と連なるように形成される。次に、ゲート電極19用のポリシリコンがn型エピタキシャル層5上に堆積されて、ポリシリコン層52が形成される。

[0069] 次に、図6Eに示すように、ゲート電極19を形成すべき領域に選択的に開口を有するレジストマスク（図示略）がポリシリコン層52上に形成される。そして、当該レジストマスクを介してポリシリコン層52の不要な部分がエッチングによって除去される。これにより、ゲート電極19が形成される。この後、レジストマスクは除去される。

[0070] 次に、ゲート絶縁膜18の不要な部分を除去するため、選択的に開口を有するハードマスク（図示略）がn型エピタキシャル層5上に形成される。そして、当該ハードマスクを介してゲート絶縁膜18の不要な部分にエッチング処理が施される。これにより、所定のゲート絶縁膜18が形成される。こ

の後、ハードマスクは除去される。なお、このゲート絶縁膜18を選択的にエッチングする工程を省略してもよい。

[0071] 次に、図6Fに示すように、 n -型エピタキシャル層5の表層部に p 型ウェル領域15が形成される。 p 型ウェル領域15を形成するには、まず、 p 型ウェル領域15を形成すべき領域に選択的に開口を有するイオン注入マスク（図示略）が形成される。そして、当該イオン注入マスクを介して p 型不純物が n -型エピタキシャル層5に注入される。この後、例えば $900^{\circ}\text{C}\sim 1100^{\circ}\text{C}$ の温度で、 p 型不純物が熱拡散される。これにより、 p 型ウェル領域15が形成される。この後、イオン注入マスクは、除去される。

[0072] なお、ゲート絶縁膜18およびゲート電極19が形成される前（図6C）の段階で、 p 型不純物を n -型エピタキシャル層5に選択的に注入することにより、 p 型ウェル領域15を形成してもよい。

[0073] 次に、 n -型エピタキシャル層5の表層部に n 型ドレイン領域13が形成されると同時に p 型ウェル領域15の内方領域（表層部）に n 型ソース領域16が形成される。 n 型ドレイン領域13および n 型ソース領域16を形成するには、まず、 n 型ドレイン領域13を形成すべき領域および n 型ソース領域16を形成すべき領域それぞれに選択的に開口を有するイオン注入マスク（図示略）が形成される。そして、当該イオン注入マスクを介して n 型不純物が n -型エピタキシャル層5に注入される。これにより、 n 型ドレイン領域13と n 型ソース領域16とが形成される。この後、イオン注入マスクは、除去される。

[0074] 次に、 n 型ドレイン領域13および n 型ソース領域16の各内方領域（表層部）に n +型ドレインコンタクト領域14および n +型ソースコンタクト領域17がそれぞれ選択的に形成される。 n +型ドレインコンタクト領域14および n +型ソースコンタクト領域17を形成するには、まず、 n +型ドレインコンタクト領域14および n +型ソースコンタクト領域17を形成すべき領域それぞれに選択的に開口を有するイオン注入マスク（図示略）が形成される。そして、当該イオン注入マスクを介して n 型不純物が n 型ドレイン領域1

3およびn型ソース領域16に注入される。これにより、n⁺型ドレインコンタクト領域14およびn⁺型ソースコンタクト領域17が形成される。この後、イオン注入マスクは、除去される。

[0075] 次に、図6Gに示すように、ゲート電極19を覆うように絶縁材料が堆積されて層間絶縁膜21が形成される。次に、層間絶縁膜21を貫通するように、ドレイン用コンタクトプラグ22、ソース用コンタクトプラグ23およびゲート用コンタクトプラグ24が形成される。ドレイン用コンタクトプラグ22、ソース用コンタクトプラグ23およびゲート用コンタクトプラグ24は、それぞれ、n⁺型ドレインコンタクト領域14、n⁺型ソースコンタクト領域17およびゲート電極19にそれぞれ電氣的に接続される。

[0076] 最後に、ドレイン用コンタクトプラグ22、ソース用コンタクトプラグ23およびゲート用コンタクトプラグ24それぞれに電氣的に接続されるドレイン配線25、ソース配線26およびゲート配線（図示略）が、層間絶縁膜21上に選択的に形成される。ドレイン配線25、ソース配線26およびゲート配線を形成するには、例えば、層間絶縁膜21上に配線材料層を形成する。そして、フォトリソグラフィおよびエッチングによって、配線材料層を選択的に除去することにより、ドレイン配線25、ソース配線26およびゲート配線が形成される。以上の工程を経て、第1実施形態に係る半導体装置1が製造される。

[0077] 次に、図7および図8を参照して、本発明の第2実施形態に係る半導体装置1Aについて説明する。図7は、本発明の第2実施形態に係る半導体装置の構成を説明するための図解的な平面図である。図8は、図7のVIII-VIII線に沿う図解的な断面図である。図7では、図8に示されている層間絶縁膜21、ドレイン配線25およびソース配線26は、省略されている。ただし、図8に示されている耐压改善配線65は、図7に図示されている。

[0078] 図7において、前述の図1の各部に対応する部分には図1と同じ符号を付して示す。図8において、前述の図2の各部に対応する部分には図2と同じ符号を付して示す。

- [0079] 第2実施形態に係る半導体装置1Aでは、前述の第1実施形態に係る半導体装置1に比べて、耐圧改善配線の構成が異なっている。第1実施形態に係る半導体装置1では、ドレイン配線25の延長部25Bによって耐圧改善配線が構成されている。第2実施形態に係る半導体装置1Aでは、ドレイン配線25とは別に、独立して耐圧改善配線が設けられている。
- [0080] 第2実施形態では、p型素子分離領域7の表面を覆うフィールド絶縁膜11の内周縁は、平面視で、n⁺型ドレインコンタクト領域14の外周縁から外方に一定距離だけ離れた位置に位置している。
- [0081] 平面視でn型ドレイン領域13とフィールド絶縁膜11との間の領域において、n⁻型エピタキシャル層5には、n型ドレイン領域13と間隔をおいて、n型領域61が形成されている。
- [0082] n型領域61は、平面視において、n型ドレイン領域13を取り囲むように、フィールド絶縁膜11に沿って四角環状に形成されている。n型領域61の不純物濃度は、n型ドレイン領域13の不純物濃度とほぼ等しい。n型領域61の表層部には、n型領域61よりも高い不純物濃度を有する耐圧改善配線用のn⁺型コンタクト領域62が形成されている。n⁺型コンタクト領域62の不純物濃度は、n⁺型ドレインコンタクト領域14の不純物濃度とほぼ等しい。
- [0083] n⁻型エピタキシャル層5の表面には、n⁺型コンタクト領域62とn⁺型ドレインコンタクト領域14との間の部分に、平面視四角環状のフィールド絶縁膜63が形成されている。フィールド絶縁膜63は、前述のフィールド絶縁膜11、12と同一工程で形成されたLOCOS膜である。
- [0084] 層間絶縁膜21には、ドレイン用コンタクトプラグ22、ソース用コンタクトプラグ23およびゲート用コンタクトプラグ24に加えて、耐圧改善配線用のコンタクトプラグ64が埋設されている。コンタクトプラグ64の下端は、n⁺型コンタクト領域62と電氣的に接続されている。
- [0085] 層間絶縁膜21上には、ドレイン配線25、ソース配線26およびゲート配線(図示略)に加えて、耐圧改善配線65が形成されている。図7におい

ては、耐圧改善配線 6 5 の領域が、ドットのハッチング領域として示されている。第 2 実施形態では、ドレイン配線 2 5 は、第 1 実施形態のドレイン配線 2 5 の主配線部 2 5 A のみから構成されている。耐圧改善配線 6 5 は、複数のコンタクトプラグ 6 4 を介して n^+ 型コンタクト領域 6 2 に電氣的に接続されている。

[0086] 耐圧改善配線 6 5 は、平面視で、フィールド絶縁膜 6 3 を取り囲むように、四角環状に形成されている。この実施形態では、耐圧改善配線 6 5 の内周縁は、 n^+ 型コンタクト領域 6 2 の内周縁のほぼ真上にある。耐圧改善配線 6 5 の内周縁は、平面視において、 n^+ 型ドレインコンタクト領域 1 4 の外周縁により近い位置にあってもよい。耐圧改善配線 6 5 の外周縁は、 n^+ 型コンタクト領域 6 2 の外周縁よりも外方にある。この実施形態では、耐圧改善配線 6 5 の外周縁は、平面視において、 n^+ 型コンタクト領域 6 2 の外周縁とその外側の p 型素子分離領域 7 の内周縁との間位置にある。

[0087] つまり、耐圧改善配線 6 5 は、素子領域 2 の周縁部領域であって、 n^+ 型ドレインコンタクト領域 1 4 の外周縁とその外側の p 型素子分離領域 7 の内周縁との間の素子終端領域 3 0 の一部（この例では幅中間部）を覆うように配置されている。

[0088] この実施形態では、素子終端領域 3 0 の少なくとも一部を覆う耐圧改善配線 6 5 が設けられている。これにより、素子領域 2 と同じ電位の耐圧改善配線 6 5 が素子終端領域 3 0 上に配置された構成が得られるので、他配線の電位が接地電位である場合でも、他配線の電位の影響を抑制できる。これにより、他配線の電位が接地電位である場合に、 n^- 型エピタキシャル層と p 型素子分離領域 7 との間に存在する寄生ダイオードに逆方向電圧が印加されたときの等電位分布の乱れを抑制できる。これにより、DMOS トランジスタ 4 0 の耐圧の低下を抑制できるかまたは耐圧を向上させることができる。

[0089] 次に、図 9 A ~ 図 9 E を参照して、半導体装置 1 A の製造工程について説明する。図 9 A ~ 図 9 E は、半導体装置 1 A の製造工程の一例を説明するための断面図であって、図 8 の切断面に対応する断面図である。

- [0090] この半導体装置 1 A の製造方法においても、前述の半導体装置 1 の製造方法と同様に、図 6 A に示すように、p 型半導体基板 4 が用意される。そして、p 型半導体基板 4 の表面に n 型不純物と p 型不純物とが選択的に注入された後、例えば 1100℃ 以上の加熱環境下で、n 型不純物を添加しながら p 型半導体基板 4 の上にシリコンをエピタキシャル成長させる。これにより、図 6 B に示すように、p 型半導体基板 4 と n⁻型エピタキシャル層 5 とを含む基体 3 が形成される。また、これにより、p 型半導体基板 4 と n⁻型エピタキシャル層 5 との境界を跨ぐ n⁺型埋め込み層 6 と p 型の下側分離領域 8 とが形成される。
- [0091] 次に、図 9 A に示すように、p 型の上側分離領域 9 を形成すべき領域に選択的に開口を有するイオン注入マスク（図示略）が n⁻型エピタキシャル層 5 上に形成される。そして、当該イオン注入マスクを介して p 型不純物が n⁻型エピタキシャル層 5 に注入される。これにより、下側分離領域 8 と上側分離領域 9 との 2 層構造からなる p 型素子分離領域 7 が形成される。この後、イオン注入マスクは除去される。
- [0092] 次に、フィールド絶縁膜 11, 12, 63 を形成すべき領域に選択的に開口を有するハードマスク 71 が n⁻型エピタキシャル層 5 上に形成される。そして、ハードマスク 71 を介して n⁻型エピタキシャル層 5 の表面に熱酸化処理が施されてフィールド絶縁膜 11, 12, 63 が形成される。この後、ハードマスク 71 は除去される。
- [0093] 次に、図 9 B に示すように、n⁻型エピタキシャル層 5 の表面に熱酸化処理が施されてゲート絶縁膜 18 が形成される。このとき、ゲート絶縁膜 18 はフィールド絶縁膜 11, 63, 12 と連なるように形成される。次に、ゲート電極 19 用のポリシリコンが n⁻型エピタキシャル層 5 上に堆積されて、ポリシリコン層 72 が形成される。
- [0094] 次に、図 9 C に示すように、ゲート電極 19 を形成すべき領域に選択的に開口を有するレジストマスク（図示略）がポリシリコン層 72 上に形成される。そして、当該レジストマスクを介してポリシリコン層 72 の不要な部分

がエッチングによって除去される。これにより、ゲート電極 19 が形成される。この後、レジストマスクは除去される。

[0095] 次に、ゲート絶縁膜 18 の不要な部分を除去するため、選択的に開口を有するハードマスク（図示略）が n 型エピタキシャル層 5 上に形成される。そして、当該ハードマスクを介してゲート絶縁膜 18 の不要な部分にエッチング処理が施される。これにより、所定のゲート絶縁膜 18 が形成される。この後、ハードマスクは除去される。なお、このゲート絶縁膜 18 を選択的にエッチングする工程を省略してもよい。

[0096] 次に、図 9 D に示すように、n 型エピタキシャル層 5 の表層部に p 型ウェル領域 15 が形成される。p 型ウェル領域 15 を形成するには、まず、p 型ウェル領域 15 を形成すべき領域に選択的に開口を有するイオン注入マスク（図示略）が形成される。そして、当該イオン注入マスクを介して p 型不純物が n 型エピタキシャル層 5 に注入される。この後、例えば、900℃～1100℃の温度で、p 型不純物が熱拡散される。これにより、p 型ウェル領域 15 が形成される。この後、イオン注入マスクは、除去される。

[0097] なお、ゲート絶縁膜 18 およびゲート電極 19 が形成される前（図 9 A）の段階で、p 型不純物を n 型エピタキシャル層 5 に選択的に注入することにより、p 型ウェル領域 15 を形成してもよい。

[0098] 次に、n 型エピタキシャル層 5 の表層部に n 型ドレイン領域 13 および n 型領域 61 が形成されると同時に p 型ウェル領域 15 の内方領域（表層部）に n 型ソース領域 16 が形成される。n 型ドレイン領域 13、n 型領域 61 および n 型ソース領域 16 は、例えば、次のように形成される。

[0099] すなわち、まず、n 型ドレイン領域 13 を形成すべき領域、n 型領域 61 を形成すべき領域および n 型ソース領域 16 を形成すべき領域それぞれに選択的に開口を有するイオン注入マスク（図示略）が形成される。そして、当該イオン注入マスクを介して n 型不純物が n 型エピタキシャル層 5 に注入される。これにより、n 型ドレイン領域 13 と n 型領域 61 と n 型ソース領域 16 とが形成される。この後、イオン注入マスクは、除去される。

- [0100] 次に、 n 型ドレイン領域13、 n 型領域61および n 型ソース領域16それぞれの内方領域（表層部）に、 n^+ 型ドレインコンタクト領域14、 n^+ 型コンタクト領域62および n^+ 型ソースコンタクト領域17がそれぞれ選択的に形成される。 n^+ 型ドレインコンタクト領域14、 n^+ 型コンタクト領域62および n^+ 型ソースコンタクト領域17は、例えば次のように形成される。
- [0101] すなわち、まず、 n^+ 型ドレインコンタクト領域14、 n^+ 型コンタクト領域62および n^+ 型ソースコンタクト領域17を形成すべき領域それぞれに選択的に開口を有するイオン注入マスク（図示略）が形成される。そして、当該イオン注入マスクを介して n 型不純物が n 型ドレイン領域13、 n 型領域61および n 型ソース領域16に注入される。これにより、 n^+ 型ドレインコンタクト領域14、 n^+ 型コンタクト領域62および n^+ 型ソースコンタクト領域17が形成される。この後、イオン注入マスクは、除去される。
- [0102] 次に、図9Eに示すように、ゲート電極19を覆うように絶縁材料が堆積されて層間絶縁膜21が形成される。次に、層間絶縁膜21を貫通するように、コンタクトプラグ64、ドレイン用コンタクトプラグ22、ソース用コンタクトプラグ23およびゲート用コンタクトプラグ24が形成される。コンタクトプラグ64、ドレイン用コンタクトプラグ22、ソース用コンタクトプラグ23およびゲート用コンタクトプラグ24は、それぞれ、 n^+ 型コンタクト領域62、 n^+ 型ドレインコンタクト領域14、 n^+ 型ソースコンタクト領域17およびゲート電極19にそれぞれ電氣的に接続される。
- [0103] 最後に、コンタクトプラグ64、ドレイン用コンタクトプラグ22、ソース用コンタクトプラグ23およびゲート用コンタクトプラグ24それぞれに電氣的に接続される耐圧改善配線65、ドレイン配線25、ソース配線26およびゲート配線（図示略）が、層間絶縁膜21上に選択的に形成される。耐圧改善配線65、ドレイン配線25、ソース配線26およびゲート配線を形成するには、例えば、層間絶縁膜21上に配線材料層を形成する。そして、フォトリソグラフィおよびエッチングによって、配線材料層を選択的に除去することにより、耐圧改善配線65、ドレイン配線25、ソース配線26

およびゲート配線が形成される。以上の工程を経て、第2実施形態に係る半導体装置1Aが製造される。

- [0104] 次に、図10および図11を参照して、本発明の第3実施形態に係る半導体装置1Bについて説明する。図10は、本発明の第3実施形態に係る半導体装置の構成を説明するための図解的な平面図である。図11は、図10のX I-XI線に沿う図解的な断面図である。図10では、図11に示されている層間絶縁膜21、ドレイン配線25およびソース配線26は、省略されている。ただし、図11に示されている耐压改善配線81は、図10に図示されている。
- [0105] 図10において、前述の図1の各部に対応する部分には図1と同じ符号を付して示す。図11において、前述の図2の各部に対応する部分には図2と同じ符号を付して示す。
- [0106] 第3実施形態に係る半導体装置1Bでは、前述の第1実施形態に係る半導体装置1に比べて、耐压改善配線の構成が異なっている。第1実施形態に係る半導体装置1では、ドレイン配線25の延長部25Bによって耐压改善配線が構成されている。第3実施形態に係る半導体装置1Bでは、ドレイン配線25とは別に、独立して耐压改善配線が設けられている。ただし、この第3実施形態では、ドレイン配線25は、第1実施形態と同様に延長部25Bを有しており、この延長部25Bも耐压改善配線として機能する。
- [0107] 第3実施形態では、フィールド絶縁膜11上に耐压改善配線81が形成されている。図10においては、耐压改善配線81の領域が、ドットのハッチング領域として示されている。耐压改善配線81は、平面視において、n⁺型ドレインコンタクト領域14を取り囲むように、p型素子分離領域7に沿って四角環状に形成されている。この実施形態では、耐压改善配線81は、ポリシリコンからなる。耐压改善配線81は、層間絶縁膜21によって覆われている。
- [0108] 耐压改善配線81は、平面視で、n⁺型ドレインコンタクト領域14よりも外方に形成されている。この実施形態では、耐压改善配線81の内周縁は、

平面視において、 n^+ 型ドレインコンタクト領域14から外方に一定距離だけ離れた位置に位置している。なお、耐圧改善配線81の内周縁は、 n^+ 型ドレインコンタクト領域14の外周縁の真上にあってもよい。一方、耐圧改善配線81の外周縁は、 p 型素子分離領域7の内周縁よりも内側にある。

[0109] つまり、耐圧改善配線81は、素子領域2の周縁部領域であって、 n^+ 型ドレインコンタクト領域14の外周縁とその外側の p 型素子分離領域7の内周縁との間の素子終端領域30の一部（この例では幅中間部）を覆うように配置されている。

[0110] ドレイン配線25は、 n^+ 型ドレインコンタクト領域14の真上に配置された主配線部25Aと、主配線部25Aの外周縁から外方に延びた延長部25Bとからなる。延長部25Bは、平面視において、耐圧改善配線81表面と重なった重合部を有している。層間絶縁膜21には、延長部25Bの重合部と耐圧改善配線81とを電氣的に接続するための複数のコンタクトプラグ82が埋め込まれている。

[0111] 耐圧改善配線81は、複数のコンタクトプラグ82を介してドレイン配線25に電氣的に接続されている。したがって、耐圧改善配線81は、コンタクトプラグ82、ドレイン配線25およびドレイン用コンタクトプラグ22を介して、 n^- 型エピタキシャル層5に電氣的に接続されている。

[0112] この実施形態では、素子終端領域30の少なくとも一部を覆う耐圧改善配線81が設けられている。これにより、素子領域2と同じ電位の耐圧改善配線81が素子終端領域30上に配置された構成が得られるので、他配線の電位が接地電位である場合でも、他配線の電位の影響を抑制できる。これにより、他配線の電位が接地電位である場合に、 n^- 型エピタキシャル層と p 型素子分離領域7との間に存在する寄生ダイオードに逆方向電圧が印加されたときの等電位分布の乱れを抑制できる。これにより、DMOSトランジスタ40の耐圧の低下を抑制できるかまたは耐圧を向上させることができる。

[0113] 次に、図12A～図12Cを参照して、半導体装置1Bの製造工程について説明する。図12A～図12Cは、半導体装置1Bの製造工程の一例を説

明するための断面図であって、図11の切断面に対応する断面図である。

[0114] 前述の図6A～図6Dの工程は、半導体装置1Bの製造方法においてもそのまま適用される。図6Dの工程によって、ポリシリコンがn型エピタキシャル層5上に堆積されて、ポリシリコン層52が形成されると、図12Aに示すように、ゲート電極19を形成すべき領域および耐圧改善配線81を形成すべき領域それぞれに選択的に開口を有するレジストマスク（図示略）がポリシリコン層52上に形成される。そして、当該レジストマスクを介してポリシリコン層52の不要な部分がエッチングによって除去される。これにより、ゲート電極19および耐圧改善配線81が同時に形成される。この後、レジストマスクは除去される。

[0115] 次に、ゲート絶縁膜18の不要な部分を除去するため、選択的に開口を有するハードマスク（図示略）がn型エピタキシャル層5上に形成される。そして、当該ハードマスクを介してゲート絶縁膜18の不要な部分にエッチング処理が施される。これにより、所定のゲート絶縁膜18が形成される。この後、ハードマスクは除去される。なお、このゲート絶縁膜18を選択的にエッチングする工程を省略してもよい。

[0116] 次に、図12Bに示すように、n型エピタキシャル層5の表層部にp型ウェル領域15が形成される。p型ウェル領域15を形成するには、まず、p型ウェル領域15を形成すべき領域に選択的に開口を有するイオン注入マスク（図示略）が形成される。そして、当該イオン注入マスクを介してp型不純物がn型エピタキシャル層5に注入される。この後、例えば、900℃～1100℃の温度で、p型不純物が熱拡散される。これにより、p型ウェル領域15が形成される。この後、イオン注入マスクは、除去される。

[0117] なお、ゲート絶縁膜18およびゲート電極19が形成される前（図6C）の段階で、p型不純物をn型エピタキシャル層5に選択的に注入することにより、p型ウェル領域15を形成してもよい。

[0118] 次に、n型エピタキシャル層5の表層部にn型ドレイン領域13が形成されると同時にp型ウェル領域15の内方領域（表層部）にn型ソース領域1

6が形成される。n型ドレイン領域13およびn型ソース領域16を形成するには、まず、n型ドレイン領域13を形成すべき領域およびn型ソース領域16を形成すべき領域それぞれに選択的に開口を有するイオン注入マスク（図示略）が形成される。そして、当該イオン注入マスクを介してn型不純物がn型エピタキシャル層5に注入される。これにより、n型ドレイン領域13とn型ソース領域16とが形成される。この後、イオン注入マスクは、除去される。

[0119] 次に、n型ドレイン領域13およびn型ソース領域16の各内方領域（表層部）にn⁺型ドレインコンタクト領域14およびn⁺型ソースコンタクト領域17がそれぞれ選択的に形成される。n⁺型ドレインコンタクト領域14およびn⁺型ソースコンタクト領域17を形成するには、まず、n⁺型ドレインコンタクト領域14およびn⁺型ソースコンタクト領域17を形成すべき領域それぞれに選択的に開口を有するイオン注入マスク（図示略）が形成される。そして、当該イオン注入マスクを介してn型不純物がn型ドレイン領域13およびn型ソース領域16に注入される。これにより、n⁺型ドレインコンタクト領域14およびn⁺型ソースコンタクト領域17が形成される。この後、イオン注入マスクは、除去される。

[0120] 次に、図12Cに示すように、ゲート電極19および耐圧改善配線81を覆うように絶縁材料が堆積されて層間絶縁膜21が形成される。次に、層間絶縁膜21を貫通するように、ドレイン用コンタクトプラグ22、ソース用コンタクトプラグ23、ゲート用コンタクトプラグ24およびコンタクトプラグ82が形成される。ドレイン用コンタクトプラグ22、ソース用コンタクトプラグ23、ゲート用コンタクトプラグ24およびコンタクトプラグ82は、それぞれ、n⁺型ドレインコンタクト領域14、n⁺型ソースコンタクト領域17、ゲート電極19および耐圧改善配線81にそれぞれ電氣的に接続される。

[0121] 最後に、ドレイン配線25、ソース配線26およびゲート配線（図示略）が、層間絶縁膜21上に選択的に形成される。ドレイン配線25は、ドレイ

ン用コンタクトプラグ22および耐圧改善配線用コンタクトプラグ82に電氣的に接続される。ソース配線26およびゲート配線は、それぞれソース用コンタクトプラグ23およびゲート用コンタクトプラグ24に電氣的に接続される。以上の工程を経て、第3実施形態に係る半導体装置1Bが製造される。

[0122] 本発明の実施形態について詳細に説明してきたが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の範囲は添付の請求の範囲によってのみ限定される。

[0123] この出願は、2020年3月13日に日本国特許庁に提出された特願2020-44368号に対応しており、その出願の全開示はここに引用により組み込まれるものとする。

符号の説明

- [0124]
- 1, 1A, 1B 半導体装置
 - 2 素子領域
 - 3 基体
 - 4 p型半導体基板
 - 5 n-型エピタキシャル層
 - 6 n+型埋め込み層
 - 7 p型素子分離領域
 - 8 下側分離領域
 - 9 上側分離領域
 - 11 フィールド絶縁膜
 - 12 フィールド絶縁膜
 - 13 n型ドレイン領域
 - 14 n+型ドレインコンタクト領域
 - 15 p型ウェル領域
 - 16 n型ソース領域

- 17 n⁺型ソースコンタクト領域
- 18 ゲート絶縁膜
- 19 ゲート電極
- 20 チャネル領域
- 21 層間絶縁膜
- 22 ドレイン用コンタクトプラグ
- 23 ソース用コンタクトプラグ
- 24 ゲート用コンタクトプラグ
- 25 ドレイン配線
 - 25A 主配線部
 - 25B 延長部（耐圧改善配線）
- 26 ソース配線
- 30 素子終端領域
- 40 DMOSトランジスタ
- 51, 71 ハードマスク
- 52, 72 ポリシリコン層
- 61 n型領域
- 62 n⁺型コンタクト領域
- 63 フィールド絶縁膜
- 64, 82 コンタクトプラグ
- 65, 81 耐圧改善配線

請求の範囲

- [請求項1] p型基板および前記p型基板上に形成されたn型半導体層を含み、前記n型半導体層をドレインとするトランジスタを有する素子領域を含む基体と、
- 前記素子領域を区画するように前記基体の表層部に形成されたp型素子分離領域と、
- 前記素子領域の周縁部上に配置されかつ前記n型半導体層に電氣的に接続された導電配線とを含み、
- 前記トランジスタは、前記素子領域の周縁部において、前記n型半導体層の表層部に形成されたn型ドレインコンタクト領域を含み、
- 前記導電配線は、前記n型ドレインコンタクト領域と前記p型素子分離領域との間の素子終端領域の少なくとも一部を覆うように配置されている、半導体装置。
- [請求項2] 前記n型ドレインコンタクト領域に電氣的に接続されたドレイン配線を含み、
- 前記ドレイン配線は、平面視において、前記素子終端領域内に延びた延長部を有しており、
- 前記導電配線は、前記延長部から構成されている、請求項1に記載の半導体装置。
- [請求項3] 前記n型ドレインコンタクト領域および前記ドレイン配線は、それぞれ平面視で無端状に形成されており、
- 前記延長部は、平面視において、前記n型ドレインコンタクト領域を取り囲むように、前記ドレイン配線の全長にわたって形成されている、請求項2に記載の半導体装置。
- [請求項4] 前記素子終端領域において、前記n型半導体層の表層部に前記導電配線用のn型コンタクト領域が形成されており、
- 前記導電配線は、前記n型コンタクト領域に導電部材を介して電氣的に接続されている、請求項1に記載の半導体装置。

- [請求項5] 前記n型ドレインコンタクト領域は、平面視で無端状に形成されており、
- 前記n型コンタクト領域および前記導電配線は、それぞれ、平面視において、前記n型ドレインコンタクト領域を取り囲むように、無端状に形成されている、請求項4に記載の半導体装置。
- [請求項6] 前記n型ドレインコンタクト領域に電氣的に接続されたドレイン配線を含み、
- 前記導電配線は、前記ドレイン配線に導電部材を介して電氣的に接続されている、請求項1に記載の半導体装置。
- [請求項7] 前記導電配線は、前記素子終端領域内において、前記n型半導体層上に絶縁層を介して形成されており、
- 前記ドレイン配線は、平面視において、前記導電配線の一部に重なる重合部を有しており、
- 前記重合部の下面と前記導電配線の上面とが前記導電部材によって電氣的に接続されている、請求項6に記載の半導体装置。
- [請求項8] 前記n型ドレインコンタクト領域および前記ドレイン配線は、平面視で無端状に形成されており、
- 前記導電配線は、平面視において、前記n型ドレインコンタクト領域を取り囲むように、無端状に形成されており、
- 前記ドレイン配線は、その外周縁部に前記重合部を有しており、
- 前記重合部の下面と前記導電配線の上面の内周縁部とが前記導電部材によって電氣的に接続されている、請求項7に記載の半導体装置。
- [請求項9] 前記導電配線は、ポリシリコンからなる、請求項6～8のいずれか一項に記載の半導体装置。
- [請求項10] 平面視で前記素子領域の中央部において、前記p型基板と前記n型半導体層との境界を跨ぐようにn型埋め込み層が形成されている、請求項1～9のいずれか一項に記載の半導体装置。
- [請求項11] 前記p型素子分離ウェルは、平面視において、前記素子領域を取り

囲む無端状に形成されており、

前記 n 型ドレインコンタクト領域は、平面視において、前記 p 型素子分離ウェルに沿って無端状に形成されている、請求項 1～10 のいずれか一項に記載の半導体装置。

[請求項12]

前記トランジスタは、

前記 n 型半導体層の表層部に形成された p 型ウェル領域と、

前記 p 型ウェル領域の表層部に形成された n 型ソース領域と、

前記 n 型ソース領域の表層部に形成され、n 型不純物濃度が前記第 n 型領域よりも高い n 型ソースコンタクト領域と、

前記 n 型半導体層の表層部に、前記 p 型ウェル領域を取り囲むように無端状に形成された n 型ドレイン領域とを含み、

前記 n 型ドレインコンタクト領域は、前記 n 型ドレイン領域の表層部に前記 p 型ウェル領域を取り囲むように形成されかつ n 型不純物濃度が前記 n 型ドレイン領域よりも高い、請求項 1～11 のいずれか一項に記載の半導体装置。

[請求項13]

前記トランジスタは、

前記ソースコンタクト領域および前記ドレインコンタクト領域との間のチャネル領域を覆うように形成されたゲート絶縁膜と、

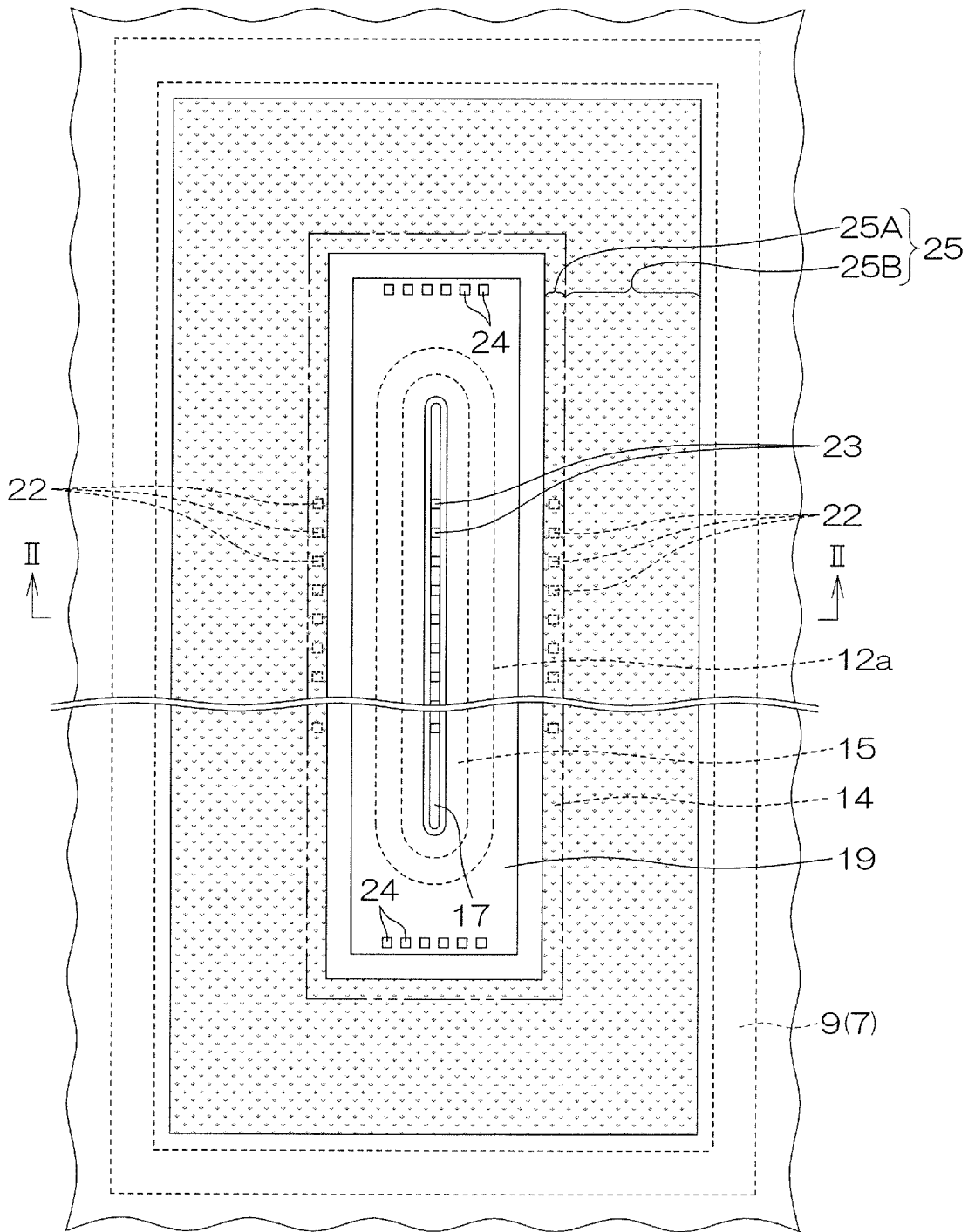
前記ゲート絶縁膜上に形成され、前記ゲート絶縁膜を介して前記チャネル領域に対向するゲート電極とをさらに含む、請求項 12 に記載の半導体装置。

[請求項14]

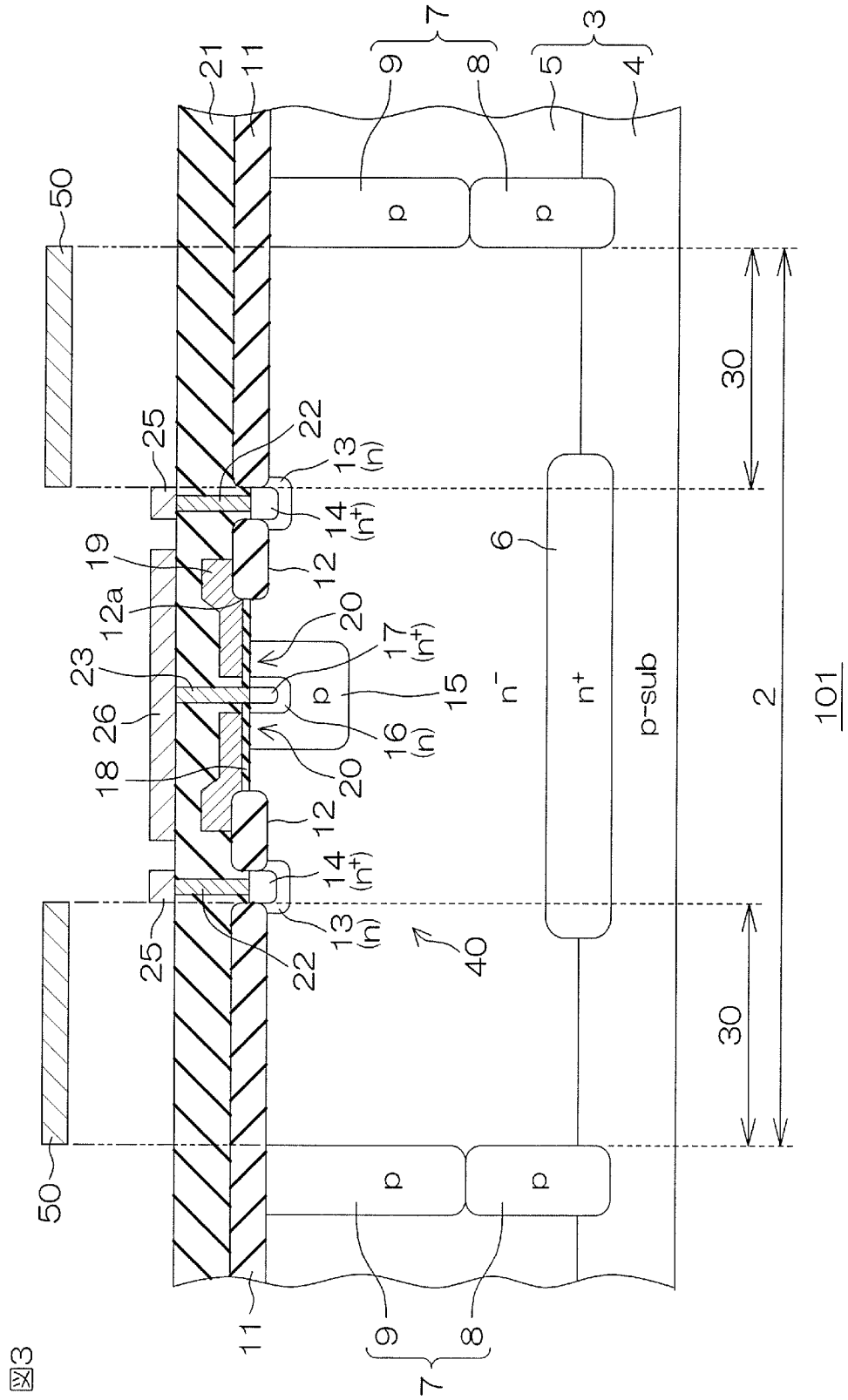
前記 n 型ソースコンタクト領域に電氣的に接続されたソース配線を含む、請求項 12 または 13 に記載の半導体装置。

[図1]

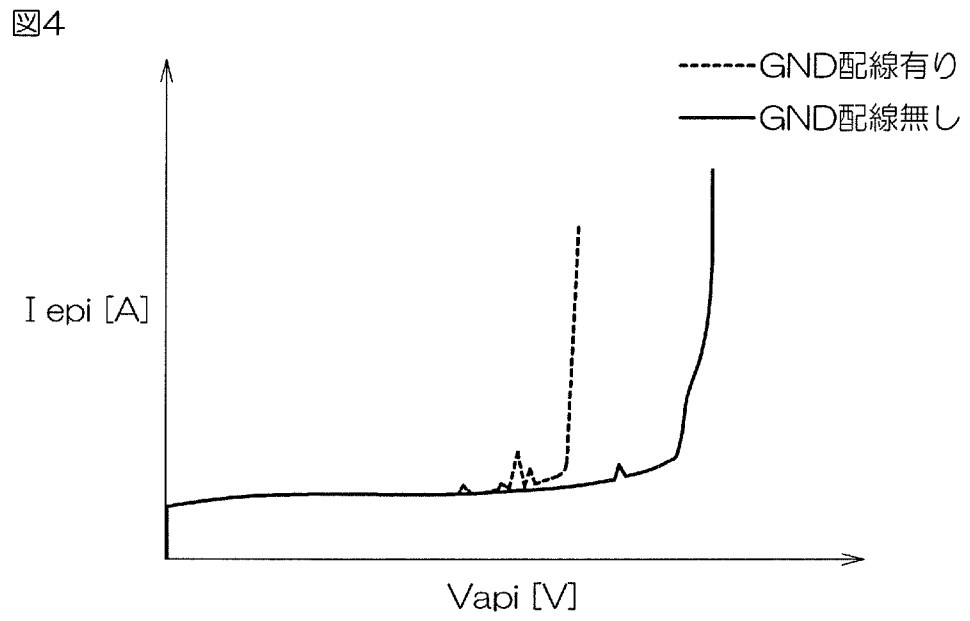
図1



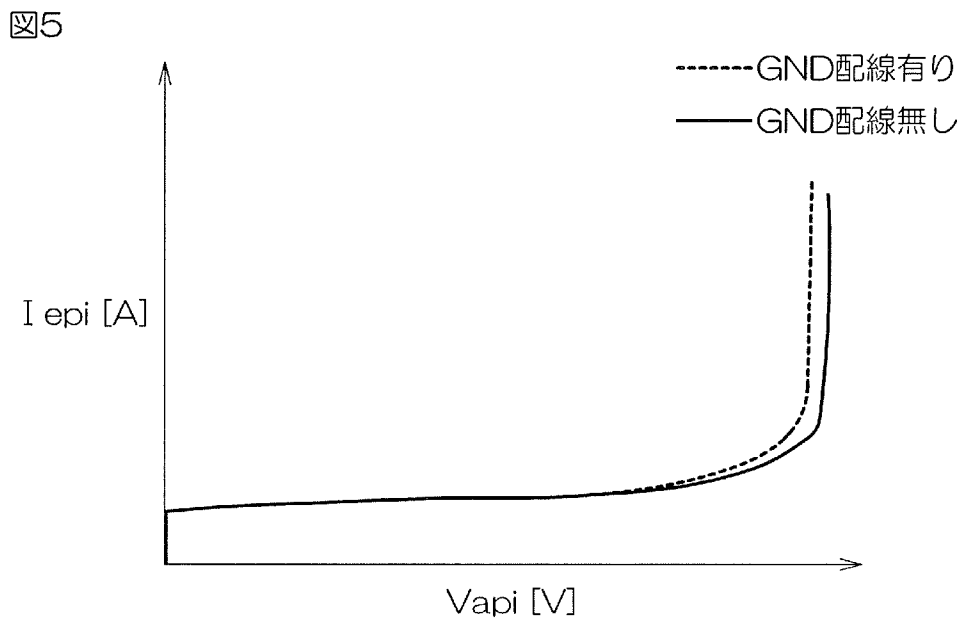
[図3]



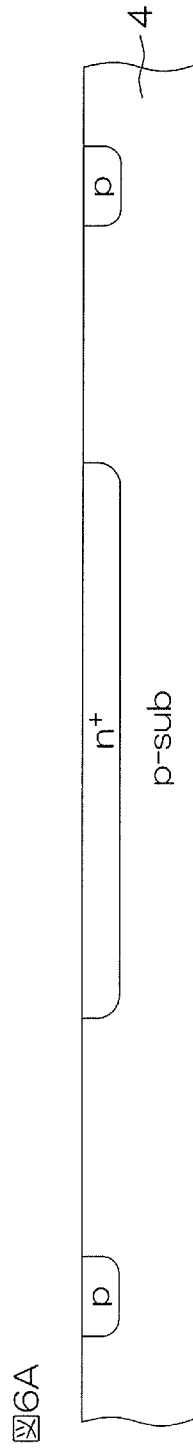
[図4]



[図5]

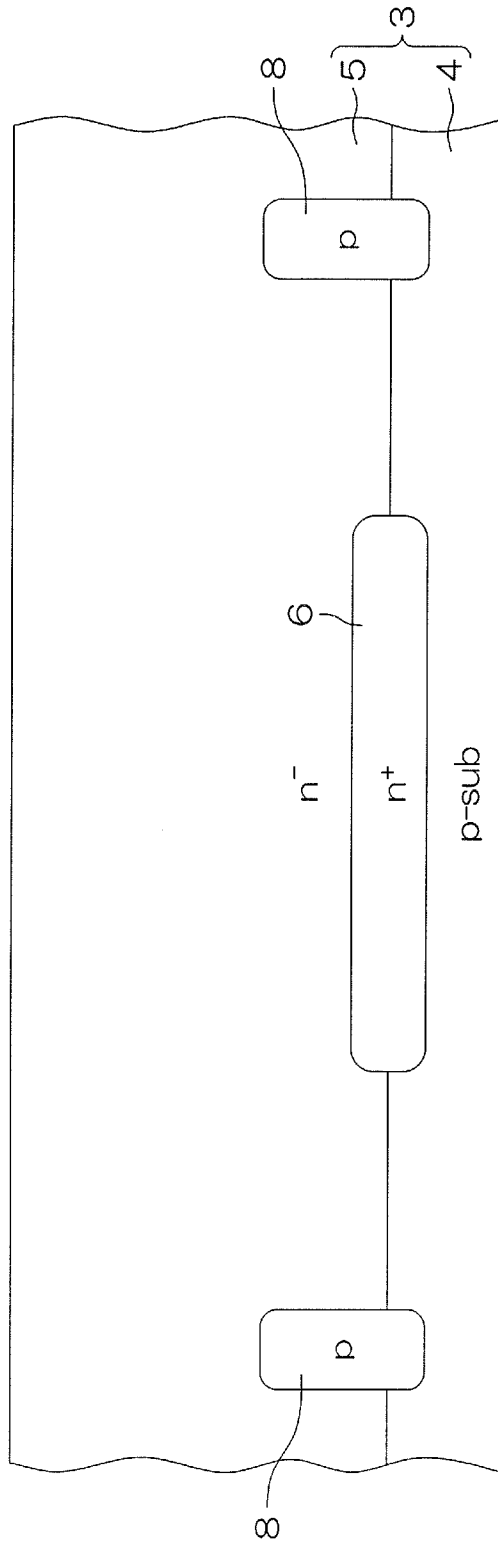


[図6A]

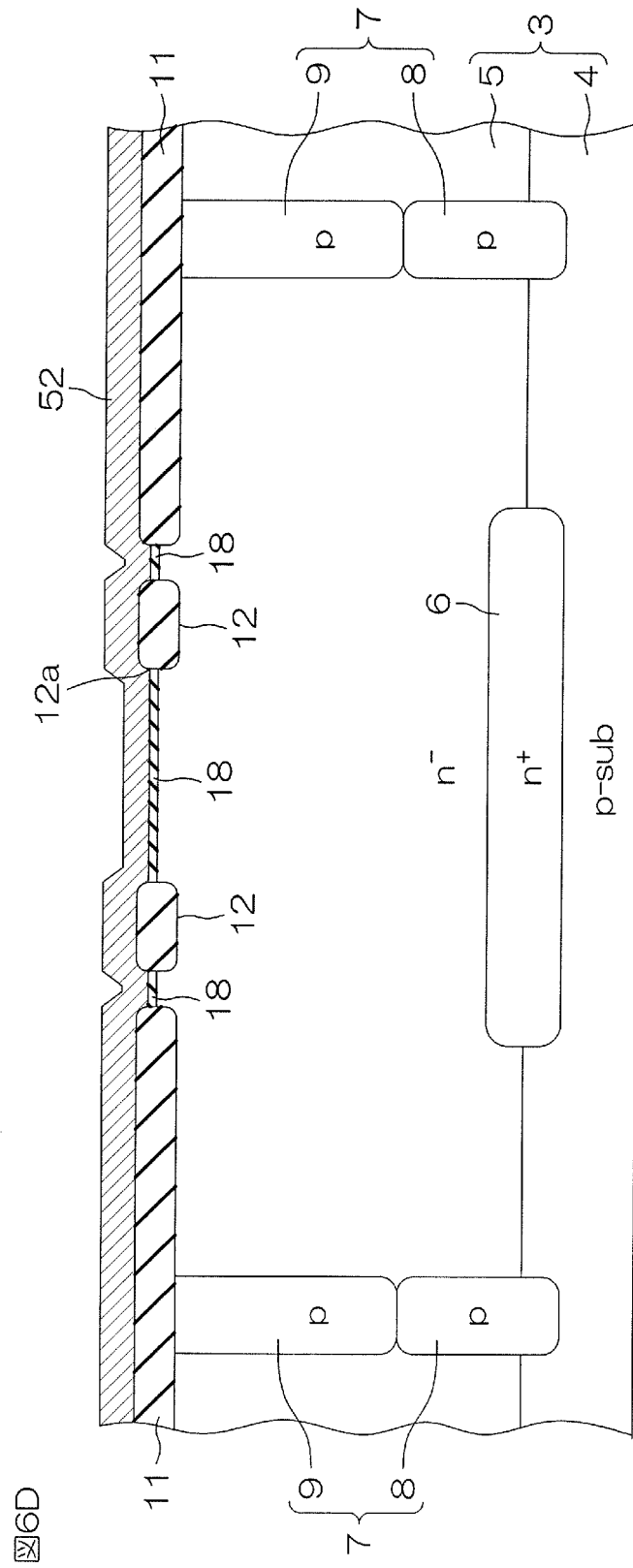


[図6B]

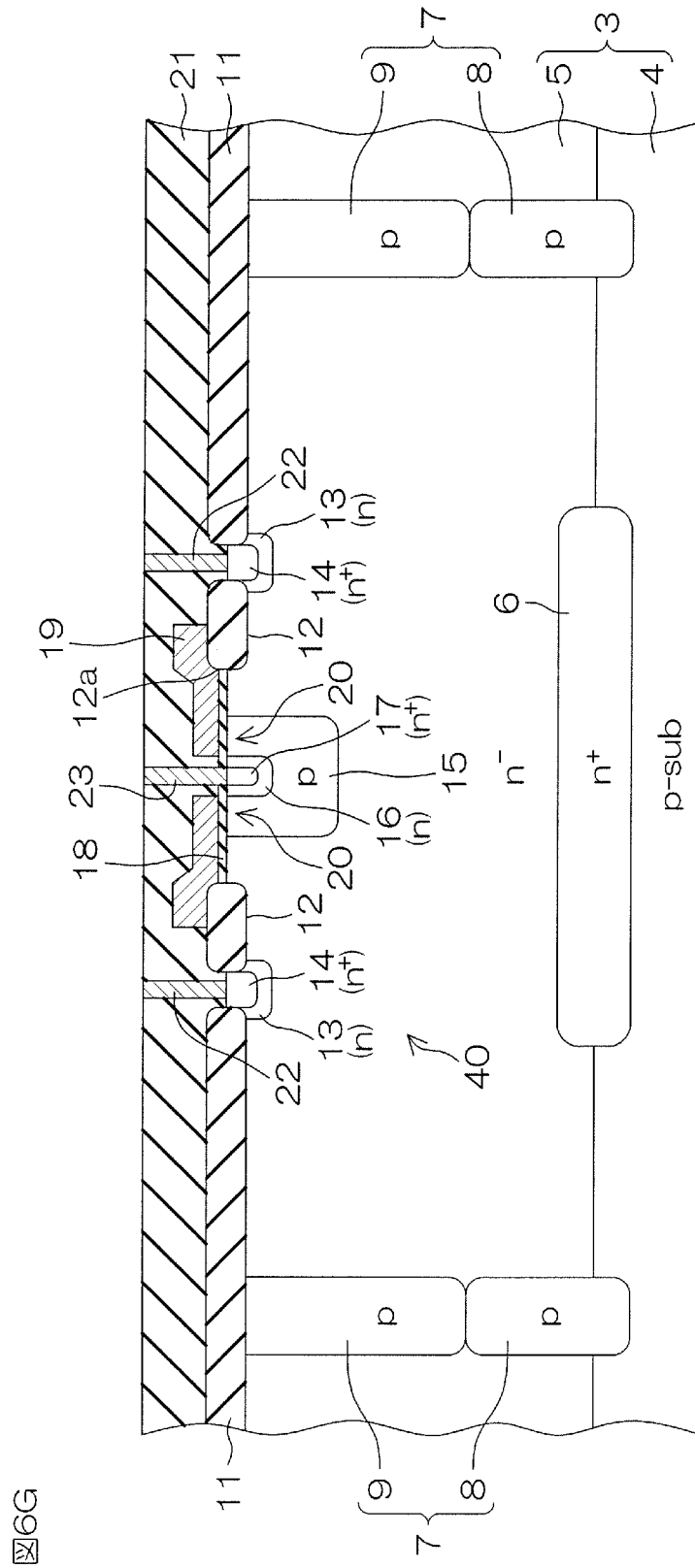
図6B



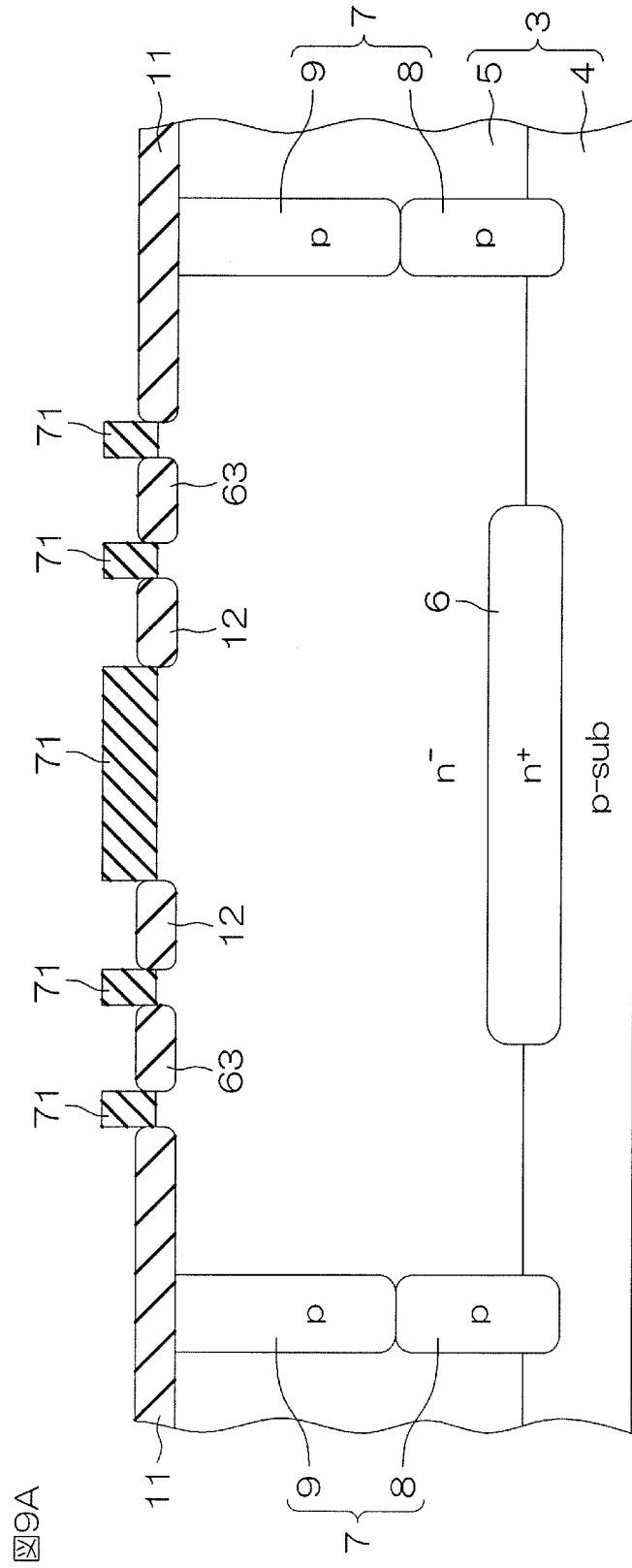
[図6D]



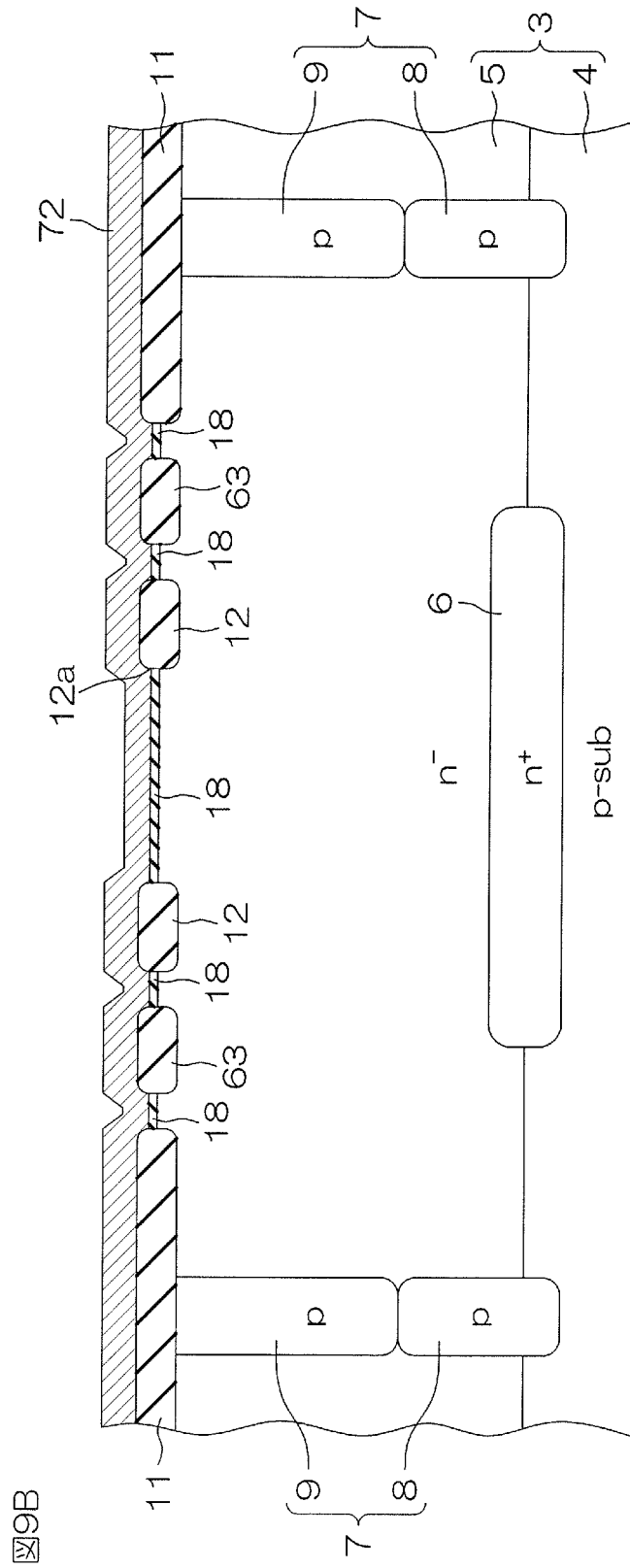
[6G]



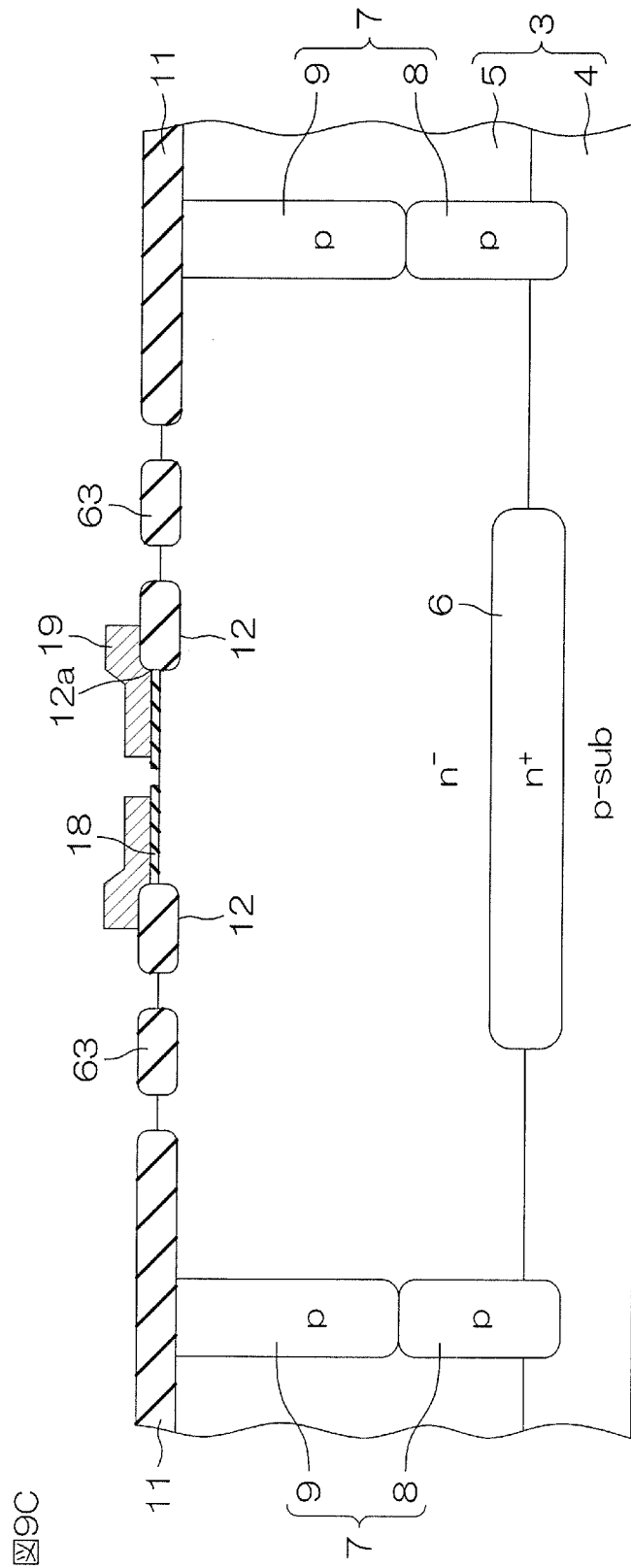
[9A]



[9B]

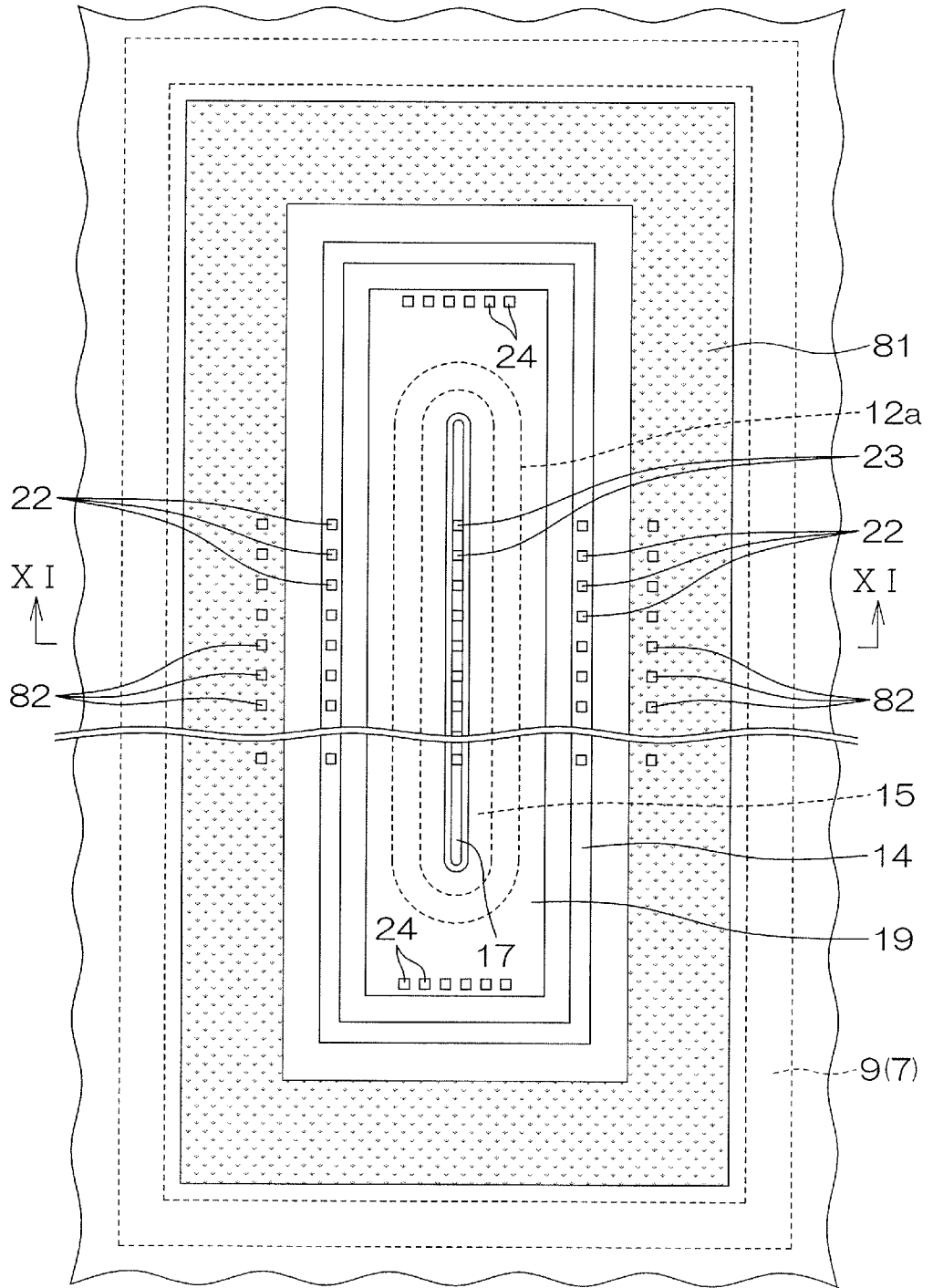


[9C]



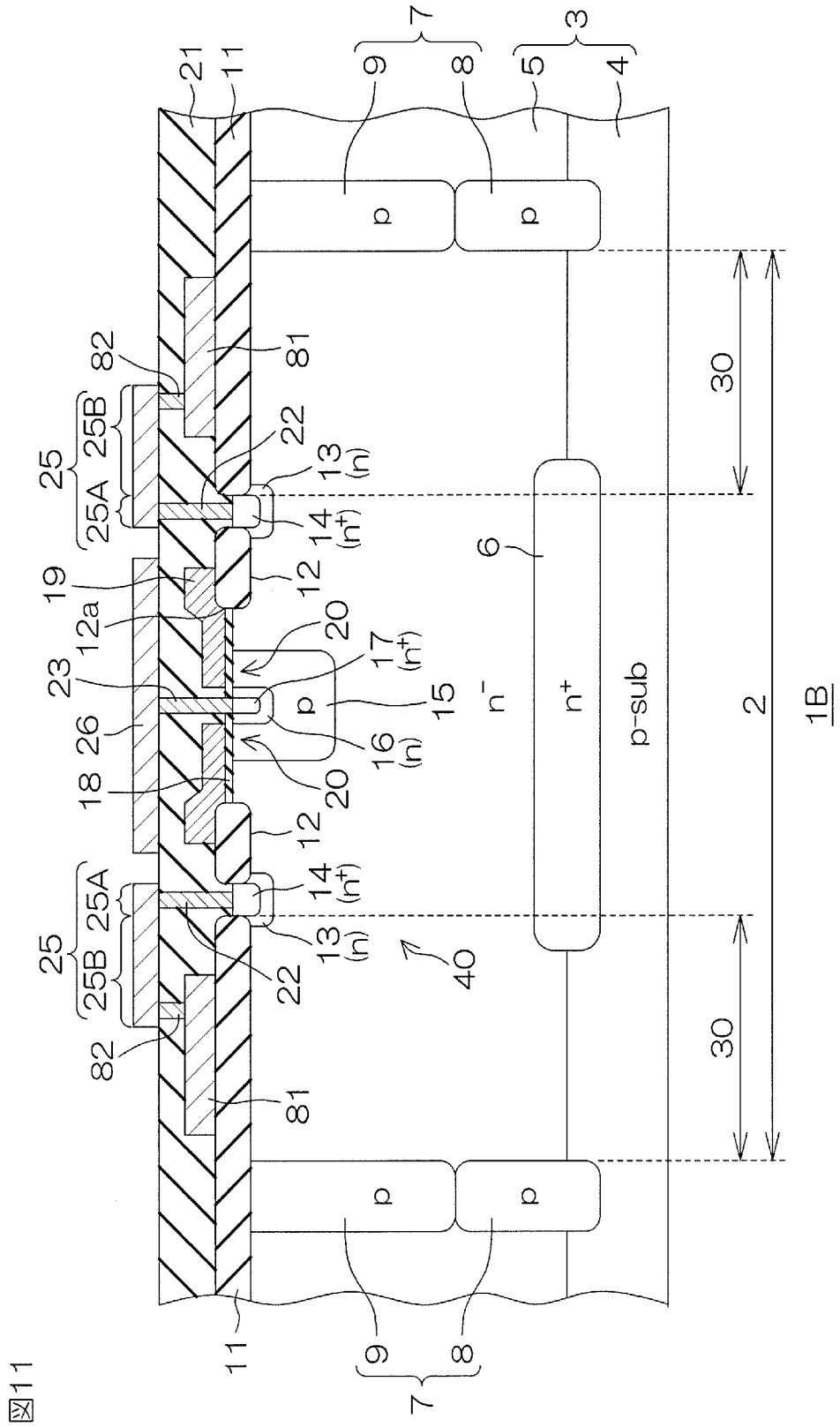
[図10]


図10

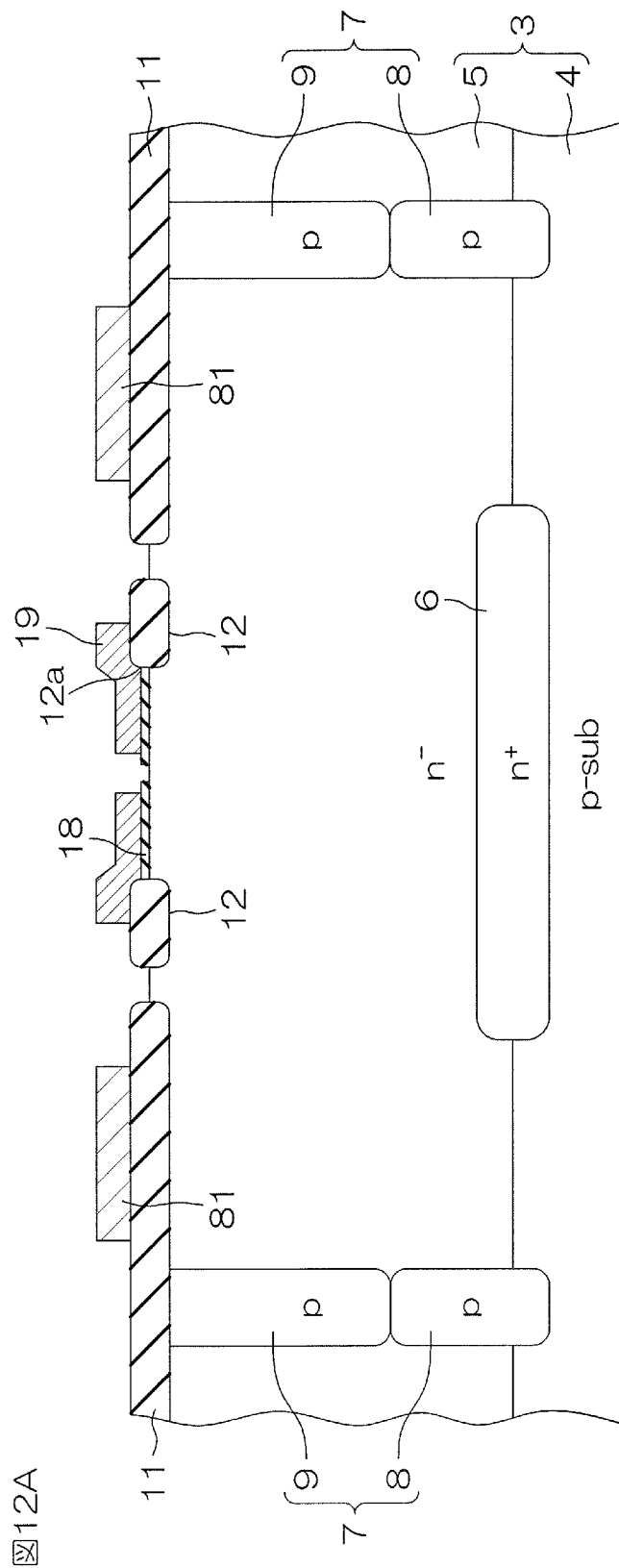


1B

[図11]



[12A]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/008083

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; H01L 21/336(2006.01)i; H01L 21/76(2006.01)i
 FI: H01L29/78 301D; H01L21/76 M

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L21/336; H01L21/76

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 04-127573 A (FUJI ELECTRIC CO., LTD.) 28 April	1, 2, 10
Y	1992 (1992-04-28) page 3, lower left column, line	11-14
A	9 to page 4, lower right column, line 3, fig. 1, 3	3-9
Y	WO 2012/127960 A1 (RENESAS ELECTRONICS CORP.) 27	11
Y	September 2012 (2012-09-27) fig. 2	12-14
Y	paragraphs [0024], [0025], fig. 2-5	12-14
Y	JP 2007-180244 A (SANYO ELECTRIC CO., LTD.) 12	11
Y	July 2007 (2007-07-12) paragraph [0020]	12-14
Y	paragraph [0018], fig. 1	12-14
Y	JP 2002-314066 A (SANYO ELECTRIC CO., LTD.) 25	12-14
A	October 2002 (2002-10-25) paragraph [0033], fig. 1	1-14
A	JP 59-193065 A (MATSUSHITA ELECTRIC WORKS, LTD.)	1-14
A	01 November 1984 (1984-11-01)	1-14
A	JP 2018-011089 A (ROHM CO., LTD.) 18 January 2018	1-14
A	(2018-01-18)	1-14

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search
 26 May 2021 (26.05.2021)

Date of mailing of the international search report
 08 June 2021 (08.06.2021)

Name and mailing address of the ISA/
 Japan Patent Office
 3-4-3, Kasumigaseki, Chiyoda-ku,
 Tokyo 100-8915, Japan

Authorized officer

 Telephone No.

aINTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/008083

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 04-127573 A	28 Apr. 1992	(Family: none)	
WO 2012/127960 A1	27 Sep. 2012	US 2015/0115360 A1 paragraphs [0078]- [0079], fig. 2-5 CN 103443927 A KR 10-2014-0012123 A	
JP 2007-180244 A	12 Jul. 2007	(Family: none)	
JP 2002-314066 A	25 Oct. 2002	(Family: none)	
JP 59-193065 A	01 Nov. 1984	(Family: none)	
JP 2018-011089 A	18 Jan. 2018	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/78(2006.01)i; H01L 21/336(2006.01)i; H01L 21/76(2006.01)i FI: H01L29/78 301D; H01L21/76 M		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/78; H01L21/336; H01L21/76 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 04-127573 A（富士電機株式会社）28.04.1992（1992-04-28） 第3頁左下欄第9行～第4頁右下欄第3行，第1図，第3図	1, 2, 10
Y		11-14
A		3-9
Y	WO 2012/127960 A1（ルネサスエレクトロニクス株式会社）27.09.2012（2012-09-27） 図2	11
Y	段落0024, 0025, 図2-5	12-14
Y	JP 2007-180244 A（三洋電機株式会社）12.07.2007（2007-07-12） 段落0020	11
Y	段落0018, 図1	12-14
Y	JP 2002-314066 A（三洋電機株式会社）25.10.2002（2002-10-25） 段落0033, 図1	12-14
A	JP 59-193065 A（松下電工株式会社）01.11.1984（1984-11-01）	1-14
A	JP 2018-011089 A（ローム株式会社）18.01.2018（2018-01-18）	1-14
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 26.05.2021	国際調査報告の発送日 08.06.2021	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 市川 武宜 5F 1592 電話番号 03-3581-1101 内線 3516	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/008083

引用文献	公表日	パテントファミリー文献	公表日
JP 04-127573 A	28.04.1992	(ファミリーなし)	
WO 2012/127960 A1	27.09.2012	US 2015/0115360 A1 段落0078-0079, 図2-5 CN 103443927 A KR 10-2014-0012123 A	
JP 2007-180244 A	12.07.2007	(ファミリーなし)	
JP 2002-314066 A	25.10.2002	(ファミリーなし)	
JP 59-193065 A	01.11.1984	(ファミリーなし)	
JP 2018-011089 A	18.01.2018	(ファミリーなし)	