

(43) 国際公開日
2008 年 8 月 28 日 (28.08.2008)

PCT

(10) 国際公開番号
WO 2008/102411 A1(51) 国際特許分類:
H03D 1/00 (2006.01)市中原区上小田中 4 丁目 1 番 1 号富士通株式会社内
Kanagawa (JP).

(21) 国際出願番号: PCT/JP2007/000105

(74) 代理人: 大菅義之 (OSUGA, Yoshiyuki); 〒1020084 東京都千代田区二番町 8 番地 2 O 二番町ビル 3 F Tokyo (JP).

(22) 国際出願日: 2007 年 2 月 20 日 (20.02.2007)

(25) 国際出願の言語: 日本語

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).

(72) 発明者: および

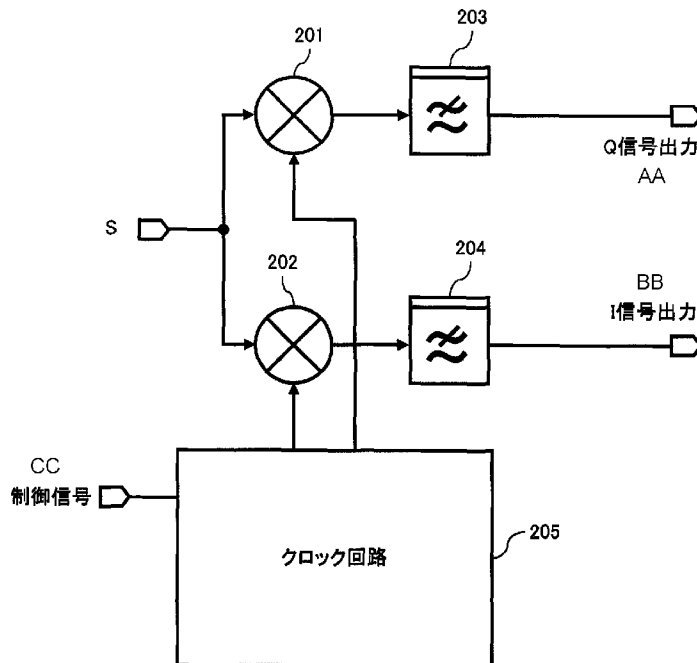
(75) 発明者/出願人 (米国についてのみ): 山崎大輔 (YAMAZAKI, Daisuke) [JP/JP]; 〒2118588 神奈川県川崎

[続葉有]

(54) Title: SIGNAL PROCESSING DEVICE AND SIGNAL PROCESSING METHOD

(54) 発明の名称: 信号処理装置および方法

[図2]



AA OUTPUT OF Q SIGNAL
 BB OUTPUT OF I SIGNAL
 CC CONTROL SIGNAL
 205 CLOCK CIRCUIT

(57) Abstract: A first mixer generates a first output signal by mixing a first input signal and a first clock signal. A second mixer generates a second output signal by mixing a second input signal and a second clock signal. A clock circuit selects between a first operation and a second operation according to the value of a control signal. In the first operation, the clock circuit outputs the first clock signal to the first mixer and outputs, as the second clock signal, a clock signal, which is delayed by 90° in phase difference relative to the first clock signal, to the second mixer. In the second operation, the clock circuit outputs the first clock signal to the first mixer and outputs, as the second clock signal, a clock signal, which is advanced by 90° in phase difference relative to the first clock signal, to the second mixer according to the value of a control signal.

(57) 要約: 第1のミキサは、第1の入力信号と第1のクロック信号を混合して第1の出力信号を生成し、第2のミキサは、第2の入力信号と第2のクロック信号を混合して第2の出力信号を生成する。クロック回路は、第1のクロック信号を第1のミキサに出力し、第1のクロック信号に対して位相差90度だけ遅れたクロック信号を第2のクロック信号として第2のミキサ

に出力する第1の動作と、第1のクロック信号を第1のミキサに出力し、第1のクロック信号に対して位相差90度

[続葉有]



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

明 細 書

信号処理装置および方法

技術分野

- [0001] 本発明は、QPSK (Quadrature Phase Shift Keying) やOFDM (Orthogonal Frequency Division Multiplexing) 等の無線通信システムにおいて、同相 (I) 信号と直交 (Q) 信号を合成または分離する信号処理装置および方法に関する。

背景技術

- [0002] 図1は、下記の特許文献1に記載された従来の無線受信機の構成図である。この受信機は、受信アンテナ110、バンドパスフィルタ111、高周波増幅器112、ミキサ113、局所発振器114、ローパスフィルタ115、直交検波器120、増幅器141、142、復調回路150、および出力端子160を備える。
- [0003] このうち、直交検波器120は、局所発振器125、 90° 位相差分離回路126、ミキサ121、122、およびローパスフィルタ131、132からなり、中間周波数 (IF) f_{IF} の信号を、位相が互いに 90° 異なるI信号とQ信号に変換する。この場合、I信号とQ信号を出力する2つの端子は固定されている。
- [0004] このような無線受信機においては、直交検波器を含む無線周波数集積回路 (RF-IC) と、ベースバンド信号のデジタル処理を行うデジタルベースバンド集積回路 (DBB-IC) が用いられることが多い。これらのIC間の接続を行うプリント基板の設計ミスや、RF-ICおよびDBB-ICの開発時における設計ミス等によって、I信号とQ信号を逆に接続してしまうことが起こり得る。
- [0005] その理由は、I信号とQ信号の位相関係について決められているのは、互いに 90° だけ位相が異なることのみであり、どちらの方が進んでいるかを示す標準規定がないことによる。製造者によって、また、同じ製造者であつ

ても開発時期によって、製品における I 信号と Q 信号の位相関係が異なってくる。

[0006] このような設計ミスが発生した場合、従来ではプリント基板の作り直し等によって対処していたため、時間とコストの負担が大きかった。

下記の特許文献 2 は、ダイレクトコンバージョン受信機に関し、特許文献 3 は、低 I F 受信機構造に関し、特許文献 4 は、ダイバーシティ無線受信装置に関する。

特許文献 1：特開昭 6 1－1 7 1 2 0 7 号公報

特許文献 2：米国特許第 5 7 6 1 6 1 5 号明細書

特許文献 3：特表 2 0 0 5－5 3 5 1 6 8 号公報

特許文献 4：特開 2 0 0 6－1 4 0 8 1 0 号公報

発明の開示

[0007] 本発明の課題は、無線受信機または無線送信機において I 信号と Q 信号を逆に接続する設計ミスが発生した場合であっても、プリント基板を作り直すことなく、正しい接続関係を確保することである。

[0008] 本発明の信号処理装置は、第 1 および第 2 のミキサとクロック回路を備える。第 1 のミキサは、第 1 の入力信号と第 1 のクロック信号を混合して第 1 の出力信号を生成し、第 2 のミキサは、第 2 の入力信号と第 2 のクロック信号を混合して第 2 の出力信号を生成する。

[0009] クロック回路は、第 1 のクロック信号を第 1 のミキサに出力し、第 1 のクロック信号に対して位相差 9 0 度だけ遅れたクロック信号を第 2 のクロック信号として第 2 のミキサに出力する第 1 の動作と、第 1 のクロック信号を第 1 のミキサに出力し、第 1 のクロック信号に対して位相差 9 0 度だけ進んだクロック信号を第 2 のクロック信号として第 2 のミキサに出力する第 2 の動作とを、制御信号の値に応じて切り替える。

[0010] この構成によれば、制御信号の値を変更するだけで、第 1 のミキサと第 2 のミキサに入力されるクロック信号の位相関係を入れ替えることができ、実質的に第 1 のミキサと第 2 のミキサの役割を入れ替えることができる。した

がって、第1の入力信号と第2の入力信号の接続を入れ替えなくても、接続を入れ替えた場合と同様の出力信号を得ることが可能になる。

- [0011] I信号とQ信号を間違えて接続した場合、従来のようにプリント基板を作り直すと、間違えなかった場合に比べてトータルで設計期間は2倍かかり、コストは2倍かかる。これに対して、本発明を採用したICであれば、間違えた場合であっても設定を変更するだけでよく、プリント基板を作り直す必要はない。したがって、間違えなかった場合に比べて、設計期間およびコストは変わらずに済む。

図面の簡単な説明

- [0012] [図1]従来の無線受信機の構成図である。
- [図2]無線受信機における第1の直交復調部の構成図である。
- [図3]第1の直交復調部における第1のクロック回路を示す図である。
- [図4]第1のクロック回路における第1のIQ切替器を示す図である。
- [図5]第1のクロック回路における第2のIQ切替器を示す図である。
- [図6]第2の直交復調部における第1のクロック回路を示す図である。
- [図7]クロック信号の位相関係を示す第1のタイミングチャートである。
- [図8]クロック信号の位相関係を示す第2のタイミングチャートである。
- [図9]第2の直交復調部における第2のクロック回路を示す図である。
- [図10]第1のクロック回路におけるクロック発生器を示す図である。
- [図11]第1の直交復調部における第2のクロック回路を示す図である。
- [図12]第2のクロック回路におけるIQ切替器の構成図である。
- [図13]第2のクロック回路における立ち上がりエッジ検出器の構成図である。
- [図14]立ち上がりエッジ検出器の信号のタイミングチャートである。
- [図15]クロック信号の位相関係を示す第3のタイミングチャートである。
- [図16]クロック信号の位相関係を示す第4のタイミングチャートである。
- [図17]無線送信機における直交変調部の構成図である。

発明を実施するための最良の形態

[0013] 以下、図面を参照しながら、本発明を実施するための最良の形態を詳細に説明する。

I 信号と Q 信号の位相差の絶対値は 90° であり、I 信号と Q 信号のどちらが 90° 進んでいるかによって問題が生じるため、問題が生じた時点で I 信号用のクロック信号と Q 信号用のクロック信号を切り替える機能があると対処しやすい。

[0014] 図 2 は、無線受信機における直交復調部にこのような切り替え機能を導入した構成例を示している。この直交復調部は、Q 信号用ミキサ 201、I 信号用ミキサ 202、ローパスフィルタ 203、204、および I Q 切替機能付きクロック回路 205 を備える。

[0015] 復調対象の信号 S はミキサ 201 および 202 に分配され、クロック回路 205 は、互いに 90° だけ位相が異なる 2 種類のクロック信号をそれぞれミキサ 201 および 202 に出力する。このとき、2 種類のクロック信号の出力先は、制御信号の値に応じて切り替えられる。

[0016] ミキサ 201 は、信号 S と一方のクロック信号を混合して、ローパスフィルタ 203 に出力し、ローパスフィルタ 203 は、ミキサ 201 からの出力信号のうち低周波成分のみを抽出し、Q 信号として出力する。ミキサ 202 は、信号 S と他方のクロック信号を混合して、ローパスフィルタ 204 に出力し、ローパスフィルタ 204 は、ミキサ 202 からの出力信号のうち低周波成分のみを抽出し、I 信号として出力する。

[0017] 図 3 は、図 2 のクロック回路 205 の構成例を示している。この構成において、クロック回路 205 は、I Q 切替器 301 およびクロック発生器 302 を備える。クロック発生器 302 は、 0° および 90° の 2 種類のクロック信号を発生し、I Q 切替器 301 に出力する。 90° のクロック信号 ck_{90} は、 0° のクロック信号 ck_0 に対して位相差 90° だけ遅れている。I Q 切替器 301 は、制御信号に従って 2 種類のクロック信号を切り替え、ミキサ 201 および 202 に出力する。

[0018] 図 4 は、図 3 の I Q 切替器 301 の構成例を示している。この構成におい

て、I Q切替器301は、インバータ401およびスイッチ402～405からなる。インバータ401は、制御信号を反転してスイッチ403および404の制御端子に出力する。スイッチ402～405は、制御端子に入力された信号が論理“1”（真）のときオンとなり、論理“0”（偽）のときオフとなる。

[0019] したがって、制御信号が“1”のとき、スイッチ402および405がオンとなり、スイッチ403および404がオフとなる。その結果、クロック信号 $c k_0$ がミキサ202に出力され、クロック信号 $c k_{90}$ がミキサ201に出力される。一方、制御信号が“0”のとき、スイッチ402および405がオフとなり、スイッチ403および404がオンとなる。その結果、クロック信号 $c k_0$ がミキサ201に出力され、クロック信号 $c k_{90}$ がミキサ202に出力される。

[0020] 図5は、図3のI Q切替器301の別の構成例を示している。この構成において、I Q切替器301は、インバータ501およびNAND回路502～507からなる。インバータ501は、制御信号を反転してNAND回路505および506に出力する。

[0021] NAND回路504は、制御信号とクロック信号 $c k_0$ の論理積の否定を出力し、NAND回路505は、反転制御信号とクロック信号 $c k_{90}$ の論理積の否定を出力する。NAND回路506は、反転制御信号とクロック信号 $c k_0$ の論理積の否定を出力し、NAND回路507は、制御信号とクロック信号 $c k_{90}$ の論理積の否定を出力する。

[0022] NAND回路502は、NAND回路504の出力とNAND回路505の出力の論理積の否定をミキサ202に出力し、NAND回路503は、NAND回路506の出力とNAND回路507の出力の論理積の否定をミキサ201に出力する。

[0023] したがって、図4のI Q切替器301と同様に、制御信号が“1”のとき、クロック信号 $c k_0$ がミキサ202に出力され、クロック信号 $c k_{90}$ がミキサ201に出力される。一方、制御信号が“0”のとき、クロック信号 $c k_0$

がミキサ201に出力され、クロック信号 $c k_{90}$ がミキサ202に出力される。

[0024] 次に、図6から図9までを参照しながら、クロック信号が差動信号である場合の直交復調部の構成について説明する。この場合は、I信号用ミキサまたはQ信号用ミキサのいずれか一方に入力される正相クロック信号と反転クロック信号を切り替える機能を設けることで、I信号とQ信号を入れ替える効果が得られる。

[0025] 図6は、このような直交復調部の構成例を示している。この直交復調部は、Q信号用ミキサ601、I信号用ミキサ602、ローパスフィルタ603、604、およびIQ切替機能付きクロック回路605を備える。

[0026] クロック回路605は、IQ切替器611およびクロック発生器612を備える。クロック発生器612は、 0° 、 90° 、 180° 、および 270° の4種類のクロック信号 $c k_0$ 、 $c k_{90}$ 、 $c k_{180}$ 、および $c k_{270}$ を発生する。

[0027] このうち、クロック信号 $c k_{180}$ は、クロック信号 $c k_0$ の反転信号 $c k_0 \times$ に相当し、クロック信号 $c k_{270}$ は、クロック信号 $c k_{90}$ の反転信号 $c k_{90} \times$ に相当する。クロック信号 $c k_{90}$ は、クロック信号 $c k_0$ に対して位相差 90° だけ遅れており、クロック信号 $c k_{180}$ は、クロック信号 $c k_{90}$ に対して位相差 90° だけ遅れており、クロック信号 $c k_{270}$ は、クロック信号 $c k_{180}$ に対して位相差 90° だけ遅れている。

[0028] クロック信号 $c k_0$ および $c k_0 \times$ は、それぞれ正相クロック信号 $c k_I$ および反転クロック信号 $c k_I \times$ としてミキサ602に出力され、クロック信号 $c k_{90}$ および $c k_{90} \times$ は、IQ切替器611に出力される。

[0029] IQ切替器611は、図3のIQ切替器301と同じ切替機能を有し、制御信号に従ってクロック信号 $c k_{90}$ と $c k_{90} \times$ を切り替え、切り替え後の信号を正相クロック信号 $c k_0$ および反転クロック信号 $c k_0 \times$ としてミキサ601に出力する。

[0030] 復調対象の信号Sおよび反転信号 $S \times$ はともにミキサ601および602

に分配される。ミキサ601は、信号Sと正相クロック信号 $c k_0$ を混合して、ローパスフィルタ603に出力し、反転信号 S_x と反転クロック信号 $c k_0_x$ を混合して、ローパスフィルタ603に出力する。ローパスフィルタ603は、ミキサ601からの出力信号のうち低周波成分のみを抽出し、2種類のQ信号として出力する。

[0031] ミキサ602は、信号Sと正相クロック信号 $c k_1$ を混合して、ローパスフィルタ604に出力し、反転信号 S_x と反転クロック信号 $c k_1_x$ を混合して、ローパスフィルタ604に出力する。ローパスフィルタ604は、ミキサ602からの出力信号のうち低周波成分のみを抽出し、2種類のI信号として出力する。

[0032] 図7および図8は、制御信号がそれぞれ“1”および“0”のときのクロック信号 $c k_1$ 、 $c k_1_x$ 、 $c k_0$ 、および $c k_0_x$ の位相関係を示している。図7では、クロック信号 $c k_0$ および $c k_0_x$ は、クロック信号 $c k_1$ および $c k_1_x$ に対してそれぞれ位相差 90° だけ遅れているが、図8では、クロック信号 $c k_1$ および $c k_1_x$ に対してそれぞれ位相差 90° だけ進んでいることが分かる。

[0033] したがって、クロック信号 $c k_1$ および $c k_1_x$ を切り替えなくても、クロック信号 $c k_0$ および $c k_0_x$ を切り替えるだけで、I信号用のクロック信号とQ信号用のクロック信号の位相を入れ替えることができる。

[0034] 図9は、図6のクロック回路605の別の構成例を示している。このクロック回路605では、IQ切替器611が、Q信号側ではなくI信号側に設けられている点で、図6の構成とは異なっている。

[0035] この場合、クロック信号 $c k_0$ および $c k_0_x$ は、IQ切替器611に出力され、クロック信号 $c k_{90}$ および $c k_{90_x}$ は、それぞれ正相クロック信号 $c k_0$ および反転クロック信号 $c k_0_x$ としてミキサ601に出力される。

[0036] IQ切替器611は、制御信号に従ってクロック信号 $c k_0$ と $c k_0_x$ を切り替え、切り替え後の信号を正相クロック信号 $c k_1$ および反転クロック信号 $c k_1_x$ としてミキサ602に出力する。

- [0037] 制御信号が“1”のときのクロック信号 $c k_1$ 、 $c k_1 x$ 、 $c k_0$ 、および $c k_0 x$ の位相関係は、図7と同様であり、制御信号が“0”のときの位相関係は、図7においてクロック信号 $c k_1$ および $c k_1 x$ を入れ替えた波形で表される。
- [0038] したがって、クロック信号 $c k_0$ および $c k_0 x$ を切り替えなくても、クロック信号 $c k_1$ および $c k_1 x$ を切り替えるだけで、I信号用のクロック信号とQ信号用のクロック信号の位相を入れ替えることができる。
- [0039] 図10は、図3のクロック発生器302の構成例を示している。この構成において、クロック発生器302は、Dフリップフロップ（D-FF）回路1001を含み、Dフリップフロップ回路1001は、インバータ1011およびラッチ回路1012、1013からなる。
- [0040] 外部クロック信号は、ラッチ回路1012の端子 $c k$ およびインバータ1011に入力され、インバータ1011は、そのクロック信号を反転してラッチ回路1012の端子 $c k$ に出力する。ラッチ回路1012の端子Qはラッチ回路1013の端子Dに接続され、ラッチ回路1013の端子QXはラッチ回路1012の端子Dに接続される。そして、ラッチ回路1012および1013の端子Qからの出力信号が、それぞれクロック信号 $c k_0$ および $c k_{90}$ として、IQ切替器301に出力される。
- [0041] 図11は、図2のクロック回路205の別の構成例を示している。この構成において、クロック回路205は、インバータ1101、Dフリップフロップ回路1102、1103、IQ切替器1104、および立ち上がりエッジ検出器1105を備える。
- [0042] 外部クロック信号は、Dフリップフロップ回路1102の端子 $c k$ およびインバータ1101に入力され、インバータ1101は、そのクロック信号を反転してDフリップフロップ回路1103の端子 $c k$ に出力する。Dフリップフロップ回路1102の端子QXはその端子Dに接続され、Dフリップフロップ回路1103の端子QXはその端子Dに接続される。
- [0043] これにより、Dフリップフロップ回路1102および1103は、それぞ

れ2分周器として機能し、Dフリップフロップ回路1102および1103の端子Qからの出力信号は、それぞれクロック信号 $c k_1$ および $c k_0$ として、ミキサ202および201に出力される。このとき、Dフリップフロップ回路1102および1103の端子QXからは、それぞれ反転クロック信号 $c k_1 x$ および $c k_0 x$ が出力される。

[0044] IQ切替器1104は、制御信号の値に応じて、Dフリップフロップ回路1102の端子QまたはQXからの出力信号を選択し、立ち上がりエッジ検出器1105に出力する。立ち上がりエッジ検出器1105は、IQ切替器1104からの出力信号の立ち上がりエッジを検出し、立ち上がりエッジが検出されると、Dフリップフロップ回路1103のクリア端子CLにクリア信号“0”を出力する。

[0045] Dフリップフロップ回路1103は、端子CLに“0”が入力されると、端子QおよびQXからの出力信号を強制的に“0”および“1”に設定する。また、端子CLに“1”が入力されると、クロック信号に従ってデータ信号をラッチし、出力する。

[0046] 図12は、図11のIQ切替器1104の構成例を示している。このIQ切替器1104は、インバータ1201およびNAND回路1202～1204からなる。インバータ1201は、制御信号を反転してNAND回路1203に出力する。

[0047] NAND回路1202は、制御信号とクロック信号 $c k_1$ の論理積の否定を出力し、NAND回路1203は、反転制御信号とクロック信号 $c k_1 x$ の論理積の否定を出力する。NAND回路1204は、NAND回路1202の出力とNAND回路1203の出力の論理積の否定を、立ち上がりエッジ検出器1105に出力する。

[0048] したがって、制御信号が“1”のとき、クロック信号 $c k_1$ が立ち上がりエッジ検出器1105に出力され、制御信号が“0”のとき、クロック信号 $c k_1 x$ が立ち上がりエッジ検出器1105に出力される。

[0049] 図13は、立ち上がりエッジ検出器1105の構成例を示している。この

立ち上がりエッジ検出器 1105 は、遅延回路 1301、インバータ 1302、および NAND 回路 1303 を備え、遅延回路 1301 は、抵抗 1311 およびキャパシタ 1312 からなる。

[0050] 遅延回路 1301 は、入力信号 I_N に遅延を与え、遅延信号 S_1 として出力し、インバータ 1302 は、遅延信号 S_1 を反転して反転信号 S_2 を出力する。NAND 回路 1303 は、入力信号 I_N と反転信号 S_2 の論理積の否定を、出力信号 OUT として出力する。

[0051] このとき、入力信号 I_N 、遅延信号 S_1 、反転信号 S_2 、および出力信号 OUT の波形は、図 14 に示すようになる。こうして、入力されたクロック信号の立ち上がりエッジに対応するタイミングで“0”となり、その他の期間は“1”となる信号 OUT が生成され、D フリップフロップ回路 1103 に出力される。

[0052] 図 15 および図 16 は、制御信号がそれぞれ“1”および“0”のときの信号間の位相関係を示している。このうち、クロック信号および反転クロック信号は、それぞれ D フリップフロップ回路 1102 および 1103 に入力されるクロック信号を表し、CL 入力は、D フリップフロップ回路 1103 の端子 CL に入力される信号を表す。

[0053] 制御信号が“1”のときは、図 15 の時刻 T_1 において、入力クロック信号の立ち上がりエッジに対応して、クロック信号 ck_1 の立ち上がりエッジが生成され、CL 入力が“0”になる。これにより、クロック信号 ck_0 が“0”に設定される。そして、時刻 T_2 において、入力クロック信号の立ち下がりエッジに対応して、クロック信号 ck_0 の立ち上がりエッジが生成される。

[0054] 次に、時刻 T_3 において、入力クロック信号の立ち上がりエッジに対応して、クロック信号 ck_1 の立ち下がりエッジが生成され、時刻 T_4 において、入力クロック信号の立ち下がりエッジに対応して、クロック信号 ck_0 の立ち下がりエッジが生成される。

[0055] これ以降も、同様の動作が繰り返される。この場合、クロック信号 ck_0 は、クロック信号 ck_1 に対して位相差 90° だけ遅れていることが分かる。

一方、制御信号が“0”のときは、図16の時刻T1において、入力クロック信号の立ち上がりエッジに対応して、クロック信号 $c k_1$ の立ち上がりエッジが生成され、時刻T2において、入力クロック信号の立ち下がりエッジに対応して、クロック信号 $c k_0$ の立ち上がりエッジが生成される。

[0056] 次に、時刻T3において、入力クロック信号の立ち上がりエッジに対応して、クロック信号 $c k_1$ の立ち下がりエッジ（すなわち、クロック信号 $c k_1$ の立ち上がりエッジの立ち下がりエッジ）が生成され、CL入力が“0”になる。これにより、クロック信号 $c k_0$ が“0”に設定される。そして、時刻T4において、入力クロック信号の立ち下がりエッジに対応して、クロック信号 $c k_0$ の立ち下がりエッジが生成される。

[0057] これ以降も、同様の動作が繰り返される。この場合、クロック信号 $c k_0$ は、クロック信号 $c k_1$ に対して位相差 90° だけ進んでいることが分かる。

このように、図11の構成によれば、クロック信号 $c k_1$ および $c k_0$ を直接切り替えなくても、これらの信号の位相関係を逆転させることができる。また、クロック信号 $c k_1$ および $c k_0$ がI/Q切替器を経由することなくミキサ202および201に供給されるため、上述した図3の構成と比較してノイズが低減される、という効果が期待できる。

[0058] 以上の実施形態では、無線受信機における直交復調部の構成について説明したが、無線送信機における直交変調部にも、同様の構成を適用することが可能である。

図17は、無線送信機における直交変調部に上述した切り替え機能を導入した構成例を示している。この直交変調部は、加算器1701、Q信号用ミキサ1702、I信号用ミキサ1703、およびクロック回路205を備える。

[0059] クロック回路205は、互いに 90° だけ位相が異なる2種類のクロック信号をそれぞれミキサ1702および1703に出力する。このとき、2種類のクロック信号の出力先は、制御信号の値に応じて切り替えられる。

[0060] ミキサ1702は、Q信号と一方のクロック信号を混合して、加算器17

01に出力し、ミキサ1703は、I信号と他方のクロック信号を混合して、加算器1701に出力する。加算器1701は、ミキサ1702および1703からの出力信号を加算して出力する。

請求の範囲

- [1] 第1の入力信号と第1のクロック信号を混合して第1の出力信号を生成する第1のミキサと、
第2の入力信号と第2のクロック信号を混合して第2の出力信号を生成する第2のミキサと、
前記第1のクロック信号を前記第1のミキサに出力し、該第1のクロック信号に対して位相差90度だけ遅れたクロック信号を前記第2のクロック信号として前記第2のミキサに出力する第1の動作と、前記第1のクロック信号を前記第1のミキサに出力し、該第1のクロック信号に対して位相差90度だけ進んだクロック信号を前記第2のクロック信号として前記第2のミキサに出力する第2の動作とを、制御信号の値に応じて切り替えるクロック回路と
を備えることを特徴とする信号処理装置。
- [2] 前記クロック回路は、互いに90度だけ位相が異なる2種類のクロック信号を発生するクロック発生器と、前記制御信号の値に応じて、該2種類のクロック信号の一方を前記第1のクロック信号として選択し、他方を前記第2のクロック信号として選択する切替器を含むことを特徴とする請求項1記載の信号処理装置。
- [3] 前記クロック回路は、外部クロック信号から前記第1のクロック信号を生成する第1のフリップフロップ回路と、該外部クロック信号から前記第2のクロック信号を生成する第2のフリップフロップ回路と、前記制御信号の値に応じたタイミングで該第2のフリップフロップ回路にクリア信号を出力するクリア回路を含むことを特徴とする請求項1記載の信号処理装置。
- [4] 前記第1のフリップフロップ回路は、前記第1のクロック信号と該第1のクロック信号の反転信号を前記クリア回路に出力し、該クリア回路は、前記制御信号の値に応じて該第1のクロック信号または該反転信号を選択して出力する切替器と、該切替器から出力される信号のエッジを検出して前記クリア信号を生成するエッジ検出器を含むことを特徴とする請求項3記載の信号

処理装置。

- [5] 前記第 1 のミキサは、前記第 1 の入力信号の反転信号である第 3 の入力信号と、前記第 1 のクロック信号の反転信号である第 3 のクロック信号を混合して、第 3 の出力信号を生成し、前記第 2 のミキサは、前記第 2 の入力信号の反転信号である第 4 の入力信号と、前記第 2 のクロック信号の反転信号である第 4 のクロック信号を混合して、第 4 の出力信号を生成し、前記クロック回路は、前記第 1 の動作時に、前記第 3 のクロック信号を前記第 1 のミキサに出力するとともに、該第 3 のクロック信号に対して位相差 90 度だけ遅れたクロック信号を前記第 4 のクロック信号として前記第 2 のミキサに出力し、前記第 2 の動作時に、前記第 3 のクロック信号を前記第 1 のミキサに出力するとともに、該第 3 のクロック信号に対して位相差 90 度だけ進んだクロック信号を前記第 4 のクロック信号として前記第 2 のミキサに出力することを特徴とする請求項 1 記載の信号処理装置。
- [6] 前記クロック回路は、前記第 1 のクロック信号、前記第 3 のクロック信号、該第 1 のクロック信号に対して位相差 90 度だけ遅れたクロック信号、および該第 3 のクロック信号に対して位相差 90 度だけ遅れたクロック信号を発生するクロック発生器と、前記制御信号の値に応じて、該第 1 のクロック信号に対して位相差 90 度だけ遅れたクロック信号および該第 3 のクロック信号に対して位相差 90 度だけ遅れたクロック信号のうち、一方を前記第 2 のクロック信号として選択し、他方を前記第 4 のクロック信号として選択する切替器を含むことを特徴とする請求項 5 記載の信号処理装置。
- [7] 前記クロック回路は、前記第 2 のクロック信号、前記第 4 のクロック信号、該第 2 のクロック信号に対して位相差 90 度だけ進んだクロック信号、および該第 4 のクロック信号に対して位相差 90 度だけ進んだクロック信号を発生するクロック発生器と、前記制御信号の値に応じて、該第 2 のクロック信号に対して位相差 90 度だけ進んだクロック信号および該第 4 のクロック信号に対して位相差 90 度だけ進んだクロック信号のうち、一方を前記第 1 のクロック信号として選択し、他方を前記第 3 のクロック信号として選択す

る切替器を含むことを特徴とする請求項 5 記載の信号処理装置。

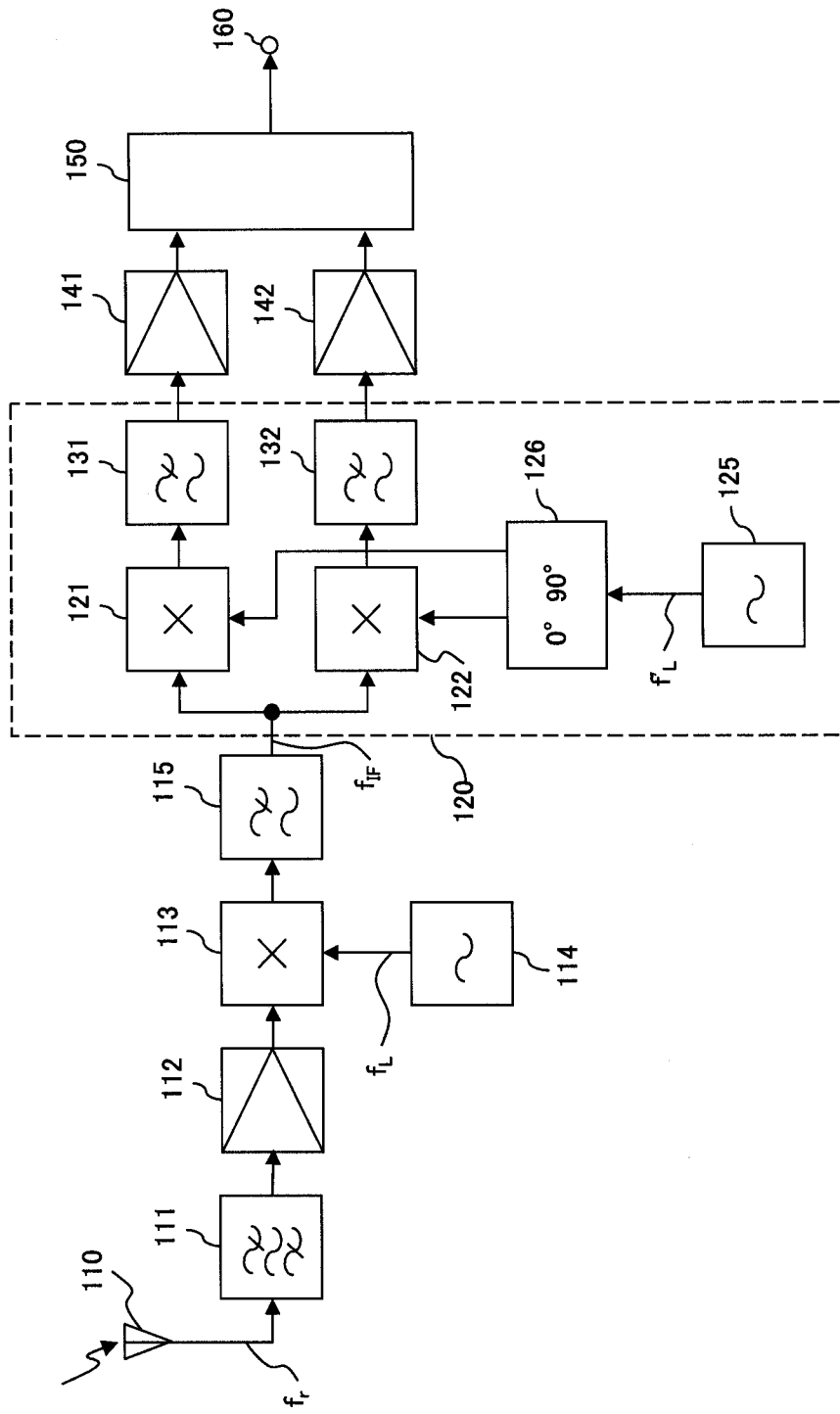
[8] 前記第 2 の入力信号は、前記第 1 の入力信号と同一の信号であることを特徴とする請求項 1 乃至 7 のいずれかに記載の信号処理装置。

[9] 前記第 1 の入力信号は同相信号であり、前記第 2 の入力信号は直交信号であることを特徴とする請求項 1 乃至 7 のいずれかに記載の信号処理装置。

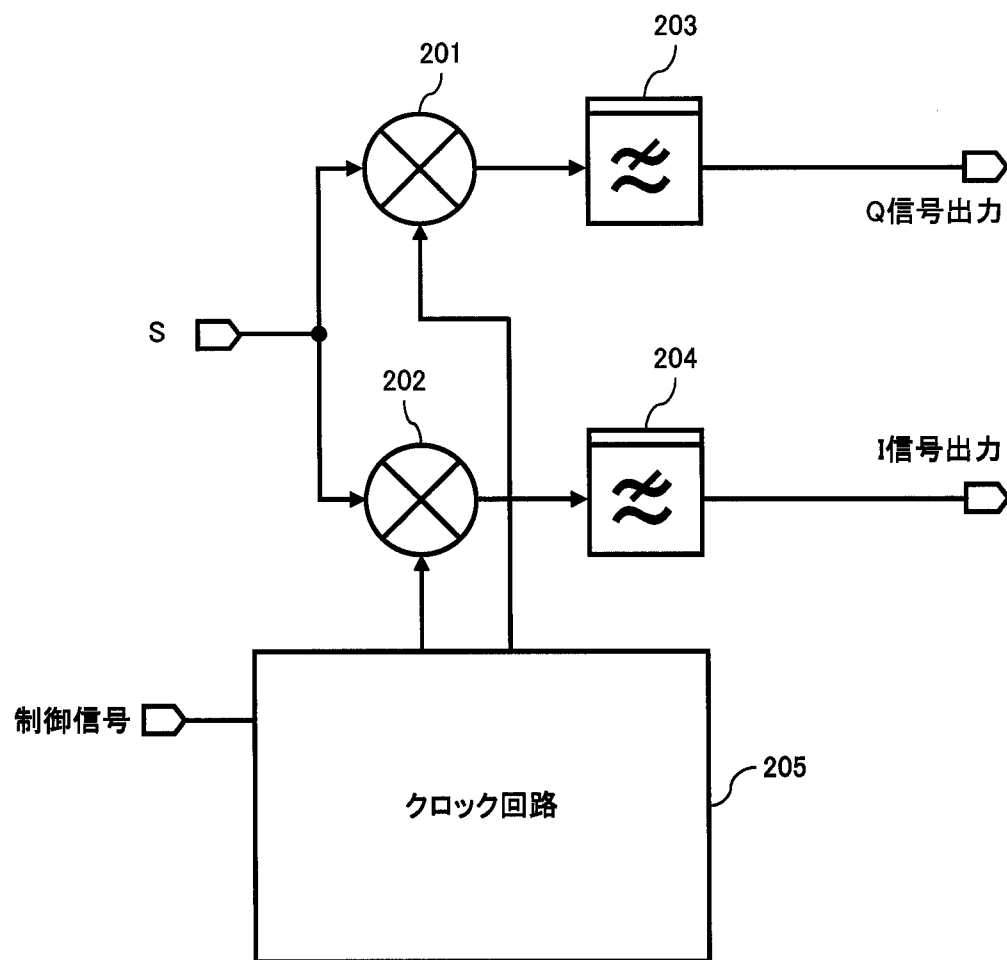
[10] 第 1 のクロック信号を第 1 のミキサに出力し、該第 1 のクロック信号に対して位相差 90 度だけ遅れたクロック信号を第 2 のクロック信号として第 2 のミキサに出力する第 1 の動作と、該第 1 のクロック信号を該第 1 のミキサに出力し、該第 1 のクロック信号に対して位相差 90 度だけ進んだクロック信号を該第 2 のクロック信号として該第 2 のミキサに出力する第 2 の動作とを、制御信号の値に応じて切り替え、

前記第 1 のミキサにより第 1 の入力信号と前記第 1 のクロック信号を混合して第 1 の出力信号を生成し、前記第 2 のミキサにより第 2 の入力信号と前記第 2 のクロック信号を混合して第 2 の出力信号を生成することを特徴とする信号処理方法。

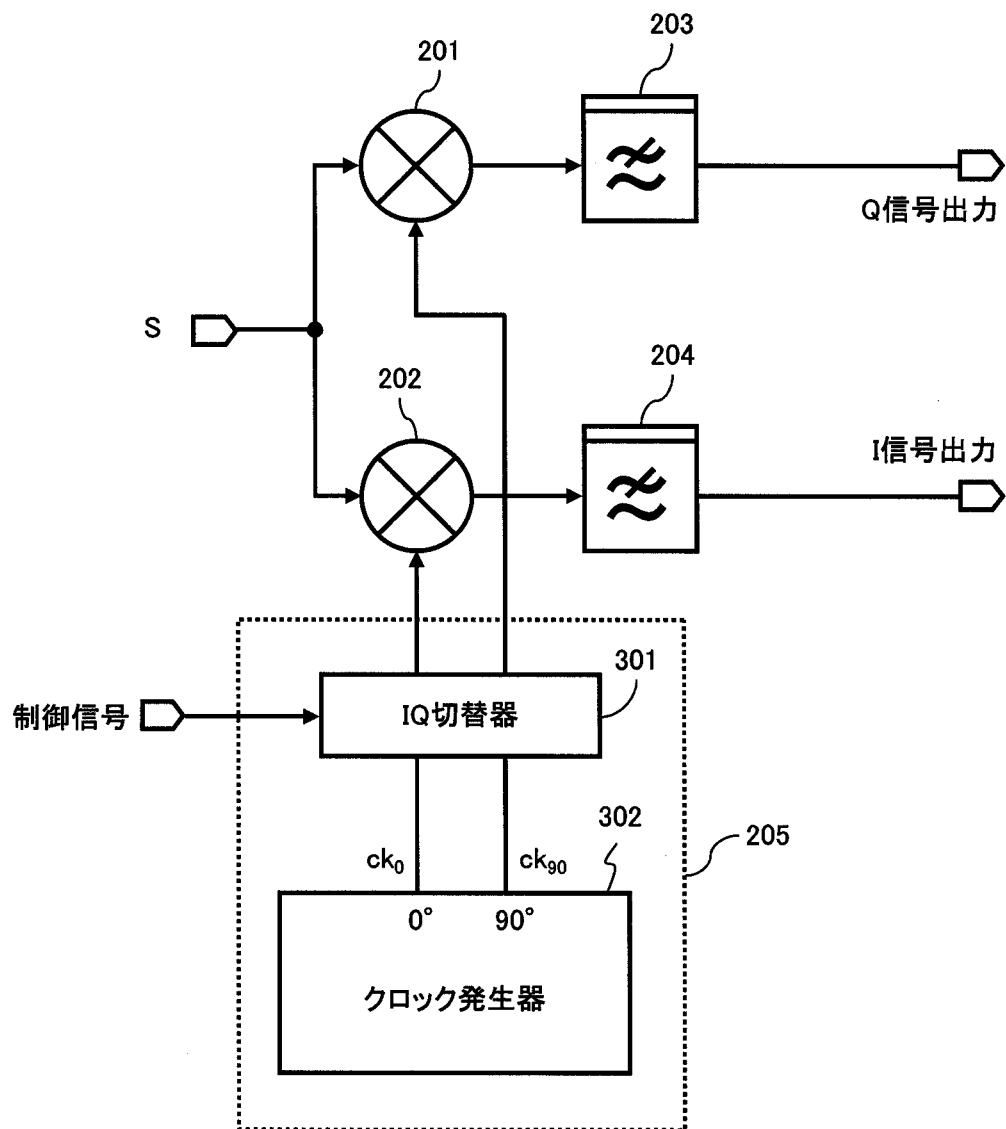
[図1]



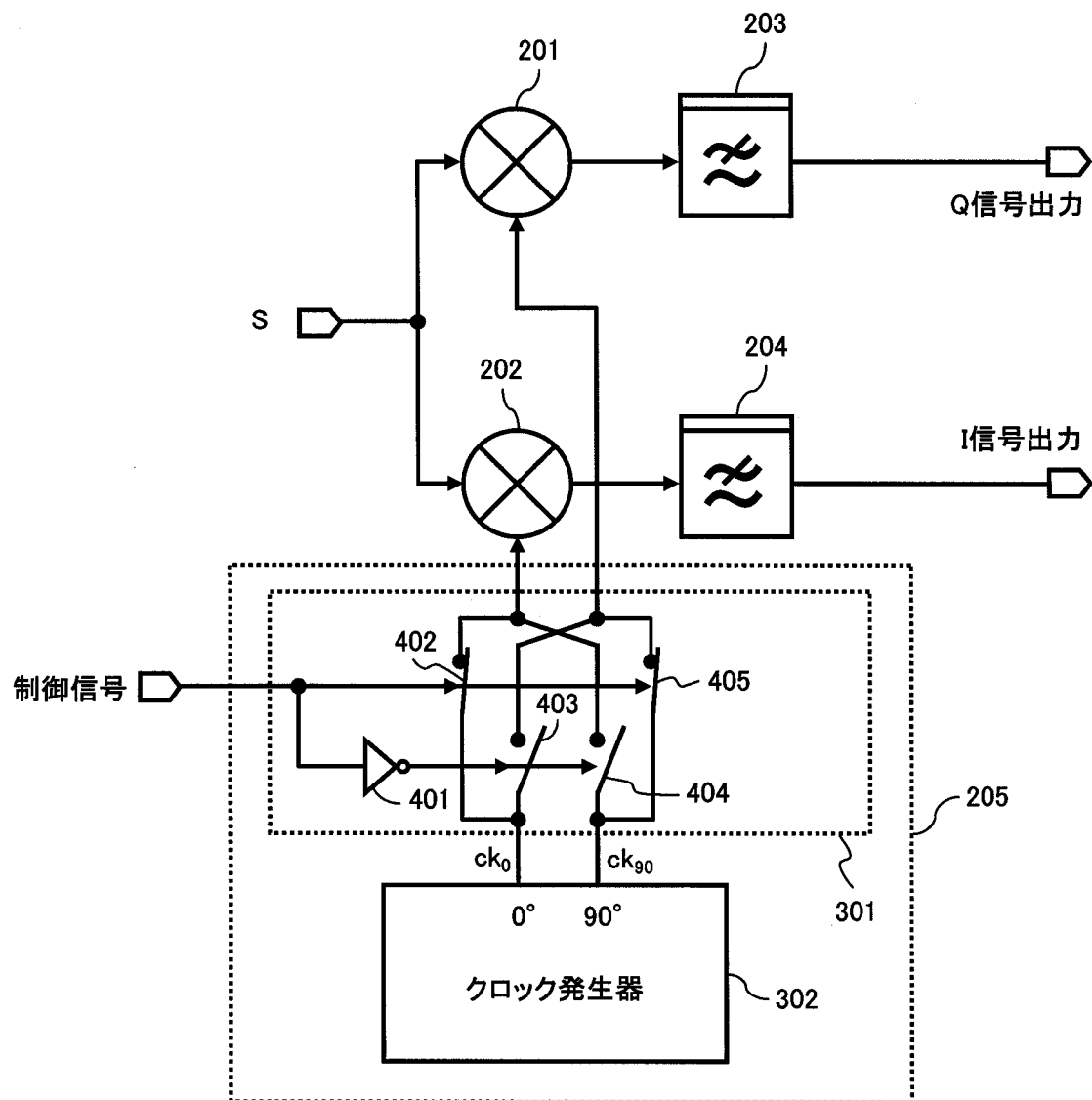
[図2]



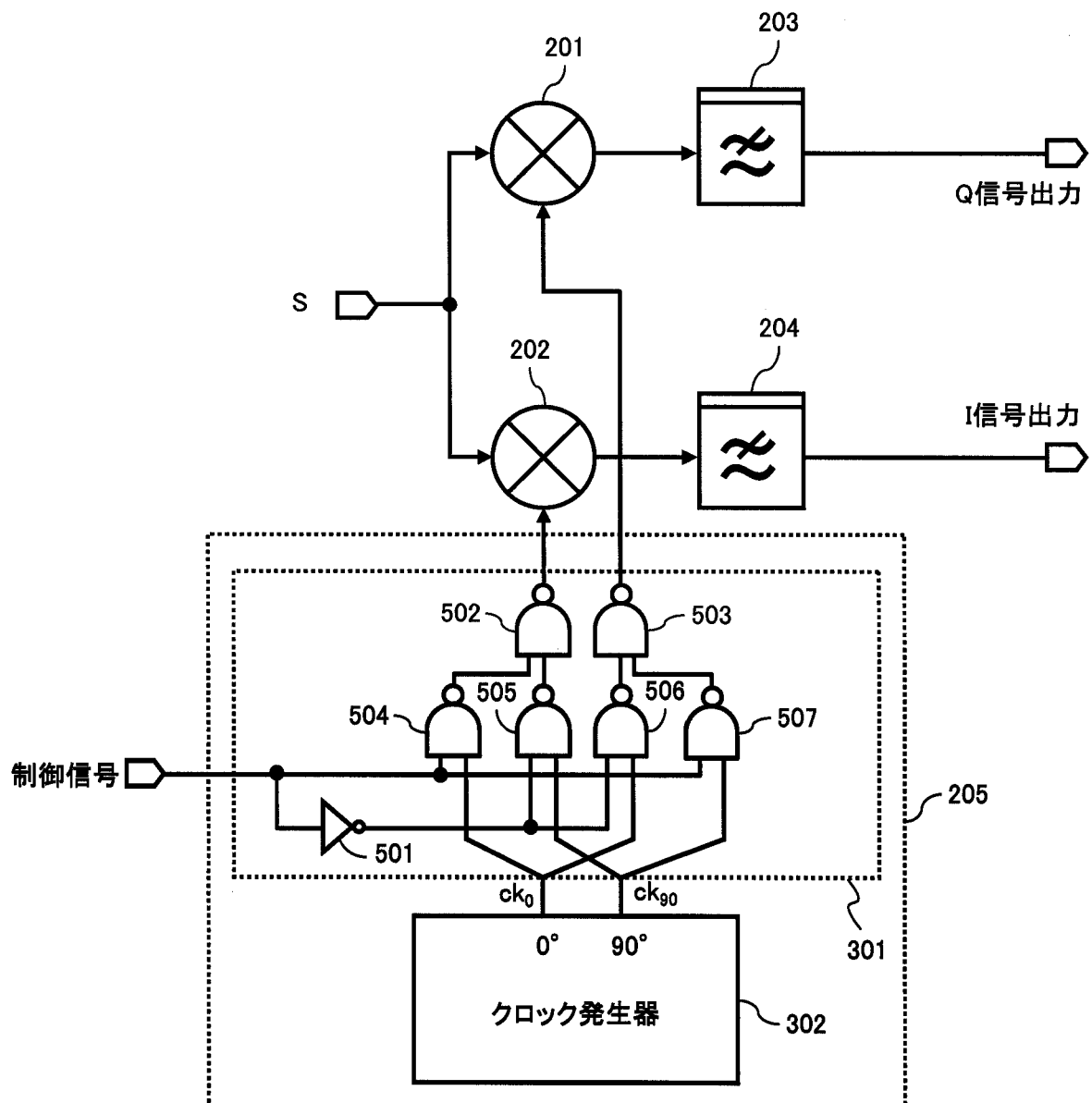
[図3]



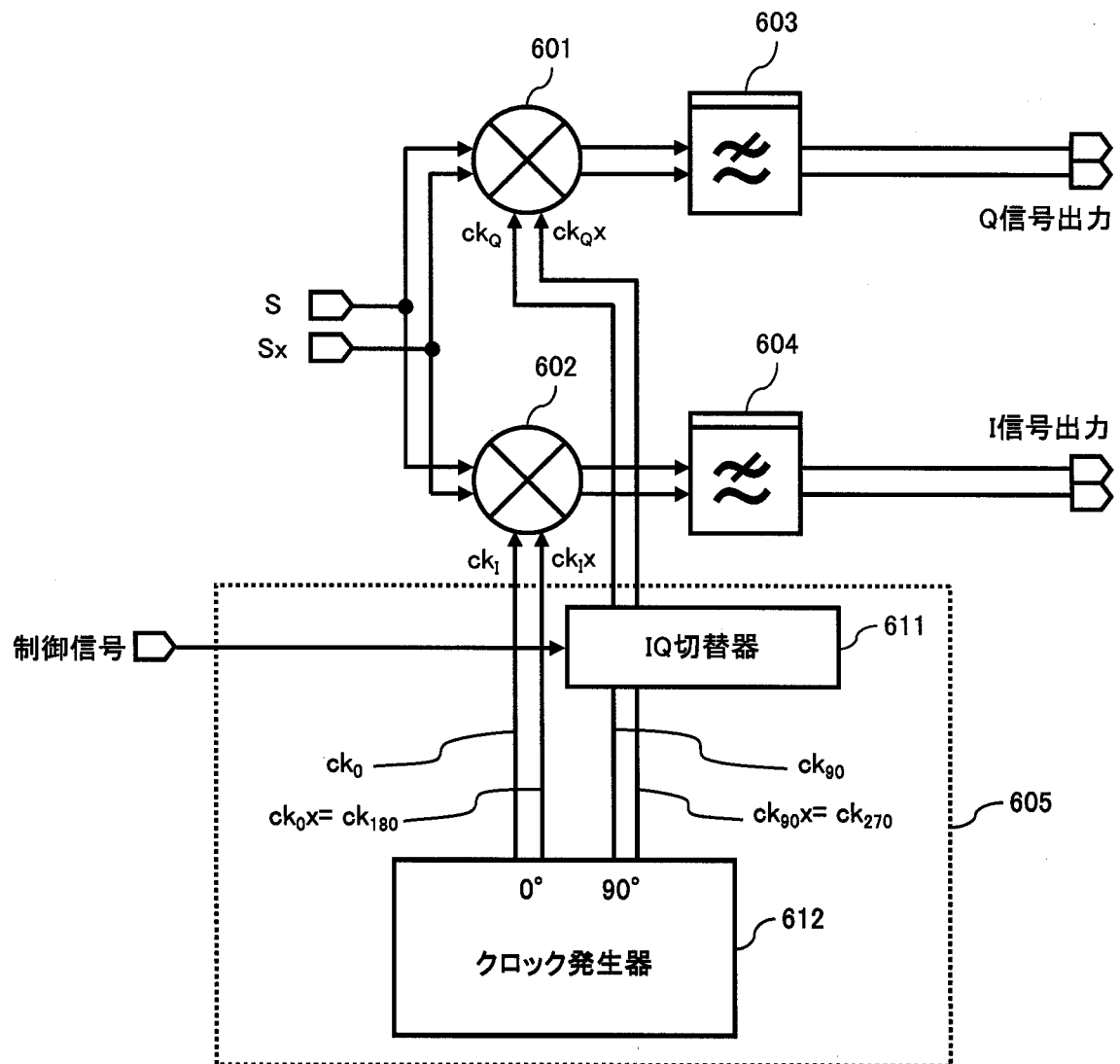
[図4]



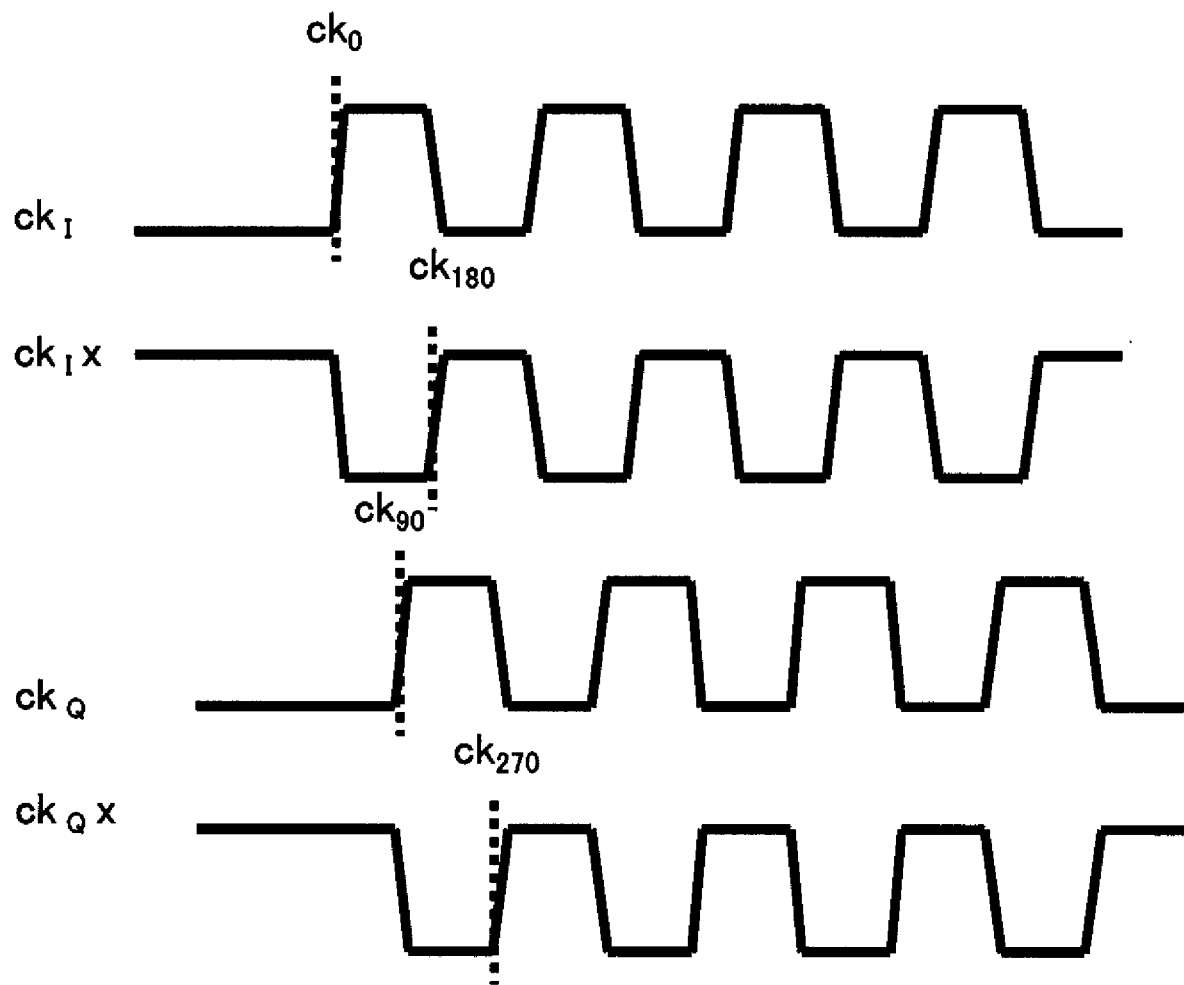
[図5]



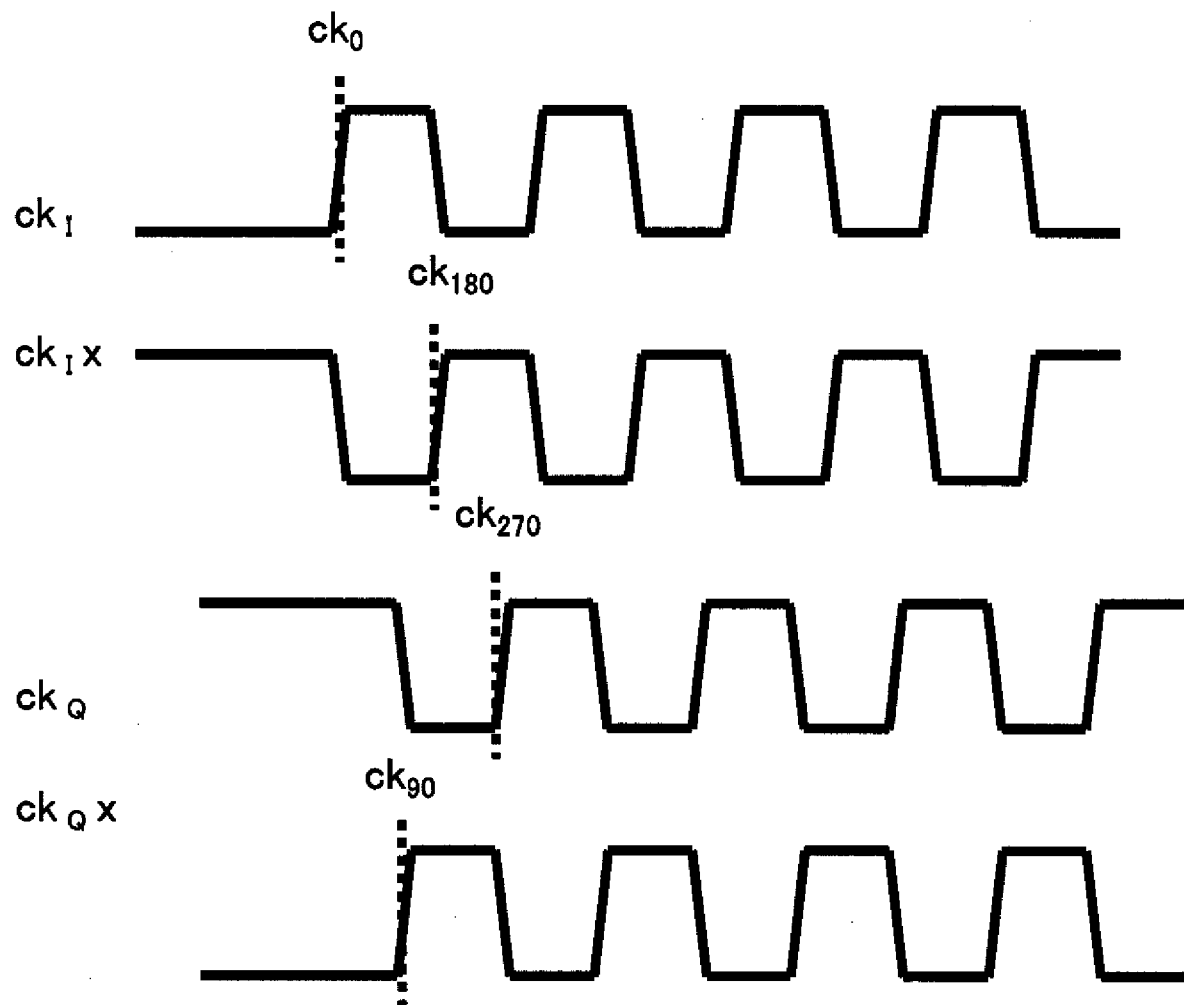
[図6]



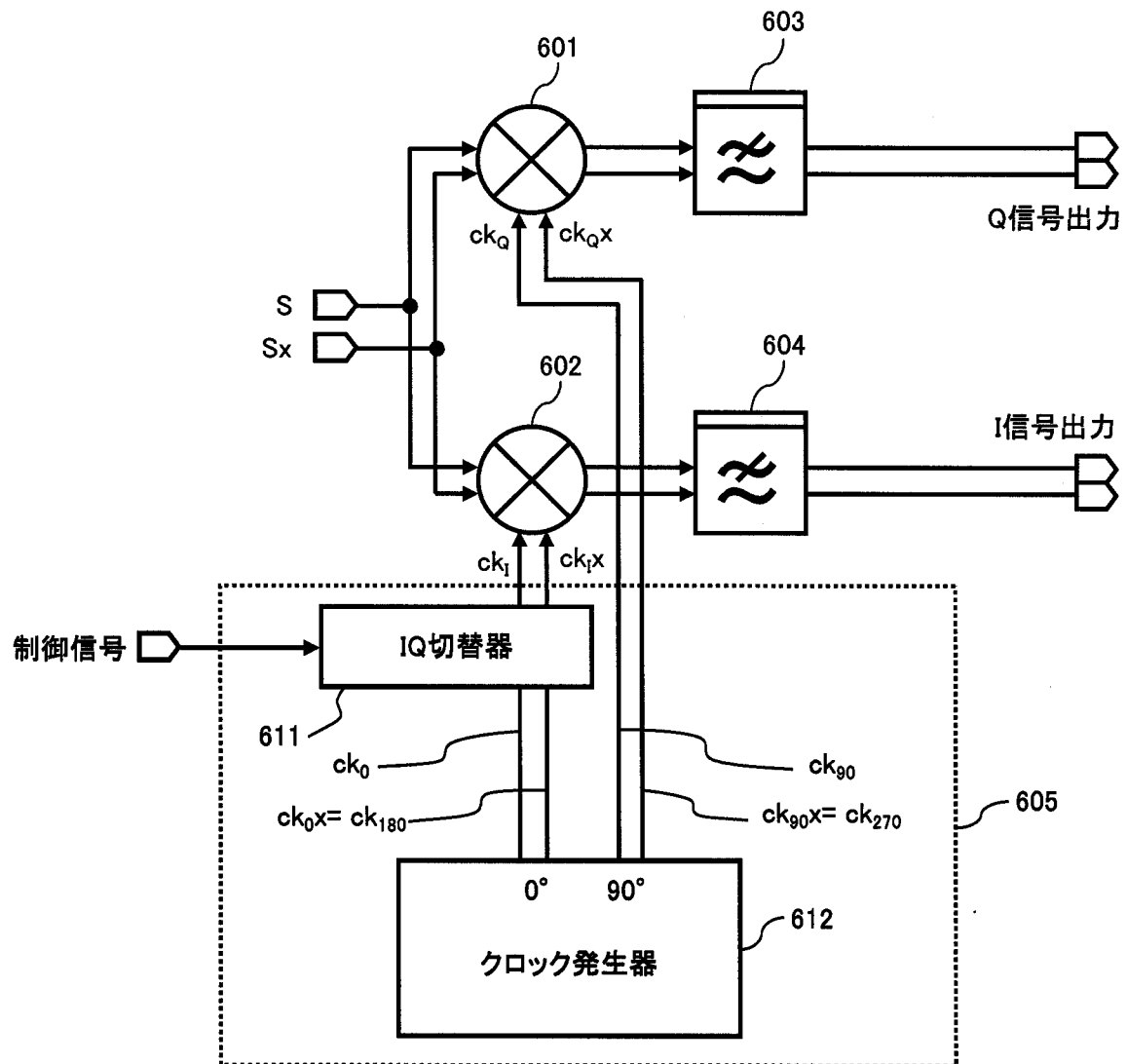
[図7]



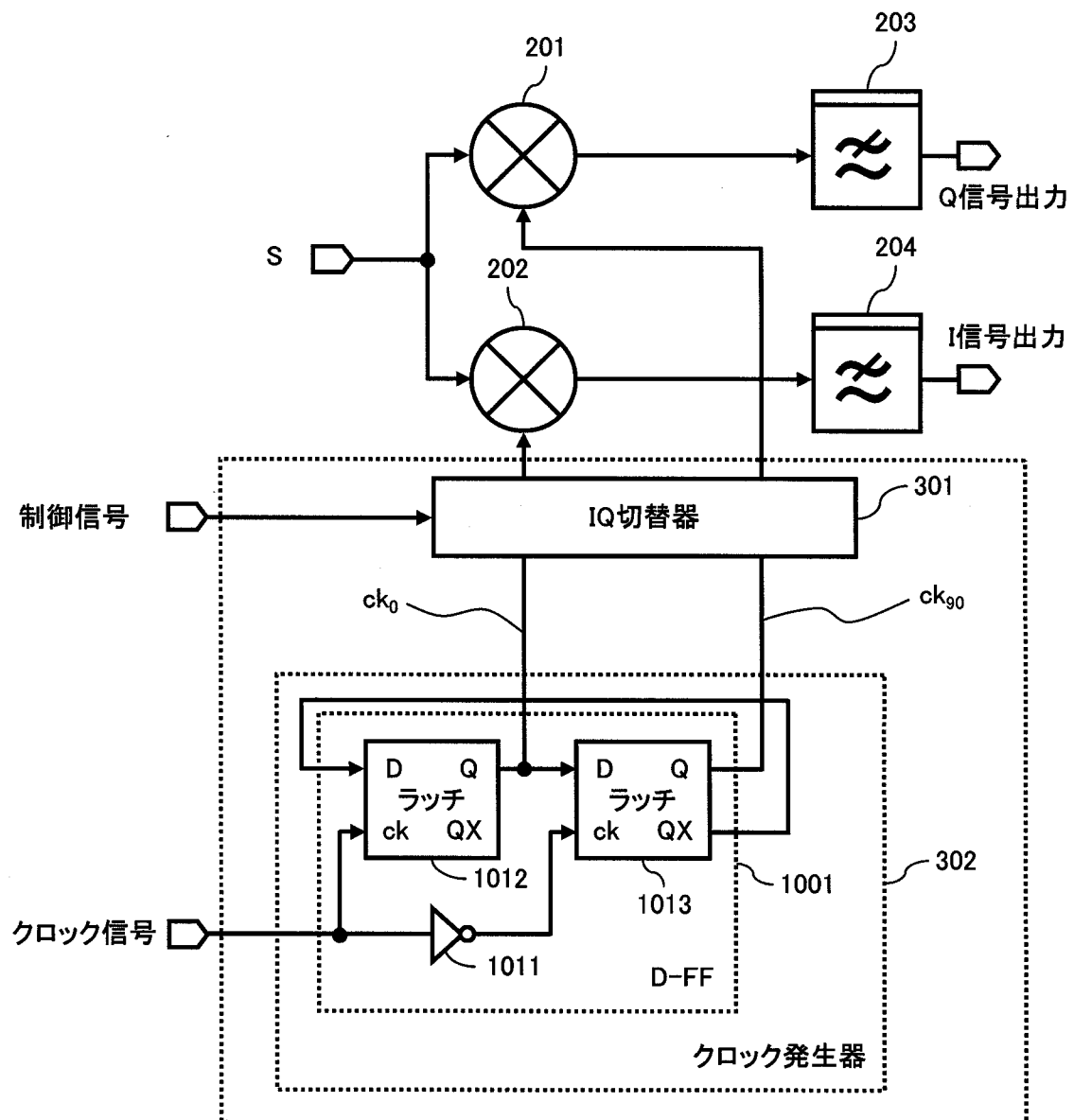
[図8]

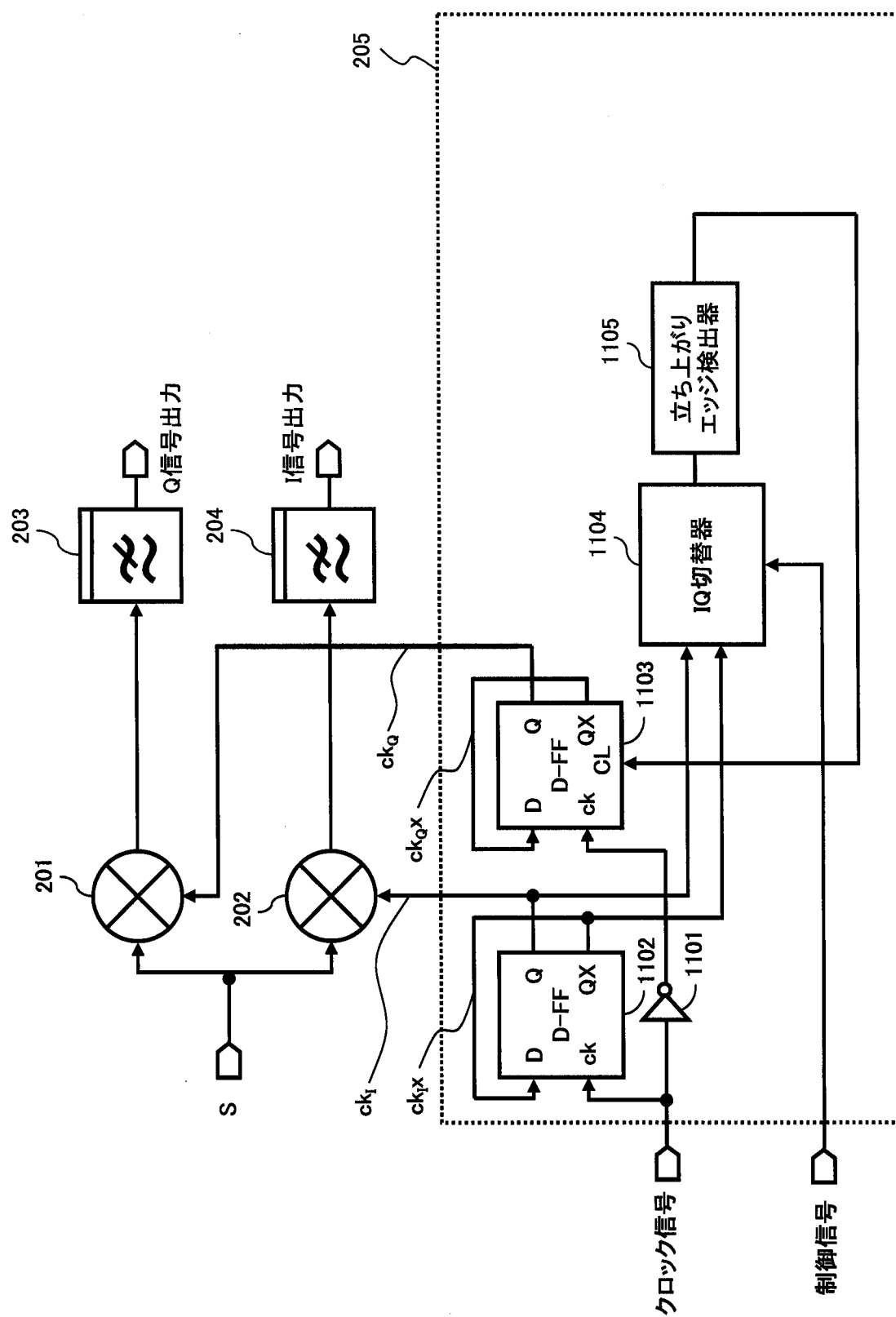


[図9]

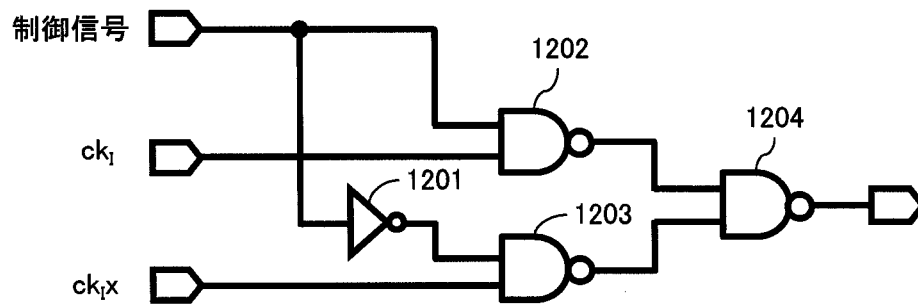


[図10]

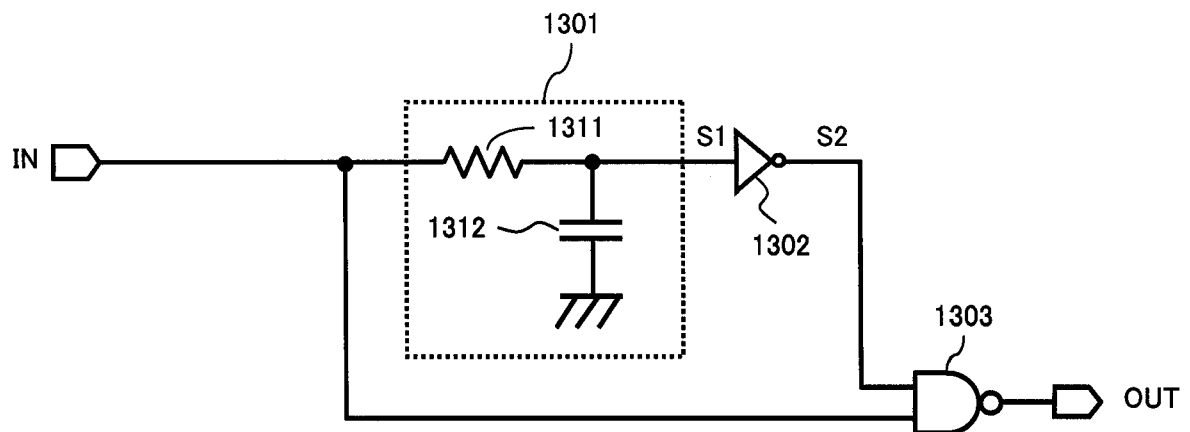




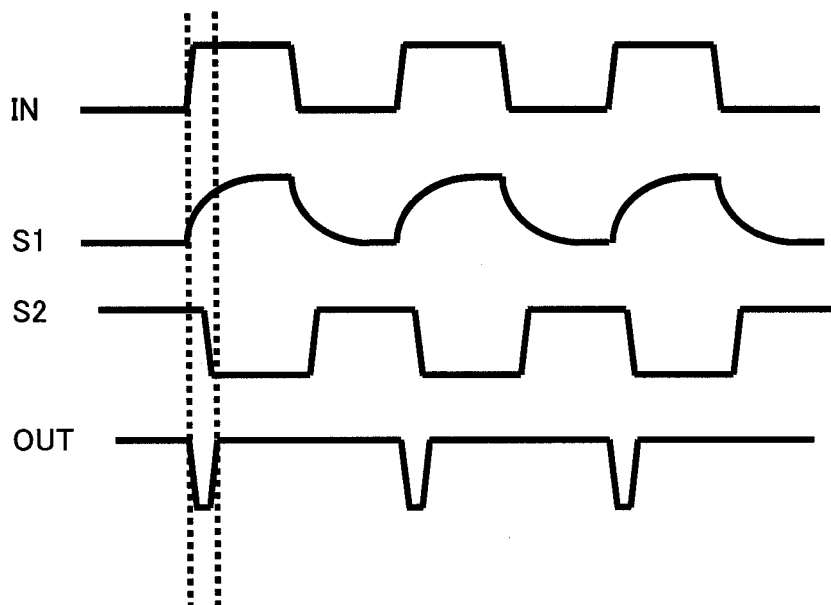
[図12]



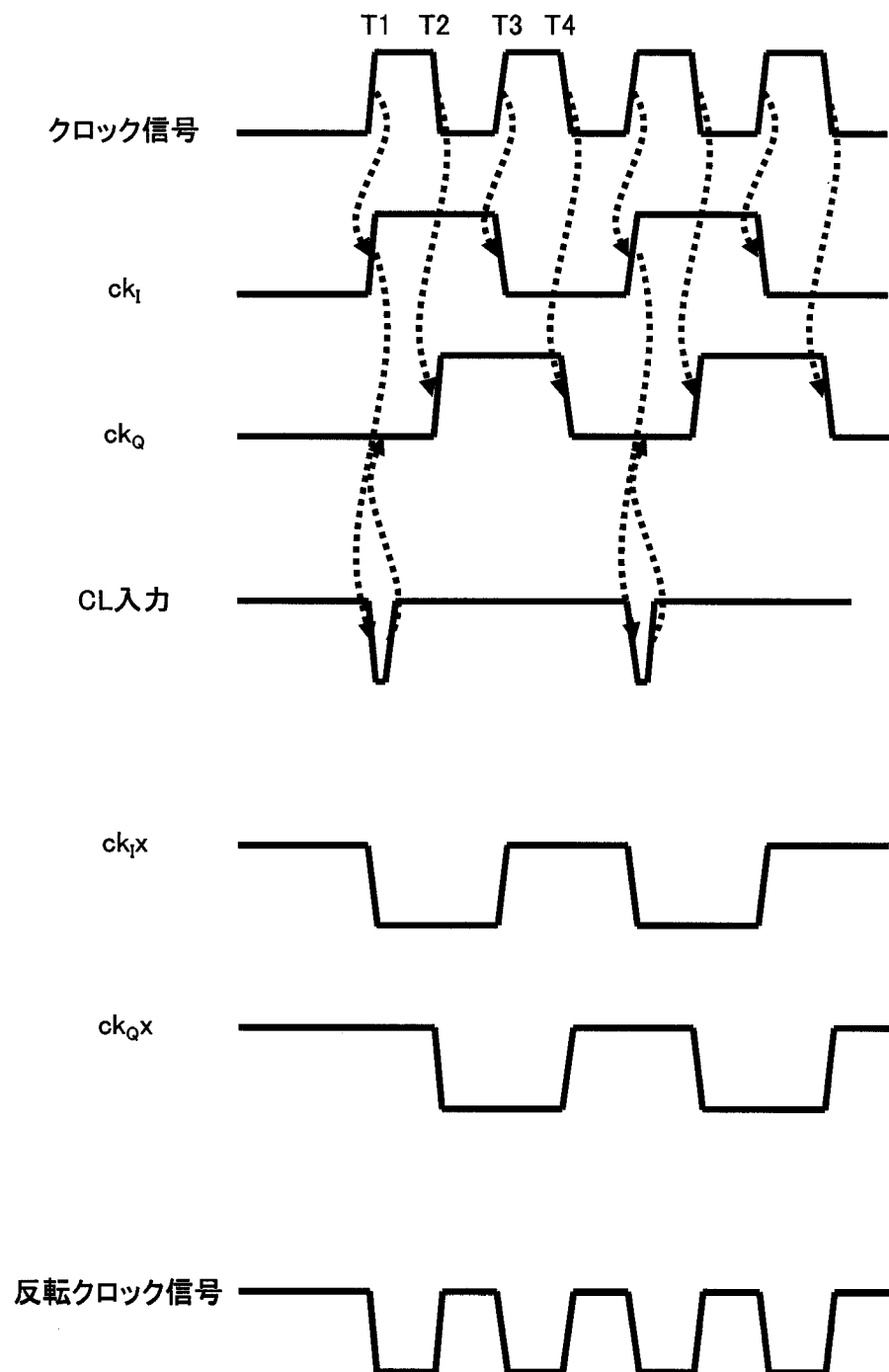
[図13]



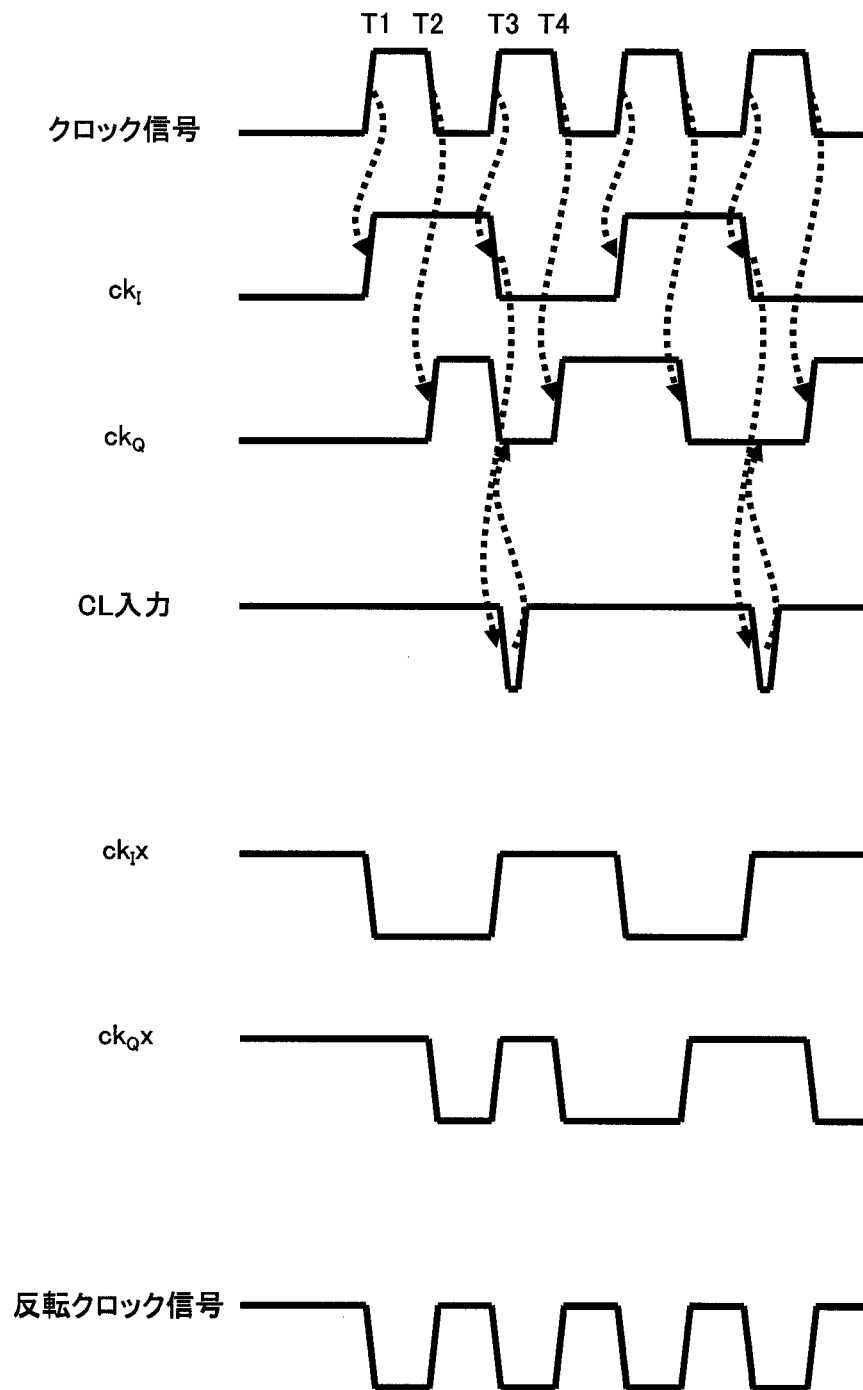
[図14]



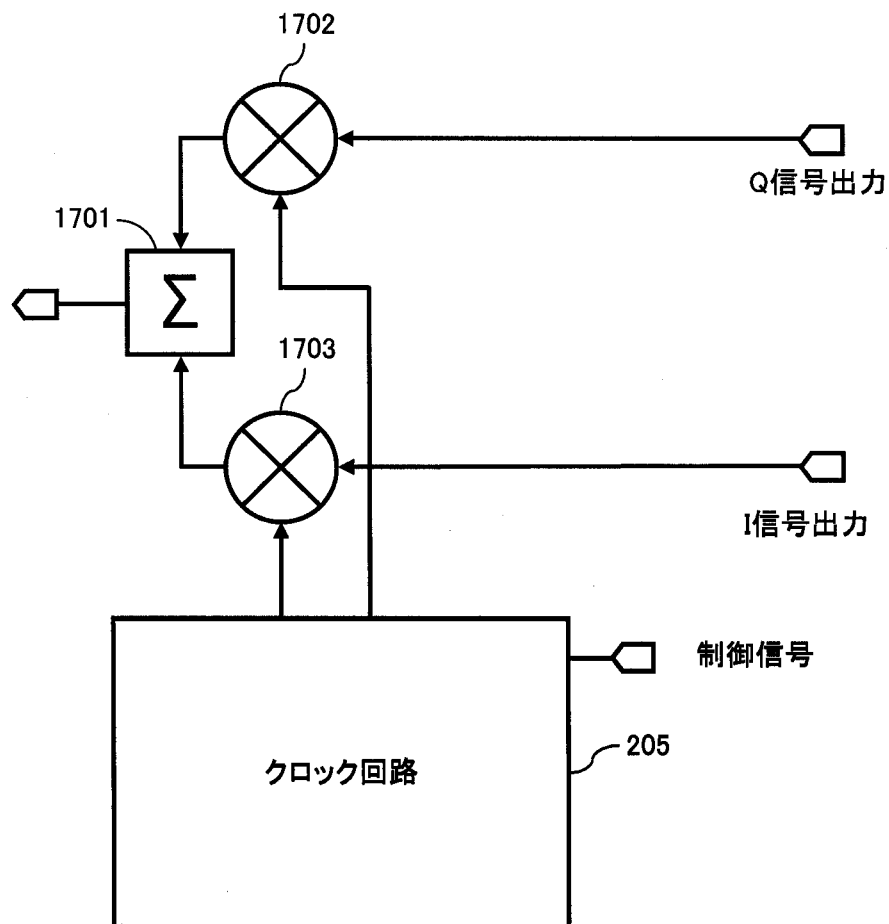
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/000105

A. CLASSIFICATION OF SUBJECT MATTER

H03D1/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03D1/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007

Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 57-157605 A (Mitsubishi Electric Corp.), 29 September, 1982 (29.09.82), Page 2, upper right column, line 3 to page 2, lower right column, line 16; Fig. 2 (Family: none)	1, 10
Y	JP 06-045925 A (Mitsubishi Electric Corp.), 18 February, 1994 (18.02.94), Par. Nos. [0019] to [0023]; Figs. 4, 5 (Family: none)	1, 10
A	JP 05-129839 A (Fujitsu Ten Ltd.), 25 May, 1993 (25.05.93), Par. No. [0011]; Fig. 2 (Family: none)	1-10

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 March, 2007 (20.03.07)Date of mailing of the international search report
03 April, 2007 (03.04.07)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/000105

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-331011 A (Sharp Corp.), 30 November, 1999 (30.11.99), Par. No. [0021]; Fig. 2 (Family: none)	1-10

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03D1/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03D1/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2007年
日本国実用新案登録公報	1996-2007年
日本国登録実用新案公報	1994-2007年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 57-157605 A, (三菱電機株式会社) 1982.09.29, 第2頁右上欄第3行-第2頁右下欄第16行, 図2 (ファミリーなし)	1, 10
Y	JP 06-045925 A, (三菱電機株式会社) 1994.02.18, 段落【0019】-【0023】, 図4, 図5 (ファミリーなし)	1, 10
A	JP 05-129839 A, (富士通テン株式会社) 1993.05.25, 段落【0011】, 図2 (ファミリーなし)	1-10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

20.03.2007

国際調査報告の発送日

03.04.2007

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

嶋野 邦彦

5W

8527

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 11-331011 A, (シャープ株式会社) 1999.11.30, 段落【0021】, 図2 (ファミリーなし)	1-10