

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3556651号

(P3556651)

(45) 発行日 平成16年8月18日(2004.8.18)

(24) 登録日 平成16年5月21日(2004.5.21)

(51) Int. Cl.<sup>7</sup>

F I

H O 1 L 21/3065

H O 1 L 21/302 1 O 5 A

H O 1 L 21/28

H O 1 L 21/28 E

H O 1 L 29/78

H O 1 L 29/78 3 O 1 G

請求項の数 4 (全 10 頁)

(21) 出願番号 特願2002-282155 (P2002-282155)  
 (22) 出願日 平成14年9月27日(2002.9.27)  
 (65) 公開番号 特開2004-119750 (P2004-119750A)  
 (43) 公開日 平成16年4月15日(2004.4.15)  
 審査請求日 平成14年12月11日(2002.12.11)

早期審査対象出願

(73) 特許権者 000000295  
 沖電気工業株式会社  
 東京都港区虎ノ門1丁目7番12号  
 (74) 代理人 100068928  
 弁理士 鈴木 敏明  
 (72) 発明者 高橋 陽  
 東京都港区虎ノ門1丁目7番12号 沖電  
 気工業株式会社内

審査官 今井 拓也

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

レジストパターンとレジスト下層膜とが形成された半導体基板を、プラズマエッチング装置内に配置し、該レジストパターンと該レジスト下層膜とをプラズマエッチングによりスリミング処理する実デバイス処理工程を有する半導体装置の製造方法において、前記実デバイス処理工程に先立って、前記プラズマエッチング装置内に酸素ガスを導入して放電する工程と、その後、ダミーのレジストパターン及びダミーのレジスト下層膜が形成されたダミーの半導体基板を前記プラズマエッチング装置内に配置し、酸素ガスをエッチングガスに用いて該レジストパターン及び該レジスト下層膜をプラズマエッチングするダミー処理工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】

レジストパターンとレジスト下層膜とが形成された半導体基板を、プラズマエッチング装置内に配置し、該レジストパターンと該レジスト下層膜とをプラズマエッチングによりスリミング処理する実デバイス処理工程を有する半導体装置の製造方法において、

前記実デバイス処理工程に先立って、半導体基板を前記プラズマエッチング装置内に配置し、該半導体基板をプラズマエッチングするダミー放電工程と、その後、ダミーのレジストパターン及びダミーのレジスト下層膜が形成されたダミーの半導体基板を前記プラズマエッチング装置内に配置し、酸素ガスをエッチングガスに用いて該レジストパターン及び該レジスト下層膜をプラズマエッチングするダミー処理工程とを有することを特徴とする半導体装置の製造方法。

10

20

## 【請求項 3】

レジストパターンとレジスト下層膜とが形成された半導体基板を、プラズマエッチング装置内に配置し、該レジストパターンと該レジスト下層膜とをプラズマエッチングによりスリミング処理する実デバイス処理工程を有する半導体装置の製造方法において、

前記実デバイス処理工程に先立って、前記プラズマエッチング装置内に酸素ガスを導入して放電する工程と、半導体基板を前記プラズマエッチング装置内に配置し、該半導体基板をプラズマエッチングするダミー放電工程と、その後、ダミーのレジストパターン及びダミーのレジスト下層膜が形成されたダミーの半導体基板を前記プラズマエッチング装置内に配置し、酸素ガスをエッチングガスに用いて該レジストパターン及び該レジスト下層膜をプラズマエッチングするダミー処理工程とを有することを特徴とする半導体装置の製造方法。

10

## 【請求項 4】

前記実デバイス処理工程において前記スリミング処理された前記レジストパターンと前記レジスト下層膜とを、ゲート電極用のエッチングマスクに用いることを特徴とする請求項 1 ~ 3 のいずれかに記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は半導体装置の製造方法に関するものである。

## 【0002】

20

## 【従来の技術】

半導体デバイスの高速化、低消費電力化の要請を受けて、デザインルールの微細化は確実に進んでいる。これまで各工程毎の寸法管理値は実寸法の $\pm 10\%$ 程度に設定されることが多かったが、微細化に伴って要求される加工精度も非常に厳しくなっている。

## 【特許文献 1】特開平 09 - 237777 号公報

## 【特許文献 2】特開平 06 - 084851 号公報

## 【0003】

特にゲート工程に対してはその精度がトランジスタの性能につながり、ひいてはLSI全体の實力に大きく関わるため、特に厳しい要求が成されている。現在開発されているデバイスのゲート寸法は $50\text{nm} \sim 100\text{nm}$ 程度であり、管理幅を $\pm 10\%$ とすると $\pm 5 \sim 10\text{nm}$ となる。もちろん精度は高ければ高いほど良いということは言うまでもない。

30

## 【0004】

さらに、現在要求される寸法をリソグラフィのみで実現することは難しく、一般的にゲート材加工前にプラズマエッチングによりレジストパターンをスリミング処理（幅の縮小）する方法が取られている。その寸法は大きく分けてレジストのみをスリミング処理するものとその下層にあるレジスト下層膜の有機膜を同時にスリミング処理するものとに分類される。レジストのみをスリミング処理するものは従来のアッシング装置を利用し、 $\text{O}_2$ プラズマによって等方エッチをするが、横方向だけでなく同時に上方からもレジストがエッチング処理されるため、レジストの薄膜化に対応することは難しい。よって主にレジストとその下層にある有機膜を同時にスリミング処理する方法が特許文献 1 のように多く用いられている

40

## 【0005】

一般に多くのエッチング工程では処理の再現性と安定性を向上させるために、プラズマエッチング処理の前にSi基板を用いたダミー放電を行うのが通例である。さらに、プラズマエッチング装置によってはエッチング処理毎に装置内をクリーンにするクリーニング放電を行う場合もある。

プラズマエッチングによるゲートスリミング工程はデバイス特性を左右する最重要工程であるため、クリーニング放電とSi基板を用いたダミー放電の両方を行っていることが多い。

## 【0006】

50

また、特許文献2のように、クリーニング放電直後に、エッチング特性の安定状態をはかるために、半導体ウエハの被エッチング物と同じ特性を有するダミーウエハをプラズマでエッチング処理することも提案されている。

【0007】

【発明が解決しようとする課題】

しかしながら、上記したスリミング処理方法を用いる場合、クリーニング放電とSi基板を用いたダミー放電だけでは、その再現性と安定性に難があり、どんどん厳しくなる寸法精度の要求に対応できないことがわかった。

【0008】

図7は従来技術の課題を説明する図で、任意の3つの孤立パターンを測定点A、B、Cとし、横軸には処理順、縦軸には変換差(=リソグラフィ寸法-エッチ寸法)を示す。変換差はレジスト下層膜のスリミング時とその下層ゲート材加工時の寸法差を足したものとなるが、この変換差がばらつくということはたとえリソグラフィ寸法が全く同じであってもエッチング時の変換差によって実寸法は大きく変化してしまうことを意味する。従って、寸法の精度が低く、同一ロット間でゲート寸法にバラツキが生じることとなり、トランジスタの特性がウエハ間で大きく変動することとなる。

【0009】

また、被エッチング物と同じ特性を有するダミーウエハを用いて放電を行う場合は、被エッチング物と同一成分で構成された反応生成物が装置内に付着することによりエッチング特性が安定領域に入るのを利用している。

【0010】

この場合、レジストパターンが形成されているとレジストの反応生成物が装置内に付着するので、プラズマクリーニングを行って、レジストの反応生成物のみを異物として除去することが必要となる。

【0011】

【課題を解決するための手段】

上記課題を解決するため、本発明はレジストパターンとレジスト下層膜とが形成された半導体基板を、プラズマエッチング装置内に配置し、レジストパターンとレジスト下層膜とをプラズマエッチングによりスリミング処理する実デバイス処理工程を有する半導体装置の製造方法において、実デバイス処理工程に先立って、プラズマエッチング装置内に酸素ガスを導入して放電する工程及び又は半導体基板をプラズマエッチング装置内に配置し、その半導体基板をプラズマエッチングするダミー放電工程と、その後、ダミーのレジストパターン及びダミーのレジスト下層膜が形成されたダミーの半導体基板をプラズマエッチング装置内に配置し、酸素ガスをエッチングガスに用いてレジストパターン及びレジスト下層膜をプラズマエッチングするダミー処理工程とを行うようにしたものである。

【0013】

【発明の実施の形態】

図1は本発明の第1の実施形態を示すフローチャートである。

フローF11では、従来と同様にプラズマエッチング装置内の雰囲気的清浄にするクリーニング放電を行う。例えば、装置の内壁等に有機膜が付着している場合は、有機膜を除去し易い酸素ガスを導入し、放電を起こして有機膜を除去する。

【0014】

フローF12では、従来と同様にエッチング装置内の雰囲気をその後実施するエッチング工程と同じ雰囲気にするダミー放電を行う。

半導体基板、例えばSi基板を用いて、その後実施するエッチング条件で放電させ、プラズマエッチングを行う。

即ち、Si基板を装置内に搬送し、エッチングガスを導入し、高周波パワーを電極に印加し、放電を起してプラズマエッチングを行う。

【0015】

フロー13では実デバイスと同じ構造、即ち膜構造が同じで、同じレジストパターンを有

10

20

30

40

50

するダミーサンプルを用いて、レジストパターン及びレジスト下層膜をプラズマエッチングにより同時にスリミング処理するダミー処理を行う。

レジスト下層膜は従来と同じくレジストパターンの下層にある有機膜のことであり、また、同時スリミング処理する技術自体は従来から公知のものである。

即ち、ダミーサンプルを装置内に搬送し、エッチングガスを導入し、放電させて等方的にプラズマエッチングを行う。

【0016】

フローF14では、実デバイス用のレジストパターンを形成した半導体ウエハでレジストパターン及びレジスト下層膜をプラズマエッチングにより同時にスリミング処理する。いわゆる本番の処理を行う。

10

【0017】

ここで重要なことは、本番の同時スリミング処理を行う前に、レジストパターンを有するダミーサンプルを用いてダミー処理を行うことである。

ダミー処理条件はその後実施する本番のスリミング処理の条件と同一のものを使用する。

【0018】

また、ダミーサンプルとして、レジストパターンを有するサンプルを用いることが重要で、レジスト領域が存在することを必要条件としている。

従来の場合、被エッチング膜の反応生成物を利用するので、レジストの反応生成物を異物として除去するが、本発明の場合は、レジストの反応生成物を積極的に利用するもので、ダミー処理中にエッチングガス例えば酸素ガスと反応性の強いレジストから形成される堆積膜が装置の内壁に安定して付着することにより、エッチング特性の安定性、寸法精度の向上をはかっている。

20

【0019】

図2及び図3は第1の実施形態の工程を示す図で、ゲート工程に適用した例を示している。

まず、図2において、エッチング装置内を図1のフローF11のクリーニング放電でクリーニングする工程を実施する。

次に、(a)に示すSi基板1を装置内に搬入し、フローF12で説明したように酸素ガスを導入して放電させるダミー放電を行い、その後Si基板1は装置内から取り出される。

30

【0020】

(b)は実デバイスと同じ構造をしたダミーサンプルを示す断面図で、Si基板1上にゲート絶縁膜2、その上にPoly-Si(ポリシリコン)のゲート材3、その上に有機膜のレジスト下層膜4を形成し、その上にレジストパターン5が形成されている。

このダミーサンプルを装置内に搬入し、フローF13で説明したダミー処理工程で、プラズマエッチングによりレジストパターン5とレジスト下層膜4の同時スリミング処理を行い、その後ダミーサンプルは装置内から取り出される。

【0021】

図3の(c)は実デバイス用のレジストパターンを形成した半導体ウエハを示す断面図で、構造はダミーサンプルと同じである。この半導体ウエハを装置内に搬入し、プラズマエッチングによりレジストパターン5とレジスト下層膜4の同時スリミング処理を行う。

40

スリミング工程を経て、(d)に示すようにレジストパターン5は等方的にプラズマエッチングによりスリミング処理されてレジストパターン51となる。

レジストパターン51のレジスト下層膜4は幅が縮小され、露出していたレジスト下層膜4は除去される。

【0022】

その後、レジストパターン51をマスクとしてゲート材3に公知のプラズマエッチングによるゲートエッチングが実施され、(e)に示すようにゲート31が形成され、アッシング及び洗浄工程で残されたレジストパターン51、レジスト下層膜4が除去されて、(f)に示すようにゲート31が形成される。

50

## 【0023】

図4は変換差バラツキを3で示した図で、任意の3つの孤立パターンを側定点A, B, Cとし、横軸を処理枚数、縦軸を3にしたものである。

横軸の1~4枚目のデータが従来技術のようにダミー処理導入前のデータで、それぞれの測定点で3が9~10nmとなっている。

## 【0024】

2~5枚目のデータがダミー処理を1枚導入した場合のデータで、それぞれの測定点で3が4~6nmとなっている。また3~6枚目のデータがダミー処理を2枚導入した場合のデータで、それぞれの測定点で3が2~6nmとなっている。

従って、ダミー処理を導入する前に比べて、ダミー処理を1~2枚導入した場合には3が半分位にまで減少することがわかる。 10

## 【0025】

一般に、スリミング技術を用いたプラズマによるゲートエッチング工程は大きくレジスト下層膜の有機膜をスリミング処理する工程とゲート材をエッチング処理する工程とに分けられる。非常に精密な加工が要求されるゲート工程では発光強度によってエッチングの終点を検出する方法が一般的に用いられている。その最終検出時間はエッチングの状況をリアルタイムで観察できる一つのモニタ法である。

## 【0026】

従って、その時間の变化を見ることによってエッチング状態の変化をみることが出来る。それぞれの工程での検出時間を表1に示す。 20

【表1】

処理手順	終点検出時間(Siダミー有)		終点検出時間(Siダミー無)	
	下層膜 エッチング工程	ゲート材 エッチング工程	下層膜 エッチング工程	ゲート材 エッチング工程
1 クリーニング放電	有	有	有	有
2 Siダミー放電	有	有	無	無
3 スリミング 1枚目	17sec	73sec	17sec	75sec
4 2枚目	17sec	71sec	17sec	71sec
5 3枚目	17sec	71sec	17sec	71sec
6 4枚目	17sec	71sec	-	-
7 5枚目	17sec	71sec	-	-
8 6枚目	17sec	71sec	-	-

30

## 【0027】

有機膜をプラズマエッチングによりスリミング処理する工程での検出時間が一定であるのに対し、ゲート材をプラズマでエッチング処理する工程での検出時間は2枚目より安定し始める。 40

Siダミー放電を行わなかった場合の終点検出時間の变化も同表に示す。有機膜をエッチング処理する際の終点検出時間は17secで一定であるのに対し、ゲート材をエッチング処理する工程での検出時間は1枚目が75secで、2枚目以降は71secへと近づく。

## 【0028】

以上のデータより、ゲート材エッチングの正常値は71secと予想され、その正常値に近づけるためには、スリミング処理の1枚目を、レジストパターンを有するダミーサンプルで実施することが重要であり、処理安定への効果が大きいといえる。

## 【0029】

50

以上のように第1の実施形態によれば、レジストパターンを有するダミーサンプルでダミー処理を行うことによって、プラズマエッチングでの変換差のバラツキを低減でき、結果として寸法のバラツキを低減し、寸法精度の向上をはかることができる。

【0030】

図5は本発明の第2の実施形態を示すフローチャートである。

図1に示した第1の実施形態とは、フローF23が異なるだけで他は同じである。従って、フローF23について説明し、他は説明を省略する。

【0031】

フローF23で使用するダミーサンプルは、実デバイスと被エッチング膜の材質が同じで、任意のレジストパターンを有するものである。

被エッチング膜は、ゲート材、ゲート絶縁膜、反射防止膜等のエッチング工程によるすべての被エッチング膜が対応する。

このダミーサンプルを用いて、レジストパターン及びレジスト下層膜を同時にスリミング処理するダミー処理を行う。

【0032】

一般にデバイス毎にゲート構造は少なからず異なるものである。その相違点は膜厚であったり、不純物のインプランテーション濃度であったり、材質であったりする。もちろんマスクは異なり、反射防止膜の有無やレジストのパターン密度、膜厚等が変化する。

しかし、実デバイスと膜構成即ち被エッチング膜の材質さえ揃えておけば、ゲート材の膜厚やドーズ量がデバイス毎で変化し、さらにレジストのパターニングが異なる場合でもダミー処理を行うことによって、ゲート寸法のバラツキを低減することができる。

【0033】

例えば、あるデバイス構造がPoly-Si膜厚150nmの単層構造で濃度 $1 \times 10^{15} \text{ cm}^{-3}$ 程度の不純物注入をしている場合、ダミーサンプルとしては、Poly-Si膜厚200nmの単層構造で不純物注入なしのものを用いても良い。この場合、注入しないので、ダミーサンプルの作成時間が短縮できる。反射防止膜(有機BARCやSiON等)が存在する場合は、その材質は揃える必要がある。

【0034】

以上のように第2の実施形態によれば、第1の実施形態の効果に加えて、任意のレジストパターンで良いので、デバイス毎にダミーサンプルを分ける必要がなく、一つのマスクでパターニングを行ったダミーサンプルを作成すれば良く、ダミーサンプルの作製が簡略化する効果がある。

【0035】

図6は本発明の第3の実施形態を示すフローチャートである。

図1に示した第1の実施形態とは、フローF33が異なるだけで他は同じである。従って、フローF33について説明し、他は説明を省略する。

【0036】

フローF33で使用するダミーサンプルは、全面にレジストを塗布したもので、いわば全面レジストパターンを有するものである。

このダミーサンプルを使用してスリミング処理と同じ条件でエッチングをするダミー処理を行う。

【0037】

第1の実施形態で説明したように、レジスト領域を備えていれば、エッチングガスとレジストから生成される堆積膜が装置の内壁に安定して付着するので、レジストパターンが全面であっても何ら問題はない。かえってパターニングが必要ではないので、その分工程の簡略化に寄与することになる。

【0038】

以上のように第3の実施形態によれば、第2の実施形態の効果に加えて、第1及び第2の実施形態ではダミー処理によってゲートパターンが転写されてしまい、ダミーサンプルの再生ができないが、全面レジストパターンのダミーサンプルを用いることによってダミー

10

20

30

40

50

サンプルの再利用が可能となる。

【0039】

次に第4の実施形態について説明する。

一般にゲート材として良く用いられるPoly-SiやWSi等の処理にはCl<sub>2</sub>やHBr等の腐食性のガスがよく用いられる。

第3の実施形態ではエッチングのための放電ガスについては特定していないが、第4の実施形態ではダミー処理工程で使用する放電ガスにCl<sub>2</sub>やHBr等の腐食性ガスを含まないようにエッチング条件を設定する。

【0040】

例えばPoly-Siゲートの場合の標準処理条件(HBr/O<sub>2</sub> = 100/3 sccm、8 mTorr、Top RF = 250 W、Bottom RF = 30 W)を、改良条件(H<sub>e</sub>/CF<sub>4</sub> = 100/20 sccm、15 mTorr、Top RF = 250 W、Bottom RF = 30 W)等に変更すれば良い。

このようにダミー処理工程の処理条件を腐食性ガスを含まないものにするによって、全面に塗布したレジスト中に腐食ガスが取り込まれなくなるため、トランスファチャンバやロードロックチャンバの腐食を極力抑えることができる。

【0041】

以上のように第4の実施形態によれば、第3の実施形態の効果に加えて、プラズマエッチング装置内の部品の腐食を抑制するので、装置の寿命も延び、また、腐食ガスが大気中に漏れないため、環境面でも有効である。

【0042】

【発明の効果】

上記したように、本発明によれば、レジスト領域を有するダミーサンプルでダミー処理を行うので、エッチング工程における寸法のバラツキを低減し、寸法精度の向上をはかることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示すフローチャート

【図2】第1の実施形態の工程を示す図(その1)

【図3】第1の実施形態の工程を示す図(その2)

【図4】変換差バラツキを示す図

【図5】本発明の第2の実施形態を示すフローチャート

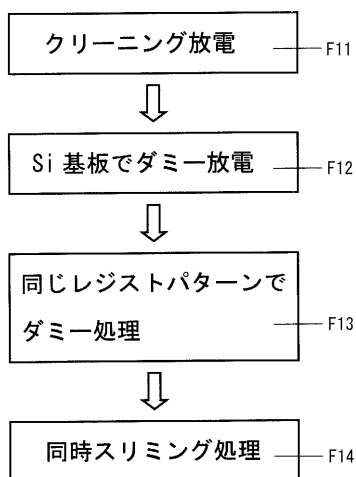
【図6】本発明の第3の実施形態を示すフローチャート

【図7】従来技術の課題を説明する図

【符号の説明】

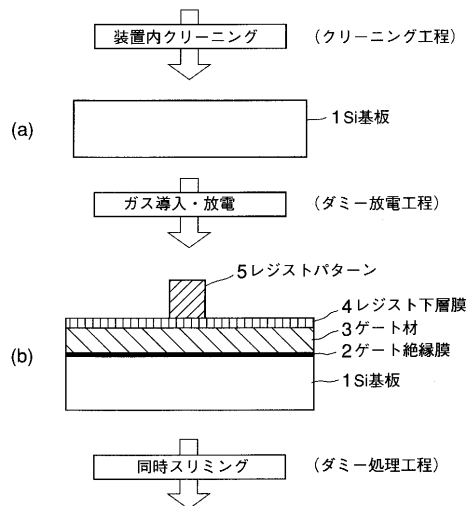
1	Si基板	
2	ゲート絶縁膜	
3	ゲート材	
3 1	ゲート	
4	レジスト下層膜	
5	レジストパターン	40
5 1	スリミングされたレジストパターン	
F 1 1 ~ F 1 4 , F 2 3 , F 3 3	フロー	

【 図 1 】



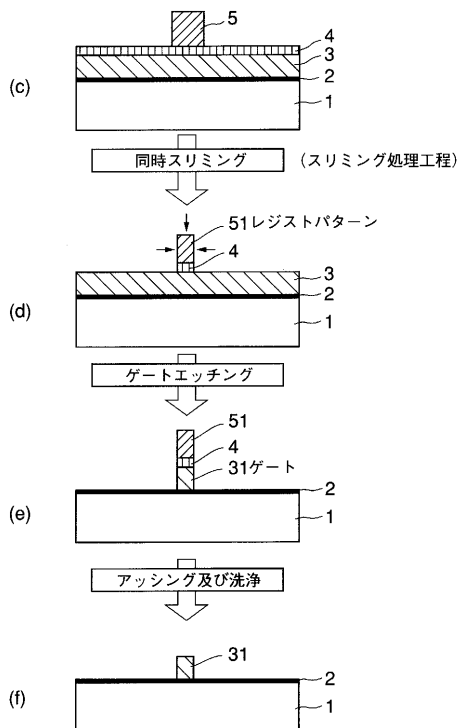
第1の実施形態を示すフローチャート

【 図 2 】



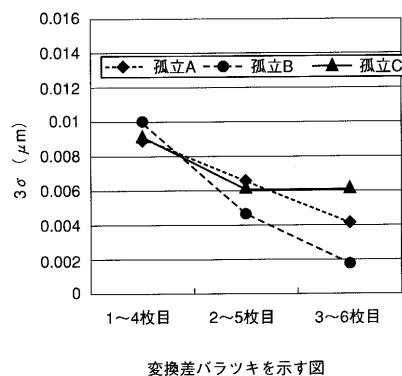
第1の実施形態の工程を示す図 (その1)

【 図 3 】



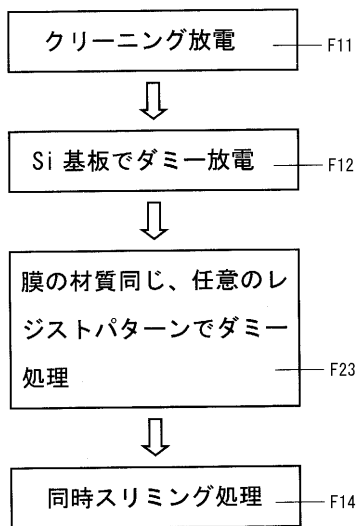
第1の実施形態の工程を示す図 (その2)

【 図 4 】



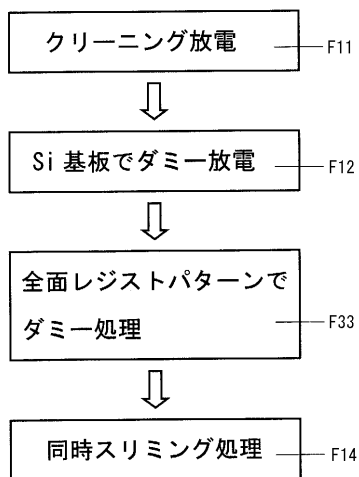


【 図 5 】



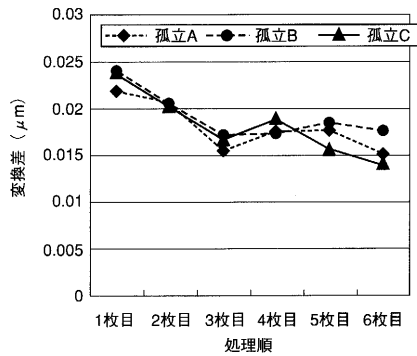
第2の実施形態を示すフローチャート

【 図 6 】



第3の実施形態を示すフローチャート

【 図 7 】



従来技術の課題を説明する図

---

フロントページの続き

- (56)参考文献 特開平05 - 144779 (JP, A)  
特開平04 - 029349 (JP, A)  
特開平10 - 012598 (JP, A)  
特開平09 - 237777 (JP, A)  
特開平06 - 084851 (JP, A)  
特開2000 - 323452 (JP, A)  
特開平05 - 144779 (JP, A)  
特開平04 - 029849 (JP, A)  
特開平10 - 012598 (JP, A)  
特開平09 - 237777 (JP, A)  
特開平06 - 084851 (JP, A)  
特開2000 - 323452 (JP, A)

- (58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

H01L 21/3065