(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년07월10일
(11) 등록번호 10-0845524
(24) 등록일자 2008년07월04일

(51) Int. Cl.
G11C 7/00 (2006.01)
(21) 출원번호 10-2002-0043145
(22) 출원일자 2002년07월23일
심사청구일자 2007년07월20일
(65) 공개번호 10-2003-0011595
(43) 공개일자 2003년02월11일
(30) 우선권주장
09/910,823 2001년07월24일 미국(US)
(56) 선행기술조사문헌
KR1020000035578 A
KR1020010050743 A
KR1020010108096 A
전체 청구항 수 : 총 10 항

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자
트랜렁티
미국캘리포니아주95070
사라토가우드브레이코트5085
(74) 대리인
권혁수, 송윤호, 오세준

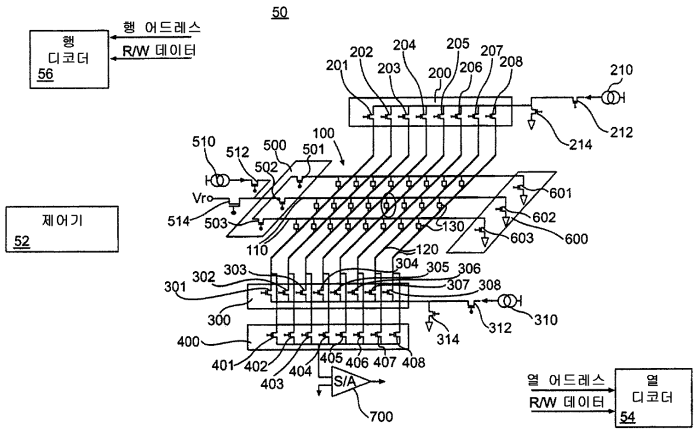
심사관 : 이옥우

(54) 메모리 어레이 판독 방법

(57) 요 약

메모리 장치는 메모리 셀의 어레이를 포함하고, 워드 라인과 비트 라인이 교차한다. 어레이의 한 단부에서, 판독/기록 선택 스위치(read/write select switch)의 뱅크(bank)는 비트 라인을 열 기록 전류원(column write current source)에, 그리고 기준 전위(reference potential voltage)에 선택적으로 접속한다. 감지 증폭기 선택 스위치(sense amplifier select switch)의 뱅크는 비트 라인을 감지 증폭기에 선택적으로 접속하며, 이것은 또한 기준 전위에 있게 된다. 감지 증폭기 선택 스위치의 뱅크에서의 각 스위치는 감지 증폭기가 선택 메모리 셀의 이진 상태를 감지하도록 폐쇄될 수 있다. 판독/기록 선택 스위치의 뱅크에서의 스위치는 선택 비트 라인을 기준 전위에 접속하도록 각각 폐쇄될 수 있다. 판독 동작 동안, 감지 증폭기 선택 스위치의 뱅크 및 판독/기록 선택 스위치의 뱅크는 비트 라인의 단부가 기준 전위에 접속되어, 메모리 어레이가 등전위 상태(equipotential state)로 유지되도록 동작된다. 메모리 어레이는 등전위 상태로 유지되기 때문에, 증폭기에 대한 스위칭으로 인한 정착 시간(settling time)은 필요하지 않다. 따라서, 판독 동작은 종래의 장치보다 고속이다.

대표도



특허청구의 범위

청구항 1

복수의 워드 라인(110) 및 복수의 비트 라인(120)을 포함하는 메모리 어레이(100)를 판독하는 방법－상기 워드 라인 및 비트 라인은 복수의 메모리 셀(130)에서 교차함－에 있어서,

선택 메모리 셀(130)에 접속된 선택 워드 라인(110)에 판독 전압(Vr)을 인가하는 단계와,

상기 선택 메모리 셀에 접속된 선택 비트 라인(120)을, 제 1 스위치(301-308)를 통해 기준 전위(reference potential voltage)에 접속하는 단계와,

상기 선택 메모리 셀을, 제 2 스위치(401-408)를 통해 감지 장치(700)에 접속하는 단계와,

상기 기준 전위로부터 상기 선택 메모리 셀을 접속해제하기 위해, 상기 제 1 스위치(301-308)를 개방하는 단계와,

상기 감지 장치를 이용하여 상기 선택 메모리 셀의 이진 상태를 판독하는 단계를 포함하는

메모리 어레이 판독 방법.

청구항 2

제 1 항에 있어서,

상기 제 1 및 제 2 스위치는 상기 선택 비트 라인의 단부에 접속되고,

상기 제 1 스위치를 개방하는 단계는,

상기 선택 메모리 셀을 상기 감지 장치에 접속하는 단계 이후에 상기 제 1 스위치를 개방하는 단계를 포함하는 메모리 어레이 판독 방법.

청구항 3

제 2 항에 있어서,

상기 제 1 스위치를 개방하는 단계는,

상기 선택 메모리 셀의 이진 상태를 판독하는 단계 이전에 상기 제 1 스위치를 개방하는 단계를 포함하는 메모리 어레이 판독 방법.

청구항 4

제 3 항에 있어서,

상기 메모리 셀의 이진 상태를 판독하는 단계 이후에 상기 제 1 스위치를 폐쇄하는 단계를 포함하는 메모리 어레이 판독 방법.

청구항 5

제 4 항에 있어서,

상기 메모리 셀의 이진 상태를 판독하는 단계 이후에 상기 제 2 스위치를 개방하는 단계를 포함하는 메모리 어레이 판독 방법.

청구항 6

제 5 항에 있어서,

상기 선택 워드 라인에 상기 판독 전압을 인가하는 단계는,

상기 판독 전압을 상기 선택 워드 라인에 접속하는 스위치를 폐쇄하는 단계를 포함하는 메모리 어레이 판독 방법.

청구항 7

제 6 항에 있어서,

상기 선택 메모리 셀을 감지 장치에 접속하는 단계는,

상기 선택 비트 라인을 상기 기준 전위에 접속하는 단계를 포함하는 메모리 어레이 판독 방법.

청구항 8

제 7 항에 있어서,

상기 기준 전위는 접지 전위인 메모리 어레이 판독 방법.

청구항 9

제 2 항에 있어서,

상기 선택 비트 라인의 단부에서의 상기 전위는 상기 선택 메모리 셀이 상기 감지 장치에 접속될 때 실질적으로 변경되지 않는 메모리 어레이 판독 방법.

청구항 10

제 9 항에 있어서,

상기 기준 전위는 접지 전위인 메모리 어레이 판독 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<18> 본 발명은 저항성 교차점(resistive cross point) 메모리 장치에 관한 것이다. 특히, 본 발명은 짧은 판독 시간을 갖는 메모리 장치에 관한 것이다.

<19> MRAM(Magnetic Random Access Memory)은 한 가지 제안된 유형의 비휘발성 메모리이다. MRAM 장치로부터 데이터를 액세스하는 것은 하드 드라이브와 같은 종래의 장기(long term) 저장 장치로부터 데이터를 액세스하는 것보다 상당히 고속이다. 또한, MRAM은 종래의 장기 저장 장치보다 콤팩트하고, 또한 적은 전력을 소모한다.

<20> 도 1은 워드 라인(14)과 비트 라인(16)의 교차점에 위치된 저항성 메모리 셀(12)을 갖는 종래의 MRAM 메모리 어레이(10)를 도시한다. 워드 라인(14)은 메모리 어레이(10)의 행(row)을 따라 수평으로 연장되며, 비트 라인(16)은 메모리 어레이(10)의 열(column)을 따라 수직으로 연장된다. 각 메모리 셀(12)은 "1"과 "0"의 이진 상태를 저장할 수 있다.

<21> 도 2는 종래의 메모리 셀(12)을 도시한다. 메모리 셀(12)은 SDT(spin dependent tunneling) 장치이다. 메모리 셀(12)은 핀층(pinned layer)(24) 및 자유층(free layer)(18)을 포함한다. 핀층(24)은 화살표(26)에 의해 표시된 고정 방향성을 갖는 자화(magnetization)를 갖는다. 양방향 화살표(28)에 의해 표시된 자유층(18)의 자화는 자유층(18)의 "자화용이축(easy axis)"을 따르는 두 방향 중 한 방향으로 방향이 정해질 수 있다. 자유층(18) 및 핀층(24)의 자화가 동일한 방향이면, 메모리 셀(12)의 방향성은 "평행(parallel)"이다. 자화가 반대 방향이면, 방향성은 "비평행(anti-parallel)"이다. 두 방향성은 "1"과 "0"의 이진 상태에 각각 대응한다.

<22> 자유층(18)과 핀층(24)은 절연 터널 장벽층(insulating tunnel barrier layer)(20)에 의해 분리된다. 절연 터널 장벽층(20)은 자유층(18)과 핀층(24) 사이에 양자 기계 터널링(quantum mechanical tunneling)이 발생되도록 한다. 터널링은 전자 스핀 의존적(electron spin dependent)이며, 메모리 셀(12)의 저항이 자유층(18)과 핀층(24)의 자화의 상대적인 방향성 함수가 되도록 한다. 메모리 셀(12)의 저항은, 방향성이 평행인 경우에는 "낮은(low)" 값 R을 갖고, 방향성이 비평행인 경우에는 "높은(high)" 값 R + △R을 갖는다.

<23> 메모리 어레이(10)내의 각 메모리 셀(12)은 기록 동작에 의해 변경된 이진 상태를 가질 수 있다. 특정 메모리 셀(12)을 교차하는 워드 라인(14)과 비트 라인(16)에 공급된 기록 전류는 자유층(18)의 자화를 핀층(24)과의 평행과 비평행 사이에서 스위칭한다. 비트 라인(16)을 통해 흐르는 전류 Iy는 자계 Hx를 초래한다. 유사한 자계 Hy는 전류 Ix가 워드 라인(14)을 통과할 때 생성된다. 자계 Hx 및 Hy는 조합되어 메모리 셀(12)의 자기(magnetic) 방향성을 스위칭한다. 메모리 셀(12)의 이진 상태를 결정하도록, 메모리 셀 자화를 변경하는 것에 의한 저항의 변화를 판독할 수 있다.

<24> 메모리 어레이(10)내의 각 비트 라인(16)은 (도시되지 않은) 스위치에 접속되고, 각 스위치는 (도시되지 않은) 감지 증폭기의 입력에 접속된다. 선택 메모리 셀(12)의 이진 상태 또는 "비트"는, 메모리 셀(12)을 교차하는 비트 라인(16)이 감지 증폭기의 입력에 접속되는 동안 판독 전압을 특정 메모리 셀(12)의 워드 라인(14)에 인가함으로써 판독된다. 선택 비트 라인(16)을 감지 증폭기에 접속하는 스위치는 선택 메모리 셀(12)을 판독하도록 교대로 개방 및 폐쇄된다.

<25> 종래의 메모리 어레이(10)에서의 판독 동작은 메모리 셀(12)을 판독하는 사이에 메모리 어레이(10)가 "정착(settling)"되는 요건에 의해 늦춰진다. 매 시간 선택 비트 라인(16)을 감지 증폭기에 접속하는 스위치가 개방 또는 폐쇄되고, 비트 라인(16)의 단부에서의 전위가 변화되므로, 메모리 어레이(10)는 정착되어야 한다. 비트 라인의 단부에서의 전위 변화는 메모리 셀(12)에 걸리는 전압이 다른 평형 상태(equilibrium state)로 변화되도록 한다. 따라서, 판독 동작을 제어하는 마이크로프로세서는 정착 시간을 판독 동작에 통합하여, 메모리 셀(12)의 판독 사이에 메모리 어레이(10)가 원하는 평형 상태로 정착되도록 한다. 단위 시간당 보다 적은 메모리 셀(12)이 판독될 수 있으므로 정착 시간은 바람직하지 않다.

<26> 따라서, 메모리 어레이에서의 판독 시간을 감소시킬 필요가 있다.

발명이 이루고자 하는 기술적 과제

<27> 제 1 양상에 따르면, 메모리 장치는 감소된 판독 시간을 달성한다. 메모리 장치는 메모리 셀의 메모리 어레이를 포함하고, 워드 라인과 비트 라인이 교차한다. 감지 증폭기 선택 스위치의 뱅크는 비트 라인을 감지 증폭기에 선택적으로 접속한다. 감지 증폭기 선택 스위치내의 각 스위치는 감지 증폭기가 선택 메모리 셀의 이진 상태를 감지하도록 폐쇄될 수 있다. 판독/기록 선택 스위치의 뱅크는 비트 라인을 열 기록 전류원에, 그리고 기준 전위에 선택적으로 접속한다. 판독/기록 선택 스위치의 뱅크내의 스위치는 선택 비트 라인을 기준 전위에 접속하도록 각각 폐쇄될 수 있다. 판독 동작 동안, 감지 증폭기 선택 스위치의 뱅크 및 판독/기록 선택 스위치의 뱅크는 메모리 어레이내의 비트 라인이 등전위 상태(equipotential state)로 유지되도록 동작된다.

<28> 제 1 양상에 따르면, 어레이는 비트 라인이 감지 증폭기와 접속 및 접속해제되는 것에 의해 방해받지 않는다. 기준 전위에서 설정되는 감지 증폭기는 판독/기록 스위치의 뱅크와 동일한 전위를 비트 라인에 제공한다. 메모리 어레이내의 비트 라인은 등전위 상태로부터 방해받지 않으므로, 증폭기에 대한 스위칭으로 인한 정착 시간이 필요하지 않다. 따라서, 판독 시간이 종래의 장치보다 짧다.

<29> 본 발명의 다른 양상 및 이점은 첨부 도면을 참조한 이하의 상세한 설명으로부터 명확해질 것이다.

발명의 구성 및 작용

<30> 메모리 장치(50)는 바람직한 실시예 및 도면을 통해 기술될 것이다.

<31> 도 3은 메모리 장치(50)의 개략도이다. 메모리 장치(50)는 제어기(52), 열 디코더(column decoder)(54), 행 디코더(row decoder)(56), 메모리 어레이(100), 기록 선택 스위치의 뱅크(200), 판독/기록 선택 스위치의 뱅크(300), 감지 증폭기 선택 스위치의 뱅크(400), 판독/기록 선택 스위치의 뱅크(500), 기록 종료 선택 스위치의 뱅크(600) 및 감지 증폭기(700)를 포함한다.

<32> 제어기(52)는 행 디코더(56) 및 열 디코더(54)를 통해 메모리 장치(50)의 판독 및 기록 동작을 제어한다. 제어기(52)는 행 디코더(56)에 접속되어, 판독/기록(R/W) 데이터 및 어드레스 데이터를 포함하는 코맨드를 행 디코더(56)로 전송한다. 행 디코더(56)는 스위치 뱅크(500 및 600)내 스위치의 게이트에 접속되어, 제어기(52) 인스트럭션에 따라 스위치를 개방 및 폐쇄한다. 마찬가지로, 제어기(52)는 열 디코더(54)에 접속되며, 열 디

코더(54)는 스위치 뱅크(200, 300, 400)내 스위치의 게이트에 접속된다. 메모리 장치(50)에 사용된 스위치는 트랜지스터로서 도시된다. 그러나, 예를 들어 FET 또는 MOSFET 스위치와 같은 스위치 및 다른 스위치가 또한 사용될 수 있다.

<33> 메모리 어레이(100)는 메모리 장치(50)를 위한 데이터를 저장한다. 메모리 어레이(100)에서, 워드 라인(110)은 수평 행으로 연장되고, 비트 라인(120)은 수직 열로 연장된다. 워드 라인(110)은 메모리 셀(130)에서 비트 라인(120)과 교차한다. 각 메모리 셀(130)은 "1" 또는 "0"의 이진 상태를 저장할 수 있다. 도 3에서는 예시의 목적을 위해, 24 개의 메모리 셀(130)에서 교차하는, 3 개의 워드 라인(110) 행 및 8 개의 비트 라인(120) 열을 도시하고 있다. 실제로, 1024 x 1024 이상의 메모리 셀이 사용될 수 있다. 도 3에서, 예시적인 메모리 셀(130)이 타원형의 둥근 메모리 셀(130)에 의해 나타내진다. 이 메모리 셀(130)은 제 2 행의 워드 라인(110)과 제 5 열의 비트 라인(120)의 교차부에 위치한다.

<34> 메모리 어레이(100)내의 소정의 메모리 셀(130)에 기록하기 위해, 메모리 셀(130)이 위치되는 열의 비트 라인(120)에 열 기록 전류가 공급되고, 메모리 셀(130)이 위치되는 행의 워드 라인(110)에 행 기록 전류가 공급된다. 워드 라인 및 비트 라인에서의 기록 전류에 의해 생성된 자계가 조합되어, "0"으로부터 "1"로, 혹은 그 반대로 메모리 셀(130)의 이진 상태를 변경한다.

<35> 기록 선택 스위치의 뱅크(200)는 기록 선택 스위치(201, 202, 203, 204, 205, 206, 207, 208)를 포함한다. 각 기록 선택 스위치는 메모리 어레이(100)의 비트 라인(120)에 접속된다. 기록 선택 스위치의 뱅크(200)는 열 기록 전류가 선택 비트 라인(120)에 인가되도록 한다. 열 기록 전류는 열 기록 전류원(210)에 의해 생성된다. 스위치(212)는 열 기록 전류원(210)을 기록 선택 스위치의 뱅크(210)에 선택적으로 접속한다. 스위치(214)는 기록 선택 스위치의 뱅크(200)를 접지에 선택적으로 접속한다.

<36> 판독/기록 선택 스위치의 뱅크(300)는 판독/기록 선택 스위치(301, 302, 303, 304, 305, 306, 307, 308)를 포함한다. 각 판독/기록 선택 스위치는 메모리 어레이(100)의 비트 라인(120)에 접속된다. 판독/기록 선택 스위치의 뱅크(300)는 열 기록 전류가 선택 비트 라인(120)에 공급되도록 한다. 열 기록 전류원(310)에 의해 열 기록 전류가 판독/기록 선택 스위치의 뱅크(300)에 공급된다. 열 기록 전류원(310)은 스위치(312)를 통해 판독/기록 선택 스위치의 뱅크(300)에 선택적으로 접속된다. 판독/기록 선택 스위치의 뱅크(300)는 스위치(314)를 통해 기준 전위에 선택적으로 접속된다. 도 3에 예시된 바람직한 실시예에서는, 접지의 기준 전위가 이용된다. 그러나, 다른 기준 전위가 이용될 수도 있다.

<37> 감지 증폭기 선택 스위치의 뱅크(400)는 감지 증폭기(700)를 메모리 어레이(100)의 비트 라인(120)에 선택적으로 접속한다. 감지 증폭기 선택 스위치의 뱅크(400)는 스위치(401, 402, 403, 404, 405, 406, 407, 408)를 포함하고, 각 스위치는 대응하는 비트 라인(120)을 감지 증폭기(700)에 선택적으로 접속한다. 스위치 뱅크(400)는 감지 증폭기(700)가 선택 메모리 셀(130)의 이진 상태를 검출하도록 한다.

<38> 판독/기록 선택 스위치의 뱅크(500)는 판독/기록 선택 스위치(501, 502, 503)를 포함한다. 각 판독/기록 선택 스위치는 메모리 어레이(100)의 워드 라인(110)에 접속된다. 판독/기록 선택 스위치의 뱅크(500)는 스위치(512)를 통해 행 기록 전류원(510)에 접속되고, 스위치(514)를 통해 판독 전압 Vr에 접속된다. 기록 종료 선택 스위치의 뱅크(600)는 스위치(601, 602, 603)를 포함한다. 기록 종료 선택 스위치의 뱅크(600)는 각 워드 라인(110)을 접지에 선택적으로 접속한다. 행 기록 전류가 선택 워드 라인(110)에 공급될 때, 기록 종료 선택 스위치의 뱅크(600)내의 대응하는 스위치가 폐쇄되어, 행 기록 전류가 선택 워드 라인(110)을 통해 흐르도록 한다.

<39> 이하, 도 3 및 4를 참조하여 메모리 장치(50)의 기록 동작을 기술할 것이다. 도 4는 메모리 장치(50)에 대한 기록 동작을 나타내는 흐름도이다.

<40> 단계(S10)에서, 제어기(52)는 선택 메모리 셀(130)에서 교차하는 행 및 열을 선택한다. 단계(S12)에서, 제어기(52)는 메모리 장치(50)에 대한 기록 시퀀스를 개시한다. 단계(S14)에서, 제어기(52)는 메모리 장치(50)내의 모든 스위치가 개방되도록 설정한다.

<41> 단계(S16)에서, 스위치 뱅크(500, 600)는 행 기록 전류를 메모리 어레이(100)에 공급하도록 인에이블링된다. 스위치 뱅크(500, 600)는 스위치(512)를 폐쇄함으로써 인에이블링된다. 스위치(512)를 폐쇄하면 행 기록 전류가 선택 워드 라인(110)을 통해 흐르게 되고, 스위치 뱅크(500, 600)내에서 일단 선택된 스위치는 폐쇄된다.

<42> 단계(S18)에서, 스위치 뱅크(200, 300)는 열 기록 전류를 메모리 어레이(100)에 공급하도록 인에이블링된다. 제어기(52)가 선택 메모리 셀(130)에 "0"의 상태를 기록하면, 스위치 뱅크(200, 300)는 스위치(212, 314)를 폐

쇄함으로써 인에이블링된다. 이러한 구성에 의해, 스위치 뱅크(200, 300)내의 선택 스위치가 폐쇄된 후, 열 기록 전류가 열 기록 전류원(210)으로부터 선택 비트 라인(120)을 통하고, 스위치(314)를 통해 접지로 흐르게 된다. 반대로, 선택 메모리 셀(130)에 "1"의 상태가 기록되면, 스위치 뱅크(200, 300)는 스위치(214, 312)를 폐쇄함으로써 인에이블링된다. 이러한 구성에 의해, 스위치 뱅크(200, 300)내의 선택 스위치가 폐쇄된 후, 열 기록 전류가 열 기록 전류원(310)으로부터 선택 비트 라인(120)을 통하고, 스위치(214)를 통해 접지로 흐르게 된다.

<43> 단계(S20)에서, 행 기록 전류가 선택 워드 라인(110)에 인가되고, 열 기록 전류가 선택 비트 라인(120)에 공급된다. 행 기록 전류는 선택 행에 대응하는, 뱅크(500, 600)내의 스위치를 폐쇄함으로써 인가된다. 예를 들어, 메모리 어레이(100)의 제 2 행 및 제 5 열에서의 지시된 메모리 셀(130)의 이진 상태가 선택된다면, 스위치(502, 602)가 폐쇄되어, 행 기록 전류가 제 2 행에서의 워드 라인(110)을 통해 흐르도록 한다.

<44> 열 기록 전류는 선택 비트 라인(120)에 대응하는, 뱅크(200, 300)내의 스위치를 폐쇄함으로써 인가된다. 상기 예에서, 스위치(205, 305)가 폐쇄되어, 열 기록 전류가 제 5 열에서의 비트 라인(120)을 통해 흐르도록 한다.

<45> 메모리 어레이(100)에서, 선택 행 및 열의 교차부에 위치하는 지시된 메모리 셀(130)은 기록 동작에 의해 변경된 이진 상태를 갖는다. 선택된 워드 라인(110)과 비트 라인(120)의 교차부에 위치한 선택 메모리 셀(130)에서의 결과적인 자계는 행 및 열 기록 전류에 의해 생성된 자계의 합이다. 결과적인 자계는 선택 메모리 셀(130)의 이진 상태를 변경시킨다.

<46> 행 및 열 기록 전류는 실질적으로 동일한 시간에 인가되어야 한다. 스위치 뱅크내의 스위치는 행 및 열 기록 전류가 인가되는 짧은 시간 동안만 폐쇄된다. 예를 들어, 스위치는 1 - 100 ns(나노초) 정도의 기간 동안 폐쇄될 수 있다.

<47> 이하, 도 3, 5, 6을 참조하여 메모리 장치(50)에 대한 판독 동작을 기술할 것이다. 도 5는 메모리 장치(50)의 판독 타이밍도이고, 도 6은 메모리 장치(50)의 판독 동작을 나타내는 흐름도이다.

<48> 단계(S32)에서, 제어기는 메모리 장치를 판독 모드가 되도록 한다. 이 때, 제어기(52)는 선택 메모리 셀(130)의 행 및 열 어드레스를 행 디코더(56) 및 열 디코더(54)로 전송할 수 있다. 어드레스의 전송은 도 5에서의 판독 타이밍의 "어드레스" 라인에 대응한다.

<49> 단계(S34)에서, 제어기는 판독 시퀀스를 개시한다. 단계(S36)에서, 메모리 장치(50)내의 모든 스위치가 개방되도록 설정된다.

<50> 단계(S38)에서, 스위치(314, 301-308)를 폐쇄함으로써, 비트 라인(120)이 기준 전위에 접속된다. 기준 전위는 접지될 수 있다. 도 5에서, 예시적인 목적을 위해, "스위치 뱅크 300" 라인에서 뱅크(300) 스위치는 판독 타이밍도의 개시시에 폐쇄된 것으로서 도시된다.

<51> 단계(S40)에서, 스위치(514)가 폐쇄되어, 판독 전위 Vr이 판독/기록 선택 스위치의 뱅크(500)에 제공된다.

<52> 단계(S42)에서, 선택 행에 대응하는, 스위치 뱅크(500)내의 스위치가 폐쇄되어, 판독 전위 Vr이 선택 비트 라인(120)에 인가된다. 예를 들어, 지시된 메모리 셀(130)이 판독된다면, (제 2 행에 대응하는) 스위치(502)가 폐쇄될 것이다. 그것에 의해, 판독 전위 Vr이 제 2 행에서의 워드 라인(110)에 인가된다. 메모리 어레이(100) 정착 동안 시간이 흐르도록 허용된다. 그러한 정착 시간은 비트 라인(120)내의 전류가 평형 상태에 도달할 수 있도록 한다. 도 3을 참조하면, 이들 전류는 선택 워드 라인(110)으로부터 선택 워드 라인(110)과 접촉하고 있는 메모리 셀(130)을 통하고, 비트 라인(120), 뱅크(300)내의 스위치 및 스위치(314)를 통해 흐른다.

<53> 단계(S44)에서, 선택 열에 대응하는, 스위치 뱅크(400)내의 스위치가 폐쇄된다. 상기 예에서는, 스위치(405)가 폐쇄된다. 나머지 스위치(401-404, 406-408)는 개방 상태로 유지된다. 스위치 뱅크(400)내의 스위치를 폐쇄하면, 선택 열이 감지 증폭기(700)에 접속된다. 이러한 접속은 도 5에서의 판독 타이밍도의 "스위치 뱅크 400" 라인에서 도시된다.

<54> 감지 증폭기(700)는 기준 전위에 있다. 예를 들어, 스위치(314)가 접지의 기준 전위에 접속된다면, 감지 증폭기(700)는 사실상 접지일 수 있다. 따라서, 선택 비트 라인(120)이 접속되는 전위는, 감지 증폭기(700)가 접속될 때 변하지 않는다. 판독 전류에 대한 흐름 경로의 저항은 감지 증폭기(700)가 접속될 때 최소한으로 변하는데, 그것은 경로에서의 거의 모든 저항은 메모리 셀(130)에 있기 때문이다. 따라서, 선택 비트 라인(120)이 감지 증폭기(700)에 접속될 때, 메모리 어레이(100)에는 사실상 방해가 없게 된다.

<55> 단계(S46)에서, 선택 열에 대응하는, 스위치 뱅크(300)내의 스위치가 개방되어, 스위치(314)에서의 기준 전위로부터 선택 비트 라인(120)이 접속해제된다. 스위치 뱅크(300)내의 나머지 스위치는 폐쇄 상태로 유지된다. 본 실시예에서는, 스위치(305)가 개방된다.

<56> 스위치(305)는 개방된 채로 유지되고, 감지 증폭기(700)는 스위치(405)를 통해 선택 비트 라인에 접속된 채로 유지된다. 선택 비트 라인(120)은 감지 증폭기(700)에 접속된 채로 유지되므로, 비트 라인(120)은 기준 전위에 접속된 채로 유지되고, 메모리 어레이(100)에는 최소의 방해만이 존재하게 된다. 따라서, 메모리 어레이(100)는 평형 전위로 유지된다.

<57> 단계(S50)에서, 감지 증폭기(700)는 선택 비트 라인(120)으로부터의 전류를 감지하여, 선택 메모리 셀(130)의 이진 상태를 결정한다. 이진 상태는 제어기(52)에 의해, 감지 증폭기(700)로부터의 출력으로부터 검출될 수 있다. 감지 증폭기(700)의 출력은 선택 메모리 셀(130)의 저항 상태를 나타낼 수 있다. 이와 달리, 감지 증폭기(700)는 이진 상태를 결정하고, 이진 상태를 제어기(52)에 출력하도록 지원 회로를 포함할 수 있다. 이진 상태는 선택 비트 라인(120)을 통한 전류의 증가 또는 감소로 인한 선택 메모리 셀(130)의 저항 변화로서 결정될 수 있다. 예를 들어, 높은 저항 상태(비평행 상태)는 메모리 셀(130)을 통한 낮은 전류가 되도록 하며, 그것은 "0"의 이진 상태를 나타낼 수 있다. 낮은 저항 상태(평행 상태)는 메모리 셀(130)을 통한 높은 전류가 되도록 하며, 그것은 "1"의 이진 상태를 나타낼 수 있다.

<58> 단계(S52)에서, 선택 비트 라인(120)에 대응하는, 스위치 뱅크(300)내의 스위치가 폐쇄된다. 이 스위치를 폐쇄하면 선택 비트 라인(120)이 스위치(314)를 통해 기준 전위에 접속된다. 단계(S54)에서, 비트 라인(120)에 대응하는, 스위치 뱅크(400)내의 스위치가 개방된다. 이 스위치를 개방하면 감지 증폭기(700)로부터 선택 비트 라인(120)이 접속해제된다. 이 때, 메모리 어레이(100)내의 모든 비트 라인(120)은 스위치(314)를 통해 기준 전위에 접속된다.

<59> 단계(S52 및 S54)에서의 스위치 개방 및 폐쇄 동안에, 선택 비트 라인(120)의 단부에서의 전위는 기준 전위로 유지된다. 따라서, 메모리 어레이(100)는 평형 전위로 유지된다.

<60> 단계(S56)에서, 제어기(52)는 선택 행에서의 다른 메모리 셀(130)이 판독될지 여부를 결정한다. 만약, 예(yes)이면, 프로세스는 단계(S44)로 복귀된다. 단계(S58)에서, 제어기(52)는 다른 행에서의 메모리 셀(130)이 판독될지 여부를 결정한다. 만약, 예(yes)이면, 프로세스는 단계(S42)로 복귀된다. 만약, 아니오(no)이면, 단계(S60)에서 판독 동작이 종료된다.

<61> 메모리 어레이를 판독하는 상기 방법에 따르면, 감지 증폭기(700)에 대한 선택 비트 라인(120)의 접속 및 접속해제로 인한 메모리 어레이의 정착 시간이 제거된다. 메모리 어레이(100)는 판독 동작 동안 평형 전위로 유지되므로, 정착 시간이 불필요하다. 감지 증폭기(700)와의 접속 및 접속해제 동안 비트 라인(120)이 동일 기준 전위에 교대로 접속되므로 평형 전위가 유지된다.

<62> 상기 예에서, 스위치 뱅크(300, 400)을 통해 비트 라인(120)이 접지에 접속된다. 그러나, 이것은 단지 기준 전위의 예이며, 다른 기준 전위가 이용될 수도 있다.

<63> 감지 증폭기(700)는 메모리 장치(50)내 메모리 셀(130)의 이진 상태를 검출하는 감지 장치의 예이다. 실제로, 예를 들면 트랜스 임피던스(trans-impedance) 감지 증폭기, 전하 주입(charge-injection) 감지 증폭기, 차동(differential) 감지 증폭기, 또는 디지털 차동 감지 증폭기와 같은 다른 감지 장치가 사용될 수 있다.

<64> 메모리 셀(130)의 이진 상태를 감지하기 위한 하나의 감지 증폭기(700)가 도 3에 도시되어 있다. 실제로, 메모리 어레이에 매우 많은 감지 장치가 접속될 수 있다. 예를 들어, 메모리 어레이내의 각 비트 라인을 위해 감지 증폭기가 포함되거나, 또는 메모리 어레이내의 2 개 이상의 비트 라인마다를 위해 감지 증폭기가 포함될 수 있다.

<65> 메모리 어레이에 "0" 및 "1"의 상태를 기록하기 위한 전류 흐름에 대한 컨벤션(conventions)은 임의적이며, 메모리 장치(50)의 소정의 원하는 응용에 맞도록 재할당될 수 있다.

<66> 메모리 어레이(100)에 사용된 메모리 셀(130)은 판독 및 기록 전류에 응답하는 소정 타입의 메모리 셀일 수 있다. 예를 들어, GMR(giant magnetoresistance) 장치, STJ(spin tunnel junctions)와 같은 메모리 셀 및 다른 타입의 메모리 셀을 메모리 어레이(50)에 사용할 수 있다.

<67> 메모리 어레이(50)는 매우 다양한 응용에 이용될 수 있다. 그러한 응용 중 하나는 MRAM 저장 모듈을 갖는 계산(computing) 장치일 수 있다. MRAM 저장 모듈은 장기간 저장을 위해 하나 이상의 MRAM 메모리 어레이를 포

함할 수 있다.

<68> MRAM 저장 모듈은 랩탑 컴퓨터, 개인용 컴퓨터 및 서버와 같은 장치에 사용될 수 있다.

<69> 메모리 장치(50)는 예시적인 실시예를 참조하여 기술되었지만, 당업자라면 여러 가지 변형에 대해 쉽게 알 수 있을 것이며, 본 명세서에서의 개시 내용은 그러한 변형을 포함하도록 의도된다.

발명의 효과

<70> 본 발명에 의하면, 메모리 어레이가 등전위 상태로 유지되기 때문에, 증폭기에 대한 스위칭으로 인한 정착 시간이 필요하지 않게 되어, 종래의 장치보다 판독 동작을 고속화할 수 있다.

도면의 간단한 설명

<1> 도 1은 종래의 메모리 셀 어레이를 도시하는 도면,

<2> 도 2는 종래의 메모리 셀의 이진 상태를 도시하는 도면,

<3> 도 3은 메모리 장치의 실시예의 개략도,

<4> 도 4는 도 3에 도시된 메모리 장치에 대한 기록 동작을 나타내는 흐름도,

<5> 도 5는 도 3에 도시된 메모리 장치의 판독 타이밍도,

<6> 도 6은 도 3에 도시된 메모리 장치의 판독 동작을 나타내는 흐름도.

<7> 도면의 주요 부분에 대한 부호의 설명

<8> 52: 제어기

<9> 54: 열 디코더

<10> 56 : 행 디코더

<11> 100 : 메모리 어레이

<12> 200 : 기록 선택 스위치의 뱅크

<13> 300 :판독/기록 선택 스위치의 뱅크

<14> 400 : 감지 증폭기 선택 스위치의 뱅크

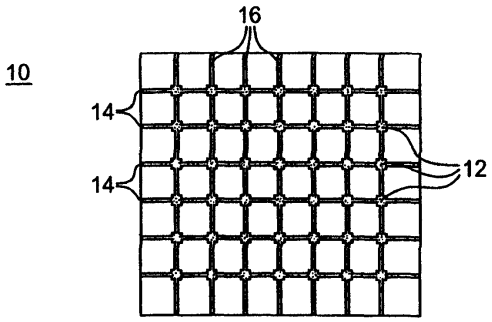
<15> 500 : 판독/기록 선택 스위치의 뱅크

<16> 600 : 기록 종료 선택 스위치의 뱅크

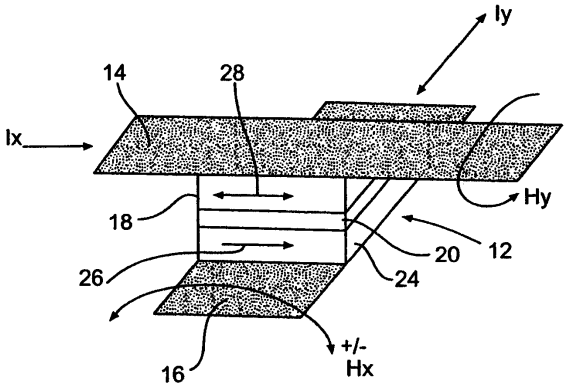
<17> 700 : 감지 증폭기

도면

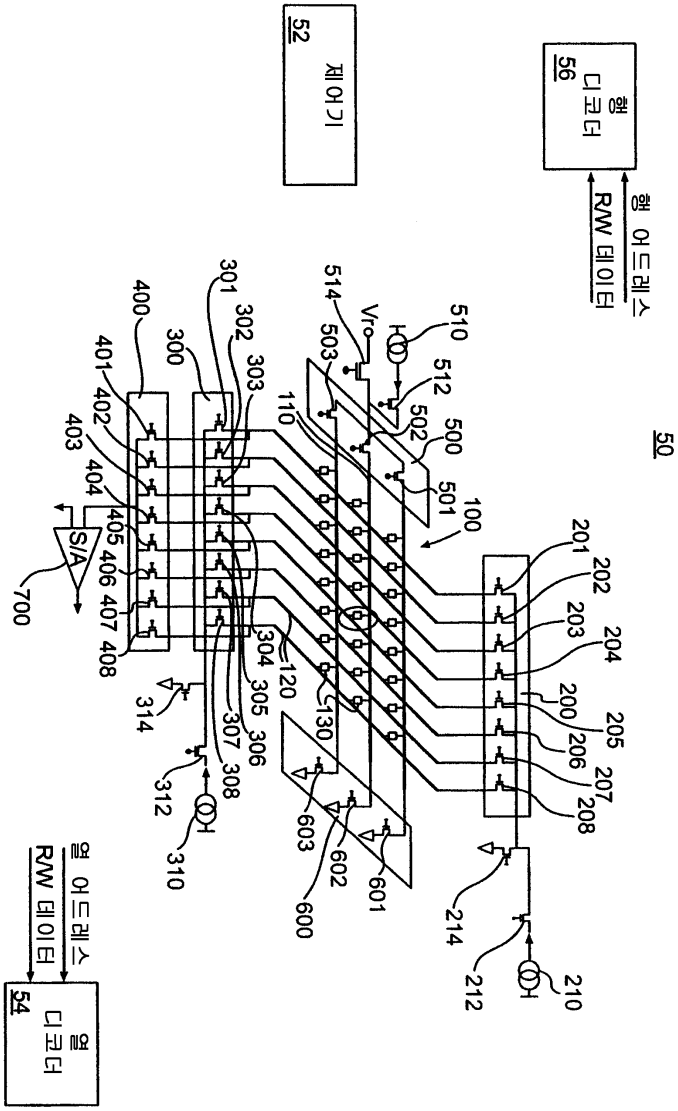
도면1



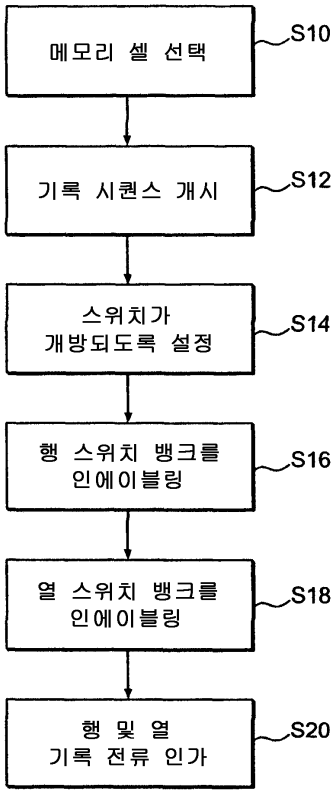
도면2



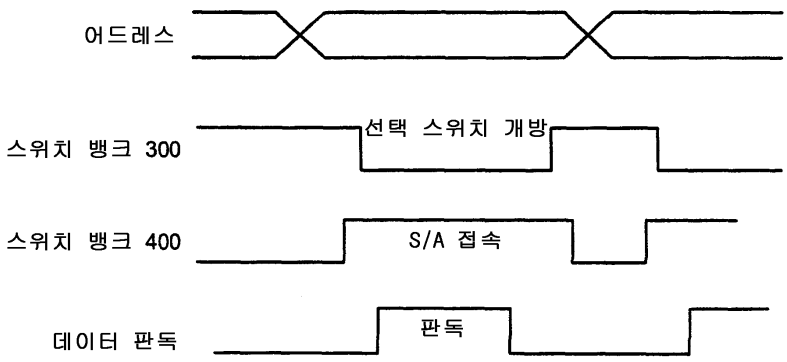
도면3



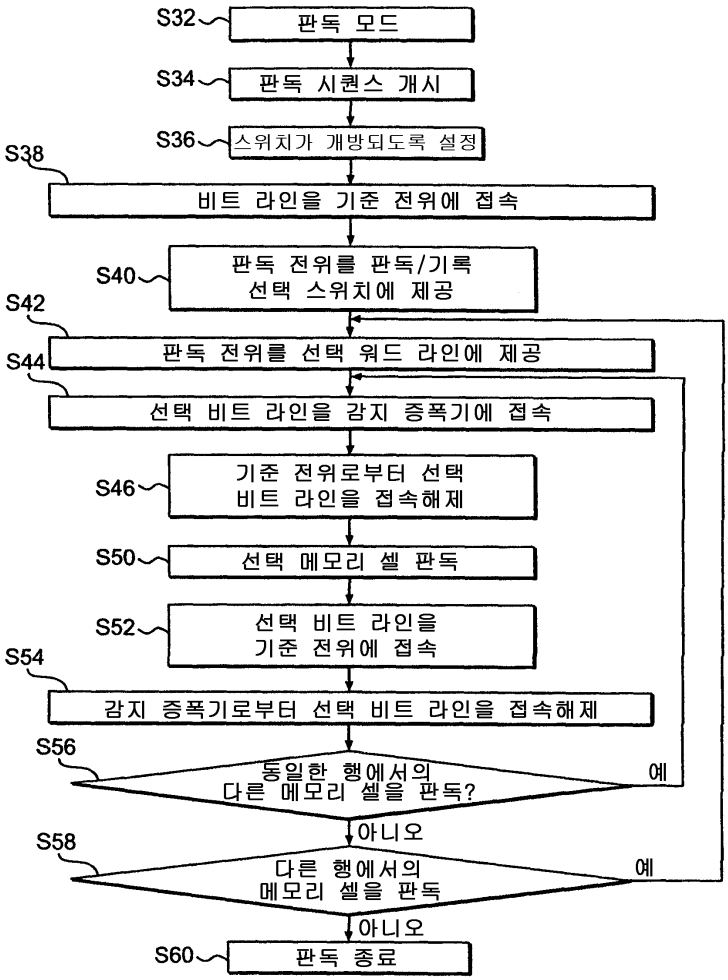
도면4


메모리 셀 선택
S10
기록 시퀀스 개시
S12
스위치가
개방되도록 설정
S14
행 스위치 뱅크를
인에이블링
S16
열 스위치 뱅크를
인에이블링
S18
행 및 열
기록 전류 인가
S20

도면5


어드레스
스위치 뱅크 300
선택 스위치 개방
스위치 뱅크 400
S/A 접속
데이터 판독
판독

도면6


S32
판독 모드
S34
판독 시퀀스 개시
S36
스위치가 개방되도록 설정
S38
비트 라인을 기준 전위에 접속
S40
판독 전위를 판독/기록 선택 스위치에 제공
S42
판독 전위를 선택 워드 라인에 제공
S44
선택 비트 라인을 감지 증폭기에 접속
S46
기준 전위로부터 선택 비트 라인을 접속해제
S50
선택 메모리 셀 판독
S52
선택 비트 라인을 기준 전위에 접속
S54
감지 증폭기로부터 선택 비트 라인을 접속해제
S56
동일한 행에서의 다른 메모리 셀을 판독?
예
아니오
S58
다른 행에서의 메모리 셀을 판독
예
아니오
S60
판독 종료