

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3664012号
(P3664012)

(45) 発行日 平成17年6月22日(2005.6.22)

(24) 登録日 平成17年4月8日(2005.4.8)

(51) Int.Cl.⁷

H02M 3/28

F I

H02M 3/28

H

H02M 3/28

R

請求項の数 1 (全 8 頁)

(21) 出願番号	特願平11-354654	(73) 特許権者	503361248
(22) 出願日	平成11年12月14日(1999.12.14)		富士電機デバイステクノロジー株式会社
(65) 公開番号	特開2001-178124(P2001-178124A)		東京都品川区大崎一丁目11番2号
(43) 公開日	平成13年6月29日(2001.6.29)	(74) 代理人	100088339
審査請求日	平成15年12月9日(2003.12.9)		弁理士 篠部 正治
		(72) 発明者	城山 博伸
			神奈川県川崎市川崎区田辺新田1番1号
			富士電機株式会社内
		審査官	川端 修
		(56) 参考文献	特開平08-140345(JP,A)
			特開平11-018420(JP,A)
		(58) 調査した分野(Int.Cl. ⁷ , DB名)	
			H02M 3/28

(54) 【発明の名称】 スイッチング電源装置

(57) 【特許請求の範囲】

【請求項1】

所定の最高電圧に充電されたのち、所定の最低電圧に放電されることを繰り返す発振コンデンサと、

入力直流電源間にトランス又はリアクトルからなる誘導性手段と直列、且つスナバコンデンサと並列に接続され、前記発振コンデンサの充放電の各期間ごとに、該発振コンデンサの電圧が前記最低電圧に到達した時点をオン時点とするようにオン／オフされる半導体スイッチ素子とを備え、

該半導体スイッチ素子のオフ時に前記誘導性手段から放出されるエネルギーを用いて外部の負荷に供給すべき所定電圧の直流電源が生成されるように、前記半導体スイッチ素子のオン期間とオフ期間との割合が制御されるスイッチング電源装置において、

前記誘導性手段に補助巻線を設け、前記半導体スイッチ素子のオフ期間に該補助巻線に発生する電圧をダイオードを介し前記発振コンデンサに印加して該発振コンデンサを前記誘導性手段とスナバコンデンサによるLC共振が開始するまでの期間前記最高電圧に充電し、

少なくともこの充電の期間内に前記発振コンデンサに定電流源又は所定の抵抗を直列に持つ定電圧源からなる放電電源を接続し、

前記発振コンデンサの電圧が前記充電の期間終了後に前記放電電源を介し前記最高電圧から最低電圧に下降するまでの時間を前記誘導性手段とスナバコンデンサのLC共振による電圧振動の周期の1/2となるようにしたことを特徴とするスイッチング電源装置。

10

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、少なくともエネルギー源となる入力直流電源間にトランスまたはリアクトルからなる誘導性手段を介し接続された半導体スイッチ素子を、PWM制御された駆動パルスによって繰り返し開閉し、安定化された直流電源を生成して外部に供給する電源装置としての、いわゆるスイッチング電源装置であって、

特に半導体スイッチ素子とそのオフ時に発生するサージ電圧から保護するスナバコンデンサが、半導体スイッチ素子のオン時点に放電することによる半導体スイッチ素子のスイッチング損失を最小限に抑えて半導体スイッチ素子の発熱を防ぎ、装置の効率を改善するようにしたスイッチング電源装置に関する。

10

なお、以下各図において同一の符号は同一もしくは相当部分を示す。

【0002】

【従来の技術】

図6はフライバック方式のトランス12を用いた従来のスイッチング電源装置の回路構成の一例を示す。同図において、8はNチャネルMOSFETからなる半導体スイッチ素子（単にスイッチ素子とも略す）、5はこのスイッチング電源装置が外部の負荷15に供給する直流電圧を検出しつつ、この供給直流電圧を一定とするようにスイッチ素子8をPWM（パルス幅変調）制御された駆動パルスとしてのPWM出力7によってオン／オフ駆動する制御回路としての電源制御回路である。

20

【0003】

また、電源制御回路5内において、3は発振コンデンサ2を用いて後述の発振波（この場合、三角波状）を発振出力する発振器、4はこの発振器3の発振出力と、このスイッチング電源装置が外部の負荷15に供給する直流電圧の検出値としての出力電圧検出入力6とを入力とし、スイッチ素子8をオン／オフ駆動するPWM出力7を生成するPWM制御部である。

【0004】

この構成により、スイッチ素子8は、入力直流電源1を発振器3の周波数で、且つフライバックトランス12の2次巻線11側の直流出力電圧、従って出力電圧検出入力6が一定となるようなデューティ、即ちON比率＝ON期間／（ON期間＋OFF期間）により断続してトランス12の1次巻線10に印加する。

30

トランス12の2次巻線11には、スイッチ素子8のオフ時に、それまで1次巻線10を流れていた電流を維持する方向に対応する極性の電圧が発生することから、ダイオード13が導通し、この電圧はコンデンサ14により平滑化され、スイッチング電源装置の出力電圧として外部の負荷15に供給される。

【0005】

ところで、スイッチ素子8に並列に接続されたコンデンサ9は、スナバコンデンサと呼ばれ、スイッチ素子8がオフする際に発生するサージ電圧とこれに伴うノイズを抑制している。

図7は図6の各部の動作波形の例を示す。ここで、図7、a）は電源制御回路5内の発振器3の出力波形としての発振コンデンサ2の電圧波形を示し、図7、b）は電源制御回路5がスイッチ素子8に与えるゲート駆動パルスであるPWM出力7（この信号7は同時に、スイッチ素子8のオン、オフの状態を示す信号でもある）を示し、図7、c）はスナバコンデンサ9の両端電圧としてのスナバ電圧を示す。

40

【0006】

この電源制御回路5では、スイッチ素子8がオン／オフを繰り返す周波数を、発振コンデンサ2の充放電を利用した発振器3で決定している。

図8は発振器3の原理的な回路構成の1例を示す。同図において、36は定電圧の内部電源、27は発振コンデンサ2の充電用の定電流源（なお、この定電流源27の代わりに抵抗28を用いてもよい）、29はコンデンサ2の放電用の定電流源（なお、この定電流源

50

29の代わりに抵抗30を用いてもよい)、34はヒステリシスを持つコンパレータ、35は上限値 V_U と下限値 V_L とに切り替えられる基準電圧、33はコンパレータ34の出力を反転してスイッチ31に与えるインバータ素子、31と32はトランジスタからなりコンパレータ34の出力によって交互に開閉されるスイッチである。

【0007】

次に図7、a)を参照しつつ、図8の動作を説明する。いまコンパレータ34の出力によりスイッチ31が閉、32が開の状態であるものとする。このときコンパレータ34に入力される基準電圧35は上限値 V_U になっている。そして発振コンデンサ2は定電流源27を介して(または内部電源36から抵抗28を介して)充電され、コンデンサ2の電圧が上昇する。

10

【0008】

やがてコンデンサ2の電圧が上限値 V_U に達すると、コンパレータ34の出力は反転し、スイッチ31が開、32が閉となり、また基準電圧35は下限値 V_L に切り替わる。これによりコンデンサ2は定電流源29を介して(またはグラウンド電位へ抵抗30を介して)放電され、コンデンサ2の電圧が下降する。

この後コンデンサ2の電圧が下限値 V_L に達すると、コンパレータ34の出力は再び反転し、スイッチ31が閉、32が開となり、基準電圧35は上限値 V_U に切り替わる。

【0009】

このような充放電の動作が繰り返されることで、図7、a)に示す三角波の発振波形が生成され、この発振波、つまり発振コンデンサ2の両端電圧が発振器3の出力として、PWM制御部4へ送られる。そして充電期間 T_c と放電期間 T_{dc} とからなる発振周期 T_{osc} に同期してスイッチ素子8がオン／オフを繰り返す。

20

PWM制御部4内では、出力電圧検出入力6と、この検出入力6に対応するスイッチング電源装置出力電圧の基準値との偏差の電圧を0とするように、図7、b)に示すような可変のオン期間 T_{on} のパルス幅をもつPWM出力7を生成出力する。

【0010】

この場合、オン期間 T_{on} の始端は前記の充電期間 T_c の開始時点(換言すれば放電期間 T_{dc} の終了時点)に設定されている。また、オン期間 T_{on} の終端はスイッチング電源装置出力電圧の制御によって変動するが、本装置では異常時の保護などを目的として、前記の放電期間 T_{dc} をスイッチ素子8が必ずオフする期間(デッドタイム)としているので、最大のオン期間 $T_{on\ max}$ は充電期間 T_c に等しくなるように設定されている。

30

【0011】

従って、常時のオン期間 T_{on} は最大オン期間 $T_{on\ max}$ 内において、このスイッチング電源装置の出力電圧が基準値に対比して下がり過ぎようとするときオン期間 T_{on} が増加するように、他方、スイッチング電源の出力電圧が基準値に対比して上がり過ぎようとするときオン期間 T_{on} が減少するように制御される。

【0012】

【発明が解決しようとする課題】

前記したように図7、c)は図6のスイッチング電源装置における、スナバコンデンサ9の両端電圧の例を示す。即ち、スイッチ素子8がオフした後、トランス12が2次側へエネルギーを放出し終わると、トランス12のインダクタンスとスナバコンデンサ9等によってLC共振を生じ、電圧が振動する。

40

【0013】

この振動中にスイッチ素子8がオン(ターンオン)する。この時、スナバコンデンサ9はその両端電圧に応じた蓄積エネルギーをすべてスイッチ素子8のスイッチング損失として放出する。

またこのターンオンのタイミングは、電源制御回路5の発振器3で決定され電圧振動とは無関係である。このため、スナバコンデンサ9の電圧が大きい時にターンオンすることも多く、この場合、スイッチ素子8の損失が非常に大きくなり、スナバコンデンサ9の存在がサージ電圧およびノイズの抑制には効果があるものの、他方ではスイッチ素子8の発熱

50

を増加し、スイッチング電源装置の効率を低下させるという問題があった。

【0014】

そこで本発明は、上記したスナバコンデンサ9の電圧の振動中、常に電圧が最も小さくなった時点でスイッチ素子8をターンオンさせることで、スナバコンデンサ9によるスイッチ素子8の損失を最小限に抑えることができるスイッチング電源装置を提供することを目的とする。

【0015】

【課題を解決するための手段】

前記の課題を解決するために、請求項1のスイッチング電源装置では、

所定の最高電圧（最高値 V_M ）に充電されたのち、所定の最低電圧（下限値 V_L ）に放電されることを繰り返す発振コンデンサ（2）と、 10

入力直流電源（入力電圧1）間にトランス（12）又はリアクトル（18）からなる誘導性手段と直列、且つスナバコンデンサ（9）と並列に接続され、前記発振コンデンサの充放電の各期間ごとに、該発振コンデンサの電圧が前記最低電圧に到達した時点をおん時点とするようにオン／オフされる半導体スイッチ素子（8）とを備え、

該半導体スイッチ素子のオフ時に前記誘導性手段から放出されるエネルギーを用いて外部の負荷に供給すべき所定電圧の直流電源が（平滑用コンデンサ14の両端に）生成されるように、前記半導体スイッチ素子のオン期間とオフ期間との割合が（PWM制御部4によって）制御されるスイッチング電源装置において、

前記誘導性手段に補助巻線（16）を設け、前記半導体スイッチ素子のオフ期間に該補助巻線に発生する電圧をダイオード（17）を介し前記発振コンデンサに印加して該発振コンデンサを前記誘導性手段とスナバコンデンサによる共振動作が開始するまでの期間前記最高電圧に充電し、 20

少なくともこの充電の期間内に前記発振コンデンサに定電流源（29）又は所定の抵抗（30）を直列に持つ定電圧源（グランド電位）からなる放電電源を接続し、

前記発振コンデンサの電圧が前記充電の期間終了後に前記放電電源を介し前記最高電圧から最低電圧に下降するまでの時間（電圧下降時間 T_F ）を前記誘導性手段とスナバコンデンサの共振動作による電圧振動の周期の $1/2$ となるようにする。

【0016】

また請求項2のスイッチング電源装置では、請求項1に記載のスイッチング電源装置において、前記補助巻線が当該のスイッチング電源装置内の電源（制御回路用電源22など）を生成するために兼用されてなるようにする。 30

本発明の作用は以下の如くである。即ち、スイッチ素子8によって電流が断続されるトランス12またはリアクトル等の誘導性手段に補助巻線を設け、スイッチ素子8のオフ時に発生する電圧によって発振コンデンサをプルアップ充電する。

【0017】

そして発振コンデンサの電圧が、放電電源によってプルアップ充電後の最高値から下限値まで下降する時間を、誘導性手段とスナバコンデンサ9とによって生ずる電圧振動（LC共振）の周期の $1/2$ となるようすることで、スイッチ素子8をおん（ターンオン）する時点としての、発振コンデンサの電圧が下限値に達した時点にはスナバコンデンサ9の振動電圧も最小となっているようにする。 40

【0018】

これにより、スイッチ素子8のターンオン時におけるスナバコンデンサ9の放電によるスイッチング損失や発熱を低減し、スイッチング電源装置の効率を改善する。

【0019】

【発明の実施の形態】

図1は本発明の第1の実施例としてのスイッチング電源装置の要部の回路構成を示し、この図1は図6に対応している。また、図3は図1の発振器3の部分の原理的な回路図で、この図3は図8に対応している。

図1においては図6に対し、トランス12に補助巻線16が付加され、この補助巻線16 50

の電圧が、図 3 にも示すようにダイオード 17 を介して発振コンデンサ 2 に加えられている。なお、図 3 における発振器 3 の内部の構成は図 8 と同じである。

【0020】

図 2 は図 1 の各部の動作波形を示す。次に図 2 を参照しつつ、図 1、図 3 の要部の動作を説明する。補助巻線 16 は、スイッチ素子 8 がオフすると発振コンデンサ 2 を充電する極性に、換言すれば図 2、b) に示す電圧の正極性部分がコンデンサ 2 に印加されるように接続されている。

この補助巻線 16 の電圧を発振コンデンサ 2 に加えることで、スイッチ素子 8 がオフすると、発振器 3 の出力電圧としての発振コンデンサ 2 の電圧は、定電流源 27 からの（または抵抗 28 を介する内部電源 36 からの）充電による従来の上昇カーブを補助巻線 16 の電圧が上回る時点 t_1 から、補助巻線 16 の電圧によって図 2、c) に示すプルアップ期間 T_{pu} の間、さらにプルアップされる。

【0021】

発振コンデンサ 2 の電圧が、その上昇中に時点 t_2 において、図 3 のコンパレータ 34 に入力されている基準電圧 35 の上限値 V_U に達するとコンパレータ 34 の出力は反転し、図 3 のスイッチ 31 は開、32 は閉となり、コンデンサ 2 には放電用の電源として定電流源 29（または抵抗 30 を介してグランド電位）が接続される。

【0022】

しかしその後も、図 2、c) に示すように時点 t_3 に至るまでの、トランス 12 が 2 次側へエネルギーを放出している期間内では補助巻線 16 のプルアップによりコンデンサ 2 の電圧は下がらない。なお、発振コンデンサ 2 の電圧の最高値 V_M （平坦部分）は、この時、導通状態にある 2 次巻線 11 の電圧、つまり 2 次平滑コンデンサ 14 の電圧、従って本スイッチング電源装置から外部の負荷 15 へ供給される定電圧制御された出力直流電圧に比例しており、實際上、一定である。

【0023】

時点 t_3 においてトランス 12 が 2 次側へエネルギーを放出し終わると、スナバコンデンサ 9 の電圧の振動が始まる。すると補助巻線 16 の電圧も振動により低下する。そのため補助巻線 16 はダイオード 17 によって、発振コンデンサ 2 から切り離され、コンデンサ 2 の電圧は前記した放電用電源によって低下を始める。

【0024】

このようにして、時点 t_4 において発振コンデンサ 2 の電圧が、コンパレータ 34 に入力されている基準電圧 35 の下限値 V_L に達するとコンパレータ 34 の出力は再び反転し、発振コンデンサ 2 には前述した充電のための電源が接続され、同時にスイッチ素子 8 がオンされる。

本発明では、発振コンデンサ 2 の容量等の調整により、補助巻線 16 のプルアップが外れた時点 t_3 から、スイッチ素子 8 がオンする時点 t_4 まで（換言すれば、放電用電源によって発振コンデンサ 2 の電圧が最高値 V_M から下限値 V_L に下降するまで）の電圧下降時間 T_F が、スナバコンデンサ 9 の LC 共振による電圧振動の $1/2$ 周期と一致するようにする。

【0025】

すると、時点 t_4 ではスナバコンデンサ 9 の振動電圧も最小となり、この時点でスイッチ素子 8 がオンするため、スナバコンデンサ 9 の放電によるスイッチ素子 8 のターンオン損失（スイッチング損失）を最小限に抑えることが可能になる。

またこの電圧振動の周期は、トランス 12 やスナバコンデンサ 9 などの回路のインダクタンス L とキャパシタンス C で決まり、入力電圧や負荷に依存しないため、入力や負荷が変化してもこの効果は変化しない。

【0026】

図 4 は本発明の第 2 の実施例としての要部の回路構成を示す。同図においては、図 1 のトランス 12 の代わりにリアクトル 18 を用い、スイッチング電源装置が昇圧チョップ方式に構成されている。そして、補助巻線 16 がリアクトル 18 に巻かれている。このように

10

20

30

40

50

本発明はトランスを用いない方式のスイッチング電源装置にも実施可能である。

【0027】

図5は本発明の第3の実施例としての要部の回路構成を示す。本例では商用電源19をダイオードブリッジ回路20を介して整流し、コンデンサ21を介し平滑化してスイッチング電源装置の入力直流電圧としている。

図5の場合のように、一般にスイッチング電源装置の入力直流電圧が高いような場合、電源制御回路5の電源22はトランス12の補助巻線を使用して生成する。そこで本実施例では、電源22を生成する補助巻線を本発明で使用する補助巻線16と兼用している。

【0028】

即ち、電源制御回路5の電源22は、補助巻線16の電圧をダイオード23を介し整流し、コンデンサ24を介し平滑化して作られる。他方、本発明の実施のため、補助巻線16の電圧はダイオード17と抵抗25を介して発振コンデンサ2に加えられる。なお、発振コンデンサ2に並列にツェナーダイオード26が挿入されている。

【0029】

この抵抗25とツェナーダイオード26は、本来この動作のためには必要ないが、電源制御回路5の電源の生成用と本発明のために補助巻線16を兼用するため、補助巻線16から発振コンデンサ2に加わる電圧が発振器3の定格電圧を超えないよう保護のために使用されている。

【0030】

【発明の効果】

所定の最高電圧と最低電圧との間で充放電が繰り返される発振コンデンサの充放電に同期し、この発振コンデンサの電圧が前記最低電圧に到達した時点オン時点とするように、入力直流電源間にトランス又はリアクトルからなる誘導性手段と直列、且つスナバコンデンサと並列に接続された半導体スイッチ素子をPWM制御によってオン／オフし、この半導体スイッチ素子のオフ時に誘導性手段から放出されるエネルギーを用いて外部の負荷に所定電圧の直流電源を供給するスイッチング電源装置において、誘導性手段に補助巻線を設け、半導体スイッチ素子のオフ期間にこの補助巻線に発生する電圧をダイオードを介し発振コンデンサに印加して発振コンデンサを前記最高電圧に充電し、

少なくともこの充電の期間内に発振コンデンサに定電流源又は所定の抵抗を直列に持つ定電圧源からなる放電電源を接続し、

発振コンデンサの電圧がこの放電電源を介し前記最高電圧から最低電圧に下降するまでの時間を前記誘導性手段とスナバコンデンサとによって生ずる電圧振動の周期の1/2となるようにしたので、

半導体スイッチ素子がターンオンする際のスナバコンデンサの電圧が最小となり、スナバコンデンサの放電による半導体スイッチ素子のスイッチング損失を最小限に抑え、半導体スイッチ素子の発熱を減らし、スイッチング電源装置の効率を改善することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例としての要部の構成を示す回路図

【図2】 図1の各部の動作波形図

【図3】 図1の発振器部分の原理的な構成を示す回路図

【図4】 本発明の第2の実施例としての要部の構成を示す回路図

【図5】 本発明の第3の実施例としての要部の構成を示す回路図

【図6】 図1に対応する従来の回路図

【図7】 図6の各部の動作波形図

【図8】 図6の発振器部分の原理的な構成を示す回路図

【符号の説明】

- | | |
|---|---------|
| 1 | 入力電圧 |
| 2 | 発振コンデンサ |
| 3 | 発振器 |

10

20

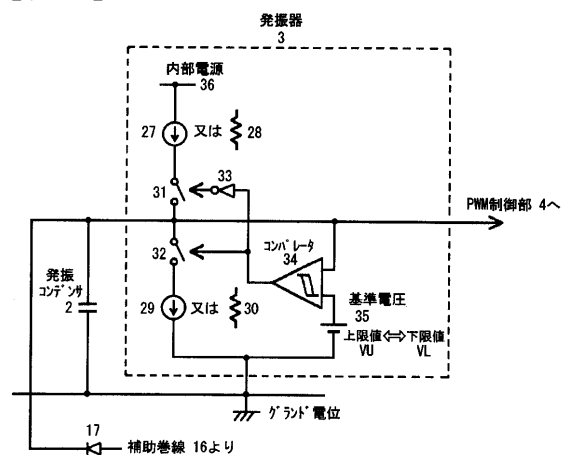
30

40

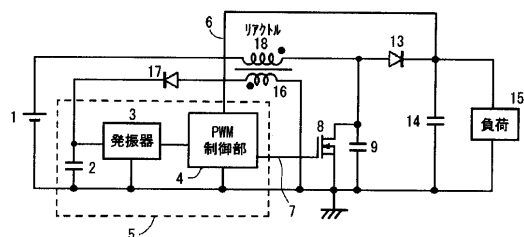
50

4	PWM制御部	
5	電源制御回路	
6	出力電圧検出入力	
7	PWM出力	
8	半導体スイッチ素子（スイッチ素子）	
9	スナバコンデンサ	
10	1次巻線	
11	2次巻線	
12	トランス	
13	ダイオード	10
14	平滑用コンデンサ	
15	負荷	
16	補助巻線	
17	ダイオード	
18	リアクトル	
19	商用電源	
20	ダイオードブリッジ回路	
21	平滑用コンデンサ	
22	制御回路電源	
23	ダイオード	20
24	平滑用コンデンサ	
25	抵抗	
26	ツェナーダイオード	
27	定電流源	
28	抵抗	
29	定電流源	
30	抵抗	
31, 32	スイッチ	
33	インバータ	
34	コンパレータ	30
35	基準電圧	
36	内部電源	
VU	基準電圧の上限値	
VL	基準電圧の下限値	
VM	発振コンデンサの電圧の最高値	
TF	発振コンデンサの電圧下降時間	

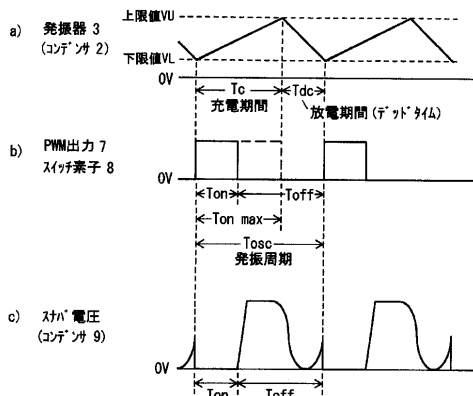
【图 3】



【图 4】



【图 7】



【図 8】

