



(12) 发明专利申请

(10) 申请公布号 CN 112201626 A

(43) 申请公布日 2021.01.08

(21) 申请号 202010965994.6

H01L 21/336 (2006.01)

(22) 申请日 2011.10.21

H01L 29/78 (2006.01)

(30) 优先权数据

2010-243251 2010.10.29 JP

(62) 分案原申请数据

201110322857.1 2011.10.21

(71) 申请人 索尼公司

地址 日本东京

(72) 发明人 松本光市

(74) 专利代理机构 北京信慧永光知识产权代理

有限责任公司 11290

代理人 李晗 曹正建

(51) Int. Cl.

H01L 21/8238 (2006.01)

H01L 29/49 (2006.01)

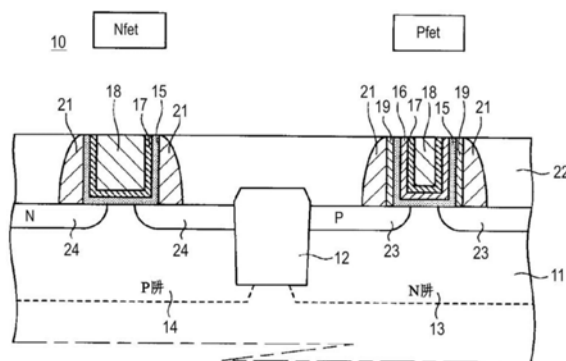
权利要求书1页 说明书20页 附图18页

(54) 发明名称

半导体装置

(57) 摘要

本发明公开了一种半导体装置,其包括第一导电型晶体管和第二导电型晶体管,其中,第一导电型和第二导电型彼此不同,第一导电型晶体管和第二导电型晶体管每一者均包括:(i)包括多个金属层的金属栅极电极,以及(ii)金属栅极电极侧壁间隔部,第一导电型晶体管的金属栅极电极的侧壁与第一导电型晶体管的金属栅极电极的相对应的侧壁间隔部之间的距离大于第二导电型晶体管的金属栅极电极的侧壁与第二导电型晶体管的金属栅极电极的相对应的侧壁间隔部之间的距离,并且第一导电型晶体管的金属栅极电极的栅极长度与第二导电型晶体管的金属栅极电极的栅极长度不同。本发明可以提供具有微细结构并能够使栅极长度最优化的半导体装置。



1. 一种半导体装置,其包括第一晶体管和第二晶体管,

所述第一晶体管 and 所述第二晶体管每一者均包括: (i) 具有沟道区域的鳍; (ii) 包括多个金属层的金属栅极电极,所述金属栅极电极覆盖所述鳍的所述沟道区域,并具有沿着所述鳍在相对方向上面对的侧壁; (iii) 两个外绝缘层,所述两个外绝缘层布置在所述金属栅极电极的相对侧上,使得每一所述外绝缘层邻近各自的所述侧壁;以及 (iv) 两个内绝缘层,每一所述内绝缘层布置在所述外绝缘层的各者和所述金属栅极电极的相应一个所述侧壁之间,

其中,所述第一晶体管为第一导电型,所述第二晶体管为第二导电型,所述第二导电型不同于所述第一导电型,且所述第一晶体管的所述金属栅极电极的一个所述侧壁与所述两个外绝缘层中的邻近所述一个侧壁的一者之间的距离大于所述第二晶体管的所述金属栅极电极的所述侧壁与邻近所述一个侧壁的所述外绝缘层之间的距离。

2. 根据权利要求1所述的半导体装置,进一步包括:邻接所述外绝缘层的层间绝缘层。

3. 根据权利要求1所述的半导体装置,其中,所述第一晶体管的所述内绝缘层和所述外绝缘层中的每一者由单层形成。

4. 根据权利要求1所述的半导体装置,其中,所述多个金属层至少包括第一金属层和第二金属层,且所述第一金属层包括W。

5. 根据权利要求4所述的半导体装置,其中,所述第二金属层至少包含钛 (Ti)、铝 (Al) 以及碳 (C)。

6. 根据权利要求5所述的半导体装置,其中,所述第二金属层包含Ti和Al的碳化物。

7. 根据权利要求4所述的半导体装置,其中,所述第一晶体管的所述金属栅极电极进一步包括第三金属层,且所述第三金属层包含TiN。

8. 根据权利要求7所述的半导体装置,其中,所述第一金属层为埋置金属层。

9. 根据权利要求8所述的半导体装置,其中,所述内绝缘层至少包含硅 (Si) 和氧 (O)。

10. 根据权利要求1所述的半导体装置,其中,所述第一晶体管的所述两个外绝缘层中的每一者包含多层;且所述第二晶体管的所述两个外绝缘层中的每一者包含多层。

半导体装置

[0001] 本申请是申请日为2011年10月21日、发明名称为“半导体装置”的申请号为201810372155.6专利申请的分案申请。

[0002] 本申请是在国家知识产权局认为申请号为201810372155.6的专利申请不符合单一性要求的情况下提出的,具体涉及申请号为201810372155.6的专利申请的第四次审查意见通知书,其发文日为2020年6月30日、发文序号为2020062402364530。

[0003] 此外,申请号为201810372155.6的专利申请是申请号为201510969631.9的专利申请的分案申请,其申请日是2011年10月21日,发明名称是“半导体装置”。

[0004] 另外,申请号为201510969631.9的专利申请是申请号为201110322857.1的专利申请的分案申请,其申请日是2011年10月21日,发明名称是“半导体装置和半导体装置制造方法”。

[0005] 相关申请的交叉参考

[0006] 本申请包含与2010年10月29日向日本专利局提交的日本优先权专利申请JP 2010-243251所公开的内容相关的主题,因此将该日本优先权申请的全部内容以引用的方式并入本文。

技术领域

[0007] 本发明涉及一种使用金属栅极电极的半导体装置以及这种半导体装置的制造方法。

背景技术

[0008] 在相关技术中,根据摩尔定律(Moore's law),半导体装置的集成度每18至24个月就会增加一倍。然而,在90nm节点附近的栅极隧道漏电流(gate tunnel leakage current)是不能被忽视的,因此已经几乎完全停止了对MOSFET的栅极氧化物膜的薄化。另外,由于难以控制短沟道效应(short channel effect),所以栅极长度的缩减进展缓慢。

[0009] 因此,难以提高MOSFET自身的性能,在90nm节点上或90nm节点之后已经利用诸如双应力衬里(Dual Stress Liner;DSL)或埋置的SiGe等机械应力来实现让迁移率提高的工程。在制造方面考虑到的机械应力技术主要应用于45nm节点之前。在45nm节点之后,通过提高具有HKMG结构的栅极氧化物膜的介电常数,对栅极氧化物膜的缩放技术(scaling)已经开始取得进展,上述HKMG结构使用了高介电常数(HK:高k)和金属栅极(metal gate;MG)电极。

[0010] 上述HKMG结构是主要使用诸如先栅极(gate-first)法和后栅极(gate-last)法这两种方法制造而成的。

[0011] 在先栅极法中,仅用HKMG结构代替相关技术中的多晶硅栅极结构或者SiON栅极绝缘膜结构,因此结构是相对简单的。

[0012] 另一方面,在后栅极法中,在除去层间绝缘层之后用HKMG结构代替最初形成的多晶硅伪栅极电极结构(例如,参照专利文献JP-A-2007-134432)。因此,这一制造方法与相关

技术中的半导体装置制造方法大不相同。在后栅极结构中,有许多情形是在使用同一高k(HK)绝缘层的NMOS和PMOS中采用了具有不同功函数(work function)的金属。另外,由于加工的是非常微细的图形,因而为了易于制造,被图形化的栅极长度最好是按照恒定的规则而布置着。

[0013] 这里,图14示出了相关技术中具有HKMG结构的半导体装置。另外,图15A至15C示出了相关技术中作为具有HKMG结构的半导体装置的制造方法的后栅极制造工序。

[0014] 图14中所示的半导体装置60包括:设置有预定的元件分离区域及扩散区域的半导体基体61;形成于半导体基体61上的栅极电极62和栅极电极63;以及层间绝缘层64。栅极电极62具有形成于半导体基体61上的金属栅极电极68,并且在该金属栅极电极68与半导体基体61之间设置有HK绝缘层65、Pfet用WF(功函数)金属层66和Nfet用WF(功函数)金属层67。栅极电极63具有形成于半导体基体61上的金属栅极电极68,并且在该金属栅极电极68与半导体基体61之间设置有HK绝缘层65和Nfet用WF(功函数)金属层67。此外,栅极电极62和栅极电极63均具有形成在金属栅极电极68的侧壁处的侧壁间隔部69。

[0015] 接下来,将说明图14所示的半导体装置60的制造方法。

[0016] 首先,如图15A所示,在半导体基体61上形成栅极绝缘膜72和伪栅极电极71。伪栅极电极71的形成过程如下。通过例如干式氧化(O_2 , $700^\circ C$)在半导体基体61上形成栅极绝缘膜72,并且随后利用CVD等方法在栅极绝缘膜72上形成伪栅极电极材料层。接着,利用光刻法在该伪栅极电极材料层上形成抗蚀剂图形。使用该抗蚀剂图形作为掩模对栅极绝缘膜72和上述伪栅极电极材料层进行各向异性蚀刻,从而形成伪栅极电极71。这时,由于加工的是非常微细的图形,因此为了易于制造,把利用光刻法而被形成在伪栅极电极材料层上的抗蚀剂图形形成得具有特定的尺寸。

[0017] 接下来,利用等离子体CVD法形成 Si_3N_4 层等,并且随后对该 Si_3N_4 层进行回蚀,从而在伪栅极电极71的侧壁处形成侧壁间隔部69。然后,在半导体基体61上形成覆盖伪栅极电极71和侧壁间隔部69的层间绝缘层64,并且使用CMP法对该层间绝缘层64进行平坦化。

[0018] 然后,如图15B所示,利用干式蚀刻法或湿式蚀刻法除去伪栅极电极71,从而在侧壁间隔部69的内侧形成开口。

[0019] 接着,如图15C所示,在除去了上述伪栅极电极后所形成的沟槽内形成HK绝缘层65、Pfet用WF金属层66和Nfet用WF金属层67。然后,在除去了上述伪栅极电极后所形成的沟槽内埋置低电阻栅极材料,并且通过利用CMP法对层间绝缘层64进行平坦化,由此形成金属栅极电极68。

[0020] 通过上述工序,能够制造出图14所示相关技术中的具有HKMG结构的半导体装置。

[0021] 然而,在先进的CMOS中,存在着为了减小栅极电容而对NMOS和PMOS的栅极长度进行最优化的情形。将栅极长度最优化以使其在短沟道效应所允许的范围内具有尽可能小的值。然而,在利用光刻法来形成非常微细的图形的情况下,如果NMOS与PMOS中的伪栅极的栅极长度不同,就会显著地增大光刻工艺中的负担,并因此增大制造成本。换言之,难以制造出最优化的栅极长度以便让图形化的栅极长度按照恒定的规则而布置着。

[0022] 另外,在相关技术的平面型结构(planar type structure)中,在栅极电极的底部处定义栅极长度。然而,在22nm代之后可能采用的鳍型结构(fin structure)中,栅极侧壁的形状也影响栅极长度。换言之,在栅极电极的侧壁呈锥形的情况下或者在该侧壁中存在

粗糙度的情况下,栅极长度出现了差异。特别地,当通过增高鳍部来增大有效栅极宽度时,栅极长度的差异将成为加工中的很大问题。

发明内容

[0023] 因此,本发明的目的是期望提供一种半导体装置,该半导体装置具有微细结构且能够使该半导体装置中的栅极长度最优化,本发明还提供这种半导体装置的制造方法。

[0024] 本发明一个实施方案旨在提供一种半导体装置,所述半导体装置包括第一导电型晶体管和第二导电型晶体管,其中,第一导电型和第二导电型彼此不同,所述第一导电型晶体管和所述第二导电型晶体管每一者均包括:(i)包括多个金属层的金属栅极电极,以及(ii)金属栅极电极侧壁间隔部,所述第一导电型晶体管的所述金属栅极电极的侧壁与所述第一导电型晶体管的所述金属栅极电极的相对应的侧壁间隔部之间的距离大于所述第二导电型晶体管的所述金属栅极电极的侧壁与所述第二导电型晶体管的所述金属栅极电极的相对应的侧壁间隔部之间的距离,并且所述第一导电型晶体管的所述金属栅极电极的栅极长度与所述第二导电型晶体管的所述金属栅极电极的栅极长度不同。

[0025] 这里,在第一导电型晶体管和第二导电型晶体管任意一者中形成有所述偏移间隔部。或者,在所述第一导电型晶体管和所述第二导电型晶体管二者中形成有不同厚度的所述偏移间隔部。

[0026] 本发明另一实施方案旨在提供一种半导体装置,所述半导体装置包括:第一晶体管,其包括(a)第一金属栅极电极,所述第一金属栅极电极包括至少第一金属层和第二金属层,(b)第一侧壁间隔部,以及(c)偏移间隔部,所述偏移间隔部位于所述第一金属栅极电极的侧壁和所述第一侧壁间隔部之间;以及第二晶体管,其包括(a)第二金属栅极电极,所述第二金属栅极电极包括至少第一金属层和第二金属层,以及(b)第二侧壁间隔部,其中所述第一金属栅极电极的所述侧壁中一者与所述第一侧壁间隔部中相对应的一者之间的距离不等于所述第二金属栅极电极的所述侧壁中一者与所述第二侧壁间隔部中相对应的一者之间的距离,并且所述第一金属栅极电极的栅极长度与所述第二金属栅极电极的栅极长度不同。

[0027] 本发明又一实施方案旨在提供一种半导体装置,所述半导体装置包括:栅极绝缘膜,所述栅极绝缘膜由高介电常数材料制成并且被形成在基体上;WF金属层,所述WF金属层形成在所述栅极绝缘膜上;埋置金属层,所述埋置金属层形成在所述WF金属层上;偏移间隔部,所述偏移间隔部形成在所述WF金属层上的所述埋置金属层的侧壁处;以及侧壁间隔部,所述侧壁间隔部形成在所述埋置金属层的侧壁处,并且所述偏移间隔部位于所述侧壁间隔部与所述埋置金属层之间。

[0028] 本发明再一实施方案旨在提供一种半导体装置制造方法,所述制造方法包括如下步骤:在基体上形成第一导电型半导体区域和第二导电型半导体区域。另外,所述半导体装置制造方法还包括在所述第一导电型半导体区域和所述第二导电型半导体区域中进行如下步骤:在所述基体上形成伪栅极电极;在所述伪栅极电极的侧壁处形成侧壁间隔部;然后形成层间绝缘层,使所述侧壁间隔部埋置于所述层间绝缘层中,并且使所述伪栅极电极的上表面露出;以及除去所述伪栅极电极。另外,所述制造方法还包括如下步骤:在所述第一导电型半导体区域和所述第二导电型半导体区域任意一者中在所述侧壁间隔部的内壁处

形成偏移间隔部,或者在所述第一导电型半导体区域和所述第二导电型半导体区域二者中在所述侧壁间隔部的内壁处形成不同厚度的偏移间隔部。此外,所述制造方法还包括如下步骤:在所述侧壁间隔部内露出的所述基体上形成由高介电常数材料制成的栅极绝缘膜;以及在所述栅极绝缘膜上形成金属栅极电极。

[0029] 本发明另外一实施方案旨在提供一种半导体装置制造方法,所述制造方法包括如下步骤:在基体上形成伪栅极电极;在所述伪栅极电极的侧壁处形成侧壁间隔部;形成层间绝缘层,使所述侧壁间隔部埋置于所述层间绝缘层中,且使所述伪栅极电极的上表面露出;除去所述伪栅极电极;在所述侧壁间隔部内露出的所述基体上且在所述侧壁间隔部的内壁处形成由高介电常数材料制成的栅极绝缘膜;在所述栅极绝缘膜的侧壁处形成偏移间隔部;以及在所述栅极绝缘膜上且所述偏移间隔部的内壁处形成金属栅极电极。

[0030] 本发明再另外一实施方案旨在提供一种半导体装置制造方法,所述制造方法包括如下步骤:在基体上形成由高介电常数材料制成的栅极绝缘膜;在所述栅极绝缘膜上形成WF金属层;在所述WF金属层上形成伪栅极电极;在所述伪栅极电极的侧壁处形成侧壁间隔部;形成层间绝缘层,使所述侧壁间隔部埋置于所述层间绝缘层中,且使所述伪栅极电极的上表面露出;除去所述伪栅极电极;在所述侧壁间隔部内露出的所述WF金属层上且在所述侧壁间隔部的内壁处形成偏移间隔部;以及在所述栅极绝缘膜上且在所述偏移间隔部的内壁侧处形成埋置金属层。

[0031] 在本发明各实施方案的半导体装置以及本发明各实施方案的半导体装置制造方法中,晶体管的栅极长度是由形成在金属栅极电极与侧壁间隔部之间的偏移间隔部来限制的。因此,无论所述侧壁间隔部的内壁侧的区域的尺寸如何,通过所述偏移间隔部都能够以任意尺寸对所述金属栅极电极的形成区域进行控制。因此,能够使其中形成有微细图形的半导体装置的栅极长度最优化。

[0032] 根据本发明的各实施方案,可以提供具有微细结构并能够使栅极长度最优化的半导体装置。

附图说明

[0033] 图1图示了本发明第一实施方案的半导体装置的结构。

[0034] 图2A至图2C图示了第一实施方案的半导体装置的制造工序。

[0035] 图3A至图3C图示了第一实施方案的半导体装置的制造工序。

[0036] 图4A至图4C图示了第一实施方案的半导体装置的制造工序。

[0037] 图5图示了本发明第二实施方案的半导体装置的结构。

[0038] 图6A至图6C图示了第二实施方案的半导体装置的制造工序。

[0039] 图7A至图7C图示了第二实施方案的半导体装置的制造工序。

[0040] 图8图示了本发明第三实施方案的半导体装置的结构。

[0041] 图9A至图9C图示了第三实施方案的半导体装置的制造工序。

[0042] 图10A至图10C图示了第三实施方案的半导体装置的制造工序。

[0043] 图11A是图示了本发明第四实施方案的半导体装置的结构平面图;图11B是图示了本发明第四实施方案的半导体装置的结构截面图。

[0044] 图12A至图12C图示了第四实施方案的半导体装置的制造工序。

- [0045] 图13A至图13C图示了第四实施方案的半导体装置的制造工序。
- [0046] 图14图示了相关技术中的半导体装置的结构。
- [0047] 图15A至图15C图示了相关技术中的半导体装置的制造工序。

具体实施方式

[0048] 下面,将说明用于实现本发明的优选实施方案;然而,本发明不限于下面的示例。

[0049] 另外,将按照下面的顺序进行说明。

- [0050] 1. 第一实施方案的半导体装置
- [0051] 2. 第一实施方案的半导体装置制造方法
- [0052] 3. 第二实施方案的半导体装置
- [0053] 4. 第二实施方案的半导体装置制造方法
- [0054] 5. 第三实施方案的半导体装置
- [0055] 6. 第三实施方案的半导体装置制造方法
- [0056] 7. 第四实施方案的半导体装置(鳍型)
- [0057] 8. 第四实施方案的半导体装置(鳍型)制造方法

[0058] 1. 第一实施方案的半导体装置

[0059] 图1是第一实施方案的半导体装置的示意性结构图。图1所示的半导体装置10包括具有平面型结构的N型FET(场效应晶体管;Field Effect Transistor)区域(下文中称为Nfet区域)和P型FET区域(下文中称为Pfet区域),并且在该半导体装置10所具有的结构中,在其中一个栅极电极中形成有偏移间隔部(offset spacer)。另外,在下面的说明中,半导体装置的第一导电型是P型,半导体装置的第二导电型是N型。

[0060] 图1所示的半导体装置10在由例如硅基板等形成的半导体基体11上设置有元件分离部12,该元件分离部12由氧化硅等制成且用于将有源区域分隔开。另外,在Pfet区域的有源区域中形成有N阱区域13,并且在Nfet区域的有源区域中形成有P阱区域14。

[0061] 在Nfet区域中,在半导体基体11上形成有埋置金属层18,并且在半导体基体11与该埋置金属层18之间设有HK绝缘层15和Nfet用WF(功函数)金属层17。另外,在Pfet区域中,在半导体基体11上形成有埋置金属层18,并且在半导体基体11与该埋置金属层18之间设有HK绝缘层15、Pfet用WF金属层16和Nfet用WF金属层17。

[0062] 半导体装置10具有由Pfet用WF金属层16或者Nfet用WF金属层17与埋置金属层18形成的金属栅极电极。

[0063] HK绝缘层15是介电常数比氧化硅的介电常数高的高k绝缘层。作为该高k层,可以使用HfO₂、HfSiO₂、LaO₂、ZrO₂、ZrSiO₂、TaO₂、TiO₂、BaSrTiO₃、BaTiO₃、SrTiO₃、Y₂O₃、Al₂O₃、PbScTaO₇等。另外, HK绝缘层15和氧化硅膜可以一起形成栅极绝缘膜。

[0064] 埋置金属层18是由纯金属材料、合金或金属化合物制成的,并且例如是由Ti、Al、Cu、W或者含有上述金属的合金制成。

[0065] 在Nfet区域和Pfet区域中,在埋置金属层18的侧壁处形成有侧壁间隔部21。另外,在Pfet区域中,在金属栅极电极的侧壁间隔部21的内壁处形成有偏移间隔部19。因此,Pfet区域从侧壁间隔部21的内壁起具有由偏移间隔部19、HK绝缘层15、Pfet用WF金属层16和Nfet用WF金属层17形成的多层体。此外,埋置金属层18形成在被上述多层体包围着的内侧

处。

[0066] 侧壁间隔部21是由SiN或SiO₂等制成的,并且是由单层或多层形成的。另外,偏移间隔部19使用的是SiN或SiO₂等。

[0067] 为了调整Nfet区域和Pfet区域各自的栅极长度,形成了偏移间隔部19。

[0068] Nfet区域中的侧壁间隔部21的开口部与Pfet区域中的侧壁间隔部21的开口部优选被形成同一尺寸。这是因为:在加工微细图形的情况下,为了易于制造,期望按照恒定的规则对图形化进行设计。侧壁间隔部21的开口部的尺寸是通过在光刻工艺中对栅极电极进行图形化来确定的,因此同一图形是优选的。特别地,在形成栅极电极时,栅极纵长方向上的长度变得微细化。因此,Nfet区域和Pfet区域二者中的栅极电极在栅极纵长方向上的长度被形成得彼此相同,从而能够减轻光刻工艺中的负担。

[0069] 然而,如果在Nfet区域和Pfet区域二者中利用同一图形来进行光刻工艺,可能无法使栅极长度最优化以便符合各自的扩散层轮廓。因此,通过在侧壁间隔部21的开口部的内侧形成偏移间隔部19来调整开口部的尺寸。偏移间隔部19形成在侧壁间隔部21的内壁上,从而能够对Pfet用WF金属层16在开口部内侧的形成范围进行调整。因此,能够以任意长度来最优化栅极长度。

[0070] 在图1所示的半导体装置10中,具有偏移间隔部19的Pfet区域的栅极长度小于不具有偏移间隔部19的Nfet区域的栅极长度。另外,除了可以只在Pfet区域中形成有偏移间隔部之外,也可以在Pfet区域和Nfet区域二者中均形成有偏移间隔部。在Pfet区域和Nfet区域二者中均形成有偏移间隔部的情况下,Pfet区域和Nfet区域二者中的偏移间隔部的厚度没有特别的限制。例如,在Pfet区域和Nfet区域二者中,可以形成具有相同厚度的偏移间隔部,或者可以形成具有不同厚度的偏移间隔部。特别地,为了使各MOS中的栅极长度最优化,在Pfet区域和Nfet区域二者中优选对偏移间隔部的厚度进行调整。

[0071] 在位于埋置金属层18两侧并且处于侧壁间隔部21正下方的半导体基体11中,形成有作为P型杂质扩散区域的源极/漏极23或者作为N型杂质扩散区域的源极/漏极24。源极/漏极23和源极/漏极24形成有轻掺杂漏极(Lightly Doped Drain;LDD)以及晕环(halo)(未图示)。另外,源极/漏极23和源极/漏极24的从侧壁间隔部21露出的表面层变成硅化物(silicide)。源极/漏极23和源极/漏极24的硅化物是由例如硅化钴、硅化镍或硅化铂等形成的。

[0072] 在第一实施方案的半导体装置中,在埋置金属层及WF金属层的侧面上形成有偏移间隔部。因此,通过改变偏移间隔部的厚度能够任意地设定栅极长度。这样,即使在光刻工艺中伪栅极电极及侧壁间隔部被形成同一图形,仍能够将半导体装置构造成在各区域中均具有最优化栅极长度。

[0073] 2. 第一实施方案的半导体装置制造方法

[0074] 接下来,将说明第一实施方案的半导体装置制造方法。

[0075] 形成元件分离部

[0076] 首先,在由硅基板形成的半导体基体11上依次形成SiO₂和Si₃N₄。另外,在用于形成有源区域的部分处对抗蚀剂进行图形化。使用所形成的抗蚀剂图形作为掩模对Si₃N₄、SiO₂和半导体基体11依次进行蚀刻,从而形成沟槽(沟槽区域)。这时,进行上述蚀刻直到半导体基体11的沟槽的深度变为350~400nm。其中对Si₃N₄进行了图形化的区域成为有源区域,并

且上述沟槽区域成为场氧化膜。

[0077] 此后,将上述沟槽区域埋置在SiO₂中。例如,可以利用高密度等离子体CVD法等来形成具有良好台阶覆盖性且致密的膜。通过化学机械研磨(Chemical Mechanical Polish; CMP)对该表面进行平坦化。通过上述CMP进行抛磨直到除掉Si₃N₄区域中的形成于Si₃N₄上的SiO₂膜。

[0078] 接下来,使用例如热磷酸除去Si₃N₄,从而形成有源区域。

[0079] 在用于形成有源区域的部分的表面上,形成10nm的SiO₂(牺牲氧化物膜)。在Nfet形成区域中,进行形成P阱区域或者形成用于抑制穿通(punch-through)的埋置层的离子注入过程,并且进行用于调节阈值电压(V_{th})的离子注入过程,由此形成Nfet沟道区域。此外,在Pfet形成区域中,进行形成N阱区域或者形成用于抑制穿通的埋置层的离子注入过程,并且进行用于调节阈值电压(V_{th})的离子注入过程,由此形成Pfet沟道区域。

[0080] 通过上述工序,如图2A所示,在半导体基体11上形成了N阱区域13、P阱区域14以及将上述两个区域分隔开的元件分离部12。

[0081] 形成伪栅极电极

[0082] 接下来,如图2B所示,在半导体基体11的N阱区域13和P阱区域14上形成伪栅极电极。

[0083] 首先,用氟化氢(HF)溶液使得当形成有源区域时被设置在半导体基体11上的牺牲氧化物膜从半导体基体11上分离。在分离之后,通过干式氧化(O₂, 700°C)形成约1~3nm厚度的栅极绝缘膜26。作为氧化气体,除了可以使用干燥的O₂之外,还可以使用例如H₂/O₂、N₂O和NO的混合气体。另外,可以使用炉内退火处理(furnace annealing treatment)或者快速热退火(rapid thermal annealing, RTA)处理。

[0084] 接下来,利用CVD法形成伪栅极电极材料层。例如通过沉积50~100nm厚的多晶硅或者非晶硅,在栅极绝缘膜26上形成伪栅极电极材料层。接下来,利用低压化学气相沉积(Low Pressure-Chemical Vapor Deposition; LP-CVD)法沉积例如厚度为50~100nm的Si₃N₄作为硬掩模。在该沉积之后,利用光刻工艺在Si₃N₄硬掩模上形成电极图形,随后利用该硬掩模图形对栅极绝缘膜26和伪栅极电极材料层进行各向异性蚀刻。对伪栅极电极材料层进行图形化,从而如图2B所示在半导体基体11上形成了栅极绝缘膜26和伪栅极电极25。

[0085] 在Nfet区域和Pfet区域二者中,伪栅极电极的图形被形成为同一形状。在加工微细图形时,为了在光刻工艺中容易制造,期望按照恒定的规则对图形化进行设计。因此,Nfet区域和Pfet区域二者中的伪栅极电极被形成为同一图形,从而减轻了光刻工艺中的负担。特别地,在形成栅极电极时,在栅极纵长方向上的长度变得微细化,因此伪栅极电极在栅极纵长方向上的长度优选被形成为同一图形。

[0086] 形成扩散区域

[0087] 接下来,如图2C所示,在伪栅极电极25的侧壁处形成侧壁间隔部21,从而在N阱区域13中形成P型源极/漏极23,并且在P阱区域14中形成N型源极/漏极24。

[0088] 首先,在3~5keV及5~20×10¹⁴/cm²的条件下将BF₂⁺离子注入到Pfet区域中,从而形成PLDD区域。另外,在5~10keV及5~20×10¹⁴/cm²的条件下将As⁺离子注入到Nfet区域中,从而形成NLDD区域。

[0089] 另外,为了抑制短沟道效应,在形成LDD时,同时还将杂质浓度比上述阱的杂质浓

度高的所谓晕环注入到源极/漏极中。例如，Nfet区域被划分成四个区域并且使用B(硼)在12keV、 $3 \times 10^{13}/\text{cm}^2$ 及 45° 的条件下进行倾斜的离子注入。另外，Pfet区域被划分成四个区域并且使用As(砷)在70keV、 $2 \times 10^{13}/\text{cm}^2$ 及 45° 的条件下进行倾斜的离子注入。

[0090] 形成侧壁间隔部

[0091] 接下来，在伪栅极电极25的侧壁处形成侧壁间隔部21。

[0092] 利用等离子体CVD法在半导体基体11上沉积厚度为50~150nm的 Si_3N_4 使其覆盖住伪栅极电极25。此后，进行各向异性蚀刻以便对 Si_3N_4 层进行回蚀，从而在伪栅极电极25的侧壁处形成侧壁间隔部21。这时，将作为伪栅极电极25的硬掩模的 Si_3N_4 保留下来。

[0093] 形成扩散区域

[0094] 接下来，在5~10keV及 $1 \sim 2 \times 10^{15}/\text{cm}^2$ 的条件下将 BF_2^+ 离子注入到N阱区域13中，从而形成P型源极/漏极23。另外，在40~50keV及 $1 \sim 2 \times 10^{15}/\text{cm}^2$ 的条件下将 As^+ 离子注入到P阱区域14中，从而形成N型源极/漏极24。在上述离子注入之后，利用RTA(快速热退火)在1000℃和5秒钟的条件下对杂质进行活性化，从而形成图2C所示的MOSFET。

[0095] 在形成MOSFET之后，使用所谓的SALICIDE(Self-Aligned silicide;自对准金属硅化物)技术来减小源极/漏极23和源极/漏极24的电阻。例如，通过溅射法在半导体基体11上沉积6~8nm厚的Ni。在300~500℃和10秒钟的条件下进行RTA，从而仅在源极/漏极23和源极/漏极24的Si上形成硅化物(NiSi)。在形成该硅化物之后，通过例如 $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$ 等化学溶液除去未反应的Ni。

[0096] 接下来，形成厚度为10~100nm的SiN作为接触式蚀刻阻止层(未图示)。可以单独形成两种SiN，从而向晶体管中的NMOS和PMOS施加不同的机械应力。

[0097] 另外，在半导体基体11上沉积厚度为100~1000nm的 SiO_2 作为覆盖伪栅极电极25和侧壁间隔部21的层间绝缘层22。此外，如图3A所示，通过利用CMP法进行的平坦化使伪栅极电极25的上部露出。

[0098] 除去伪栅极电极

[0099] 接下来，如图3B所示，除去伪栅极电极25，从而在侧壁间隔部21的内侧形成开口。在伪栅极电极25由多晶硅或非晶硅形成的情况下，采取干式蚀刻法或者采取使用四甲基氢氧化铵(Tetra methyl ammonium hydroxide;TMAH)的湿式蚀刻法来除去伪栅极电极25。这时，采取湿式蚀刻法等也除去位于伪栅极电极25下方的被形成作为栅极绝缘膜的 SiO_2 。

[0100] 形成偏移间隔部

[0101] 接下来，如图3C所示，在Pfet区域中在侧壁间隔部21的内壁处形成偏移间隔部19。

[0102] 首先，在半导体基体11的整个表面上形成1~20nm范围内的偏移间隔部材料。另外，通过各向异性蚀刻对该偏移间隔部材料层进行回蚀，从而在除去了伪栅极电极后所形成的沟槽的内壁处形成偏移间隔部19。偏移间隔部材料采用SiN或 SiO_2 等。

[0103] 在形成偏移间隔部19之后，在半导体基体11的整个表面上方形成抗蚀剂层，并且形成抗蚀剂图形，该抗蚀剂图形用于使Nfet区域中的除去了伪栅极电极后所形成的沟槽中形成开口。采取使用例如HF溶液等的湿式蚀刻法，除去Nfet区域中的在侧壁间隔部21的内壁处形成的偏移间隔部。例如，在偏移间隔部19是由 SiO_2 制成的情况下，通过回蚀将层间绝缘层22的上部与偏移间隔部材料层一起蚀刻掉大约10nm的厚度；然而，这种程度的蚀刻量不会使半导体装置的结构中发生特殊问题。

[0104] 另外,例如在上述伪栅极除去工序中,仅除去伪栅极电极25而将栅极绝缘膜26保留下来。在偏移间隔部形成工序中,使用SiN在半导体基体11的整个表面(包括伪栅极电极25)上形成偏移间隔部材料层。另外,通过各向异性蚀刻对该偏移间隔部材料层进行回蚀,从而蚀刻掉Nfet区域中的偏移间隔部。在Pfet区域中形成偏移间隔部19之后,除去栅极绝缘膜26。

[0105] 在上述方法中,侧壁间隔部是由SiN制成的,从而防止了当对偏移间隔部材料层进行蚀刻时层间绝缘层22的上部被蚀刻掉。

[0106] 另外,由于在对偏移间隔部材料层进行蚀刻时半导体基体11的表面没有从除去了伪栅极电极后所形成的沟槽内露出,所以能够抑制由于蚀刻而对半导体基体11造成的损坏。

[0107] 形成HK绝缘层

[0108] 接下来,如图4A所示,使用HK绝缘层15形成栅极绝缘层。

[0109] 利用原子层沉积(Atomic Layer Deposition;ALD)法等半导体基体11的整个表面上方形成HK绝缘层15。例如,使用HfO、HfSiO、LaO、ZrO、ZrSiO、TaO、TiO、BaSrTiO、BaTiO、StTiO、YO、AlO和PbScTaO等来形成HK绝缘层15。另外,有一些情况是HK绝缘层15的底层主要包括SiO₂。在此情况下,通过等离子体氧化来除去该SiO₂。

[0110] 形成WF金属层

[0111] 在形成HK绝缘层15之后,形成WF(功函数)金属层。使用该WF金属层在Nfet区域和Pfet区域中形成单个金属电极或者分离的金属电极。这里,将要说明的是在Nfet区域和Pfet区域中形成不同的WF金属层的情况。

[0112] 首先,形成Pfet用WF金属层16。

[0113] 如图4A所示,利用CVD法、PVD法或者ALD法在半导体基体11整个表面上方的HK绝缘层15上形成1~20nm范围内的Pfet用WF金属层16。Pfet用WF金属层16的最佳功函数为5.2eV,并且使用功函数值接近这一值的材料。例如,使用含有Ru、Pd、Pt、Co、Ni、Mo的合金,或者使用氧化物、TiN等。

[0114] 接下来,通过干式蚀刻法或湿式蚀刻法从Nfet区域中除去Pfet用WF金属层16。这时,Nfet区域中的HK绝缘层15未被除去而是被保留下来。例如,在Pfet区域中的要保留Pfet用WF金属层16的部分上形成抗蚀剂图形等,并且利用该抗蚀剂图形作为掩模将Nfet区域中的Pfet用WF金属层16蚀刻掉。在使用TiN来形成Pfet用WF金属层16的情况下,使用例如氨水-过氧化氢(ammonia hydrogen peroxide)从Nfet区域中除去Pfet用WF金属层16。

[0115] 接下来,如图4B所示,利用CVD法、PVD法或者ALD法在Pfet用WF金属层16和HK绝缘层15上形成1~20nm范围内的Nfet用WF金属层17。Nfet用WF金属层17的最佳功函数为4.0eV,并且使用功函数值接近这一值的材料。例如,使用含有Hf、Zr、Ti、Ta、Al的合金,或者使用碳化物、HfSi等。

[0116] 埋置栅极金属

[0117] 在形成Pfet用WF金属层16和Nfet用WF金属层17之后,如图4C所示,在除去了伪栅极电极后所形成的沟槽中埋置低电阻栅极材料,从而形成埋置金属层18。作为该低电阻栅极材料,例如,使用Ti、Al、Cu、W或者包含上述金属的合金。

[0118] 如上所述,在除去了伪栅极电极后所形成的沟槽中形成偏移间隔部19、HK绝缘层

15等之后,在该沟槽中埋置低电阻栅极材料以形成低电阻栅极材料层,从而获得埋置金属层18。另外,利用CMP法除去层间绝缘层22上的低电阻栅极材料层、Nfet用WF金属层17、Pfet用WF金属层16和HK绝缘层15,由此进行平坦化。也就是说,当形成埋置金属层18时,除去连续形成在层间绝缘层22上的Nfet用WF金属层17、Pfet用WF金属层16和HK绝缘层15,从而使上述各层仅留存在上述沟槽中。

[0119] 通过这样的工序,仅在除去了伪栅极电极后所形成的沟槽中留有低电阻栅极材料,从而形成埋置金属层18。另外,在这个工序中,Nfet用WF金属层17、Pfet用WF金属层16和埋置金属层18形成了金属栅极电极。

[0120] 通过上述工序,能够制造出图1所示的半导体装置10。根据本制造方法,在相关技术中的后栅极结构的制造方法中仅加入了用于从Nfet区域中除去偏移间隔部19的光刻工艺这一步工序,由此制造出第一实施方案的半导体装置。

[0121] 3. 第二实施方案的半导体装置

[0122] 图5是第二实施方案的半导体装置的示意性结构图。在图5所示的半导体装置20中,与上述图1所示第一实施方案的半导体装置10的构成元素相同的构成元素被赋予相同的附图标记,并且将省略对它们的说明。

[0123] 图5所示的半导体装置20在由例如硅基板等形成的半导体基体11上设置有由氧化硅等制成且用于将有源区域分隔开的元件分离部12。另外,在Pfet区域的有源区域中形成有N阱区域13,并且在Nfet区域的有源区域中形成有P阱区域14。

[0124] 在Nfet区域中,在半导体基体11上形成有埋置金属层18,并且在半导体基体11与该埋置金属层18之间形成有HK绝缘层15和Nfet用WF(功函数)金属层17。另外,在Pfet区域中,在半导体基体11上形成有埋置金属层18,并且在半导体基体11与该埋置金属层18之间形成有HK绝缘层15、Pfet用WF金属层16和Nfet用WF金属层17。

[0125] 半导体装置20具有由Pfet用WF金属层16或者Nfet用WF金属层17与埋置金属层18形成的金属栅极电极。

[0126] HK绝缘层15是介电常数比氧化硅的介电常数高的高k绝缘层。作为该高k层,可以使用HfO₂、HfSiO₂、LaO₂、ZrO₂、ZrSiO₂、TaO₂、TiO₂、BaSrTiO₃、BaTiO₃、SrTiO₃、Y₂O₃、Al₂O₃和PbScTaO₇等。另外, HK绝缘层15和氧化硅膜可以一起形成栅极绝缘膜。

[0127] 埋置金属层18是由纯金属材料、合金或金属化合物制成的,并且例如由Ti、Al、Cu、W或者含有上述金属的合金制成。

[0128] 在Nfet区域和Pfet区域中,在埋置金属层18的侧壁处形成有侧壁间隔部21。另外,在Pfet区域中,在埋置金属层18的侧壁处且在HK绝缘层15与Pfet用WF金属层16之间形成有偏移间隔部19。因此,Pfet区域从侧壁间隔部21的内壁起具有由HK绝缘层15、偏移间隔部19、Pfet用WF金属层16和Nfet用WF金属层17形成的多层体。此外,埋置金属层18形成在被上述多层体包围着的内侧处。

[0129] 侧壁间隔部21是由SiN或SiO₂等制成的,并且是由单层或多层形成的。另外,偏移间隔部19使用的是SiN或SiO₂等。

[0130] 在Pfet区域中,栅极长度是根据Pfet用WF金属层16的形成范围来确定的。因此,通过在HK绝缘层15的内壁处隔着偏移间隔部19形成Pfet用WF金属层16(即,偏移间隔部19位于HK绝缘层15的内壁与Pfet用WF金属层16之间),能够控制Pfet用WF金属层16的形成范围。

通过将偏移间隔部19设定为任意的厚度,能够在侧壁间隔部21的开口部之内以任意尺寸形成Pfet用WF金属层16。因此,能够设定任意的栅极长度而无需依赖于侧壁间隔部21的开口部的尺寸。

[0131] 另外,除了如图5所示只在Pfet区域中形成有偏移间隔部之外,也可以在Pfet区域和Nfet区域二者中均形成有偏移间隔部。此外,通过改变Pfet区域和Nfet区域中的偏移间隔部的厚度,可以使各栅极长度最优化。

[0132] 在位于埋置金属层18两侧并且处于侧壁间隔部21正下方的半导体基体11中,形成有作为P型杂质扩散区域的源极/漏极23或者作为N型杂质扩散区域的源极/漏极24。源极/漏极23和源极/漏极24形成有轻掺杂漏极(Lightly Doped Drain;LDD)以及晕环(均未图示)。另外,源极/漏极23和源极/漏极24的从侧壁间隔部21露出的表面层变成硅化物。源极/漏极23和源极/漏极24的硅化物是由例如硅化钴、硅化镍或硅化铂等形成的。

[0133] 在第二实施方案的半导体装置中,在埋置金属层及WF金属层的侧面与HK绝缘层的侧面之间形成有偏移间隔部。因此,通过改变偏移间隔部的厚度,能够任意设定WF金属层的形成范围。因此,利用偏移间隔部能够任意设定栅极长度。这样,即使在光刻工艺中伪栅极电极被形成成为同一图形,仍能够将半导体装置构造成在各区域中均具有最优化栅极长度。

[0134] 4. 第二实施方案的半导体装置制造方法

[0135] 接下来,将说明第二实施方案的半导体装置制造方法。

[0136] 类似于第一实施方案的半导体装置制造方法中直至如图3B所示的伪栅极电极除去工序,能够实现第二实施方案的半导体装置制造方法。因此,下面将说明除去了伪栅极电极之后的制造方法。

[0137] 形成HK绝缘层

[0138] 如图6A所示,提供这样的半导体基体11:在该半导体基体11中,在除去了伪栅极电极之后在侧壁间隔部21的内壁中形成有沟槽,并且形成了层间绝缘层22、源极/漏极23和源极/漏极24、N阱区域13以及P阱区域14。

[0139] 接下来,如图6B所示,在半导体基体11的整个表面(包括侧壁间隔部21的内壁侧以及Nfet区域和Pfet区域中的层间绝缘层22)上方形成HK绝缘层15。

[0140] 利用原子层沉积(Atomic Layer Deposition;ALD)法等形成HK绝缘层15。使用例如HfO₂、HfSiO₂、LaO₂、ZrO₂、ZrSiO₂、TaO₂、TiO₂、BaSrTiO₃、BaTiO₃、SrTiO₃、Y₂O₃、Al₂O₃和PbScTaO₇等来形成HK绝缘层15。另外,有一些情况是在HK绝缘层15的底层形成有SiO₂以作为栅极绝缘膜。在此情况下,通过等离子体氧化来除去该SiO₂。

[0141] 形成偏移间隔部

[0142] 首先,在HK绝缘层15的整个表面上形成1~20nm范围内的偏移间隔部材料。另外,如图6C所示,通过各向异性蚀刻对偏移间隔部材料层进行回蚀,从而仅在除去了伪栅极电极后所形成的沟槽的内壁处形成偏移间隔部19。这里,在Nfet区域和Pfet区域二者中,在除去了伪栅极电极后所形成的沟槽的内壁处均形成偏移间隔部19。使用SiN或SiO₂等作为偏移间隔部材料。

[0143] 形成WF金属层

[0144] 在Nfet区域和Pfet区域这两个区域中均形成偏移间隔部19或者在仅Nfet区域和Pfet区域的其中一个区域中形成偏移间隔部19之后,形成Pfet用WF(功函数)金属层16。

[0145] 如图7A所示,利用CVD法、PVD法或者ALD法在半导体基体11整个表面上方的HK绝缘层15上形成1~20nm范围内的Pfet用WF金属层16。Pfet用WF金属层16的最佳功函数为5.2eV,并且使用功函数值接近这一值的材料。例如,使用含有Ru、Pd、Pt、Co、Ni、Mo的合金,或者使用氧化物、TiN等。

[0146] 接下来,通过干式蚀刻法或湿式蚀刻法从Nfet区域中除去Pfet用WF金属层16。这时,Nfet区域中的HK绝缘层15未被除去而是被保留下来。例如,在Pfet区域中的要保留Pfet用WF金属层16的部分上形成抗蚀剂图形等,并且使用该抗蚀剂图形作为掩模将Nfet区域中的Pfet用WF金属层16蚀刻掉。在形成TiN以作为Pfet用WF金属层16的情况下,使用例如氨水-过氧化氢从Nfet区域中除去Pfet用WF金属层16。

[0147] 在从Nfet区域中除去Pfet用WF金属层16之后,从Nfet区域中除去偏移间隔部19(其形成于除去了伪栅极电极后所形成的沟槽的内壁处)。例如,采取使用HF溶液的湿式蚀刻法且利用Pfet用WF金属层16作为掩模,除去形成在Nfet区域中的偏移间隔部19。因此,在不增加诸如用于形成图形掩模的光刻工艺等工序的前提下,从Nfet区域中除去偏移间隔部19,因而能够仅在Pfet区域中留有偏移间隔部19。

[0148] 接下来,如图7B所示,利用CVD法、PVD法或者ALD法,在Pfet用WF金属层16和HK绝缘层15上形成1~20nm范围内的Nfet用WF金属层17。

[0149] Nfet用WF金属层17的最佳功函数为4.0eV,并且使用功函数值接近这一值的材料。例如,使用含有Hf、Zr、Ti、Ta、Al的合金,或者使用碳化物、HfSi等。

[0150] 埋置栅极金属

[0151] 在形成Pfet用WF金属层16和Nfet用WF金属层17之后,如图7C所示,在除去了伪栅极电极后所形成的沟槽中埋置低电阻栅极材料,从而形成埋置金属层18。作为低电阻栅极材料,例如,使用Ti、Al、Cu、W或者包含上述金属的合金。

[0152] 如上所述,在除去了伪栅极电极之后,形成HK绝缘层15、偏移间隔部19、Pfet用WF金属层16、Nfet用WF金属层17以及埋置在上述沟槽中的低电阻栅极材料,从而获得埋置金属层18。另外,通过利用CMP法除去在层间绝缘层22上的低电阻栅极材料层、Nfet用WF金属层17、Pfet用WF金属层16和HK绝缘层15,由此进行平坦化。

[0153] 通过这样的工序,仅在除去了伪栅极电极后所形成的沟槽中留有低电阻栅极材料,从而形成埋置金属层18。另外,在这个工序中,Nfet用WF金属层17、Pfet用WF金属层16和埋置金属层18形成了金属栅极电极。

[0154] 通过上述工序,能够制造出图5所示的半导体装置20。在该制造方法中,能够在除去Pfet用WF金属层之后紧接着从Pfet区域中除去偏移间隔部。因此,与第一实施方案的制造方法相比,不需要进行用于从Nfet区域中除去偏移间隔部19的光刻工艺,于是能够通过简单的制造工序制造出半导体装置。

[0155] 5. 第三实施方案的半导体装置

[0156] 图8是第三实施方案的半导体装置的示意性结构图。在图8所示的半导体装置30中,与上述图1所示第一实施方案的半导体装置10的构成元素相同的构成元素被赋予相同的附图标记,并且将省略对它们的说明。

[0157] 图8所示的半导体装置30在由例如硅基板等形成的半导体基体11上设置有由氧化硅等制成且用于将有源区域分隔开的元件分离部12。另外,在PMOS区域的有源区域中形成

有N阱区域13,并且在NMOS区域的有源区域中形成有P阱区域14。

[0158] 在Nfet区域中,在半导体基体11上形成有埋置金属层18,并且在半导体基体11与该埋置金属层18之间形成有HK绝缘层15和Nfet用WF(功函数)金属层17。另外,在Pfet区域中,在半导体基体11上形成有埋置金属层18,并且在半导体基体11与该埋置金属层18之间形成有HK绝缘层15和Pfet用WF金属层16。

[0159] 半导体装置30具有由Pfet用WF金属层16或者Nfet用WF金属层17与埋置金属层18形成的金属栅极电极。

[0160] HK绝缘层15是介电常数比氧化硅的介电常数高的高k绝缘层。作为该高k层,可以使用HfO、HfSiO、LaO、ZrO、ZrSiO、TaO、TiO、BaSrTiO、BaTiO、StTiO、YO、AlO和PbScTaO等。另外, HK绝缘层15和氧化硅膜可以一起形成栅极绝缘膜。

[0161] 埋置金属层18是由纯金属材料、合金或金属化合物制成的,并且例如由Ti、Al、Cu、W或者含有上述金属的合金制成。

[0162] 在Nfet区域和Pfet区域中,在埋置金属层18的侧壁处形成有侧壁间隔部21。另外,在Pfet区域中,在HK绝缘层15与Pfet用WF金属层16之间且在埋置金属层18的侧壁处形成有偏移间隔部19。侧壁间隔部21是由SiN或SiO₂等制成的,并且是由单层或多层形成的。另外,偏移间隔部19使用的是SiN或SiO₂等。

[0163] 在Nfet区域中,在位于埋置金属层18两侧并且处于侧壁间隔部21正下方的半导体基体11中,形成有作为N型杂质扩散区域的源极/漏极24。另外,在Pfet区域中,在位于埋置金属层18两侧并且处于侧壁间隔部21正下方的位置处,形成有由外延层形成的抬高式源极漏极部27以及作为P型杂质扩散区域的源极/漏极23。源极/漏极23和源极/漏极24形成有LDD以及晕环(未图示)。

[0164] 另外,源极/漏极23和源极/漏极24以及抬高式源极漏极部27的从侧壁间隔部21露出的表面层变成硅化物。该硅化物是由例如硅化钴、硅化镍或硅化铂等形成的。

[0165] 在第三实施方案的半导体装置30的Nfet区域中,在埋置金属层18的底部处仅形成有HK绝缘层15和Nfet用WF金属层17。另外,在Pfet区域中,在埋置金属层18的底部处仅形成有HK绝缘层15和Pfet用WF金属层16。此外,偏移间隔部19形成在HK绝缘层15及Pfet用WF金属层16上且在金属栅极电极与侧壁间隔部21之间。

[0166] 由于在第三实施方案的半导体装置30的Pfet区域中,偏移间隔部19形成在Pfet用WF金属层16上,因此偏移间隔部19就不会对Pfet用WF金属层16的形成范围产生影响。据此,难以通过偏移间隔部19的形成来调整栅极长度。然而,通过形成由Pfet用WF金属层16和金属栅极电极形成的倒T形栅极,能够减小栅极侧壁边缘电容(gate side wall fringing capacitance)。特别是在近年来的应力技术中,例如在将植入的SiGe应用于PMOS中以及将植入的SiC应用于NMOS中的情况下,倒T形栅极的形成能够改善栅极扩散层之间的电容的增大。

[0167] 6. 第三实施方案的半导体装置制造方法

[0168] 接下来,将说明第三实施方案的半导体装置制造方法。

[0169] 形成元件分离部

[0170] 首先,如图9A所示,在半导体基体11中形成将N阱区域13与P阱区域14分隔开的元件分离部12。这可以按照与图2A所示的元件分离部形成工序相同的方式来进行。

[0171] 形成HK绝缘层、WF金属层和伪栅极电极

[0172] 首先,用氟化氢(HF)溶液使得当形成有源区域时被设置在半导体基体11上的牺牲氧化物膜从半导体基体11上分离。在分离之后,利用原子层沉积(Atomic Layer Deposition;ALD)法等形成HK绝缘层15。使用HfO、HfSiO、LaO、ZrO、ZrSiO、TaO、TiO、BaSrTiO、BaTiO、StTiO、YO、AlO和PbScTaO等来形成HK绝缘层15。另外,有一些情况是HK绝缘层15的底层主要包括SiO₂。在此情况下,通过等离子体氧化来除去该SiO₂。

[0173] 接下来,在HK绝缘层15上形成WF(功函数)金属层。使用该WF金属层在NMOS和PMOS中形成单个金属电极或者分离的金属电极。下面,将要说明的是在NMOS和PMOS中形成不同类型的WF金属层的情况。

[0174] 在Nfet区域中,在HK绝缘层15上形成Nfet用WF金属层17。另外,在Pfet区域中,在HK绝缘层15上形成Pfet用WF金属层16。

[0175] 利用CVD法、PVD法或者ALD法,使用TiN形成1~20nm范围内的Pfet用WF金属层16和Nfet用WF金属层17。Pfet用WF金属层16的最佳功函数为5.2eV,并且使用功函数值接近这一值的材料。例如,使用含有Ru、Pd、Pt、Co、Ni、Mo的合金,或者使用氧化物、TiN等。Nfet用WF金属层17的最佳功函数为4.0eV,并且使用功函数值接近这一值的材料。例如,使用含有Hf、Zr、Ti、Ta、Al的合金,或者使用碳化物、HfSi等。

[0176] 在形成了Pfet用WF金属层16和Nfet用WF金属层17之后,形成伪栅极电极材料层。例如,通过利用CVD法等沉积厚度为50~100nm的多晶硅或者非晶硅,由此在Pfet用WF金属层16和Nfet用WF金属层17上形成伪栅极电极材料层。接下来,使用低压化学气相沉积(Low Pressure-Chemical Vapor Deposition;LP-CVD)法沉积厚度例如为50~100nm的Si₃N₄作为硬掩模。在该沉积之后,利用光刻工艺在Si₃N₄硬掩模上形成电极图形,随后利用该硬掩模图形对HK绝缘层15、Pfet用WF金属层16、Nfet用WF金属层17和伪栅极电极材料层进行各向异性蚀刻。伪栅极电极材料层被图形化,从而如图9B所示在半导体基体11的Nfet区域中形成了HK绝缘层15、Nfet用WF金属层17和伪栅极电极25。另外,在半导体基体11的Pfet区域中形成了HK绝缘层15、Pfet用WF金属层16和伪栅极电极25。

[0177] 形成抬高式源极漏极部

[0178] 接下来,如图9C所示,在伪栅极电极25的侧壁处形成侧壁间隔部21。另外,在N阱区域13中形成P型源极/漏极23和抬高式源极漏极部27,并且在P阱区域14中形成N型源极/漏极24。

[0179] 首先,在Pfet区域中形成抬高式源极漏极部27。

[0180] 换言之,在半导体基体11上形成覆盖伪栅极电极25的SiN层。接下来,形成用于使Pfet区域形成开口的抗蚀剂图形。通过各向异性蚀刻从抗蚀剂开口部对SiN层进行回蚀,从而在伪栅极电极25的侧壁处形成伪侧壁间隔部。

[0181] 在形成了伪侧壁间隔部并且对抗蚀剂开口部的半导体基体11进行蚀刻之后,选择性地生长SiGe,从而形成外延生长层(epi层)。

[0182] 在形成了由SiGe制成的epi层之后,将伪侧壁间隔部以及留在Pfet区域以外的位置处的SiN层除去,从而形成抬高式源极漏极部27。

[0183] 形成扩散区域

[0184] 在3~5keV及5~20×10¹⁴/cm²的条件下将BF₂⁺离子注入到PMOS区域中,从而形成

PLDD区域。另外,在5~10keV及 $5\sim 20\times 10^{14}/\text{cm}^2$ 的条件下将 As^+ 离子注入到NMOS区域中,从而形成NLDD区域。

[0185] 另外,为了抑制短沟道效应,在形成LDD时,同时还将杂质浓度比阱的杂质浓度高的所谓晕环注入到源极/漏极中。例如,Nfet区域被划分成四个区域并且使用B(硼)在12keV、 $3\times 10^{13}/\text{cm}^2$ 以及 45° 的条件下进行倾斜的离子注入。另外,Pfet区域被划分成四个区域并且使用As(砷)在70keV、 $2\times 10^{13}/\text{cm}^2$ 以及 45° 的条件下进行倾斜的离子注入。

[0186] 形成侧壁间隔部

[0187] 接下来,在伪栅极电极25的侧壁处形成侧壁间隔部21。

[0188] 利用等离子体CVD法在半导体基体11上沉积厚度为50~150nm的 Si_3N_4 从而覆盖伪栅极电极25。此后,进行各向异性蚀刻以便对 Si_3N_4 层进行回蚀,从而在伪栅极电极25的侧壁处形成侧壁间隔部21。这时,将作为伪栅极电极25的硬掩模的 Si_3N_4 保留下来。

[0189] 形成扩散区域

[0190] 接下来,在5~10keV及 $1\sim 2\times 10^{15}/\text{cm}^2$ 的条件下将 BF_2^+ 离子注入到N阱区域13中,从而形成P型源极/漏极23。进行上述 BF_2^+ 的离子注入过程,使得在抬高式源极漏极部27的整个区域中形成由B(硼)构成的P型区域。另外,在40~50keV及 $1\sim 2\times 10^{15}/\text{cm}^2$ 的条件下将 As^+ 离子注入到P阱区域14中,从而形成N型源极/漏极24。在该离子注入过程之后,使用RTA(快速热退火)在 1000°C 和5秒钟的条件下对杂质进行活性化,从而形成图9C所示的MOSFET。

[0191] 在形成MOSFET之后,使用所谓的SALICIDE(Self-Aligned Silicide;自对准硅化物)技术来减小源极/漏极23和源极/漏极24的电阻。例如,通过溅射法在半导体基体11上沉积6~8nm厚的Ni。在 $300\sim 500^\circ\text{C}$ 和10秒钟的条件下进行RTA,从而仅在源极/漏极23和源极/漏极24的Si上形成硅化物(NiSi)。在形成该硅化物之后,通过例如 $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$ 等化学溶液除去未反应的Ni。

[0192] 接下来,形成厚度为10~100nm的SiN作为接触式蚀刻阻止层(未图示)。可以单独形成两种SiN,从而向晶体管中的NMOS和PMOS施加不同的机械应力。

[0193] 另外,在半导体基体11上沉积厚度为100~1000nm的 SiO_2 作为覆盖伪栅极电极25、侧壁间隔部21和抬高式源极漏极部27的层间绝缘层22。此外,通过利用CMP法进行的平坦化来使伪栅极电极25的上部露出。

[0194] 除去伪栅极电极

[0195] 接下来,如图10A所示,除去伪栅极电极25,从而在侧壁间隔部21的内侧形成开口。在伪栅极电极25是由多晶硅或非晶硅形成的情况下,采取干式蚀刻法或者采取使用四甲基氢氧化铵(Tetra methyl ammonium hydroxide;TMAH)的湿式蚀刻法除去伪栅极电极25。

[0196] 形成偏移间隔部

[0197] 接下来,如图10B所示,在Pfet区域中的侧壁间隔部21的内壁处,在Pfet用WF金属层16上形成偏移间隔部19。

[0198] 在除去了伪栅极电极后所形成的沟槽的底部上存在有Pfet用WF金属层16或者Nfet用WF金属层17。形成1~20nm范围内的偏移间隔部材料使其覆盖除去了伪栅极电极后所形成的沟槽。另外,通过各向异性蚀刻进行回蚀,从而在除去了伪栅极电极后所形成的沟槽的内壁处形成偏移间隔部。偏移间隔部的材料采用SiN或 SiO_2 等。

[0199] 此后,采取使用HF溶液的湿式蚀刻法从Nfet区域中除去偏移间隔部。

[0200] 埋置栅极金属

[0201] 在形成偏移间隔部19之后,如图10C所示,在除去了伪栅极电极后所形成的沟槽中埋置低电阻栅极材料,从而形成埋置金属层18。作为低电阻栅极材料,例如,使用Ti、Al、Cu、W或者包含上述金属的合金。

[0202] 在除去了伪栅极电极后所形成的沟槽中形成偏移间隔部19之后,在该沟槽中埋置低电阻栅极材料从而在Pfet用WF金属层16或Nfet用WF金属层17上形成低电阻栅极材料层,由此获得埋置金属层18。另外,利用CMP法除去层间绝缘层22上的低电阻栅极材料层,由此进行平坦化。通过这样的工序,仅在除去了伪栅极电极后所形成的沟槽中留有低电阻栅极材料,从而形成埋置金属层18。

[0203] 通过上述工序,能够制造出图8所示的半导体装置30。根据本制造方法,Pfet用WF金属层16先于偏移间隔部19被形成在除去了伪栅极电极后所形成的沟槽中。因此,形成偏移间隔部19的目的不是为了调整栅极长度而是为了减小栅极侧壁边缘电容。由于在金属栅极电极与侧壁间隔部21之间形成有偏移间隔部19,因此将金属栅极电极的面积形成得小于Pfet用WF金属层16的面积,于是由Pfet用WF金属层16和金属栅极电极形成了倒T形栅极。特别是在近年来的应力技术中,例如在将植入的SiGe应用于PMOS中以及将植入的SiC应用于NMOS中的情况下,倒T形栅极的形成能够改善栅极扩散层之间的电容的增大。

[0204] 7. 第四实施方案的半导体装置

[0205] 图11A和图11B是第四实施方案的半导体装置的示意性结构图。图11A是第四实施方案的半导体装置的平面图,图11B是沿着图11A中的线A-A'得到的该半导体装置的截面图。图11A和图11B所示的半导体装置40包括具有鳍型结构的Nfet区域和Pfet区域。另外,在半导体装置40的结构中,在一个栅极电极中形成有偏移间隔部。另外,在下面的说明中,半导体装置的第一导电类型是P型,而半导体装置的第二导电类型是N型。

[0206] 在图11A所示的半导体装置40中,在Pfet区域和Nfet区域中分别以抬高的方式形成有薄的半导体层(鳍部)42和43。另外,鳍部42的沟道区域和鳍部43的沟道区域被栅极电极44覆盖着。以这样的方式,形成了具有如下结构的鳍型场效应晶体管(finFET):在该结构中,从左右两侧将栅极电极44插入到鳍部42的沟道区域以及鳍部43的沟道区域中。例如,在由硅基板(未图示)形成的半导体基体上形成有氧化物绝缘层41,并且形成了从该氧化物绝缘层41抬高的薄半导体层(鳍部)42和43。另外,Pfet区域的鳍部42具有其中扩散有P型杂质的源极/漏极,而Nfet区域的鳍部43具有其中扩散有N型杂质的源极/漏极。

[0207] 接下来,将说明图11B所示的半导体装置40的栅极电极44的结构。

[0208] 栅极电极44被形成为U形且从上述鳍部42和鳍部43的沟道区域的一侧至另一侧覆盖着鳍部42和鳍部43的沟道区域。半导体装置40的栅极电极的结构在Pfet区域和Nfet区域中是不同的。

[0209] 在Pfet区域中,在氧化物绝缘层41上形成有埋置金属层48,并且在氧化物绝缘层41与该埋置金属层48之间形成有HK绝缘层45、Pfet用WF金属层46和Nfet用WF金属层47。另外,在Nfet区域中,在氧化物绝缘层41上形成有埋置金属层48,并且在氧化物绝缘层41与该埋置金属层48之间形成有HK绝缘层45和Nfet用WF(功函数)金属层47。

[0210] 半导体装置40具有由Pfet用WF金属层46或者Nfet用WF金属层47与埋置金属层48形成的金属栅极电极44。

[0211] HK绝缘层45是介电常数比氧化硅的介电常数高的高k绝缘层。作为该高k层,可以使用HfO₂、HfSiO₂、LaO₃、ZrO₂、ZrSiO₄、TaO₅、TiO₂、BaSrTiO₃、BaTiO₃、SrTiO₃、Y₂O₃、Al₂O₃和PbScTaO₇等。另外, HK绝缘层45和氧化硅膜可以一起形成栅极绝缘膜。

[0212] 埋置金属层48是由纯金属材料、合金或金属化合物制成的,并且例如由Ti、Al、Cu、W或者含有上述金属的合金制成。

[0213] 在Nfet区域和Pfet区域二者中,在埋置金属层48的侧壁处均形成有侧壁间隔部51。另外,在Pfet区域中,在HK绝缘层45及侧壁间隔部51内壁的下部处形成有偏移间隔部49。因此,Pfet区域从侧壁间隔部51的内壁起具有由偏移间隔部49、HK绝缘层45、Pfet用WF金属层46和Nfet用WF金属层47形成的多层体。此外,埋置金属层48形成在被上述多层体包围着的内侧处。

[0214] 侧壁间隔部51是由SiN或SiO₂等制成的,并且是由单层或多层形成的。另外,偏移间隔部49使用的是SiN或SiO₂等。

[0215] 偏移间隔部49仅形成在侧壁间隔部51的内壁的下部处。另外,偏移间隔部49被形成得直至高于鳍部42上部的位置。因此,在形成有鳍部42的部分中, HK绝缘层45、Pfet用WF金属层46和侧壁间隔部51仅隔着偏移间隔部49与鳍部42相连接。

[0216] 侧壁间隔部的开口部的尺寸是通过在光刻工艺中对栅极电极进行图形化来确定的,因此同一图形是优选的。

[0217] 这是因为:在加工微细图形的情况下,为了易于制造,期望按照恒定的规则对图形化进行设计。在Nfet区域和Pfet区域二者中,侧壁间隔部的开口部优选被形成为具有同一尺寸。然而,如果Nfet区域和Pfet区域二者中的侧壁间隔部的开口部彼此相同,则可能无法将栅极长度最优化成符合各自的扩散层轮廓。

[0218] 因此,通过在侧壁间隔部的开口部的内侧形成偏移间隔部49来调节开口部的尺寸。通过在Pfet用WF金属层46与侧壁间隔部51之间形成偏移间隔部49,能够调整Pfet区域的栅极长度。另外,在上述开口部内,使用偏移间隔部49来调整Pfet用WF金属层46的形成范围,因此能够以任意长度使栅极长度最优化。

[0219] 另外,在鳍型半导体装置的情况下,栅极电极底部和栅极侧壁形状影响着栅极长度。因此,在侧壁间隔部的形成有栅极电极的内壁呈锥形的情况下或者在该侧壁中存在粗糙度的情况下,栅极长度是不同的,因此难以实现最优化。

[0220] 另一方面,在第四实施方案的半导体装置中,在侧壁间隔部51的内壁侧处,具体地,在侧壁间隔部51与HK绝缘层45之间或者在HK绝缘层45与Pfet用WF金属层46之间,形成有偏移间隔部49。利用这样的结构,例如在侧壁间隔部51的内壁中存在粗糙度的情况下,通过偏移间隔部49能够使侧壁间隔部51的形成有鳍部42的内壁平坦化。另外,例如,即使侧壁间隔部51的内壁呈锥形,通过形成偏移间隔部49也能使形成有鳍部42的那些部分的内壁变为竖直的,从而能够调整栅极长度。

[0221] 另外,除了如图11B所示的仅在Pfet区域中形成偏移间隔部之外,还可以在Pfet区域和Nfet区域二者中均形成偏移间隔部。在此情况下,通过改变Pfet区域和Nfet区域中的偏移间隔部的厚度,能够任意地设定各个栅极长度。

[0222] 如上述第四实施方案的半导体装置中所示,具有与上述第一实施方案或第二实施方案中相同的平面型结构的半导体装置的栅极电极结构可适用于具有鳍型结构的半导体

装置。另外,通过改变偏移间隔部的厚度能够使栅极长度最优化。因此,即使在光刻工艺中将伪栅极电极和侧壁间隔部形成同一图形,仍能够将半导体装置构造成在各区域中均具有最优化栅极长度。

[0223] 8. 第四实施方案的半导体装置制造方法

[0224] 接下来,将说明第四实施方案的半导体装置制造方法。除了是将上述第一实施方案的半导体装置制造方法应用于鳍型半导体装置以外,能够利用相同的工序进行第四实施方案的半导体装置制造方法。在下面的说明中将省略与第一实施方案的半导体装置制造方法中相同的工序的详细说明。

[0225] 形成鳍部

[0226] 首先,如图12A所示,在氧化物绝缘层41上形成鳍部42和鳍部43。

[0227] 通过本领域熟知的方法在Pfet区域中形成鳍部42。另外,在Nfet区域中形成鳍部43。例如,沉积诸如硅等半导体层,并在该半导体层中注入P型杂质的离子或者N型杂质的离子,从而形成源极/漏极,并且进行蚀刻以使其具有预定的鳍状。

[0228] 形成伪栅极电极

[0229] 接下来,在氧化物绝缘层41的Nfet区域和Pfet区域中形成栅极绝缘膜和伪栅极电极。

[0230] 首先,在鳍部42和鳍部43的表面上通过干式氧化(O_2 , $700^\circ C$)形成厚度为1~3nm的栅极绝缘膜。接下来,利用CVD法形成伪栅极电极材料层。例如通过沉积厚度为50~100nm的多晶硅或者非晶硅,在氧化物绝缘层41上形成伪栅极电极材料层。在该沉积之后,利用光刻工艺形成抗蚀剂图形,随后利用该硬掩模图形对伪栅极电极材料层进行各向异性蚀刻。伪栅极电极材料层被图形化,从而在如图12A所示的氧化物绝缘层41上形成伪栅极电极53。

[0231] 形成侧壁间隔部

[0232] 接下来,在伪栅极电极53的侧壁处形成侧壁间隔部51。

[0233] 利用等离子体CVD法在氧化物绝缘层41上沉积厚度为50~150nm的 Si_3N_4 使其覆盖伪栅极电极53。此后,进行各向异性蚀刻以便对 Si_3N_4 层进行回蚀,从而在伪栅极电极53的侧壁处形成侧壁间隔部51。

[0234] 另外,在氧化物绝缘层41上沉积厚度为100~1000nm的 SiO_2 作为覆盖伪栅极电极53和侧壁间隔部51的层间绝缘层52。此外,如图12B所示,使用CMP法进行平坦化,使伪栅极电极53的上部露出来。

[0235] 除去伪栅极电极

[0236] 接下来,如图12C所示,除去伪栅极电极53,从而在侧壁间隔部51的内侧形成开口,由此使鳍部42和鳍部43露出。在伪栅极电极53由多晶硅或非晶硅形成的情况下,通过干式蚀刻法或者通过使用四甲基氢氧化铵(Tetra methyl ammonium hydroxide, TMAH)的湿式蚀刻法除去伪栅极电极53。这时,通过湿式蚀刻法等也除去了位于伪栅极电极53下方的被形成作为栅极绝缘膜的 SiO_2 。

[0237] 形成偏移间隔部

[0238] 接下来,如图13A所示,在Pfet区域中的除去了伪栅极电极后所形成的沟槽内,在侧壁间隔部51的内壁处形成偏移间隔部49。

[0239] 首先,在氧化物绝缘层41的整个表面上方(在侧壁间隔部51的内壁开口部内侧以

及在露出的鳍部42和鳍部43上)形成1~20nm范围内的偏移间隔部材料。使用SiN或SiO₂等作为该偏移间隔部材料。此外,通过各向异性蚀刻对该偏移间隔部材料层进行回蚀。

[0240] 在对上述偏移间隔部材料层进行回蚀的过程中,执行过蚀刻(over-etching),直到在从侧壁间隔部51的开口部露出的鳍部42和鳍部43的侧壁处形成的偏移间隔部材料层被除掉为止。通过这样的蚀刻,能够仅在侧壁间隔部51的内壁侧处形成偏移间隔部49,而在鳍部42和鳍部43的侧壁处未留有偏移间隔部。

[0241] 这时,需要将上述伪栅极电极53的高度和侧壁间隔部51的高度形成成为鳍部的高度的两倍以上。利用具有鳍部的高度的两倍以上的高度,当执行过蚀刻直到将形成于鳍部42和鳍部43的侧壁处的偏移间隔部材料层除掉时,就能够让偏移间隔部49留有比鳍部42和鳍部43在侧壁间隔部51内的形成高度高的高度。

[0242] 另外,按照与第一实施方案的半导体装置制造方法相同的方式,可在形成偏移间隔部49之后除去栅极绝缘层,而不是在除去伪栅极电极的工序中除去栅极绝缘膜。

[0243] 在形成偏移间隔部49之后,在氧化物绝缘层41的整个表面上方形成抗蚀剂层,并且形成抗蚀剂图形,该抗蚀剂图形用于在Nfet区域中使得除去了伪栅极电极后所形成的沟槽中形成开口。采取使用HF溶液的湿式蚀刻法,除去在Nfet区域中的侧壁间隔部51内壁处形成的偏移间隔部。

[0244] 形成HK绝缘层

[0245] 接下来,如图13B所示,使用HK绝缘层45形成栅极绝缘层。

[0246] 利用原子层沉积(Atomic Layer Deposition;ALD)法等,在层间绝缘层52的整个表面上以覆盖着侧壁间隔部51的开口部的方式形成HK绝缘层45。使用例如HfO、HfSiO、LaO、ZrO、ZrSiO、TaO、TiO、BaSrTiO、BaTiO、StTiO、YO、AlO和PbScTaO等来形成HK绝缘层45。

[0247] 形成WF金属层

[0248] 在形成HK绝缘层45之后,形成WF(功函数)金属层。使用该WF金属层在NMOS和PMOS中形成单个金属电极或者分离的金属电极。这里,将要说明的是在NMOS和PMOS中形成不同的WF金属层的情况。

[0249] 首先,形成Pfet用WF金属层46。

[0250] 如图13B所示,利用CVD法、PVD法或者ALD法,在HK绝缘层45上形成1~20nm范围内的Pfet用WF金属层46。Pfet用WF金属层46的最佳功函数为5.2eV,并且使用功函数值接近这一值的材料。例如,使用含有Ru、Pd、Pt、Co、Ni、Mo的合金,或者使用氧化物、TiN等。

[0251] 接下来,通过干式蚀刻法或湿式蚀刻法从Nfet区域中除去Pfet用WF金属层46。这时,Nfet区域中的HK绝缘层45未被除去而是被保留下来。例如,在Pfet区域中的要保留Pfet用WF金属层46的部分上形成抗蚀剂图形,并且利用该抗蚀剂图形作为掩模将Nfet区域中的Pfet用WF金属层46蚀刻掉。在形成TiN作为Pfet用WF金属层46的情况下,使用例如氨水-过氧化氢从Nfet区域中除去Pfet用WF金属层46。

[0252] 接下来,利用CVD法、PVD法或者ALD法,在Pfet用WF金属层46和HK绝缘层45上形成1~20nm范围内的Nfet用WF金属层47。Nfet用WF金属层47的最佳功函数为4.0eV,并且使用功函数值接近这一值的材料。例如,使用含有Hf、Zr、Ti、Ta、Al的合金,或者使用碳化物、HfSi等。

[0253] 埋置栅极金属

[0254] 在形成了Pfet用WF金属层46和Nfet用WF金属层47之后,如图13C所示,在除去了伪栅极电极后所形成的沟槽中埋置低电阻栅极材料,从而形成埋置金属层48。作为低电阻栅极材料,例如,使用Ti、Al、Cu、W或者包含上述金属的合金。

[0255] 如上所述,在除去了伪栅极电极后所形成的沟槽中形成偏移间隔部49、HK绝缘层45、Pfet用WF金属层46和Nfet用WF金属层47之后,在该沟槽中埋置低电阻栅极材料从而形成低电阻栅极材料层,由此获得埋置金属层48。另外,利用CMP法除去层间绝缘层52上的低电阻栅极材料层、Nfet用WF金属层47、Pfet用WF金属层46和HK绝缘层45,由此进行平坦化。

[0256] 通过这样的工序,仅在除去了伪栅极电极后所形成的沟槽中留有低电阻栅极材料,从而形成埋置金属层48。另外,在这个工序中,当形成埋置金属层48时,将在层间绝缘层52上连续形成的Nfet用WF金属层47、Pfet用WF金属层46和HK绝缘层45除去,仅在上述沟槽内留有Nfet用WF金属层47、Pfet用WF金属层46和HK绝缘层45。

[0257] 通过上述工序,能够制造出图11A和图11B所示的半导体装置40。根据本制造方法,通过增加用于形成鳍型半导体层的工序,能够根据与第一实施方案的制造工序相同的制造工序来制造出鳍型半导体装置。另外,能够通过侧壁间隔部的内壁与WF金属层之间形成偏移间隔部来使栅极长度最优化。

[0258] 尽管在第四实施方案的半导体装置中,偏移间隔部是按照与第一实施方案中相同的方式形成在侧壁间隔部的内壁与HK绝缘层之间,但是偏移间隔部的形成位置没有特别的限制,只要偏移间隔部位于侧壁间隔部的内壁与WF金属层之间即可。例如,按照与第二实施方案的半导体装置相同的方式,可在侧壁间隔部的内壁内侧在HK绝缘层与WF金属层之间形成偏移间隔部。

[0259] 在此情况下,如参照图12C所述的那样,除去伪栅极电极,随后在除去了伪栅极电极后所形成的沟槽中形成HK绝缘层。另外,如参照图13A所述的那样,在HK绝缘层上形成高度是鳍部的高度的两倍以上的偏移间隔部材料层之后,对该偏移间隔部材料进行回蚀,从而仅在侧壁间隔部的内壁侧处形成偏移间隔部。此外,如参照图13B和图13C所述的那样,在上述沟槽内形成WF金属层和埋置金属层。以这样的方式,通过将第二实施方案的半导体装置制造方法应用至第四实施方案的半导体装置制造方法,能够制造出其中将偏移间隔部形成在HK绝缘层与WF金属层之间的鳍型半导体装置。

[0260] 本发明不限于上述各实施方案中说明的结构,并且在不背离本发明的结构的范围内可以进行各种变形和改变。

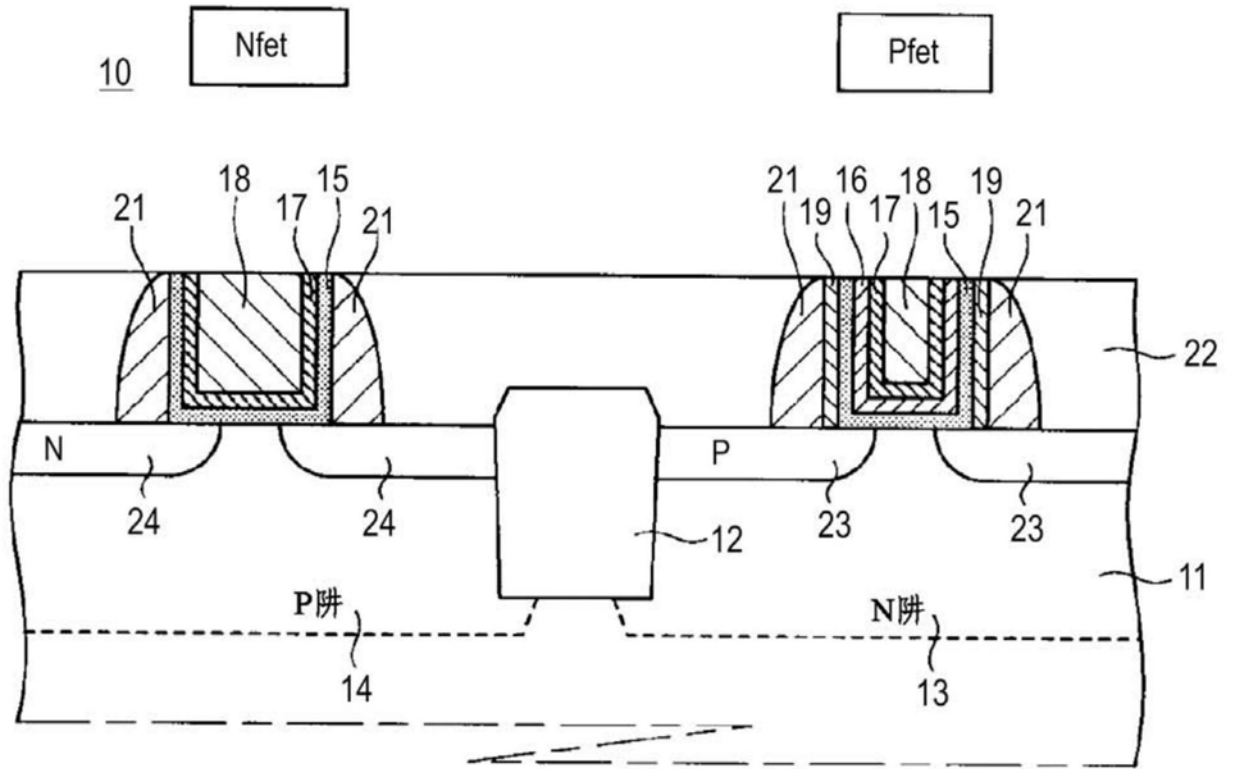


图1

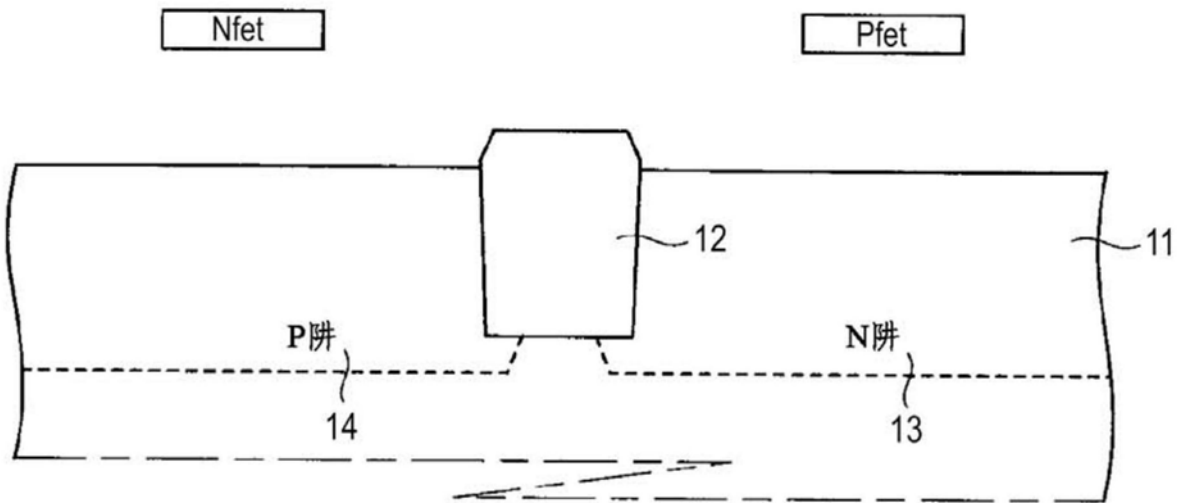


图2A

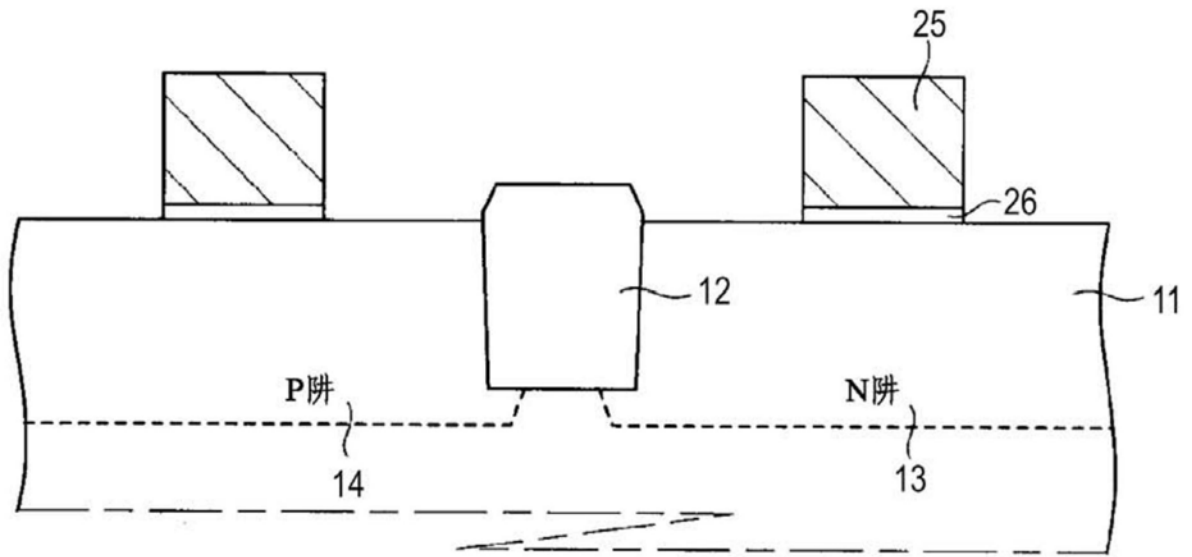


图2B

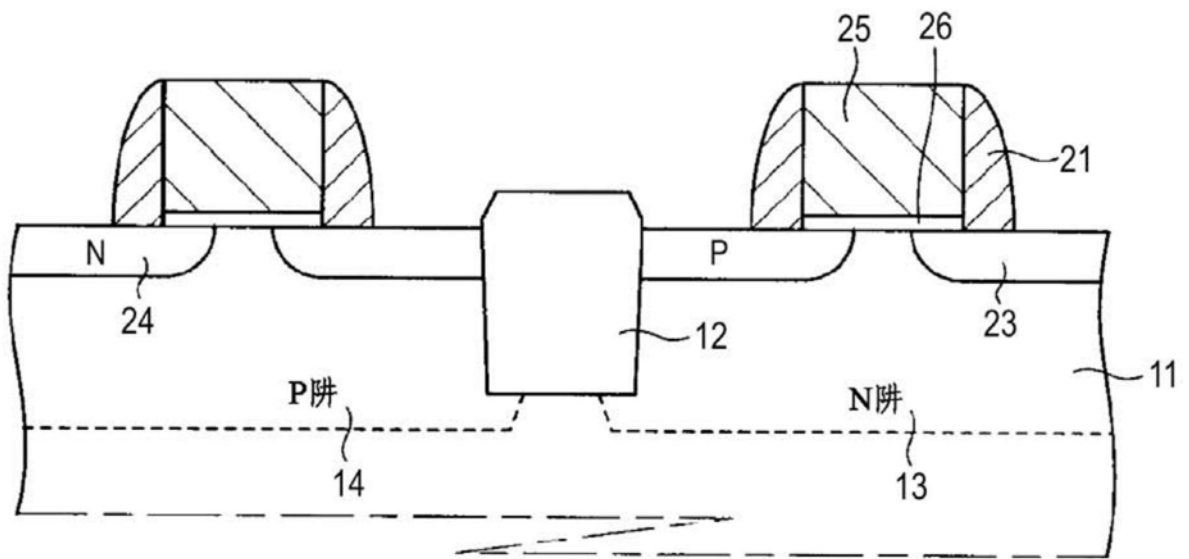


图2C

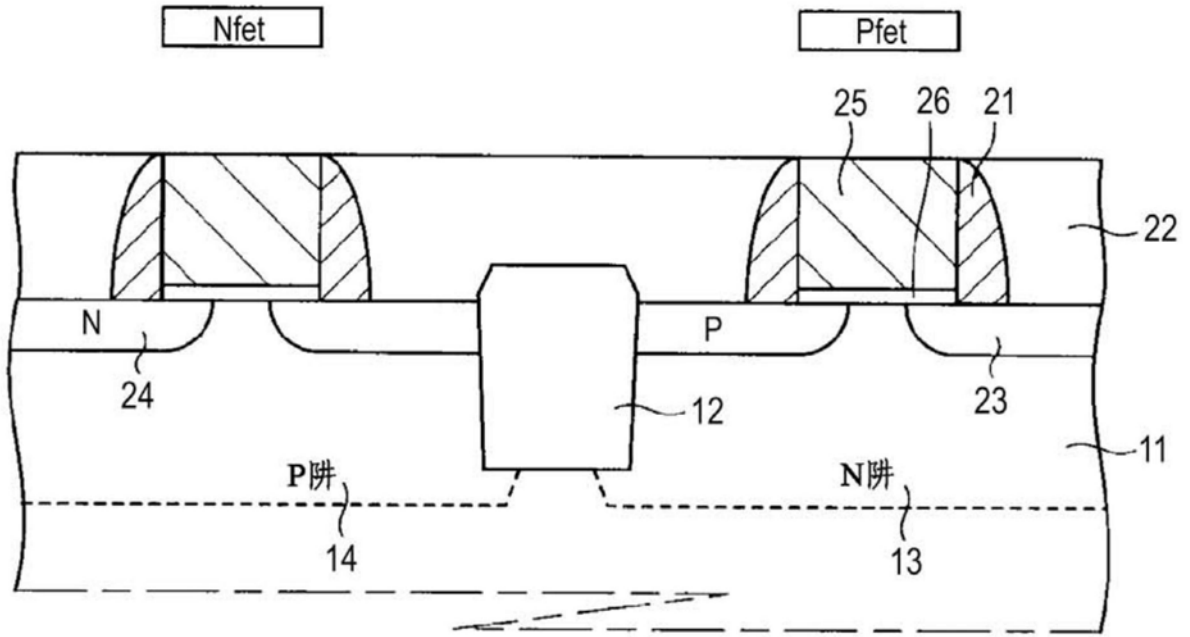


图3A

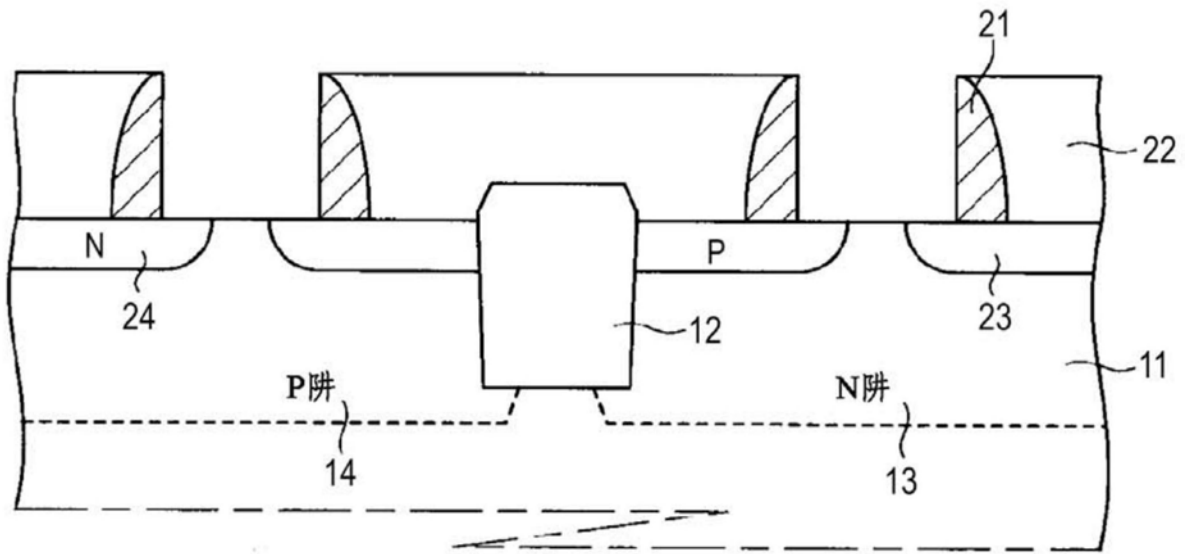


图3B

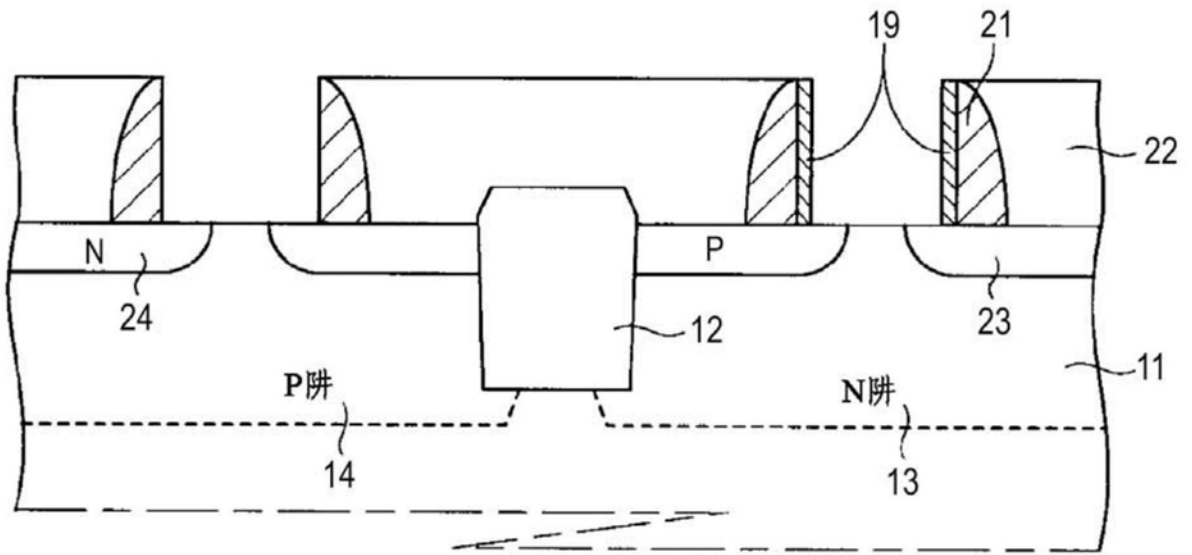


图3C

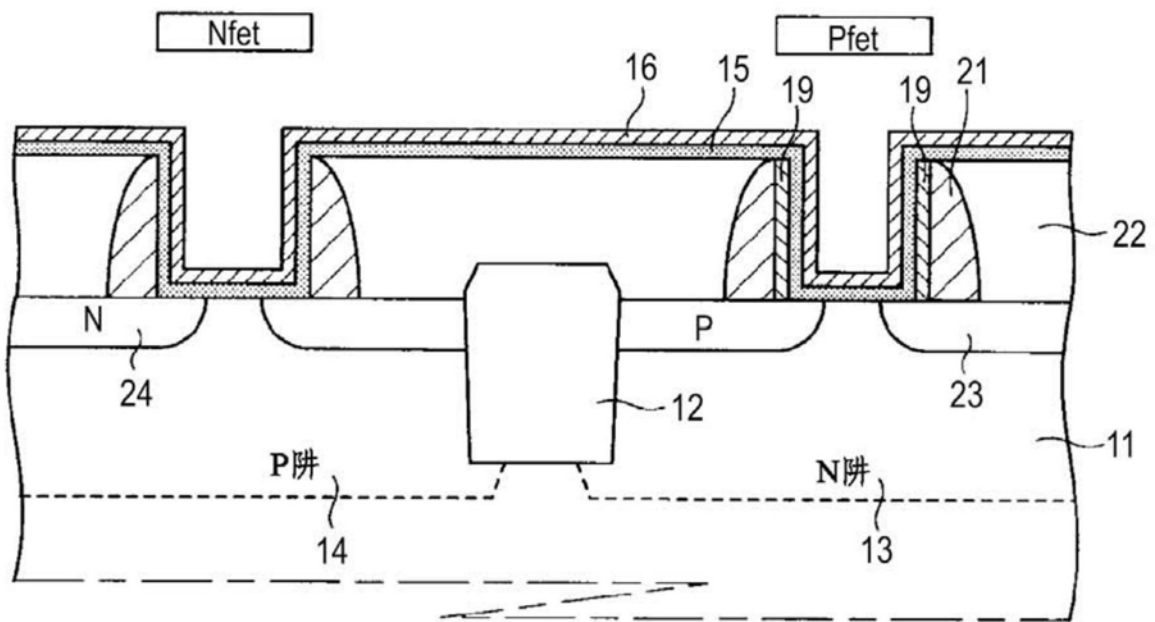


图4A

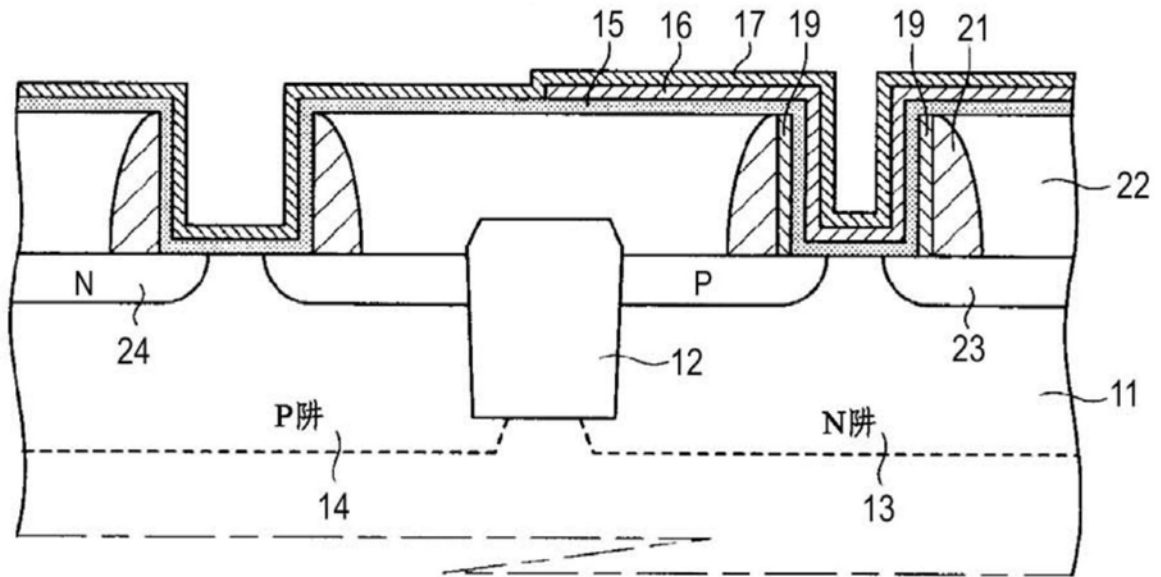


图4B

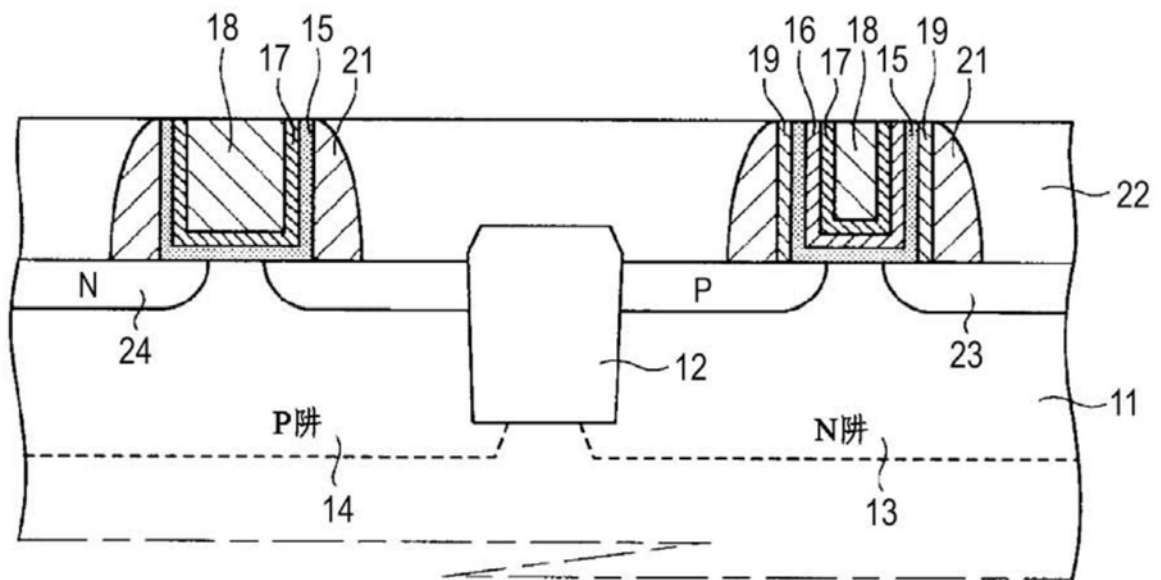


图4C

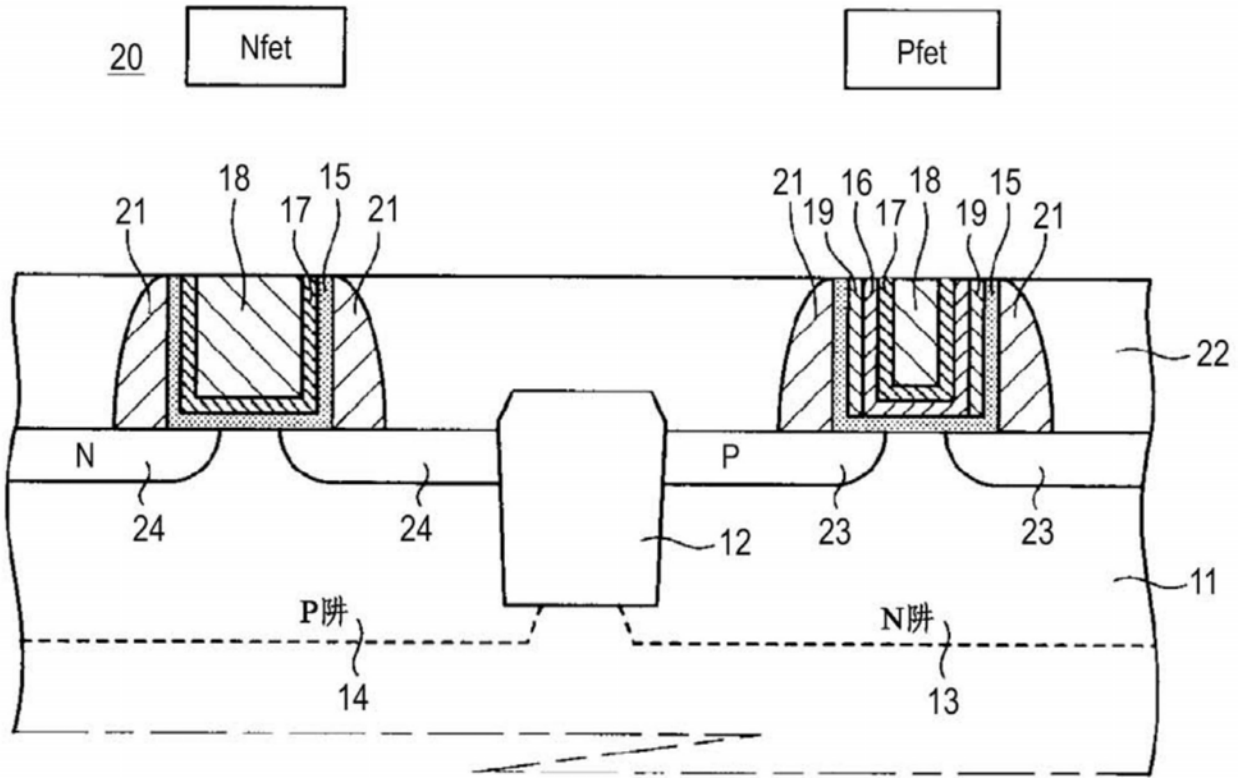


图5

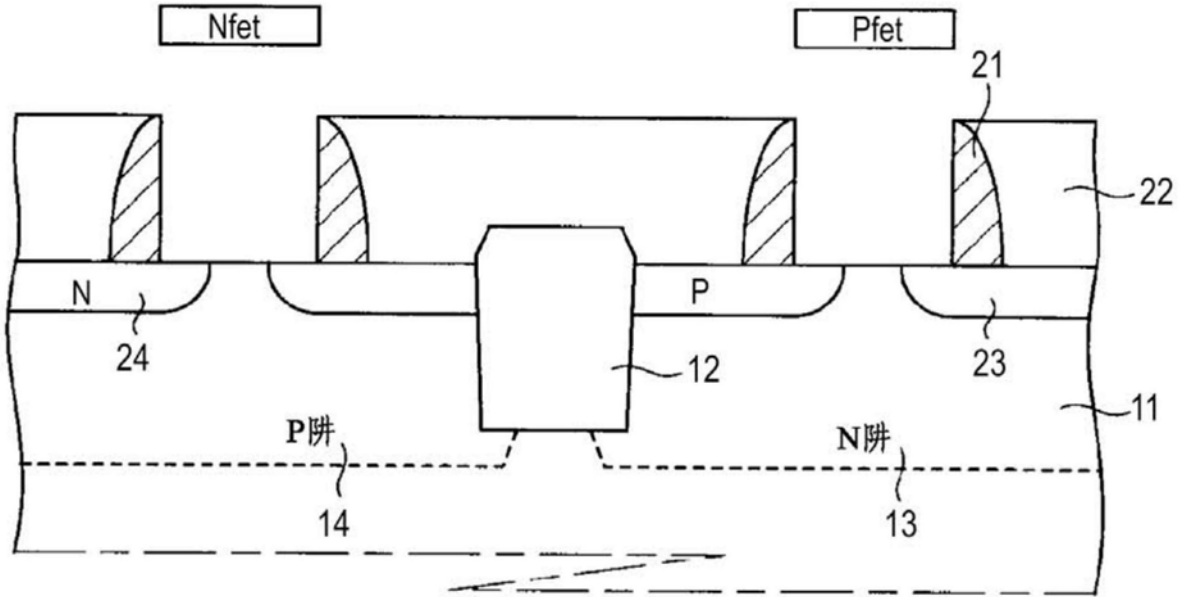


图6A

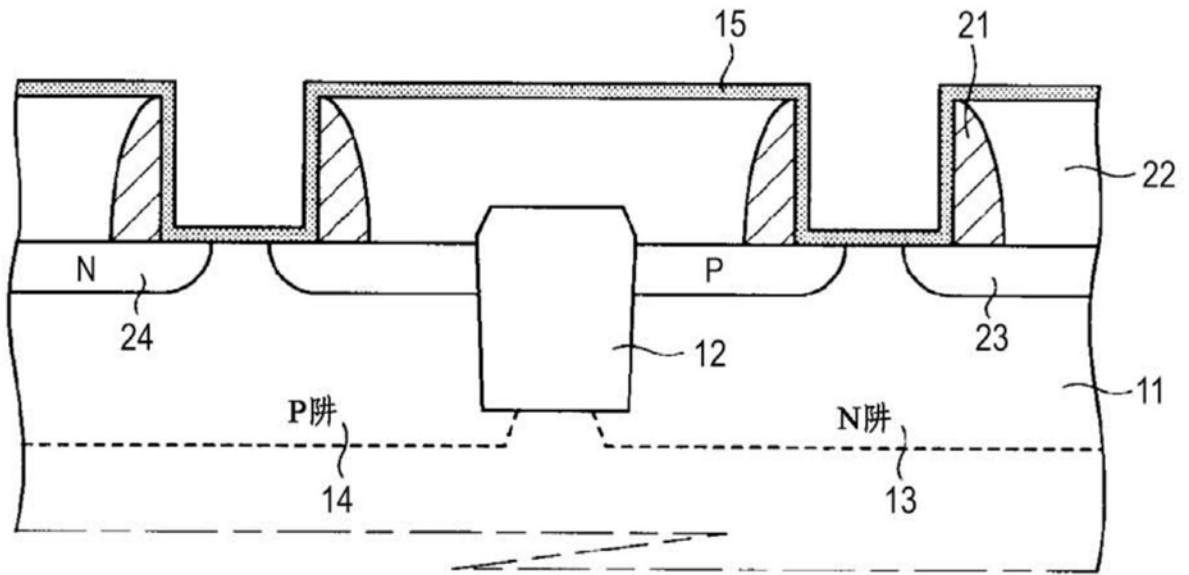


图6B

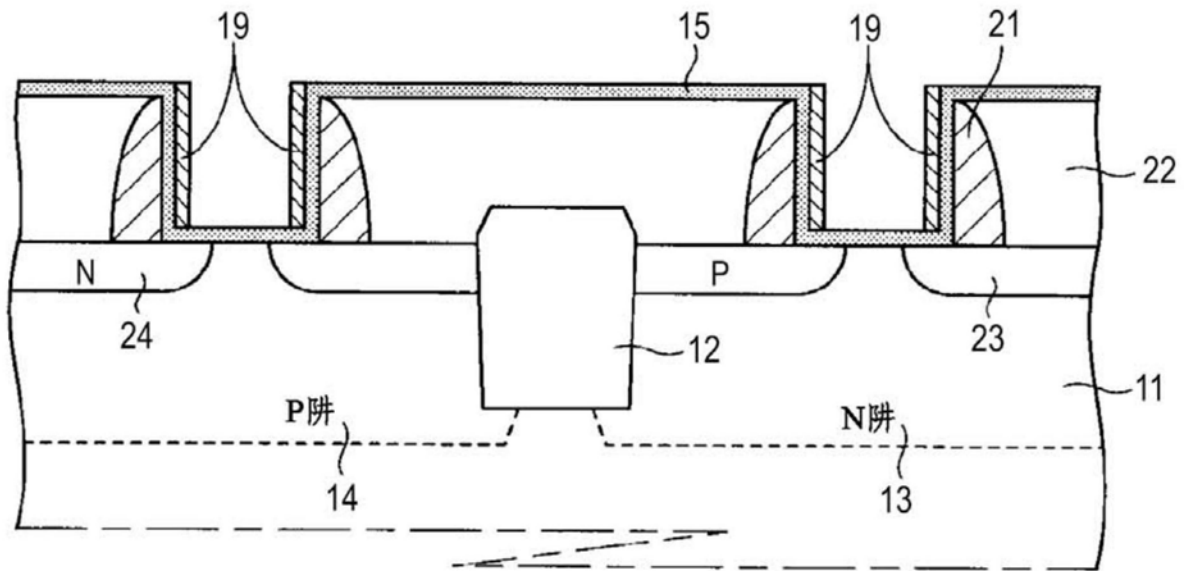


图6C

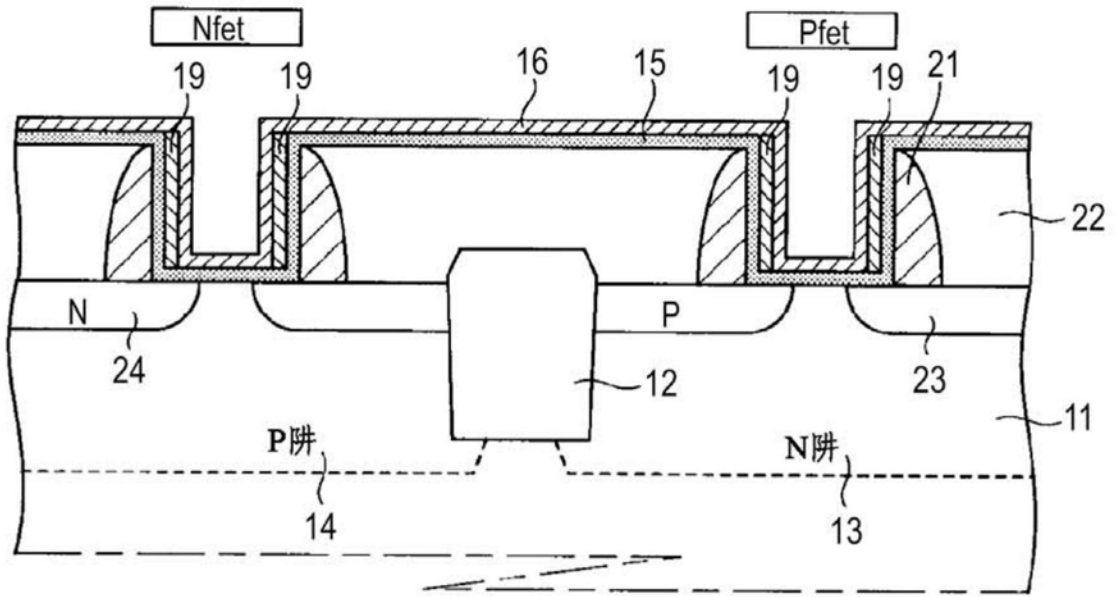


图7A

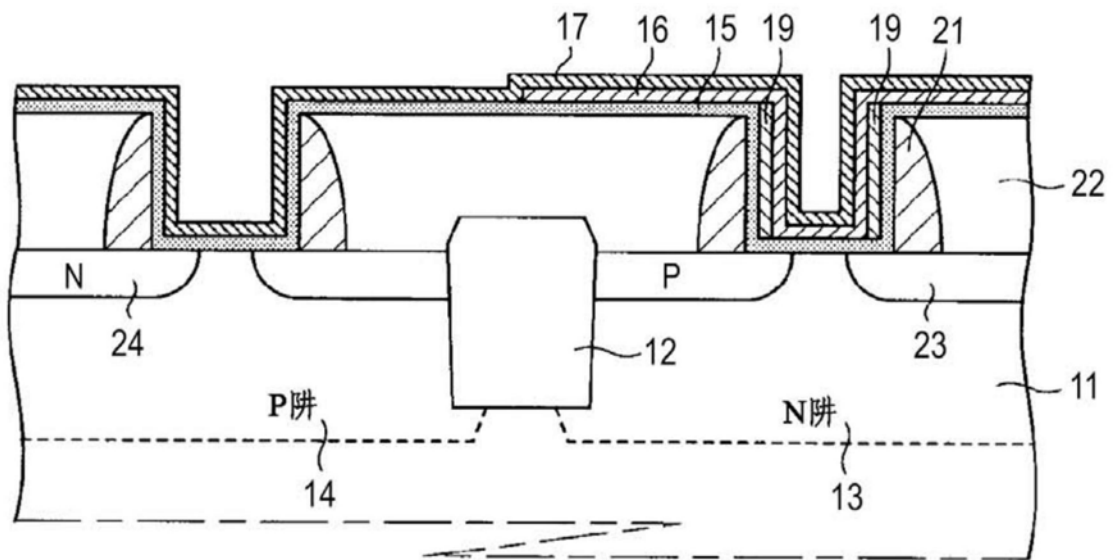


图7B

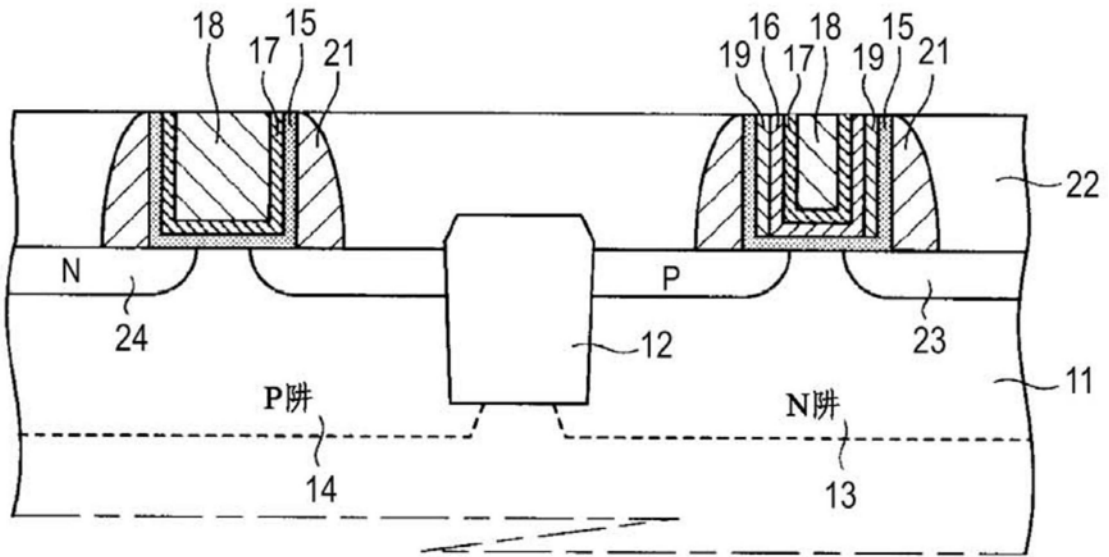


图7C

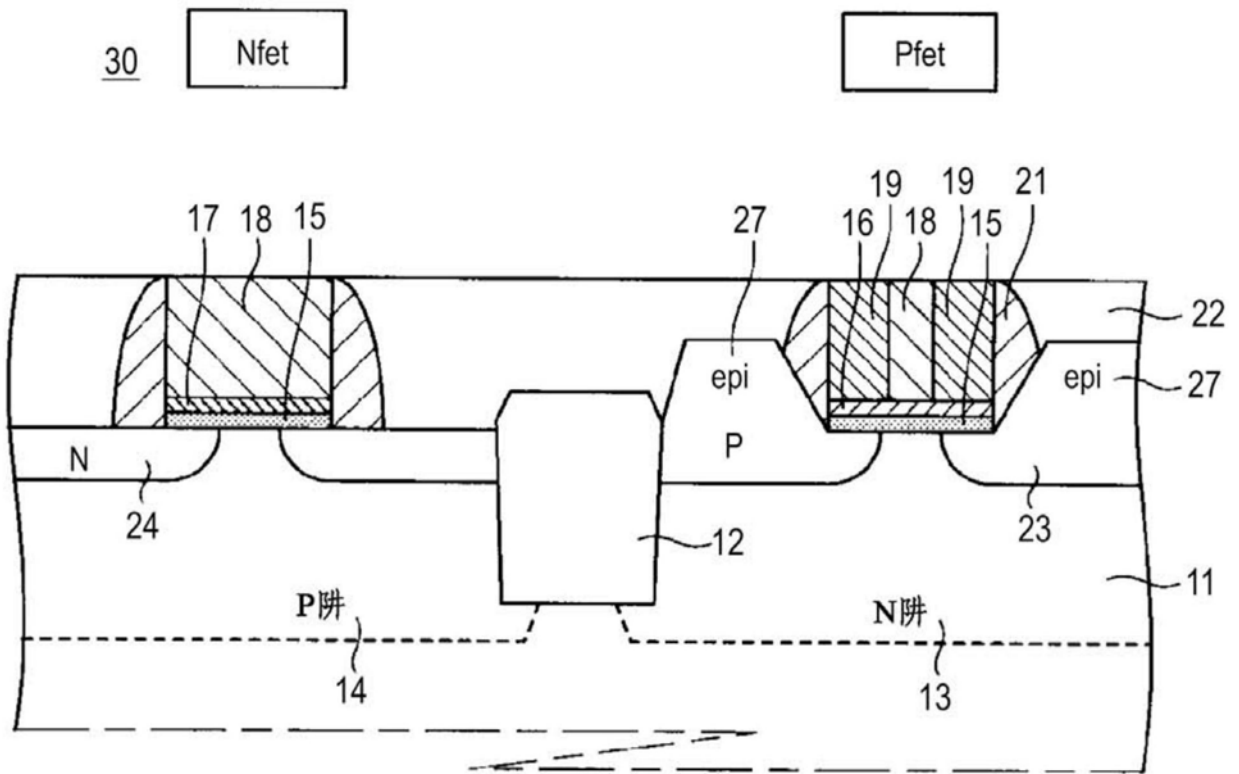


图8

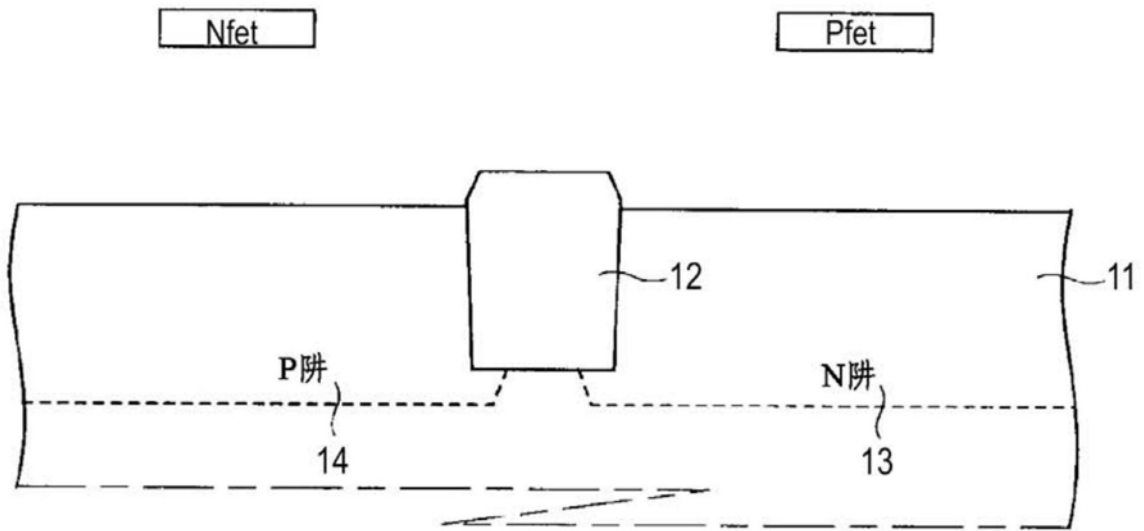


图9A

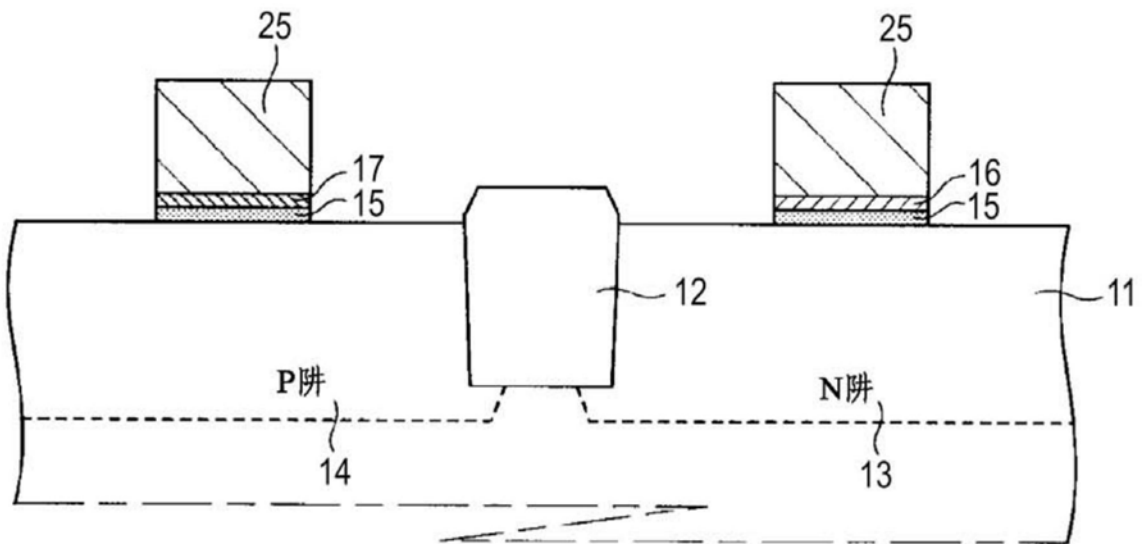


图9B

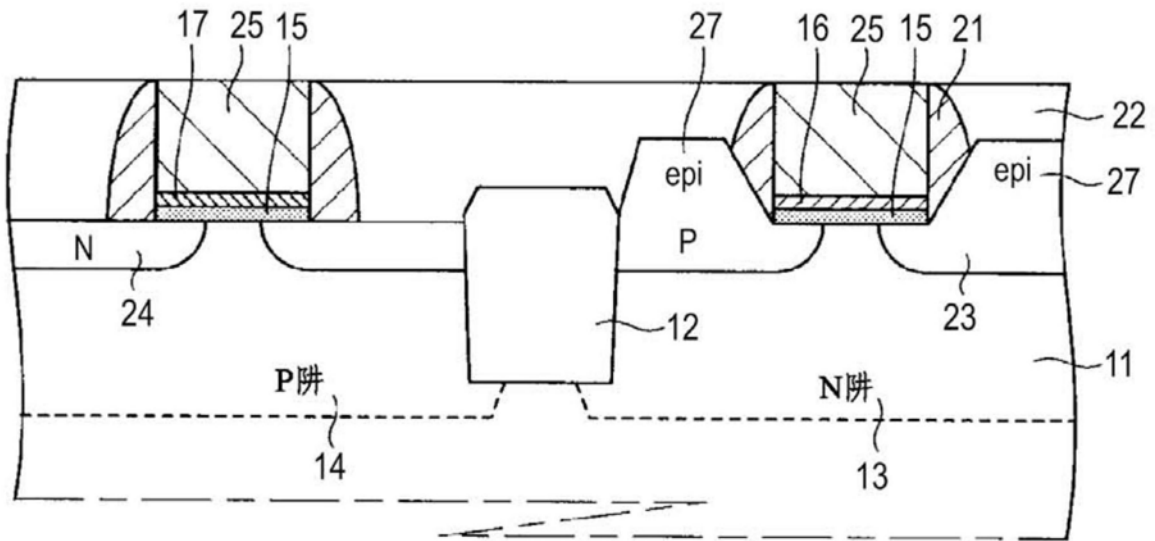


图9C

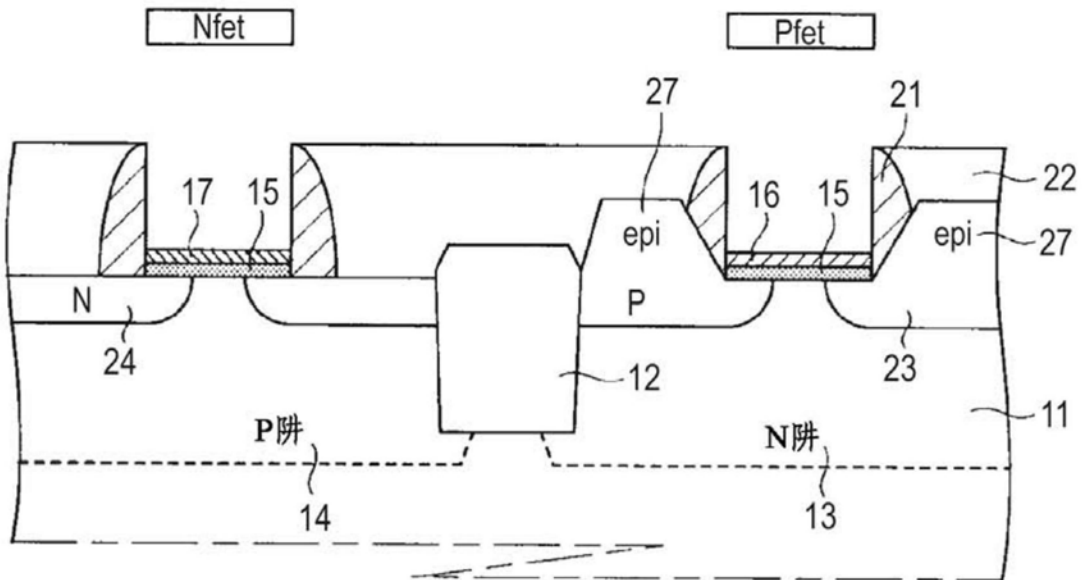


图10A

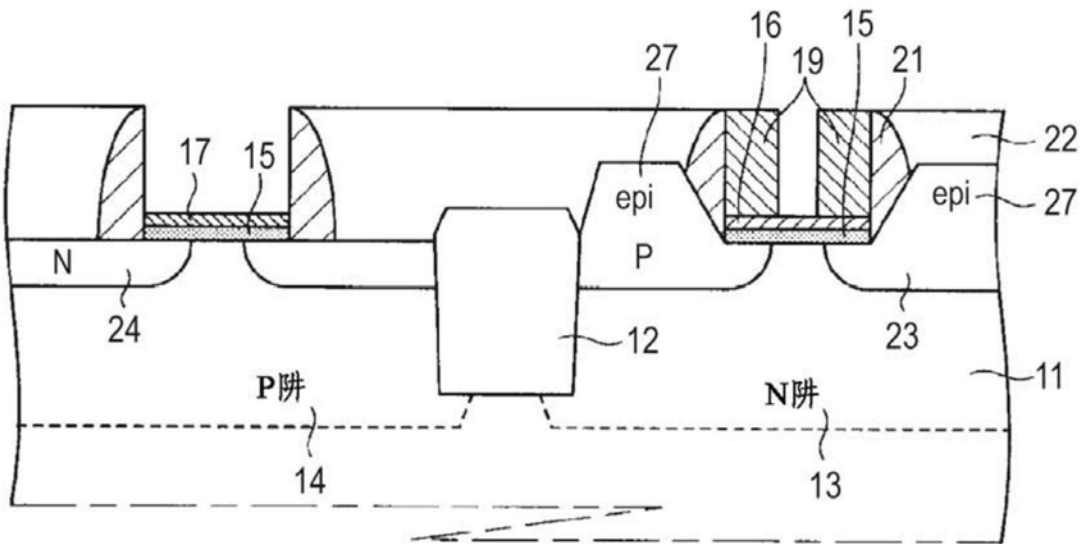


图10B

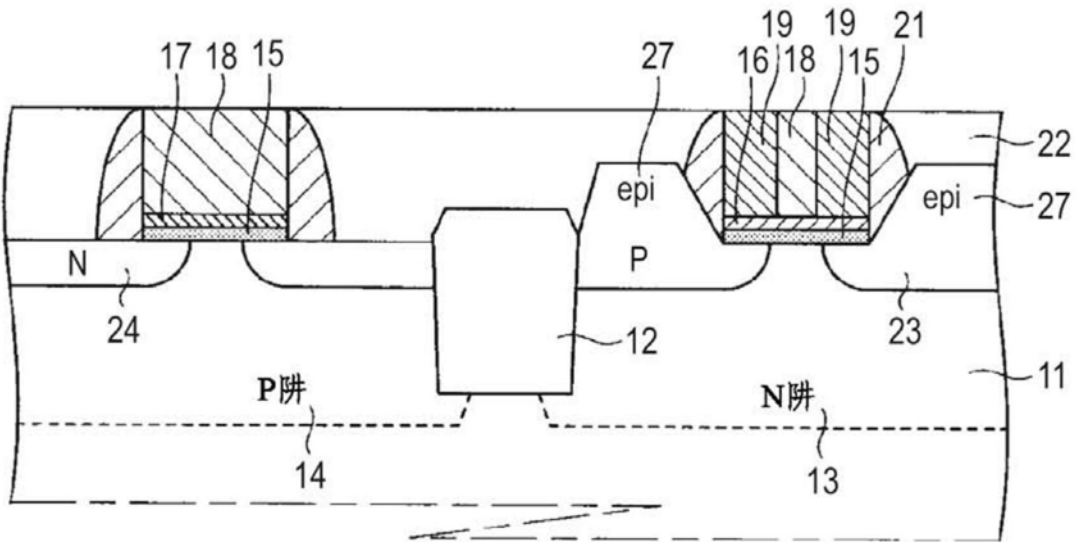


图10C

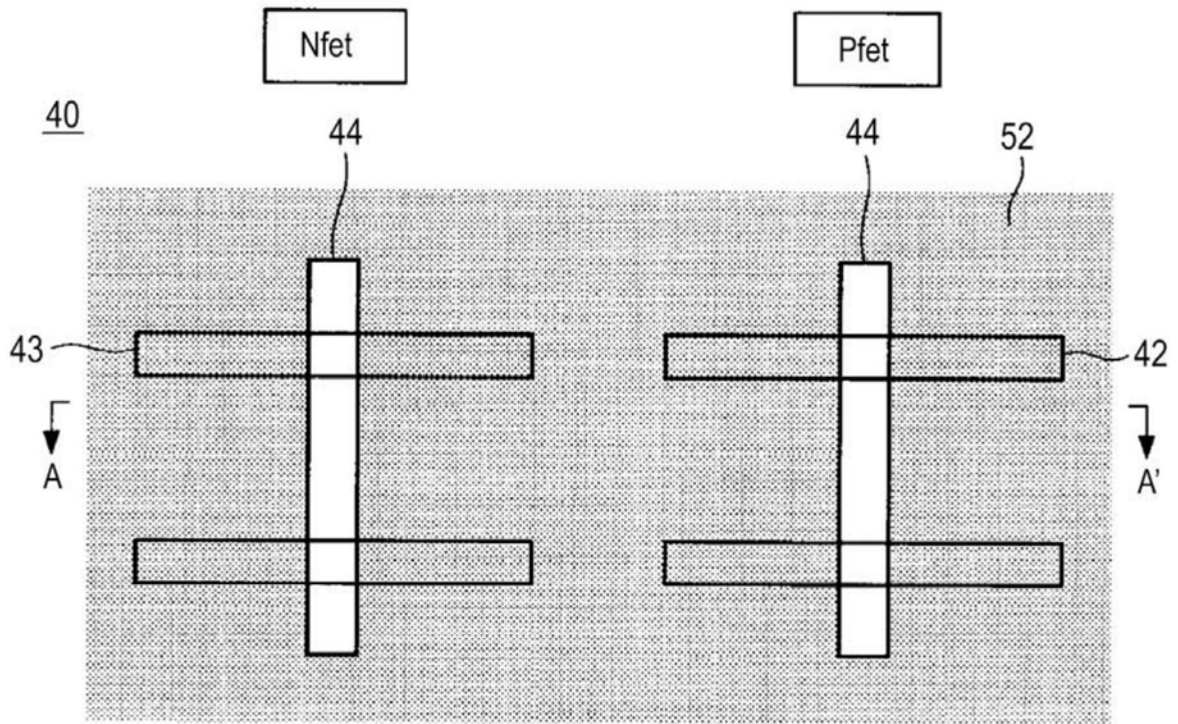


图11A

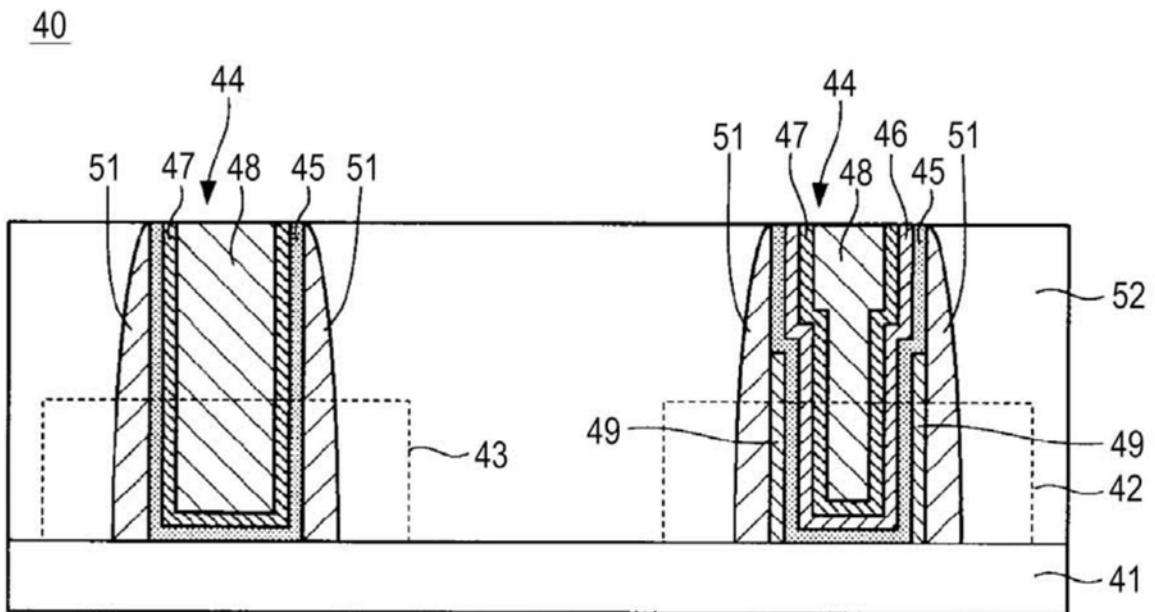


图11B

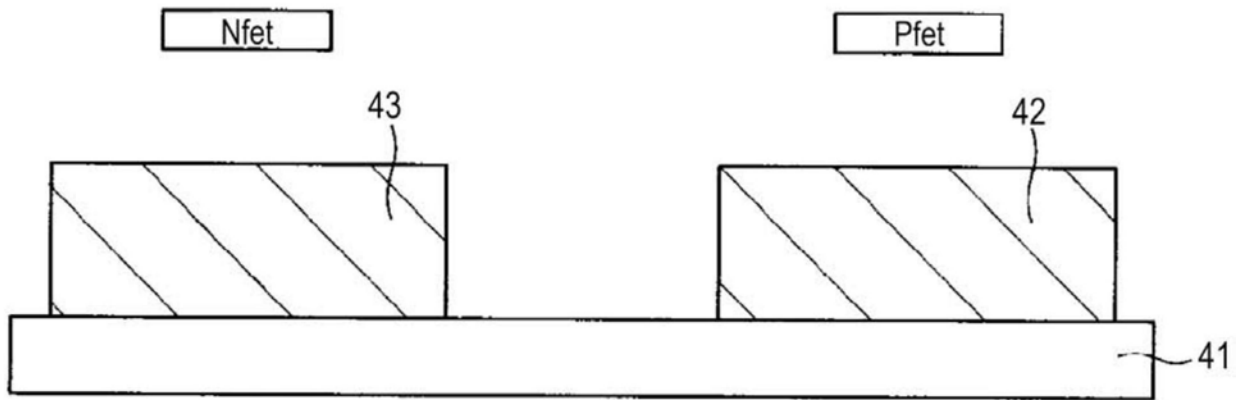


图12A

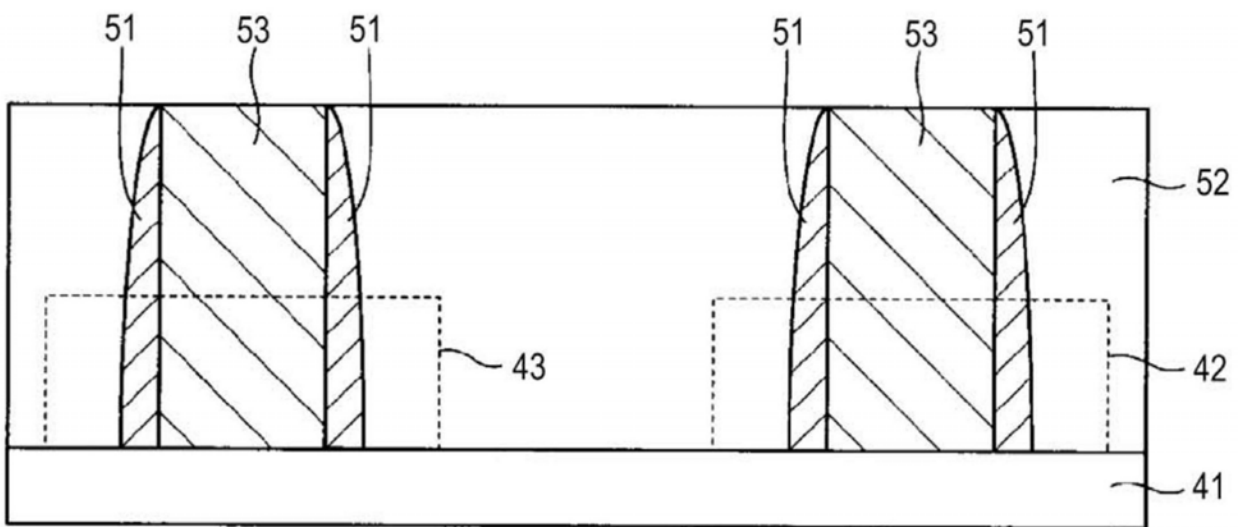


图12B

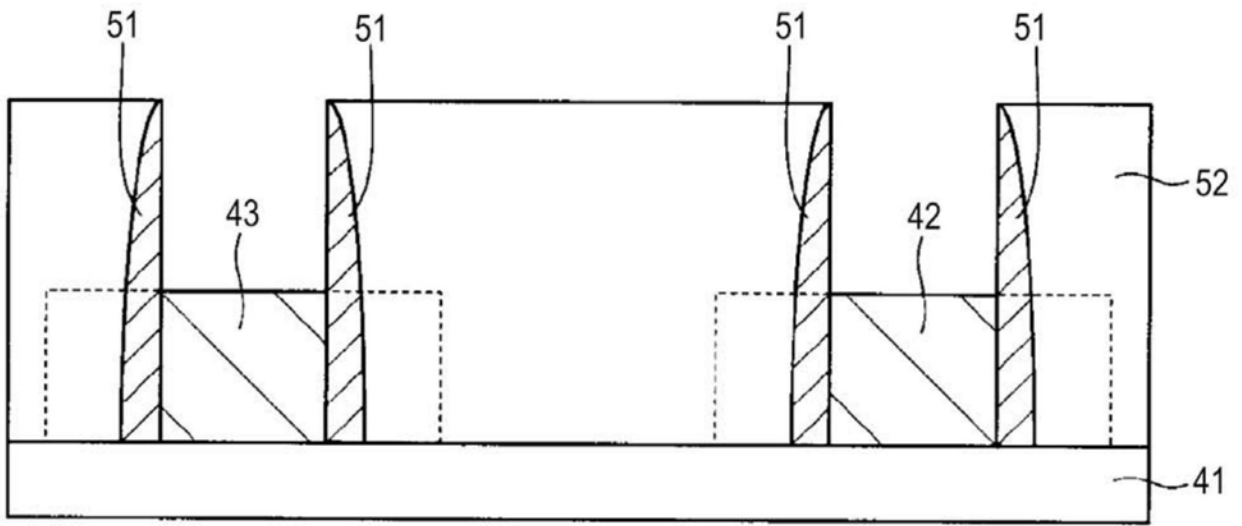


图12C

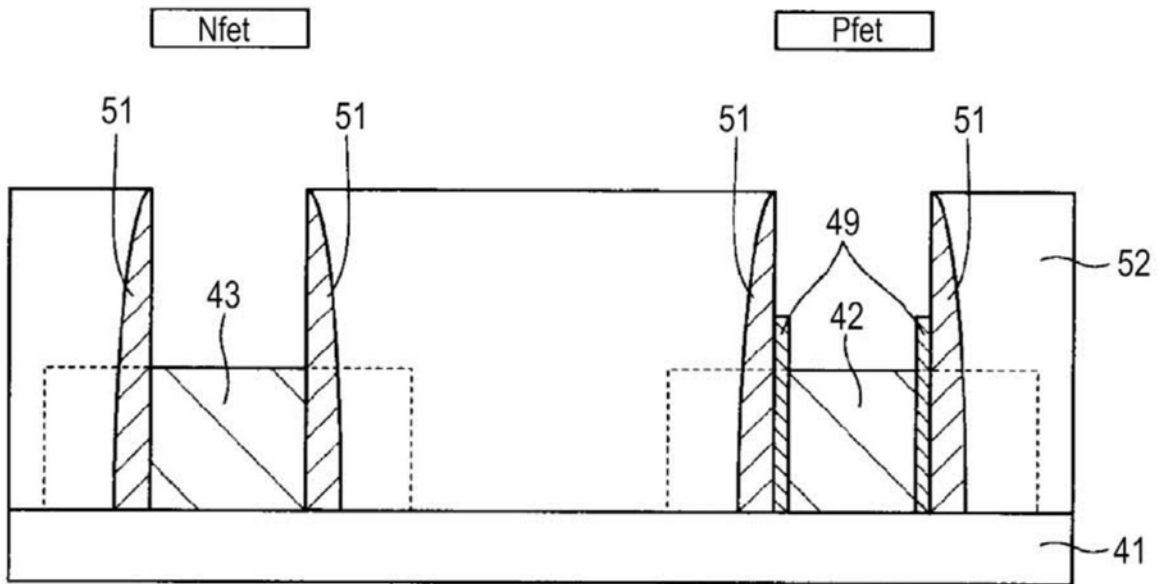


图13A

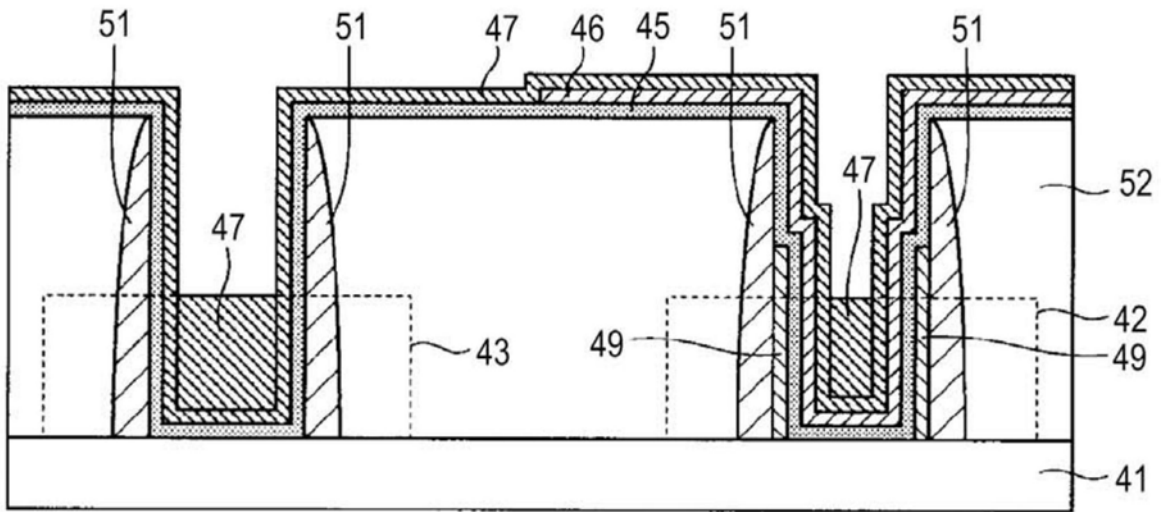


图13B

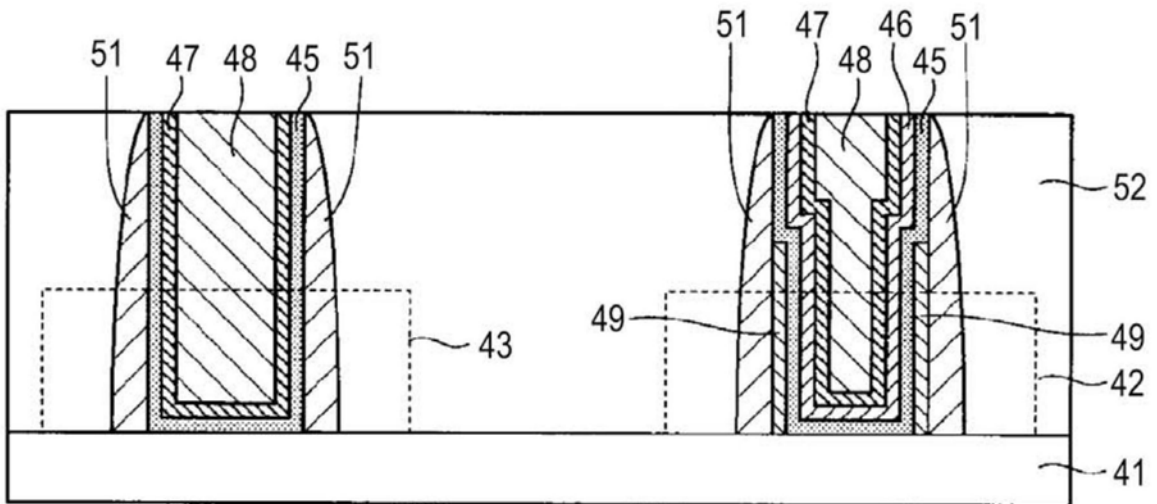


图13C

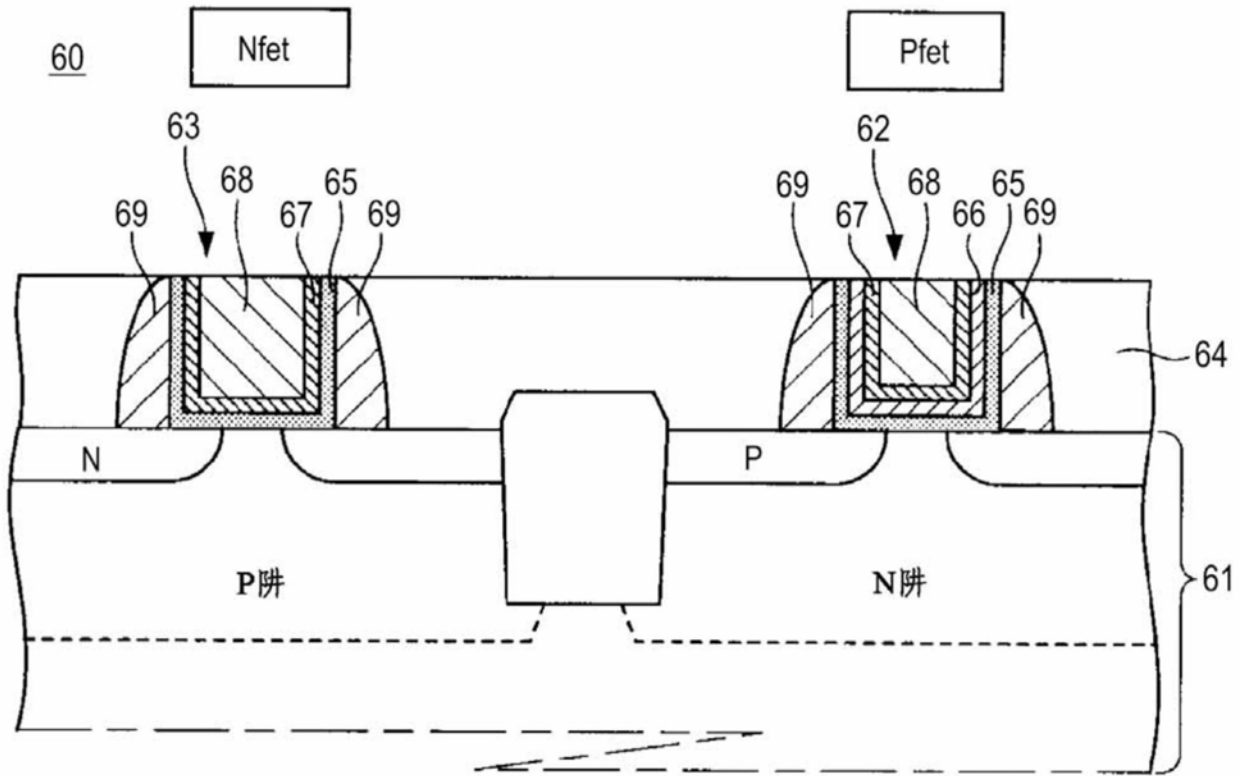


图14

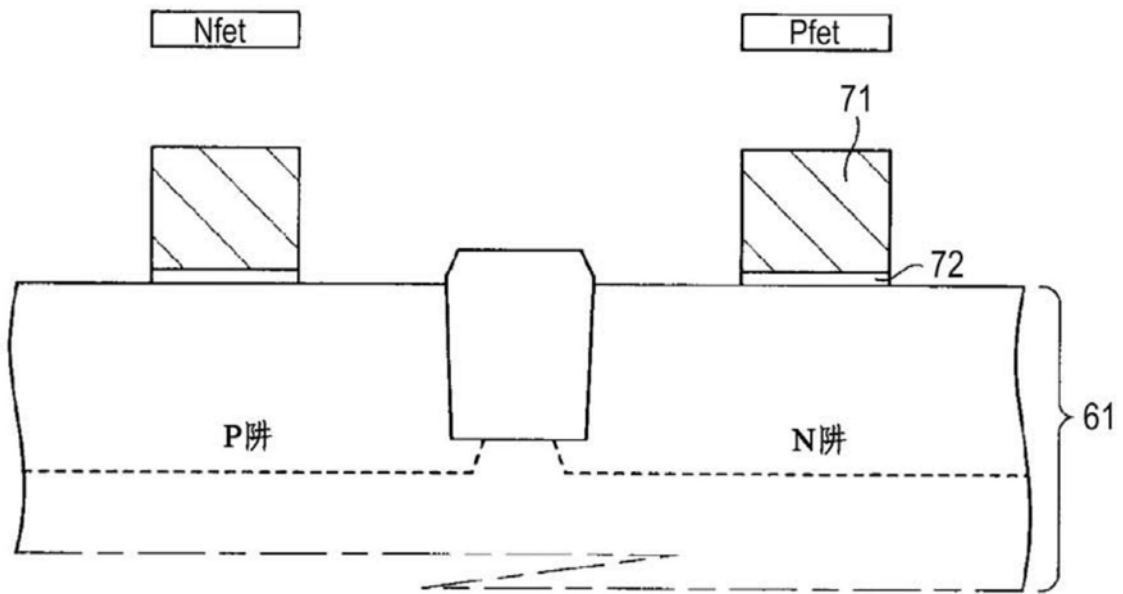


图15A

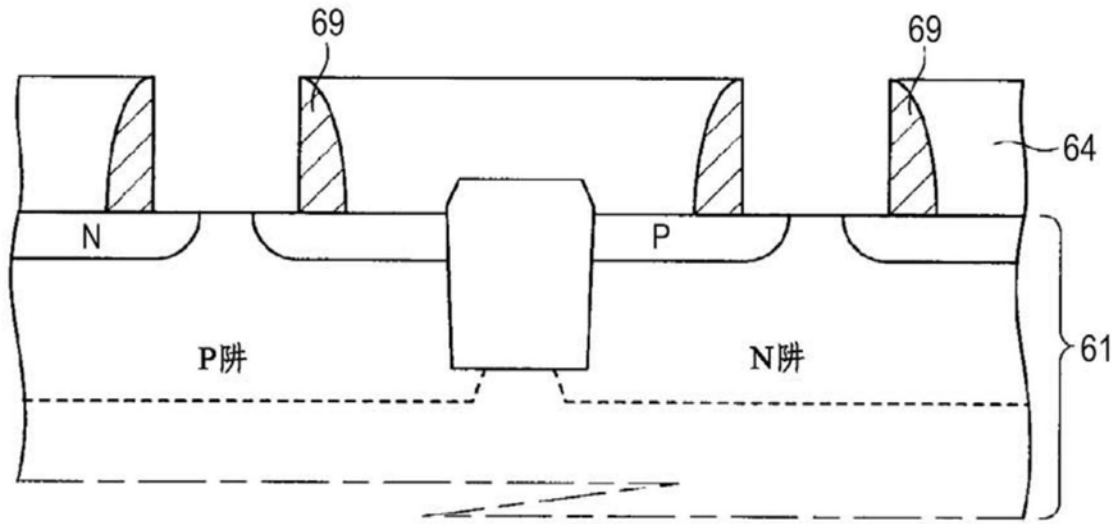


图15B

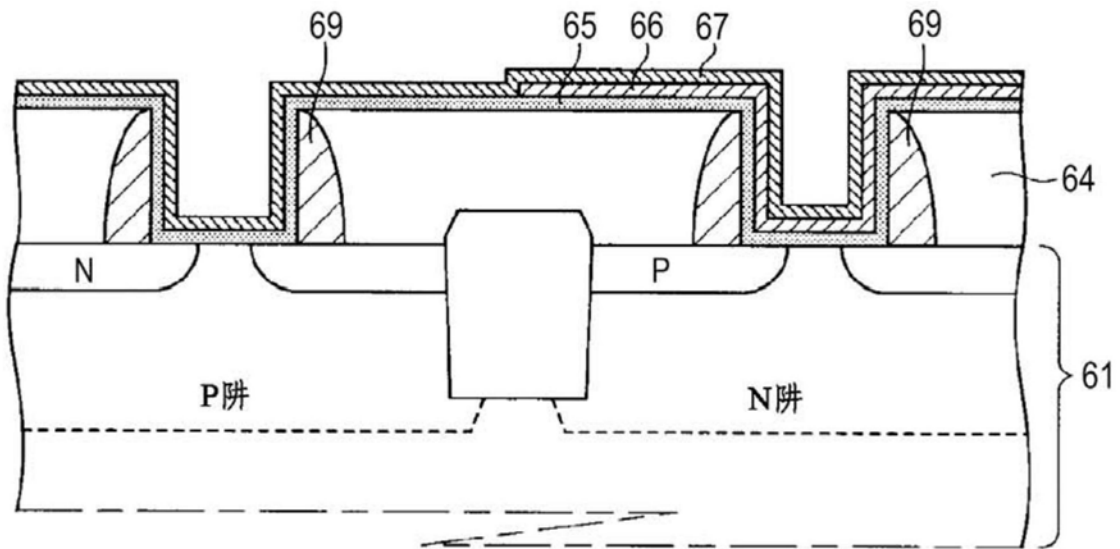


图15C