

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3925839号  
(P3925839)

(45) 発行日 平成19年6月6日(2007.6.6)

(24) 登録日 平成19年3月9日(2007.3.9)

(51) Int. Cl.	F I	
<b>G 1 1 C</b> 29/12 (2006.01)	G 1 1 C	29/00 6 7 1 Z
<b>G O 1 R</b> 31/28 (2006.01)	G O 1 R	31/28 B
<b>G O 6 F</b> 12/16 (2006.01)	G O 1 R	31/28 V
	G O 6 F	12/16 3 3 O A

請求項の数 4 (全 10 頁)

(21) 出願番号	特願2001-274247 (P2001-274247)	(73) 特許権者	000005049
(22) 出願日	平成13年9月10日 (2001.9.10)		シャープ株式会社
(65) 公開番号	特開2003-86000 (P2003-86000A)		大阪府大阪市阿倍野区長池町22番22号
(43) 公開日	平成15年3月20日 (2003.3.20)	(74) 代理人	100078282
審査請求日	平成16年6月18日 (2004.6.18)		弁理士 山本 秀策
		(72) 発明者	石川 真治
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		審査官	小林 紀和

最終頁に続く

(54) 【発明の名称】 半導体記憶装置およびその試験方法

(57) 【特許請求の範囲】

【請求項1】

ボードに実装された半導体記憶装置であって、  
アドレス信号が入力されるアドレス入力端子と、データが入出力されるデータ入出力端子とを有する外部端子と、

前記外部端子と内部の記憶領域との間の信号の入出力を制御するコントローラと、  
前記記憶領域内に設けられ、前記データ入出力端子から入力される第1特定信号に対する第1期待値データと、前記アドレス入力端子から入力される第2特定信号に対する第2期待値データとが記憶されている記憶部とを備え、

前記コントローラは、

前記データ入出力端子から入力される前記第1特定信号と、前記記憶部に記憶された前記第1期待値データとを比較して両者が一致するかの第1認識動作と、該第1認識動作の結果、前記第1特定信号と前記第1期待値データとが一致する場合に、前記アドレス入力端子から入力される前記第2特定信号と前記記憶部に記憶された前記第2期待値データとを比較して両者が一致するかの第2認識動作とを実行する認識部と、

前記認識部における前記第2認識動作の判定結果を出力する比較判定結果出力部と、  
を有することを特徴とする半導体記憶装置。

【請求項2】

前記記憶部には、複数の前記第1特定信号のそれぞれに対応して複数の前記第1期待値データが記憶されるとともに、複数の前記第2特定信号のそれぞれに対応して複数の前記

第2期待値データが記憶されている、請求項1に記載の半導体記憶装置。

【請求項3】

請求項1に記載の半導体記憶装置の外部端子のコンタクト状態を判定する試験方法であって、

前記認識部が、前記データ入出力端子から入力される前記第1特定信号と、前記記憶部に記憶された前記第1期待値データとを比較して両者が一致するかの第1認識動作を実行するステップと、

前記認識部が、前記第1特定信号と前記第1期待値データとが一致すると認識した場合に、前記アドレス入端子から入力される第2特定信号と、前記記憶部に記憶された前記第2期待値データとを比較して両者が一致するかの第2認識動作を実行するステップと、

前記比較判定結果出力部が、前記第2認識動作の結果、合格または不合格の判定結果を出力するステップと、

を包含することを特徴とする半導体記憶装置の試験方法。

【請求項4】

前記記憶部には、複数の前記第1特定信号のそれぞれに対応して複数の前記第1期待値データが記憶されるとともに、複数の前記第2特定信号のそれぞれに対応して複数の前記第2期待値データが記憶されており、

前記第1認識動作が、前記複数の第1特定信号と前記複数の第1期待値データとがそれぞれ一致するかの認識動作であり、前記第2認識動作が、前記複数の第2特定信号と前記複数の第2期待値データとがそれぞれ一致するかの認識動作である、請求項3に記載の半導体記憶装置の試験方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ボード等を実装された後に、外部端子のコンタクト状態を容易にチェックすることができる半導体記憶装置およびその試験方法に関する。

【0002】

【従来の技術】

半導体記憶装置（半導体チップ）をパッケージに搭載してボード等を実装した後に、その半導体記憶装置において外部と接続されて信号が入出力される各端子（外部端子）のコンタクト状態をチェックするためには、以下のような方法が挙げられる。

【0003】

最も原始的な方法は、各外部端子の半田付け状態を目視で確認する方法である。また、半導体記憶装置をボード等を実装した後に、実際にデバイスを動作させることによっても確認することができる。さらに、ゲートアレイ等のロジックデバイスにおいては、JTAGで規定されているバウンダリスキャン（boundary scan）等を行なうための試験回路を別途搭載して判断する方法もある。

【0004】

また、特開2000-206197号公報には、DRAM等のメモリデバイスをボードに実装した状態で、上記方法に比べて簡易に外部端子のコンタクトチェックを行なうための試験回路および試験方法が提案されている。この従来技術は、専用の試験用端子を設けることなく、デバイスに通常使用される電圧範囲内で、簡単なタイミング設定によって試験を行なうことを目的としている。試験を行う際には、デバイスに電源電圧を印加した後に、外部端子に特定の信号を入力することによって、試験回路を起動させる。実際にはチップ選択用端子を非選択状態から選択状態にすることによって試験回路を起動させることができる。さらに、外部端子を用途によって複数にグループ分けして、それぞれのグループに対して、試験を順次行う。

【0005】

【発明が解決しようとする課題】

近年、電子機器の小型化・薄型化が進み、半導体装置のパッケージについても、より実装

10

20

30

40

50

面積の少ないCSP(Chip Size Package)、BGA(Ball Grid Array)等が主流になってきている。これらのパッケージでは、パッケージの底面に外部端子がマトリクス状態に配置されており、ボード等を実装後に各端子の半田付け状態を目視で確認することは実質的に不可能である。

【0006】

また、デバイスを実際に動作させることによって外部端子のコンタクト状態を判定する場合には、簡易な動作だけで全ての端子のコンタクト状態をチェックすることは非常に困難である。この方法によって検出精度を向上させるためには、多数のパターンで半導体記憶装置に動作を行なわせる必要がある。このため、全ての外部端子のコンタクト状態を確実に検出できる試験を行うためには、デバイスの外部に試験装置を設けて必要な数のパターンで動作を実行させる必要があり、試験のためのコストが高くなる。

10

【0007】

また、バウンダリスキャン等を行なうためには、一般に、専用の試験回路を起動させるための端子を別途設ける必要があり、また、試験回路を追加することによって回路規模が大きく、複雑になる。従って、小型化、低コスト化が要求される一般的な半導体記憶装置には、バウンダリスキャンを行う方法は適していない。

さらに、半導体記憶装置が実装されるボード自体も集積化が進んできているため、外部試験回路を半導体記憶装置に接続して試験を行なうことも困難になってきている。

【0008】

これらの問題を解決するために、上記特開2000-206197号公報では、各端子を複数のグループ、例えばDRAMの場合にはチップ選択端子、アドレス入力端子、データ入出力端子の3つに分けて試験を行っている。しかしながら、この公報に開示されている方法では、グループ数の回数だけ試験を行う必要があり、また、グループ中の端子毎に入力信号を変化させて試験を行うため、全端子のコンタクト状態をチェックするためには、端子数だけ試験を行う必要がある。

20

【0009】

さらに、DRAM等の比較的端子数が少ないデバイスの場合には問題は少ないが、例えばNOR型フラッシュメモリ等のようにランダムアクセスが行われる、端子数が多いデバイスに上記公報の技術を適用するためには、容易に端子のコンタクト状態をチェックすることができない。例えば、アドレス入力端子等のテストを行う場合、上記公報の図4に示すように、複数の入力パターンを用いてテストを行うため、端子数が増えると入力パターンも増えるからである。さらに、このようなデバイスは大容量化が進んでいるため、端子数は増加する一方である。

30

【0010】

従って、上記公報の技術は、どのアドレス入力端子に問題があるのかを特定するためには有効であるが、実装後の外部端子のコンタクト状態を簡易にチェックするためには不向きである。

【0011】

さらに、上記公報の技術は、チップ選択用端子を非選択状態から選択状態にすることによって試験回路を起動させており、試験回路を停止させて通常の状態で使用するためには、デバイスを立ち上げる度に、グループ数の回数だけチップ選択用端子にダミー信号を入力して、通常動作モードに移行させる必要があり、汎用的ではない。

40

【0012】

本発明は、このような従来技術の課題を解決するためになされたものであり、半導体記憶装置をボード等を実装後に、専用の試験用端子を追加しなくても、通常動作と同じ簡易なタイミングによって、容易に精度良く、外部端子のコンタクト状態を判定することができる半導体記憶装置とその試験方法を提供することを目的とする。

【0013】

【課題を解決するための手段】

上記課題を解決するために、本発明の半導体記憶装置は、外部と接続されて信号が入出力

50

される外部端子と内部の記憶領域との間の信号の入出力を制御すると共に、半導体記憶装置をボードに実装後に、外部端子に特定の信号を入力することによって各端子のコンタクト状態を判定するコントローラと、該記憶領域内に該特定の信号の期待値データが記憶されている記憶部とを備え、該コントローラは、データ入出力端子から入力されたコマンド信号が判定実行コマンドを示すか否かを認識する認識部と、該認識部にて判定実行コマンドであると認識された場合に、アドレス入力端子から入力された信号と、該記憶部に記憶されている期待値データとを比較して、一致している場合には合格とし、一致しない場合には不合格として判定結果を出力する比較判定結果出力部とを有することを特徴とする。

【0014】

上記構成によれば、外部から予め定められた特定の信号を入力して、データ入出力端子に入力されたコマンド信号によって判定を実行するか否かを判断して、判定を実行する場合には、アドレス入力端子から入力された信号（そのデータ値）とコントローラによって記憶部に記憶されている期待値とを比較することによって、ボード等に半導体記憶装置が実装された後で、各端子のコンタクト状態を、従来技術よりも簡単に精度良くチェックすることができる。期待値は、デバイスの出荷テスト等の際にデバイス内部の記憶領域に書き込むことができる。または、デバイスの製造段階から書き込んでおくことも可能である。この機能は、デバイスを通常使用する際のライトタイミングおよびリードタイミングによって実現することができるので、この機能をシステムボード上のコントローラに搭載することによって、他に試験装置を設けなくても、システムボード単体でコンタクト状態をチェックすることができる。

【0015】

前記記憶部には、さらに、コマンド信号に対する期待値データが記憶されており、前記認識部は、データ入出力端子から入力されたコマンド信号と、該記憶ブロックに記憶されているコマンド信号に対する期待値データとを比較して、一致している場合には判定実行コマンドであると判断し、一致しない場合には判定実行コマンドではないと判断することができる。

【0016】

上記構成によれば、外部から予め定められた特定の信号（コマンド信号）をデータ入出力端子に入力して、コマンド信号（そのデータ値）とコントローラによって記憶部に記憶されている期待値とを比較するだけで、判定を実行するか否かを容易に判断することができる。

【0017】

前記記憶部には、様々なパッケージに対応するために、予め必要な複数の期待値が記憶されているのが好ましい。

【0018】

上記構成によれば、試験が行われるデバイスによって最適な期待値を格納しておくことができるため、様々なパッケージ、端子配置等に対応することができる。

【0019】

本発明の半導体記憶装置の試験方法は、本発明の半導体記憶装置を実装後に、外部と接続されて信号が入出力される外部端子のコンタクト状態を判定する試験方法であって、各外部端子に外部から特定の信号を入力し、前記認識部によって、データ入出力端子から入力されたコマンド信号が判定実行コマンドを示すか否かを認識するステップと、判定実行コマンドであると認識された場合に、前記比較判定結果出力部によって、アドレス入力端子から入力された信号と予め記憶部に記憶されている期待値データとを比較判定するステップとを含むことを特徴とする。

【0020】

上記方法によれば、電源端子に電源を印加して通常にデバイスを立ち上げた後、外部から予め定められた特定の信号を入力する。データ入出力端子からのコマンド信号が記憶部に記憶されている期待値と比較されて、判定実行コマンドとして認識されると、続いて入力されるアドレス入力端子からの信号と記憶部に記憶されている期待値とが比較されて判定

10

20

30

40

50

結果が出力される。この判定結果によって、従来技術よりも簡易な方法で、ボード等に半導体記憶装置が実装された後で、各端子のコンタクト状態を、精度良くチェックすることができる。また、この機能は、デバイスを通常使用する際のライトタイミングおよびリードタイミングによって実現することができるので、この機能をシステムボード上のコントローラに搭載することによって、他に試験装置を設けなくても、システムボード単体でコンタクト状態をチェックすることができる。

【0021】

前記特定の信号には、少なくとも2種類のパターンが含まれ、各外部端子に対して、少なくとも2回、コンタクト状態の判定を行うのが好ましい。

【0022】

上記方法によれば、2種類以上のパターンの信号によって試験を行うことによって、検出精度をより向上させることができる。

【0023】

【発明の実施の形態】

以下に、本発明の実施の形態について、図面に基づいて説明する。

【0024】

図1は、本発明の一実施形態である半導体記憶装置の概略構成について説明するためのブロック図である。図1では、半導体記憶装置の試験方法について説明するために、半導体記憶装置の端子部近傍のみを示しているが、各入出力端子および入力端子は、コントローラ1を介して、図示しないメモリセルに接続されている。各入出力端子および入力端子のコンタクト状態を判定する判定処理を行わない通常動作時には、コントローラ1は、各入出力端子および入力端子と、メモリセルとの間の信号の入出力を制御して、メモリセルへの情報の書き込みおよびメモリセルからの情報の読み出しを制御するようになっている。

【0025】

この半導体記憶装置は、外部と接続されて信号が入力または入出力される端子として、アドレス信号が入力されるアドレス入出力端子A0～Amと、データ信号が入出力されるデータ入出力端子DQ0～DQnと、チップイネーブル信号が入力されるチップ選択用端子CE#と、ライトイネーブル信号が入力されるコマンド制御用端子WE#と、アウトプットイネーブル信号が入力されるデータ出力制御用端子OE#と、リセット動作および超省消費電力モード制御用信号が入力されるリセットパワーダウンピンRP#とを有している。

【0026】

各アドレス入力端子A0～Amから入力される信号は、それぞれ、入力バッファ2を介してコントローラ1に入力される。また、各データ入出力端子DQ0～DQnから入出力される信号は、それぞれ、入出力バッファ3を介してコントローラ1に入出力される。チップイネーブル信号(CE#)、ライトイネーブル信号(WE#)、アウトプットイネーブル信号(OE#)、リセット動作および超省消費電力モード制御用信号(RP#)は、それぞれ、コントローラ1に入力される。また、デバイス内部の記憶領域4には、アドレス端子およびデータ端子から入力される各信号の期待値がそれぞれ記憶されており、コントローラ1に供給されるようになっている。コントローラ1の内部には、データ端子から入力された信号DQ0～DQnと記憶領域4から供給された信号の期待値とを比較して、コンタクト状態を判定するための判定実行コマンドであるか否かを認識する認識部と、アドレス端子から入力された信号A0～Amと記憶領域4から供給された信号の期待値とを比較して判定結果を出力する比較判定結果出力部とが設けられている。

【0027】

以下に、図2に示すようなCSP(Chip Size Package)デバイスを例として、本実施形態の半導体記憶装置の試験方法について説明する。このデバイスにおいて、各端子は、図2に示すように、マトリックス状に配置されている。この図2において、5Eに配置されているVccは電源端子であり、1Eおよび8Eに配置されているGND

10

20

30

40

50

は接地端子である。また、A0～A17はアドレス入力端子であり、DQ0からDQ15はデータ入出力端子であり、CE#はチップイネーブル信号入力端子であり、WE#はライトイネーブル信号入力端子であり、OE#はアウトプットイネーブル信号入力端子でありRP#はリセット動作および超省消費電力モード制御用信号入力端子である。さらに、4Bに配置されているVppは電源端子であり、4A、3B、6B、4C、5C、8Fに配置されているNCはノンコネクタ端子である。

**【0028】**

ここで、アドレス端子およびデータ端子に入力される信号としては、図3および図4に示すように、隣り合う端子（例えば1Aに配置されている端子と2Aに配置されている端子など）に対して、別のレベル（"L"および"H"）の信号を入力した方が効果的である。これによって、その端子の接続状態（コンタクト状態）だけでなく、隣接する端子との短絡も同時に試験することができる。なお、図4は図3に示す入力信号レベル"H"および"L"を反転させた例を示す。

10

**【0029】**

図3に示す入力信号に対応するアドレス端子、データ端子への入力値は、それぞれ、図6に(1)で示すような値になり、図4に示す入力信号に対応したアドレス端子、データ端子への入力値は、それぞれ、図6に(2)で示すような値になる。これらの値は、期待値として使用するために、図1に示すデバイス内部の記憶領域4に予め格納されている。この記憶領域4は、メインメモリセルとは別領域に設けられており、構造はメインメモリセルと同じであっても異なってもよい。

20

**【0030】**

デバイスに電源電圧を印加した後で、図5に示すタイミングチャートにおいて(1)の部分で示すように、ライトイネーブル信号WE#を用いたタイミングによって、図6に(1)で示す値AmおよびDQnが、アドレス端子およびデータ端子からそれぞれ入力される。

**【0031】**

このとき、データ端子から入力された値が正しく図1に示す入出力バッファ3に格納され、コントローラ1内部の認識部において記憶領域4からの期待値と比較され、判定実行コマンドであるか否かが判断される。そして、判定実行コマンドとして認識されると、アドレス端子から入力された値が格納されている入力バッファ2の値と記憶領域4からの期待値とがコントローラ1内部の認識部において比較される。この比較結果が一致すれば、コントローラ1の比較判定結果出力部から、予め決められた合格を示す値（例えば0×80）が、一致しなければ不合格を示す値（例えば0×80以外の値）が出力され、入出力バッファ3を介してデータ入出力端子から判定結果として出力される。

30

**【0032】**

出力された判定結果は、図5に示すタイミングチャートにおいて(2)の部分で示すように、OE#端子に"L"の信号を印加することによって、データ端子から出力される判定結果がリードされて確認される。

**【0033】**

続いて、コンタクト状態が不良である端子でも、入力信号が偶然に一致して判定結果が不正確になることを避けるために、図6に示す(1)とは"H"と"L"の論理を逆にした図6に(2)で示す値を使用して、同様の方法によって再度、コンタクト状態を判定する。

40

**【0034】**

ここで、例えばデータ入出力端子にコンタクト不良がある場合には、データ入出力端子から入力された値が判定実行コマンドとして認識されないため、アドレス入力端子から入力された値と期待値との比較自体が行われず、出力結果が合格を示す値ではないことから、コンタクト不良があると判定することができる。また、アドレス入力端子にコンタクト不良がある場合には、アドレス入力端子から入力された値と期待値との比較は行なわれるが、入力バッファ2に格納される値は期待値とは異なる値になり、不合格の判定結果が出力

50

されることから、コンタクト不良があると判定することができる。さらに、ライトイネーブル信号入力端子WE#にコンタクト不良がある場合には、デバイスに対してデータ入出力端子からの入力が行なわれず、入出力バッファ3に値が格納されないため、判定実行コマンドとして認識されず、比較は行なわれないことから、コンタクト不良があると判定することができる。また、アウトプットイネーブル信号入力端子OE#にコンタクト不良がある場合には、比較判定結果が出力されないことから、コンタクト不良があると判定することができる。また、リセット動作および超消費電力モード制御信号入力端子RP#にコンタクト不良がある場合には、デバイスがリセットされないことから、コンタクト不良があると判定することができる。さらに、チップイネーブル信号入力端子CE#にコンタクト不良がある場合には、デバイスが動作しないことから、コンタクト不良があると判定することができる。

10

【0035】

以上のように、本実施形態によれば、従来よりも簡単な方法で効率よく、外部端子のコンタクト状態をチェックすることができる。

【0036】

【発明の効果】

以上詳述したように、本発明によれば、外部から予め定められた特定の信号を入力し、内部のコントローラによって記憶部に記憶されている期待値と比較することによって、ボード等に半導体記憶装置が実装された後で、各外部端子のコンタクト状態を、従来技術よりも簡単に精度良くチェックすることができる。また、半導体記憶装置が実装されるシステムボードのコントローラに、信号の入力と比較結果の判定機能とを持たせることによって、試験用装置を別に設けなくても、システムボード単体で外部端子のコンタクト状態をチェックすることができる。

20

【0037】

また、本発明によれば、外部からコマンド信号として入力された値を内部のコントローラによって記憶部に記憶されている期待値とを比較するだけで、従来よりも簡単な方法によって、各外部端子のコンタクト状態をチェックすることができる。

【0038】

また、本発明によれば、試験が行われるデバイスによって最適な期待値を格納しておくことができるため、様々なパッケージ、端子配置等に対応することができる。

30

【0039】

また、本発明によれば、従来技術よりも簡易な方法で、ボード等に半導体記憶装置が実装された後で、各端子のコンタクト状態を、精度良くチェックすることができる。

【0040】

さらに、本発明によれば、2種類以上のパターンの信号によって試験を行うことによって、検出精度をより向上させることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態である半導体記憶装置の概略構成を説明するためのブロック図である。

【図2】本発明の一実施形態である半導体記憶装置において、CSPパッケージを例とした端子配置例を示す図である。

40

【図3】本発明の一実施形態である半導体記憶装置における、入力信号の一例を示す図である。

【図4】本発明の一実施形態である半導体記憶装置における、入力信号の他の例を示す図である。

【図5】本発明の一実施形態である半導体記憶装置の試験方法を説明するためのタイミングチャートである。

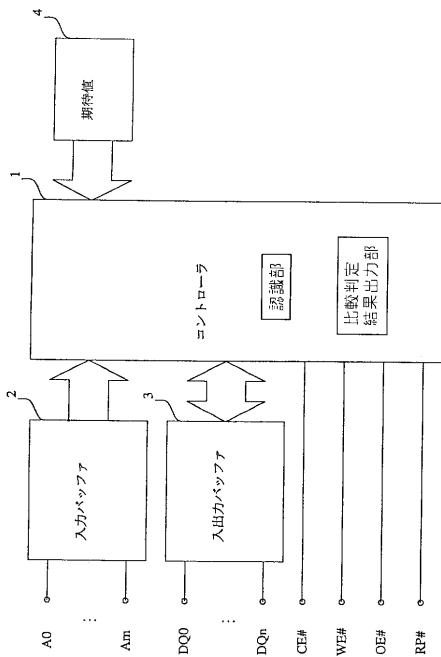
【図6】本発明の一実施形態である半導体記憶装置の試験方法における、入力信号の期待値の例である。

【符号の説明】

50

- 1 デバイス内部のコントローラ
- 2 アドレス入力バッファ
- 3 データ入出力バッファ
- 4 デバイス内部の期待値記憶領域

【図1】

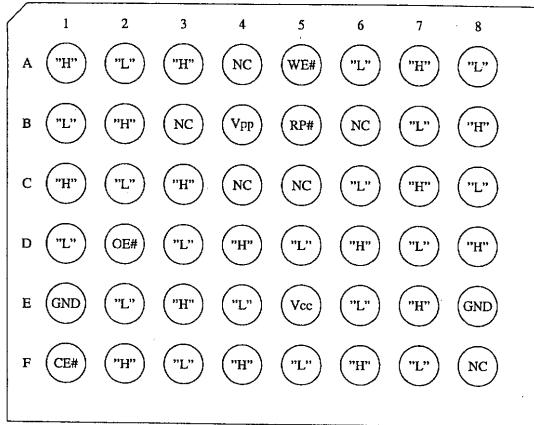


【図2】

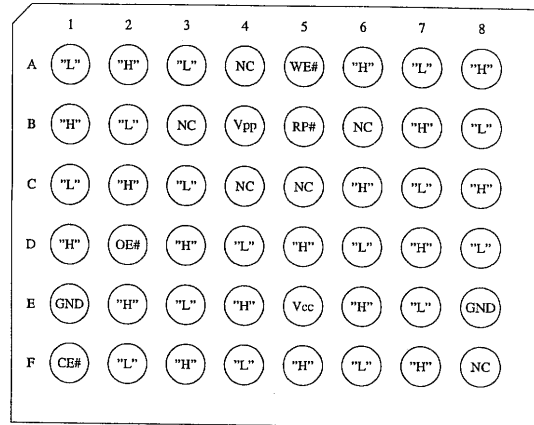
	1	2	3	4	5	6	7	8
A	A2	A5	A17	NC	WE#	A8	A11	A14
B	A3	A6	NC	Vpp	RP#	NC	A10	A13
C	A1	A4	A7	NC	NC	A9	A12	A15
D	A0	OE#	DQ1	DQ10	DQ12	DQ6	DQ15	A16
E	GND	DQ8	DQ2	DQ1	Vcc	DQ5	DQ14	GND
F	CE#	DQ0	DQ9	DQ3	DQ4	DQ13	DQ7	NC



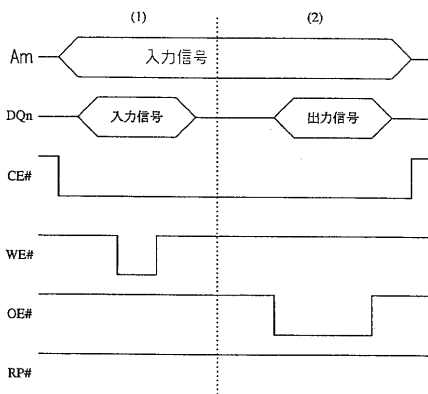
【 図 3 】



【 図 4 】



【 図 5 】



【 図 6 】

	(1)	(2)
Am	0x338c6	0x0c739
DQn	0x644d	0x9bb2

---

フロントページの続き

- (56)参考文献 特開平10 - 228391 (JP, A)  
特開平10 - 326485 (JP, A)  
特開平09 - 179751 (JP, A)  
特開2000 - 206197 (JP, A)  
特開平9 - 91998 (JP, A)

(58)調査した分野(Int.Cl. , DB名)

G11C 29/12

G01R 31/28