(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2013-257533
(P2013-257533A)
(43)公開日　平成25年12月26日(2013.12.26)

(51)Int.Cl.		F I			テーマコード（参考）
G09G 3/30	(2006.01)	G09G	3/30	H	3K107
G09G 3/20	(2006.01)	G09G	3/20	621M	5C080
G09F 9/30	(2006.01)	G09G	3/20	670Q	5C094
H01L 27/32	(2006.01)	G09G	3/20	624B	5C380
H01L 51/50	(2006.01)	G09G	3/20	623R	

審査請求 未請求　請求項の数 10　ＯＬ　（全 18 頁）　最終頁に続く

(21)出願番号　特願2013-59614(P2013-59614)
(22)出願日　平成25年3月22日(2013.3.22)
(31)優先権主張番号　10-2012-0063223
(32)優先日　平成24年6月13日(2012.6.13)
(33)優先権主張国　韓国(KR)

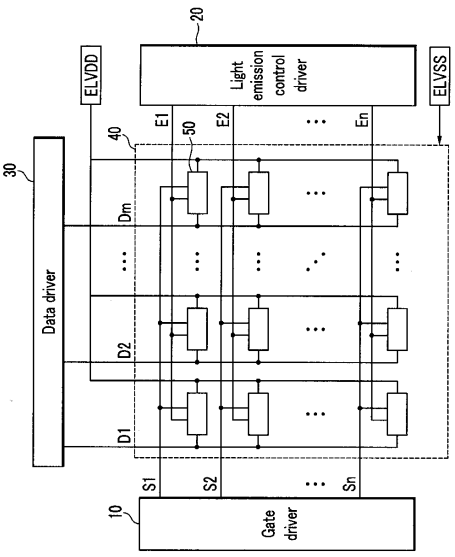
(71)出願人　512187343
三星ディスプレイ株式會社
Ｓａｍｓｕｎｇ　Ｄｉｓｐｌａｙ　Ｃｏ．，Ｌｔｄ．
大韓民国京畿道龍仁市器興区三星二路９５９５，Ｓａｍｓｕｎｇ　２　Ｒｏ，Ｇｉｈｅｕｎｇ－Ｇｕ，Ｙｏｎｇｉｎ－Ｃｉｔｙ，Ｇｙｅｏｎｇｇｉ－Ｄｏ，Ｋｏｒｅａ
(74)代理人　100146835
弁理士　佐伯　義文
(74)代理人　100089037
弁理士　渡邊　隆
(72)発明者　金　陽完
大韓民国京畿道龍仁市器興区三星二路９５

Ｆターム(参考)　3K107 AA01 BB01 CC45 EE03 HH05

最終頁に続く

(54)【発明の名称】有機発光表示装置

(57)【要約】
【課題】静電気による不良が抑制された有機発光表示装置を提供する。
【解決手段】有機発光表示装置は、ゲート線およびデータ線の交差領域に位置する複数の画素を含み、パネルの中央領域に位置する画素部と、前記ゲート線にゲート信号を供給し、前記パネルの一側に位置するゲート駆動部と、点灯検査信号が入力される第１入力ラインおよび検査制御信号が入力される第２入力ラインに接続され、前記検査制御信号に応じて前記データ線に前記点灯検査信号を供給し、前記パネルの他側に位置する点灯検査回路と、前記ゲート駆動部にゲートハイレベル電圧を供給し、前記ゲート駆動部および前記点灯検査回路を囲む第１電源供給ラインと、前記ゲート駆動部にゲートローレベル電圧を供給し、前記ゲート駆動部および前記点灯検査回路を囲む第２電源供給ラインとを含み、前記点灯検査回路の前記第２入力ラインは、前記第１電源供給ラインまたは前記第２電源供給ラインと抵抗素子を介して連結される。
【選択図】図１



【特許請求の範囲】
【請求項１】
ゲート線およびデータ線の交差領域に位置する複数の画素を含み、パネルの中央領域に位置する画素部と、
前記ゲート線にゲート信号を供給し、前記パネルの一側に位置するゲート駆動部と、
点灯検査信号が入力される第１入力ラインおよび検査制御信号が入力される第２入力ラインに接続され、前記検査制御信号に応じて前記データ線に前記点灯検査信号を供給し、前記パネルの他側に位置する点灯検査回路と、
前記ゲート駆動部にゲートハイレベル電圧を供給し、前記ゲート駆動部および前記点灯検査回路を囲む第１電源供給ラインと、
前記ゲート駆動部にゲートローレベル電圧を供給し、前記ゲート駆動部および前記点灯検査回路を囲む第２電源供給ラインとを含み、
前記点灯検査回路の前記第２入力ラインは、前記第１電源供給ラインまたは前記第２電源供給ラインと抵抗素子を介して連結されることを特徴とする有機発光表示装置。
【請求項２】
前記点灯検査回路は、
チャネル層と、前記チャネル層に連結され、前記第１入力ラインに接続されるソース電極と、前記チャネル層に連結され、前記データ線に接続されるドレイン電極と、前記第２入力ラインに接続されるゲート電極とを含む複数のトランジスタを含むことを特徴とする請求項１に記載の有機発光表示装置。
【請求項３】
前記チャネル層は、ｐタイプの半導体を含み、
前記第２入力ラインは、前記第１電源供給ラインと前記抵抗素子を介して連結されることを特徴とする請求項２に記載の有機発光表示装置。
【請求項４】
前記チャネル層は、ｎタイプの半導体を含み、
前記第２入力ラインは、前記第２電源供給ラインと前記抵抗素子を介して連結されることを特徴とする請求項２に記載の有機発光表示装置。
【請求項５】
前記抵抗素子は、前記チャネル層と同一層に位置することを特徴とする請求項２に記載の有機発光表示装置。
【請求項６】
前記画素部を挟んで前記ゲート駆動部に対向するように前記パネルに位置し、前記ゲート線に並んで配置される発光制御線に発光制御信号を供給する発光制御駆動部をさらに含むことを特徴とする請求項１に記載の有機発光表示装置。
【請求項７】
前記第１電源供給ラインは、前記発光制御駆動部に前記ゲートハイレベル電圧を供給し、前記第１電源供給ラインは、前記発光制御駆動部、前記ゲート駆動部および前記点灯検査回路を囲み、
前記第２電源供給ラインは、前記発光制御駆動部に前記ゲートローレベル電圧を供給し、前記第２電源供給ラインは、前記発光制御駆動部、前記ゲート駆動部および前記点灯検査回路を囲むことを特徴とする請求項６に記載の有機発光表示装置。
【請求項８】
前記ゲート信号および前記発光制御信号のハイレベル電圧は、前記ゲートハイレベル電圧に起因して生成され、前記ゲート信号および前記発光制御信号のローレベル電圧は、前記ゲートローレベル電圧に起因して生成されることを特徴とする請求項７に記載の有機発光表示装置。
【請求項９】
前記画素部を挟んで前記点灯検査回路に対向するように前記パネルに位置し、前記データ線にデータ信号を供給するデータ駆動部をさらに含むことを特徴とする請求項６に記載

の有機発光表示装置。
【請求項１０】
前記ゲート駆動部および前記発光制御駆動部は、前記画素部を挟んでそれぞれ前記パネルの左側または右側に位置し、
前記点灯検査回路および前記データ駆動部は、前記画素部を挟んでそれぞれ前記パネルの上側または下側に位置することを特徴とする請求項９に記載の有機発光表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、有機発光表示装置に関するものであり、より詳細には、点灯検査回路を含む有機発光表示装置に関するものである。
【背景技術】
【０００２】
表示装置は、イメージを表示する装置であって、最近、有機発光表示装置（ｏｒｇａｎｉｃ ｌｉｇｈｔ ｅｍｉｔｔｉｎｇ ｄｉｏｄｅ ｄｉｓｐｌａｙ）が注目されている。
【０００３】
有機発光表示装置は、自発光特性を有し、液晶表示装置（ｌｉｑｕｉｄ ｃｒｙｓｔａｌ ｄｉｓｐｌａｙ ｄｅｖｉｃｅ）とは異なって別の光源を必要としないため、厚さと重量を減少させることができる。また、有機発光表示装置は、低い消費電力、高い輝度および高い反応速度などの高品位特性を示す。
【０００４】
一般的に、有機発光表示装置は、複数の画素を含む画素部と、画素部にゲート信号を供給するゲート駆動部と、画素部にデータ信号を供給するデータ駆動部とを含み、画素の正常点灯の可否を確認するための点灯検査を行う時に用いられる点灯検査回路を含む。ここで、点灯検査回路は、外部から供給される検査制御信号に対応して点灯検査信号をデータ線に供給するための複数の薄膜トランジスタを含む。
【０００５】
一方、点灯検査回路に含まれている薄膜トランジスタおよび薄膜トランジスタに検査制御信号および点灯検査信号を供給するラインは、外部から流入する静電気（ＥＳＤ）に露出しやすく、有機発光表示装置を製造する工程の途中や、有機発光表示装置の製造が完了した後も静電気によって損傷しやすい問題があった。
【０００６】
点灯検査回路の薄膜トランジスタおよび薄膜トランジスタに検査制御信号および点灯検査信号を供給するラインが静電気によって損傷すると、点灯検査を効果的に行うことができないと共に、有機発光表示装置の駆動不良が発生する問題があった。
【発明の概要】
【発明が解決しようとする課題】
【０００７】
本発明の一実施形態は、上述した問題を解決するためのものであって、静電気による不良が抑制された有機発光表示装置を提供しようとする。
【課題を解決するための手段】
【０００８】
上述した技術的課題を達成するための本発明の一態様は、ゲート線およびデータ線の交差領域に位置する複数の画素を含み、パネルの中央領域に位置する画素部と、前記ゲート線にゲート信号を供給し、前記パネルの一側に位置するゲート駆動部と、点灯検査信号が入力される第１入力ラインおよび検査制御信号が入力される第２入力ラインに接続され、前記検査制御信号に応じて前記データ線に前記点灯検査信号を供給し、前記パネルの他側に位置する点灯検査回路と、前記ゲート駆動部にゲートハイレベル電圧を供給し、前記ゲート駆動部および前記点灯検査回路を囲む第１電源供給ラインと、前記ゲート駆動部にゲ

ートローレベル電圧を供給し、前記ゲート駆動部および前記点灯検査回路を囲む第２電源供給ラインとを含み、前記点灯検査回路の前記第２入力ラインは、前記第１電源供給ラインまたは前記第２電源供給ラインと抵抗素子を介して連結される有機発光表示装置を提供する。

【０００９】

前記点灯検査回路は、チャネル層と、前記チャネル層に連結され、前記第１入力ラインに接続されるソース電極と、前記チャネル層に連結され、前記データ線に接続されるドレイン電極と、前記第２入力ラインに接続されるゲート電極とを含む複数のトランジスタを含むことができる。

【００１０】

前記チャネル層は、ｐタイプの半導体を含み、前記第２入力ラインは、前記第１電源供給ラインと前記抵抗素子を介して連結できる。

【００１１】

前記チャネル層は、ｎタイプの半導体を含み、前記第２入力ラインは、前記第２電源供給ラインと前記抵抗素子を介して連結できる。

【００１２】

前記抵抗素子は、前記チャネル層と同一層に位置することができる。

【００１３】

前記画素部を挟んで前記ゲート駆動部に対向するように前記パネルに位置し、前記ゲート線に並んで配置される発光制御線に発光制御信号を供給する発光制御駆動部をさらに含むことができる。

【００１４】

前記第１電源供給ラインは、前記発光制御駆動部に前記ゲートハイレベル電圧を供給し、前記第１電源供給ラインは、前記発光制御駆動部、前記ゲート駆動部および前記点灯検査回路を囲み、前記第２電源供給ラインは、前記発光制御駆動部に前記ゲートローレベル電圧を供給し、前記第２電源供給ラインは、前記発光制御駆動部、前記ゲート駆動部および前記点灯検査回路を囲むことができる。

【００１５】

前記ゲート信号および前記発光制御信号のハイレベル電圧は、前記ゲートハイレベル電圧に起因して生成され、前記ゲート信号および前記発光制御信号のローレベル電圧は、前記ゲートローレベル電圧に起因して生成できる。

【００１６】

前記画素部を挟んで前記点灯検査回路に対向するように前記パネルに位置し、前記データ線にデータ信号を供給するデータ駆動部をさらに含むことができる。

【００１７】

前記ゲート駆動部および前記発光制御駆動部は、前記画素部を挟んでそれぞれ前記パネルの左側または右側に位置し、前記点灯検査回路および前記データ駆動部は、前記画素部を挟んでそれぞれ前記パネルの上側または下側に位置することができる。

【発明の効果】

【００１８】

上述した本発明の課題を解決するための手段の一部の実施形態のうちの一つによれば、静電気による不良が抑制された有機発光表示装置が提供される。

【図面の簡単な説明】

【００１９】

【図１】有機発光表示装置の一例を示すブロック図である。

【図２】図１に示された画素の一例を示す回路図である。

【図３】図２に示された画素の駆動方法を示す波形図である。

【図４】図１に示されたゲート駆動部に具備されたシフトレジスタの一例を示す回路図である。

【図５】図１に示された発光制御駆動部に具備されたシフトレジスタの一例を示す回路図

である。
【図６】本発明の第１実施形態にかかる有機発光表示装置を示す平面図である。
【図７】図６のＡ部分を示す図である。
【図８】本発明の第２実施形態にかかる有機発光表示装置を示す平面図である。
【図９】図８のＢ部分を示す図である。
【発明を実施するための形態】
【００２０】
以下、添付した図面を参考にして、本発明の様々な実施形態について、本発明の属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。本発明は、種々の異なる形態で実現可能であり、ここで説明する実施形態に限定されない。
【００２１】
本発明を明確に説明するために説明上不必要な部分は省略し、明細書全体にわたり、同一または類似の構成要素については同一の参照符号を付す。
【００２２】
また、様々な実施形態において、同一の構成を有する構成要素については、同一の符号を使って代表的に第１実施形態で説明し、その他の実施形態では第１実施形態とは異なる構成についてのみ説明する。
【００２３】
さらに、図面に示された各構成の大きさおよび厚さは説明の便宜のために任意に示したので、本発明が必ずしも示されたものに限定されない。
【００２４】
また、明細書全体において、ある部分がある構成要素を「含む」とする時、これは、特に反対となる記載がない限り、他の構成要素を除外するのではなく、他の構成要素をさらに包含できることを意味する。
【００２５】
さらに、画素は、画像を表示する最小単位のことであり、有機発光表示装置は、複数の画素を介して画像を表示する。
【００２６】
以下、図１ないし図７を参照して、本発明の第１実施形態にかかる有機発光表示装置を説明する。
【００２７】
図１は、有機発光表示装置の一例を示すブロック図である。
【００２８】
図１に示されるように、有機発光表示装置は、ゲート駆動部１０と、発光制御駆動部２０と、データ駆動部３０と、画素部４０とを含む。
【００２９】
ゲート駆動部１０は、外部から供給される駆動電源および制御信号に対応してゲート信号を生成し、これをゲート線Ｓ１～Ｓｎに順次に供給する。すると、画素５０は、ゲート信号によって選択され、順次にデータ信号が供給される。
【００３０】
発光制御駆動部２０は、外部から供給される駆動電源および制御信号に対応してゲート線Ｓ１～Ｓｎに並んで配置される発光制御線Ｅ１～Ｅｎに発光制御信号を順次に供給する。すると、画素５０は、発光制御信号によって発光が制御される。
【００３１】
このようなゲート駆動部１０および発光制御駆動部２０は、チップの形態でパネル上に別途に実装されてもよいが、画素部４０に含まれる駆動素子と共にパネル上に内蔵されるように形成され得る。
【００３２】
一方、図１では、ゲート駆動部１０および発光制御駆動部２０が画素部４０を挟んで互いに対向するように位置することを示したが、これは単に一例を示したものであり、本発

明がこれに限定されるものではない。例えば、これらは、画素部４０の同一の側面に共に形成されるか、あるいは画素部４０の両側共にゲート駆動部１０および発光制御駆動部２０がそれぞれ形成されてもよい。

【００３３】

また、画素部４０に具備される画素５０の構造によっては発光制御駆動部２０が省略されてもよい。

【００３４】

データ駆動部３０は、外部から供給されるデータおよび制御信号に対応してデータ信号を生成し、これをデータ線Ｄ１～Ｄｍに供給する。データ線Ｄ１～Ｄｍに供給されたデータ信号は、ゲート信号が供給される度にゲート信号によって選択された画素５０に供給される。すると、画素５０は、データ信号に対応する電圧を充電する。

【００３５】

画素部４０は、ゲート線Ｓ１～Ｓｎ、発光制御線Ｅ１～ＥｎおよびデータＤ１～Ｄｍの交差部に位置する複数の画素５０を含む。

【００３６】

このような画素部４０は、外部から高電位画素電源の第１電源ＥＬＶＤＤと低電位画素電源の第２電源ＥＬＶＳＳが供給され、第１電源ＥＬＶＤＤおよび第２電源ＥＬＶＳＳはそれぞれの画素５０に伝達される。また、画素部４０は、画素５０の構造によっては初期化電源Ｖｉｎｉｔや参照電圧Ｖｒｅｆなどを追加的に供給されてもよい。

【００３７】

すると、画素５０は、データ信号に対応して第１電源ＥＬＶＤＤから第２電源ＥＬＶＳＳに流れる駆動電流に相応する輝度で発光し、映像を表示する。

【００３８】

図２は、図１に示された画素の一例を示す回路図である。便宜上、図２において、ｉ（ｉは自然数）番目の行およびｊ（ｊは自然数）番目の列に位置し、初期化およびしきい電圧の補償が行われる画素を示す。しかし、本発明がこれに限定されるものではなく、本発明は現在開発された多様な構造の画素に適用可能である。

【００３９】

図２に示されるように、本実施形態にかかる画素５０は、複数のトランジスタＴ１～Ｔ６およびストレージキャパシタＣｓｔを含む画素回路部５２と、画素回路部５２から駆動電流が供給される有機発光素子ＯＬＥＤとを含む。

【００４０】

画素回路部５２は、前のゲート線Ｓｉ－１から前のゲート信号ＳＳｉ－１が供給される時、ストレージキャパシタＣｓｔに格納された電圧を初期化し、現在のゲート線Ｓｉから現在のゲート信号ＳＳｉが供給される時、データ信号Ｖｄａｔａと第１トランジスタＴ１のしきい電圧に対応する電圧を充電した後、第１トランジスタＴ１のしきい電圧に関係なくデータ信号Ｖｄａｔａに対応する駆動電流を有機発光素子ＯＬＥＤに供給する。

【００４１】

この場合、図１には示されていないが、それぞれの画素５０は、現在のゲート線Ｓｉだけでなく、前のゲート線Ｓｉ－１に連結され得、第１ゲート線Ｓ１の前の行には、第１行の画素５０を初期化するためのゲート線がさらに配列され得る。そして、画素部５０内には、それぞれの画素５０に初期化電源Ｖｉｎｉｔを供給するための初期化電源線がさらに設計できる。

【００４２】

画素回路部５２は、現在のゲート線Ｓｉ、前のゲート線Ｓｉ－１、発光制御線Ｅｉ、データ線Ｄｊ、第１電源ＥＬＶＤＤ、初期化電源Ｖｉｎｉｔおよび有機発光素子ＯＬＥＤに連結され、第１ないし第６トランジスタＴ１～Ｔ６と、ストレージキャパシタＣｓｔとを含む。

【００４３】

第１トランジスタＴ１は、第１電源ＥＬＶＤＤと有機発光素子ＯＬＥＤとの間に接続さ

れ、自身のゲート電極に印加される電圧に対応して駆動電流を調整する。

【００４４】

具体的には、第１トランジスタＴ１の第１電極（例えば、ソース電極）は第６トランジスタＴ６を経由して第１電源ＥＬＶＤＤに接続され、第２電極（例えば、ドレイン電極）は第５トランジスタＴ５を経由して有機発光素子ＯＬＥＤに接続される。そして、第１トランジスタＴ１のゲート電極は第１ノードＮ１に接続される。このような第１トランジスタＴ１は、第１ノードＮ１の電圧、つまり、ストレージキャパシタＣｓｔに充電された電圧に対応して有機発光素子ＯＬＥＤに供給される駆動電流を調整する。

【００４５】

第２トランジスタＴ２は、データ線Ｄｊとストレージキャパシタ Ｃｓｔとの間に接続され、現在のゲート線Ｓｉから現在のゲート信号ＳＳｉが供給される時にターンオンされ、データ信号を画素５０の内部に伝達する。

【００４６】

具体的には、第２トランジスタＴ２の第１電極はデータ線Ｄｊに接続され、第２電極は第１および第３トランジスタＴ１、Ｔ３を経由してストレージキャパシタＣｓｔに接続される。そして、第２トランジスタＴ２のゲート電極は現在のゲート線Ｓｉに接続される。このような第２トランジスタＴ２は、現在のゲート線Ｓｉから現在のゲート信号ＳＳｉが供給される時にターンオンされ、データ線Ｄｊから供給されるデータ信号Ｖｄａｔａを第１および第３トランジスタＴ１、Ｔ３を経由してストレージキャパシタＣｓｔに伝達する。

【００４７】

第３トランジスタＴ３は、第１トランジスタＴ１のゲート電極と第２電極（ドレイン電極）との間に接続され、自身のゲート電極に印加される電圧に対応して第１トランジスタＴ１をダイオード接続する。

【００４８】

具体的には、第３トランジスタＴ３の第１電極は第１トランジスタＴ１の第２電極に接続され、第２電極は第１トランジスタＴ１のゲート電極に接続される。そして、第３トランジスタＴ３のゲート電極は現在のゲート線Ｓｉに接続される。このような第３トランジスタＴ３は現在のゲート線Ｓｉから現在のゲート信号ＳＳｉが供給される時にターンオンされ、第１トランジスタＴ１をダイオード接続する。

【００４９】

第４トランジスタＴ４は、ストレージキャパシタＣｓｔと初期化電源Ｖｉｎｉｔとの間に接続され、前のゲート信号ＳＳｉ－１によってターンオンされ、ストレージキャパシタＣｓｔに初期化電源Ｖｉｎｉｔの電圧を伝達する。

【００５０】

ここで、初期化電源Ｖｉｎｉｔは、第１電源ＥＬＶＤＤおよび第２電源ＥＬＶＤＤとは異なって電流パスを形成しない電源であり、現在のゲート線Ｓｉに現在のゲート信号ＳＳｉが供給される前の期間（例えば、前のゲート線Ｓｉ－１に前のゲート信号ＳＳｉ－１が供給される期間）に画素回路部５２に定電圧を供給する電源である。このような初期化電源Ｖｉｎｉｔは、データ信号Ｖｄａｔａの電圧より低い電圧、つまり、データ信号Ｖｄａｔａの最低電圧より低い電圧を有するように設定される。

【００５１】

つまり、第４トランジスタＴ４がターンオンされると、第１ノードＮ１の電圧がデータ信号Ｖｄａｔａの電圧より低い電圧に初期化され、後続するデータ信号Ｖｄａｔａの書き込み期間の間、第１トランジスタＴ１が順方向にダイオード接続されながら、データ信号Ｖｄａｔａが第１ノードＮ１に円滑に供給される。

【００５２】

具体的には、第４トランジスタＴ４の第１電極は第１ノードＮ１に接続され、第２電極は初期化電源Ｖｉｎｉｔに接続される。そして、第４トランジスタＴ４のゲート電極は前のゲート線Ｓｉ－１に接続される。このような第４トランジスタＴ４は、前のゲート線Ｓ

ｉ－１から前のゲート信号ＳＳｉ－１が供給される時にターンオンされ、初期化電源Ｖｉｎｉｔと第１ノードＮ１とを接続させる。すると、初期化電源Ｖｉｎｉｔの電圧が第１ノードＮ１に印加されながら、第１ノードＮ１の電圧が初期化される。

【００５３】

第５トランジスタＴ５は、第１トランジスタＴ１と有機発光素子ＯＬＥＤとの間に接続され、発光制御線Ｅｉから供給される発光制御信号ＥＭＩｉによってオンオフ制御される。

【００５４】

具体的には、第５トランジスタＴ５の第１電極は第１トランジスタＴ１の第２電極に接続され、第２電極は有機発光素子ＯＬＥＤのアノード電極に接続される。そして、第５トランジスタＴ５のゲート電極は発光制御線Ｅｉに接続される。このような第５トランジスタＴ５は、発光制御線Ｅｉから供給される発光制御信号ＥＭＩｉの電圧レベルがハイレベルの時にターンオフされ、画素回路部５２と有機発光素子ＯＬＥＤとを絶縁させ、発光制御信号ＥＭＩｉの電圧レベルがローレベルに遷移するとターンオンされ、第１トランジスタＴ１から供給される駆動電流を有機発光ダイオードＯＬＥＤに伝達する。

【００５５】

第６トランジスタＴ６は、第１電源ＥＬＶＤＤと第１トランジスタＴ１との間に接続され、発光制御線Ｅｉから供給される発光制御信号ＥＭＩｉによってオンオフ制御される。

【００５６】

具体的には、第６トランジスタＴ６の第１電極は第１電源ＥＬＶＤＤに接続され、第２電極は第１トランジスタＴ１の第１電極に接続される。そして、第６トランジスタＴ６のゲート電極は発光制御線Ｅｉに接続される。このような第６トランジスタＴ６は、発光制御線Ｅｉから供給される発光制御信号ＥＭＩｉの電圧レベルがハイレベルの時にターンオフされ、第１トランジスタＴ１と第１電源ＥＬＶＤＤとを絶縁させ、発光制御信号ＥＭＩｉの電圧レベルがローレベルに遷移するとターンオンされ、第１トランジスタＴ１と第１電源ＥＬＶＤＤとを連結する。

【００５７】

ストレージキャパシタＣｓｔは、第１トランジスタＴ１のゲート電極と第１電源ＥＬＶＤＤとの間に接続される。このようなストレージキャパシタＣｓｔは、前のゲート信号ＳＳｉ－１が供給される期間に初期化電源Ｖｉｎｉｔによって初期化され、現在のゲート信号ＳＳｉが供給される期間にデータ信号Ｖｄａｔａと第１トランジスタＴ１のしきい電圧に対応する電圧を充電した後、画素５０が発光する期間に充電された電圧を維持する。

【００５８】

有機発光素子ＯＬＥＤは、画素回路部５２と第２電源ＥＬＶＳＳとの間に接続され、第１電源ＥＬＶＤＤから画素回路部５２および自身を経由して第２電源ＥＬＶＳＳに流れる駆動電流に対応する輝度で発光する。このような有機発光素子ＯＬＥＤは、赤色、緑色または青色の光を発光する有機発光層を含み、これに対応する色の光を生成する。

【００５９】

図３は、図２に示された画素の駆動方法を示す波形図である。

【００６０】

図３に示されるように、画素５０は、前のゲート線Ｓｉ－１および現在のゲート線Ｓｉからローレベルの前のゲート信号ＳＳｉ－１および現在のゲート信号ＳＳｉを順次に供給され、発光制御線Ｅｉから前のゲート信号ＳＳｉ－１および現在のゲート信号ＳＳｉと重畳するハイレベルの発光制御信号ＥＭＩｉが供給される。

【００６１】

ここで、発光制御信号ＥＭＩｉは、前のゲート信号ＳＳｉ－１と現在のゲート信号ＳＳｉが供給される期間の間、第５トランジスタＴ５および第６トランジスタＴ６がターンオフされるハイレベルの電圧を維持し、現在のゲート信号ＳＳｉの供給が完了した後、第５トランジスタＴ５および第６トランジスタＴ６がターンオンされるローレベルの電圧に遷移する。

【００６２】
一方、画素５０は、外部から第１電源ＥＬＶＤＤ、第２電源ＥＬＶＳＳおよび初期化電源Ｖｉｎｉｔが供給され、データ線Ｄｊからデータ信号Ｖｄａｔａが供給される。
【００６３】
このような画素５０の動作を具体的に説明すると、まず、前のゲート線Ｓｉ－１にローレベルの前のゲート信号ＳＳｉ－１が供給される第１期間Ｔ１に第４トランジスタＴ４がターンオンされる。すると、初期化電源Ｖｉｎｉｔの電圧が第１ノードＮ１に伝達され、第１ノードＮ１の電圧が初期化され、これにより、ストレージキャパシタＣｓｔに格納された電圧も初期化される。つまり、第１期間Ｔ１は、第１ノードＮ１の電圧を初期化する期間に設定される。
【００６４】
以降、現在のゲート線Ｓｉにローレベルの現在のゲート信号ＳＳｉが供給される第２期間Ｔ２に第２トランジスタＴ２および第３トランジスタＴ３がターンオンされる。第２トランジスタＴ２および第３トランジスタＴ３がターンオンされると、データ線Ｄｊから供給されるデータ信号Ｖｄａｔａが、第２トランジスタＴ２、第１トランジスタＴ１および第３トランジスタＴ３を経由して第１ノードＮ１に伝達される。この時、第１トランジスタＴ１は第３トランジスタＴ３によってダイオード接続されるため、第１ノードＮ１には、データ信号Ｖｄａｔａと共に第１トランジスタＴ１のしきい電圧が反映された電圧が伝達される。
【００６５】
この時、ストレージキャパシタＣｓｔには、データ信号Ｖｄａｔａと第１トランジスタＴ１のしきい電圧に対応する電圧が充電される。
【００６６】
以降、発光制御線Ｅｉに供給される発光制御信号ＥＭＩｉの電圧レベルがローレベルに遷移する第３期間Ｔ３に第５トランジスタＴ５および第６トランジスタＴ５、Ｔ６がターンオンされる。
【００６７】
すると、ストレージキャパシタＣｓｔに充電された電圧に対応する駆動電流が第１トランジスタＴ１によって有機発光素子ＯＬＥＤに供給される。
【００６８】
この時、第１トランジスタＴ１のしきい電圧が相殺されながら、有機発光素子ＯＬＥＤには、第１トランジスタＴ１のしきい電圧に関係なくデータ信号Ｖｄａｔａに対応する駆動電流が供給される。したがって、有機発光素子ＯＬＥＤは、第１トランジスタＴ１のしきい電圧に関係なくデータ信号Ｖｄａｔａに対応する均一な輝度で発光する。
【００６９】
ここで、画素５０を駆動する前のゲート信号ＳＳｉ－１および現在のゲート信号ＳＳｉは、図１に示されたゲート駆動部１０によって生成され、発光制御信号ＥＭＩｉは、発光制御駆動部２０によって生成される。
【００７０】
図４は、図１に示されたゲート駆動部に具備されたシフトレジスタの一例を示す回路図である。そして、図５は、図１に示された発光制御駆動部に具備されたシフトレジスタの一例を示す回路図である。特に、図４および図５は、それぞれゲート駆動部および発光制御駆動部のシフトレジスタに具備された複数のステージのうちの第ｉ番目のステージの構成を示す回路図である。
【００７１】
図４は、韓国登録特許第０７５９６８６号に開示されたシフトレジスタのステージ回路を示すもので、前記ステージの出力信号、つまり、ゲート信号のハイレベル電圧は、シフトレジスタの第１電源ＶＤＤに起因し、ゲート信号のローレベル電圧は、シフトレジスタの第２電源ＶＳＳに起因する。
【００７２】

ここで、シフトレジスタの第１電源ＶＤＤおよび第２電源ＶＳＳは、前記シフトレジスタを含むゲート駆動部の駆動電源を意味するもので、これは、名称が異なって記載されただけであって、実際には、それぞれゲート駆動部に供給されるゲートハイレベル電圧ＶＧＨおよびゲートローレベル電圧ＶＧＬに対応する。

【００７３】

また、図５は、韓国公開特許第２００８－００３３６３０号に開示されたシフトレジスタのステージＳＴｉ回路を示すもので、前記ステージＳＴｉの出力信号、つまり、発光制御信号ＥＭＩｉのハイレベル電圧は、発光制御駆動部の第１電源ＶＤＤに起因し、発光制御信号ＥＭＩｉのローレベル電圧は、発光制御駆動部の第２電源ＶＳＳに起因する。

【００７４】

ここで、発光制御駆動部は、ゲート駆動部内に内蔵されるか、あるいはゲート駆動部とは別途に生成できるもので、ゲート駆動部と発光制御駆動部は、同一の第１電源ＶＤＤおよび第２電源ＶＳＳ、つまり、同一のゲートハイレベル電圧ＶＧＨおよびゲートローレベル電圧ＶＧＬによって駆動できる。

【００７５】

したがって、ゲート駆動部および発光制御駆動部が正常に画素を駆動するためには、これらにゲートハイレベル電圧ＶＧＨおよびゲートローレベル電圧ＶＧＬが安定的に供給されなければならない。

【００７６】

図６は、本発明の第１実施形態にかかる有機発光表示装置を示す平面図である。

【００７７】

図６に示されるように、本発明の第１実施形態にかかる有機発光表示装置１０００は、パネル１００の中央領域に位置する画素部４０と、パネル１００の一側に位置し、ゲート線Ｓｎにゲート信号を供給するゲート駆動部１０と、画素部４０を挟んでゲート駆動部１０に対向するようにパネル１００に位置し、ゲート線Ｓｎに並んで位置する発光制御線Ｅｎに発光制御信号を供給する発光制御駆動部２０と、パネル１００の他側に位置する点灯検査回路９０と、画素部４０を挟んで点灯検査回路９０に対向するようにパネル１００に位置し、データ線Ｄｍにデータ信号を供給するデータ駆動部３０とを含む。

【００７８】

図６において、ゲート駆動部１０は、画素部４０の左側、つまり、パネル１００の左側に位置し、発光制御駆動部２０は、画素部４０の右側、つまり、パネル１００の右側に位置するものとして示したが、これに限定されず、ゲート駆動部１０は、画素部４０の右側、つまり、パネル１００の右側に位置し、発光制御駆動部２０は、画素部４０の左側、つまり、パネル１００の左側に位置することができる。つまり、ゲート駆動部１０と発光制御駆動部２０は、画素部４０を挟んでそれぞれパネル１００の左側または右側に位置することができる。また、本発明の第１実施形態では、ゲート駆動部１０と発光制御駆動部２０とを分離し、これらが画素部４０を基準として互いに対向するように位置するものとして示したが、これらは一つのゲート駆動部に統合され、画素部４０の一側または両側共に形成されてもよく、画素構造によっては発光制御駆動部２０が省略されてもよい。

【００７９】

また、図６において、点灯検査回路９０は、画素部４０の上側、つまり、パネル１００の上側に位置し、データ駆動部３０は、画素部４０の下側、つまり、パネル１００の下側に位置するものとして示したが、これに限定されず、点灯検査回路９０は、画素部４０の下側、つまり、パネル１００の下側に位置し、データ駆動部３０は、画素部４０の上側、つまり、パネル１００の上側に位置することができる。また、本発明の第１実施形態では、点灯検査回路９０とデータ駆動部３０とを分離し、これらが画素部４０を基準として互いに対向するように位置するものとして示したが、これらは一つのデータ駆動部に統合され、画素部４０の一側または両側共に形成できる。

【００８０】

一方、パッド部ＰＡは、ゲート駆動部１０、発光制御駆動部２０、データ駆動部３０、

および点灯検査回路９０が位置しないパネル１００の他側周縁、例えば、下側周縁に位置し、パネル１００の内部に駆動電源および制御信号を供給するための複数のパッドＰを備える。このようなパッドＰを介して、画素部４０、ゲート駆動部１０、発光制御駆動部２０、点灯検査回路９０およびデータ駆動部３０に駆動電源および制御信号が供給される。

【００８１】

そして、パネル１００上には、パッド部ＰＡからゲートハイレベル電圧が供給され、ゲート駆動部１０と発光制御駆動部２０のそれぞれにゲートハイレベル電圧を供給し、画素部４０、ゲート駆動部１０、点灯検査回路９０、発光制御駆動部２０を囲む形状に設計され、再びパッド部ＰＡに連結される第１電源供給ラインＶＧＨＬと、パッド部ＰＡからゲートローレベル電圧が供給され、ゲート駆動部１０と発光制御駆動部２０のそれぞれにゲートローレベル電圧を供給し、画素部４０、ゲート駆動部１０、点灯検査回路９０、発光制御駆動部２０を囲む形状に設計され、再びパッド部ＰＡに連結される第２電源供給ラインＶＧＬＬとが形成される。

【００８２】

一方、本発明の第１実施形態において、第１電源供給ラインＶＧＨＬおよび第２電源供給ラインＶＧＬＬのそれぞれがゲート駆動部１０および発光制御駆動部２０を迂回するように分岐しているが、本発明の他の実施形態にかかる有機発光表示装置において、第１電源供給ラインＶＧＨＬおよび第２電源供給ラインＶＧＬＬのそれぞれがゲート駆動部１０および発光制御駆動部２０を経由して点灯検査回路９０を囲む形状に設計できる。

【００８３】

また、パネル１００内での電圧降下を最少化するために、第１電源供給ラインＶＧＨＬおよび第２電源供給ラインＶＧＬＬは、低抵抗物質から形成できる。例えば、第１電源供給ラインＶＧＨＬおよび第２電源供給ラインＶＧＬＬは、パネル１００上に形成されるトランジスタ（例えば、画素部４０、ゲート駆動部１０および発光制御駆動部２０に具備されたトランジスタ）のソースおよびドレイン電極と同一物質で同一レイヤに形成されるか、前記トランジスタのゲート電極と同一物質で同一レイヤに形成できる。また、第１電源供給ラインＶＧＨＬおよび第２電源供給ラインＶＧＬＬは、一部の領域では前記トランジスタのソースおよびドレイン電極と同一物質で形成され、他の領域では前記トランジスタのゲート電極と同一物質で形成されるなど、前記トランジスタのソースおよびドレイン電極物質やゲート電極物質すべてを用いて形成されてもよい。つまり、第１電源供給ラインＶＧＨＬおよび第２電源供給ラインＶＧＬＬは、パネル１００を形成するのに用いられる物質のうち低抵抗物質を選択して自由に設計できる。

【００８４】

つまり、第１電源供給ラインＶＧＨＬと第２電源供給ラインＶＧＬＬは、パッド部ＰＡに対向するパネル１００の上側領域を介してゲート駆動部１０と発光制御駆動部２０とを連結する。このパネル１００の上側領域には点灯検査回路９０が位置している。

【００８５】

したがって、ゲート駆動部１０で生成されるゲート信号と発光制御駆動部２０で生成される発光制御信号のハイレベル電圧は、第１電源供給ラインＶＧＨＬから供給される同一のゲートハイレベル電圧ＶＧＨに起因して同一レベルに生成され、前記ゲート信号と発光制御信号のローレベル電圧は、第２電源供給ラインＶＧＬＬから供給される同一のゲートローレベル電圧ＶＧＬに起因して同一レベルに生成される。

【００８６】

これにより、第１電源供給ラインＶＧＨＬおよび第２電源供給ラインＶＧＬＬのそれぞれを介してゲート駆動部１０および発光制御駆動部２０がすべて連結されるため、ゲート駆動部１０および発光制御駆動部２０に同一レベルのゲートハイレベル電圧ＶＧＨおよび同一レベルのゲートローレベル電圧ＶＧＬを供給することができ、有機発光表示装置１０００が安定的に駆動される。

【００８７】

点灯検査回路９０は、第１入力ラインＩＬ１および第２入力ラインＩＬ２に接続されて

おり、点灯検査期間の間、パッド部ＰＡに連結された第１入力ラインＩＬ１から点灯検査信号が供給され、パッド部ＰＡに連結された第２入力ラインＩＬ２から検査制御信号が供給され、検査制御信号に応じてデータ線Ｄｍに点灯検査信号を供給する。

【００８８】

このような点灯検査回路９０は、点灯検査が完了した後の実際の駆動期間の間には、パッド部ＰＡから供給されるバイアス信号によってオフ状態を維持する。

【００８９】

一方、本発明は、データ駆動部３０が具備される場合に限定されるものではなく、データ駆動部３０が具備されなくてもよい。

【００９０】

前述のような本発明によれば、データ駆動部３０に代えて点灯検査回路９０を用いて点灯検査信号をデータ線Ｄｍに供給することにより、データ駆動部３０を形成する前に点灯検査を行うことができる。これにより、データ駆動部３０を駆動ＩＣとしてパネル１００に実装する場合、データ駆動部３０を実装する前に予め不良パネルを検出し、無駄な材料消耗を防止することができる。

【００９１】

図７は、図６のＡ部分を示す図である。

【００９２】

図７に示されるように、点灯検査回路９０は、チャネル層Ｃと、チャネル層Ｃに連結され、点灯検査信号ＴＤが入力される第１入力ラインＩＬ１に接続されるソース電極Ｓと、チャネル層Ｃに連結され、データ線Ｄｍに接続されるドレイン電極Ｄと、点灯制御信号ＴＧが入力される第２入力ラインＩＬ２に接続されるゲート電極Ｇとを含む複数のトランジスタＴＲを含む。

【００９３】

チャネル層Ｃは、正孔がキャリアとして機能するｐタイプの半導体を含む。

【００９４】

トランジスタＴＲのソース電極Ｓは点灯検査信号ＴＤが入力される第１入力ラインＩＬ１に共通に接続され、ドレイン電極Ｄはそれぞれのデータ線Ｄｍに接続される。

【００９５】

トランジスタＴＲのゲート電極Ｇは検査制御信号ＴＧが入力される第２入力ラインＩＬ２に共通に接続される。

【００９６】

このようなトランジスタＴＲは、点灯検査期間の間、トランジスタＴＲをターンオンさせるように供給される検査制御信号ＴＧによって同時にターンオンされ、点灯検査信号ＴＤをデータ線Ｄｍに供給する。また、点灯検査回路９０は、点灯検査が完了した後の実際の駆動期間の間には、パッド部ＰＡから第２入力ラインＩＬ２を介して供給されるバイアス信号によってオフ状態を維持する。

【００９７】

ここで、点灯制御信号ＴＧが入力される第２入力ラインＩＬ２は、ゲートハイレベル電圧ＶＧＨが供給される第１電源供給ラインＶＧＨＬと抵抗素子Ｒを介して連結されている。

【００９８】

抵抗素子Ｒは、パネル１００上において、チャネル層Ｃと同一物質および同一層に形成される。つまり、抵抗素子Ｒは、チャネル層Ｃと同時に形成される半導体物質である。

【００９９】

このような抵抗素子Ｒは、多結晶シリコン（ｐｏｌｙ　ｓｉｌｉｃｏｎ）半導体または酸化物半導体などの半導体物質を含み、トランジスタＴＲのチャネル層Ｃと一体に形成できる。

【０１００】

抵抗素子Ｒの抵抗値は、点灯検査や実際の駆動には影響を与えないようにするものの、

強い静電気からトランジスタＴＲを保護できる程度の範囲内で設定されることが好ましい。抵抗素子Ｒの抵抗値は、パネル１００の設計条件に応じて変更できるもので、シミュレーションなどにより最適な抵抗値を算出して適用することができる。この時、抵抗素子Ｒの抵抗値を容易に調整するために、多結晶シリコン（ｐｏｌｙ　ｓｉｌｉｃｏｎ）半導体または酸化物半導体などの半導体物質に従来広く公知された不純物をドーピングする方法が使用できる。例えば、トランジスタＴＲのチャネル層Ｃと一体に抵抗素子Ｒを形成し、抵抗素子Ｒの半導体にのみ不純物をドーピングするか、あるいはトランジスタＴＲのチャネル層Ｃおよび抵抗素子Ｒに同一の不純物をドーピングするか、または抵抗素子Ｒの半導体にドーピングされる不純物の濃度をトランジスタＴＲのチャネル層Ｃにドーピングされる不純物の濃度と異なって調整することができる。

【０１０１】

このように、抵抗素子Ｒを介して第２入力ラインＩＬ２が第１電源供給ラインＶＧＨＬに連結されることにより、第２入力ラインＩＬ２が静電気（ＥＳＤ）によってある一部分がフローティング（ｆｌｏａｔｉｎｇ、断線）されることが抑制されると同時に、第２入力ラインＩＬ２が静電気によってある一部分がフローティングされても、点灯検査が完了した後の実際の駆動期間、トランジスタＴＲのゲート電極Ｇは、第１電源供給ラインＶＧＨＬから供給されるゲートハイレベル電圧ＶＧＨによってオフ状態を維持する。

【０１０２】

具体的には、第２入力ラインＩＬ２は、パネル１００の外郭を囲んでいると同時に、点灯検査回路９０のトランジスタＴＲのゲート電極Ｇとパッド部ＰＡとの間だけを連結していることにより、点灯検査が完了した後の実際の駆動期間の間には、有機発光表示装置１０００に意図せずに印加される静電気に脆弱な構造を有している。これにより、第２入力ラインＩＬ２が静電気によってある一部分がフローティングされる場合、点灯検査回路９０のトランジスタＴＲがオフ状態を維持できず、有機発光表示装置に駆動不良が発生する恐れがあった。しかし、本発明の第１実施形態にかかる有機発光表示装置１０００は、点灯制御信号ＴＧが入力される第２入力ラインＩＬ２が、ゲートハイレベル電圧ＶＧＨが供給される第１電源供給ラインＶＧＨＬと抵抗素子Ｒを介して連結されていることにより、第２入力ラインＩＬ２が静電気（ＥＳＤ）によってある一部分がフローティングされることが抑制されると同時に、第２入力ラインＩＬ２が静電気（ＥＳＤ）によってある一部分がフローティングされても、トランジスタＴＲのゲート電極Ｇが第１電源供給ラインＶＧＨＬから供給されるゲートハイレベル電圧ＶＧＨによってオフ状態を維持し、駆動不良が発生することが防止される。つまり、静電気による駆動不良が防止された有機発光表示装置１０００が提供される。

【０１０３】

以下、図８および図９を参照して、本発明の第２実施形態にかかる有機発光表示装置を説明する。

【０１０４】

以下、第１実施形態と区別される特徴的な部分だけを抜粋して説明し、説明が省略された部分は第１実施形態に従う。そして、本発明の第２実施形態では、説明の便宜のために、同一の構成要素については本発明の第１実施形態と同一の参照番号を使って説明する。

【０１０５】

図８は、本発明の第２実施形態にかかる有機発光表示装置を示す平面図である。図９は、図８のＢ部分を示す図である。

【０１０６】

図８および図９に示されるように、本発明の第２実施形態にかかる有機発光表示装置１００２の点灯検査回路９０は、チャネル層Ｃと、チャネル層Ｃに連結され、点灯検査信号ＴＤが入力される第１入力ラインＩＬ１に接続されるソース電極Ｓと、チャネル層Ｃに連結され、データ線Ｄｍに接続されるドレイン電極Ｄと、点灯制御信号ＴＧが入力される第２入力ラインＩＬ２に接続されるゲート電極Ｇとを含む複数のトランジスタＴＲを含む。

【０１０７】

チャネル層Ｃは、電子がキャリアとして機能するｎタイプの半導体を含む。
【０１０８】
トランジスタＴＲのソース電極Ｓは点灯検査信号ＴＤが入力される第１入力ラインＩＬ１に共通に接続され、ドレイン電極Ｄはそれぞれのデータ線Ｄｍに接続される。
【０１０９】
トランジスタＴＲのゲート電極Ｇは検査制御信号ＴＧが入力される第２入力ラインＩＬ２に共通に接続される。
【０１１０】
このようなトランジスタＴＲは、点灯検査期間の間、トランジスタＴＲをターンオンさせるように供給される検査制御信号ＴＧによって同時にターンオンされ、点灯検査信号ＴＤをデータ線Ｄｍに供給する。また、点灯検査回路９０は、点灯検査が完了した後の実際の駆動期間の間には、パッド部ＰＡから第２入力ラインＩＬ２を介して供給されるバイアス信号によってオフ状態を維持する。
【０１１１】
ここで、点灯制御信号ＴＧが入力される第２入力ラインＩＬ２は、ゲートローレベル電圧ＶＧＬが供給される第２電源供給ラインＶＧＬＬと抵抗素子Ｒを介して連結されている。
【０１１２】
抵抗素子Ｒは、パネル１００上において、チャネル層Ｃと同一物質および同一層に形成される。つまり、抵抗素子Ｒは、チャネル層Ｃと同時に形成される半導体物質である。
【０１１３】
このような抵抗素子Ｒは、多結晶シリコン（ｐｏｌｙ　ｓｉｌｉｃｏｎ）半導体または酸化物半導体などの半導体物質を含み、トランジスタＴＲのチャネル層Ｃと一体に形成できる。
【０１１４】
このように、抵抗素子Ｒを介して第２入力ラインＩＬ２が第２電源供給ラインＶＧＬＬに連結されることにより、第２入力ラインＩＬ２が静電気（ＥＳＤ）によってある一部分がフローティング（ｆｌｏａｔｉｎｇ、断線）されることが抑制されると同時に、第２入力ラインＩＬ２が静電気によってある一部分がフローティングされても、点灯検査が完了した後の実際の駆動期間、トランジスタＴＲのゲート電極Ｇは、第２電源供給ラインＶＧＬＬから供給されるゲートローレベル電圧ＶＧＬによってオフ状態を維持する。
【０１１５】
具体的には、第２入力ラインＩＬ２は、パネル１００の外郭を囲んでいると同時に、点灯検査回路９０のトランジスタＴＲのゲート電極Ｇとパッド部ＰＡとの間だけを連結していることにより、点灯検査が完了した後の実際の駆動期間の間には、有機発光表示装置１００２に意図せずに印加される静電気に脆弱な構造を有している。これにより、第２入力ラインＩＬ２が静電気によってある一部分がフローティングされる場合、点灯検査回路９０のトランジスタＴＲがオフ状態を維持できず、有機発光表示装置に駆動不良が発生する恐れがあった。しかし、本発明の第２実施形態にかかる有機発光表示装置１００２は、点灯制御信号ＴＧが入力される第２入力ラインＩＬ２が、ゲートローレベル電圧ＶＧＬが供給される第２電源供給ラインＶＧＬＬと抵抗素子Ｒを介して連結されていることにより、第２入力ラインＩＬ２が静電気（ＥＳＤ）によってある一部分がフローティングされることが抑制されると同時に、第２入力ラインＩＬ２が静電気（ＥＳＤ）によってある一部分がフローティングされても、トランジスタＴＲのゲート電極Ｇが第２電源供給ラインＶＧＬＬから供給されるゲートローレベル電圧ＶＧＬによってオフ状態を維持し、駆動不良が発生することが防止される。つまり、静電気による駆動不良が防止された有機発光表示装置１００２が提供される。
【０１１６】
本発明を上述したように好ましい実施形態を通じて説明したが、本発明はこれに限定されず、以下に記載する特許請求の範囲の概念と範囲を逸脱しない限り、多様な修正および

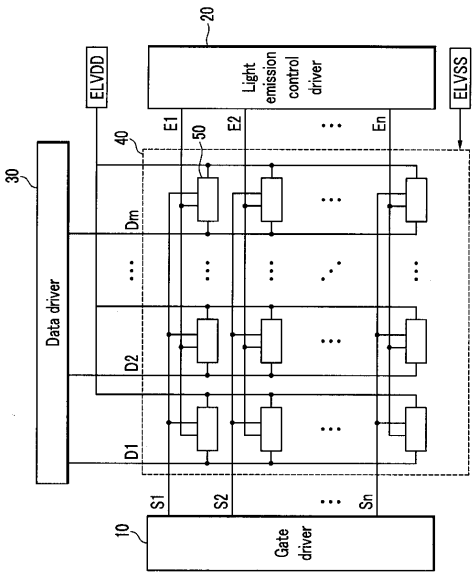
変形が可能であることを、本発明の属する技術分野に従事する者であれば容易に理解することができる。

【符号の説明】

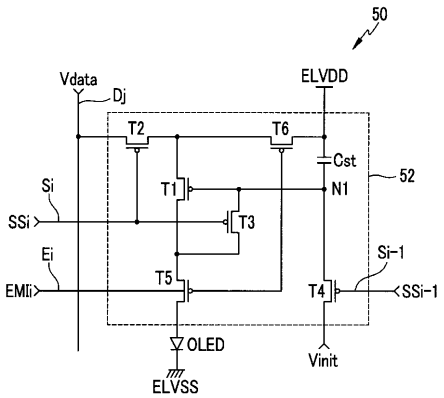
【０１１７】

４０　画素部
１０　ゲート駆動部
９０　点灯検査回路
ＶＧＨＬ　第１電源供給ライン
ＶＧＬＬ　第２電源供給ライン
Ｒ　抵抗素子

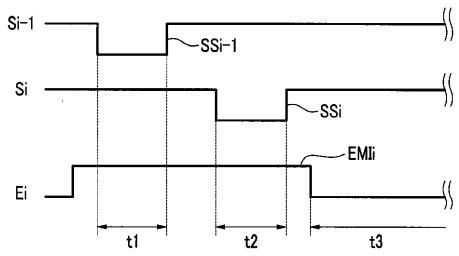
【図１】



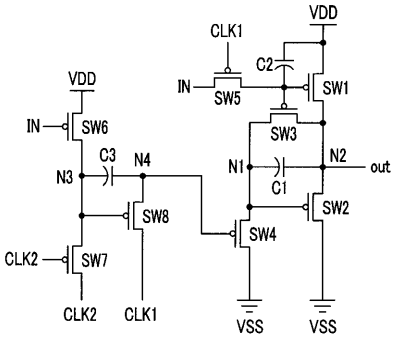
【図２】



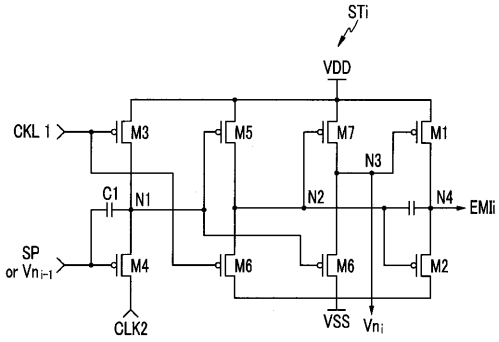
【図３】



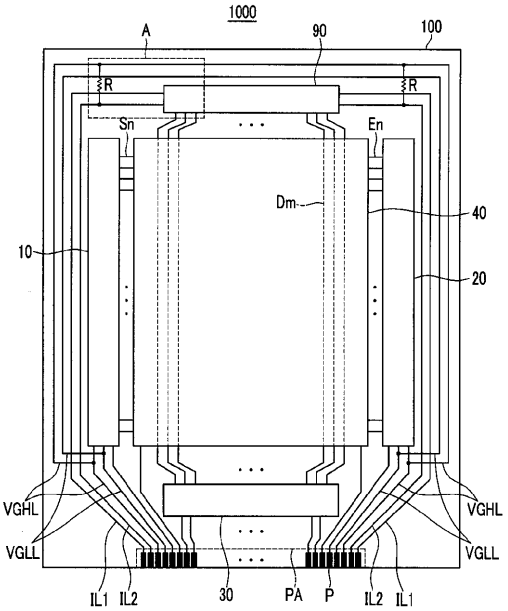
【図４】


CLK1
VDD
C2
IN
SW5
SW1
VDD
IN
SW6
SW3
C3
N4
N3
N1
N2
out
C1
SW8
SW2
SW4
CLK2
SW7
CLK2
CLK1
VSS
VSS

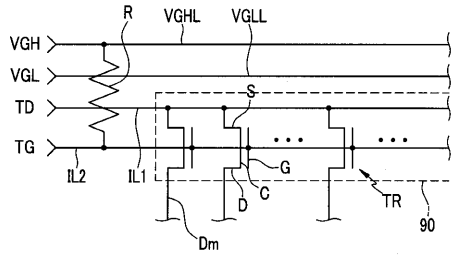
【図５】


STi
VDD
CKL 1
M3
M5
M7
M1
N3
C1
N1
N2
N4
EMIi
SP
or Vn-1
M4
M6
M6
M2
CLK2
VSS
Vni

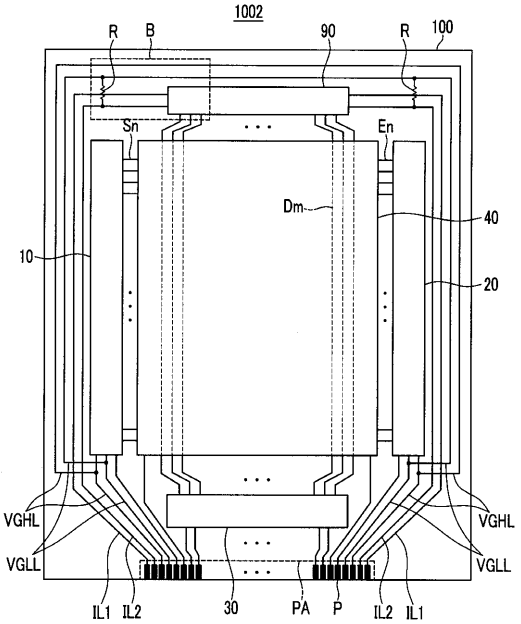
【図６】


1000
A
90
100
R
R
Sn
En
Dm
40
10
20
VGHL
VGLL
VGHL
VGLL
IL1
IL2
30
PA
P
IL2
IL1

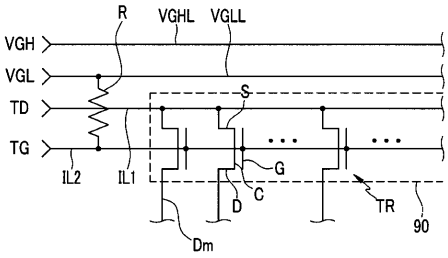
【図７】


R
VGHL
VGLL
VGH
VGL
TD
TG
S
G
C
D
TR
IL2
IL1
Dm
90

【図８】


1002
R
B
90
R
100
Sn
En
Dm
40
10
20
VGHL
VGLL
VGHL
VGLL
IL1
IL2
30
PA
P
IL2
IL1

【図９】



フロントページの続き

(51)Int.Cl.	F I		テーマコード（参考）
	Ｇ０９Ｆ 9/30	３３８	
	Ｇ０９Ｆ 9/30	３３０Ｚ	
	Ｇ０９Ｆ 9/30	３６５Ｚ	
	Ｈ０５Ｂ 33/14	Ａ	

Ｆターム(参考) 5C080 AA06 BB05 CC03 DD13 DD15 DD19 DD25 EE29 EE30 FF11
FF12 JJ02 JJ03 JJ04
5C094 AA42 BA03 BA27 CA19 EA03 EA10 FA01 FA02 FB12 FB14
FB18
5C380 AA01 AB06 AB18 AB21 AB23 AB34 AB45 BA38 BA39 BD10
CA12 CA57 CB01 CB17 CB26 CB33 CC06 CC07 CC26 CC33
CC39 CC55 CC64 CD016 CE04 CF41 DA02 DA06 DA47 GA03
GA08 GA14 HA03 HA05