



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0103835
(43) 공개일자 2012년09월20일

(51) 국제특허분류(Int. Cl.)

H01P 1/18 (2006.01)

(21) 출원번호 10-2011-0021711

(22) 출원일자 2011년03월11일

심사청구일자 2011년03월11일

(71) 출원인

충남대학교산학협력단

대전광역시 유성구 대학로 99 (궁동, 충남대학교)

(72) 발명자

염경환

대전광역시 유성구 박산로 26, 운암 네오미아 10
5동 1901호 (덕명동)

오현석

대전광역시 서구 문예로 174, 샘머리아파트 109동
1401호 (둔산동)

(74) 대리인

특허법인 웰-엘엔케이

전체 청구항 수 : 총 10 항

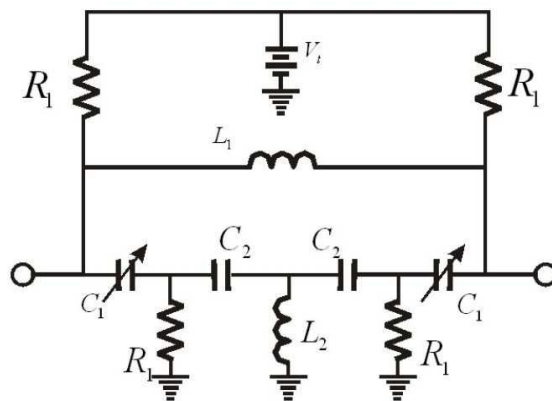
(54) 발명의 명칭 소형 아날로그 위상 천이기

(57) 요약

본 발명은 소형 아날로그 위상 천이기에 관한 것으로, 직렬로 연결되는 한 쌍의 커패시터, 상기 한 쌍의 커패시터에 병렬로 연결되는 제 1인덕터, 상기 한 쌍의 커패시터 사이의 노드와 기저전위라인 사이에 연결되는 제 2인덕터를 구비하는 전역 통과 회로망으로 구비되는 구성을 마련한다.

상기와 같은 소형 아날로그 위상 천이기를 이용하는 것에 의해, 본 발명은 2 GHz에서 전역 통과 회로망을 이용해 소형의 위상 천이기를 설계 제작하고, 소형 위상 천이기를 구성하기 위해 새로운 형태의 인덕터를 이용해서 바이어스 회로를 통합된 구조로 구성하여 전압에 대한 선형 위상 천이 특성을 갖도록 위상 가변소자인 버랙터의 비선형성을 개선할 수 있다.

대표도 - 도5



이 발명을 지원한 국가연구개발사업

과제고유번호 2010-001634

부처명 교육과학기술부

연구사업명 일반연구자지원사업 지역대학우수과학자

연구과제명 LTCC 의사유전체 공진기를 이용한 주파수 가변 소형 유전체 공진기 발진기의 설계

주관기관 한국연구재단

연구기간 2009.05.01 ~ 2012.04.30

특허청구의 범위

청구항 1

직렬로 연결되는 한 쌍의 커패시터,

상기 한 쌍의 커패시터에 병렬로 연결되는 제 1인덕터,

상기 한 쌍의 커패시터 사이의 노드와 기저전위라인 사이에 연결되는 제 2인덕터를 구비하는 전역 통과 회로망으로 구비되고,

제 1 및 제 2 인덕터의 인덕턴스(L_1 , L_2)는 수학식 1에 의해 산출되는 것을 특징으로 하는 소형 아날로그 위상 천이기.

$$L_1=2L_0, L_2=1/2L_0 \quad \dots\dots\dots[\text{수학식 1}]$$

(이때, L_0 는 0.1~10 nH 사이의 설정되는 인덕턴스 기준값)

청구항 2

제 1항에 있어서,

상기 전역 통과 회로망은 반사 손실(S_{11})이 '0'이고, 삽입 손실(S_{21})이 '1'을 만족하는 전역 통과 특성을 갖는 것을 특징으로 하는 소형 아날로그 위상 천이기.

청구항 3

제 2항에 있어서, 상기 반사 손실(S_{11}) 및 삽입 손실(S_{21})은

주파수 $\omega_0=(L_0C_1)^{-1/2}$ 일 때, 상기 반사 손실(S_{11})=0, 삽입손실(S_{21})=1을 만족하는 것을 특징으로 하는 소형 아날로그 위상 천이기.

청구항 4

제 1 항 내지 제 3항 중 어느 한 항에 있어서,

상기 한 쌍의 커패시터는 각각 버랙터 다이오드로 대체되고,

상기 버랙터 다이오드에는 역전압이 인가되는 것을 특징으로 하는 소형 아날로그 위상 천이기.

청구항 5

제 4항에 있어서,

상기 버랙터 다이오드와 기저전위라인 사이에는 전체 위상 천이를 감소시켜 선형성을 갖도록 직렬 커패시터가 연결되는 것을 특징으로 하는 소형 아날로그 위상 천이기.

청구항 6

제 5항에 있어서,

상기 전역 통과 회로망은 상측 경로와 하측 경로를 포함하고,

상기 상측 경로에는 바이어스 저항이 구비되고,

상기 하측 경로에는 접지된 제 2인덕터와 상기 버랙터 다이오드 및 직렬 커패시터가 구비되는 것을 특징으로 하는 소형 아날로그 위상 천이기.

청구항 7

제 6항에 있어서, 상기 하측 경로에는

접지용 저항이 더 구비되는 것을 특징으로 하는 소형 아날로그 위상 천이기.

청구항 8

제 7항에 있어서,

상기 제 1 및 제 2인덕터는 평판형 회로인 것을 특징으로 하는 소형 아날로그 위상 천이기.

청구항 9

제 6항에 있어서,

상기 제 2인덕터는 평면형 스파이럴 인덕터이고,

상기 직렬 커패시터는 단일층 커패시터인 것을 특징으로 하는 소형 아날로그 위상 천이기.

청구항 10

제 9항에 있어서, 상기 제 2인덕터는

내부의 중심부에 상측의 저항패드가 연결된 2개의 저항,

일측 저항 패드의 하부와 입력 포트 사이를 연결하는 제 1에어 브리지,

상측 저항 패드 사이를 연결하는 제 2에어 브리지 및

외부용 도체 패드에 비아(via)로 구성되는 것을 특징으로 소형 아날로그 위상 천이기.

명세서

기술분야

[0001] 본 발명은 소형 아날로그 위상 천이기에 관한 것으로, 더욱 상세하게는 전압에 대해 선형 위상 천이 특성을 갖는 소형 아날로그 위상 천이기에 관한 것이다.

배경기술

[0002] 위상 천이기는 원하는 주파수대역에서 저손실로 전달 특성의 통과위상을 변화시키는 회로이다. 위상 천이기는 위상 천이의 방법에 따라 디지털형과 아날로그형으로 구분된다.

[0003] 디지털형은 비트단위로 이산된 위상 천이를 발생시키는 회로로서, 위상배열 안테나 및 레이더 등에 널리사용된다. 이산 위상 천이기는 스위칭소자인 PIN 다이오드나 쇼트키(Schottky) 다이오드 등을 사용하며, 이들을 하이브리드나 로드라인에 결합시켜 구현한다.

[0004] 반면, 아날로그형 위상 천이기는 전압에 대한 가변 커패시턴스를 가지는 벡터(varactor) 다이오드를 이용하며, 연속적인 위상 천이를 가진다. 기존의 이러한 아날로그형 위상 천이기 구현은 이산형 위상 천이기와 유사하게 벡터 다이오드를 하이브리드나 로드라인에 결합하여 구성한다. 그러나 2 GHz 대역에서 한 파장은 15cm에 상당하며, 또한 하이브리드나 로드라인 회로 등은 약 40mm의 길이를 갖는 1/4 파장 전송선로를 이용하여 구성된다.

[0005] 따라서 하이브리드나 로드라인 회로를 이용한 위상 천이기의 크기는 적어도 40mm×40mm 이상으로 예상되며, 이는 5 mm×5 mm 이하의 소형화를 어렵게 하는 문제점이 있었다.

[0006] 위상 천이기의 선형성 측면에서는 이것의 응용에 따라 달라지는데, 최근 제안된 위상 천이기를 이용한 전압제어 발진기의 경우, 위상 천이기의 조정특성은 발진기의 주파수 조정특성과 같아진다는 것이 발표된 바 있다.

[0007] 즉, 발진주파수를 f , 위상 천이 값을 θ , 공진기의 균지연을 t_d 라고 할 때, 발진주파수는 $f=C\theta/t_d$ 로 표시된다.

[0008] 이때, t_d 는 상수로 볼 수 있기 때문에, 전압에 따른 위상조정 특성이 그대로 발진주파수 전압조정특성으로 나타

나게 된다.

[0009] 여기서 C는 비례상수를 나타낸다.

[0010] 특히, 이러한 선형 주파수 조정특성을 갖는 발진기는 주파수 변조 연속파(Frequency Modulated Continuous Wave, FMCW) 레이더 주파수 변조 회로(frequency modulation)에 이용 시, 별도의 선형화 회로를 필요로 하지 않는 장점을 제공한다. 따라서 이러한 발진기에 응용을 목적으로 하는 위상 천이기는 선형적인 위상 조정 특성을 가져야만 한다.

[0011] 따라서 선형적인 위상 천이기는 이러한 발진기구성의 핵심이 된다고 볼 수 있다.

[0012] 예를 들어, 5 mm×5 mm 이하 크기를 갖는 선형 위상 천이 특성을 갖는 아날로그형 위상 천이기에 전역 통과 회로망(all pass network)이 적합한 것으로 생각된다.

[0013] 전역 통과 회로망은 주파수 대역 내에서 입력임피던스를 50 ohm으로 용이하게 설계할 수 있으며, 광대역 정합으로 일정한 삽입손실을 가진다. 또한 전역 통과 회로망은 평판회로를 이용하여 소형으로 제작이 가능하다.

[0014] 한편, 단위 위상 천이기는 120°의 위상 천이를 가지며, 2개 이상의 전역 통과 위상 천이기를 직렬로 연결하여 360° 이상의 위상 천이기를 설계할 수 있다.

[0015] 이러한 위상 천이기에 사용되는 리액턴스 가변소자는 버랙터 다이오드, 전계효과 트랜지스터(FET), 강유전체(ferro-electric) 재료 등을 사용한 다양한 위상 천이기가 제시된 바 있다.

[0016] 하지만, 일반적으로 2개 이상의 전역 통과 위상 천이기를 이용하여 설계된 위상 천이기 대부분은 리액턴스 가변소자의 비선형성에 의해 위상 천이시 비선형이 나타나는 문제점이 있었다.

발명의 내용

해결하려는 과제

[0017] 본 발명은 상기한 바와 같은 문제점을 해결하기 위한 것으로, 본 발명의 목적은 전압에 대한 선형 위상 천이 특성을 가지는 소형 아날로그 위상 천이기를 제공하는 것이다.

[0018] 본 발명의 다른 목적은 전압에 대한 커패시턴스를 선형화하여 위상 천이기의 비선형성을 개선한 소형 아날로그 위상 천이기를 제공하는 것이다.

과제의 해결 수단

[0019] 상기한 바와 같은 목적을 달성하기 위한 본 발명의 특징에 따르면, 본 발명은 직렬로 연결되는 한 쌍의 커패시터, 상기 한 쌍의 커패시터에 병렬로 연결되는 제 1인덕터, 상기 한 쌍의 커패시터 사이의 노드와 기저전위라인 사이에 연결되는 제 2인덕터를 구비하는 전역 통과 회로망으로 구비되고, 제 1 및 제 2 인덕터의 인덕턴스(L_1 , L_2)는 수학식 1에 의해 산출된다.

[0020] $L_1=2L_0$, $L_2=1/2L_0$ [수학식 1]

[0021] (이때, L_0 는 0.1~10 nH 사이의 설정되는 인덕턴스 기준값)

[0022] 상기 전역 통과 회로망은 반사 손실(S_{11})이 '0'이고, 삽입 손실(S_{21})이 '1'을 만족하는 전역 통과 특성을 갖는 것을 특징으로 한다.

[0023] 상기 반사 손실(S_{11}) 및 삽입 손실(S_{21})은 주파수 $\omega_0=(L_0C_1)^{-1/2}$ 일 때, 상기 반사 손실(S_{11})=0, 삽입손실(S_{21})=1을 만족하는 것을 특징으로 한다.

[0024] 상기 한 쌍의 커패시터는 각각 버랙터 다이오드로 대체되고,

[0025] 상기 버랙터 다이오드에는 역전압이 인가되는 것을 특징으로 한다.

[0026] 상기 버랙터 다이오드와 기저전위라인 사이에는 전체 위상 천이를 감소시켜 선형성을 갖도록 직렬 커패시터가

연결되는 것을 특징으로 한다.

- [0027] 상기 전역 통과 회로망은 상측 경로와 하측 경로를 포함하고, 상기 상측 경로에는 바이어스 저항이 구비되고, 상기 하측 경로에는 접지된 제 2인덕터와 상기 버랙터 다이오드 및 직렬 커패시터가 구비되는 것을 특징으로 한다.
- [0028] 상기 하측 경로에는 접지용 저항이 더 구비되는 것을 특징으로 한다.
- [0029] 상기 제 1 및 제 2인덕터는 평판형 회로인 것을 특징으로 한다.
- [0030] 상기 제 2인덕터는 평면형 스파이럴 인덕터이고, 상기 직렬 커패시터는 단일층 커패시터인 것을 특징으로 하는 한다.
- [0031] 상기 제 2인덕터는 내부의 중심부에 상측의 저항패드가 연결된 2개의 저항, 일측 저항 패드의 하부와 입력 포트 사이를 연결하는 제 1에어 브리지, 상측 저항 패드 사이를 연결하는 제 2에어 브리지 및 외부용 도체 패드에 비아(via)로 구성되는 것을 특징으로 한다.

발명의 효과

- [0032] 상술한 바와 같이, 본 발명은 2 GHz에서 전역 통과 회로망을 이용해 소형의 위상 천이기를 설계 제작하고, 소형 위상 천이기를 구성하기 위해 새로운 형태의 인덕터를 이용해서 바이어스 회로를 통합된 구조로 구성할 수 있다.
- [0033] 그리고 본 발명은 전압에 대한 선형 위상 천이 특성을 갖도록 위상 가변소자인 버랙터의 비선형성을 개선할 수 있다.
- [0034] 이를 위해, 본 발명은 버랙터(varactor) 다이오드에 직렬커패시터를 연결해서 전압에 대한 커패시턴스를 선형화 하여 위상 천이기의 비선형성을 개선한다.
- [0035] 실험결과에 따르면, 본 발명은 위상변화량을 약 79° 로 다소 감소시키고, 설계시 예상한 바와 같이, 선형 위상 천이 특성을 보였다.

도면의 간단한 설명

- [0036] 도 1은 본 발명의 바람직한 실시 예에 따른 소형 아날로그 위상 천이기의 회로도.
- 도 2a 및 도 2b는 도 1에 도시된 전역 통과 회로망 위상 천이기의 동작상태도.
- 도 3은 2 GHz에서의 전역 통과 회로망의 C_1 에 따른 위상의 변화와 반사계수를 보인 그래프.
- 도 4a는 버랙터 다이오드의 비선형 특성 시뮬레이션 회로도.
- 도 4b는 도 4a에 도시된 회로에 직렬 커패시터를 추가한 회로도이며, 도 4c는 전압에 따른 커패시턴스 그래프.
- 도 5는 도 1의 전역 통과 회로망 회로에서 C_1 을 도 4b로 대체한 회로도.
- 도 6은 버랙터 다이오드만을 이용한 전역 통과 회로 위상 천이기와 개선된 위상 천이기 시뮬레이션 결과를 비교 하는 그래프.
- 도 7a는 도 5에 도시된 위상 천이기 회로를 수정한 회로도.
- 도 7b는 HFSS 시뮬레이션 구조를 보인 구성도.
- 도 8a는 도 5에서 상측 경로에 해당하는 인덕터와 R_1 으로 구성된 바이어스 회로도이고, 도 8b는 일반적인 스파이럴 인덕터의 구조도이고, 도 8c는 본 발명에 따른 인덕터의 구조도이다.
- 도 9a는 EM 시뮬레이션 회로도.
- 도 9b는 위상 천이기의 0, 3, 5 V에서의 DC 바이어스 후 얻어진 S-파라미터의 시뮬레이션 결과 그래프.
- 도 9c는 0~5V로 전압이 연속적으로 변화할 때 위상의 변화를 보인 그래프.
- 도 10은 본 발명에 따라 제작된 소형 아날로그 위상 천이기의 구성도.

도 11a 내지 도 11d는 웨이퍼 프로브를 이용한 측정 방법을 보인 도면.

도 12a 내지 도 12c는 전압(V_t)별 반사 손실(S_{11})과 삽입 손실(S_{21})의 측정 결과 그래프.

도 13은 공급 전압에 따른 측정 및 시뮬레이션된 위상 변화 그래프.

발명을 실시하기 위한 구체적인 내용

[0037] 이하 본 발명의 바람직한 실시 예에 따른 소형 아날로그 위상 천이기를 첨부된 도면을 참조하여 상세하게 설명한다.

[0038] 1. 전역 통과 회로망 위상 천이기

[0039] 도 1은 본 발명에 따른 전역 통과 회로망 위상 천이기의 회로도이고, 도 2a 및 도 2b는 도 1에 도시된 전역 통과 회로망 위상 천이기의 동작상태도이다.

[0040] 전역 통과 회로망은 원하는 주파수대역에서 반사 손실(S_{11})=0, 삽입 손실(S_{21})=1을 만족하는 전역 통과 특성을 보이며, 도 1과 같이 구성된다.

[0041] 즉, 입력단(In)과 출력단(Out) 사이에 한 쌍의 커패시터(C_1)가 직렬로 연결되고, 제 1인덕터(L_1)는 한 쌍의 커패시터(C_1)와 병렬로 제 1노드(N_1)와 제 2노드(N_2)에 연결되며, 제 2인덕터(L_2)는 제 3노드(N_3)와 기저전위라인 사이에 연결된다.

[0042] 여기서, 제 1 및 제 2인덕턴스(L_1, L_2)는 다음의 수학적 식 1과 같다.

수학적 식 1

$$L_1=2L_0, L_2=1/2L_0$$

[0044] 여기서, L_0 는 구현 가능한 적절히 설정된 인덕턴스 기준값으로 0.1~10 nH의 값을 갖는다. 이 조건으로 도 1에 도시된 회로의 전역 통과 특성을 확인하기 위해 도 2a와 도 2b에서 기수 모드와 우수 모드로 분해하였다.

[0045] 도 2a에 도시된 우수 모드의 경우, 대칭의 중앙점은 개방(open)되어 L_1 은 기여가 없고, 병렬 분해되어 $2L_2$ 가 남는다.

[0046] 도 2b에 도시된 기수 모드에서 대칭의 중앙점이 단락(short)되어 L_2 는 기여가 없고, 직렬 분해된 $L_1/2$ 가 남는다. 다만 하나의 C_1 은 두 회로에서 공통적으로 포함된다. 이렇게 간략해진 회로에서 기준 임피던스 Z_0 에 대한 반사계수는 다음의 수학적 식 2 및 수학적 식 3처럼 된다.

수학적 식 2

$$\begin{aligned} \Gamma_e &= \frac{Z_{in}^e - Z_0}{Z_{in}^e + Z_0} \\ &= \frac{j(\omega L_0 - (1/\omega C_1)) - Z_0}{j(\omega L_0 - (1/\omega C_1)) + Z_0} \end{aligned}$$

[0047]

수학식 3

$$\begin{aligned}\Gamma_o &= \frac{Z_{in}^o - Z_0}{Z_{in}^o + Z_0} \\ &= \frac{(L_0/C_1)/(j(\omega L_0 - 1/\omega C_1)) - Z_0}{(L_0/C_1)/(j(\omega L_0 - 1/\omega C_1)) + Z_0} \\ &= \frac{(1/Z_0)(L_0/C_1) - (j(\omega L_0 - 1/\omega C_1))}{(1/Z_0)(L_0/C_1) + (j(\omega L_0 - 1/\omega C_1))}\end{aligned}$$

[0048]

[0049] 수학식 2와 수학식 3에 의해 얻어진 우수 모드 반사계수 Γ_e 와 기수모드 반사계수 Γ_o 를 사용하여 S_{11} 과 S_{21} 을 구하면 다음의 수학식 4 및 수학식 5와 같다.

수학식 4

$$\begin{aligned}S_{11} &= \frac{1}{2}(\Gamma_e + \Gamma_o) \\ &= \frac{1}{2} \left(\frac{j(\omega L_0 - (1/\omega C_1)) - Z_0}{j(\omega L_0 - (1/\omega C_1)) + Z_0} \right. \\ &\quad \left. + \frac{(1/Z_0)(L_0/C_1) - (j(\omega L_0 - 1/\omega C_1))}{(1/Z_0)(L_0/C_1) + (j(\omega L_0 - 1/\omega C_1))} \right)\end{aligned}$$

[0050]

수학식 5

$$\begin{aligned}S_{21} &= \frac{1}{2}(\Gamma_e - \Gamma_o) \\ &= \frac{1}{2} \left(\frac{j(\omega L_0 - (1/\omega C_1)) - Z_0}{j(\omega L_0 - (1/\omega C_1)) + Z_0} \right. \\ &\quad \left. - \frac{(1/Z_0)(L_0/C_1) - (j(\omega L_0 - 1/\omega C_1))}{(1/Z_0)(L_0/C_1) + (j(\omega L_0 - 1/\omega C_1))} \right)\end{aligned}$$

[0051]

[0052] 주파수가 $\omega_0 = (L_0 C_1)^{-1/2}$ 일 때, 수학식 4와 수학식 5에서 $S_{11}=0$, $S_{21}=1$ 을 만족한다.

[0053] 그리고 이것을 전송선으로 보았을 때, 특성 임피던스는 다음의 수학식 6와 같다.

수학식 6

$$Z_0 = \sqrt{L_0/C_1}$$

[0054]

[0055] 따라서 $\omega_0=(L_0C_1)^{-1/2}$ 과 수학적 식 6에서 중심 주파수 2 GHz 및 $Z_0=50 \text{ ohm}$ 을 대입하면, L_0 및 C_1 을 얻을 수 있고, 이 값을 수학적 식 1에 대입하면 L_1 및 L_2 값이 결정되며, 결정된 값은 아래의 표 1에 기재되어 있다.

[0056] 표 1은 2 GHz에서의 전역 통과 회로망의 개별 소자 설계값 테이블이다.

표 1

Frequency	L_1 [nH]	L_2 [nH]	C_1 [pF]
2 GHz	7.96	1.99	1.60

[0057]

[0058] 도 1의 전역 통과 회로망에서 C_1 을 가변시키면, 수학적 식 5에서 S_{21} 의 위상을 용이하게 변화시킬 수 있다. C_1 의 값을 1.6 pF를 중심으로 0.5~3.5 pF로 가변시킨 결과를 S_{21} 의 위상과 반사계수인 S_{11} 크기로 도 3에 도시되어 있다.

[0059] 도 3은 2 GHz에서의 전역 통과 회로망의 C_1 에 따른 위상의 변화와 반사계수를 보인 그래프이다.

[0060] C_1 이 1.6 pF에서 최대로 정함을 가지며, S_{11} 이 10 dB를 만족하는 C_1 의 영역은 도 3에 도시된 바와 같이, 0.75~3.25 pF이 된다. 이 영역에서는 0.75 pF일 때 위상을 기준으로 총 위상 천이는 최대 150°가 된다.

[0061] 위상 천이 소자로서 임의의 전압 가변범위에서 0.75~3.25 pF 영역을 가지는 C_1 으로 전압 가변소자인 버랙터 다이오드는 0~5V에서 1~3.2 pF를 가져 가장 적합하였다.

[0062] 2. 선형 전역 통과 회로망 위상 천이기 설계

[0063] 도 1의 전역 통과 회로망에서 C_1 을 버랙터 다이오드로 바꾸고, 다이오드에 역전압을 가하면 다이오드 특성에 따라 위상이 가변하게 된다. 버랙터 다이오드는 다이오드 접합에서 발생한 커패시턴스를 역전압으로 조정할 수 있으나, 낮은 전압과 높은 전압에서의 커패시턴스 변화율이 다른 비선형 특성이 나타난다.

[0064] 도 4a는 버랙터 다이오드의 비선형 특성 시뮬레이션 회로도이고, 도 4b는 도 4a에 도시된 회로에 직렬 커패시터를 추가한 회로도이며, 도 4c는 전압에 따른 커패시턴스 그래프이다.

[0065] 커패시턴스 변화율의 비선형 특성을 확인하기 위해 버랙터 다이오드의 회로 모델을 이용하여 도 4a와 같이 회로를 구성하고, ADS(Advanced Design System)로 RF 포트에서 보이는 반사계수를 시뮬레이션하였다.

[0066] 이 결과로부터 역바이어스된 다이오드의 RF에서 커패시턴스를 얻을 수 있다. 계산된 결과는 도 4c에 실선으로 도시되어 있다. 2 GHz에서 버랙터 다이오드의 커패시턴스는 역전압에 대하여 쌍곡선에 가까운 형태이며, 이는 전압에 대한 커패시턴스가 비선형적으로 변화함을 의미한다.

[0067] 다이오드의 전압에 대한 비선형성을 개선하기 위해 도 4b에서 도시된 바와 같이, 버랙터 다이오드에 직렬 커패시터(C_{series})를 추가하여 회로를 구성하였다. 직렬 커패시터의 값은 비선형을 줄이고 충분한 위상 변화를 얻기 위해 다이오드의 커패시턴스 1~3.2 pF보다 큰 4 pF로 결정하였다. 직렬 커패시터가 연결된 버랙터 다이오드의 전압에 대한 커패시턴스의 변화를 도 4c에 점선으로 도시하였다.

[0068] 앞선 실선으로 표시한 단일 다이오드와 비교하면 전체 커패시턴스의 변화량은 0.9~2 pF로 줄어들지만, 0 V, 5 V에서의 기울기차가 감소함에 따라 결과적으로 선형적인 커패시턴스 변화를 보이게 된다.

[0069] 도 5는 도 1의 전역 통과 회로망 회로에서 C_1 을 도 4b로 대체한 회로도이다.

[0070] 도 5에 도시된 바와 같이, 상측 경로에는 L_1 과 RF 격리를 위한 바이어스 저항 R_1 들이 구비되고, 하측 경로에는 접지된 L_2 와 도 4b로 구성된다.

[0071] 2개의 다이오드 캐소드(cathode)에 각각 1.2 kohm 저항(R_1)을 이용하여 바이어스를 가하고, 버랙터의 애노드

(anode)에 DC 접지를 위해 바이어스를 위한 저항과 동일한 값을 갖는 저항을 연결한다. 도 4b의 회로에 직렬로 연결된 커패시터 C_2 에 의해 전체 커패시턴스(C_{Tot})가 줄어든다. 이에 따라, 인덕턴스(L_1 , L_2)가 변화하게 된다.

[0072] 표 2는 선형성을 개선한 위상 천이기의 소자 설계값(C_{Tot} 은 직렬 C_2 를 갖는 버랙터 다이오드의 커패시턴스) 테이블로서, 도 5에 도시된 저항과 커패시터에 의한 커패시턴스 및 인덕턴스 값이 기재되어 있다.

표 2

Frequency	L_1 [nH]	L_2 [nH]	C_{Tot} [pF]	C_2 [pF]	R_1 [kohm]
2 GHz	14.6	3.50	1.25	4	1.2

[0073]

[0074] 표 2를 살펴보면, 위상 천이 최대값 150° 를 갖는 표 1에 비해 다소 작은 C_{Tot} 에 의해 전체 위상 천이가 80° 로 줄어든다.

[0075] 도 6은 버랙터 다이오드만을 이용한 전역 통과 회로망 위상 천이기와 개선된 위상 천이기 시뮬레이션 결과를 비교하는 그래프이다.

[0076] 즉, 도 6에는 C_1 을 버랙터 다이오드 모델을 이용하여 표 1의 전역 통과 회로망 위상 천이기와 표 2의 도 5의 위상 천이기의 전압에 대하여 위상의 변화가 도시되어 있다.

[0077] 도 6에서 실선은 시뮬레이션 결과들이며, 점선은 각 위상 천이기가 가지는 0 V 근처에서의 기울기에서 기울기를 가지는 직선이다. 이 직선과 가까울수록 위상 천이기가 선형적인 특성을 가진다. 단일 다이오드 위상 천이기는 직선과 떨어진 반면, 직렬 커패시터가 연결된 다이오드를 이용한 위상 천이기는 직선과 근접한다. 이를 통해, 도 5에 도시된 위상 천이기 회로는 전압에 대한 선형성이 우수함을 확인하였다.

[0078] 3. 소형 위상 천이기 구성

[0079] 도 5에 도시된 위상 천이기는 상측 경로와 하측 경로로 나누어진다.

[0080] 도 7a는 도 5에 도시된 위상 천이기의 각각 경로에 포함된 평판형 회로인 인덕터를 EM 시뮬레이션을 통해 그 값을 확인하고, 단일층 커패시터(single layer capacitor)와 바이어스용 저항이 결합되었을 때 설계된 위상 천이기 특성을 주도로 값이 수정된 회로도이고, 도 7b는 HFSS 시뮬레이션 구조를 보인 구성도이다.

[0081] 도 7a에 도시된 바와 같이, 하측 경로는 리액턴스 가변 소자인 버랙터와 선형성 개선용 커패시터 및 접지용 저항으로 구성된다. 하측의 경로로 평판형 회로인 인덕터, 단일층 커패시터, 와이어 본딩에 의한 기생 성분 등을 고려하기 위해 3D 고성능 전자장(ElectroMagnetic field, EM) 시뮬레이션 소프트웨어 고주파수 구조 시뮬레이터(High Frequency Structure Simulator, HFSS)를 이용하여 세부 설계하였다.

[0082] 여기서 얻어진 값은 평면형 인덕터의 경우 단일 소자로 설계했을 때와 다소 달라진다. 이는 본딩 와이어와 다른 도체 패턴의 기생 성분들로 기인한 것으로 추측된다. 단일층 커패시터 값에 대응하여 원하는 L_2 인덕터의 값이 표 2에 기재된 값이 나오도록 인덕터의 길이를 조정하였다. 이 시뮬레이션에서는 버랙터의 특성을 고려할 수 없는 도 7b에서는 버랙터 다이오드가 제외되었다. 하측 경로에 있는 수동 회로로, L_2 는 접지된 평면형 스파이럴(spiral) 인덕터이며, C_2 는 단일층 커패시터이다. 이 단일층 커패시터는 소형의 평판형 커패시터로 제조사에서 제공하는 유전체 정보와 크기를 이용하여 HFSS로 구성이 가능하다. 두 개의 단일층 커패시터와 인덕터를 골드 와이어로 연결하여 HFSS 시뮬레이션을 하였다. 여기서 얻어진 S-파라미터들을 이용하여 C_2 의 값을 확인하고, 이에 대한 L_2 의 값을 표 2에 맞춘다.

[0083] 도 8a는 도 5에서 상측 경로에 해당하는 인덕터와 R_1 으로 구성된 바이어스 회로도이고, 도 8b는 일반적인 스파이럴 인덕터의 구조도이고, 도 8c는 본 발명에 따른 인덕터의 구조도이다.

- [0084] 1.2 kohm에 해당하는 저항을 포함하는 인덕터는 14.6 nH의 비교적 큰 값을 가져야 한다.
- [0085] 도 8b에 도시된 일반적인 나선형(spiral) 인덕터는 1.8 mm×1.8 mm로 크기가 커지며 안쪽 감긴 도체에서 에어 브리지(air bridge)로 출력을 연결하여 비대칭적인 구조를 갖는다.
- [0086] 반면, 본 발명에 따른 인덕터는 도 8c에 도시된 바와 같이, 바이어스 회로가 결합된 구조를 갖는다.
- [0087] 즉, 본 발명에 따른 인덕터는 우선 바이어스를 위한 평면 저항의 크기를 줄이기 위해 100 ohm/□으로 선택하고, 1.2 kohm이 되도록 0.05 mm×0.98 mm로 설계된다. 2개의 저항을 인덕터 내부의 중심부에 배치하고, 각 저항의 상측 저항 패드를 연결한다. 좌측 아래에 있는 도체 패드에서 시작하여 바깥 방향으로 최소 간격인 0.02 mm로 하여 사각 나선 구조가 커지는 방향으로 도체를 3번 감는다.
- [0088] 그리고 도 7에 도시된 하측 경로와 연결이 용이하도록 인덕터 하단에 입출력(In, Out) 포트를 배치한다. 출력(out) 포트에서 바이어스를 위해 우측 저항 하측 도체 패드와 에어 브리지로 연결한다. 입력(In) 포트에서 버퍼 터에 역바이어스를 가하기 위해 좌측 아래 저항 패드에서 입력(In) 포트로 에어 브리지를 이용하여 연결한다.
- [0089] 이때, 에어 브리지의 길이 차가 발생하는데, 이를 보상하기 위해서 입출력 포트에서의 도체 길이를 조절한다.
- [0090] 상측 저항 패드에 위상 천이기 외부 상측에서 DC 바이어스를 공급하기 위해 에어 브리지로 연결한다.
- [0091] 바이어스 회로의 시뮬레이션을 통한 검증을 위해서 외부용 도체 패드에 비아(via)를 구비한다.
- [0092] 입력과 출력 간 커플링을 줄여 주기 위해 포트를 충분히 격리시킨다. 1.5 mm×1.4 mm의 폭과 높이가 줄어든 형태를 얻었다. 인덕터의 면적은 40% 가량 줄일 수 있다.
- [0093] 표 3은 도 8b 및 도 8c에 도시된 인덕터의 특성 테이블이다.

표 3

구 분	L_{21} [nH]	C_{11} [pF]	C_{22} [pF]	면적[mm ²]
도 8 b	14.8	0.6	0.58	3.24
도 8 c	14.6	0.0	0.0	2.10

- [0094]
- [0095] 표 3에 나타난 값은 측정된 S-파라미터를 이용하여 Y파라미터로 변환해서 π 등가 모델로 바뀔에 따라, $(-Y_{21})$ 은 L_{21} 로 바뀌고, $(Y_{11}+Y_{21})$ 은 C_{11} 인 커패시터로 바뀌며, $(Y_{22}+Y_{21})$ 은 C_{22} 로 바뀐다.
- [0096] 여기서 발생한 커패시턴스는 인덕터 입출력에서 발생하는 커패시턴스로 추측된다. 도 8b에서 인덕터 값은 설계 값을 가지지만, 입력과 출력에 커패시턴스가 비대칭적으로 발생한다.
- [0097] 반면, 도 8c는 기생 성분인 C_{11} , C_{22} 가 0에 가까워 하측 회로와 연결에 문제가 없게 된다.

[0098] 4. 최종 시뮬레이션 결과

- [0099] EM 시뮬레이션을 이용하여 위상 천이기에 필요한 소자를 상측과 하측으로 나누어 설계하였다.
- [0100] 도 9a는 EM 시뮬레이션 회로도이고, 도 9b는 위상 천이기의 0, 3, 5 V에서의 DC 바이어스 후 얻어진 S-파라미터의 시뮬레이션 결과 그래프이며, 도 9c는 0~5V로 전압이 연속적으로 변화할 때 위상의 변화를 보인 그래프이다.
- [0101] 본 발명에서는 특히 단일층 커패시터, 스파이럴 인덕터와 회로적으로 예상하기 어려운 기생 성분 등이 도 9a와 같은 회로 구성을 통해 시뮬레이션에 포함하게 된다. 이를 통해, 실제 회로와의 오차를 줄인다. 상측 경로에서 얻은 2포트 시뮬레이션 결과와 하측 경로에서 얻은 2포트 시뮬레이션 결과를 ADS의 데이터 아이템(data item)을 이용하여 회로 시뮬레이션에 포함시킨다. 바이어스용 저항 회로를 계산하여 포함하고, 광대역 커패시터의 제조사에서 제공하는 측정 결과를 입력하였다. 이 커패시터는 도 9a에 도시된 바와 같이, DC 바이어스 입력단에 사용된다.

- [0102] 상측과 하측의 EM 시뮬레이션 결과를 이용하여 위상 천이기의 소자 값들이 최적화하게 된다.
- [0103] 그 결과, C_2 를 제외한 다른 소자의 경우 표 2와 유사하도록 일부 회로를 수정되었으나, C_2 는 5.1 pF에서 최적화 되는 것을 확인하였다. 단일층 커패시터와 다이오드 애노드를 연결에 이용된 본딩 와이어의 인덕턴스와 기타 기생 성분 등의 영향으로 생각된다.
- [0104] 위상 천이기의 버랙터 다이오드는 제조사에서 제공한 대신호 모델로 회로에 포함시켰다.
- [0105] 도 9b를 살펴보면, 2 GHz에서 각 전압에서 삽입 손실은 약 4 dB로 평탄하며, 반사 손실은 10 dB 이하이다. 여기서, 4 dB 삽입 손실은 버랙터 다이오드 및 바이어스용 저항에 의하여 발생하며, 단위 박막 저항이 큰 공정을 사용하고, 좀 더 직렬 저항이 작은 버랙터 다이오드를 사용함으로써 개선될 수 있다.
- [0106] 도 9c를 살펴보면, 설계된 위상 천이기 결과는 도 6의 결과와 거의 동일하며, 일정한 선형적인 위상 천이 특성을 보이는 것을 알 수 있다.
- [0107] 5. 위상 천이기 제작 및 측정
- [0108] 도 10은 본 발명에 따라 제작된 소형 아날로그 위상 천이기의 구성도이다.
- [0109] 도 10을 살펴보면, 사용된 기판은 유전율 9.9, 두께 5 mil(1/1000 인치)를 갖는 세라믹 기판이며, 크기는 4 mm × 4 mm이다. 이때, 입출력은 온-웨이퍼(on-wafer) 측정을 용이하게 하기 위해 1,000 μ m 프로브 팁과 연결이 가능하도록, 이에 대응되는 50 ohm CPW를 추가하였다. CPW의 신호 도체에서 접지 도체까지 중심에서 피치 간격은 1,000 μ m이며, 신호 도체의 폭은 기존 기판에서 마이크로스트립의 50 ohm 폭과 동일하게 하였다. DC 공급시 사용하는 커패시터(도 10의 MW cap)는 광대역 커패시터를 사용하였다.
- [0110] 입출력단에 필요한 DC 블록 커패시터는 위상 천이기 크기를 줄이기 위해 제거하고 계측용 DC 블록을 사용하였다.
- [0111] 6. 측정 결과
- [0112] 도 11a 내지 도 11d는 웨이퍼 프로브를 이용한 측정 방법을 보인 도면이다.
- [0113] 도 11a 내지 도 11d에서는 RF 신호를 측정하기 위해 바이어스를 위하여 바이어스 프로브 팁을 사용하고, 온 웨이퍼 측정을 위해 프로브 스테이션에 연결된 네트워크 분석기(network analyzer)를 이용하였다.
- [0114] DC 블록이 연결된 2개 프로브 팁까지 보정하게 된다. 이를 통해 정확한 통과 위상을 측정할 수 있으며, 도 11a 내지 도 11d에 표시한 기준선 내의 회로의 위상을 측정할 수 있게 된다.
- [0115] DC 프로브는 2개를 이용하는데 1개는 접지용으로, 다른 하나는 DC 전압 바이어스용으로 사용하였다.
- [0116] 이러한 방법으로 측정하여 얻은 결과는 도 12a 내지 도 12c에 도시되어 있다.
- [0117] 도 12a 내지 도 12c는 전압(V_t)별 반사 손실(S_{11})과 삽입 손실(S_{21})의 측정 결과 그래프이다.
- [0118] 도 12a 내지 도 12c에서는 0, 3, 5 V 바이어스 전압에 대하여 도 8b에서 얻은 시뮬레이션 결과를 점선으로 도시하고, 본 발명에 따라 제작된 위상 천이기의 측정 결과를 실선으로 도시하였다.
- [0119] 도 12a 내지 도 12c에 시뮬레이션을 통해 얻어진 결과와 유사한 결과를 얻었다. 크기에서 시뮬레이션에 비해 1 dB 정도 삽입 손실이 커졌으며, 이는 다이오드 등가회로 모델에 포함된 손실 저항이 실제보다 작게 고려되어, 손실 면에서 차이를 보이는 것으로 생각된다.
- [0120] 그러나 주파수 응답은 주파수 대역 내에서 일정함을 확인하였다.
- [0121] 도 13은 공급 전압에 따른 측정 및 시뮬레이션된 위상 변화 그래프이다.
- [0122] 도 13에는 용이한 비교를 위하여 보조선인 직선을 동시에 보였으며, 전압에 대하여 위상 천이가 선형임을 알 수 있다. 위상의 측정 결과가 시뮬레이션에 비해 10° 정도 차이가 나는 것을 알 수 있다. 이는 입출력 선로의 전기적 길이에 의한 것으로 생각된다. 또한 0 V 근처에서 위상 변화가 직선보조선과 약간의 차이를 보이는데, 이는 다이오드가 0 V에서 커패시턴스의 변화가 급격히 이루어져 비선형성이 커지기 때문이라고 생각된다.

[0123] 그러나 측정된 위상 천이기는 시뮬레이션과 동일한 양의 위상 천이량을 보이며, 공급 전압에 따른 위상 천이 특성은 설계에서 예상한 바와 같이 거의 선형적이며, 또한, 두 직선의 기울기가 같음을 알 수 있다.

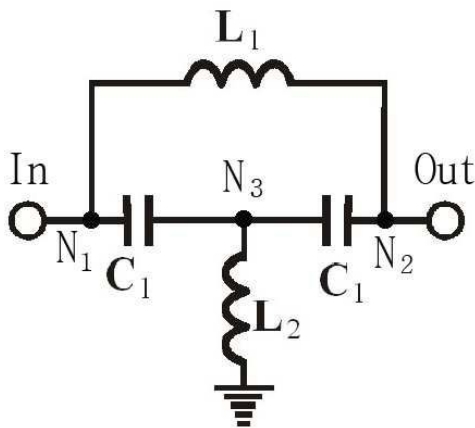
[0124] 상기한 바와 같이, 본 발명은 2 GHz에서 5 mm×5 mm 이하의 크기와 선형 위상 천이 특성을 가지는 소형 아날로그형 위상 천이기를 설계하기 위해, 버랙터 다이오드의 비선형성을 개선하고, 소형의 인덕터를 제안하여 2 GHz에서 선형 위상 특성을 갖는 소형 위상 천이기를 설계 제작하였다.

[0125] 이에 따라, 본 발명에 따른 소형 아날로그 위상 천이기는 본 발명에서 요구하는 4 mm×4 mm의 크기를 만족하고, 2 GHz에서 약 4.2~4.7 dB의 평탄한 삽입 손실을 가지고, 0~5 V 전압에 대하여 약 79°의 총 위상 천이를 보였으며, 이 전압에 대하여 선형 위상 천이 특성이 있다.

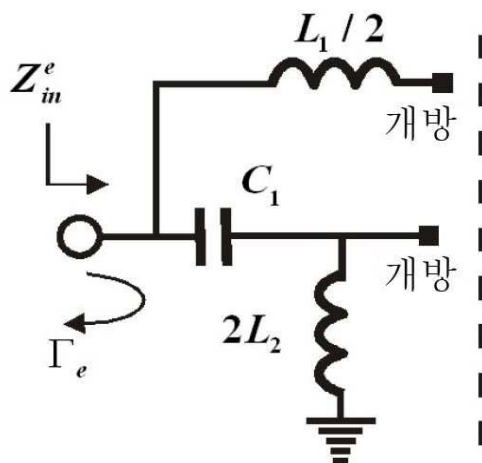
[0126] 본 발명의 권리범위는 위에서 설명된 실시 예에 한정되지 않고 청구범위에 기재된 바에 의해 정의되며, 본 발명의 기술분야에서 통상의 지식을 가진 자가 청구범위에 기재된 권리범위 내에서 다양한 변형과 개작을 할 수 있다는 것은 자명하다.

도면

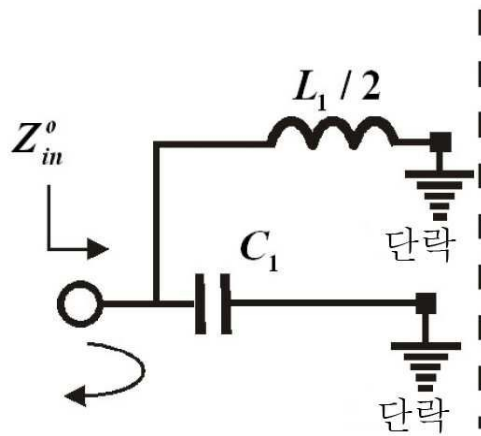
도면1



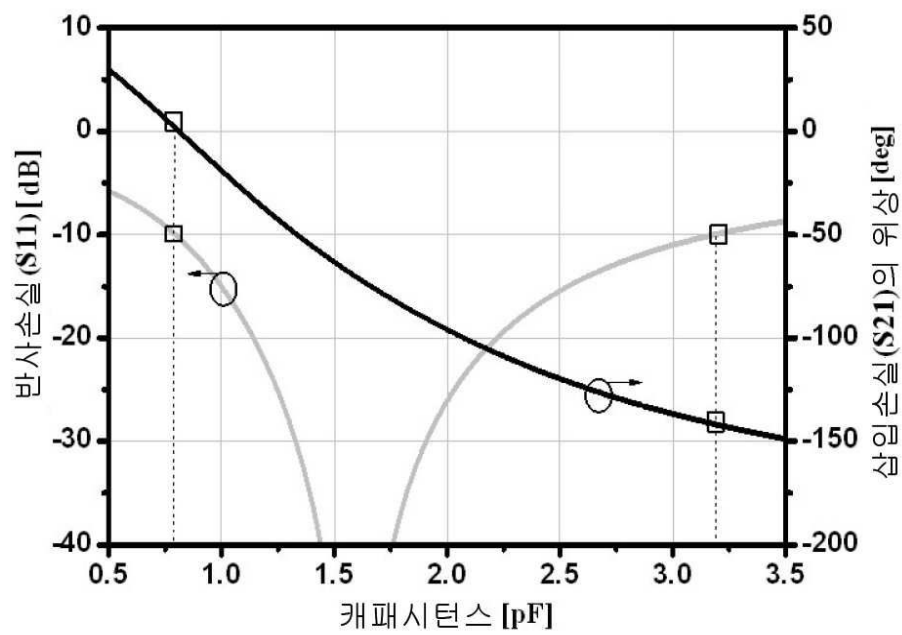
도면2a



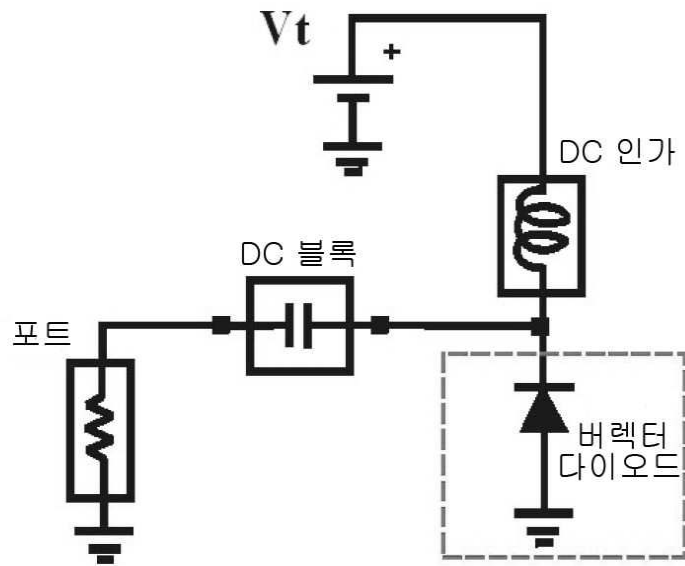
도면2b



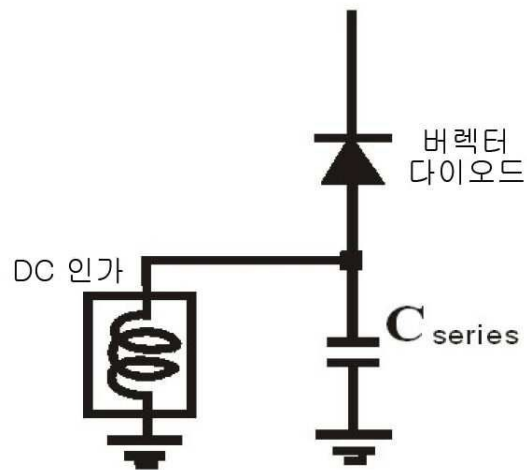
도면3



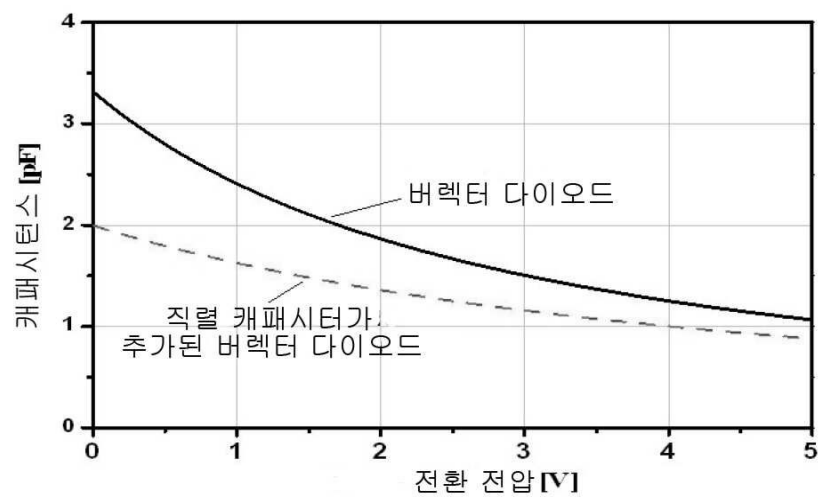
도면4a



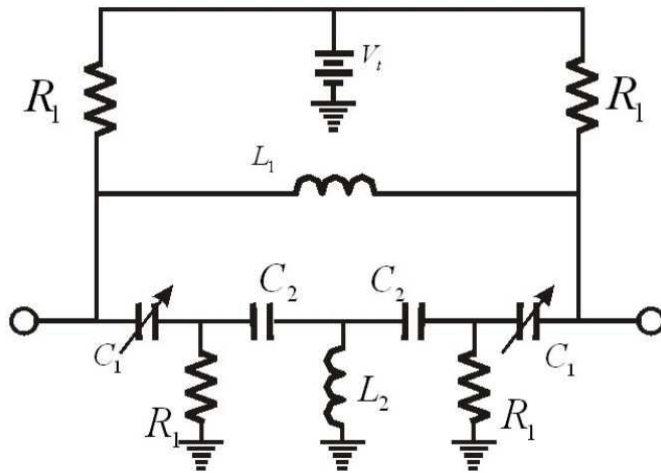
도면4b



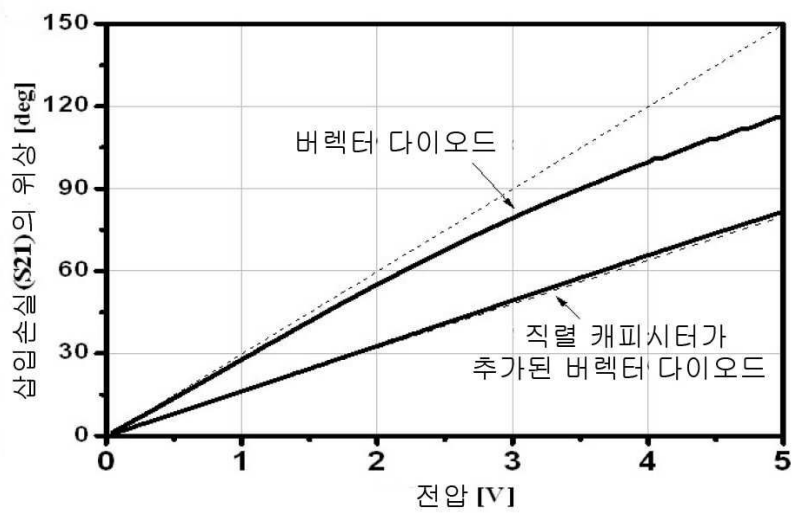
도면4c



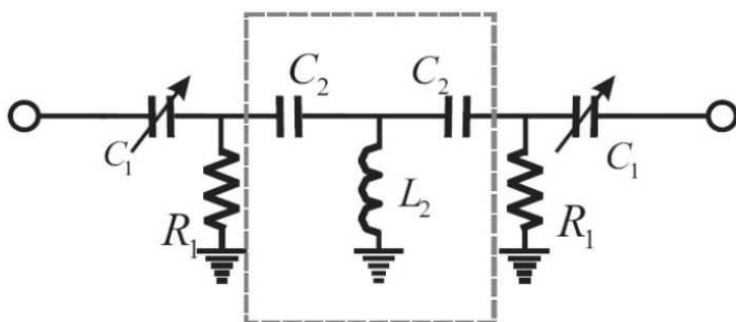
도면5



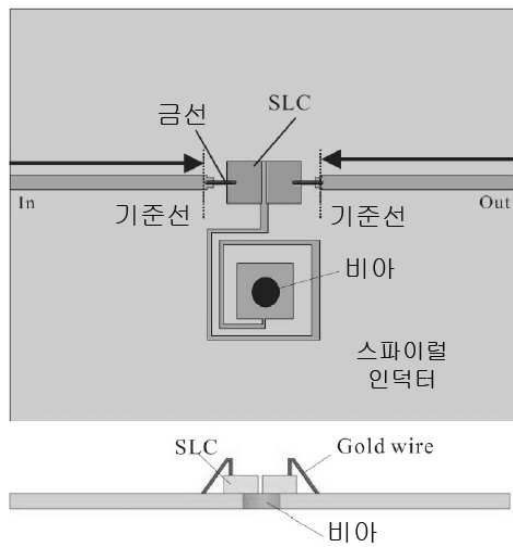
도면6



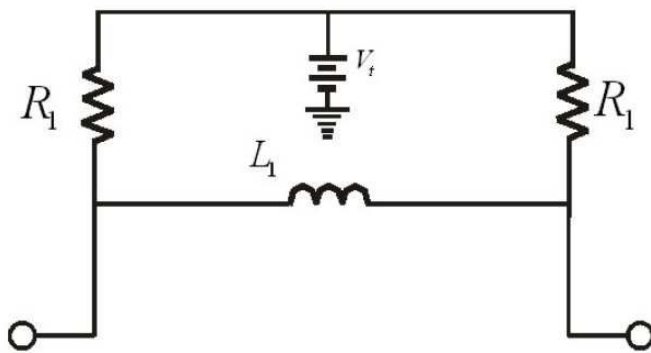
도면7a



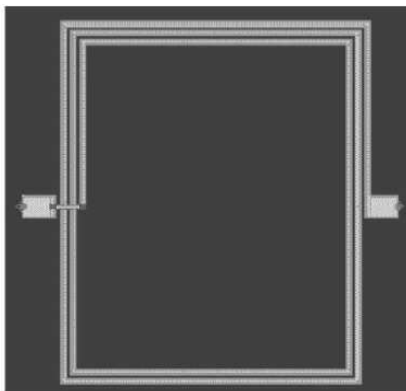
도면7b



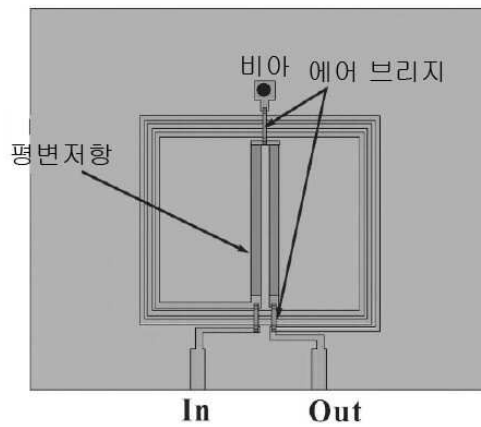
도면8a



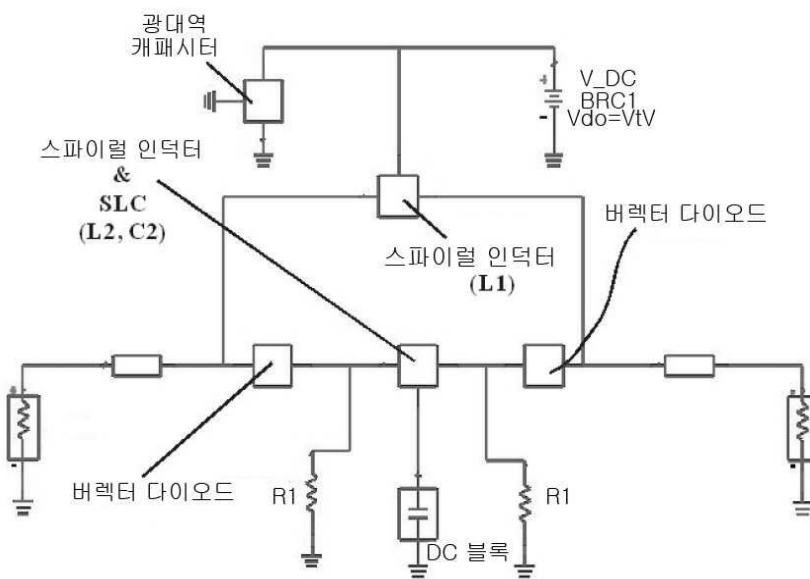
도면8b



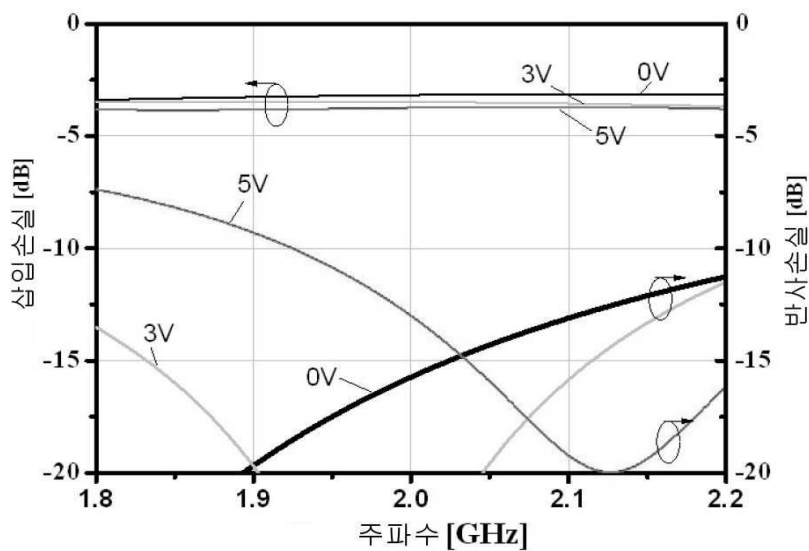
도면8c



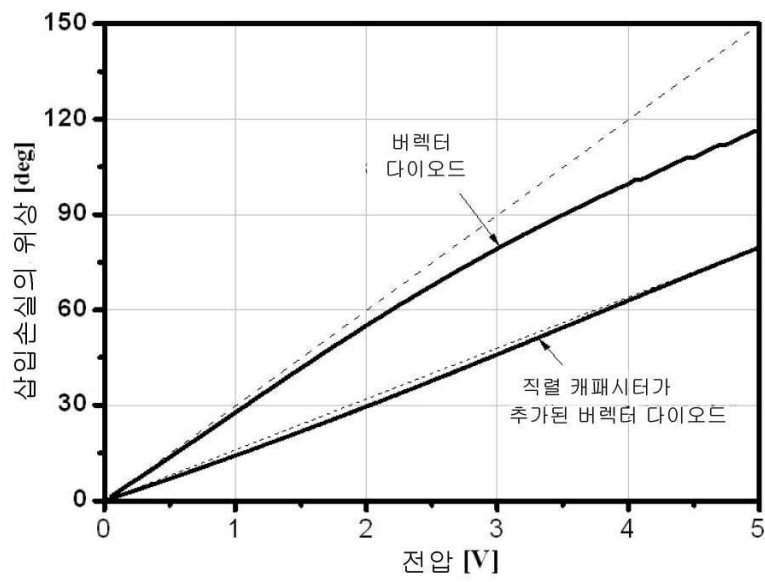
도면9a



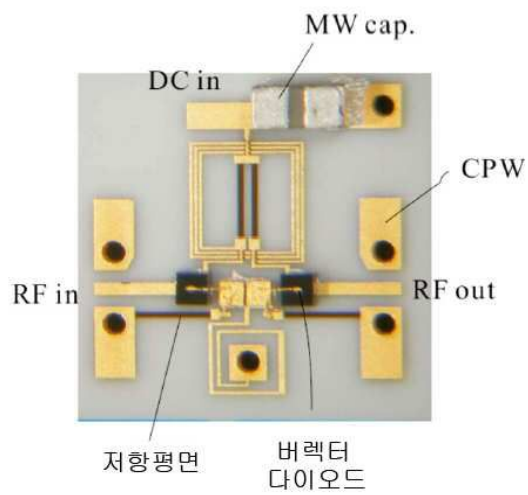
도면9b



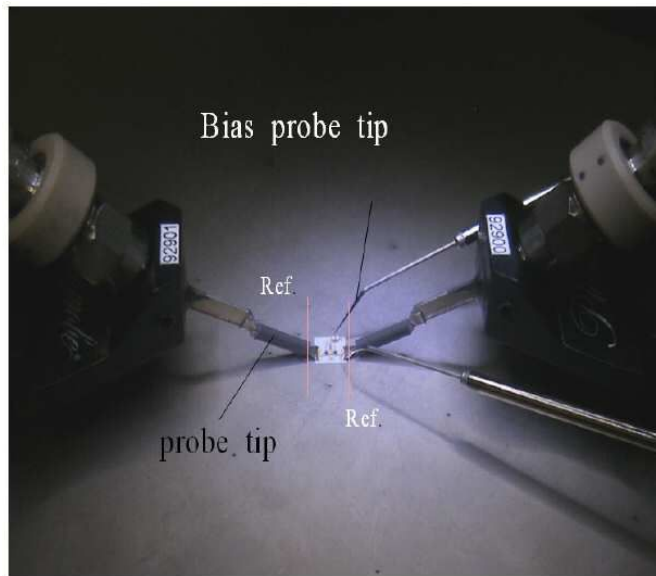
도면9c



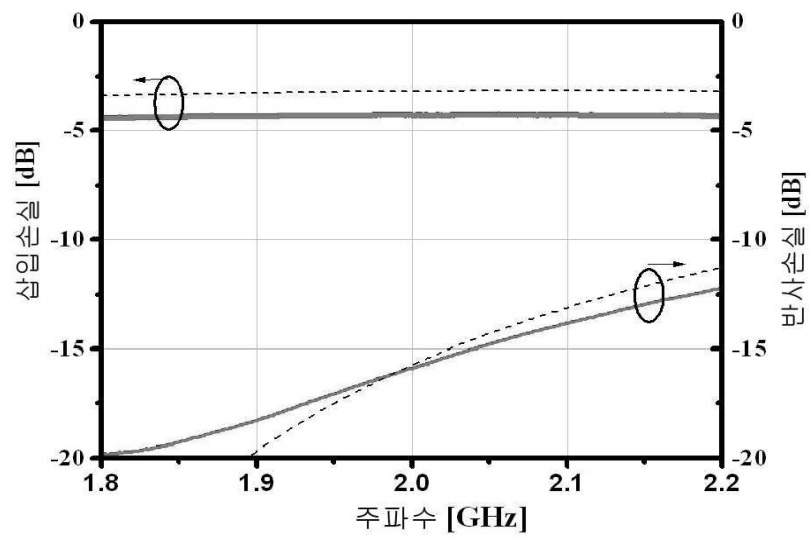
도면10



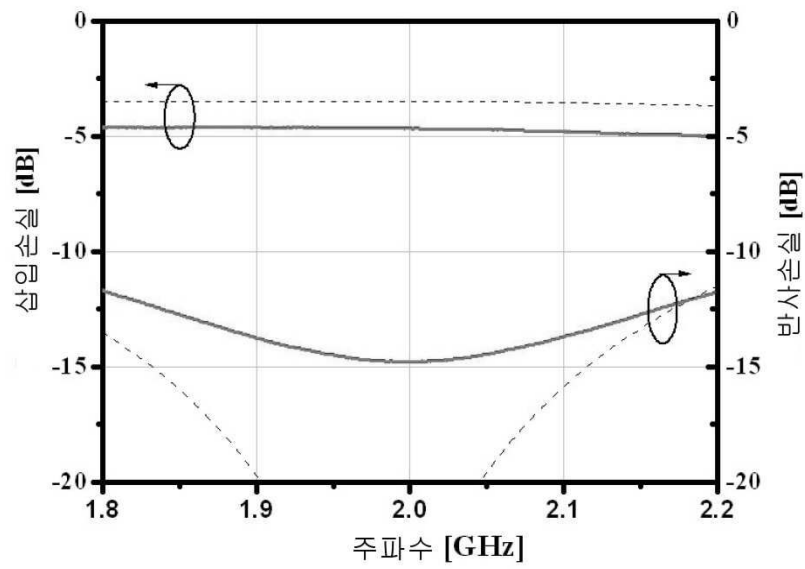
도면11



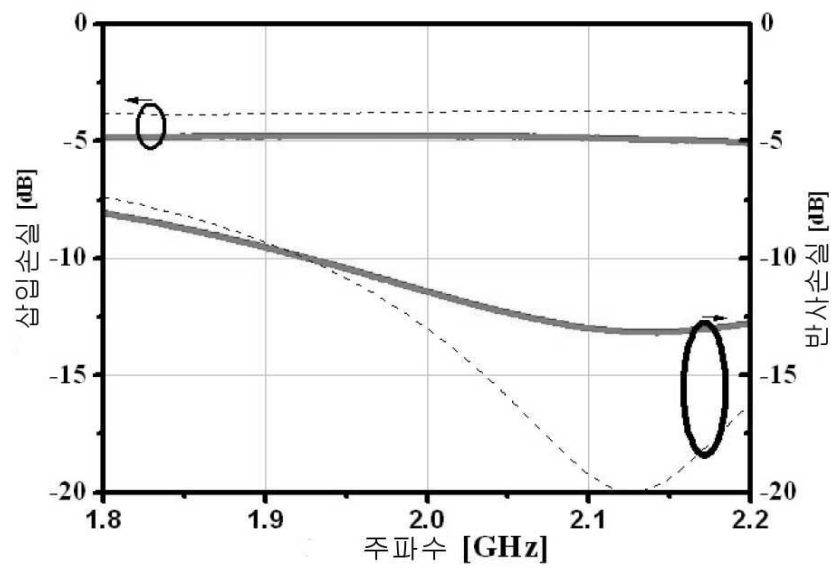
도면12a



도면12b



도면12c



도면13

