

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 2 年 9 月 24 日 (2020.9.24)

【公表番号】特表 2019-526932 (P2019-526932A)

【公表日】令和 1 年 9 月 19 日 (2019.9.19)

【年通号数】公開・登録公報 2019-038

【出願番号】特願 2019-509513 (P2019-509513)

【国際特許分類】

H 0 1 L 21/76 (2006.01)

H 0 1 L 29/06 (2006.01)

【F I】

H 0 1 L 21/76 L

H 0 1 L 29/06 3 0 1 M

H 0 1 L 29/06 3 0 1 R

【手続補正書】

【提出日】令和 2 年 8 月 11 日 (2020.8.11)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

集積回路であって、  
 頂部表面と底部表面とを有する基板と、  
 前記基板内に位置する埋め込み層と、  
 前記埋め込み層の上に位置するトランジスタウェル領域と、  
 前記埋め込み層を貫通するように前記頂部表面から延在する第 1 のトレンチであって、  
 第 1 のトレンチ深さを有する、前記第 1 のトレンチと、  
 前記埋め込み層を貫通するように前記頂部表面から延在する第 2 のトレンチであって、  
 前記第 1 のトレンチと前記トランジスタウェル領域との間に置かれ、前記第 1 のトレンチ  
 深さより浅い第 2 のトレンチ深さを有する、前記第 2 のトレンチと、  
 を含み、  
前記第 1 のトレンチが、前記埋め込み層から絶縁されて前記第 1 のトレンチの底部辺り  
 で前記基板とオーミック接触する第 1 の導体を含み、前記第 2 のトレンチが、前記埋め込  
 み層と前記基板とから絶縁される第 2 の導体を含む、集積回路。

【請求項 2】

請求項 1 に記載の集積回路であって、  
 前記第 2 のトレンチが、前記第 2 の導体を浮遊状態に絶縁する誘電体ライナーを更に含  
 む、集積回路。

【請求項 3】

請求項 1 に記載の集積回路であって、  
 前記第 2 の導体が、前記埋め込み層と前記基板との間の接合の降伏電圧に関連するバイ  
 アス電圧を受け取るように構成される、集積回路。

【請求項 4】

請求項 1 に記載の集積回路であって、  
 前記第 2 の導体が、前記埋め込み層と前記基板との間の接合の電界密度閾値に関連する  
 バイアス電圧を受け取るように構成される、集積回路。

## 【請求項 5】

請求項 1 に記載の集積回路であって、

前記第 1 のトレンチが、前記埋め込み層と前記基板との間の接合の降伏電圧に関連する距離だけ前記第 2 のトレンチから離間される、集積回路。

## 【請求項 6】

請求項 1 に記載の集積回路であって、

前記第 1 のトレンチが、埋め込み層と前記基板との間の接合の電界密度閾値に関連する距離だけ前記第 2 のトレンチから離間される、集積回路。

## 【請求項 7】

請求項 1 に記載の集積回路であって、

前記第 1 のトレンチが、 $1\ \mu\text{m}$  より大きい距離だけ前記第 2 のトレンチから離間される、集積回路。

## 【請求項 8】

請求項 1 に記載の集積回路であって、

前記第 1 のトレンチが、前記頂部表面において画定される第 1 の開口を有し、前記第 2 のトレンチが、前記頂部表面において画定される前記第 1 の開口より小さい第 2 の開口を有する、集積回路。

## 【請求項 9】

請求項 1 に記載の集積回路であって、

前記トランジスタウェル領域の外につくられる高電圧回路と、

前記トランジスタウェル領域内につくられ、前記第 1 のトレンチと前記第 2 のトレンチとによって前記高電圧回路から遮蔽される低電圧回路と、  
を更に含む、集積回路。

## 【請求項 10】

集積回路であって、

第 1 の導電型と頂部表面と底部表面とを有する基板と、

前記第 1 の導電型とは反対の第 2 の導電型を有し、前記基板内に位置する埋め込み層と

、  
前記埋め込み層の上に位置するトランジスタウェル領域と、

前記埋め込み層を貫通するように前記頂部表面から延在する第 1 のトレンチであって、  
前記第 1 のトレンチが、第 1 のトレンチ深さと第 1 の導体とを有し、前記第 1 の導体が、  
前記埋め込み層から絶縁され、前記第 1 のトレンチの底部辺りで前記基板とオーミック接触する、前記第 1 のトレンチと、

前記埋め込み層を貫通するように前記頂部表面から延在する第 2 のトレンチであって、  
前記第 2 のトレンチが、前記第 1 のトレンチと前記トランジスタウェル領域との間に置かれ、  
前記第 1 のトレンチ深さより浅い第 2 のトレンチ深さと第 2 の導体とを有し、前記第 2 の導体が、  
前記埋め込み層と前記基板とから絶縁される、前記第 2 のトレンチと、  
を含む、集積回路。

## 【請求項 11】

請求項 10 に記載の集積回路であって、

前記第 2 の導体が浮遊状態に絶縁される、集積回路。

## 【請求項 12】

請求項 10 に記載の集積回路であって、

前記第 2 の導体が、前記埋め込み層と前記基板との間の接合の降伏電圧に関連するバイアス電圧を受け取るように構成される、集積回路。

## 【請求項 13】

請求項 10 に記載の集積回路であって、

前記第 2 の導体が、前記埋め込み層と前記基板との間の接合の電界密度閾値に関連するバイアス電圧を受け取るように構成される、集積回路。

## 【請求項 14】

請求項 10 に記載の集積回路であって、

前記第 1 のトレンチが、前記埋め込み層と前記基板との間の接合の降伏電圧に関連する距離だけ前記第 2 のトレンチから離間される、集積回路。

【請求項 15】

請求項 10 に記載の集積回路であって、

前記第 1 のトレンチが、埋め込み層と前記基板との間の接合の電界密度閾値に関連する距離だけ前記第 2 のトレンチから離間される、集積回路。

【請求項 16】

方法であって、

基板内に埋め込み層を形成することと、

前記埋め込み層の上にトランジスタウェル領域を形成することと、

前記埋め込み層を貫通するように前記基板の頂部表面から延在する第 1 のトレンチを形成することであって、前記第 1 のトレンチが第 1 のトレンチ深さを有する、前記第 1 のトレンチを形成することと、

前記埋め込み層を貫通するように前記基板の前記頂部表面から延在する第 2 のトレンチを形成することであって、前記第 2 のトレンチが、前記第 1 のトレンチと前記トランジスタウェル領域との間に置かれ、前記第 1 のトレンチ深さより浅い第 2 のトレンチ深さを有する、前記第 2 のトレンチを形成することと、

前記第 1 のトレンチ内に第 1 の導体を形成することであって、前記第 1 の導体が、前記埋め込み層から絶縁され、前記第 1 のトレンチの底部辺りで前記基板とオーミック接触する、前記第 1 の導体を形成することと、

前記第 2 のトレンチ内に第 2 の導体を形成することであって、第 2 の導体が、前記埋め込み層と前記基板とから絶縁される、前記第 2 の導体を形成することと、

を含む、方法。

【請求項 17】

請求項 16 に記載の方法であって、

前記第 2 の導体を浮遊状態に絶縁することを更に含む、方法。

【請求項 18】

請求項 16 に記載の方法であって、

前記埋め込み層と前記基板との間の接合の降伏電圧に関連するバイアス電圧を受けるための前記第 2 の導体とのコンタクトを形成することを更に含む、方法。

【請求項 19】

請求項 16 に記載の方法であって、

前記第 1 のトレンチが、前記埋め込み層と前記基板との間の接合の降伏電圧に関連する距離だけ前記第 2 のトレンチから離間される、方法。

【請求項 20】

請求項 16 に記載の方法であって、

前記第 1 のトレンチが、前記埋め込み層と前記基板との間の接合の電界密度閾値に関連する距離だけ前記第 2 のトレンチから離間される、方法。

【請求項 21】

請求項 16 に記載の方法であって、

前記第 1 のトレンチが、 $1.5\ \mu\text{m}$  より大きい距離だけ前記第 2 のトレンチから離間される、方法。

【請求項 22】

請求項 16 に記載の方法であって、

前記第 1 のトレンチを形成することが、

前記基板の前記頂部表面において第 1 の開口を画定することと、

前記第 1 の開口を介して所定の時間期間の間、前記基板の頂部層と前記埋め込み層と前記基板の底部層とをエッチングすることと、

を含み、

前記第 2 のトレンチを形成することが、

前記基板の前記頂部表面において前記第 1 の開口より小さい第 2 の開口を画定することと、

前記第 2 の開口を介して前記所定の時間期間の間、前記基板の前記頂部層と前記埋め込み層と前記基板の前記底部層とをエッチングすることと、

を含む、方法。

【請求項 23】

請求項 16 に記載の集積回路であって、

前記トランジスタウェル領域の外に高電圧回路を形成することと、

前記トランジスタウェル領域内に、前記第 1 のトレンチと前記第 2 のトレンチとによって前記高電圧回路から遮蔽される低電圧回路を形成することと、

を更に含む、方法。