



(12) 发明专利

(10) 授权公告号 CN 101194322 B

(45) 授权公告日 2012. 05. 23

(21) 申请号 200680016694. 1

(22) 申请日 2006. 03. 31

(30) 优先权数据

11/099, 133 2005. 04. 05 US

(85) PCT申请进入国家阶段日

2007. 11. 15

(86) PCT申请的申请数据

PCT/US2006/011810 2006. 03. 31

(87) PCT申请的公布数据

W02006/107729 EN 2006. 10. 12

(73) 专利权人 桑迪士克股份有限公司

地址 美国加利福尼亚州

(72) 发明人 陈建

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 刘国伟

(51) Int. Cl.

G11C 11/56(2006. 01)

G11C 16/26(2006. 01)

G11C 16/34(2006. 01)

(56) 对比文件

US 5867429 A, 1999. 02. 02, 说明书第 8 栏第 6 行至第 33 行, 图 9、图 10.

US 6542407 B1, 2003. 04. 01, 说明书第 6 栏第 35 行至第 56 行、第 7 栏第 49 行至第 8 栏第 50 行, 图 3、图 4.

CN 1414566 A, 2003. 04. 30, 全文.

US 2004/0213031 A1, 2004. 10. 28, 说明书第 62 至 64 段、第 76 段至第 79 段, 图 8、图 10、图 12.

审查员 苏丹

权利要求书 4 页 说明书 30 页 附图 30 页

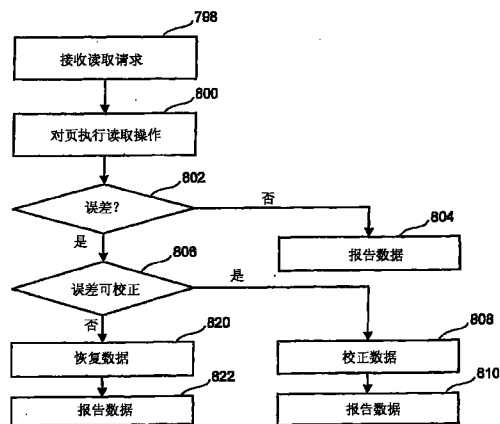
(54) 发明名称

一种非易失性存储器系统及其读取方法

(57) 摘要

由于电场基于邻近的浮动栅极(或其它邻近的电荷存储元件)中存储的电荷的耦合,所以非易失性存储器单元的浮动栅极(或其它电荷存储元件)上存储的视在电荷会出现偏移。所述问题在已于不同时刻编程的邻近的存储器单元组之间最为显著。为了补偿这种耦合,给定存储器单元的读取过程将考虑到邻近的存储器单元的编程状态。

CN 101194322 B



1. 一种用于读取非易失性存储设备的方法,其包括:

使用一组一个或一个以上读取比较点对一组非易失性存储元件执行读取过程,所述读取过程提供一组读取数据;

确定所述读取数据是否具有一个或一个以上误差;

确定误差校正过程是否能够校正所述一个或一个以上误差;

如果所述误差校正过程能够校正所述一个或一个以上误差,则使用所述误差校正过程来校正所述一个或一个以上误差;以及

如果所述误差校正过程不能够校正所述一个或一个以上误差,则执行数据恢复过程,所述数据恢复过程包括读取邻近所述非易失性存储元件组的非易失性存储元件,所述邻近的非易失性存储元件被编程为至少四种数据状态;基于邻近所述非易失性存储元件组的所述非易失性存储元件的所述四种数据状态,针对所述非易失性存储元件组的至少一子组来调整所述一个或一个以上读取比较点,以及使用所述经调整的一个或一个以上读取比较点,针对所述非易失性存储元件组执行另外一个或一个以上读取过程。

2. 根据权利要求1所述的方法,其中:

所述非易失性存储元件组包含数据页;

所述非易失性存储元件组连接到第一字线;

邻近所述非易失性存储元件组的所述非易失性存储元件连接到邻近所述第一字线的第二字线;且

所述误差校正过程使用误差校正码。

3. 根据权利要求1所述的方法,其中:

所述调整所述一个或一个以上读取比较点包含通过偏移电压改变参考电压。

4. 根据权利要求1所述的方法,其中:

所述调整所述一个或一个以上读取比较点包含通过一个或一组偏移电压来改变参考电压;且

所述偏移电压组包含用于每个编程数据状态的偏移电压。

5. 根据权利要求1所述的方法,其中:

所述执行另外一个或一个以上读取过程包含执行多个读取过程,每个读取过程使用预定偏移组中的不同一者,且对所有所述非易失性存储元件组执行,对于每个偏移存在至少一个读取过程,每个非易失性存储元件提供来自所述读取过程中的一个适当的读取过程的最终数据,所述一个适当的读取过程与所述和各个非易失性存储元件的邻近非易失性存储元件相关联的偏移相关联。

6. 根据权利要求1所述的方法,其中所述调整所述一个或一个以上读取比较点以及所述执行另外一个或一个以上读取过程包括:

在不调整所述一个或一个以上读取比较点的情况下执行第一读取过程,且存储具有处于第一状态的邻近非易失性存储元件的一个或一个以上非易失性存储元件的结果;以及

执行对所述一个或一个以上读取比较点进行第一调整的第二读取过程,且存储具有处于第二状态的邻近非易失性存储元件的一个或一个以上非易失性存储元件的结果。

7. 根据权利要求1所述的方法,其中所述调整所述一个或一个以上读取比较点以及所述执行另外一个或一个以上读取过程包括:

在不调整所述一个或一个以上读取比较点的情况下执行第一读取过程,且存储具有处于第一状态的邻近非易失性存储元件的一个或一个以上非易失性存储元件的结果;

执行对所述一个或一个以上读取比较点进行第一调整的第二读取过程,且存储具有处于第二状态的邻近非易失性存储元件的一个或一个以上非易失性存储元件的结果;

执行对所述一个或一个以上读取比较点进行第二调整的第三读取过程,且存储具有处于第三状态的邻近非易失性存储元件的一个或一个以上非易失性存储元件的结果;以及

执行对所述一个或一个以上读取比较点进行第三调整的第四读取过程,且存储具有处于第四状态的邻近非易失性存储元件的一个或一个以上非易失性存储元件的结果。

8. 根据权利要求 1 所述的方法,其中:

所述非易失性存储元件组连接到第一字线;

邻近所述非易失性存储元件组的所述非易失性存储元件连接到邻近所述第一字线的第二字线;

所述第一和第二字线是具有 N 个字线的存储器系统的一部分,其中第 N 个字线在序列中最后被编程;且

针对除所述第 N 个字线之外的所有所述字线执行所述数据恢复过程。

9. 根据权利要求 1 所述的方法,其进一步包括:

报告所述数据恢复过程的结果。

10. 根据权利要求 1 所述的方法,其中:

所述非易失性存储元件组连接到第一字线;且

所述非易失性存储元件组连接到连续的位线。

11. 根据权利要求 1 所述的方法,其中所述非易失性存储元件包含多个字线和多个位线,所述位线包含交替的奇数位线和偶数位线,其中:

所述非易失性存储元件组连接到所述多个字线中的第一字线;且

所述非易失性存储元件组与所述奇数位线相关联。

12. 根据权利要求 1 所述的方法,其中:

所述非易失性存储元件组是快闪存储器装置。

13. 根据权利要求 1 所述的方法,其中:

所述非易失性存储元件组是 NAND 快闪存储器装置。

14. 根据权利要求 1 所述的方法,其中:

所述非易失性存储元件组是多态快闪存储器装置。

15. 根据权利要求 1 所述的方法,其中:

所述非易失性存储元件组包含浮动栅极。

16. 根据权利要求 1 所述的方法,其中:

所述非易失性存储元件组的每一者包含用于存储电荷的介电区。

17. 一种非易失性存储器系统,其包括:

一组非易失性存储元件;以及

一个或一个以上管理电路,其与所述非易失性存储元件组通信,所述一个或一个以上管理电路使用一组参考值针对一组非易失性存储元件执行读取过程,以便确定存储在所述非易失性存储元件组中的所述组读取数据,所述一个或一个以上管理电路能够确定所述读

取数据具有无法通过误差校正过程校正的一个或一个以上误差,且如果所述误差校正过程无法校正所述一个或一个以上误差,则执行数据恢复过程,所述数据恢复过程包括读取邻近所述一组非易失性存储元件的非易失性存储元件,所述邻近的非易失性存储元件被编程为至少四种数据状态,所述数据恢复过程进一步包括基于邻近所述非易失性存储元件组的所述非易失性存储元件的编程的所述四种数据状态,而调整所述参考值的至少一子组,且使用所述调整的参考值对所述非易失性存储元件组执行另外一个或一个以上读取过程。

18. 根据权利要求 17 所述的非易失性存储器系统,其中所述调整所述参考值以及所述执行另外一个或一个以上读取过程包括:

执行多个读取过程,每个读取过程使用预定偏移组中的不同一者,且对所有所述非易失性存储元件组执行,对于每个偏移存在至少一个读取过程,所述非易失性存储元件组的至少一子组中的每一者提供来自所述读取过程中一个适当的读取过程的最终数据,所述一个适当的读取过程与所述和各个非易失性存储元件的邻近非易失性存储元件相关联的偏移相关联。

19. 根据权利要求 17 所述的非易失性存储器系统,其中所述调整所述参考值以及所述执行另外一个或一个以上读取过程包括:

在不调整所述参考值的情况下执行第一读取过程,且存储所述非易失性存储元件组中具有处于第一状态的邻近非易失性存储元件的一个或一个以上非易失性存储元件的结果;以及

执行对所述参考值进行第一调整的第二读取过程,且存储所述非易失性存储元件组中具有处于第二状态的邻近非易失性存储元件的一个或一个以上非易失性存储元件的结果。

20. 根据权利要求 17 所述的非易失性存储器系统,其中所述调整所述参考值以及所述执行另外一个或一个以上读取过程包括:

在不调整所述参考值的情况下执行第一读取过程,且存储所述非易失性存储元件组中具有处于第一状态的邻近非易失性存储元件的一个或一个以上非易失性存储元件的结果;

执行对所述参考值进行第一调整的第二读取过程,且存储所述非易失性存储元件组中具有处于第二状态的邻近非易失性存储元件的一个或一个以上非易失性存储元件的结果;

执行对所述参考值进行第二调整的第三读取过程,且存储所述非易失性存储元件组中具有处于第三状态的邻近非易失性存储元件的一个或一个以上非易失性存储元件的结果;以及

执行对所述参考值进行第三调整的第四读取过程,且存储所述非易失性存储元件组中具有处于第四状态的邻近非易失性存储元件的一个或一个以上非易失性存储元件的结果。

21. 根据权利要求 17 所述的非易失性存储器系统,其中:

所述一个或一个以上管理电路包含状态机、解码器、感测电路和控制器中的一者或一者以上;

所述非易失性存储元件组是非易失性存储元件阵列的一部分,所述非易失性存储元件阵列包含字线和位线;

所述非易失性存储元件组连接到第一字线;且

邻近所述非易失性存储元件组的所述非易失性存储元件连接到邻近所述第一字线的第二字线。

22. 根据权利要求 17 所述的非易失性存储器系统,其中:

所述非易失性存储元件组是 NAND 快闪存储器装置。

23. 根据权利要求 17 所述的非易失性存储器系统,其中:

所述非易失性存储元件组是多态快闪存储器装置。

24. 根据权利要求 17 所述的非易失性存储器系统,其中:

所述非易失性存储元件组中的所述非易失性存储元件包含浮动栅极。

25. 根据权利要求 17 所述的非易失性存储器系统,其中:

所述非易失性存储元件组中的所述非易失性存储元件包含用于存储电荷的介电区。

## 一种非易失性存储器系统及其读取方法

[0001] 对相关申请案的交叉参考

[0002] 本申请案涉及与本申请案同一天申请的代理人案号为第 SAND-01041US0 号的 JianChen、Raul-Adrian Cernea 和 Gerrit Jan Hemink 的标题为“Compensating For Coupling InNon-Volatile Storage”的美国专利申请案,其全文以引用的形式并入本文中。

[0003] 技术领域

[0004] 本发明涉及非易失性存储器技术。

[0005] 背景技术

[0006] 半导体存储器更加普遍地用于各种电子装置中。举例来说,非易失性半导体存储器用于蜂窝式电话、数码相机、个人数字助理、移动计算装置、非移动计算装置及其它装置。电可擦除可编程只读存储器 (EEPROM) 和快闪存储器是最盛行的非易失性存储器。

[0007] EEPROM 和快闪存储器利用浮动栅极,所述浮动栅极位于半导体衬底中的沟道区上方且与其绝缘。浮动栅极位于源极区与漏极区之间。控制栅极提供在浮动栅极上且与其绝缘。通过保持在浮动栅极上的电荷量来控制晶体管的阈值电压。也就是说,由浮动栅极上的电荷电平来控制必须在开启晶体管之前施加到控制栅极以允许其源极与漏极之间导通的电压的最小量。

[0008] 当对 EEPROM 或快闪存储器装置 (例如 NAND 快闪存储器装置) 编程时,通常向控制栅极施加编程电压,且将位线接地。将来自沟道的电子注入浮动栅极中。当电子在浮动栅极中积累时,浮动栅极变成负性充电的,且存储器单元的阈值电压升高,使得存储器单元处于编程状态。关于编程的更多信息参看 2003 年 3 月 5 日申请的题为“Self-Boosting Technique”的第 10/379,608 号美国专利申请案以及 2003 年 7 月 29 日申请的题为“Detecting Over Programmed Memory”的第 10/629,068 号美国专利申请案,所述两个申请案的全文均以引用的形式并入本文中。

[0009] 有些 EEPROM 和快闪存储器装置具有浮动栅极,所述浮动栅极用来存储两个范围的电荷,且因此,存储器单元可在两种状态 (擦除状态和编程状态) 之间编程 / 擦除。此种快闪存储器装置有时被称为双态快闪存储器装置。

[0010] 通过识别由禁止范围分离的多个不同的允许 / 有效编程阈值电压范围来实施多态快闪存储器装置。每种不同的阈值电压范围对应于在存储器装置中编码的数据位组的预定值。

[0011] 由于基于邻近的浮动栅极上存储的电荷的电场的耦合,存储在浮动栅极上的视在电荷中可能会发生偏移。第 5,867,429 号美国专利中描述了这种浮动栅极到浮动栅极的耦合现象,所述专利的全文以引用的形式并入本文中。邻近的浮动栅极到目标浮动栅极可能包含位于同一位线上的相邻浮动栅极、位于同一字线上的相邻浮动栅极或从目标浮动栅极跨越的浮动栅极,因为其均位于相邻位线和相邻字线上。

[0012] 浮动栅极到浮动栅极的耦合在已在不同时刻编程的邻近存储器单元组之间最为显著。举例来说,将第一存储器单元编程,以向其浮动栅极添加对应于一组数据的电荷电

平。随后,将一个或一个以上邻近存储器单元编程,以向其浮动栅极添加对应于第二组数据的电荷电平。在编程了邻近存储器单元中的一者或一者以上之后,从第一存储器单元读取的电荷电平显得与所编程的不同,原因在于邻近的存储器单元上的电荷与第一存储器单元的耦合效应。来自邻近存储器单元的耦合可使正被读取的视在电荷电平偏移充分的量,从而导致错误地读取所存储的数据。

[0013] 对于多态装置而言,浮动栅极到浮动栅极的耦合效应是更大的问题,因为在多态装置中所允许的阈值电压范围和禁止范围比双态装置中窄。因此,浮动栅极到浮动栅极的耦合可导致存储器单元从允许的阈值电压范围偏移 to 禁止范围。

[0014] 随着存储器单元的大小不断缩小,由于短沟道效应、较大的氧化物厚度 / 耦合比变化和较多的沟道掺杂物波动,所以预期阈值电压的自然编程和擦除分布增加,从而减少邻近状态之间的可用分离。这种效应对于多态存储器比对于只使用两种状态的存储器(双态存储器)要显著得多。此外,字线之间的空间和位线之间的空间的减少也将增加邻近的浮动栅极之间的耦合。

[0015] 因此,需要减少浮动栅极之间的耦合效应。

[0016] 发明内容

[0017] 为了补偿浮动栅极之间的耦合,给定存储器单元的读取过程将考虑到邻近的存储器单元的编程状态。揭示各种实施例。

[0018] 在一个实施例中,对于至少一个非易失性存储元件子组中的每个非易失性存储元件,基于邻近的存储元件中存储的电荷电平从预定偏移电压组中确定一个偏移电压。执行一组读取过程,其中每个读取过程使用预定偏移电压组中的一个不同偏移电压,并且对于所有非易失性存储元件都执行。对于每个偏移电压存在至少一个读取过程。每个非易失性存储元件提供来自读取过程中与针对各个非易失性存储元件所确定的偏移电压相关联的适当一个读取过程的最终数据。

[0019] 有些实施例包含用于从存储至少第一页和第二页的数据的第一组多态非易失性存储元件中读取数据的方法。所述方法包含为邻近第一组多态非易失性存储元件的第二组多态非易失性存储元件确定电荷电平数据。相对于第一参考值执行多个读取过程,以用于相对于两个邻近数据状态区分阈值电压。每个读取过程与第一参考值一起使用预定偏移电压组中的不同一者。第一组非易失性存储元件中的每一者提供来自读取过程中的适当一者的最终数据,所述适当一者对应于与各个邻近非易失性存储元件相关联的一个偏移电压。基于最终数据为第一页确定数据值,而无需使用来自基于其它对邻近数据状态之间的参考值的非零偏移电压的用户数据读取过程的其它数据。

[0020] 有些实施例包含编程第一组非易失性存储元件和第二组非易失性存储元件,所述两组非易失性存储元件存储第一和第二数据分组。所述编程包含在针对第一数据分组向特定非易失性存储元件写入之后,相对于第二数据分组向邻近的非易失性存储元件写入。当期望从第一组非易失性存储元件读取数据时,系统也将第二组非易失性存储元件读取。从第二组非易失性存储元件进行的读取不需要读取准确的数据,而是,读取操作只需要获得电荷电平或视在电荷电平的指示。对第一组非易失性存储元件执行读取操作。这些读取操作为第一组非易失性存储元件中邻近于第二组非易失性存储元件中提供第一指示的非易失性存储元件的非易失性存储元件使用第一补偿。这些读取操作不为第一组非易失性存

储元件中邻近于第二组非易失性存储元件中不提供第一指示的非易失性存储元件的非易失性存储元件使用第一补偿。

[0021] 附图说明

[0022] 图 1 是 NAND 串的俯视图。

[0023] 图 2 是 NAND 串的等效电路图。

[0024] 图 3 是 NAND 串的横截面图。

[0025] 图 4 是 NAND 快闪存储器单元的阵列的方框图。

[0026] 图 5 是非易失性存储器系统的方框图。

[0027] 图 6 是非易失性存储器系统的方框图。

[0028] 图 7 是描绘感测区块的一个实施例的方框图。

[0029] 图 8 是感测模块的一个实施例的示意图。

[0030] 图 9 是描述感测模块的操作的一部分的表格。

[0031] 图 10 是描述感测模块的操作的时序图。

[0032] 图 11 是解释共同源极线上的电压的方框图。

[0033] 图 12 描绘连接到源极线的存储器单元。

[0034] 图 13 展示各种阈值电压分布。

[0035] 图 14 是解释感测模块的操作的一部分的时序图。

[0036] 图 15 是描述用于编程非易失性存储器的过程的一个实施例的流程图。

[0037] 图 16 是施加到非易失性存储器单元的控制栅极的示范性波形。

[0038] 图 17 描绘示范组的阈值电压分布。

[0039] 图 18 描绘示范组的阈值电压分布。

[0040] 图 19A-C 展示各种阈值电压分布并描述用于编程非易失性存储器的过程。

[0041] 图 20A-G 是描绘在各种实施例中编程非易失性存储器的次序的表格。

[0042] 图 21 是描述用于读取非易失性存储器的过程的一个实施例的流程图。

[0043] 图 22 是描述用于对非易失性存储器执行读取操作的过程的一个实施例的流程图。

[0044] 图 23 是描述用于恢复数据的过程的一个实施例的流程图。

[0045] 图 24 是描述用于从多个字线恢复数据的过程的一个实施例的流程图。

[0046] 图 25 是描述用于从下部页读取数据的过程的一个实施例的流程图。

[0047] 图 26 是描述从上部页读取数据的过程的一个实施例的流程图。

[0048] 图 27 是描述用于读取数据的过程的一个实施例的流程图。

[0049] 图 28 是描述用于从上部页读取数据的过程的一个实施例的流程图。

[0050] 图 29 是描述用于在未经补偿的情况下读取数据的过程的一个实施例的流程图。

[0051] 图 30 是用于在补偿浮动栅极到浮动栅极（或介电区到介电区）的耦合的同时读取数据的过程的一个实施例的流程图。

[0052] 图 31 是描绘用于确定数据值的过程的表格。

[0053] 图 32 是描述用于读取经校正上部页数据的过程的一个实施例的流程图。

[0054] 图 32A 是描述管线读取过程的时序图。

[0055] 图 33 是感测模块的示意图。



[0056] 图 34 是描述用于读取数据的过程的一个实施例的流程图。

[0057] 图 35 是描述用于读取数据的过程的一个实施例的流程图。

[0058] 图 36 是描述与图 35 的过程相关联的用于读取上部页数据的过程的一个实施例的流程图。

### 具体实施方式

[0059] 适合实施本发明的存储器系统的一个实例使用 NAND 快闪存储器结构,其包含在两个选择栅极之间串联布置多个晶体管。将串联晶体管与选择栅极称为 NAND 串。图 1 是展示一个 NAND 串的俯视图。图 2 是其等效电路图。图 1 和图 2 中描绘的 NAND 串包含四个晶体管,100、102、104 和 106,其串联连接且夹在第一选择栅极 120 与第二选择栅极 122 之间。选择栅极 120 将 NAND 串连接到位线 126。选择栅极 122 将 NAND 串连接到源极线 128。通过向控制栅极 120CG 施加适当电压来控制选择栅极 120。通过向控制栅极 122CG 施加适当电压来控制选择栅极 122。晶体管 100、102、104 和 106 中的每一者具有控制栅极和浮动栅极。晶体管 100 具有控制栅极 100CG 和浮动栅极 100FG。晶体管 102 包含控制栅极 102CG 和浮动栅极 102FG。晶体管 104 包含控制栅极 104CG 和浮动栅极 104FG。晶体管 106 包含控制栅极 106CG 和浮动栅极 106FG。控制栅极 100CG 连接到字线 WL3,控制栅极 102CG 连接到字线 WL2,控制栅极 104CG 连接到字线 WL1,且控制栅极 106CG 连接到字线 WL0。在一个实施例中,晶体管 100、102、104 和 106 每一者均是存储器单元。在其它实施例中,存储器单元可包含多个晶体管或可与图 1 和图 2 中描绘的不同。选择栅极 120 连接到选择线 SGD。选择栅极 122 连接到选择线 SGS。

[0060] 图 3 提供上述 NAND 串的横截面图。如图 3 中描绘的,NAND 串的晶体管形成在 p 阱区 140 中。每个晶体管包含堆叠栅极结构,其由控制栅极 (100CG、102CG、104CG 和 106CG) 和浮动栅极 (100FG、102FG、104FG 和 106FG) 组成。在氧化物或其它介电薄膜上的 p 阱表面上形成浮动栅极。控制栅极位于浮动栅极上方,中间多晶硅介电层将控制栅极与浮动栅极分离。存储器单元 (100、102、104 和 106) 的控制栅极形成字线。相邻单元之间共用 N+ 掺杂层 130、132、134、136 和 138,借此单元彼此串联连接以形成 NAND 串。这些 N+ 掺杂层形成每个单元的源极和漏极。举例来说,N+ 掺杂层 130 充当晶体管 122 的漏极和晶体管 106 的源极,N+ 掺杂层 132 充当晶体管 106 的漏极和晶体管 104 的源极,N+ 掺杂层 134 充当晶体管 104 的漏极和晶体管 102 的源极,N+ 掺杂层 136 充当晶体管 102 的漏极和晶体管 100 的源极,且 N+ 掺杂层 138 充当晶体管 100 的漏极和晶体管 120 的源极。N+ 掺杂层 126 连接到 NAND 串的位线,同时 N+ 掺杂层 128 连接到多个 NAND 串的共同源极线。

[0061] 请注意,虽然图 1-3 展示 NAND 串中的四个存储器单元,但使用四个晶体管只是作为实例而提供。用本文中描述的技术使用的 NAND 串可具有少于四个存储器单元或多于四个存储器单元。举例来说,有些 NAND 串将包含 8 个存储器单元、16 个存储器单元、32 个存储器单元等。本文中的论述并不限于 NAND 串中的任何特定数目的存储器单元。

[0062] 每个存储器单元可存储用模拟或数字形式表示的数据。当存储一位数字数据时,将存储器单元的可能阈值电压的范围划分成两个范围,向所述两个范围指派逻辑数据“1”和“0”。在 NAND 型快闪存储器的一个实例中,电压阈值在擦除存储器单元之后是负的,且被界定为逻辑“1”。阈值电压在编程操作之后是正的,且被界定为逻辑“0”。当阈值电压

是负的且通过向控制栅极施加 0 伏而尝试读取时,存储器单元将开启以指示正在存储逻辑 1。当阈值电压是正的且通过向控制栅极施加 0 伏而尝试读取操作时,存储器单元将不会开启,这指示存储逻辑 0。

[0063] 存储器单元也可存储多个状态,因而存储多位数字数据。在存储数据的多个状态的情况下,将阈值电压窗划分成若干状态。举例来说,如果使用四个状态,则将存在指派给数据值“11”、“10”、“01”和“00”的四个阈值电压范围。在 NAND 型存储器的一个实例中,阈值电压在擦除操作之后是负的,且被界定为“11”。针对“10”、“01”和“00”的状态使用正阈值电压。在有些实施方案中,使用 Gray 代码赋值向阈值范围指派数据值(例如,逻辑状态),使得如果浮动栅极的阈值电压错误地移位到其相邻物理状态,则将只影响一个位。编程到存储器单元中的数据与单元的阈值电压范围之间的具体关系取决于针对存储器单元采用的数据编码方案。举例来说,以全文引用的形式并入本文中的 2003 年 6 月 13 日申请的第 6,222,762 号美国专利和第 10/461,244 号美国专利申请案“Tracking Cells For A Memory System”描述用于多态快闪存储器单元的各种数据编码方案。

[0064] 在以全文引用的形式并入本文中的以下美国专利/专利申请案中提供 NAND 型快闪存储器及其操作的相关实例:第 5,570,315 号美国专利、第 5,774,397 号美国专利、第 6,046,935 号美国专利、第 5,386,422 号美国专利、第 6,456,528 号美国专利和第 09/893,277 号美国专利申请案(第 US2003/0002348 号公开案)。除了 NAND 快闪存储器之外,其它类型的非易失性存储器也可与本发明一起使用。

[0065] 可用于快闪 EEPROM 系统中的其它类型的存储器单元利用非导电性介电材料代替导电性浮动栅极而以非易失性方式存储电荷。Chan 等人的文章“*A True Single-Transistor Oxide-Nitride-Oxide EEPROM Device*”(IEEE Electron Device Letters, EDL-8 卷,第 3 期,1987 年 3 月,第 93-95 页)中描述了这种单元。在导电控制栅极与存储器单元沟道上方的半导体衬底的表面之间夹着由氧化硅、氮化硅和氧化硅(“ONO”)形成的三层电介质。通过将电子从单元沟道注入到氮化物中而将单元编程,电子在所述氮化物中被捕获并存储在有限区中。这个存储的电荷接着用可检测的方式改变单元沟道的一部分的阈值电压。通过将热空穴注入到氮化物中来擦除单元。也参看 Nozaki 等人的“*A 1-Mb EEPROM with MONOS Memory Cell for Semiconductor Disk Application*”(IEEE Journal of Solid-State Circuits, 第 26 卷,第 4 期,1991 年 4 月,第 497-501 页),其描述分割栅极配置的类似单元,其中掺杂的多晶硅栅极在存储器单元沟道的一部分上延伸以形成单独的选择晶体管。以上两篇文章的全文以引用的形式并入本文中。以引用的形式并入本文中的“*Nonvolatile Semiconductor Memory Technology*”(由 William D. Brown 和 Joe E. Brewer 编辑, IEEE Press, 1998) 的 1.2 章节中提到的编程技术也在所述章节中描述为适用于介电电荷捕获装置。此段中描述的存储器单元也可与本发明一起使用。因此,本文中描述的技术也适用于不同存储器单元的介电区之间的耦合。

[0066] Eitan 等人的“*NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell*”(IEEE Electron Device Letters, 第 21 卷,第 11 卷,2000 年 11 月,第 543-545 页)中描述了另一种在每个单元中存储两个位的方法。ONO 介电层在源极与漏极扩散区之间的沟道上延伸。用于一个数据位的电荷位于邻近漏极的介电层中,且用于另一数据位的电荷位于邻近源极的介电层中。通过单独读取电介质内的空间分离的电荷存储区的二进制状态

而实现多态数据存储。此段中描述的存储器单元也可与本发明一起使用。

[0067] 图 4 绘示例如图 1-3 中展示的那些 NAND 单元阵列的 NAND 单元阵列的实例。沿着每个列,位线 206 耦合到 NAND 串 150 的漏极选择栅极的漏极端子 126。沿着 NAND 串的每个行,源极线 204 可与 NAND 串的源极选择栅极的所有源极端子 128 连接。NAND 结构阵列的实例及其作为存储器系统的一部分的操作请参看第 5,570,315 号、第 5,774,397 号和第 6,046,935 号美国专利。

[0068] 存储器单元的阵列被划分成许多存储器单元区块。对于快闪 EEPROM 系统常见的是,区块是擦除单位。也就是说,每个区块含有一起擦除的最小数目的存储器单元。每个区块通常划分成若干页。页是编程单位。在一个实施例中,各个页可划分成区段,且区段可含有作为基本编程操作一次写入的最小数目的单元。一个或一个以上的数据页通常存储在一行存储器单元中。页可存储一个或一个以上扇区。扇区包含用户数据和额外开销数据。额外开销数据通常包含根据扇区的用户数据计算的误差校正码 (ECC)。在将数据编程到阵列中时控制器(下文描述)的一部分计算 ECC,且还在从阵列中读取数据时检验所述 ECC。或者,ECC 和/或其它额外开销数据存储在与其相关的用户数据不同的页乃至不同的区块中。

[0069] 用户数据扇区通常为 512 字节,其对应于磁盘驱动器中的扇区大小。额外开销数据通常为额外的 16-20 个字节。许多页形成区块,其(例如)为 8 页直到 32、64 或更多页。在有些实施例中,一行 NAND 串包括一区块。

[0070] 在一个实施例中,通过将 p 阱抬升到擦除电压(例如,20 伏)持续充分的时间周期并在源极和位线浮动时将选定区块的字线接地,而擦除存储器单元。由于电容性耦合的缘故,未选中的字线、位线、选择线和 c 源极也被抬升到擦除电压的有效分数。因此,在将浮动栅极的电子发射到衬底侧时,向选定存储器单元的隧穿氧化物层施加较强的电场并擦除选定存储器单元的数据。当电子从浮动栅极转移到 p 阱区时,降低选定单元的阈值电压。可对整个存储器阵列、单独的区块或另一单位的单元执行擦除。

[0071] 图 5 绘示根据本发明一个实施例具有用于并行地读取和编程存储器单元页的读取/写入电路的存储器装置 296。存储器单元 296 可包含一个或一个以上存储器颗粒 298。存储器颗粒 298 包含存储器单元的二维阵列 300、控制电路 310 和读取/写入电路 365。存储器阵列 300 可通过字线经由行解码器 330 且通过位线经由列解码器 360 来寻址。读取/写入电路 365 包含多个感测区块 400 且允许存储器单元页被并行读取或编程。通常控制器 350 包含在与一个或一个以上存储器颗粒 298 相同的存储器装置 296(例如,可移除存储卡)中。命令和数据经由线 320 在主机与控制器 350 之间传输,且经由线 318 在控制器与一个或一个以上存储器颗粒 298 之间传输。

[0072] 控制电路 310 与读取/写入电路 365 协作,以对存储器阵列 300 执行存储器操作。控制电路 310 包含状态机 312、芯片上地址解码器 314 和功率控制模块 316。状态机 312 提供对存储器操作的芯片级控制。芯片上地址解码器 314 在主机或存储器控制器使用的地址与解码器 330 和 360 使用的硬件地址之间提供地址界面。功率控制模块 316 控制在存储器操作期间供应到字线和位线的功率和电压。

[0073] 图 6 绘示图 5 展示的存储器装置 296 的另一布置。在阵列的相对侧上用对称方式实施各种外围电路对存储器阵列 300 的存取,使得每一侧上的存取线和电路的密度减半。因此,将行解码器分割成行解码器 330A 和 330B,且将列解码器分割成列解码器 360A

和 360B。类似地,将读取 / 写入电路分割成从阵列 300 底部连接到位线的读取 / 写入电路 365A 和从阵列 300 顶部连接到位线的读取 / 写入电路 365B。以此方式,读取 / 写入模块的密度在本质上减半。图 6 的装置也可包含控制器,如上文针对图 5 的装置所描述。

[0074] 图 7 是划分成核心部分(称为感测模块 380)和共同部分 390 的个别感测模块 400 的方框图。在一个实施例中,将存在针对每个位线的单独感测模块 380 和针对一组多个感测模块 380 的一个共同部分 390。在一个实例中,感测区块将包含一个共同部分 390 和八个感测模块 380。群组中的每个感测模块将经由数据总线 372 与相关联的共同部分通信。进一步的细节请参看 2004 年 12 月 29 日申请的第 11/026,536 号美国专利申请案“Non-Volatile Memory&Method with Shared Processing for an Aggregate of SenseAmplifiers”,所述专利申请案的全文以引用的形式并入本文中。

[0075] 感测模块 380 包括感测电路 370,其确定所连接位线中的导通电流是在预定阈值电平以上还是以下。感测模块 380 还包含位线锁存器 382,其用于设定所连接位线上的电压条件。举例来说,锁存在位线锁存器 382 中的预定状态将导致所连接字线被拉到规定禁止编程的状态(例如,Vdd)。

[0076] 共同部分 390 包括处理器 392、一组数据锁存器 394 和耦合在所述组数据锁存器 394 与数据总线 320 之间的 I/O 接口 396。处理器 392 执行计算。举例来说,其功能之一是确定存储在感测到的存储器单元中的数据并将所确定的数据存储在该组数据锁存器中。所述组数据锁存器 394 用于在读取操作期间存储由处理器 392 确定的数据位。其也用于在编程操作期间存储从数据总线 320 输入的数据位。输入的数据位表示将要编程到存储器中的写入数据。I/O 接口 398 在数据锁存器 394 与数据总线 320 之间提供接口。

[0077] 在读取或感测期间,系统的操作处于状态机 312 的控制下,所述状态机 312 控制对寻址单元供应不同的控制栅极电压。随着其逐步通过对应于存储器支持的各种存储器状态的各种预定义控制栅极电压,感测模块 380 将在这些电压之一处跳变,且将经由总线 372 从感测模块 380 向处理器 392 提供输出。在所述点处,处理器 392 通过考虑到感测模块的跳变事件和与经由输入线 393 从状态机施加的控制栅极电压相关的信息而确定最终的存储器状态。其接着针对存储器状态计算出二进制编码,并将所得的数据位存储到数据锁存器 394 中。在核心部分的另一实施例中,位线锁存器 382 服务于双重任务,均作为用于锁存感测模块 380 的输出的锁存器且还作为如上所述的位线锁存器。

[0078] 预期有些实施方案将包含多个处理器 392。在一个实施例中,每个处理器 392 将包含输出线(图 7 中未描绘),使得每个输出线被有线地“或”在一起。在有些实施例中,输出线在连接到有线“或”线之前被反转。这种配置使得可在已完成编程过程时的编程验证过程期间进行快速确定,因为接收有线“或”的状态机可确定所有正被编程的位何时已到达所要电平。举例来说,当每个位均已到达其所要电平时,所述位的逻辑 0 将被发送到有线“或”线(或数据 1 被反转)。当所有位均输出数据 0 时(或被反转的数据 1),那么状态机便知道要结束编程过程。因为每个处理器均与八个感测模块通信,所以状态机需要读取有线“或”线八次,或者向处理器 392 添加逻辑以积累相关联的位线的结果,使得状态机只需要读取有线“或”线一次。类似地,通过正确地选择逻辑电平,全局状态机可检测出第一位何时改变其状态,且相应地改变算法。

[0079] 在编程或验证期间,将待编程的数据从数据总线 320 存储在数据锁存器组 394 中。

在状态机控制下的编程操作包括施加到被寻址存储器单元的控制栅极的一系列编程电压脉冲。每个编程脉冲后面是读回（验证），以确定单元是否已被编程到所要的存储器状态。处理器 392 相对于所要的存储器状态监视读回存储器状态。当所述两个状态一致时，处理器 222 设定位线锁存器 214，以便导致将位线拉到规定禁止编程的状态。这禁止进一步编程耦合到位线的单元，即使在其控制栅极上出现编程脉冲也是如此。在其它实施例中，处理器起初加载位线锁存器 382，且感测电路在验证过程期间将其设定成禁止值。

[0080] 数据锁存器堆叠 394 含有对应于感测模块的数据锁存器堆叠。在一个实施例中，每个感测模块 380 存在三个数据锁存器。在有些实施方案中（但不是要求的），将数据锁存器实施为移位寄存器，使得其中存储的并行数据转换成串行数据以用于数据总线 320，且反之亦然。在优选实施例中，可将对应于  $m$  个存储器单元的读取 / 写入区块的所有数据锁存器链接在一起以形成区块移位寄存器，使得可通过串行传输输入或输出数据区块。确切地说， $r$  个读取 / 写入模块的库经调适，使得其数据锁存器组中的每一者将依次地将数据移入或移出数据总线，如同其是整个读取 / 写入区块的移位寄存器的一部分一样。

[0081] 图 8 绘示感测模块 380 的实例；然而，也可使用其它实施方案。感测模块 380 包括位线隔离晶体管 512、位线下拉电路 520、位线电压箝 610、读取总线传输栅极 530 和读出放大器 600，所述读出放大器 600 在此实施方案中含有位线锁存器 382。请注意，图 8 中的存储器单元 10 和页控制器 540 相关联，但结构上并不是感测模块 380 的一部分。

[0082] 一般来说，对一页存储器单元并行地操作。因此，相应数目的感测模块并行地操作。在一个实施例中，页控制器 540 方便地向被并行操作的感测模块提供控制和时序信号。

[0083] 当通过信号 BLS 启用位线隔离晶体管 512 时，感测模块 380 可连接到存储器单元的位线 36。感测模块 380 借助读出放大器 600 感测存储器单元的导通电流，并在感测节点 501 处将读取结果作为数字电压电平 SEN2 锁存，且经由栅极 530 将其输出到读出总线 532。

[0084] 读出放大器 600 实质上包括第二电压箝 620、预充电电路 640、鉴别器或比较电路 650 以及锁存器 660。鉴别器电路 650 包含专用电容器 652。在一个实施例中，向正被读取的存储器单元的控制栅极施加参考电压。如果参考电压大于存储器单元的阈值电压，则存储器单元将开启且在其源极与漏极之间导通电流。如果参考电压不大于存储器单元的阈值电压，则存储器单元将不开启且在其源极与漏极之间不导通电流。在许多实施方案中，开启 / 关闭可以是连续转变，使得存储器单元将响应于不同的控制栅极电压而导通不同的电流。如果存储器单元是开启的且导通电流，则被导通的电流将导致节点 SEN 631 上的电压减少，从而有效地充电或增加另一端子处于 Vdd 的电容器 652 上的电压。如果节点 SEN 上的电压在预定感测周期期间放电到预定电平，则读出放大器 600 报告存储器单元响应于控制栅极电压而开启。

[0085] 感测模块 380 的一个特征是，并入了感测期间对位线的恒定电压供应。这优选通过位线电压箝 610 来实施。位线电压箝 610 类似于二极管箝而操作，其中晶体管 612 与位线 36 串联。其栅极被偏置到等于在其阈值电压  $V_T$  以上的所要位线电压  $V_{BL}$  的恒定电压 BLC。以此方式，其将位线与感测模块 501 隔离，并针对位线设定恒定的电压电平，例如在编程验证或读取期间所要的  $V_{BL} = 0.5$  到  $0.7$  伏。一般来说，将位线电压电平设定为使其充分低以避免较长的预充电时间，但又充分高以避免接地噪声及其它因素的水平。

[0086] 读出放大器 600 感测通过感测节点 501 的导通电流，并确定导通电流是处于预定

值以上还是以下。读出放大器将作为感测节点 501 处的信号 SEN2 的数字形式的感测结果输出到读出总线 532。

[0087] 在读取之后还输出实质上是信号 SEN2 的反转状态的数字控制信号 INV, 以控制下拉电路 520。当感测出的导通电流高于预定值时, INV 将为“高”且 SEN2 将为“低”。这个结果通过下拉电路 520 加强。下拉电路 520 包含由控制信号 INV 控制的 n 晶体管 522 和由控制信号 GRS 控制的另一 n 晶体管 550。GRS 信号在“低”时允许位线 36 浮动, 且不论 INV 信号的状态是如何。在编程期间, GRS 信号变“高”, 以允许位线 36 被拉到接地并由 INV 控制。当要求位线浮动时, GRS 信号变“低”。

[0088] 图 10(H)–图 10(O) 绘示图 8 所示的优选感测模块的时序。共同待决的由 Raul-Adrian Cernea 和 Yan Li 在 2002 年 9 月 24 日申请的在 2004 年 3 月 25 日作为第 2004/0057287 号公开申请案公开的第 10/254, 830 号美国专利申请案“Non-Volatile Memory And Method With Reduced Source Line Bias Errors”, 以及 Raul-Adrian Cernea 和 Yan Li 在 2003 年 9 月 17 日申请的在 2004 年 6 月 10 日作为第 2004/0109357 号公开申请案公开的第 10/665, 828 号美国专利申请案“Non-Volatile Memory And Method with Improved Sensing”中已经描述了对感测模块关于其它特征的操作的额外描述。所引用的这两个申请案的整个揭示内容的全文以引用的方式在此并入本文中。

[0089] 在一个实施例中, 由位线电压补偿器 560 供应位线偏压。其感测到来自其左右相邻者的分别采用信号 INVL 和 IVNR 形式的 INV 信号, 且根据图 9 的偏置电压表以响应方式供应偏置电压  $\Delta VBL$ 。将偏置电压供应到可切换地耦合到位线 36 的节点 523。在编程期间, 当信号 GRS 为“低”时, 信号 BLS 和 INV 两者均为“高”。这些启用位线 36 对位线电压补偿器 560 的存取。

[0090] 图 9 是列出作为位线的左右相邻者的禁止编程模式的函数施加到位线的偏移电压的偏置电压表格。中间的列列出作为正被编程的存储单位的位线的左右相邻者的模式的函数施加到所述位线的偏移或偏置电压。一般来说, 其相邻者中处于禁止编程模式的越多, 就需要用越多的位线偏置来抵消来自邻近位线的浮动栅极的耦合扰动效应。

[0091] 图 10(A)–10(G) 是绘示根据本发明第一实施例的在编程操作期间的电压补偿方案的时序图。

[0092] 对于处于编程和禁止编程下的 NAND 串, 将所示的电压施加到存储器阵列的各个字线和位线。可将编程操作分组成位线预充电阶段、编程阶段和放电阶段。

[0093] 在位线预充电阶段中:

[0094] (1) 通过 0V 的 SGS 将源极选择晶体管关闭 (图 10(A)), 同时通过变高到 VSG 的 SGD 将漏极选择晶体管开启 (图 10(B)), 因而允许位线存取 NAND 串。

[0095] (2) 允许禁止编程的 NAND 串的位线电压上升到由 VDD 给定的预定电压 (图 10(F))。当禁止编程的 NAND 串的位线电压上升到 VDD 时, 禁止编程的 NAND 串将在漏极选择晶体管上的栅极电压 SGD 下降到 VDD 时浮动。同时, 主动将编程 NAND 串的位线电压下拉到 0V (图 10(G))。

[0096] (3) 用由位线电压补偿器 560 供应的  $\Delta VBL$  将编程 NAND 串的位线电压偏置 (图 10(G))。从电压补偿器 560 输出的  $\Delta VBL$  的值取决于其相邻者中的一者或两者是否处于禁止编程模式。

[0097] (4) 连接到一行 NAND 串的漏极选择晶体管的漏极字线使其电压降低到 VDD。这将只使其位线电压与 VDD 相当的那些禁止编程的 NAND 串浮动, 因为其漏极选择晶体管被关闭 (图 10(B) 和 10(F))。至于含有待编程的存储器晶体管的 NAND 串, 其漏极选择晶体管将不会相对于其漏极处的接近 0V 的位线电压而被关闭。

[0098] (5) NAND 串中未被寻址的存储器晶体管使其控制栅极电压设定成 VPASS 以将其完全开启 (图 10(C))。由于禁止编程的 NAND 串是浮动的, 所以施加到未寻址的存储器晶体管的控制栅极的高 VPASS 和  $V_{pgm}$  (编程电压) 抬高其沟道和电荷存储元件的电压, 因而禁止编程。VPASS 通常相对于  $V_{pgm}$  (例如,  $\sim 15-24V$ ) 被设定为某一中间电压 (例如,  $\sim 10V$ )。

[0099] 在编程阶段中:

[0100] (6) 将编程电压  $V_{pgm}$  施加到经选择以用于编程的存储器晶体管的控制栅极 (图 10(D))。处于禁止编程下的存储单位 (即, 具有经升压的沟道和电荷存储单位) 将不被编程。将用经偏置的位线电压来编程处于编程下的存储单位 (图 10(G)), 以偏移任何因其相邻者中的一者或两者处于禁止编程模式而产生的任何扰动。对编程存储单位的一种扰动是因为字线方向上的邻近存储单位的浮动沟道和电荷存储单位被来自字线的高控制栅极电压电容性升压。这出现在 NAND 串被置于禁止编程模式时。这也具有扰动 (增加) 待编程的存储器晶体管的电荷存储单位上的电压的不理想效应。通过感测其相邻者在存储单位的编程期间的动作, 相应地用适当的位线电压偏置来补偿对其相邻者的扰动。

[0101] 在放电阶段中:

[0102] (7) 允许各种控制线和位线放电。

[0103] 关于感测存储器单元的一个潜在问题是源极线偏压。当并行感测许多存储器单元时, 其组合电流可导致具有有限电阻的接地回路中出现显著的电压上升。这导致源极线偏压, 其使得使用阈值电压感测的读取操作中出现误差。

[0104] 图 11 绘示因为具有到接地的有限电阻的源极线中的电流流动而出现的源极电压误差的问题。读取 / 写入电路 365 同时对一页存储器单元进行操作。读取 / 写入电路 365 中的每个感测模块 380 经由位线耦合到相应的单元。举例来说, 感测模块 380 感测存储器单元 (例如, 单元 1) 的导通电流  $i_1$  (源极 - 漏极电流)。导通电流从感测模块通过位线流动到存储器单元的漏极并从源极流出, 然后通过源极线 204 接地。在集成电路芯片中, 存储器阵列中的单元的源极全部连接在一起, 作为连接到存储器芯片的某一外部接地垫 (例如  $V_{ss}$  垫) 的源极线 204 的多个分支。甚至当使用金属箍来减少源极线的电阻时, 在存储器单元的源极电极与接地垫之间保持着有限电阻 R。通常接地回路电阻 R 约为 50 欧姆。

[0105] 对于被并行感测的整页存储器, 流动穿过源极线 204 的总电流是所有导通电流的总和, 即  $i_{TOT} = i_1 + i_2 + \dots + i_n$ 。一般来说, 每个存储器单元具有取决于编程到其电荷存储元件中的电荷量的导通电流。对于存储器单元的给定控制栅极电压, 较小的电荷将产生相对较高的导通电流。当在存储器单元的源极电极与接地垫之间存在有限电阻时, 电阻上的电压降由  $V_{drop} = i_{TOT} R$  给出。

[0106] 举例来说, 如果 4, 256 个位线同时放电, 其每一者具有  $1 \mu A$  电流, 则源极线电压降将等于  $4, 000 \text{ 线} \times 1 \mu A / \text{线} \times 50 \text{ 欧姆} \sim 0.2 \text{ 伏}$ 。当感测到存储器单元的阈值电压时, 这个源极线偏压将导致 0.2 伏的感测误差。

[0107] 图 12 绘示由源极线电压降导致的存储器单元的阈值电压电平的误差。供应到存

存储器单元的控制栅极的阈值电压  $V_T$  是相对于 GND。然而,由存储器单元看到的有效  $V_T$  是其控制栅极与源极之间的电压差。在供应的  $V_T$  与有效  $V_T$  之间存在约  $V_{drop}$  的差(忽略来自源极 14 的电压降对源极线的较小影响)。这个  $V_{drop}$  或源极线偏压将在感测存储器单元的阈值电压时导致(例如)0.2 伏的感测误差。

[0108] 根据本发明的一个方面,通过具有用于多回合感测的特征和技术的读取/写入电路来实现减少源极线偏压的方法。每一回合有助于识别和关闭具有高于给定分界电流值的导通电流的存储器单元。通常,给定分界电流值借助每一回合逐步汇集到用于常规单回合感测的断点电流值。以此方式,随后回合中的感测将受到源极线偏压的较小影响,因为已经关闭了较高电流的单元。

[0109] 图 13 绘示 4 态存储器的一页存储器单元的示范性总体分布。每个存储器单元群集在彼此清楚分离的导通电流 ISD 的范围内编程。举例来说,断点 381 是分别表示“A”和“B”存储器状态的两个群集之间的分界电流值。在常规的单回合感测中,“B”存储器状态的必要条件将是其具有小于断点 381 的导通电流。如果不存在源极线偏压,则将通过具有实线的曲线来描绘相对于所供应的阈值电压  $V_T$  的总体分布。然而,由于源极线偏压误差,通过源极线偏压增加每个存储器单元在其控制栅极处的阈值电压。这意味着,需要施加较高的控制栅极电压以补偿偏压。在图 13 中,源极线偏压导致分布(虚线)朝较高的视在  $V_T$  移位。当感测到较高的阈值(低电流)存储器状态时,移位将较多,因为由于较高的施加的字线电压的缘故将有更多的总阵列电流在流动。如果针对没有源极线误差的情况设计断点 381,则源极线误差的存在将使得具有导通电流的“A”状态的末尾的一部分出现在非导通区中,这意味着其将高于断点 381。这将导致有些“A”状态(较导通的)被错误地分界为“B”状态(较不导通的)。

[0110] 举例来说,当前的多回合感测可以两回合( $j = 1$  到 2)实施。在第一回合之后,识别出那些具有高于断点 381 的导通电流的存储器单元,并通过关闭其导通电流而将其移除。关闭其导通电流的优选方式是将其位线上的其漏极电压设定为接地。在第二回合( $j = 2$ )中,由于移除了影响源极线的高电流状态,所以具有虚线的分布接近具有实线的分布。因此,将断点 381 用作分界电流值的感测将不会导致把“A”状态误当作“B”状态。

[0111] 与常规的一回合方法相比,本发明的两回合方法可显著减少将有些“A”单元误识别为“B”或更高单元的可能性。本发明还涵盖两个以上回合,但是回合数的增加将导致返回的减少。此外,每回合可具有相同的分界电流,或者对于每个连续回合,所使用的分界电流汇集至常规单回合感测中通常使用的断点值。此外,可在状态 E 与 A 之间以及状态 B 与 C 之间使用断点值。

[0112] 一般来说,将存在正由相应数目的多回合感测区块 400 操作的一页存储器单元。页控制器 540 向每个感测模块供应控制和时序信号。在一个实施例中,页控制器 540 实施为控制电路 310 中的状态机 312 的一部分。在另一实施例中,页控制器 540 是读取/写入电路 365 的一部分。页控制器 540 通过预定回合数( $j = 1$  到  $N$ )循环每个多回合感测区块 400,且还在每回合中供应预定的分界电流值  $I_0(j)$ 。分界电流值也可实施为感测时间周期。在最后一回合之后,页控制器 540 用信号 NCO 启用传输栅极 488,以将 SEN 节点 631 的状态作为感测数据读取到读出总线 532。总而言之,将从所有感测模块读出一页感测数据。

[0113] 将相对于时序图图 14(A)-14(K) 论述感测模块 380 在读取/验证操作期间的额外



操作和时序,图 14(A)–14(K) 分界成阶段 (1)–(9)。

**[0114] 阶段 (0):设置**

[0115] 感测模块 380(参看图 8) 经由启用信号 BLS 连接到位线 36(图 14(A))。用 BLC 启用电压箝(图 14(B))。用控制信号 FLT 将预充电电路 640 作为有限电流源而启用(图 14(C))。

**[0116] 阶段 (1):受控制的预充电**

[0117] 通过重设信号 RST 来起始读出放大器 600(图 14(D)),所述信号将经由晶体管 658 把信号 INV 拉到接地。因此,在重设时,INV 设定为“低”。同时,p 晶体管 663 将补偿信号 LAT 拉到  $V_{dd}$  或“高”(图 14(H))。

[0118] 绝缘栅极 630 由 n 晶体管 632 形成,所述 n 晶体管 632 由信号 LAT 控制。因此,在重设之后,启用绝缘栅极以将感测节点 501 连接到读出放大器的内部感测节点 631,且信号 SEN2 将与内部感测节点 631 处的信号 SEN 相同。

[0119] 预充电电路 640 通过内部感测节点 631 和感测节点 SEN2 501 为位线 36 预充电一预定时间周期。这将使位线具有优化电压以用于感测其中的导通。

[0120] 预充电电路 640 包含由控制信号 FLT(“浮动”)控制的上拉 p 晶体管 642。将朝由位线电压箝 610 设定的所要位线电压上拉位线。上拉速率将取决于位线中的导通电流。导通电流越小,上拉越快。

[0121] 上文已经描述,如果那些具有高于预定值的导通电流的存储器单元被关闭且消除其对源极线偏压的影响,则由源极线偏压引起的感测误差被最小化。实施预充电电路 640 以服务于两种功能。一种是将位线预充电到最佳感测电压。另一种是帮助识别那些具有高于 D.C(直流)感测的预定值的导通电流的存储器单元,使其可不再影响源极线偏压。

[0122] 通过提供预充电电路来实现 D.C 感测,所述电路具有类似于用于向位线供应预定电流的电流源的作用。控制 p 晶体管 642 的信号 FLT 使得其“编程”预定电流以流动通过预充电电路 640。举例来说,可从参考电流被设定为 500nA 的电流镜产生 FLT 信号。当 p 晶体管 642 形成电流镜的镜像支路时,其将也具有在其中发射的相同 500nA。

[0123] 图 14(I1)–14(I4) 绘示分别连接到具有 700nA、400nA、220nA 和 40nA 的导通电流的存储器单元的四个示范性位线上的电压。当预充电电路 640 是(例如)限为 500nA 的电流源时,具有超过 500nA 的导通电流的存储器单元将使位线上的电荷耗尽的速度高于其可积累的速度。因此,对于具有 700nA 导通电流的位线,其电压或内部感测节点 631 处的信号 SEN 将维持接近 0V(例如,0.1 伏,参看图 14(I1))。另一方面,如果存储器单元的导通电流低于 500nA,则预充电电路 640 将开始为位线充电,且其电压将开始朝箝位位线电压(例如,电压箝 610 设定的 0.5V)上升(图 14(I2)–14(I4))。相应地,内部感测节点 631 将保持接近 0V 或被上拉到  $V_{dd}$ (图 14(G))。一般来说,导通电流越小,位线电压将越快速地充电到箝位位线电压。因此,通过在受控制的预充电阶段之后检查位线上的电压,可识别连接的存储器单元是具有高于还是低于预定电平的导通电流。

**[0124] 阶段 (2):通过后续选通对高电流单元的直流锁存和移除**

[0125] 在受控制的预充电阶段之后,在由鉴别器电路 650 感测到信号 SEN 时开始初始分直流高电流感测阶段。所述感测识别出那些具有高于预定电平的导通电流的存储器单元。鉴别器 650 包含两个串联的 p 晶体管 654 和 656,其充当寄存信号 INV 的节点 657 的上拉

元件。通过读取选通信号 STB 变“低”来启用 p 晶体管 654,且通过内部感测节点 631 处的 SEN 信号变“低”来启用 p 晶体管 656。高电流存储器单元将具有接近 0V 的信号 SEN,或至少其位线无法被预充电高得足以关闭 p 晶体管 656。举例来说,如果将微弱上拉限为 500nA 的电流,则其将无法上拉具有 700nA 导通电流的单元(图 14(G1))。当 STB 选通“低”以进行锁存时,节点 657 处的 INV 被上拉到  $V_{dd}$ 。这将用 INV “高”和 LAT “低”来设定锁存电路 660(图 14(H1))。

[0126] 当 INV 为“高”且 LAT “低”时,禁用隔离栅极 630 且将感测节点 481 与内部感测节点 631 隔开。同时,通过下拉电路 520 将位线拉到接地(图 8 和图 14(I1))。这将有效地关闭位线中的任何导通电流,从而使其不再影响源极线偏压。

[0127] 因此,在感测模块 380 的一个优选实施方案中,采用有限电流源预充电电路。这提供额外或替代的方式(D. C. 感测)以识别承载高电流的位线并将其关闭,以将后续感测中的源极线偏压误差最小化。

[0128] 在另一实施例中,预充电电路未经特别配置以帮助识别高电流位线,但经过优化以在存储器系统可用的最大电流的容差内尽可能快速地将位线上拉和预充电。

[0129] 阶段(3):恢复/预充电

[0130] 在感测位线中先前未下拉的导通电流之前,通过信号 FLT 变“低”激活预充电电路,以将内部感测节点 631 预充电到  $V_{dd}$ (图 14(C)和图 14(I2)-14(I4)),且可能已经部分耦合的位线由于邻近位线上的电压降低而下降。

[0131] 阶段(4):第一交流感测

[0132] 在一个实施例中,通过确定浮动内部感测节点 631 处的电压降而执行 A. C. (交流或瞬时)感测。这是通过采用耦合到内部感测节点 631 的电容器  $C_{sa}$  652 的鉴别器或比较电路 650 且考虑到导通电流为其充电(减少节点 SEN 上的电压)的速率来实现。在集成电路环境中,电容器 652 通常用晶体管来实施;然而,其它实施方案是合适的。电容器 652 具有预定电容(例如,30fF),可针对最佳电流确定而选择所述预定电容。可通过对充电周期的适当调整而设定通常在 100-1000nA 范围中的分界电流值。

[0133] 鉴别器电路 650 感测内部感测节点 631 中的信号 SEN。在每次感测之前,通过预充电电路 640 将内部感测节点 631 处的信号 SEN 上拉到  $V_{dd}$ 。这将最初把电容器 652 上的电压设定为零。

[0134] 当读出放大器 600 准备好感测时,通过 FLT 变“高”而禁用预充电电路 640(图 14(C))。通过确立选通信号 STB 而结束第一感测周期 T1。在感测周期期间,由导通的存储器单元引发的导通电流将为电容器充电。当通过位线中的导通电流的耗尽动作作为电容器 652 充电时,SEN 处的电压将从  $V_{dd}$  下降。图 14(G)(参看曲线 G2-G4)绘示对应于分别连接到具有 400nA、220nA 和 40nA 导通电流的存储器单元的其余三个示范性位线的 SEN 信号,对于具有较高导通电流的存储器单元,下降更加迅速。

[0135] 阶段(5):通过后续感测对较高电流的单元的第一交流锁存和移除

[0136] 在第一预定感测周期结尾,SEN 将已降低到视位线中的导通电流而定的某一电压(参看图 14G 的曲线 G2-G4)。举例来说,这个第一阶段中的分界电流被设定成 300nA。电容器  $C_{sa}$  652、感测周期 T1 和 p 晶体管 656 的阈值电压使得对应于高于分界电流(例如,300nA)的导通电流的信号 SEN 将下降得充分低,以开启鉴别器电路 650 中的晶体管 656。当锁存

信号 STB 选通“低”时,输出信号 INV 将被拉“高”,且将由锁存器 660 锁存(图 14(E)和图 14(H)(曲线 H2))。另一方面,对应于分界电流以下的导通电流的信号 SEN 将产生无法开启晶体管 656 的信号 SEN。在此情况下,锁存器 660 将保持不改变,在此情况下 LAT 保持“高”(图 14(H3)和 14(H4))。因此,可看出,鉴别器电路 650 有效地确定位线中的导通电流相对于由感测周期设定的参考电流的量值。

[0137] 读出放大器 600 还包含第二电压箝 620,其用途是将晶体管 612 的漏极的电压维持得足够高,以便使位线电压箝 610 适当地运作。如上所述,位线电压箝 610 将位线电压箝位到预定值  $V_{BL}$ ,例如 0.5V。这将要求把晶体管 612 的栅极电压 BLC 设定在  $V_{BL}+V_T$  (其中  $V_T$  是晶体管 612 的阈值电压),且将连接到感测节点 501 的漏极设定成大于源极,即信号  $SEN2 > V_{BL}$ 。确切地说,鉴于电压箝 610 和 620 的配置,SEN2 不应高于  $LAT-V_T$  或  $BLX-V_T$  中的较小者,且 SEN 不应较低。在感测期间,隔离栅极 630 处于通过模式。然而,在感测期间,内部感测节点 631 处的信号 SEN 具有从 Vdd 降低的电压。第二电压箝 620 防止 SEN 下降到  $LAT-V_T$  或  $BLX-V_T$  中任何较小者以下。这由受信号 BLX 控制的 n 晶体管 612 来实现,其中  $BLX \geq V_{BL}+V_T$  (图 13(F))。因此,通过电压箝 610 和 620 的动作,在感测期间使位线电压  $V_{BL}$  保持恒定,例如  $\sim 0.5V$ 。

[0138] 使用专用电容器 652 代替传统上使用的位线电容进行电流测量在若干方面是有利的。首先,其允许位线上有恒定电压源,因而避免位线到位线串扰。第二,专用电容器 652 允许选择对于感测是最佳的电容。举例来说,与约为 2pF 的位线电容相比,其可具有约 30fF 的电容。较小的电容可增加感测速度,因为其改变得较快。最终,比使用位线电容的现有技术方法相比,相对于专用电容的感测允许感测电路独立于存储器结构或大小。

[0139] 在另一实施例中,通过与参考电流的比较来实现电流确定,可由参考存储器单元的导通电流提供所述参考电流。这可用作为电流镜的一部分的比较电路来实施。

[0140] 由锁存电路 660 来锁存电流确定的输出。通过晶体管 661、662、663 和 664 连同晶体管 666 和 668 将锁存电路形成为设定/重设锁存器。由信号 RST(“重设”)控制 P 晶体管 666,且由信号 STB 控制 n 晶体管 668。上述读出放大器适用于低电压操作的变化形式请参看 2004 年 12 月 16 日申请的发明人为 Raul-Adrian Cernea、题为“Improved Memory Sensing Circuit And Method For Low Voltage Operation”的第 11/015,199 号美国专利申请案,所述申请案的全文以引用的形式并入本文中。

[0141] 一般来说,将存在由相应数目的多回合感测模块 380 操作的一页存储器单元(图 8)。对于那些具有高于第一分界电流电平的导通电流的存储器单元,其 LAT 信号将被锁存为“低”(INV 锁存为“高”)。这又会激活位线下拉电路 520 以将相应位线拉到接地,因而关闭其电流。

[0142] 阶段(6):恢复/预充电

[0143] 在对例如位线 36 等先前尚未被下拉的位线中的导通电流进行下一感测之前,由信号 FLT 激活预充电电路以将内部感测节点 631 预充电到 Vdd(图 14(C)(6)和图 14(I3)(6)-14(I4)(6))。

[0144] 阶段(7):第二感测

[0145] 当读出放大器 600 准备好感测时,通过 FLT 变“高”而禁用预充电电路 642(图 14(C))。通过确立选通信号 STB 而设定第二感测周期 T2。在感测周期期间,导通电流(如

果存在的话)将为电容器充电。当电容器 652 在通过位线 36 中的导通电流的耗尽动作而充电时,SEN 将从 Vdd 降低。

[0146] 根据先前的实例,在较早阶段已识别出并关闭具有高于 300nA 的导通电流的存储器单元。图 14(G) (曲线 G3 和 G4) 分别绘示对应于分别连接到具有 220nA 和 40nA 导通电流的存储器单元的两个示范性位线的 SEN 信号。

[0147] 阶段 (8) :用于读出的第二锁存

[0148] 在第二预定感测周期 T2 结尾,SEN 将已降低到视位线 36 中的导通电流而定的某一电压(图 14(G) (曲线 G3 和 G4))。举例来说,将此第二阶段中的分界电流设定为 100nA。在此情况下,具有 220nA 导通电流的存储器单元将使其 INV 锁存为“高”(图 14(H)),且随后使其位线拉到接地(图 14(I3))。

[0149] 另一方面,具有导通电流 40nA 的存储器单元将对锁存器状态没有任何影响,用 LAT “高”来预设所述锁存器的状态。

[0150] 阶段 (9) :读出到总线

[0151] 最后,在读出阶段,传输栅极 488 处的控制信号 NCO 允许将锁存的信号 SEN2 读出到读出总线 499(图 14(J) 和 14(K))。

[0152] 可从图 14(11)-14(14) 中看出,位线电压在每个感测周期期间保持恒定。因此,根据之前的论述,消除了电容性位线到位线的耦合。

[0153] 上述感测模块 380 是三回合执行感测的一个实施例,前两回合经实施以识别和关闭较高电流存储器单元。由于较高电流对源极线偏压的影响被消除,所以最后一回合能够更加准确地感测到具有较低范围导通电流的单元。

[0154] 在其它实施例中,用多个 D. C. 和 A. C. 回合的不同组合来实施感测操作,有些只使用两回合或两回合以上 A. C.,或仅一回合。对于不同回合,所使用的分界电流值可能每次是相同的,或者逐渐朝最后回合中所使用的分界电流汇集。

[0155] 图 15 是描述为非易失性存储器编程的方法的一个实施例的流程图。在一个实施方案中,在编程之前将存储器单元擦除(以区块或其它单位)。在图 15 的步骤 700 中,由控制器发出“数据加载”命令且由控制电路 310 输入接收。在步骤 702 中,将规定页地址的地址数据从控制器或主机输入到解码器 314 中。在步骤 704 中,将用于寻址页的一页编程数据输入到数据缓冲器中以供编程。所述数据被锁存在适当组的锁存器中。在步骤 706 中,控制器向状态机 312 发出“编程”命令。

[0156] 受到“编程”命令的触发,在步骤 704 中锁存的数据将被编程到选定存储器单元中,由使用施加到适当字线的图 16 的阶跃脉冲的状态机 312 控制所述存储器单元。在步骤 708 中,将编程电压 V<sub>pgm</sub> 初始化成起始脉冲(例如,12V),且将由状态机 312 维持的编程计数器 PC 初始化为 0。在步骤 710 中,将第一 V<sub>pgm</sub> 脉冲施加到选定字线。如果逻辑“0”存储在特定的数据锁存器中,从而指示应编程相应的存储器单元,则将相应的位线接地。另一方面,如果逻辑“1”存储在特定的锁存器中,从而指示相应的存储器单元应保持在其当前数据状态中,则将相应的位线连接到 Vdd 以禁止编程。

[0157] 在步骤 712 中,验证选定的存储器单元的状态。如果检测到选定单元的目标阈值电压已经达到适当电平,则将相应数据锁存器中存储的数据改变成逻辑“1”。如果检测到阈值电压尚未达到适当电平,则不改变相应数据锁存器中存储的数据。以此方式,具有存储在

其相应数据锁存器中的逻辑“1”的位线不需要被编程。当所有数据锁存器均存储逻辑“1”时,状态机(经由上述有线“或”型机构)知道所有选定单元均已被编程。在步骤 714 中,检验是否所有数据锁存器正在存储逻辑“1”。如果是的话,则编程过程完成且成功,因为所有选定存储器单元均被编程和验证。在步骤 716 中报告“通过”状态。

[0158] 如果在步骤 714 中确定并非所有数据锁存器都正存储逻辑“1”,则编程过程继续。在步骤 718 中,相对于编程极限值 PCMAX 来检验编程计数器 PC。编程极限值的一个实例是 20;然而,也可使用其它数字。如果编程计数器 PC 不小于 20,则编程过程失败,且在步骤 720 中报告“失败”状态。如果编程计数器 PC 小于 20,则在步骤 722 中,将增加  $V_{pgm}$  电平的步长且使编程计数器 PC 递增。在步骤 722 之后,过程循环回到步骤 710 以施加下一  $V_{pgm}$  脉冲。

[0159] 在成功的编程过程结尾,存储器单元的阈值电压在适当时应位于对于经编程存储器单元的一个或一个以上阈值电压分布内,或位于对于擦除存储器单元的阈值电压的分布内。图 17 绘示当每个存储器单元存储两个数据位时对于存储器单元阵列的阈值电压分布。图 17 展示对于擦除的存储器单元的第一阈值电压分布 E。也描绘对于已编程存储器单元的三个阈值电压分布 A、B 和 C。在一个实施例中,E 分布中的阈值电压是负的,且 A、B 和 C 分布中的阈值电压是正的。

[0160] 图 17 的每个不同的阈值电压范围对应于针对一组数据位的预定值。编程到存储器单元中的数据与单元的阈值电压电平之间的具体关系取决于针对单元采用的数据编码方案。举例来说,2003 年 6 月 13 日申请的第 6,222,762 号美国专利和第 10/461,244 号美国专利申请案“Tracking Cells For A Memory System”描述针对多态快闪存储器单元的各种数据编码方案,所述两个专利的全文以引用的形式并入本文中。在一个实施例中,使用 Gray 代码赋值向阈值电压范围指派数据值,使得如果浮动栅极的阈值电压错误地移位到其相邻的物理状态,只有一个位将受到影响。一个实例向阈值电压范围 E(状态 E)指派“11”、向阈值电压范围 A(状态 A)指派“10”、向阈值电压范围 B(状态 B)指派“00”且向阈值电压范围 C(状态 C)指派“01”。然而,在其它实施例中,不使用 Gray 代码。虽然图 17 展示四种状态,但本发明还可与其它多态结构一起使用,其中包含那些包含四种以上或以下的状态的结构。

[0161] 图 17 还展示三个读取参考电压  $V_{ra}$ 、 $V_{rb}$  和  $V_{rc}$ ,其用于从存储器单元读取数据。通过测试给定存储器单元的阈值电压是在  $V_{ra}$ 、 $V_{rb}$  和  $V_{rc}$  以上还是以下,系统可确定存储器单元处于何种状态。图 17 还展示三个验证参考电压,  $V_{va}$ 、 $V_{vb}$  和  $V_{vc}$ 。当将存储器单元编程到状态 A 时,系统将测试那些存储器单元是否具有大于或等于  $V_{va}$  的阈值电压。当将存储器单元编程到状态 B 时,系统将测试存储器单元是否具有大于或等于  $V_{vb}$  的阈值电压。当将存储器单元编程到状态 C 时,系统将确定存储器单元是否具有其大于或等于  $V_{vc}$  的阈值电压。

[0162] 在一个称为全序列编程的实施例中,存储器单元可从擦除状态 E 直接编程到编程状态 A、B 或 C 中的任一者。举例来说,可首先擦除待编程的总体存储器单元,使得总体中的所有存储器单元均处于擦除状态 E。于是,将使用图 15 描绘的使用图 16 中描绘的控制栅极电压序列的过程以将存储器单元直接编程到状态 A、B 或 C。虽然将有些存储器单元从状态 E 编程到状态 A,但其它存储器单元被从状态 E 编程到状态 B 和 / 或从状态 E 编程到状

态 C。当在  $WLn$  上从状态 E 编程到状态 C 时,  $WLn-1$  下的邻近浮动栅极的耦合量是最大值, 因为  $WLn$  下的浮动栅极上的电压变化较大。当从状态 E 编程到状态 B 时, 对邻近浮动栅极的耦合量减少但仍然较显著。当从状态 E 编程到状态 A 时, 耦合量进一步减少。因此, 随后读取  $WLn-1$  的每个状态所需的校正量将取决于  $WLn$  上的邻近单元的状态而变化。

[0163] 图 18 绘示将存储两个不同页(下部页和上部页)的数据的多态存储器单元编程的两回合技术的实例。描绘了四种状态: 状态 E(11)、状态 A(10)、状态 B(00) 和状态 C(01)。对于状态 E, 两个页均存储“1”。对于状态 A, 下部页存储“0”, 且上部页存储“1”。对于状态 B, 两个页均存储“0”。对于状态 C, 下部页存储“1”, 且上部页存储“0”。请注意, 虽然向每种状态指派具体的位图案, 但也可指派不同的位图案。在第一回合编程中, 根据待编程到下部逻辑页的位来设定单元的阈值电压电平。如果所述位是逻辑“1”, 则阈值电压不改变, 因为其由于早先已被擦除而处于适当状态。然而, 如果待编程的位是逻辑“0”, 则单元的阈值电压增加成状态 A, 如箭头 730 所示。这使第一回合编程结束。

[0164] 在第二回合编程中, 根据正被编程到上部逻辑页的位来设定电压的阈值电压电平。如果上部逻辑页位将存储逻辑“1”, 则不会发生任何编程, 因为单元依据下部页位的编程而处于状态 E 或 A 中的一者, 所述状态两者均承载上部页位“1”。如果上部页位将为逻辑“0”, 则阈值电压移位。如果第一回合导致单元保持处于擦除状态 E, 则在第二阶段中将单元编程, 使得阈值电压增加到位于状态 C 内, 如箭头 734 所描绘。如果由于第一回合编程而已经将单元编程到状态 A, 则在第二回合中将存储器单元进一步编程, 使得阈值电压增加到处于状态 B 内, 如箭头 732 描绘的。第二回合的结果是针对上部页将单元编程到规定存储逻辑“0”的状态, 而不会改变下部页的数据。在图 17 和图 18 两者中, 到邻近字线下的浮动栅极的耦合量取决于最终状态。

[0165] 在一个实施例中, 如果将足够的数据写入以充满整个页, 则系统可经设置以执行全序列写入。如果未有足够数据写入整页, 则编程过程可用接收到的数据编程下部页编程。当接收到随后的数据时, 系统将接着编程上部页。在又一实施例中, 系统可以编程下部页的模式开始写入, 且如果随后接收到足以填满整个(或大部分)字线存储器单元的数据, 则转换成全序列编程模式。2004 年 12 月 14 日申请的发明人为 Sergy Anatolievich Gorobets 和 Yan Li、题为“Pipelined Programming of Non-Volatile Memories Using Early Data”的第 11/013, 125 号美国专利申请案中揭示了此种实施例的更多细节, 所述申请案的全文以引用的形式并入本文中。

[0166] 图 19A-C 揭示通过以下方式减少浮动栅极到浮动栅极的耦合的用于编程非易失性存储器的另一过程: 对于任何特定存储器单元, 在针对先前页对邻近的存储器单元进行写入之后, 相对于特定页对所述特定存储器单元进行写入。在图 19A-C 教示的过程的实施方案的一个实例中, 非易失性存储器单元每个存储器单元存储两个数据位, 使用四种数据状态。举例来说, 假设状态 E 是擦除状态, 且状态 A、B 和 C 是编程状态。状态 E 存储数据 11。状态 A 存储数据 01。状态 B 存储数据 10。状态 C 存储数据 00。这是非 Gray 编码的实例, 因为两个位均在邻近状态 A 与 B 之间改变。也可使用将数据编码到物理数据状态的其他编码。每个存储器单元存储两个数据页。为了参考目的, 将把这些数据页称为上部页和下部页; 然而, 可给予其其它标记。参看图 19 的过程的状态 A, 上部页存储位 0 且下部页存储位 1。参看状态 B, 上部页存储位 1, 且下部页存储位 0。参看状态 C, 两个页均存储位数据

0。图 19 的编程过程是两步骤过程。在第一步骤中,编程下部页。如果下部页将保持数据 1,则存储器单元状态保持在状态 E。如果数据将被编程到 0,则将存储器单元的电压的阈值升高,使得存储器单元被编程到状态 B'。因此,图 19A 展示存储器单元从状态 E 编程到状态 B'。图 19A 中描绘的状态 B' 是中间状态 B;因此,将验证点描绘为  $V_{vb}'$ ,其低于  $V_{vb}$ 。

[0167] 在一个实施例中,在将存储器单元从状态 E 编程到状态 B' 之后,其在 NAND 串中的相邻存储器单元 ( $W_{Ln+1}$ ) 将接着相对于其下部页被编程。举例来说,向回看图 2,在将存储器单元 106 的下部页编程之后,将对存储器单元 104 的下部页编程。在将存储器单元 104 编程之后,如果存储器单元 104 的阈值电压从状态 E 升高到状态 B',则浮动栅极到浮动栅极的耦合效应将使存储器单元 106 的视在阈值电压升高。这将具有使状态 B' 的阈值电压分布变宽成描绘为图 19B 的阈值电压分布 750 的效应。当将上部页编程时,将修复对阈值电压分布的这种视在变宽。

[0168] 图 19C 描绘将上部页编程的过程。如果存储器单元处于擦除状态 E 且上部页将保持在 1,则存储器单元将保持在状态 E。如果存储器单元处于状态 E,且其上部页数据将被编程到 0,则存储器单元的阈值电压将被升高,使得存储器单元处于状态 A。如果存储器单元处于中间阈值电压分布 750,且上部页数据将保持为 1,则存储器单元将被编程到最终状态 B。如果存储器单元处于中间阈值电压分布 750,且上部页数据将变成数据 0,则存储器单元的阈值电压将被升高,使得存储器单元处于状态 C。由图 19A-C 描绘的过程减少了浮动栅极到浮动栅极的耦合效应,因为只有对相邻存储器单元的上部页编程才将影响给定存储器单元的视在阈值电压。替代的状态编码的实例是当上部页数据处于 1 时从分布 750 移动到状态 C,且当上部页数据处于 0 时移动到状态 B。

[0169] 虽然图 19A-C 提供相对于四种数据状态和两个数据页的实例,但由图 19A-C 教示的概念可应用于具有多于或少于四种状态且不同于两页的其它实施方案。

[0170] 图 20A-F 描绘各种表格,其描述根据由图 17、18 和 19 描述的方法的各种实施例的编程次序。如上所述,每个区块包含形成列的一组位线和形成行的一组字线。在一个实施例中,将位线划分成奇数位线和偶数位线。沿着共同字线且连接到奇数位线的存储器单元在一个时间编程,而沿着共同字线且连接到偶数位线的存储器单元在另一时间编程(“奇/偶编程”)。在另一实施例中,针对区块中的所有位线沿着字线将存储器单元编程(“所有位线编程”)。在其它实施例中,位线或区块可分解成其它分组(例如,左和右、两个以上分组等)。

[0171] 图 20A 是描述用于针对所有位线编程沿着位线将存储器单元编程的次序的表格。在此实施例中,具有四个字线的区块包含四个页(页 0-3)。页 0 首先被写入,接下来是页 2,且接着随后是页 3。页 0 中的数据包含由所有连接到字线  $WL_0$  的存储器单元存储的数据。页 1 中的数据包含由连接到字线  $WL_1$  的存储器单元存储的数据。页 2 中的数据包含由连接到字线  $WL_2$  的存储器单元存储的数据。页 3 中的数据包含由连接到字线  $WL_3$  的存储器单元存储的数据。图 20A 的实施例采用全序列编程,如上文相对于图 17 所描述。

[0172] 在全序列编程的另一实施例中,数据可首先被写入偶数位线并接着被写入奇数位线。图 20B 描绘当使用上文相对于图 17 描述的全序列编程方法时将偶数和奇数位线编程的次序。在此实施例中,具有四个字线的区块包含八个数据页。连接到字线  $WL_0$  的偶数位线上的存储器单元存储用于页 0 的数据。连接到字线  $WL_0$  的奇数位线上的存储器单元存储

用于页 1 的数据。连接到字线 WL1 的偶数位线上的存储器单元存储用于页 2 的数据。连接到字线 WL1 的奇数位线上的存储器单元存储用于页 3 的数据。连接到字线 WL2 的偶数位线上的存储器单元存储用于页 4 的数据。连接到字线 WL2 的奇数位线上的存储器单元存储用于页 5 的数据。连接到字线 WL3 的偶数位线上的存储器单元存储用于页 6 的数据。连接到字线 WL3 的奇数位线上的存储器单元存储用于页 7 的数据。根据页的编号（从页 0 到页 7）以数字次序编程数据。

[0173] 图 20C 的表格描述根据图 18 的两阶段编程过程针对执行所有位线编程的存储器阵列的编程次序。将具有四个字线的区块描绘成包含八个页。对于连接到字线 WL0 的存储器单元，下部数据页形成页 0 且上部数据页形成页 1。对于连接到字线 WL1 的存储器单元，下部数据页形成页 2 且上部数据页形成页 3。对于连接到字线 WL2 的存储器单元，下部数据页形成页 4 且上部数据页形成页 5。对于连接到字线 WL3 的存储器单元，下部数据页形成页 6 且上部数据页形成页 7。根据页的编号（从页 0 到页 7）以数字次序编程数据。

[0174] 图 20D 提供一个表格，其描述针对执行奇 / 偶编程的存储器结构将图 18 的两阶段编程过程编程的次序。具有四个字线的区块包含 16 个页，其中根据页的编号（从页 0 到页 15）以数字次序将页编程。对于连接到字线 WL0 的偶数位线上的存储器单元，下部数据页形成页 0 且上部数据页形成页 2。对于连接到字线 WL0 的奇数位线上的存储器单元，下部数据页形成页 1 且上部数据页形成页 3。对于连接到字线 WL1 的偶数位线上的存储器单元，下部页形成页 4，且上部页形成页 6。对于连接到字线 WL1 的奇数位线上的存储器单元，下部页形成页 5，且上部页形成页 7。对于连接到字线 WL2 的偶数位线上的存储器单元，下部页形成页 8，且上部页形成页 10。对于连接到字线 WL2 的奇数位线上的存储器单元，下部页形成页 9，且上部页形成页 11。对于连接到字线 WL3 的偶数位线上的存储器单元，下部页形成页 12，且上部页形成页 14。对于连接到字线 WL3 的奇数位线上的存储器单元，下部页形成页 13，且上部页形成页 15。或者，如同图 20E 中一样，偶数位线的每个字线下的下部和上部页均在针对这一相同字线将奇数位线的两个页编程之前被编程。

[0175] 图 20F 和 20G 描述利用图 19A-C 的编程方法的将存储器单元编程的次序。图 20F 涉及执行所有位线编程的结构。对于连接到字线 WL0 的存储器单元，下部页形成页 0 且上部页形成页 2。对于连接到字线 WL1 的存储器单元，下部页形成页 1 且上部页形成页 4。对于连接到字线 WL2 的存储器单元，下部页形成页 3 且上部页形成页 6。对于连接到字线 WL3 的存储器单元，下部页形成页 5 且上部页形成页 7。根据页的编号（从页 0 到页 7）以数字次序将存储器单元编程。

[0176] 图 20G 的表格涉及执行奇 / 偶编程的结构。对于连接到字线 WL0 的偶数位线上的存储器单元，下部页形成页 0 且上部页形成页 4。对于连接到字线 WL0 的奇数位线上的存储器单元，下部页形成页 1 且上部页形成页 5。对于连接到字线 WL1 的偶数位线上的存储器单元，下部页形成页 2 且上部页形成页 8。对于连接到字线 WL1 的奇数位线上的存储器单元，下部页形成页 3 且上部页形成页 9。对于连接到字线 WL2 的偶数位线上的存储器单元，下部页形成页 6 且上部页形成页 12。对于连接到字线 WL2 的奇数位线上的存储器单元，下部页形成页 7 且上部页形成页 13。对于连接到字线 WL3 的偶数位线上的存储器单元，下部页形成页 10 且上部页形成页 14。对于连接到字线 WL3 的奇数位线上的存储器单元，下部页形成页 11 且上部页形成页 15。根据页的编号（从页 0 到页 15）以数字次序将存储器单元编



程。最终,可通过以下方式实施具有偶数和奇数位线两者的每个结构:所有偶数位线物理上一起位于(例如)芯片左侧,且所有奇数位线一起位于(例如)芯片右侧。

[0177] 请注意,在图 20A-G 的实施例中,沿着 NAND 串从源极侧向漏极侧将存储器单元编程。此外,表格只描绘了具有四个字线的实施例。表格内描绘的各种方法可应用于具有多于或少于四个字线的系统。使用奇/偶编程的结构的实例可参看第 6,522,580 号和第 6,643,188 号美国专利,所述两个专利的全文均以引用的形式并入本文中。关于使用所有位线编程的结构的信息可参看以下以全文引用的形式并入的美国专利文献:美国专利申请案公开案 US 2004/0057283、美国专利申请案公开案 US 2004/0060031、美国专利申请案公开案 US 2004/0057285、美国专利申请案公开案 US 2004/0057287、美国专利申请案公开案 US 2004/0057318、美国专利 6,771,536 和美国专利 6,781,877。

[0178] 一般来说,将所有位线一起编程的结构将从所有位线一起读取数据。类似地,将奇数位线和偶数位线单独编程的结构一般将单独读取奇数位线和偶数位线。然而,此种限制不是必需的。本文中描述的用于读取数据的技术可与所有位线编程或奇/偶位线编程一起使用。

[0179] 图 21 是描述用于从非易失性存储器单元读取数据的一个实施例的流程图。以上相对于感测模块进行的讨论论述了如何从特定位线读取数据。图 21 提供系统级的读取过程。在步骤 800 处,响应于对读取数据的请求而针对特定页执行读取操作(步骤 798)。在一个实施例中,当编程页的数据时,系统也将产生误差校正码(ECC),且与数据页一起写入那些 ECC。ECC 技术在此项技术中是众所周知的。所使用的 ECC 过程可包含此项技术中已知的任何合适的 ECC 过程。当从页中读取数据时,将使用 ECC 来确定数据中是否存在任何误差(步骤 802)。可对于控制器、状态机或系统中的其它位置执行 ECC 过程。如果数据中不存在任何误差,则在步骤 804 处将数据报告给用户。举例来说,将经由数据 I/O 线 320 把数据传送给控制器或主机。如果在步骤 802 处发现误差,则确定误差是否可校正(步骤 806)。误差可能是因为浮动栅极到浮动栅极的耦合效应或者可能是因为其它物理机制。各种 ECC 方法能够校正一组数据中的预定数目的误差。如果 ECC 过程可校正所述数据,则在步骤 808 中使用 ECC 过程校正所述数据,且在步骤 810 中将校正后的数据报告给用户。如果数据无法通过 ECC 过程校正,则在步骤 820 中执行数据恢复过程。在有些实施例中,将在步骤 820 之后执行 ECC 过程。下文描述关于数据恢复过程的更多细节。在恢复数据之后,在步骤 822 处报告所述数据。请注意,图 21 的过程可与使用所有位线编程或奇/偶位线编程而编程的数据一起使用。

[0180] 图 22 是描述用于针对页执行读取操作的过程(参看 21 的步骤 800)的一个实施例的流程图。可针对包含区块的所有位线、仅区块中的奇数位线、仅区块中的偶数位线或区块的其它位线子组的页执行图 22 的过程。在步骤 840 中,向与所述页相关联的适当字线施加读取参考电压  $V_{ra}$ 。在步骤 842 中,对与页相关联的位线进行感测,以基于向寻址的存储器单元的控制栅极施加  $V_{ra}$  而确定所述寻址的存储器单元是导通还是不导通。导通的位线表示存储器单元被开启:因此,那些存储器单元的阈值电压在  $V_{ra}$  以下(例如,在状态 E 下)。在步骤 844 中,将对位线的感测的结果存储在那些位线的适当锁存器中。在步骤 846 中,向与正被读取的页相关联的字线施加读取参考电压  $V_{rb}$ 。在步骤 848 中,如上所述感测位线。在步骤 850 中,将结果存储在位线的适当锁存器中。在步骤 852 中,将读取参考电压

Vrc 施加到与所述页相关联的字线。在步骤 854 中,如上所述对位线进行感测以确定存储器单元是否导通。在步骤 856 中,将来自感测步骤的结果存储在位线的适当锁存器中。在步骤 858 中,确定用于每个位线的数据值。举例来说,如果存储器单元在 Vra 处导通,则存储器单元处于状态 E。如果存储器单元在 Vrb 处导通但在 Vra 处不导通,则存储器单元处于状态 A。如果存储器单元在 Vrc 处导通但在 Vra 和 Vrb 处不导通,则存储器单元处于状态 B。如果存储器单元不在 Vra、Vrb 或 Vrc 处导通,则存储器单元处于状态 C。在一个实施例中,通过处理器 392 确定数据值。在步骤 860 中,处理器 392 将把经确定的数据值存储在每个位线的适当锁存器中。在其它实施例中,可能以不同的次序对各种电平 (Vra、Vrb 和 Vrc) 进行感测。

[0181] 图 23 包含描述用于恢复数据的过程 (步骤 820) 的一个实施例的流程图。由于浮动栅极到浮动栅极的耦合效应,数据可能包含误差。图 23 的过程试图在补偿浮动栅极到浮动栅极的耦合效应的同时读取数据。补偿包含观察相邻字线,并确定对相邻字线的前段编程如何产生浮动栅极到浮动栅极的耦合效应。举例来说,当读取字线 WLn 上的数据时,过程也将读取字线 WLn+1 的数据。如果字线 WLn+1 上的数据干扰了 WLn 上的数据,则读取过程将对所述干扰进行补偿。一般来说,此处提出的方法使用对作为相邻字线上的存储器单元的状态的函数的读取参考电压的不同偏移 (例如,0V、0.1V、0.2V、0.3V)。

[0182] 图 23 中描绘的过程适用于上文相对于图 17 描述的全序列编程,其中一个逻辑页的两个位存储在每个单元中且将被一起读取和报告出。如果相邻字线上的存储器单元处于状态 E,则将不存在浮动栅极到浮动栅极的耦合效应。如果相邻字线上的存储器单元处于状态 A,则将存在较小的耦合效应。如果相邻字线上的存储器单元处于状态 B,则将存在中等的浮动栅极到浮动栅极的耦合效应。如果相邻字线上的存储器单元处于状态 C,则将存在较大的浮动栅极到浮动栅极的耦合效应。由相邻字线导致的确切耦合效应因阵列实施方案的不同而不同,且可通过将装置特征化而确定。在一个实施例中,因处于状态 A 的相邻单元引起的浮动栅极到浮动栅极的耦合效应是阈值电压的视在的 0.1 伏移位。因处于状态 B 的相邻存储器单元引起的浮动栅极到浮动栅极的耦合效应是阈值电压的视在的 0.2 伏移位。因处于状态 C 的相邻存储器单元引起的浮动栅极到浮动栅极的耦合效应是阈值电压的视在的 0.3 伏移位。本文中描述的技术并不局限于这种效应的任何一组值且将基于实施方案而改变。

[0183] 图 23 中的步骤 870 包含针对相邻字线 WLn+1 执行读取操作。这包含针对相邻字线执行图 22 的过程。举例来说,如果正在读取字线 WL1 中的页,则步骤 870 包含对字线 WL2 执行图 22 的过程。步骤 870 的结果在步骤 872 中存储在适当的锁存器中。在有些实施例中,针对 WLn+1 执行的读取操作导致确定实际数据存储在 WLn+1 上。在其它实施例中,针对 WLn+1 执行的读取操作导致确定 WLn+1 上的电荷电平,其可能会或可能不会准确地反映存储在 WLn+1 上的数据。在步骤 874 中,在正常读取点处针对相关字线 WLn 执行读取操作。这包含使用 Vra、Vrb 和 Vrc 执行图 22 的过程。在有些实施例中,用来读取 WLn+1 的电平和 / 或电平数目可能并不与起初用来读取 WLn 的电平和 / 或电平数目恰好相同,且浮动栅极阈值的某一近似值便足以用于 WLn 校正目的。将步骤 874 的结果存储在具有已确定 (在步骤 870 中) 相邻单元 WLn+1 处于状态 E 的存储器单元的位线的适当锁存器中。对于其它位线,将忽视数据。在步骤 878 中,将通过使用读取点第一组偏移而对相关字线执行读

取操作。也就是说,将执行图 22 的过程;然而,系统不是使用  $V_{ra}$ 、 $V_{rb}$  和  $V_{rc}$ ,而是将使用  $V_{ra}+0.1V$ 、 $V_{rb}+0.1V$  和  $V_{rc}+0.1V$ 。在步骤 888 中,将存储步骤 878 的结果以用于具有拥有处于状态 A 的相邻存储器单元(例如,  $W_{Ln+1}$ )的存储器单元的位线。其它位线的数据将被忽视。在步骤 882 中,将使用第二偏移针对相关字线执行读取操作。将执行图 22 的过程;然而,读取参考点将为  $V_{ra}+0.2V$ 、 $V_{rb}+0.2V$  和  $V_{rc}+0.2V$ 。在步骤 884 中,将把步骤 882 的结果存储在具有处于状态 B 的相邻单元(例如,  $W_{Ln+1}$ )的存储器单元的那些位线的锁存器中。在步骤 886 中,将使用第三偏移对相关字线执行读取操作。因此,图 22 的过程将使用  $V_{ra}+0.3V$ 、 $V_{rb}+0.3V$  和  $V_{rc}+0.3V$  作为读取比较点。在步骤 880 处,将存储步骤 886 的结果以用于具有拥有处于状态 C 的相邻单元(例如,  $W_{Ln+1}$ )的存储器单元的那些位线。

[0184] 在以上论述中,将图 23 的过程作为图 21 的数据恢复步骤 820 的一部分来执行。在另一实施例中,图 23 的过程可用作响应于对读取数据的请求而执行的初始读取过程。

[0185] 图 24 是绘示可针对区块的所有字线(除了待编程的最后字线)而执行数据恢复过程(图 23 的方法)的流程图。举例来说,如果存在  $X+1$  个字线,则可针对字线  $W_{L0}$  到  $W_{Lx-1}$  使用恢复过程。将没有必要对字线  $W_{Lx}$ (例如,最接近漏极的字线)执行恢复过程,因为字线不具有在其之后编程的将导致浮动栅极到浮动栅极的耦合效应的相邻字线。虽然图 24 展示循序地针对所有字线执行恢复过程的实施例,但在上文相对于图 21 描述的一个实施例中,可在单独时间针对字线执行恢复过程,且只有在存在无法校正的 ECC 误差时才执行。

[0186] 图 22 和图 23 的上述方法是针对图 17 的存储一个逻辑页的两个位的全序列编程而论述的。当读取根据图 18 的存储来自两个逻辑页中的每一者的一个位的两步骤过程而编程的数据时可对这些过程略作修改。举例来说,当执行标准读取过程(图 21 的步骤 800)时,读取下部页将需要向存储器单元的控制栅极施加  $V_{ra}$  和  $V_{rc}$ ,在那些读取点感测以便为下部页确定数据是处于状态 E/C(数据 1)还是状态 A/B(数据 0)。因此,将通过只针对下部页读取执行步骤 840、842、844 和步骤 852-860 而修改图 22。为了执行对上部页的读取,将使用读取比较点  $V_{rb}$  来确定上部页数据是用于状态 E/A(数据 1)还是状态 B/C(数据 0)。因此,对于上部页读取,将修改图 22 的过程以只执行步骤 846、848、850、858 和 860。此外,当恢复数据(步骤 820)时,过程将执行图 25 的方法以针对下部页恢复数据,且执行图 26 的过程以针对上部页恢复数据。

[0187] 在图 25 的步骤 930 中,根据图 22 的方法针对相邻字线  $W_{Ln+1}$  执行读取操作。在有些实施例中,对  $W_{Ln+1}$  执行的读取操作导致确定实际数据存储存在  $W_{Ln+1}$  上。在其它实施例中,对  $W_{Ln+1}$  执行的读取操作导致确定存储在  $W_{Ln+1}$  上的电荷电平,其可能会或可能不会正确地反映存储在  $W_{Ln+1}$  上的数据。在步骤 932 中,将所述读取操作的结果存储在适当的锁存器中。在步骤 934 中,向字线施加读取参考电压  $V_{ra}$ 。在步骤 936 中,感测位线的数据。在步骤 938 中,将结果存储在适当的锁存器中。在步骤 940 中,向字线施加读取参考电压  $V_{rc}$ 。在步骤 942 中,如上所述感测数据。在步骤 944 中,将针对与以状态 E 存储数据的相邻单元相关联的位线存储感测步骤 942 的结果。在步骤 946 中,将向正被读取的页的字线施加  $V_{rc}$  加上第一偏移(例如,0.1 伏或另一合适的值)。在步骤 948 中,将如上所述感测数据。在步骤 950 中,将针对与以状态 A 存储数据的相邻单元相关联的位线存储步骤 948 的结果。将抛弃其它位线的数据。在步骤 952 中,将向与正被读取的页相关联的字线施加

Vrc 加上第二偏移（例如，0.2 伏或另一合适的值）。在步骤 954 中，将如上所述使用感测模块来感测数据。在步骤 956 中，将针对与以状态 B 存储数据的相邻单元相关联的位线存储步骤 954 的结果。在步骤 958 中，将向与正被读取的页相关联的字线施加 Vrc 加上第三偏移（0.3 伏或其它合适的值）。在步骤 960 中，将如上所述使用感测模块来感测数据。在步骤 962 中，将针对与以状态 C 存储数据的相邻单元相关联的那些位线来存储步骤 960 的结果。在步骤 964 中，处理器 392 将基于从感测步骤存储的数据来确定数据值。在步骤 966 中，来自步骤 964 的确定的数据值将存储在锁存器中，以便最终传送给请求所读取数据的用户。在另一实施例中，可在步骤 962 与 964 之间执行与状态 A 相关联的步骤 934-938。

[0188] 请注意，在图 25 描述的过程中，只向 Vrc 应用偏移以将状态 B 与状态 C 分离。暗地假设当在 Vra 处读取时不需要偏移，因为擦除状态的通常为负的阈值虽然受到  $WL_{n+1}$  的影响，但与状态 A 充分远地隔开，因而不需要校正。虽然这对于当代的存储器是一个实际的假设，但其对于未来代的存储器可能并不相符，且在步骤 940 之前可能不向 Vra 添加在步骤 946-962 中相对于 Vrc 描述的偏移过程。

[0189] 当在步骤 964 中确定数据值时，如果存储器单元响应于 Vra 而导通，则下部页数据是“1”。如果存储器单元不响应于 Vra 而导通，且不响应于 Vrc（或 Vrc 加上适当的偏移）而导通，则下部页数据也是“1”。如果存储器单元不响应于 Vra 而导通，但确实响应于 Vrc（或 Vrc 加上适当的偏移）而导通，则下部页数据是“0”。

[0190] 用图 26 的过程针对上部页来读取或恢复数据。在步骤 1000 中，使用图 22 的方法针对相邻字线  $WL_{n+1}$  执行读取操作。在有些实施例中，针对  $WL_{n+1}$  执行的读取操作导致确定实际数据存储在  $WL_{n+1}$  上。在其它实施例中，针对  $WL_{n+1}$  执行的读取操作导致确定  $WL_{n+1}$  上的电荷电平，其可能会或可能不会准确地反映存储在  $WL_{n+1}$  上的数据。在步骤 1002 中，步骤 1000 的结果存储在每个位线的适当锁存器中。在步骤 1004 中，向与正被读取的页相关联的字线施加读取参考电压 Vrb。在步骤 1006 中，如上所述使用感测模块来感测数据。在步骤 1008 中，针对与以状态 E 存储数据的相邻存储器单元相关联的那些位线存储步骤 1006 的结果。在步骤 1010 中，向字线施加 Vrb 加上第一偏移（例如，0.1 伏或其它某一合适的值）。在步骤 1012 中，如上所述感测数据。在步骤 1014 中，针对与以状态 A 存储数据的存储器单元相关联的那些位线存储来自步骤 1012 的结果。在步骤 1016 中，向与正被读取的页相关联的字线施加 Vrb 加上第二偏移（例如，0.2 伏或另一合适的值）。在步骤 1018 中，如上所述感测数据。在步骤 1020 中，针对与处于状态 B 的相邻单元相关联的那些位线存储来自步骤 1018 的结果。在步骤 1022 中，向与正被读取的页相关联的字线施加 Vrb 加上第三偏移（0.3 伏或另一合适的值）。在步骤 1024 中，如上所述感测数据。在步骤 1026 中，针对与以状态 C 存储数据的相邻存储器单元相关联的那些位线存储步骤 1024 的结果。在步骤 1028 中，处理器 392 基于所存储的感测数据来确定数据值。如果存储器单元响应于 Vrb（或 Vrb 加上适当偏移）而开启，则上部页数据是“1”。如果存储器单元不响应于 Vrb（或 Vrb 加上适当偏移）而开启，则上部页数据是“0”。在步骤 1030 中，将由处理器 392 确定的数据值存储在数据锁存器中以便传送给用户。

[0191] 在另一实施例中，不是使用图 25 和图 26 的方法来恢复数据，而是可对响应于读取数据的请求而执行的初始数据读取使用图 25 和图 26 的方法。

[0192] 图 25 和图 26 用于读取使用图 18 的上部页和下部页过程进行编程的数据。图 25

和图 26 的这两种方法可用来读取通过所有位线编程或奇数 / 偶数位线编程而编程的数据。当与所有位线编程一起使用时,同时读取所有位线。当与奇数 / 偶数位线编程一起使用时,在第一时间同时读取偶数位线,且在不同时间同时读取奇数位线。

[0193] 图 27- 图 36 描述用来读取根据与图 19A- 图 19C 相关联的方法编程的数据的过程。图 27 的过程可实施为在使用 ECC 之前、与使用 ECC 分开和 / 或结合使用 ECC 而响应于对特定的一个或一个以上页 (或其它分组) 的数据的读取请求而执行的用于读取数据的总体过程。在其它实施例中,图 27 的过程可作为图 21 的数据恢复步骤 820 的一部分而执行。当读取根据图 19 的过程编程的数据时,可在将相关单元的上部页编程时,校正因对相邻单元的下部页编程而导致的浮动栅极到浮动栅极的耦合所产生的任何扰动。因此,当试图补偿来自相邻单元的浮动栅极到浮动栅极的耦合效应时,所述过程只需要考虑到因对相邻单元的上部页编程而导致的耦合效应。因此,在图 27 的步骤 1060 中,所述过程读取相邻字线的上部页数据。如果相邻字线的上部页未被编程 (步骤 1062),则可读取考虑下的页而无需补偿浮动栅极到浮动栅极耦合效应 (步骤 1064)。如果相邻字线的上部页已编程 (步骤 1062),则应当在步骤 1066 中使用对浮动栅极到浮动栅极的耦合效应的某种补偿来读取考虑中的页。在有些实施例中,对相邻字线执行的读取操作导致确定相邻字线上的电荷电平,其可能会或可能不会准确地反映存储在其上的数据。

[0194] 在一个实施例中,实施图 19 的编程过程的存储器阵列将保留一组存储器单元以存储一个或一个以上旗标。举例来说,可使用一系列存储器单元来存储指示各行存储器单元的下部页是否已经编程的旗标,且使用另一列存储器单元来指示各行存储器单元的上部页是否已经编程的旗标。在有些实施例中,可使用冗余单元来存储旗标的副本。通过检验适当的旗标,可确定相邻字线的上部页是否已被编程。关于此种旗标和用于编程的过程的更多细节可参看 Shibata 等人的第 6,657,891 号美国专利“Semiconductor Memory Device For Storing Multi-Valued Data”,所述专利的全文以引用的形式并入本文中。

[0195] 图 28 描述用于读取相邻字线的上部页数据的过程 (图 27 的步骤 1060) 的一个实施例。在步骤 1100 中,向与正被读取的页相关联的字线施加读取参考电压  $V_{rc}$ 。在步骤 1102 处,如上所述感测位线。在步骤 1104 处,将步骤 1102 的结果存储在适当的锁存器中。选择首先以  $V_{rc}$  读取以便唯一地确定上部页数据,因为下部页数据将通常已写入  $W_{Ln+1}$  中,且在  $V_{ra}$  或  $V_{rb}$  处的读取将不会保证获得唯一的结果,因为分布 750 (图 19C) 可能会覆盖这些值。

[0196] 在步骤 1106 中,系统检验指示与正被读取的页相关联的上部页编程的旗标。在一个实施例中,如果未设定旗标,则存储旗标的存储器单元将以状态 E 存储数据,如果设定了旗标,则存储旗标的存储器单元将以状态 C 存储数据。因此,当在步骤 1102 处感测所述特定存储器单元时,如果存储器单元导通 (开启),则存储器单元不以状态 C 存储数据,且不设定旗标。如果存储器单元不导通,则在步骤 1106 中假设存储器单元指示上部页已被编程。

[0197] 在另一其它实施例中,旗标可以字节存储。不是以状态 C 存储所有的位,而是字节将包含唯一的 8 位代码,其代表旗标且对于状态机 312 而言是已知的,使得 8 位代码具有至少一个处于状态 E 的位、至少一个处于状态 A 的位、至少一个处于状态 B 的位以及至少一个处于状态 C 的位。如果上部页尚未编程,则存储器单元的字节将全部处于状态 E。在一个实施例中,通过检验存储代码的字节存储器单元中是否有任一者不响应于  $V_{rc}$  而开启,来

执行步骤 1106。在另一实施例中,步骤 1106 包含对存储旗标的存储器单元的字节进行寻址和读取,以及将数据发送到状态机,所述状态机将验证存储在存储器单元中的代码是否与状态机预期的代码匹配。如果是的话,状态机推断上部页已被编程。

[0198] 如果尚未设定旗标(步骤 1108),则图 28 的过程以上部页尚未编程的结论终止。如果已经设定旗标(步骤 1108),则假设上部页已被编程,且在步骤 1120 处向与正被读取的页相关联的字线施加读取电压  $V_{rb}$ 。在步骤 1122 处,如上所述感测位线。在步骤 1124 中,将步骤 1122 的结果存储在适当的锁存器中。在步骤 1126 中,向与正被读取的页相关联的字线施加读取参考电压  $V_{ra}$ 。在步骤 1128 中,感测位线。在步骤 1130 中,将步骤 1128 的结果存储在适当的锁存器中。在步骤 1132 中,处理器 392 基于三个感测步骤 1102、1122 和 1128 的结果确定由正被读取的每个存储器单元存储的数据值。在步骤 1134 处,将在步骤 1132 中确定的数据值存储在适当的数据锁存器中以供最终传送给用户。在步骤 1132 中,处理器 392 使用众所周知的简单的逻辑技术依据所选择的具体状态确定上部页和下部页数据的值。举例来说,对于图 19 中描述的编码,下部页数据为  $V_{rb}^*$ (当以  $V_{rb}$  读取时存储的值的补码),且上部页数据为  $V_{ra}^*$ “或”(  $V_{rb}$  “与”  $V_{rc}^*$ )。图 20 的过程虽然在此处描述为用于读取  $W_{Ln+1}$ ,但其也可用来如下所述读取  $W_{Ln}$ 。当用来如图 27 的步骤 1160 中一样读取  $W_{Ln+1}$  时,所需的并不仅是数据,而是确定上部页数据的存在。使用以下在图 31 中描述的方法来作出所述确定。应注意,当读取  $W_{Ln+1}$  时针对  $V_{ra}$ 、 $V_{rb}$  和  $V_{rc}$  选择的值可能与当读取  $W_{Ln}$  时选择的值不同。

[0199] 图 29 是描述用于读取关注中的字线的数据的过程的一个实施例的流程图,此时系统不需要补偿来自相邻字线的浮动栅极到浮动栅极的耦合(参看图 27 的步骤 1064)。在步骤 1150 中,确定读取是否针对与关注中的字线相关联的上部页或下部页。如果读取是针对下部页,则在步骤 1152 中向与正被读取的页相关联的字线施加读取参考电压  $V_{rb}$ 。在步骤 1154 中,感测位线。在步骤 1156 中,将感测步骤 1154 的结果存储在适当的锁存器中。在步骤 1158 中,检验旗标以确定页中是否含有上部页数据。如果没有旗标,则任何存在的数据均将处于中间状态,且  $V_{rb}$  是不正确的阈值,且过程在步骤 1160 处继续。在步骤 1160 中,向字线施加  $V_{ra}$ ,在步骤 1162 处重新感测位线,且在步骤 1164 中存储结果。在步骤 1166(在步骤 1164 或步骤 1158 之后),如果设定了旗标,处理器 392 确定要存储的数据值。在一个实施例中,当读取下部页时,如果存储器单元响应于施加到字线的  $V_{rb}$ (或  $V_{ra}$ ) 而开启,则下部页数据为“1”;否则,下部页数据为“0”。

[0200] 如果确定页地址对应于上部页(步骤 1150),则在步骤 1170 处执行上部页读取过程。在一个实施例中,步骤 1170 的上部页读取过程包含与图 28 中描述的相同的方法,其包含读取旗标和全部三种状态,因为可针对读取或另一原因寻址未写入的上部页。

[0201] 图 30 描绘用于读取数据并同时补偿浮动栅极到浮动栅极的耦合效应的过程(参看图 27 的步骤 1066)的一个实施例的流程图。在图 30 的步骤 1200 中,系统确定是否使用偏移来补偿浮动栅极到浮动栅极的耦合。这针对每个位线单独执行。适当的处理器 392 将基于来自相邻字线的数据而确定哪些位线需要使用偏移。如果相邻字线处于状态 E 或 B(或具有明显指示状态 E 或 B 的电荷),则正被读取的特定字线不需要补偿浮动栅极到浮动栅极的耦合效应。假设是,如果其处于状态 E,则其未导致任何耦合,因为阈值由于写入当前字线而未移动。如果其处于状态 B,则其从 B' 到达该点,且从 B' 到 B 的移动是较小的且可忽略。

在一个实施例中,步骤 1200 的过程可与步骤 1060 同时执行。举例来说,图 31 提供解释用以执行对是否针对特定位线使用偏移的确定的步骤的图表。第一步骤是使用 Vra 执行读取过程。第二步骤是使用 Vrb 执行读取。当以 Vra 读取时,如果存储器单元处于状态 E,则锁存器存储 1,且如果存储器单元处于状态 A、B、或 C,则锁存器存储 0。当以 Vrb 读取时,锁存器将针对状态 E 和 A 存储 1,且针对状态 B 和 C 存储 0。图 31 的第三步骤包含用来自步骤 1 的结果对来自第二步骤的反转结果执行“异或”操作。在第四步骤中,使用 Vrc 在字线处执行读取。锁存器针对状态 E、A 和 B 存储 1,且针对状态 C 存储 0。在第五步骤中,通过逻辑“与”操作来操作步骤 4 和步骤 3 的结果。请注意,步骤 1、2 和 4 可作为图 28 的一部分而执行。可通过指定硬件或通过处理器 392 来执行图 31 的步骤 3 和 5。如果不需要偏移,则以 1 将步骤 5 的结果存储在锁存器中,如果需要偏移,则与存储 0。使用偏移来补偿浮动栅极到浮动栅极的耦合。因此,对于那些在 WLn 上读取且在 WLn+1 上具有处于 A 或 C 状态的相邻存储器单元的单元,将需要读取偏移。这个方法只需要一个锁存器来确定是否校正 WLn,相比之下,先前方法存储来自 WLn+1 的完整数据,从而需要两个或两个以上锁存器。

[0202] 回头看图 30 的步骤 1202,确定正被读取的页是上部页还是下部页。如果正被读取的是下部页,则向与正被读取的页相关联的字线施加 Vrb(步骤 1204)。请注意,对于图 19 描述的双态编码,以 Vrb 进行读取足以确定下部页数据,相比之下,在图 17 和 18 描述的双态编码中,使用以 Vrb 进行的读取来确定上部页数据。在步骤 1206 中,感测位线。在步骤 1208 中,将步骤 1206 的结果存储在与位线相关联的适当锁存器中。在步骤 1210 中,向正被读取的字线施加 Vrb 加上偏移。在步骤 1212 中,感测位线。在步骤 1214 中,使用步骤 1212 的感测结果来覆写在步骤 1208 中针对在步骤 1200 处确定使用偏移的位线而存储的结果。如果确定特定位线不必须使用偏移,则不存储来自步骤 1212 的数据。在步骤 1216 中,处理器 392 将针对下部页确定数据是 1 还是 0。如果存储器单元响应于 Vrb(或,如果适当的话为 Vrb 加上偏移)而开启,则下部页数据为 1;否则,下部页数据为 0。在步骤 1218 处,将下部页数据存储在与适当锁存器中以便传送给用户。

[0203] 如果在步骤 1202 处确定正被读取的页是上部页,则在步骤 1220 处执行上部页校正过程。图 32 提供描述上部页校正过程的流程图。在图 32 的步骤 1250 中,向与正被读取的页相关联的字线施加读取参考电压 Vrc。在步骤 1252 中,感测位线。在步骤 1254 中,将感测步骤的结果存储在适当的锁存器中。在步骤 1256 中,向与正被读取的页相关联的字线施加 Vrc 加上偏移(例如,0.1 伏)。在步骤 1258 中,感测位线。在步骤 1260 中,使用感测步骤 1258 的结果来覆写在步骤 1254 中针对任何需要偏移的位线(参看步骤 1200)而存储的结果。在步骤 1270 中,向字线施加 Vrb。在步骤 1272 中,感测位线。在步骤 1274 中,存储感测步骤 1272 的结果。在步骤 1276 中,向与正被读取的页相关联的字线施加 Vrb 加上偏移。在步骤 1278 中,感测位线。在步骤 1280 中,使用步骤 1278 的结果来覆写在步骤 1274 处针对那些需要偏移的位线(参看步骤 1200)而存储的结果。在步骤 1282 中,向与正被读取的页相关联的字线施加 Vra。在步骤 1284 中,感测位线。在步骤 1286 中,将感测步骤 1284 的结果存储在适当的锁存器中。在步骤 1288 中,向与正被读取的页相关联的字线施加 Vra 加上偏移。请注意,在步骤 1288、1280 和 1256 中使用的偏移是相同的,从而暗地假设在从状态 E 移动到状态 A 的过程中从对 WLn+1 的上部页的编程耦合到 WLn 与当从状态 B' 移动到 C 时大约相同。在其它实施例中,偏移可能不同。在步骤 1290 中,感测位线。

在步骤 1292 中,使用步骤 1290 的结果来覆写步骤 1286 中针对那些需要偏移的位线(参看步骤 1200)而存储的结果。在有些实施例中,状态 E 与状态 A 之间的裕度是足够的,因此与 Vra 相关联的偏移是不必要的,且可跳过步骤 1288 到 1292。在步骤 1294 中,处理器 392 用与先前相对于图 28 描述的相同的方式或此项技术中已知的另一方法来确定数据值。在步骤 1296 中,将由处理器 392 确定的数据值存储在适当的数据锁存器中,以供传送给用户。在其它实施例中,可能改变读取 (Vrc、Vrb、Vra) 次序。

[0204] 在以上相对于图 27 的论述中,论述了涉及读取数据页的实例。可能(但不需要)对读取数据的请求将需要读取多个数据页。在一个实施例中,为了加速读取多个数据页的过程,将使读取过程管线化,使得状态机将在用户传输前一数据页时执行下一页的感测。在此种实施方案中,旗标获取过程(参看,例如图 28 的步骤 1006)可能会中断管线化读取过程。为了避免此种中断,一个实施例设想在读取给定页时读取该页的旗标,且使用以上提到的有线“或”检测过程来检验旗标(而不是读取旗标并将其发送给状态机)。举例来说,在图 27 的步骤 1060(读取相邻字线)期间,所述过程首先使用 Vrc 作为参考电压来读取数据。在此点,如果有线“或”线指示每个状态存储数据 1,则上部页尚未编程;因此,不需要补偿,且系统将读取而不补偿浮动栅极到浮动栅极的耦合(步骤 1064)。如果旗标是包含处于每种数据状态的数据的一个字节的代码,则至少旗标存储器单元将具有处于状态 C 的数据(如果设定了旗标的话)。如果有线“或”线指示没有任何存储器单元具有处于状态 C 的数据,则状态机推断旗标尚未设定;因此,相邻字线的上部页尚未编程,且不需要补偿浮动栅极耦合。

[0205] 图 32A 是解释用于如上所述执行管线化读取的一个实施例的时序图。图 32A 描绘两个信号。信号 1300 代表从存储器系统传送到控制器(或主机/用户)的就绪/忙信号,所述信号在“低”时指示存储器系统尚未准备好在 I/O 线 320 上发送数据,且当“高”时指示数据可用于传输。图 32A 展示响应于读取请求的管线化读取过程,其涉及沿着字线 WLn、WLn+1、WLn+2……的存储器单元的下部页和上部页。信号 1300 首先包含周期 1300A,其对应于等待第一组数据准备就绪传送给用户。在周期 1300B 期间,经由 I/O 线 320 将存储在连接到字线 WLn 的存储器单元的下部页中的数据传出给用户。在周期 1300C 期间,经由 I/O 线 320 将存储在连接到字线 WLn 的存储器单元的上部页中的数据传出给用户。在下一周期期间,传出存储在连接到字线 WLn+1 的存储器单元的下部页中的数据,依此类推。

[0206] 图 32A 的信号 1302 是对存储器系统内发生的情况的符号表示。要读取的第一数据是连接到字线 WLn 的存储器单元的下部页。在周期 1302A 期间,读取相邻字线 WLn+1(例如,三个读取操作 - 以 Vra、Vrb 和 Vrc)。在周期 1302B 中,获取旗标并传送给状态机,以确定是否编程上部页。请注意,因为管线尚未开始,所以状态机可执行读取获取。或者,可采用以 Vrc 进行的读取之后的有线“或”过程来检验旗标。在步骤 1302C 中,在旗标状态确定有必要时使用补偿来读取 WLn 的下部页。在周期 1302D 期间,将 WLn 下部页数据放置在输出暂存器中。

[0207] 在周期 1302E 中,读取相邻字线 WLn+1(例如,以 Vra、Vrb 和 Vrc 进行的三个读取操作)。这个步骤可能不需要,因为其之前已经进行。然而,由于与 1302E、1302F 和 1302G 相关联的时间通常少于与步骤 1300B 相关联的时间,所以其可能被执行以实现操作的一致性。此外,在有些实施例中,可能没有足够的锁存器可用于同时保存与 WLn 和 WLn+1 两者



相关联的数据。在周期 1302F 期间,通过在以 Vrc 进行读取之后执行有线“或”过程而读取 WLn+1 的旗标,因而避免会使管线停止的全旗标获取。在周期 1302G 期间,必要时使用补偿来读取 WLn 的上部页。在周期 1302H 期间,信号 1302 下降,同时将 WLn 上部页数据从内部锁存器传送到输出寄存器。

[0208] 在针对 WLn 读取下部和上部页之后,系统将接着针对 WLn+1 读取下部和上部页,且依此类推,直到将全部读取数据提供给用户为止。在周期 1302I 期间,读取新的相邻字线 WLn+2(例如,以 Vra、Vrb 和 Vrc 进行的三个读取操作)。在周期 1302J 期间,通过在以 Vrc 进行读取之后执行有线“或”过程来读取 WLn+2 的旗标,因而避免会使管线停止的全旗标获取。在周期 1302K 期间,必要时使用补偿来读取 WLn+1 的下部页。如上所述,过程将继续。在有些实施例中,通过以下方式减少读取数目可能是有用的:读取 WLn+1 数据一次,接下来同时读取 WLn 上部和下部页数据并保存上部页数据而不是稍后重新读取其。减少读取步骤的数目的一个优点可为使功率消耗最小化。

[0209] 以上实施例使用不同参考点处的多个读取。虽然这提供了用于补偿浮动栅极到浮动栅极的耦合的准确方式,但其会向读取过程添加额外时间。另一实施例是修改读出放大器以添加校正特征。如果可修改读出放大器以依据相邻字线数据而感测不同的跳变点,则单次感测操作将给出最终的校正的数据。这个方法可能是可靠的且节省时间。缺点是增加了读出放大器的布局面积。

[0210] 回头看图 8,基于读出放大器 600 的电容器 CSA 652 设定感测跳变点。通过依赖于来自相邻字线的数据使用 SEN 模式上的不同电容器而可针对同一感测过程设定不同的跳变点。当不需要校正时,使用较大电容器。当需要校正时,使用较小电容器。图 33 描绘类似于图 8 的感测模块 380 的感测模块 380'。然而,读出放大器 600' 包含额外电容器 1382,其基于来自相邻字线的数据而连接或不连接。电容器 1382 经由晶体管 1380 连接到 SEN 模式。晶体管 1380 经由晶体管 1384 和栅极 530 连接到读出总线 532。经由读出总线 532 和晶体管 1384 将来自相邻字线的数据提供到晶体管 1380 的节点 C。如果不在节点 C 处提供数据 1,则由于来自相邻存储器单元的浮动栅极到浮动栅极的耦合而不需要校正。如果在节点 C 处提供数据 0,则需要校正。如果不需要校正,则将电容器 1382 电连接到 SEN 节点。如果需要校正,则将电容器 1382 与 SEN 节点断开。当未向 SEN 节点附接额外电容器时,与较高(受干扰的)阈值相关联的较小单元电流将与为较高电容充电的较低阈值(未受干扰的)状态等效地为电容器上的电压充电。

[0211] 虽然图 33 选择性地描绘添加了一个额外电容器,但其它实施例可选择性地添加更多的电容器,以便实现不同的补偿效果。此外,有些实施例可使得所有连接到 SEN 节点的电容器选择性地耦合,使得每种可能性(例如,无补偿、补偿 1、补偿 2……)连接不同组电容器。在有些实施方案中,也可使用其它电容性装置。

[0212] 图 34 提供描述用于使用图 33 的两个电容器的一个实施例的流程图。图 34 的方法提供图 30 的方法的替代实施例。在图 34 的步骤 1320 中,在位线基础上确定是否针对所述特定位线使用偏移。这类似于图 30 的步骤 1200。在步骤 1322 中,确定读取过程是针对下部页还是上部页。如果读取过程是针对下部页,则方法在步骤 1324 处继续。如果需要偏移,则使额外电容器与 SEN 2 节点断开。如果不需要偏移,则额外电容器保持连接到 SEN 2 节点。在步骤 1326 中,向与正被读取的页相关联的字线施加 Vrb。在步骤 1328 中,感测位

线。在步骤 1330 中,存储感测步骤 1328 的结果。在步骤 1332 中,处理器 392 确定存储的数据值。在一个实施例中,当读取下部页时,如果存储器单元响应于向字线施加的  $V_{rb}$  而开启,则下部页数据为“1”;否则,下部页数据为“0”。在步骤 1334 中,将由处理器确定的数据值存储在适当的锁存器中,以供用户读出。

[0213] 如果确定读出过程是针对上部页(步骤 1322),则过程继续到步骤 1340。如果步骤 1320 推断需要偏移,则将额外电容器断开(步骤 1340)。如果不需要偏移,则额外电容器保持连接到 SEN 2 节点。在步骤 1342 中,如上文相对于图 28 所述执行上部页读取过程。

[0214] 如上所述,当并行感测大量存储器单元时,其组合电流可导致显著的电压降和具有有限电阻的接地回路。这会导致源极线偏压。一个实施例利用这个源极线偏压来补偿浮动栅极到浮动栅极的耦合效应。以上描述的一个考虑到源极线偏压的实施例包含多个感测步骤(也称为选通)。在第一选通期间,将把所有适当的位线连接到源极线。在第二选通期间,将把较小的位线子组连接到源极线。用较高的源极线偏移电压执行第一选通,这指示导通的单元实际上比其在没有源极线电压偏移的情况下导通率低。这与阈值电压移位到较高值是等效的。提议的过程是,第一选通无条件地在数据锁存器中保存数据。在第二选通处,检验正被读取的字线上是否有一些单元因与相邻字线的浮动栅极的耦合效应而需要补偿。如果是的话,则针对需要校正的单元用来自第二选通的数据覆写来自第一选通的数据。对于不需要校正的数据,不覆写数据且抛弃来自第二选通的数据。使用此方法的一个优点在于其减少了读取时间,因为数据校正隐藏在正常读取例行程序中。

[0215] 源极线偏压方法的一个缺点是,偏移值取决于数据图案。如果有较多导通单元在特定感测电平处,源极电压将较大且将进行更多校正。如果有较少导通单元在特定感测电平处,源极电压将较小且将进行更少校正。假设每页具有优选为随机的数据,则移位对于每页来说将为几乎恒定的值。在每个存储器单元有两个位的情况下,25%的位线可能处于状态 E、25%处于状态 A、25%处于状态 B 且 25%处于状态 C。以  $V_{ra}$  读取,将有 25%的位线导通。以  $V_{rc}$  读取,将有 75%的位线导通,从而导致在读取状态 C 时比在读取状态 A 时有更多校正。

[0216] 图 35 提供描述用于基于使用上述两个选通循环以补偿进行读取(参看步骤 1066)的一个实施例的流程图。在步骤 1400 中,系统确定是否针对特定位线选择偏移。这与上述步骤 1200 相似。如果读取过程是针对下部页(步骤 1402),则过程在步骤 1404 处继续。如果读取过程是针对上部页,则过程在步骤 1424 处继续。在步骤 1404 中,向与正被读取的页相关联的字线施加参考电压  $V_{rb}$ 。在步骤 1406 处,感测位线。在步骤 1408 处,将感测步骤 1406 的结果存储在适当的锁存器中。步骤 1404-1408 是第一选通。在步骤 1410 中,那些在第一选通期间被确定为具有高电流的位线针对第二选通而关闭。在步骤 1412 中,通过向字线施加  $V_{rb}$  而开始第二选通。在步骤 1414 中,感测位线。在步骤 1416 中,那些需要校正的位线将使用来自步骤 1414 的数据覆写来自步骤 1408 的数据。在步骤 1418 中,处理器 392 确定存储的数据值。在一个实施例中,当读取下部页时,如果存储器单元响应于施加到字线的  $V_{rb}$  而开启,则下部页数据为“1”;否则,下部页数据为“0”。在步骤 1420 中,将确定的数据值存储在适当的锁存器中,以便传送给用户。

[0217] 图 36 提供用于读取基于源电流校正的上部页的过程(图 35 的步骤 1424)的一个实施例的流程图。在步骤 1502 中,向与正被读取的页相关联的字线施加参考电压  $V_{rc}$ 。在

步骤 1504 中,感测位线。在步骤 1506 中,将结果存储在适当的锁存器中。在步骤 1508 中,针对第二选通关闭那些具有高电流的位线。第一选通包含步骤 1502-1506。在步骤 1510 中,通过向同一字线施加 Vrc 而开始第二选通。在步骤 1512 中,感测位线。在步骤 1514 中,针对那些需要校正的位线,用步骤 1512 的结果覆写步骤 1506 中存储的结果。在步骤 1516 中,系统如上所述检验用于上部页编程的旗标。如果旗标经设定以指示上部页中编程有数据,则过程继续到步骤 1522。如果未设定旗标,则在步骤 1520 处终止图 36 的过程,推断出上部页尚未编程。也可使用上述其它用于检验旗标的过程或时序。

[0218] 在步骤 1522 中,通过向与正被读取的页相关联的字线施加 Vrb 而执行第一选通。在步骤 1524 中,感测位线。在步骤 1526 中,将结果存储在适当的锁存器中。在步骤 1528 中,针对第二选通关闭那些在第一选通中具有高电流的位线。在步骤 1540 中,通过向字线施加 Vrb 而开始第二选通。在步骤 1542 中,感测位线。在步骤 1544 中,针对那些需要偏移的位线用来自步骤 1542 的结果覆写来自步骤 1526 的结果。在步骤 1546 中,通过向与正被读取的页相关联的字线施加 Vra 而执行第一选通。在步骤 1548 中,感测位线。在步骤 1550 中,存储来自步骤 1548 的结果。在步骤 1552 中,针对第二选通关闭在第一选通期间具有高电流的位线。在步骤 1554 中,通过向字线施加 Vra 而开始第二选通。在步骤 1556 中,感测位线。在步骤 1558 中,针对那些需要偏移的位线用来自步骤 1556 的结果覆写步骤 1550 中存储的结果。在有些实施例中,状态 E 与状态 A 之间的裕度是足够的,因而与 Vra 相关联的偏移是不必要的,且可跳过步骤 1552 到步骤 1558。在步骤 1560 中,处理器 392 基于存储在锁存器中的结果来确定存储的数据值。如同以上相对于步骤 1132 所论述执行此操作。在步骤 1562 中,将通过处理器 392 确定的数据值存储在适当的锁存器中。

[0219] 由于能够反转浮动栅极到浮动栅极的耦合效应,所以可使得阈值电压分布之间的裕度较小或可较快速地编程存储器系统。

[0220] 在以上实施例中,有三个额外读取用于相邻字线读取以四种状态存储的数据。在其它实施例中,可执行少于三个读取,因而减少所使用的不同偏移的数目。这将导致减少偏移的分辨率。此外,可使用三个以上读取以实现偏移的较精细调整。在有些实施例中,上述过程的若干部分可在芯片外执行。

[0221] 已经为了说明和描述目的而呈现对本发明的以上详细描述。其并不期望是详尽的或将本发明限于所揭示的精确形式。根据以上教导可存在许多修改和变更。选择所述实施例是为了最好地解释本发明的原理及其实际应用,以便进而使得所属领域的技术人员能够在各种实施例中并用适合于预期特定用途的各种修改最佳地利用本发明。希望由所附权利要求书界定本发明的范围。

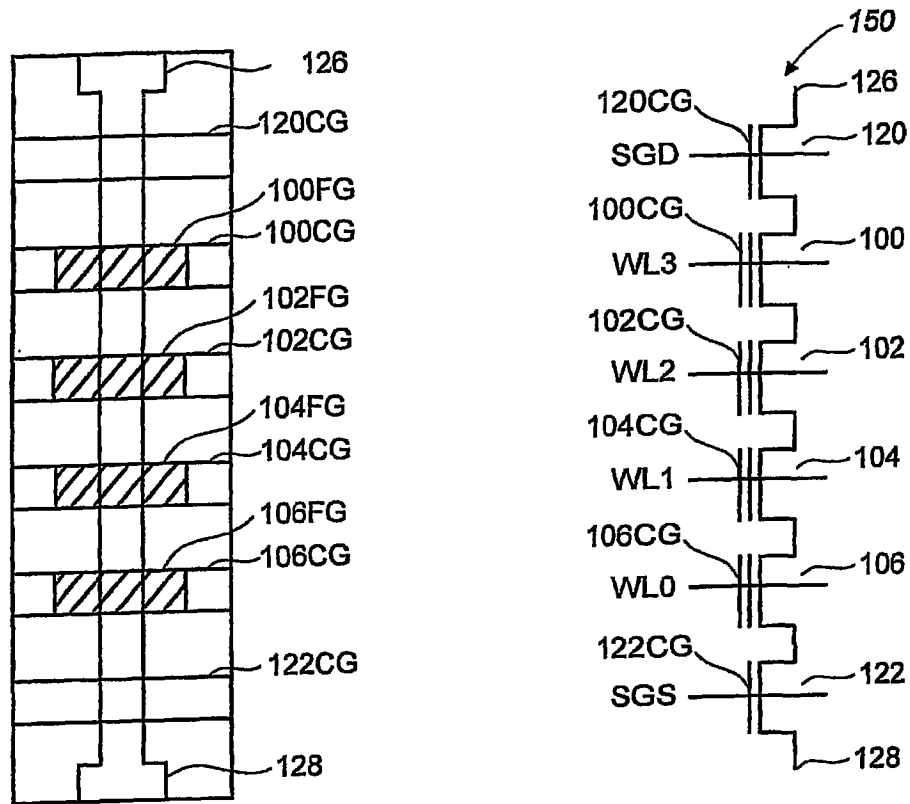


图1

图2

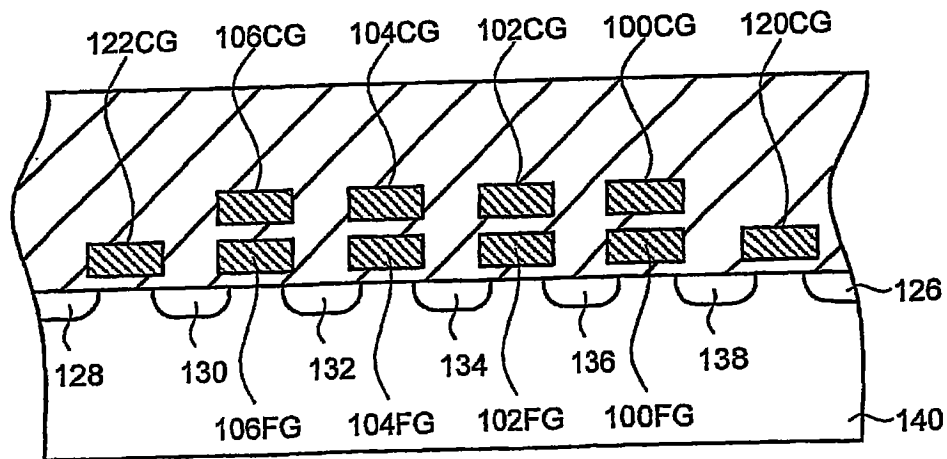


图3

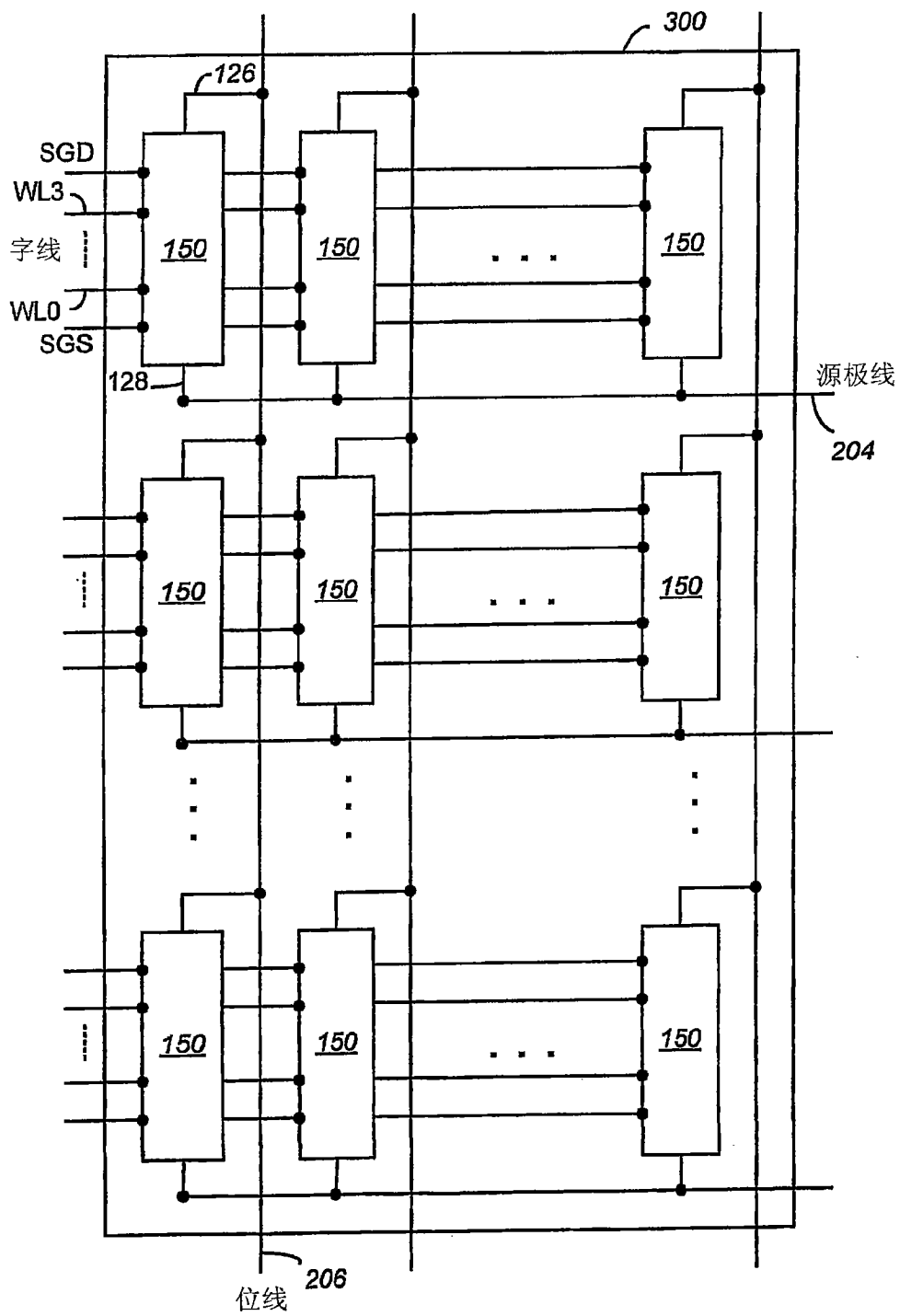


图4

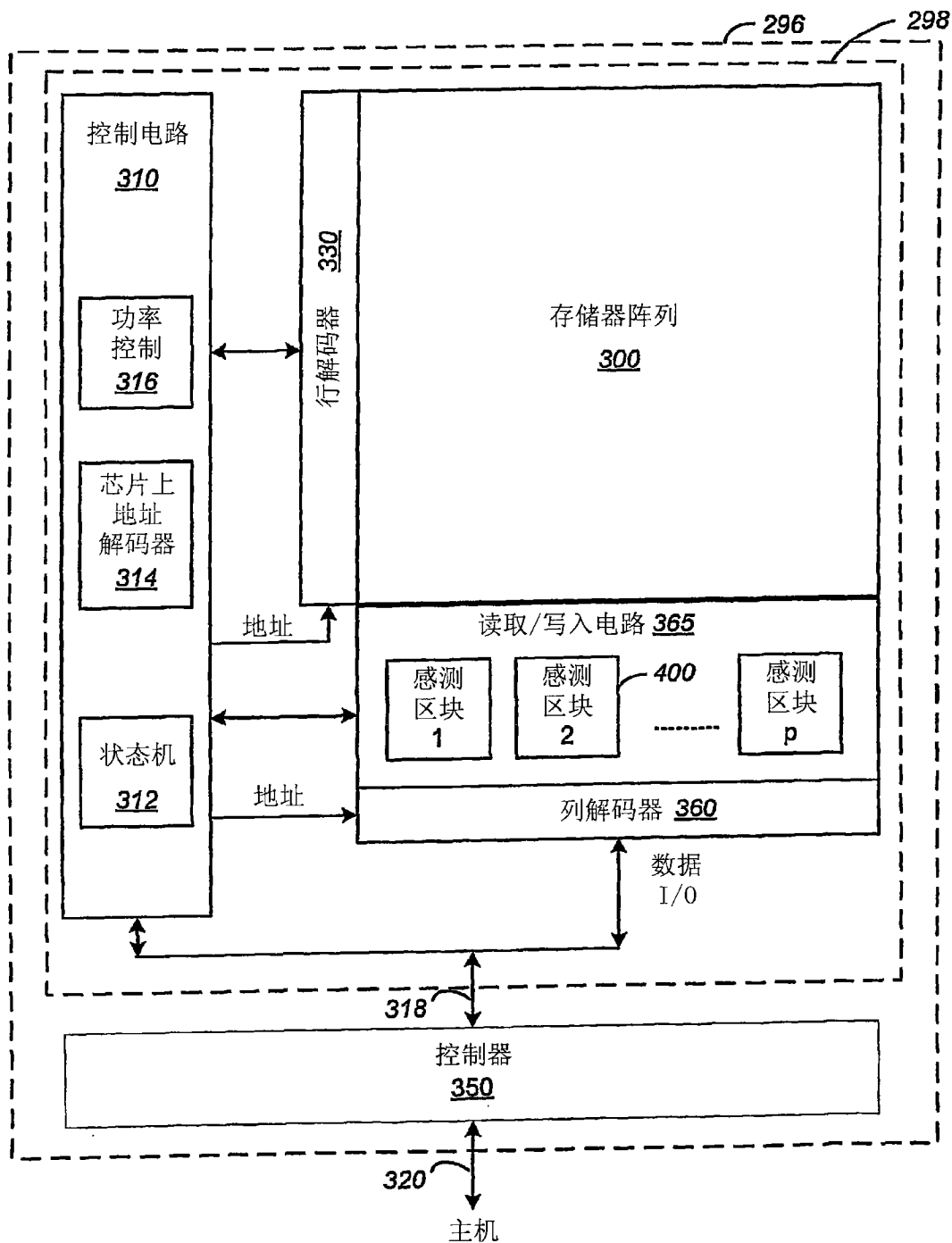


图5

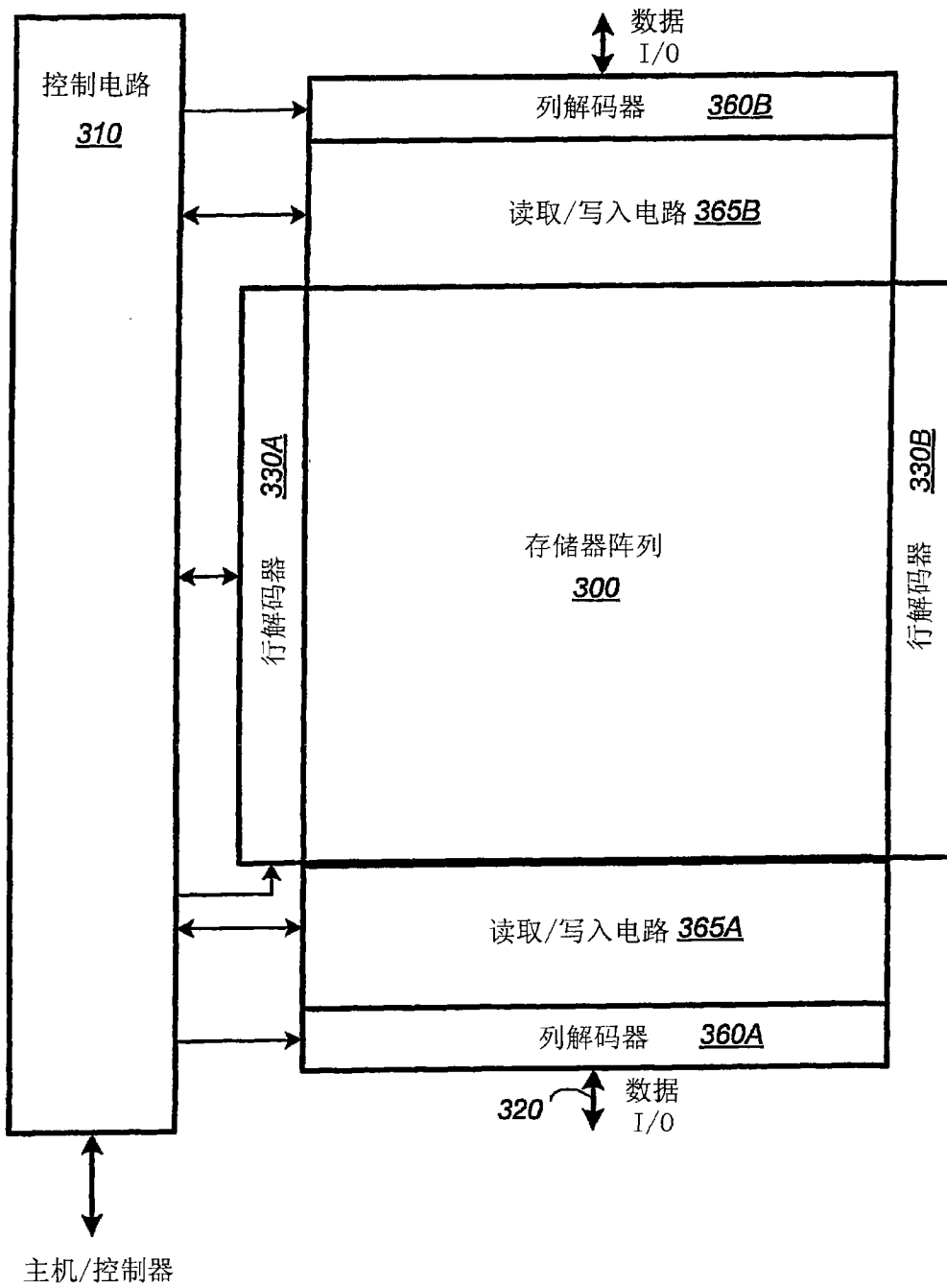


图6

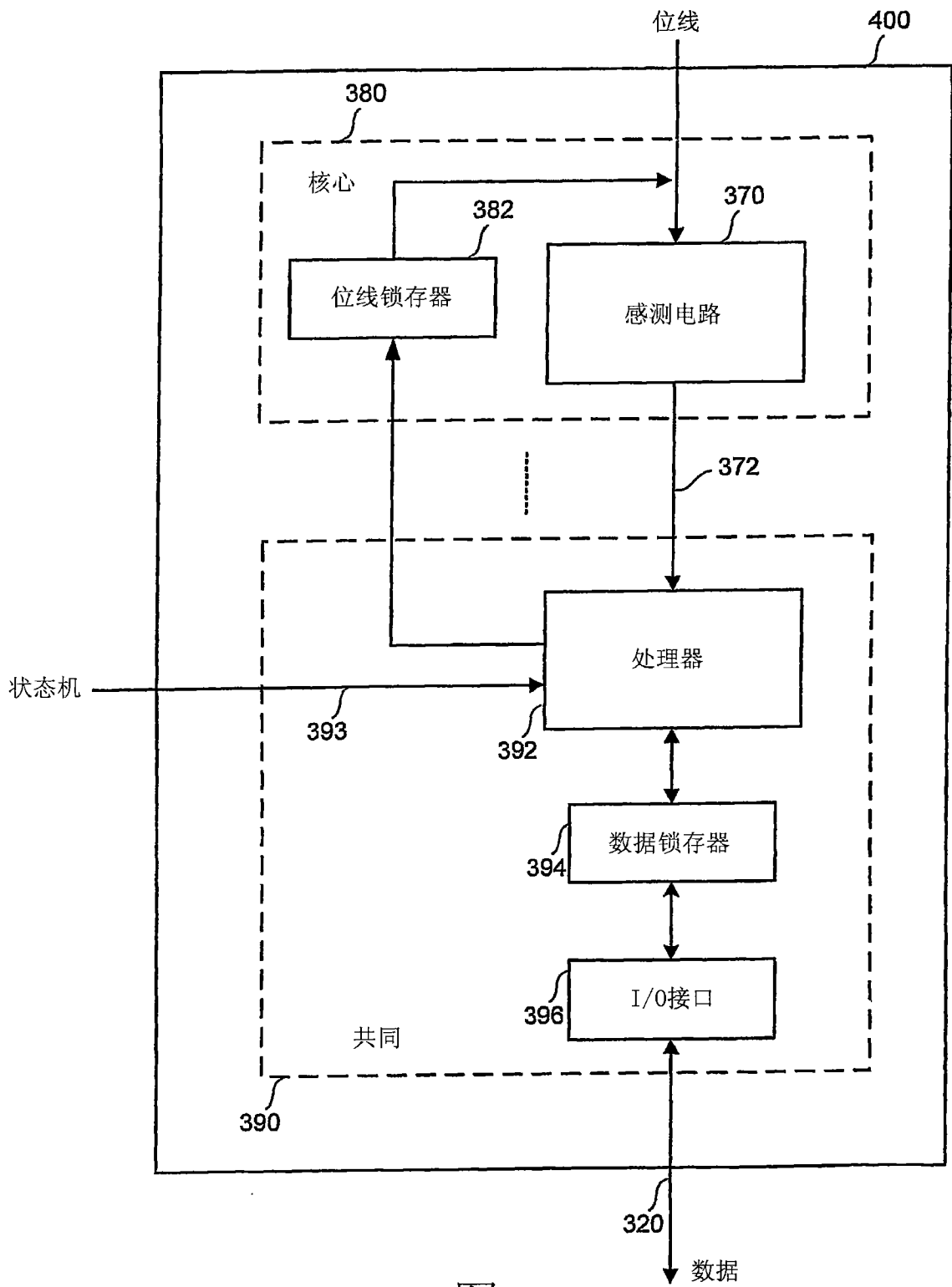


图7



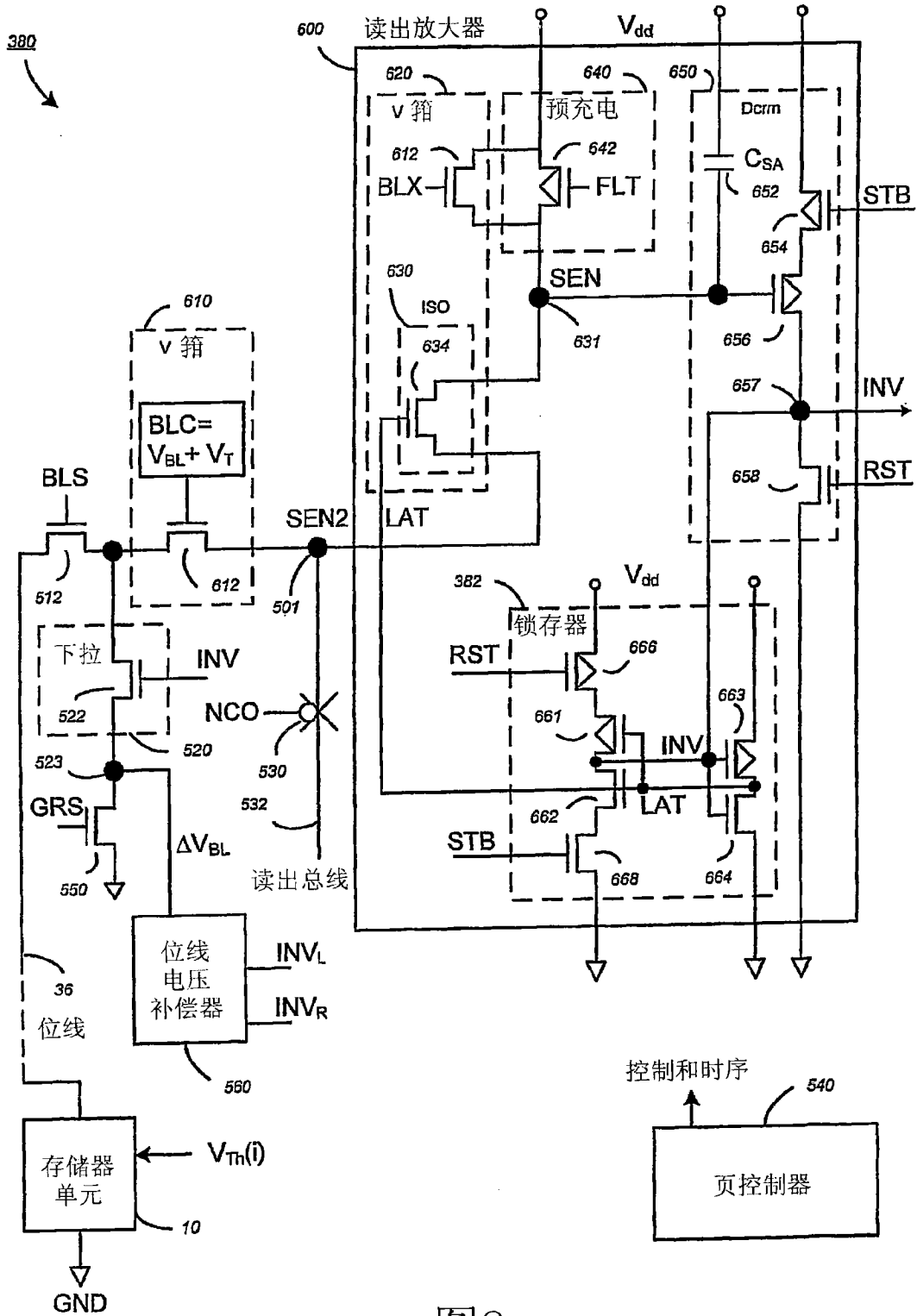


图8

左部相邻者			编程存储单元	右部相邻者		
模式	INV <sub>L</sub>	V <sub>BL-1</sub>	位线偏移 ΔV <sub>BL-0</sub>	模式	INV <sub>R</sub>	V <sub>BL-1'</sub>
禁止编程	低	V <sub>DD</sub>	ΔV <sub>11</sub> (例如, 0.3V)	禁止编程	低	V <sub>DD</sub>
禁止编程	低	V <sub>DD</sub>	ΔV <sub>10</sub> (例如, 0.15V)	编程	高	ΔV
编程	高	ΔV	ΔV <sub>01</sub> (例如, 0.15V)	禁止编程	低	V <sub>DD</sub>
编程	高	ΔV	ΔV <sub>00</sub> (例如, 0V)	编程	高	ΔV

图9

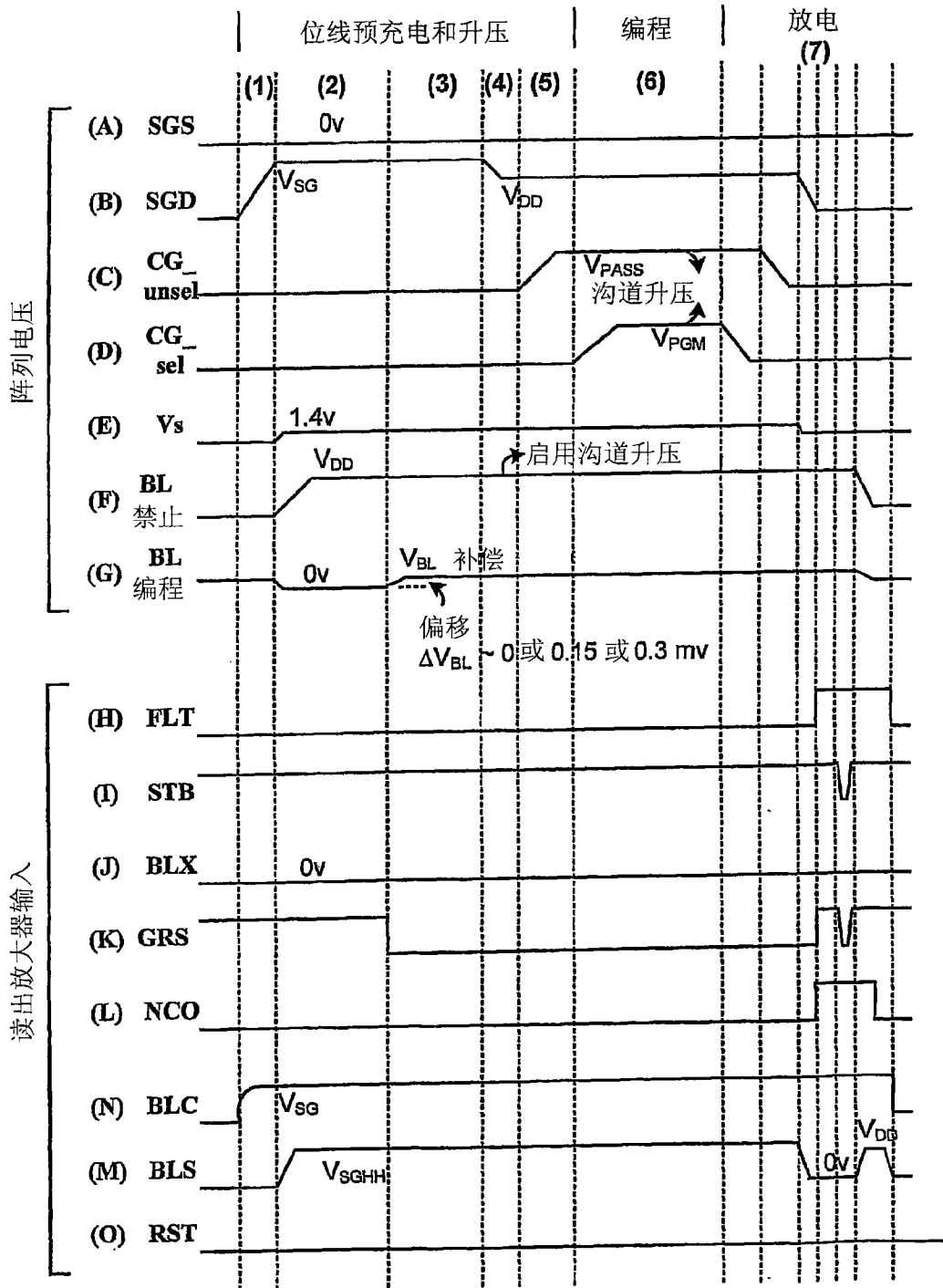


图10

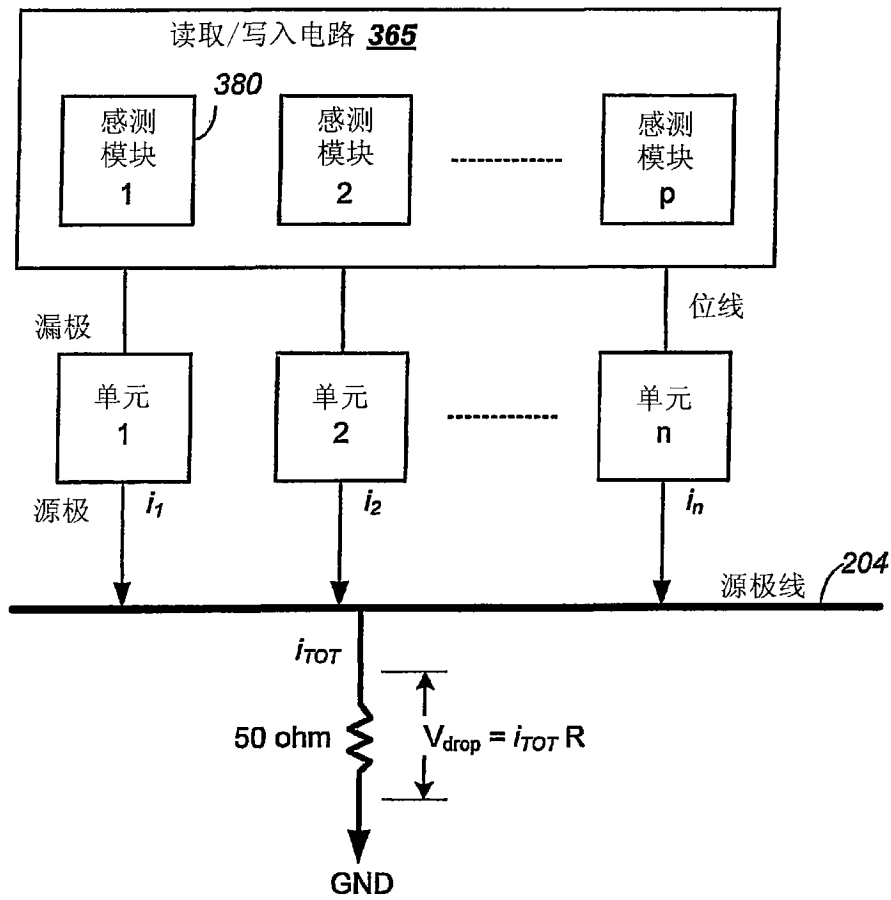


图11

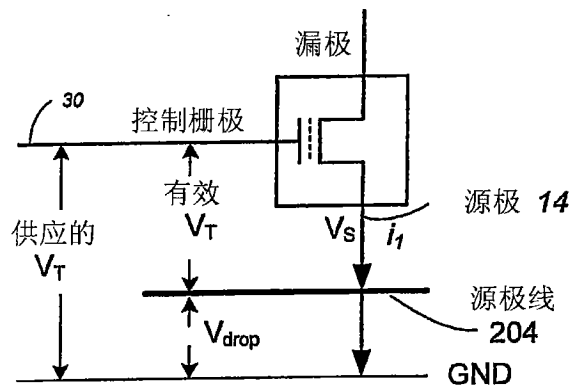


图12

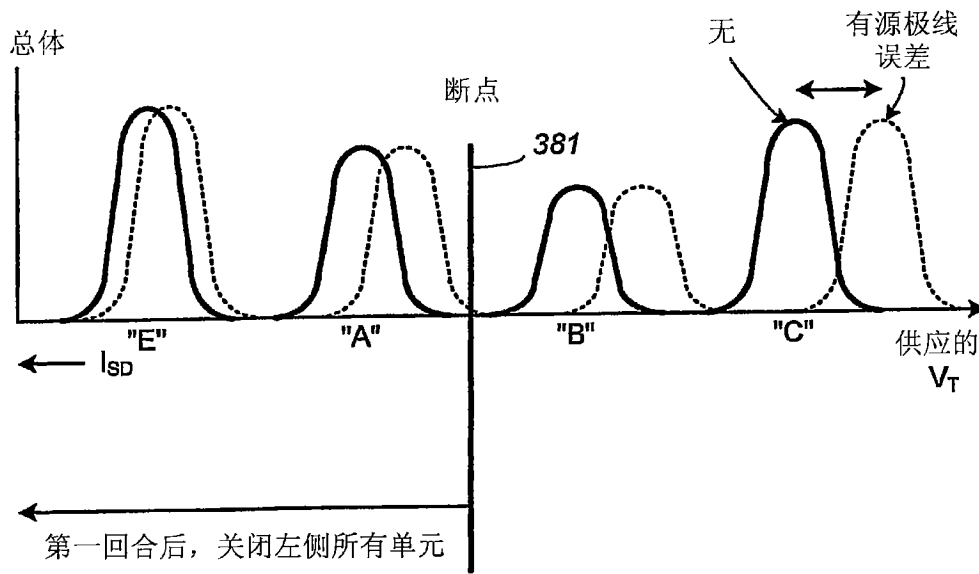


图13

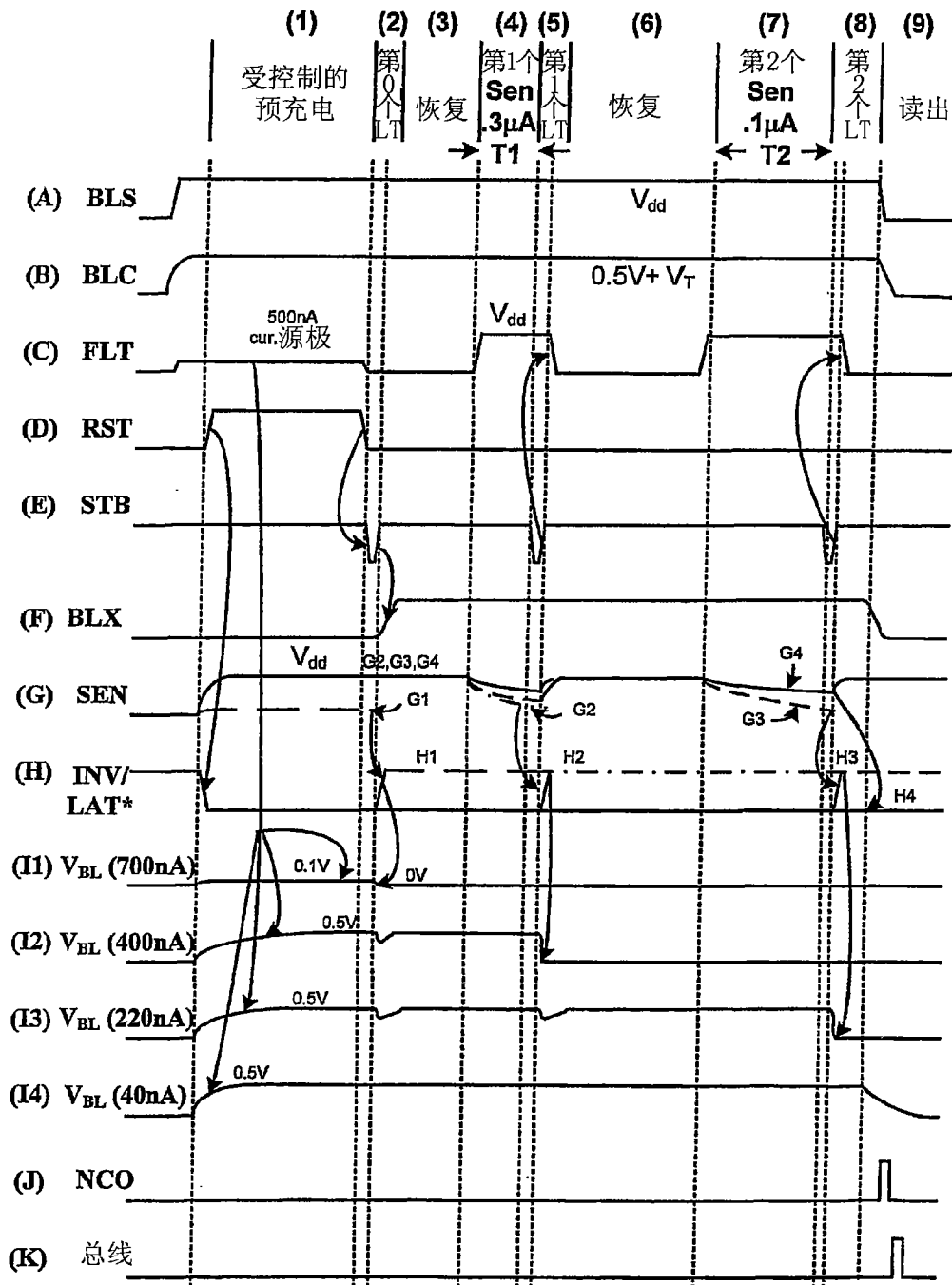


图14

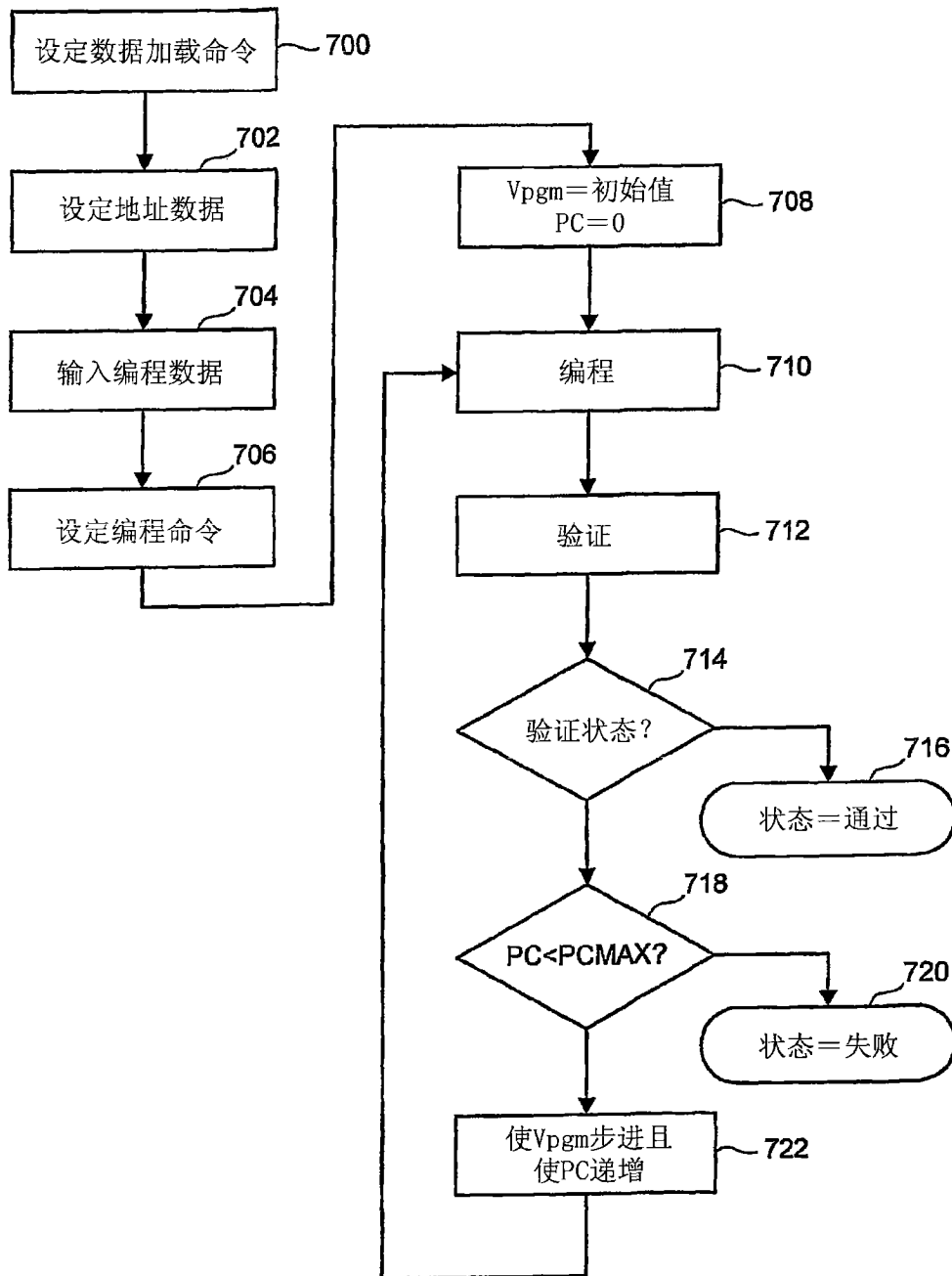


图15

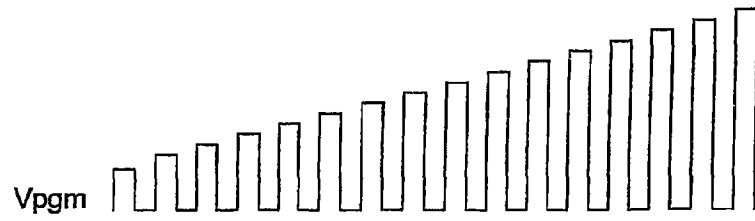


图16

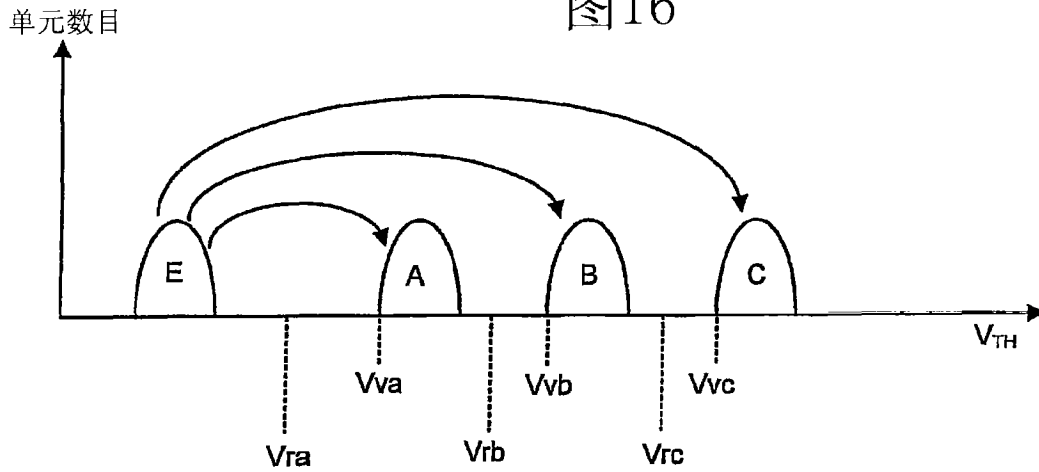


图17

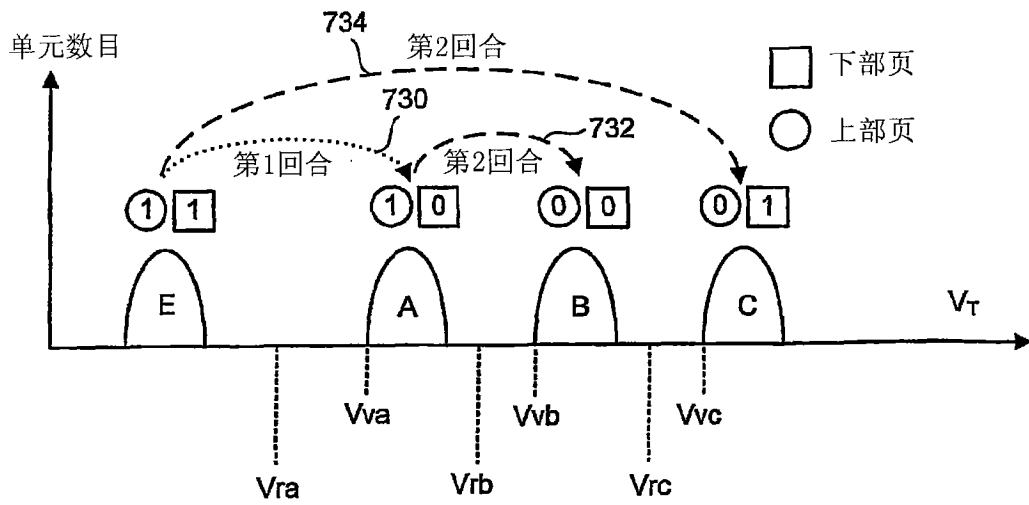


图18



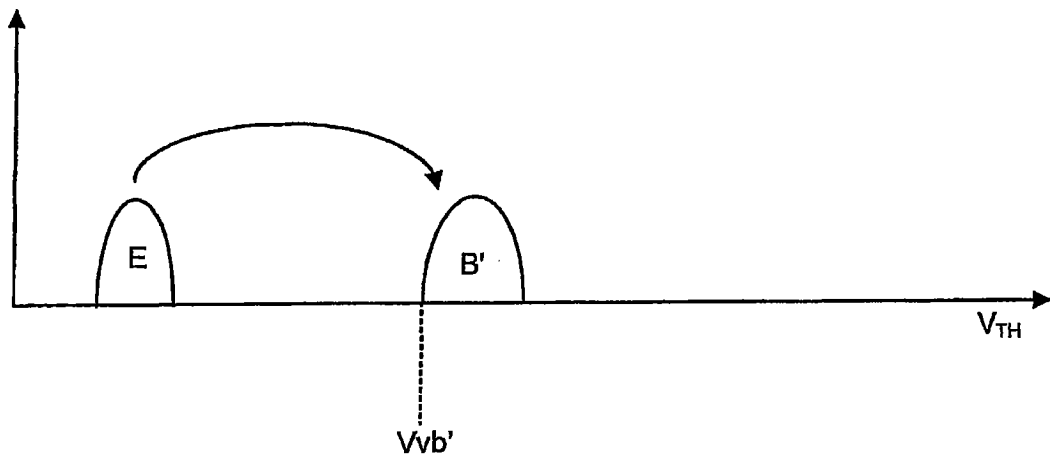


图19A

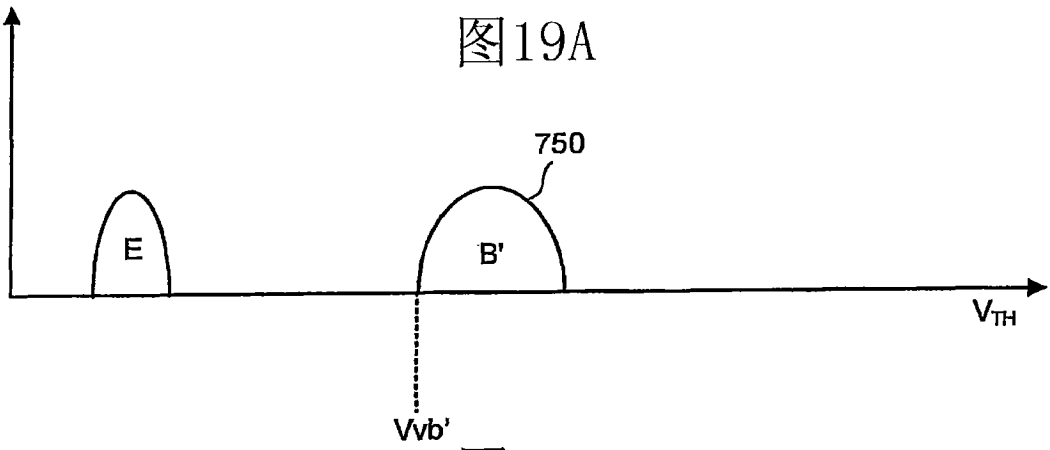
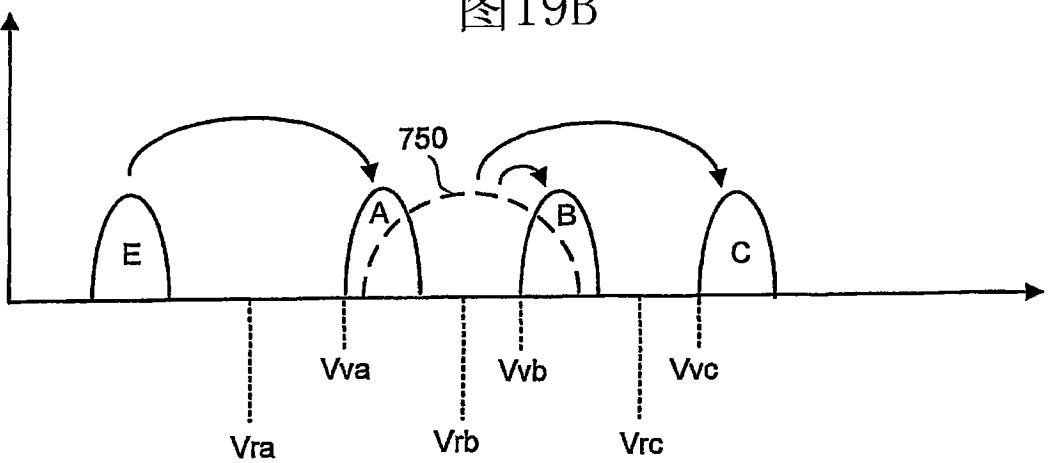


图19B



上部	1	0	1	0
下部	1	1	0	0

图19C

字线	所有位线
WL3	页 3
WL2	页 2
WL1	页 1
WL0	页 0

图20A

字线	偶数位线	奇数位线
WL3	页 6	页 7
WL2	页 4	页 5
WL1	页 2	页 3
WL0	页 0	页 1

图20B

字线	上部/下部页	所有位线
WL3	上部	页 7
	下部	页 6
WL2	上部	页 5
	下部	页 4
WL1	上部	页 3
	下部	页 2
WL0	上部	页 1
	下部	页 0

图20C

字线	上部/下部页	偶数位线	奇数位线
WL3	上部	页 14	页 15
	下部	页 12	页 13
WL2	上部	页 10	页 11
	下部	页 8	页 9
WL1	上部	页 6	页 7
	下部	页 4	页 5
WL0	上部	页 2	页 3
	下部	页 0	页 1

图20D

字线	上部/下部页	偶数位线	奇数位线
WL3	上部	页 13	页 15
	下部	页 12	页 14
WL2	上部	页 9	页 11
	下部	页 8	页 10
WL1	上部	页 5	页 7
	下部	页 4	页 6
WL0	上部	页 1	页 3
	下部	页 0	页 2

图20E

字线	上部/下部页	所有位线
WL3	上部	页 7
	下部	页 5
WL2	上部	页 6
	下部	页 3
WL1	上部	页 4
	下部	页 1
WL0	上部	页 2
	下部	页 0

图20F

字线	上部/下部页	偶数位线	奇数位线
WL3	上部	页 14	页 15
	下部	页 10	页 11
WL2	上部	页 12	页 13
	下部	页 6	页 7
WL1	上部	页 8	页 9
	下部	页 2	页 3
WL0	上部	页 4	页 5
	下部	页 0	页 1

图20G

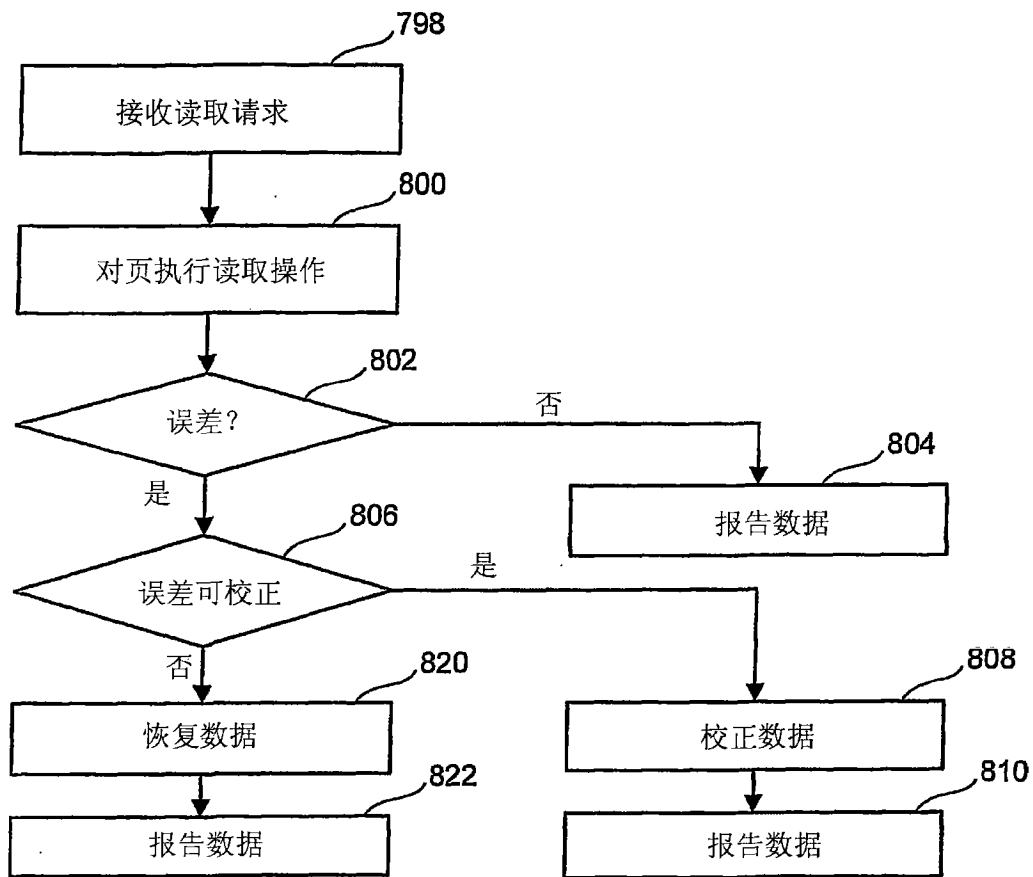


图21

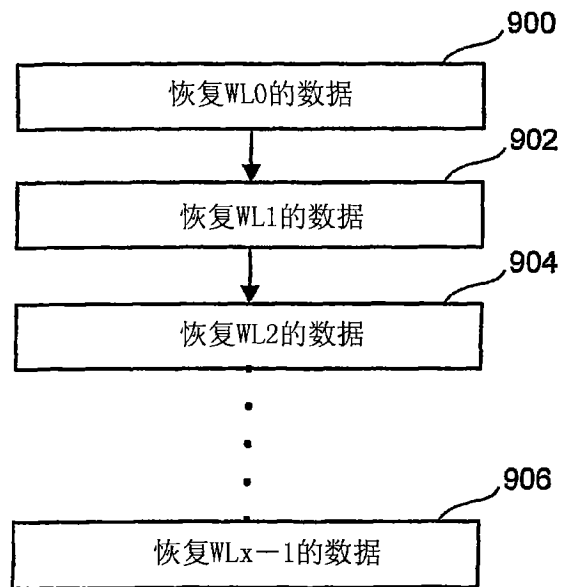


图24

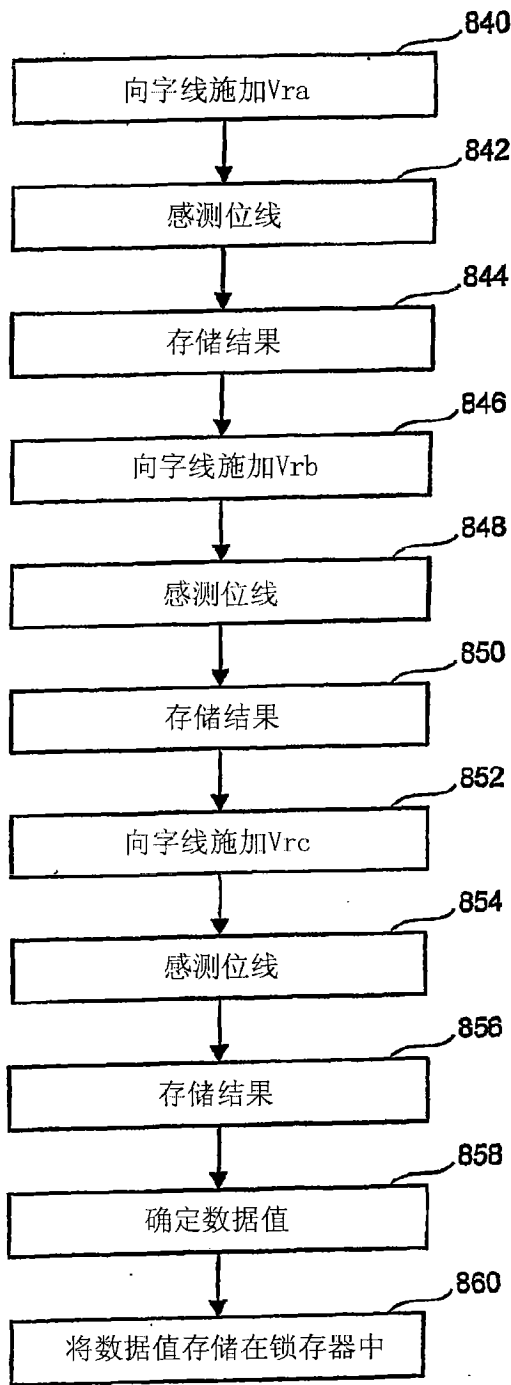


图22

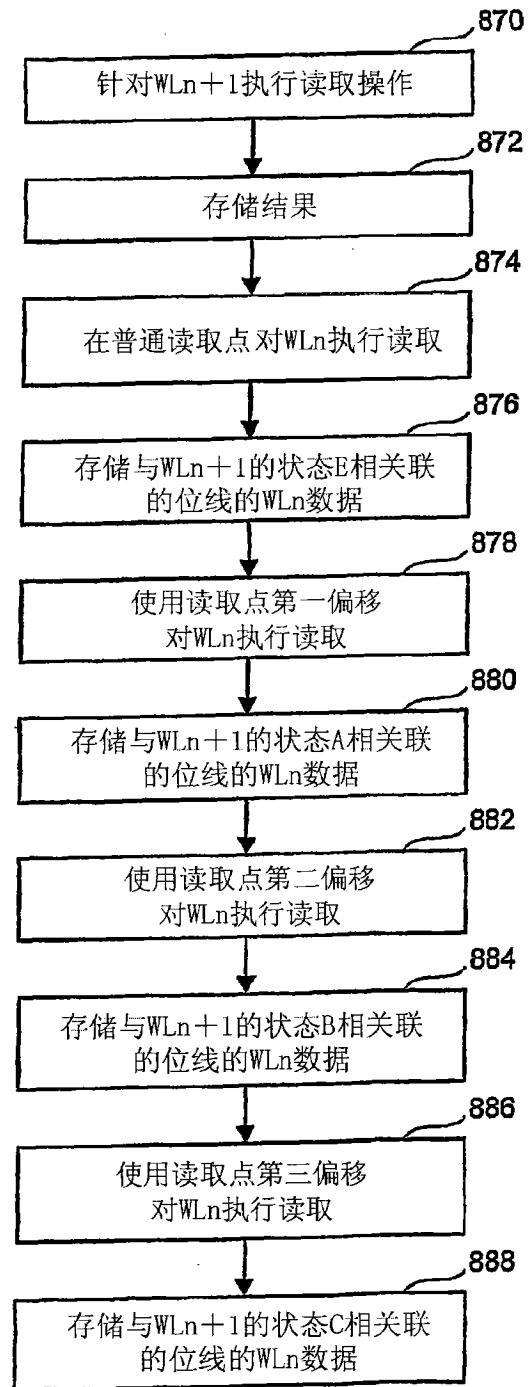


图23

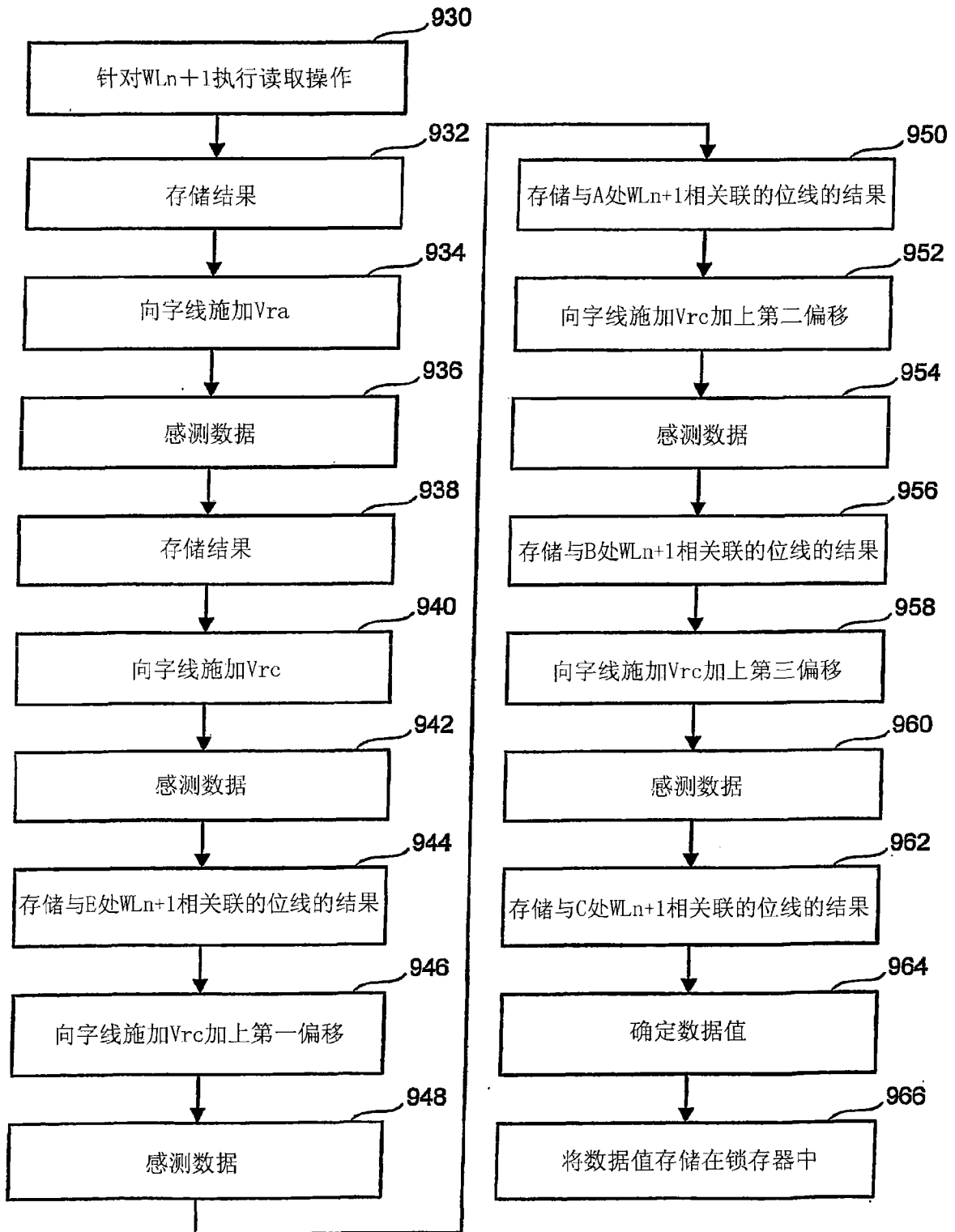


图25

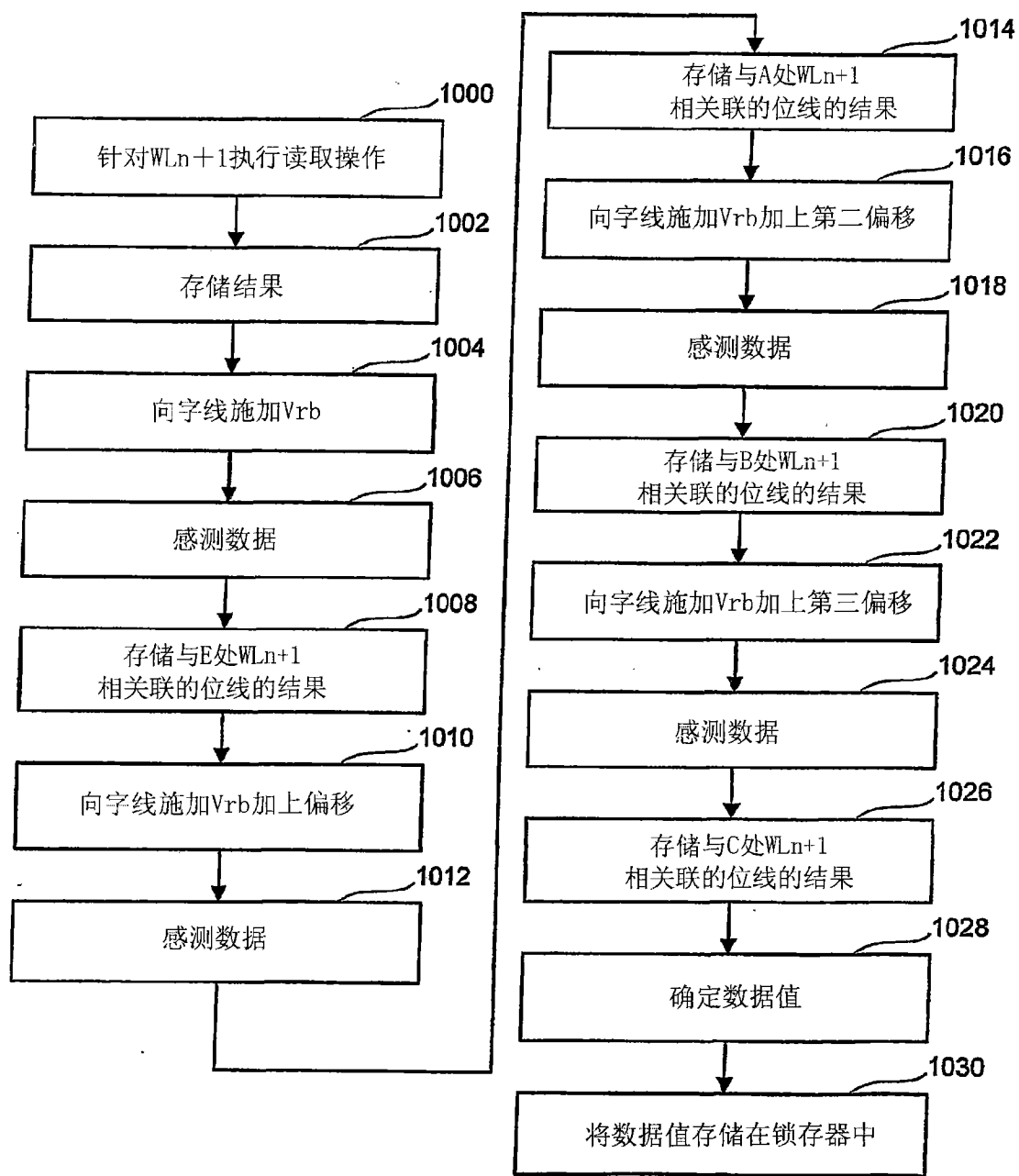


图26

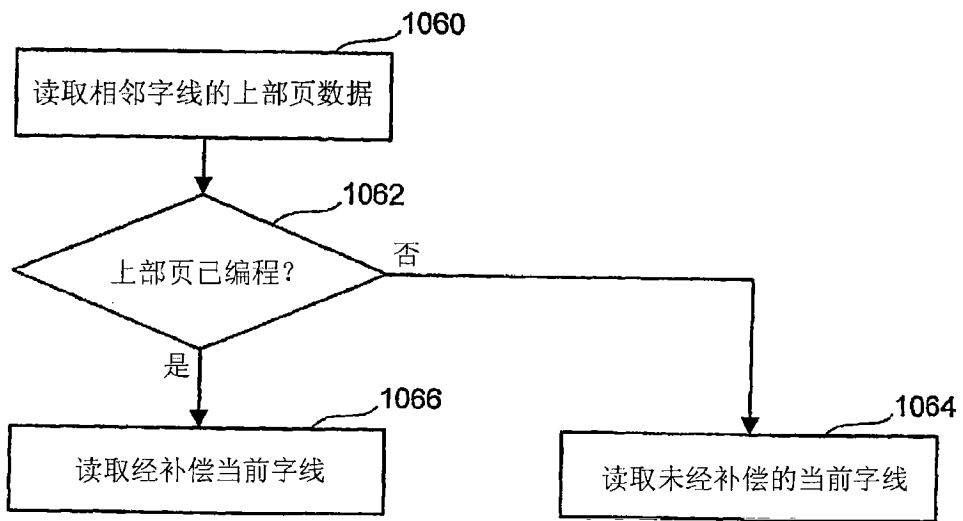


图27

	状态 E	状态 A	状态 B	状态 C
(1) 在Vra读取	1	0	0	0
(2) 在Vrb读取	1	1	0	0
(3) (反转2) “异或” 1	1	0	1	1
(4) 在Vrc读取	1	1	1	0
(5) 4 “与” 3	1	0	1	0

图31



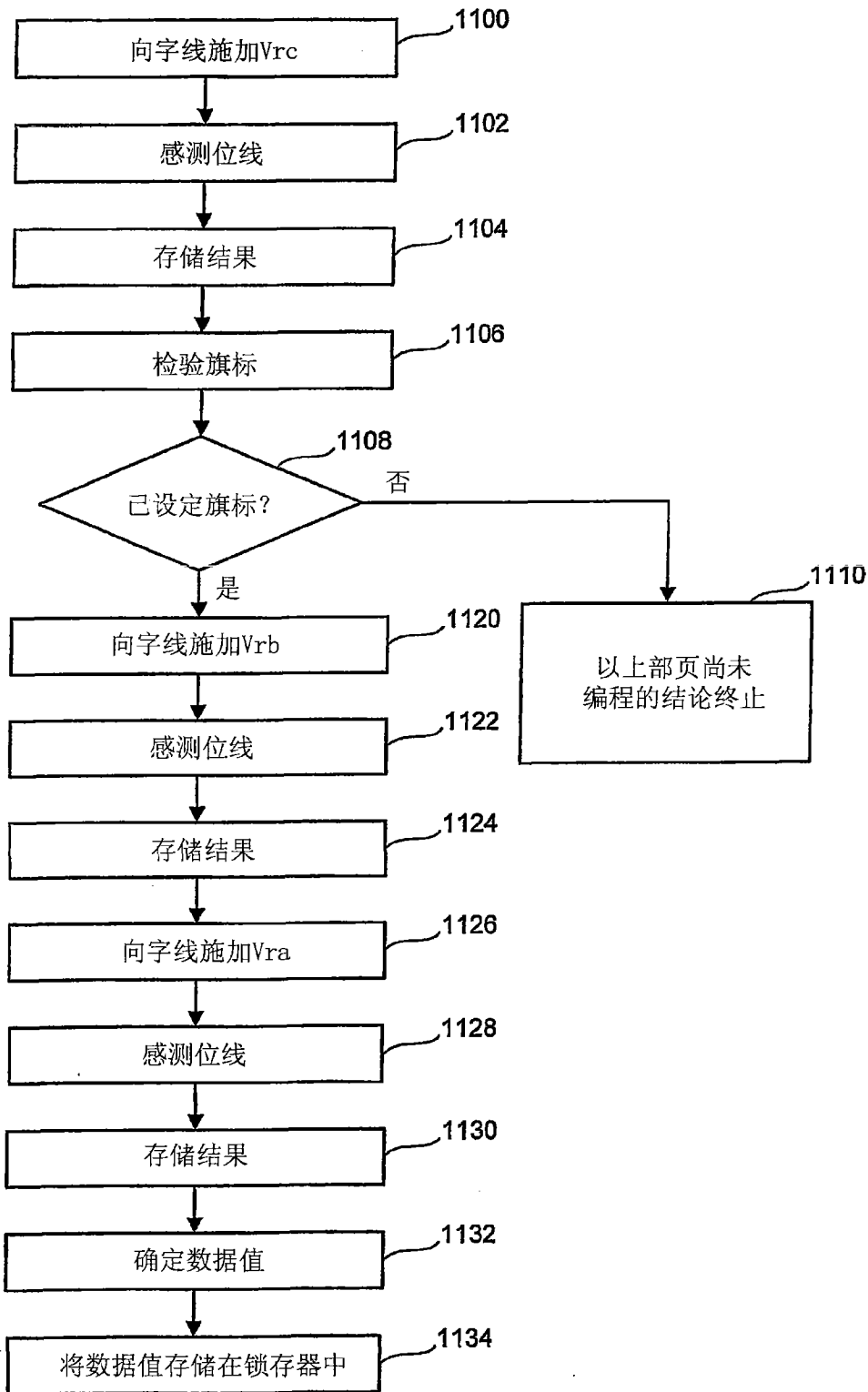


图28

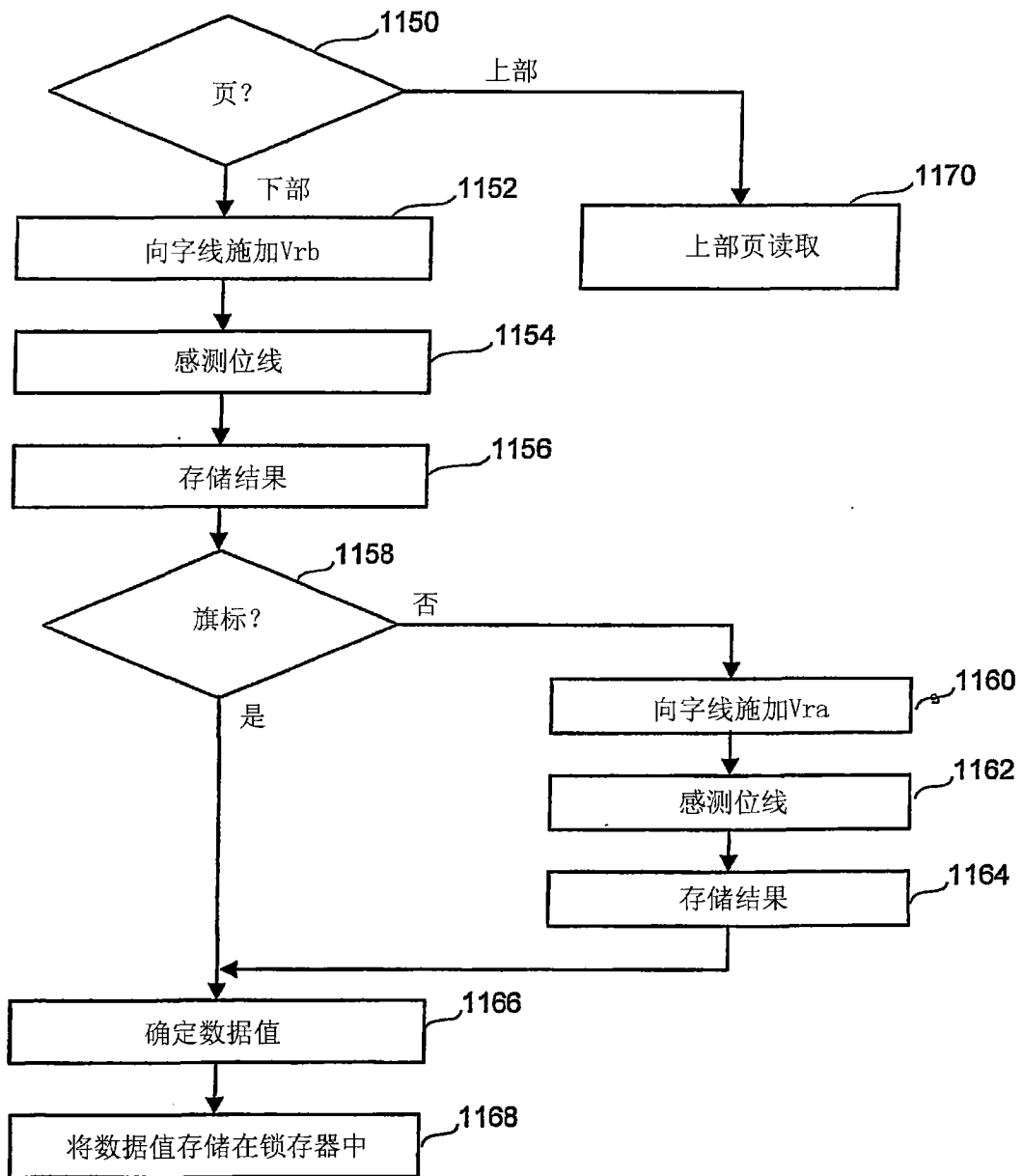


图29

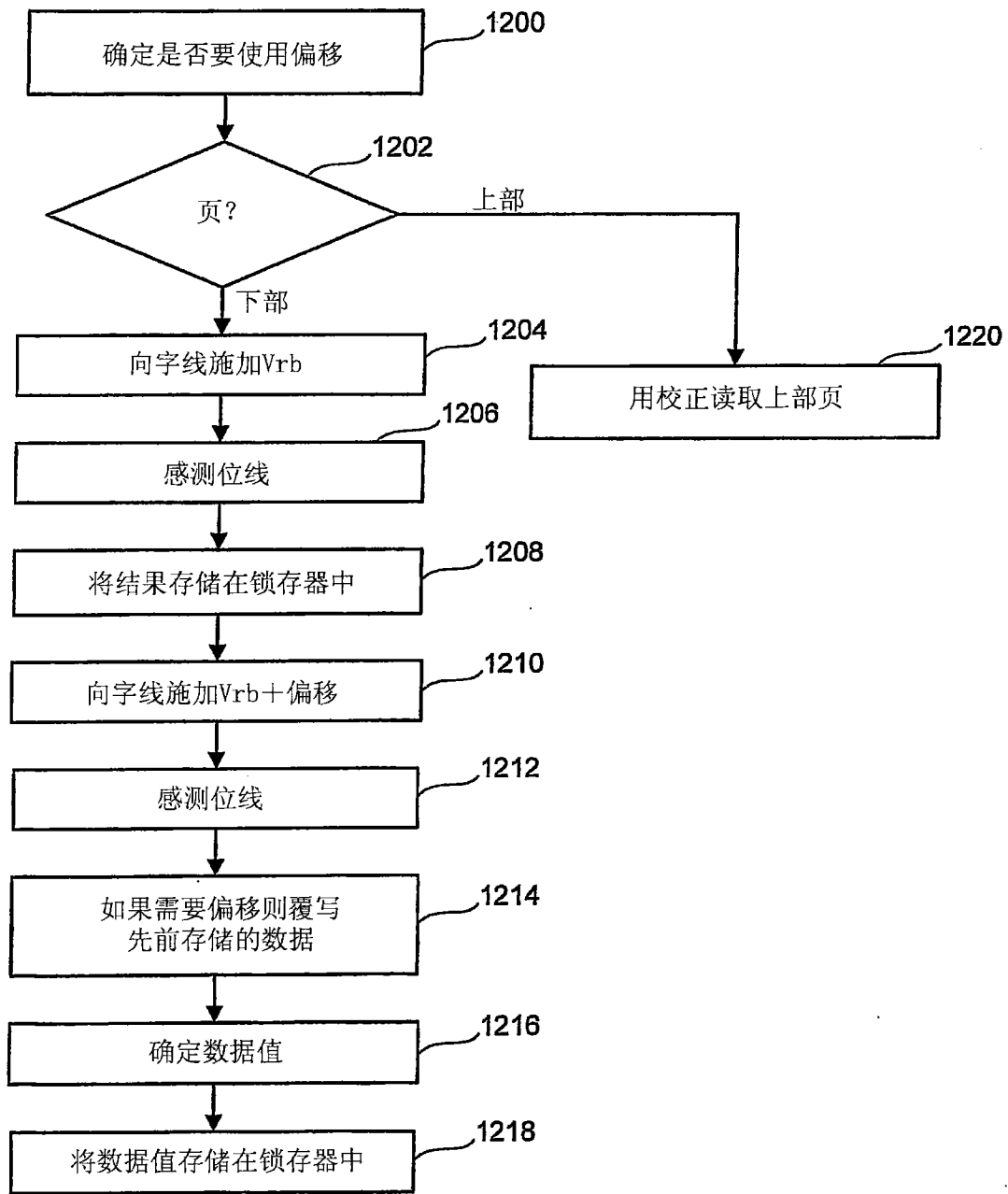


图30

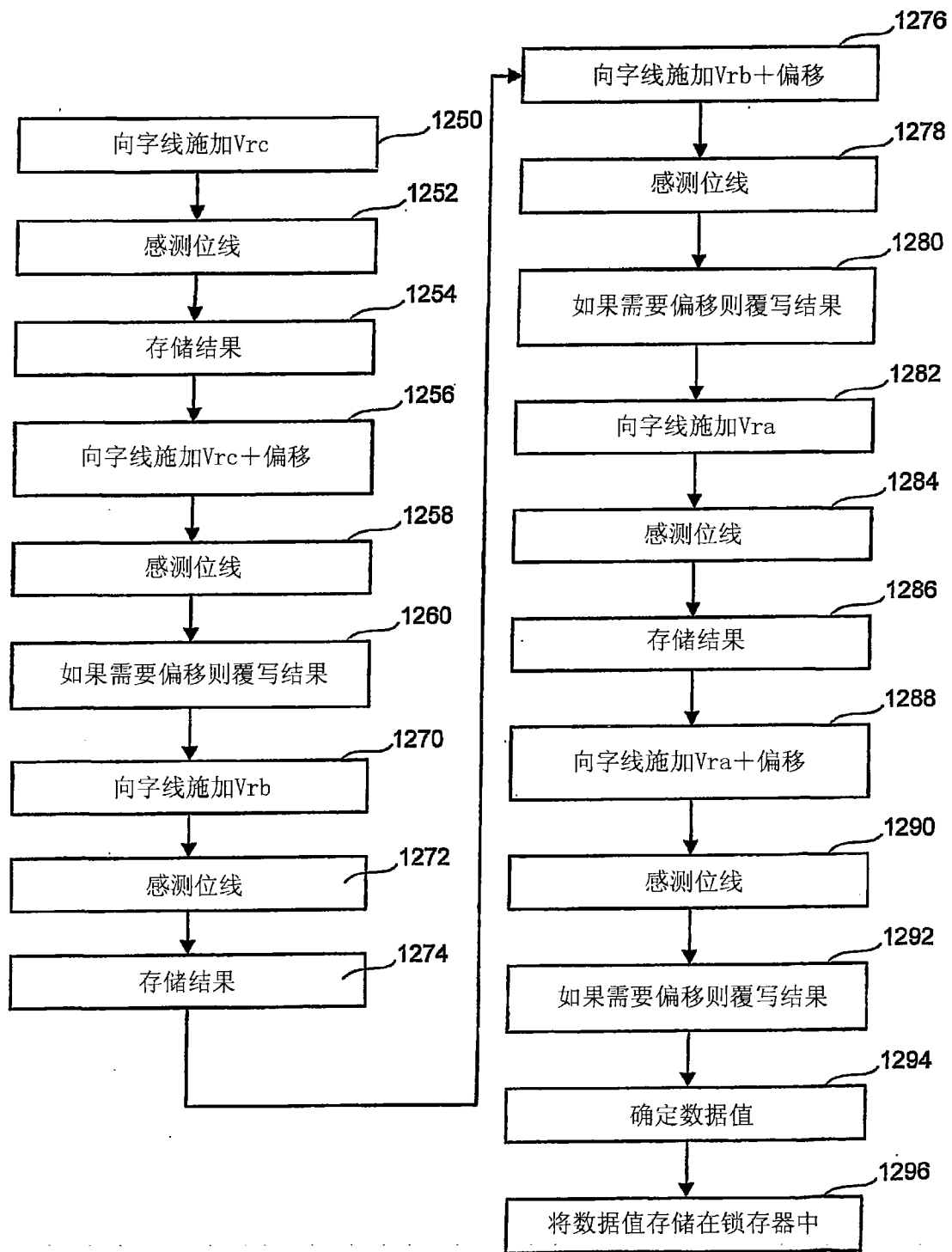


图32

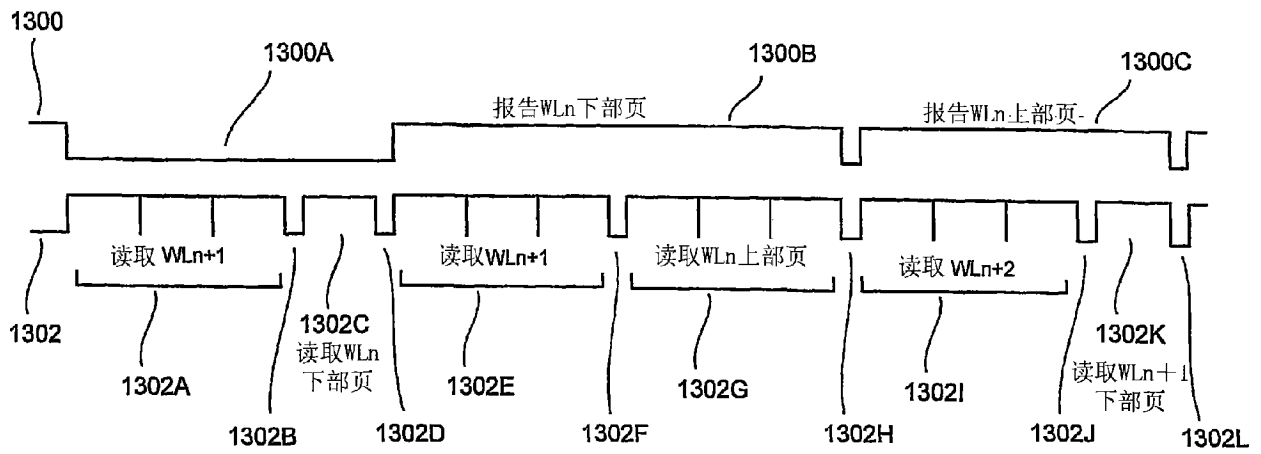


图32A



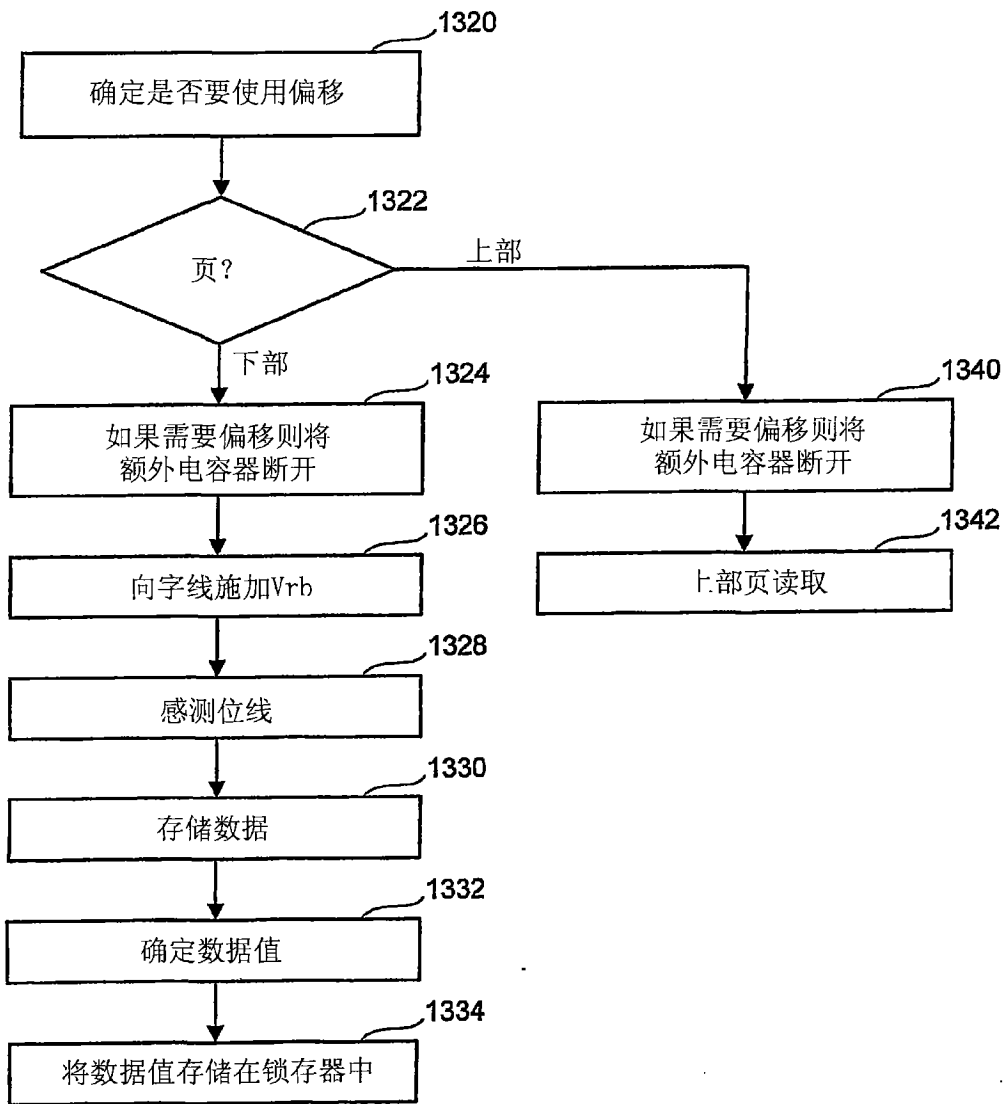


图34

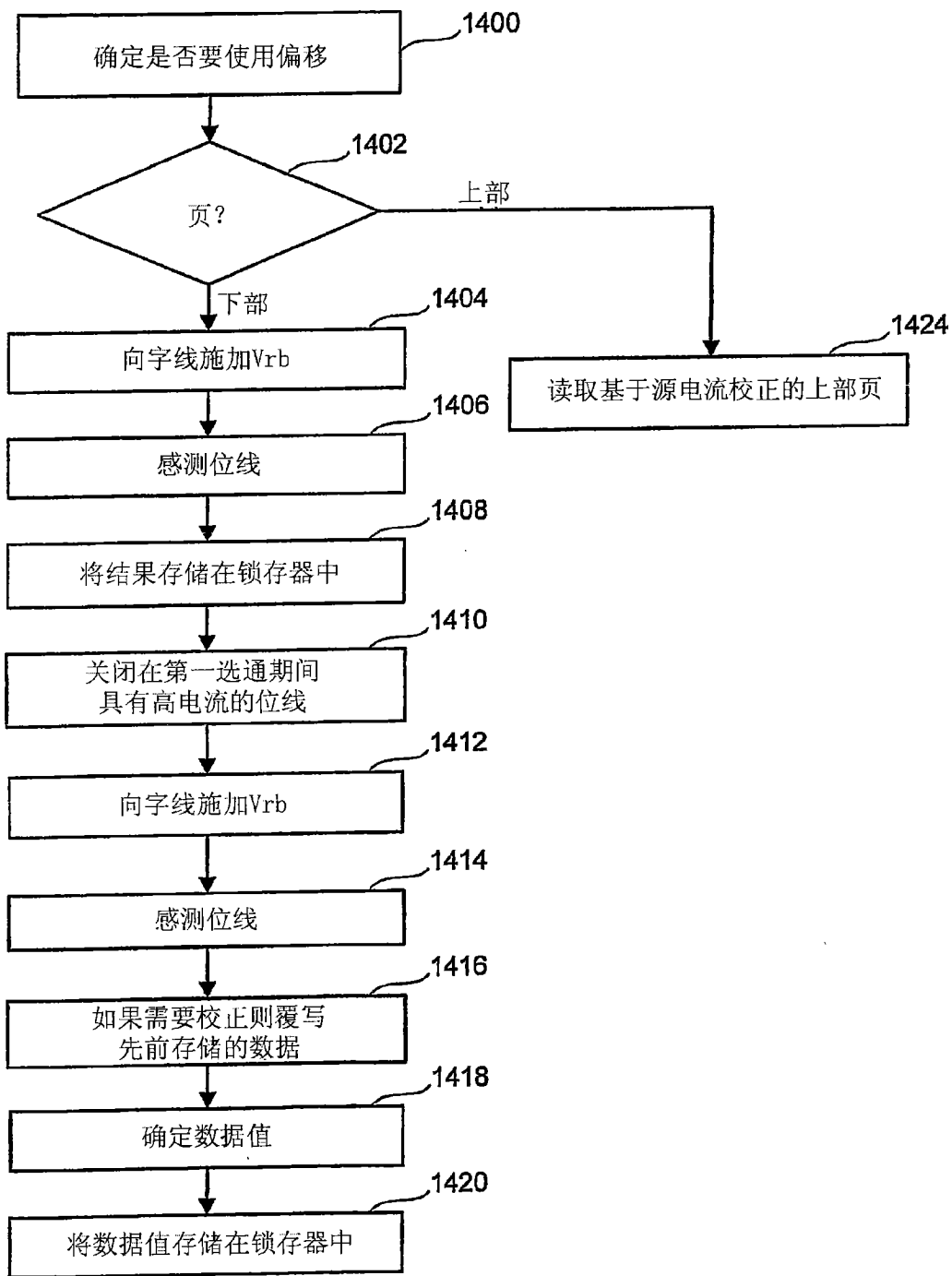


图35



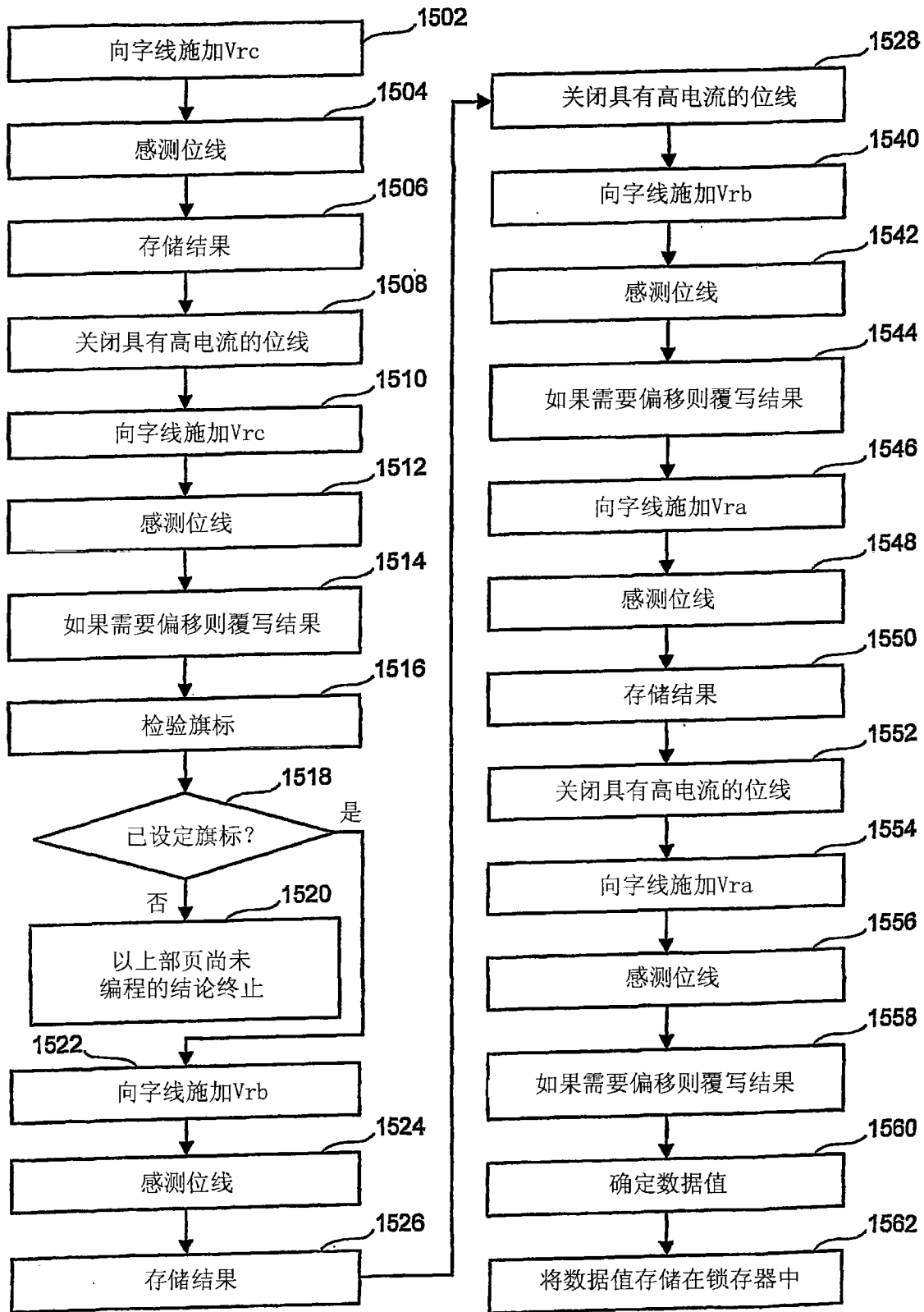


图36