(19)日本国特許庁(JP)　(12)特 許 公 報(B2)　(11)特許番号
特許第5429771号
(P5429771)
(45)発行日 平成26年2月26日(2014.2.26)　(24)登録日 平成25年12月13日(2013.12.13)

(51)Int.Cl.			F I		
C23C	**14/34**	**(2006.01)**	C23C	14/34	C
H01L	**21/285**	**(2006.01)**	C23C	14/34	U
H05H	1/46	(2006.01)	H01L	21/285	S
			H05H	1/46	R

請求項の数 3 (全 11 頁)

(21)出願番号 特願2008-137089 (P2008-137089)
(22)出願日 平成20年5月26日 (2008.5.26)
(65)公開番号 特開2009-280890 (P2009-280890A)
(43)公開日 平成21年12月3日 (2009.12.3)
審査請求日 平成23年3月11日 (2011.3.11)

(73)特許権者 000231464
株式会社アルバック
神奈川県茅ヶ崎市萩園２５００番地
(74)代理人 110000305
特許業務法人青莪
(72)発明者 堀下 芳邦
神奈川県茅ヶ崎市萩園２５００ 株式会社アルバック内
(72)発明者 松原 忍
神奈川県茅ヶ崎市萩園２５００ 株式会社アルバック内

審査官 若土 雅之

最終頁に続く

(54)【発明の名称】スパッタリング方法

(57)【特許請求の範囲】

【請求項１】

スパッタ室内で処理基板と対向させかつ所定の間隔を置いて並設した複数枚のターゲットのうち対をなすターゲット毎に電源を割り当てて設け、各電源が、直流電力供給部と発振部とを有して、直流電力供給部からの正負の直流出力端に接続した発振部のブリッジ回路の各スイッチング素子のオン、オフを切換えてバイポーラパルス状に電力供給し、各ターゲットをアノード電極、カソード電極に交互に切換え、アノード電極及びカソード電極間にグロー放電を生じさせてプラズマ雰囲気を形成し、各ターゲットをスパッタリングするスパッタリング方法において、

前記各電源に、直流電力供給部からの正負の直流出力間に出力短絡用スイッチング素子を設けて、各出力短絡用スイッチング素子の短絡状態で各電源の発振部の前記スイッチング素子のオン、オフの切換えを行うと共に、少なくとも１つの出力短絡用スイッチング素子の切換えタイミングを他の出力短絡用スイッチング素子の切換えタイミングとずらすことを特徴とするスパッタリング方法。

【請求項２】

前記各ターゲットへの電力投入を、前記ブリッジ回路の出力端と各ターゲットとの間を接続するブスバーを介して行うことを特徴とする請求項１記載のスパッタリング方法。

【請求項３】

前記一対のターゲット間の出力電流を検出し、この出力電流の絶対値が各ターゲットへ

の定常出力電流値を超えると、異常放電発生の前段現象として捕え、前記出力短絡用スイッチング素子によって各ターゲットへの出力を遮断して異常放電の消弧処理を行うことを特徴とする請求項１または請求項２記載のスパッタリング方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、ガラス等の処理基板表面に所定の薄膜を形成するためのスパッタリング方法、より詳しくは、対をなすターゲット毎にバイポーラパルス状に電力供給して各ターゲットをスパッタリングするスパッタリング方法に関する。

【背景技術】

【０００２】

従来、スパッタリング（以下、「スパッタ」という）法により、大面積の処理基板に対して効率よく薄膜形成するものとして、真空チャンバ内で処理基板に対向させて複数枚のターゲットを並設し、この並設したターゲットのうち、対をなすターゲット毎に割当てて複数台のバイポーラパルス電源を並列接続したスパッタ装置が知られている。そして、各バイポーラパルス電源を同期運転させつつ、各ターゲットに交互に極性をかえてバイポーラパルス状に電力投入（出力）し、各ターゲットをアノード電極、カソード電極に交互に切換え、アノード電極及びカソード電極間にグロー放電を生じさせてプラズマ雰囲気を形成し、各ターゲットをスパッタリングする（特許文献１）。

【０００３】

ここで、一般に、バイポーラパルス電源は、直流電力を供給する整流回路と、この整流回路の正負の出力端に接続され、４個のスイッチング素子からなるＭＯＳＦＥＴブリッジ回路とから構成されており、制御手段によって各スイッチング素子を適宜作動させ、対をなすターゲットに所定の周波数でパルス電圧を印加する。これにより、ターゲット表面に蓄積する電荷が反対の位相電圧を印加したとき打ち消され、安定的な放電が得られるという利点がある。

【特許文献１】特開２００５－２９０５５０号公報

【発明の開示】

【発明が解決しようとする課題】

【０００４】

しかしながら、上記のものでは、各ターゲットへの出力切換時にスイッチングノイズが発生し、このスイッチングノイズは、並列接続したバイポーラパルス電源の台数が増加するのに従いより顕著になる。大きなスイッチングノイズが発生すると、ターゲットへの投入電力波形が乱れ、その結果、ターゲットに精度よく投入電力できない虞がある。

【０００５】

そこで、本発明の課題は、上記点に鑑み、簡単な制御でスイッチングノイズの影響を受け難くしてターゲットに精度よく投入電力でき、ひいては良好な薄膜形成が可能となるスパッタリング方法を提供することにある。

【課題を解決するための手段】

【０００６】

上記課題を解決するために、本発明のスパッタリング方法は、スパッタ室内で処理基板と対向させかつ所定の間隔を置いて並設した複数枚のターゲットのうち対をなすターゲット毎に電源を割り当てて設け、各電源が、直流電力供給部と発振部とを有して、直流電力供給部からの正負の直流出力端に接続した発振部のブリッジ回路の各スイッチング素子のオン、オフを切換えてバイポーラパルス状に電力供給し、各ターゲットをアノード電極、カソード電極に交互に切換え、アノード電極及びカソード電極間にグロー放電を生じさせてプラズマ雰囲気を形成し、各ターゲットをスパッタリングするスパッタリング方法において、前記各電源に、直流電力供給部からの正負の直流出力間に出力短絡用スイッチング素子を設けて、各出力短絡用スイッチング素子の短絡状態で各電源の発振部の前記スイッチング素子のオン、オフの切換えを行うと共に、少なくとも１つの出力短絡用スイッチン

グ素子の切換えタイミングを他の出力短絡用スイッチング素子の切換えタイミングとずらすことを特徴とする。

【０００７】
本発明によれば、出力短絡用スイッチング素子を設けたことで、各ターゲットへの出力切換時に作動するスイッチング素子の数を減らすことができることと、出力短絡用スイッチング素子の切換えのタイミングをずらしたこととが相俟って、同時に大きなスイッチングノイズが発生することが防止できる。その結果、並列接続するバイポーラパルス電源の台数が増加しても、対をなす各ターゲットに精度よく投入電力でき、良好な薄膜形成が可能になる。
【０００８】
また、上記構成を採用することで、スイッチング損失を１個の出力短絡用スイッチング素子のみで発生させることができ、その耐久性を向上できることに加え、出力短絡用スイッチング素子のオン、オフの切換えのタイミングのみを制御すれば良いため、その制御も容易である。
【０００９】
また、前記各ターゲットへの電力投入を、前記ブリッジ回路の出力端と各ターゲットとの間を接続するブスバーを介して行うようにすれば、例えば導線を多数本撚り合わせてなる公知の交流電源ケーブルを用いる場合と比較してノイズの影響を受け難くできるため、より精度よく一対のターゲットに電力投入できる。
【００１０】
尚、前記一対のターゲット間の出力電流を検出し、この出力電流の絶対値が各ターゲットへの定常出力電流値を超えると、異常放電発生の前段現象として捕え、前記出力短絡用スイッチング素子によって各ターゲットへの出力を遮断して異常放電の消弧処理を行うようにすれば、出力中の２個のスイッチング素子を制御して異常放電の消弧処理を行う場合より応答性よくその制御ができ、この処理中でもブリッジ回路の各スイッチング素子にはスイッチング損失が殆ど発生しないため、一層耐久性を向上できる。
【発明の効果】
【００１１】
以上説明したように、本発明のスパッタリング方法では、簡単な制御でスイッチングノイズの影響を受け難くでき、ターゲットに精度よく投入電力できるという効果を奏する。
【発明を実施するための最良の形態】
【００１２】
図１を参照して、１は、本発明のスパッタリング方法を実施するスパッタリング装置である。スパッタリング装置１はインライン式のものであり、ロータリーポンプ、ターボ分子ポンプなどの真空排気手段（図示せず）を介して所定の真空度に保持できる真空チャンバ１１を有し、スパッタ室１１ａを構成する。真空チャンバ１１の上部には基板搬送手段２が設けられている。この基板搬送手段２は、公知の構造を有し、例えば、処理基板Ｓが装着されるキャリア２１を有し、図示しない駆動手段を間欠駆動させて、後述するターゲットに対向した位置に処理基板Ｓを順次搬送する。真空チャンバ１１の下側には、カソード電極Ｃが配置されている。
【００１３】
カソード電極Ｃは、処理基板Ｓに対向して配置された８枚のターゲット３１ａ乃至３１ｈを有する。各ターゲット３１ａ乃至３１ｈは、Ａｌ、Ｔｉ、Ｍｏ、インジウム及び錫の酸化物（ＩＴＯ）やインジウム及び錫の合金など、処理基板Ｓ表面に形成しようとする薄膜の組成に応じて公知の方法で作製され、例えば略直方体（上面視において長方形）など同形状に形成されている。各ターゲット３１ａ乃至３１ｈは、スパッタリング中、ターゲット３１ａ乃至３１ｈを冷却するバッキングプレート３２に、インジウムやスズなどのボンディング材を介して接合され、未使用時のスパッタ面３１１が処理基板Ｓに平行な同一

平面上に位置するように等間隔で並設されている。各ターゲット３１ａ乃至３１ｈは、各ターゲット３１ａ乃至３１ｈは相互に隣接する２個のターゲットが対をなし、対をなすターゲット毎に割当てて４個のバイポーラパルス電源Ｅ１乃至Ｅ４がそれぞれ接続されている。

【００１４】

バイポーラパルス電源Ｅ１乃至Ｅ４は、同一構造を有し、図２に示すように、直流電力の供給を可能とする直流電力供給部４と、各ターゲット３１ａ、３１ｂ（３１ｃと３１ｄ、３１ｅと３１ｆ、３１ｇと３１ｈ）への出力（電力供給）を制御する発振部５とから構成される。直流電力供給部４は、その作動を制御する第１のＣＰＵ回路４１と、商用の交流電力（３相ＡＣ２００Ｖ又は４００Ｖ）が入力される入力部４２と、入力された交流電力を整流して直流電力に変換する６個のダイオード４３ａからなる整流回路４３とを有し、正負の直流電力ライン４４ａ、４４ｂを介して直流電力を発振部５に出力する。

【００１５】

また、直流電力供給部４には、直流電力ライン４４ａ、４４ｂ間に設けたスイッチングトランジスタ４５と、第１のＣＰＵ回路４１に通信自在に接続され、スイッチングトランジスタ４５のオン、オフを制御する出力発振用のドライバー回路４６とが設けられている。直流電力ライン４４ａ、４４ｂ間には、その電流、電圧を検出する検出回路４７ａが接続され、検出回路４７ａで検出された電流、電圧は、ＡＤ変換回路４７ｂを介して第１のＣＰＵ回路４１に入力されるようになっている。

【００１６】

他方、発振部５には、第１のＣＰＵ回路４１に通信自在に接続された第２のＣＰＵ回路５１と、正負の直流電力ライン４４ａ、４４ｂ間に接続された４個の第１乃至第４のスイッチングトランジスタＳＷ１乃至ＳＷ４からなるブリッジ回路５２と、第２のＣＰＵ回路５１に通信自在に接続され、各スイッチングトランジスタＳＷ１乃至ＳＷ４のオン、オフの切換えを制御する出力発振用のドライバー回路５３とが設けられている。

【００１７】

そして、出力発振用のドライバー回路５３によって、例えば第１及び第４のスイッチングトランジスタＳＷ１、ＳＷ４と、第２及び第３のスイッチングトランジスタＳＷ２、ＳＷ３とのオン、オフのタイミングが反転するように各スイッチングトランジスタＳＷ１乃至ＳＷ４の切換えを制御すると、ブリッジ回路５２からの出力ライン５４ａ、５４ｂを介して一対のターゲット３１ａ、３１ｂにバイポーラパルス状に電力供給できる。出力電圧の波形は、略方形波や略正弦波である。出力ライン５４ａ、５４ｂには、一対のターゲット３１ａ、３１ｂへの出力電流及び出力電圧を検出する検出回路５５が接続され、この検出回路５５で検出された出力電流及び出力電圧は、ＡＤ変換回路５６を介して第２のＣＰＵ回路５１に入力されるようになっている。

【００１８】

ここで、上記構成のバイポーラパルス電源Ｅ１乃至Ｅ４において、直流電力供給部４から直流電力を出力した状態で各スイッチングトランジスタＳＷ１乃至ＳＷ４を同時に切換えたのでは、それらのスイッチング損失が多大となるばかりか、スイッチングノイズの影響を受けてターゲット３１ａ乃至３１ｈへの投入電力波形が乱れ、良好な薄膜形成が阻害される虞がある。

【００１９】

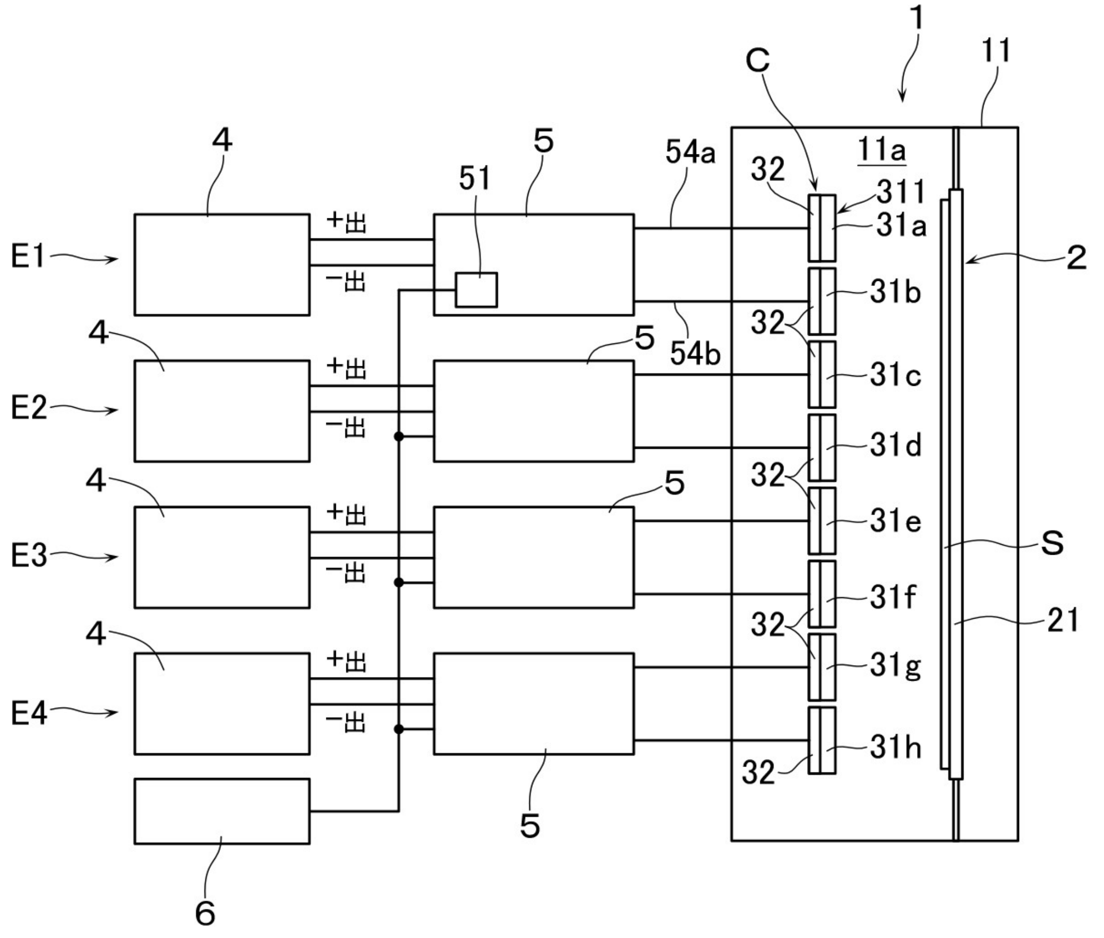
本実施の形態では、直流電力供給部４からの正負の直流電力ライン４４ａ、４４ｂ間に、出力発振用のドライバー回路５３によってオン、オフの切換が制御される出力短絡用スイッチングトランジスタＳＷ０を設け、出力短絡用スイッチトランジスタＳＷ０の短絡状態（ターゲット３１ａ、３１ｂへの出力が遮断される状態）で、ブリッジ回路５２の各スイッチングトランジスタＳＷ１乃至ＳＷ４の切換えを行うようにした。それに加えて、各バイポーラパルス電源Ｅ１乃至Ｅ４の第２のＣＰＵ回路５１に通信自在に接続されたＣＰＵからなる統括制御手段６を設け、この統括制御手段６によって、出力短絡用スイッチング素子ＳＷ０の切換えのタイミングを、各バイポーラパルス電源Ｅ１乃至Ｅ４、つまり、

各ブリッジ回路５２毎に相互にずらすこととした。
【００２０】
　即ち、図３に示すように、各バイポーラパルス電源Ｅ１乃至Ｅ４の出力短絡用スイッチングトランジスタＳＷ０の短絡状態で、各バイポーラパルス電源Ｅ１乃至Ｅ４毎に、第１及び第４のスイッチングトランジスタＳＷ１、ＳＷ４と、第２及び第３のスイッチングトランジスタＳＷ２、ＳＷ３とのオン、オフのタイミングが反転すると共に、相互に隣合うターゲット３１ａ乃至３１ｈへの極性が反転するように各スイッチングトランジスタＳＷ１乃至ＳＷ４を作動させた後、統括制御手段６からの出力でスイッチングトランジスタＳＷ０の短絡を所定の時間解除し、対をなすターゲットのうち一方３１ａ、３１ｃ、３１ｅ、３１ｇにそれぞれ出力される。
【００２１】
　次いで、統括制御手段６からの出力で各バイポーラパルス電源Ｅ１乃至Ｅ４の出力短絡用スイッチングトランジスタＳＷ０を同時または順次短絡し、各スイッチングトランジスタＳＷ１乃至ＳＷ４を切換えた後に、統括制御手段６からの出力でスイッチングトランジスタＳＷ０の短絡を同時または順次解除し、他方のターゲット３１ｂ、３１ｄ、３１ｆ、３１ｈにそれぞれ出力される。そして、上記制御を繰り返すことで、各ターゲット３１ａ乃至３１ｈに所定の周波数でバイポーラパルス状に電力供給されて同期運転される。なお、出力短絡用スイッチング素子ＳＷ０の切換えタイミングをずらす場合、各バイポーラパルス電源Ｅ１乃至Ｅ４の各出力短絡用スイッチングトランジスタＳＷ０のうち少なくとも１個の切換えタイミングがずれていればよく、この場合、他の各出力短絡用スイッチングトランジスタＳＷ０は、同時または相互にずらしてもよい。また、例えば、各バイポーラパルス電源Ｅ１乃至Ｅ４の各出力短絡用スイッチングトランジスタＳＷ０を複数組に分け、組となるものを同時に切り換えるようにしてもよい。
【００２２】
　これにより、出力短絡用スイッチングトランジスタＳＷ０を設け、各ターゲット３１ａ乃至３１ｈへの出力切換時に作動するスイッチング素子の数を減らしたことと、出力短絡用スイッチングトランジスタＳＷ０の切換えのタイミングをブリッジ回路５２毎に相互にずらすこととが相俟って、同時に大きなスイッチングノイズが発生することを防止できる。その結果、並列接続するバイポーラパルス電源Ｅ１乃至Ｅ４の台数が多いときでも、対をなす各ターゲット３１ａ乃至３１ｈに精度よく投入電力でき、良好な薄膜形成が可能になる。
【００２３】
　尚、ノイズの影響を受けずに良好な電力供給を行うため、直流電力供給部４と分けた構成した発振部５を真空チャンバ１１に近接させて設けると共に、ブリッジ回路５２の出力端とターゲット３１ａ乃至３１ｈとの間を接続する出力ライン５４ａ、５４ｂとしてブスバーを用いることが望ましい。ブスバーとしては、導電率が高い材料、例えば、Ｃｕ、Ａｕ、Ａｇやアルミ合金製であり、発振部５とターゲット３１ａ乃至３１ｈとの間の間隔の誤差を吸収できるように伸縮自在に形成している。これにより、例えば導線を多数本撚り合わせてなる公知の交流電源ケーブルを用いる場合と比較してノイズの影響を受け難くできるため、より精度よく一対のターゲット３１ａ乃至３１ｈに電力投入できる。
【００２４】
　そして、基板搬送手段２によって処理基板Ｓがセットされたキャリア２１を、並設したターゲット３１ａ乃至３１ｈと対向した位置に搬送し、所定の圧力（例えば、10^{-5}Ｐａ）下で、図示しないガス導入手段を介してスパッタガス（や反応ガス）を導入し、ターゲット３１ａ乃至３１ｈにバイポーラパルス電源Ｅ１乃至Ｅ４を介して電力投入し、各ターゲット３１ａ乃至３１ｈをアノード電極、カソード電極に交互に切換え、アノード電極及びカソード電極間にグロー放電を生じさせてプラズマ雰囲気が形成され、各ターゲッ

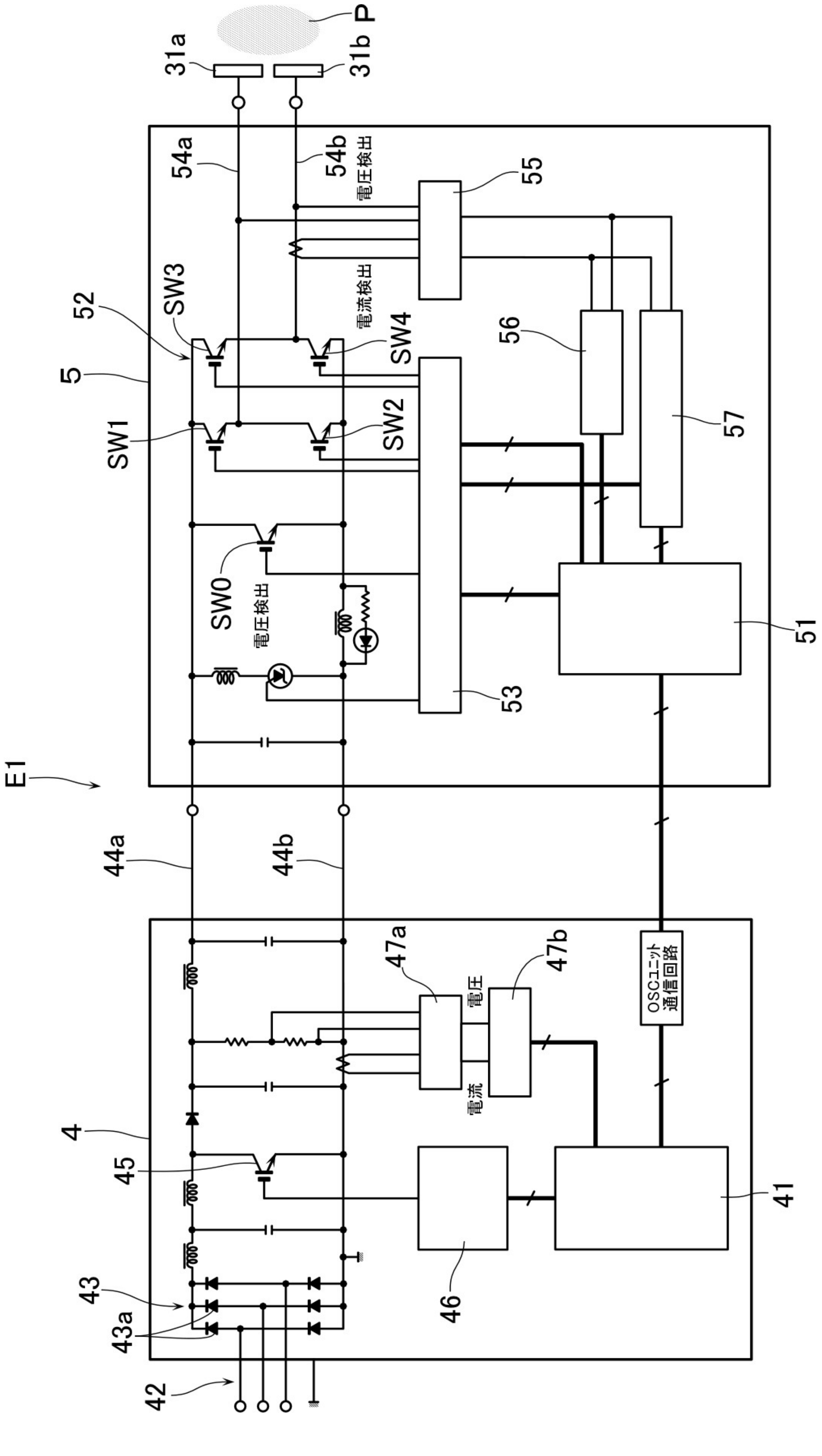
ト３１ａ乃至３１ｈがスパッタリングされて処理基板Ｓ表面に所定の薄膜が形成される。
【００２５】
　ところで、上記のようにグロー放電中では、何らかの原因によりアーク放電が発生する場合がある。アーク放電が発生すると、プラズマのインピーダンスが急激に小さくなるため、急激に電圧低下が起こり、それに伴って電流が増加する。このため、本実施の形態では、検出回路５５で検出された出力電流及び出力電圧が入力されるアーク検出制御回路５７を第２のＣＰＵ回路５１に通信自在に設け（図１参照）、いずれか１台のバイポーラパルス電源Ｅ１乃至Ｅ４において出力電流が一定の範囲を超えて変化すると、アーク放電の前段現象（マイクロアーク）として捉え、そのバイポーラパルス電源Ｅ１乃至Ｅ４によって異常放電の消弧処理を行うことでアーク電流の大きなアーク放電の発生を抑制している。
【００２６】
　つまり、検出回路５５で検出した出力電流が、定常出力電流値を超えたとき、アーク検出制御回路５７によってアーク放電発生の前段現状として捕え、第２のＣＰＵ回路５１及びアーク検出制御回路５７を介して出力発振用のドライバー回路５３によって出力短絡用スイッチングトランジスタＳＷ０が短絡（オン）される。出力短絡用スイッチングトランジスタＳＷ０が短絡（オン）されたとき、ブリッジ回路５２の各スイッチングトランジスタＳＷ１乃至ＳＷ４は、いずれか一方のターゲット３１ａまたは３１ｂ（３１ｃまたは３１ｄ、３１ｅまたは３１ｆ、３１ｇまたは３１ｈ）への出力状態に保持されているが、スイッチングトランジスタＳＷ０が短絡されることでターゲット３１ａ乃至３１ｈへの出力が遮断される（マイクロアーク処理）。
【００２７】
　次いで、所定時間経過後（数μＳ～数百μＳ）に、出力短絡用のスイッチングトランジスタＳＷ０の短絡を解除（オフ）し、各スイッチングトランジスタＳＷ１乃至ＳＷ４の作動状態に応じていずれか一方のターゲットへの出力を再開する。このとき、アーク検出制御回路５７によって出力電流が定常出力電流値を超えているかを判断し、定常出力電流値を未だ超えていれば、出力発振用ドライバー回路５３によって出力短絡用スイッチングトランジスタＳＷ０を再度短絡する。
【００２８】
　この一連のマイクロアーク処理を複数回繰り返しても出力電流が定常出力電流値を超えた状態のままであるか、または、出力電流が予め設定された所定値を超えると、スプラッシュやパーティクルの発生を誘発するアーク放電が発生すると判断し、第１のＣＰＵ回路４１からの制御によってスイッチングトランジスタ４５をオンし、直流電力供給部４からの出力を停止する（ハードアーク処理）。この処理の間、ブリッジ回路５２の各スイッチングトランジスタＳＷ１乃至ＳＷ４にはスイッチング損失が殆ど発生しないため、その耐久性を一層向上できる。
【図面の簡単な説明】
【００２９】
【図１】本発明のスパッタリング法を実施するスパッタリング装置の構成を概略的に示す図。
【図２】図１に示すスパッタリング装置に用いるバイポーラパルス電源の構成を概略的に説明する図。
【図３】スイッチング素子の作動のタイミングを説明する図。
【図４】各バイポーラパルス電源でのマイクロアーク処理を説明する図。
【符号の説明】
【００３０】
１　スパッタリング装置
２　基板搬送手段
３１ａ乃至３１ｈ　ターゲット
４　直流電力供給部

５　発振部
５２　ブリッジ回路
５４ａ、５４ｂ　ブスバー
６　統括制御手段
Ｅ１乃至Ｅ４　バイポーラパルス電源
Ｓ　処理基板
ＳＷ０乃至ＳＷ４　スイッチング素子

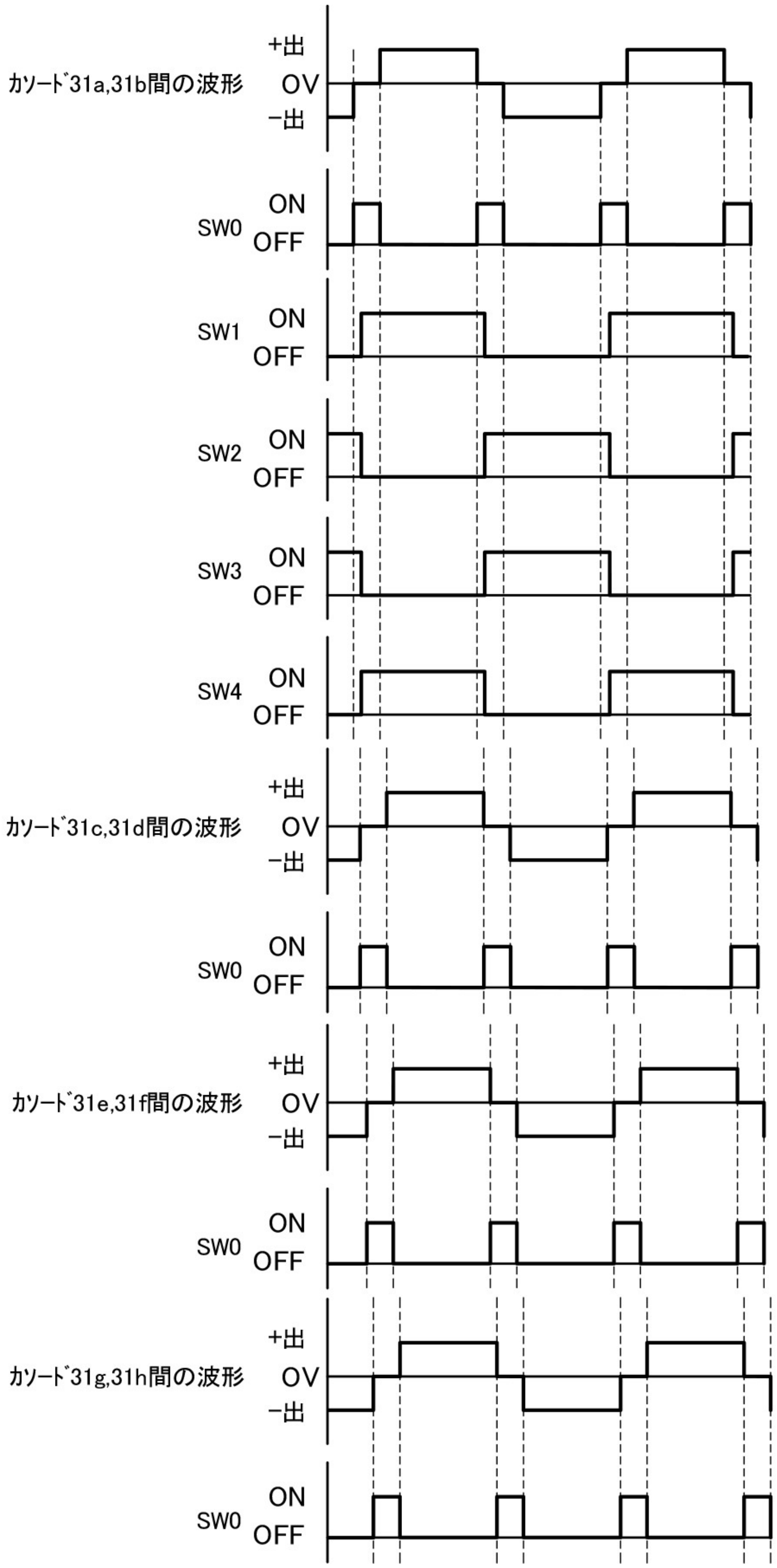
【図１】



【図２】

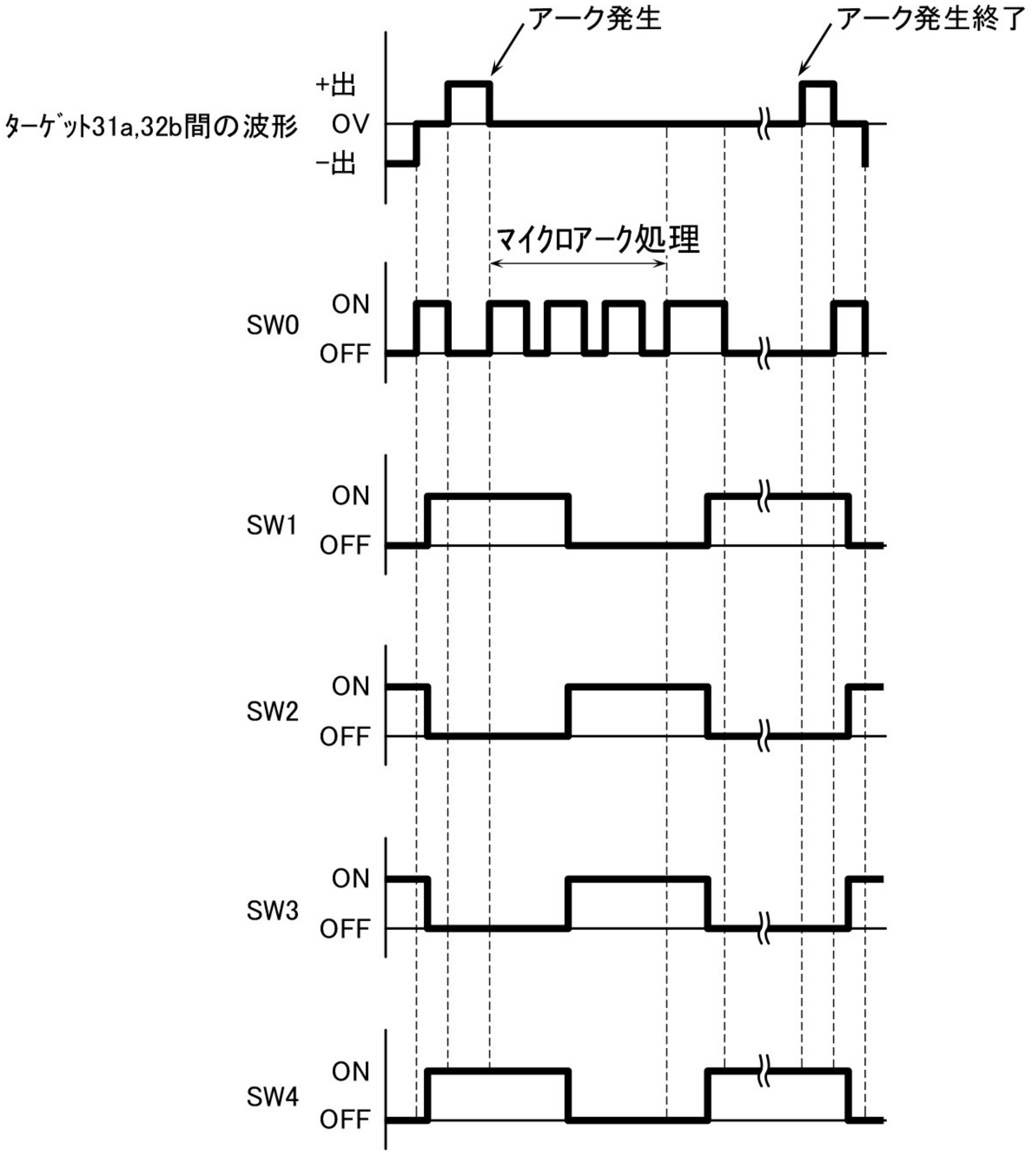

P
31a
31b
54a
54b
電圧検出
55
電流検出
52
SW3
SW4
5
SW1
SW2
56
57
SW0
電圧検出
51
53
E1
44a
44b
47a
47b
電圧
電流
OSCユニット
通信回路
4
45
41
46
43
43a
42

【図３】



+出
カソード31a,31b間の波形
OV
−出
SW0
ON
OFF
SW1
ON
OFF
SW2
ON
OFF
SW3
ON
OFF
SW4
ON
OFF
+出
カソード31c,31d間の波形
OV
−出
SW0
ON
OFF
+出
カソード31e,31f間の波形
OV
−出
SW0
ON
OFF
+出
カソード31g,31h間の波形
OV
−出
SW0
ON
OFF

【図４】


アーク発生
アーク発生終了
+出
ターゲット31a,32b間の波形
OV
−出
マイクロアーク処理
SW0
ON
OFF
SW1
ON
OFF
SW2
ON
OFF
SW3
ON
OFF
SW4
ON
OFF

フロントページの続き

(56)参考文献　特開２００５－２９０５５０（ＪＰ，Ａ）
特開２００７－１８６７２６（ＪＰ，Ａ）
特開２００６－２４９５０６（ＪＰ，Ａ）
特表２００８－５３３６８７（ＪＰ，Ａ）
特開平０９－１７２７８７（ＪＰ，Ａ）
特表平１１－１４６６５９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｃ２３Ｃ　１４／００－１４／５８
Ｈ０１Ｌ　２１／２８５
Ｈ０５Ｈ　１／４６