

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4727018号
(P4727018)

(45) 発行日 平成23年7月20日(2011.7.20)

(24) 登録日 平成23年4月22日(2011.4.22)

(51) Int.Cl.

F 1

GO2F	1/1368	(2006.01)	GO2F	1/1368
GO2F	1/133	(2006.01)	GO2F	1/133 550
GO2F	1/1335	(2006.01)	GO2F	1/1335 500
GO9F	9/30	(2006.01)	GO9F	9/30 338
HO1L	21/336	(2006.01)	GO9F	9/30 339Z

請求項の数 8 (全 40 頁) 最終頁に続く

(21) 出願番号 特願2000-53470 (P2000-53470)
 (22) 出願日 平成12年2月29日 (2000.2.29)
 (65) 公開番号 特開2000-321603 (P2000-321603A)
 (43) 公開日 平成12年11月24日 (2000.11.24)
 審査請求日 平成19年2月27日 (2007.2.27)
 (31) 優先権主張番号 特願平11-59455
 (32) 優先日 平成11年3月5日 (1999.3.5)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 村上 智史
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 田中 幸夫
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】アクティブマトリクス型表示装置

(57) 【特許請求の範囲】

【請求項 1】

基板上に形成された複数のソース信号線と、
 前記基板上に形成された複数のゲート信号線と、
 前記基板上に形成された複数の画素トランジスタと、
 前記複数の画素トランジスタ上に形成された遮光性を有する被膜と、
 前記遮光性を有する被膜上の前記画素トランジスタに電気的に接続された画素電極と、
 前記画素電極と前記遮光性を有する被膜との間に設けられた誘電体と、を有し、
 前記画素電極と、前記遮光性を有する被膜と、前記誘電体とで容量が形成され、
 前記複数の画素トランジスタは前記ソース信号線と前記ゲート信号線に電気的に接続され、
 前記遮光性を有する被膜はフローティングになっており、

前記複数のソース信号線1ラインごとに極性が逆の信号を印加し、前記複数のソース信号線のそれぞれに印加される前記信号の極性を1フレーム期間ごとに反転させることを特徴とするアクティブマトリクス型表示装置。

【請求項 2】

基板上に形成された一定の基準電位に保たれたコモン線と、
 前記コモン線上の複数のソース信号線と、
 前記コモン線上の複数のゲート信号線と、
 前記コモン線上の複数の画素トランジスタ及び前記複数の画素トランジスタに電気的に

10

20

接続された画素電極を有する画素マトリクス部と、
前記複数の画素トランジスタ上に形成された遮光性を有する被膜と、
前記画素電極と前記遮光性を有する被膜との間に設けられた第1の誘電体と、
前記遮光性を有する被膜と前記コモン線との間に設けられた第2の誘電体と、
 を有し、
前記画素電極と、前記遮光性を有する被膜と、前記第1の誘電体とで第1の容量が形成され、
前記遮光性を有する被膜と、前記コモン線と、前記第2の誘電体とで第2の容量が形成され、
 前記複数の画素トランジスタは前記ソース信号線と前記ゲート信号線に電気的に接続され、
 前記遮光性を有する被膜はフローティングになっており、
 前記複数のソース信号線1ラインごとに極性が逆の信号を印加し、前記複数のソース信号線のそれぞれに印加される前記信号の極性を1フレーム期間ごとに反転させることを特徴とするアクティブマトリクス型表示装置。 10

【請求項3】
第1の基板上に形成された一定の基準電位に保たれたコモン線と、
前記コモン線上の複数のソース信号線と、
前記コモン線上の複数のゲート信号線と、
前記コモン線上の複数の画素トランジスタ及び前記複数の画素トランジスタに電気的に接続された画素電極を有する画素マトリクス部と、
前記複数の画素トランジスタ上に形成された第1の遮光性を有する被膜と、
前記画素電極と前記第1の遮光性を有する被膜との間に設けられた第1の誘電体と、
前記第1の遮光性を有する被膜と前記コモン線との間に設けられた第2の誘電体と、
 ソース信号線駆動回路と、
第2の基板上に形成された第2の遮光性を有する被膜と、
 を有し、
前記画素電極と、前記第1の遮光性を有する被膜と、前記第1の誘電体とで第1の容量が形成され、
前記第1の遮光性を有する被膜と、前記コモン線と、前記第2の誘電体とで第2の容量が形成され、
前記第1の遮光性を有する被膜と前記第2の遮光性を有する被膜とが対向するように配置され、
 前記複数の画素トランジスタは前記ソース信号線と前記ゲート信号線に電気的に接続され、
 前記第1の遮光性を有する被膜はフローティングになっており、
 前記ソース信号線駆動回路はサンプリング回路を有し、
 前記第2の遮光性を有する被膜は、前記第1の遮光性を有する被膜の一部及び前記サンプリング回路と重なり、 30

前記複数のソース信号線1ラインごとに極性が逆の信号を印加し、前記複数のソース信号線のそれぞれに印加される前記信号の極性を1フレーム期間ごとに反転させることを特徴とするアクティブマトリクス型表示装置。 40

【請求項4】
 請求項2又は請求項3において、
 前記第2の誘電体は前記画素マトリクス部と重ならないことを特徴とするアクティブマトリクス型表示装置。

【請求項5】
 請求項1乃至請求項4のいずれか一項において、
 対向電極と、
 前記画素電極と前記対向電極との間に挟まれた液晶と、を有することを特徴とするアク 50

ティプマトリクス型表示装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

前記遮光性を有する被膜は、アルミニウム、チタン、又はタンタルを含む膜であること
を特徴とするアクティブマトリクス型表示装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項に記載の前記アクティブマトリクス型表示装置を
備えたプロジェクター。

【請求項 8】

請求項 1 乃至請求項 6 のいずれか一項に記載の前記アクティブマトリクス型表示装置を 10
備えた電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本願発明は絶縁表面を有する基板上に薄膜トランジスタ（以下、TFTという）で構成さ
れた回路を有する半導体装置およびその作製方法に関する。特に本願発明は、画素マトリ
クス回路とその周辺に設けられる駆動回路を同一基板上に設けた液晶表示装置に代表され
る電気光学装置、および電気光学装置を搭載した電子機器に関する。尚、本願明細書にお
いて半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記電気光
学装置およびその電気光学装置を搭載した電子機器も半導体装置に含む。

20

【0002】

【従来の技術】

最近、安価なガラス基板上に薄膜トランジスタ（TFT）を作製する技術が急速に発達し
てきている。その理由は、アクティブマトリクス型液晶表示装置の需要が高まったことにある。
アクティブマトリクス型液晶表示装置は、マトリクス状に配置された数十～数百万個もの各画素のそれぞれに薄膜トランジスタを配置し、各画素電極に入り出す電荷を薄
膜トランジスタのスイッチング機能により制御するものである。

20

【0003】

各画素電極と対向電極との間には液晶が挟み込まれ、一種のコンデンサを形成している。
従って、薄膜トランジスタによりこのコンデンサへの電荷の出入りを制御することで液晶
の電気光学的特性を変化させ、液晶パネルを透過する光を制御して画像表示を行うことが
できる。また、このような構成でなるコンデンサは電流のリークにより次第にその保持電
圧が減少するため、液晶の電気光学特性が変化して画像表示のコントラストが悪化する
という問題を持つ。

30

【0004】

そこで、液晶で構成されるコンデンサと直列に保持容量と呼ばれる別のコンデンサを設置
し、リーク等で損失した電荷を液晶で構成されるコンデンサに供給する構成が一般的とな
っている。

【0005】

保持容量の構造は様々であるが、遮蔽膜と画素電極との間に誘電体としての酸化膜を挟み
込んだ構造が挙げられる。遮蔽膜とは、透過型液晶表示装置の画素マトリクス部において
、薄膜トランジスタが光の照射によって導電性が変動するのを防止するための、遮光性を
有する被膜である。

40

【発明が解決しようとする課題】

遮蔽膜と画素電極との間に誘電体を挟み込んだ構造の保持容量は、遮蔽膜を一定の電位に
保つために、基準電位が印加されたコモン線に接続されている。

【0006】

そこで工程上、遮蔽膜をパターニングによって形成した後に、遮蔽膜とコモン線を接続す
るために、遮蔽膜とコモン線との間に設けられた層間絶縁膜にコンタクトホールを開ける
必要があった。コンタクトホールはマスクを用いたフォトリソグラフィーによって形成さ

50

れる。

【0007】

アクティブマトリクス型液晶表示装置は、その作製工程においてマスクを用いたフォトリソグラフィーを、遮蔽膜とコモン線の間に設けられた層間絶縁膜にコンタクトホールを開ける工程の他に、例えば活性層の形成工程、ゲート絶縁膜の形成工程、画素電極の形成工程、ゲート線及びソース信号線の形成工程等で行っている。マスクを用いたフォトリソグラフィーは、アクティブマトリクス型液晶表示装置の作製工程数を増やす要因となっており、高い歩留まりを達成するためには、作製工程数を減らすことが望まれていた。

【0008】

【課題を解決するための手段】

10

アクティブマトリクス型液晶表示装置において、画素TFTに接続しているソース信号線に逆の極性の電圧を印加する駆動方法をソースライン反転という。このソースライン反転とは、液晶に常に1つの向きの電界が印加されることによって、液晶が劣化するのを防ぐために行われる。図4に示すように、ソース信号線1ラインごとに極性が逆の信号を印加し、1フレーム期間ごとに信号の極性を反転させることで、液晶に常に1つの向きの電界が印加されることによって液晶が劣化するのを防ぐ。1フレーム期間とは全ての画素が1つの画面を表示する期間を示す。

【0009】

このソースライン反転を用いた場合、遮蔽膜の電位の変動も平均化される。そのために、遮蔽膜を一定の電位（基準電位）に保たれたコモン線に接続しなくても、遮蔽膜の電位は時間的に平均を取るとほぼ一定に保たれるので、遮蔽膜と画素電極との間に誘電体を挟み込んだ構造の保持容量において、遮蔽膜をフローティングにすることが可能になる。よって遮蔽膜をパターニングによって形成した後に、遮蔽膜とコモン線とを接続するために、遮蔽膜とコモン線との間に設けられた層間絶縁膜にマスクを用いたフォトリソグラフィーによってコンタクトホールを開ける必要がなくなる。よってアクティブマトリクス型液晶表示装の作製工程を削減し、高い歩留まりを達成することが可能になり、またその作製コストを抑えることが可能になる。

20

【0010】

また上記構成に加えて、遮蔽膜とコモン線との間に大容量のカップリング容量を形成すると、遮蔽膜の電位の変動 V が小さくなる。 V は遮蔽膜とコモン線との間に形成されるカップリング容量の容量値 C と遮蔽膜にかかる電荷量 Q によって、その値が決まる。しかし、電荷量 Q は画素数、ソース信号線に入力される信号の電圧の値によって固定されてしまうので、実際には遮蔽膜の電位の変動 V の値はカップリング容量の容量値 C によって決定されてしまう。この C の値が大きければ大きいほど V は小さくなり、遮蔽膜の電位をより一定に保つことが可能になる。

30

【0011】

遮蔽膜をフローティングにして遮蔽膜とコモン線との間に大容量のカップリング容量を形成した場合、上述した遮蔽膜をフローティングにするだけの構成と同じく、遮蔽膜とコモン線との間に設けられた層間絶縁膜にマスクを用いたフォトリソグラフィーによってコンタクトホールを開ける必要がなくなる。カップリング容量の容量値は、ゲート信号線1ラインに画素TFTを介して接続されている全ての保持容量の容量値の合計の10倍以上であれば良い。よってアクティブマトリクス型液晶表示装置の作製工程を削減し、高い歩留まりを達成することが可能になり、またその作製コストを抑えることが可能になる。またそれに加えて、遮蔽膜をフローティングにして遮蔽膜とコモン線との間に大容量のカップリング容量を形成した場合は、遮蔽膜の電位をさらに一定に保つことが可能になるため、良好なコントラストを得ることができる。

40

【0012】

以下に本願発明の構成を述べる。

【0013】

本願発明のある実施の形態によると、複数の画素TFTと、前記画素TFTに電気的に接

50

続された画素電極と、遮蔽膜とが設けられた基板を有するアクティブマトリクス型液晶表示装置であって、

前記遮蔽膜はフローティングになっており、

前記画素電極と前記遮蔽膜との間に誘電体を有することを特徴とするアクティブマトリクス型液晶表示装置が提供される。このことによって上記目的が達成される。

【0014】

また本願発明のある実施の形態によると、複数のソース信号線と、複数のゲート信号線と、複数の画素 TFT と、前記画素 TFT に電気的に接続された画素電極と、遮蔽膜とが設けられた基板を有するアクティブマトリクス型液晶表示装置であって、

前記複数の画素 TFT は前記ソース信号線と前記ゲート信号線に電気的に接続されており

10

、
前記遮蔽膜はフローティングになっており、

前記画素電極と前記遮蔽膜との間に誘電体が設けられており、

前記複数のソース信号線 1 本ごとに極性が逆の信号を印加し、前記複数のソース信号線のそれぞれに印加される前記信号の極性を 1 フレーム期間ごとに反転させることを特徴とするアクティブマトリクス型液晶表示装置が提供される。このことによって上記目的が達成される。

【0015】

また本願発明のある実施の形態によると、複数のソース信号線と、複数のゲート信号線と、複数の画素 TFT と、画素電極と、遮蔽膜とが設けられた第 1 の基板と、

20

対向電極が設けられた第 2 の基板と、

前記画素電極と前記対向電極との間に挟まれた液晶と、

を有するアクティブマトリクス型液晶表示装置において、

前記各画素 TFT は、ゲート電極と、ゲート絶縁膜と、ソース領域、ドレイン領域及びチャネル形成領域を有する活性層とを有し、

前記ゲート電極は前記ゲート信号線に接続されており、

前記ソース領域またはドレイン領域は前記ソース信号線に接続されており、

前記ドレイン領域またはソース領域は前記画素電極に接続されており、

前記画素電極と前記遮蔽膜の間に誘電体が設けられており、

前記遮蔽膜はフローティングになっており、

30

前記複数のソース信号線 1 本ごとに極性が逆の信号を印加し、前記複数のソース信号線のそれぞれに印加される前記信号の極性を 1 フレーム期間ごとに反転させることを特徴とするアクティブマトリクス型液晶表示装置が提供される。このことによって上記目的が達成される。

【0016】

また本願発明のある実施の形態によると、複数のソース信号線と、複数のゲート信号線と、複数の画素 TFT と、画素電極と、遮蔽膜とが設けられた第 1 の基板と、

対向電極が設けられた第 2 の基板と、

前記画素電極と前記対向電極との間に挟まれた液晶と、

を有するアクティブマトリクス型液晶表示装置において、

40

前記各画素 TFT は、ゲート電極と、ゲート絶縁膜と、活性層とを有し、

前記活性層はチャネル形成領域と、前記チャネル形成領域に接している第 2 の不純物領域と、前記第 2 の不純物領域に接している第 1 の不純物領域を有し、

前記ゲート電極は前記ゲート信号線に接続されており、

前記第 1 の不純物領域の一方は前記画素電極に接続されており、

前記第 1 の不純物領域のもう一方は前記ソース信号線に接続されており、

前記画素電極と前記遮蔽膜の間に誘電体が設けられており、

前記遮蔽膜はフローティングになっており、

前記第 2 の不純物領域は、前記ゲート絶縁膜を介して、前記ゲート電極と重なっており、

前記複数のソース信号線 1 本ごとに極性が逆の信号を印加し、前記複数のソース信号線の

50

それぞれに印加される前記信号の極性を1フレーム期間ごとに反転させることを特徴とするアクティブマトリクス型液晶表示装置が提供される。このことによって上記目的が達成される。

【0017】

また本願発明のある実施の形態によると、複数のソース信号線と、複数のゲート信号線と、複数の画素TFTと、画素電極と、遮蔽膜とが設けられた第1の基板と、対向電極が設けられた第2の基板と、

前記画素電極と前記対向電極との間に挟まれた液晶と、

を有するアクティブマトリクス型液晶表示装置において、

前記各画素TFTは、ゲート電極と、ゲート絶縁膜と、活性層とを有し、

10

前記活性層はチャネル形成領域と、前記チャネル形成領域に接している第2の不純物領域と、前記チャネル形成領域を挟んで設けられた第1の不純物領域とを有し、

前記ゲート電極は前記ゲート信号線に接続されており、

前記第1の不純物領域の一方は前記画素電極に接続されており、

前記第1の不純物領域のもう一方は前記ソース信号線に接続されており、

前記画素電極と前記遮蔽膜の間に誘電体が設けられており、

前記遮蔽膜はフローティングになっており、

前記第2の不純物領域は、前記ゲート絶縁膜を介して、前記ゲート電極と重なっており、前記複数のソース信号線1本ごとに極性が逆の信号を印加し、前記複数のソース信号線のそれぞれに印加される前記信号の極性を1フレーム期間ごとに反転させることを特徴とするアクティブマトリクス型液晶表示装置が提供される。このことによって上記目的が達成される。

20

【0018】

前記誘電体は、前記遮蔽膜を陽極酸化して形成される陽極酸化膜であっても良い。

【0019】

前記遮蔽膜は、アルミニウム(A1)、チタン(Ti)またはタンタル(Ta)を有する膜であっても良い。

【0020】

前記遮蔽膜は100~300nmの厚さであっても良い。

30

【0021】

前記ゲート電極は、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、から選ばれた一種または複数種の元素を有していても良い。

【0022】

前記アクティブマトリクス型液晶表示装置を3つ備えたリアプロジェクターであっても良い。

【0023】

前記アクティブマトリクス型液晶表示装置を3つ備えたフロントプロジェクターであっても良い。

【0024】

前記アクティブマトリクス型液晶表示装置を1つ備えた単板式リアプロジェクターであっても良い。

40

【0025】

前記アクティブマトリクス型液晶表示装置を2備えたゴーグル型ディスプレイであっても良い。

【0026】

また本願発明のある実施の形態によると、複数の画素TFT及び前記複数の画素TFTに電気的に接続された画素電極を有する画素マトリクス部と、遮蔽膜と、一定の基準電位に保たれたコモン線とが設けられた基板を有するアクティブマトリクス型液晶表示装置であって、

前記遮蔽膜はフローティングになっており、

50

前記画素電極と前記遮蔽膜との間に第1の誘電体を有し、
 前記遮蔽膜と前記コモン線との間に第2の誘電体を有し、
 前記第2の誘電体は前記画素マトリクス部と重ならないことを特徴とするアクティブマトリクス型液晶表示装置が提供される。このことによって上記目的が達成される。

【0027】

また本願発明のある実施の形態によると、複数の画素TFT及び前記複数の画素TFTに電気的に接続された画素電極を有する画素マトリクス部と、複数のソース信号線と、複数のゲート信号線と、遮蔽膜と、一定の基準電位に保たれたコモン線とが設けられた基板を有するアクティブマトリクス型液晶表示装置であって、

前記複数の画素TFTは前記ソース信号線と前記ゲート信号線に電気的に接続されており
、

前記遮蔽膜はフローティングになっており、

前記画素電極と前記遮蔽膜との間に第1の誘電体を有し、

前記遮蔽膜と前記コモン線との間に第2の誘電体を有し、

前記第2の誘電体は前記画素マトリクス部と重なっておらず、

前記複数のソース信号線1本ごとに極性が逆の信号を印加し、前記複数のソース信号線のそれぞれに印加される前記信号の極性を1フレーム期間ごとに反転させることを特徴とするアクティブマトリクス型液晶表示装置が提供される。このことによって上記目的が達成される。

【0028】

10

また本願発明のある実施の形態によると、複数の画素TFT及び前記複数の画素TFTに電気的に接続された画素電極を有する画素マトリクス部と、複数のソース信号線と、複数のゲート信号線と、遮蔽膜と、一定の基準電位に保たれたコモン線とが設けられた第1の基板と、

対向電極が設けられた第2の基板と、

前記画素電極と前記対向電極との間に挟まれた液晶と、

を有するアクティブマトリクス型液晶表示装置において、

前記各画素TFTは、ゲート電極と、ゲート絶縁膜と、ソース領域、ドレイン領域及びチャネル形成領域を有する活性層とを有し、

前記ゲート電極は前記ゲート信号線に接続されており、

20

前記ソース領域またはドレイン領域は前記ソース信号線に接続されており、

前記ドレイン領域またはソース領域は前記画素電極に接続されており、

前記遮蔽膜はフローティングになっており、

前記画素電極と前記遮蔽膜との間に第1の誘電体を有し、

前記遮蔽膜と前記コモン線との間に第2の誘電体を有し、

前記第2の誘電体は前記画素マトリクス部と重なっておらず、

前記複数のソース信号線1本ごとに極性が逆の信号を印加し、前記複数のソース信号線のそれぞれに印加される前記信号の極性を1フレーム期間ごとに反転させることを特徴とするアクティブマトリクス型液晶表示装置が提供される。このことによって上記目的が達成される。

30

【0029】

また本願発明のある実施の形態によると、複数の画素TFT及び前記複数の画素TFTに電気的に接続された画素電極を有する画素マトリクス部と、複数のソース信号線と、複数のゲート信号線と、遮蔽膜と、一定の基準電位に保たれたコモン線とが設けられた第1の基板と、

対向電極が設けられた第2の基板と、

前記画素電極と前記対向電極との間に挟まれた液晶と、

を有するアクティブマトリクス型液晶表示装置において、

前記各画素TFTは、ゲート電極と、ゲート絶縁膜と、活性層とを有し、

前記活性層はチャネル形成領域と、前記チャネル形成領域に接している第2の不純物領域

40

50

と、前記第2の不純物領域に接している第1の不純物領域を有し、
 前記ゲート電極は前記ゲート信号線に接続されており、
 前記第1の不純物領域の一方は前記画素電極に接続されており、
 前記第1の不純物領域のもう一方は前記ソース信号線に接続されており、
 前記遮蔽膜はフローティングになっており、
 前記画素電極と前記遮蔽膜との間に第1の誘電体を有し、
 前記遮蔽膜と前記コモン線との間に第2の誘電体を有し、
 前記第2の誘電体は前記画素マトリクス部と重なっておらず、
 前記第2の不純物領域は、前記ゲート絶縁膜を介して、前記ゲート電極と重なっており、
 前記複数のソース信号線1本ごとに極性が逆の信号を印加し、前記複数のソース信号線の
 それぞれに印加される前記信号の極性を1フレーム期間ごとに反転させることを特徴とする
 アクティブマトリクス型液晶表示装置が提供される。このことによって上記目的が達成
 される。

【0030】

また本願発明のある実施の形態によると、複数の画素TFT及び前記複数の画素TFTに
 電気的に接続された画素電極を有する画素マトリクス部と、複数のソース信号線と、複数
 のゲート信号線と、遮蔽膜と、一定の基準電位に保たれたコモン線とが設けられた第1の
 基板と、

対向電極が設けられた第2の基板と、

前記画素電極と前記対向電極との間に挟まれた液晶と、

を有するアクティブマトリクス型液晶表示装置において、

前記各画素TFTは、ゲート電極と、ゲート絶縁膜と、活性層とを有し、

前記活性層はチャネル形成領域と、前記チャネル形成領域に接している第2の不純物領域
 と、前記チャネル形成領域を挟んで設けられた第1の不純物領域とを有し、

前記ゲート電極は前記ゲート信号線に接続されており、

前記第1の不純物領域の一方は前記画素電極に接続されており、

前記第1の不純物領域のもう一方は前記ソース信号線に接続されており、

前記遮蔽膜はフローティングになっており、

前記画素電極と前記遮蔽膜との間に第1の誘電体を有し、

前記遮蔽膜と前記コモン線との間に第2の誘電体を有し、

前記第2の誘電体は前記画素マトリクス部と重なっておらず、

前記第2の不純物領域は、前記ゲート絶縁膜を介して、前記ゲート電極と重なっており、
 前記複数のソース信号線1本ごとに極性が逆の信号を印加し、前記複数のソース信号線の
 それぞれに印加される前記信号の極性を1フレーム期間ごとに反転させることを特徴とする
 アクティブマトリクス型液晶表示装置が提供される。このことによって上記目的が達成
 される。

【0031】

また本願発明のある実施の形態によると、複数の画素TFT及び前記複数の画素TFTに
 電気的に接続された画素電極を有する画素マトリクス部と、遮蔽膜と、一定の基準電位に
 保たれたコモン線と、ソース信号線駆動回路とが設けられた第1の基板と、

対向遮蔽膜が設けられた第2の基板と、

を有するアクティブマトリクス型液晶表示装置において、

前記遮蔽膜はフローティングになっており、

前記画素電極と前記遮蔽膜との間に第1の誘電体を有し、

前記遮蔽膜と前記コモン線との間に第2の誘電体を有し、

前記第2の誘電体は前記画素マトリクス部と重なっておらず、

前記ソース信号線駆動回路はサンプリング回路を有しており、

前記対向遮蔽膜は、前記遮蔽膜の一部及び前記サンプリング回路と重なっていることを特徴
 とするアクティブマトリクス型液晶表示装置が提供される。このことによって上記目的
 が達成される。

10

20

30

40

50

【0032】

前記第1の誘電体は、前記遮蔽膜を陽極酸化して形成される陽極酸化膜であっても良い。

【0033】

前記第2の誘電体は、前記遮蔽膜を陽極酸化して形成される陽極酸化膜であっても良い。

【0034】

前記遮蔽膜は、アルミニウム(Al)、チタン(Ti)またはタンタル(Ta)を有する膜であっても良い。

【0035】

前記遮蔽膜は100~300nmの厚さであっても良い。

【0036】

前記ゲート電極は、チタン(Ti)、タンタル(Ta)、タンゲステン(W)、モリブデン(Mo)、から選ばれた一種または複数種の元素を有していても良い。

【0037】

前記アクティブマトリクス型液晶表示装置を3つ備えたリアプロジェクターであっても良い。

【0038】

前記アクティブマトリクス型液晶表示装置を3つ備えたフロントプロジェクターであっても良い。

【0039】

前記アクティブマトリクス型液晶表示装置を1つ備えた単板式リアプロジェクターであっても良い。

【0040】

前記アクティブマトリクス型液晶表示装置を2つ備えたゴーグル型ディスプレイであっても良い。

【0041】

なお、本願発明の遮蔽膜は寄生容量の影響を避けるため、ソース信号線駆動回路上に設けないことが好ましい。

【0042】**【発明の実施の形態】**

以下に本願発明を、実施例をもって説明する。ただし、本願発明は、以下の実施例に限定されるわけではない。

【0043】**【実施例】**

図1~図31を用いて、本願発明の実施例を説明する。

【0044】**(実施例1)**

本実施例では、本願発明を用いたアクティブマトリクス型液晶表示装置の一例について、図1を用いて説明する。

【0045】

図1に本願発明の保持容量を用いたアクティブマトリクス型液晶表示装置の回路図の一例を示す。ソース信号線駆動回路11、ゲート信号線駆動回路12、アクティブマトリクス回路13、画素 TFT14、画素電極と対向電極との間に液晶を挟んだ液晶セル15、画素電極と遮蔽膜の間に誘電体を挟んで形成される保持容量16、ソース信号線17、ゲート信号線18が図1に示されるように設けられている。ソース信号線駆動回路11とゲート信号線駆動回路12は、一般に駆動回路と総称されている。この駆動回路は、アクティブマトリクス回路でなる画素マトリクス部と同一基板上に一体形成されている。

【0046】

また、アクティブマトリクス部13では、ソース信号線駆動回路11に接続されたソース信号線17と、ゲート信号線駆動回路12に接続されたゲート信号線18が交差している。そのソース信号線17とゲート信号線18に囲まれた領域、画素部19に、画素の薄膜

10

20

30

40

50

トランジスタ（画素 TFT）14と、対向電極と画素電極の間に液晶を挟んだ液晶セル15と、保持容量16が設けられている。

【0047】

保持容量16は画素電極と遮蔽膜の間に誘電体としての酸化膜を挟んだ構成となっており、全ての遮蔽膜はコモン線とは接続されていないフローティング（Floating）の状態となっている。

【0048】

ソース信号線17に入力された画像信号は、画素TFT14により選択され、所定の画素電極に書き込まれる。

【0049】

ソース信号線駆動回路11から出力されたタイミング信号によりサンプリングされた画像信号が、ソース信号線17に供給される。

【0050】

画素TFT14は、ゲート信号線駆動回路12からゲート信号線18を介して入力される選択信号により動作する。

【0051】

ソース信号線17に入力される画像信号は、ソース信号線17の1ラインごとに極性を逆にして印加し、1フレーム期間ごとに信号の極性を反転させることで、液晶に常に1つの向きの電界が印加されることによって液晶が劣化するのを防ぐ。このようにソースライン反転で液晶を駆動させて、遮蔽膜をコモン線に接続せずにフローティングとしている。このような構成にすることで、遮蔽膜をコモン線に接続しなくても、遮蔽膜の電位が時間的に平均を取ると一定に保たれるので、遮蔽膜と画素電極との間に誘電体を挟み込んだ構造の保持容量を形成することが可能になる。よって遮蔽膜をパターニングによって形成した後に、遮蔽膜とコモン線を接続するために、遮蔽膜とコモン線との間に設けられた層間絶縁膜にマスクを用いたフォトリソグラフィーによるコンタクトホールをあける必要がなくなる。このため作製工程を削減し、高い歩留まりを達成することが可能になり、またアクティブマトリクス型液晶表示装の作製コストを抑えることが可能になる。

【0052】

次に、図1における画素部19の詳しい構造について、図2を用いて説明する。

【0053】

まず、図2において、21は活性層、22はゲート信号線、23はソース信号線、24は活性層とソース信号線とのコンタクト部、25はドレイン配線（ドレイン電極）、26は活性層とドレイン配線とのコンタクト部である。

【0054】

次に、図3は、図2(A)に遮蔽膜27と画素電極28を重ね合わせた状態を示している。なお、画素電極28は一部点線で表しているが、これは下層の遮蔽膜との位置関係を明瞭にするためである。

【0055】

図3に示すように、画素電極28は画像表示領域29の外周部分で遮蔽膜27と重なるようく形成されている。この画素電極28と遮蔽膜27とが重なる領域30が保持容量17として機能することになる。

【0056】

また、31はドレイン配線25と画素電極28とのコンタクト部である。コンタクト部31には遮蔽膜27を設けることができないが、ドレイン配線25で完全に遮光されるので、TFTに光が当たるようなことはない。

【0057】

次に図1で示したソース信号線駆動回路の一例について説明する。図5に図1で示したソース信号線駆動回路11のブロック図を示す。CLKはクロック信号、CLKBは反転したクロック信号、SPはスタートパルス信号、SL/Rは駆動方向切り替え信号を示している。

10

20

30

40

50

【 0 0 5 8 】

図5の具体的な回路構成の一例を図6に示す。シフトレジスタ回路101、レベルシフト回路102、サンプリング回路103、画像信号線104が図に示すように配置されている。

【 0 0 5 9 】

クロック信号(CLK)、反転したクロック信号(CLKb)、スタートパルス信号(SP)および駆動方向切り替え信号(SL/R)は図5に示されている配線からシフトレジスタ回路に入力される。

【 0 0 6 0 】

ソース信号線駆動回路の外部から入力されたクロック信号(CLK)(例えば10V)がシフトレジスタ回路101に入力される。そして、入力されたクロック信号および同じ時にシフトレジスタ回路101に入力したスタートパルス信号とによってシフトレジスタ回路101が動作し、画像のサンプリングのためのタイミング信号を順に生成する。10

【 0 0 6 1 】

生成されたタイミング信号はレベルシフト回路(LS)102に入力され電圧振幅レベルが上げられる。ここで本明細書において電圧振幅レベルとは信号の最も高い電位と最も低い電位の差(電位差)の絶対値を意味しており、電圧振幅レベルが高くなる(上げられる)とは電位差が大きくなることを意味し、電圧振幅レベルが低くなるとは電位差が小さくなることを意味する。電圧振幅レベルが上げられたタイミング信号はアナログスイッチ105を有するサンプリング回路103に入力され、入力されたタイミング信号に基づいてサンプリング回路103が画像信号をサンプリングする動作をする。サンプリングされた画像信号はソース信号線(S1~Sn)を介して画素マトリクス部に入力される。20

【 0 0 6 2 】

サンプリングされる画像信号は画像信号線ごとに逆の極性で印加されている。

これによってソース信号線1ラインごとに逆の極性の画像信号がサンプリングされ液晶に印加される。言い換えるとソースライン反転で液晶が駆動することとなる。そのため遮蔽膜を一定の電位(基準電位)に保たれたコモン線に接続しなくても、遮蔽膜の電位は時間的に平均を取ると一定に保たれるので、遮蔽膜と画素電極との間に誘電体を挟み込んだ構造の保持容量において、遮蔽膜をフローティングにすることが可能になる。よって遮蔽膜をパターニングによって形成した後に、遮蔽膜とコモン線とを接続するために、遮蔽膜とコモン線との間に設けられた層間絶縁膜にマスクを用いたフォトリソグラフィーによるコンタクトホールをあける必要がなくなる。このため作製工程を削減し、高い歩留まりを達成することが可能になり、またアクティブマトリクス型液晶表示装の作製コストを抑えることが可能になる。30

【 0 0 6 3 】

図7にアナログスイッチ105とレベルシフト回路102の具体的な回路図を示す。

【 0 0 6 4 】

図7(A)にアナログスイッチの等価回路図を示す。画像信号が入力される信号(IN、INb)によってサンプリングされる。図7(B)にレベルシフト回路の等価回路図を示す。INは信号が入力されることを意味し、INbはINの反転信号が入力されることを意味する。また、Vddhはプラスの電圧、Vssはマイナスの電圧の印加を示している。レベルシフト回路は、INに入力された信号を高電圧化し反転させた信号が、OUTbから出力されるように設計されている。つまり、INにHiが入力されるとOUTbからVss相当の信号が、Loが入力されるとOUTbからVddh相当の信号が出力される。40

【 0 0 6 5 】

次に本願発明の画素マトリクス回路とその周辺に設けられる駆動回路のTFTを同時に作製する方法の一例について、図8~図10を用いて説明する。なお、本願発明はこの作製方法に限られない。

【 0 0 6 6 】

10

20

30

40

50

〔島状半導体層、ゲート絶縁膜形成の工程：図8（A）〕

図8（A）において、基板6001には、無アルカリガラス基板や石英基板を使用することが望ましい。その他にもシリコン基板や金属基板の表面に絶縁膜を形成したものを基板としても良い。

【0067】

そして、基板6001のTFTが形成される表面には、酸化シリコン膜、窒化シリコン膜、または窒化酸化シリコン膜からなる下地膜6002をプラズマCVD法やスパッタ法で100～400nmの厚さに形成した。例えば下地膜6002として、窒化シリコン膜6002を25～100nm、ここでは50nmの厚さに、酸化シリコン膜6003を50～300nm、ここでは150nmの厚さとした2層構造で形成すると良い。下地膜6002は基板からの不純物汚染を防ぐために設けられるものであり、石英基板を用いた場合には必ずしも設けなくても良い。

10

【0068】

次に下地膜6002の上に20～100nmの厚さの、非晶質シリコン膜を公知の成膜法で形成した。非晶質シリコン膜は含有水素量にもよるが、好ましくは400～550で数時間加熱して脱水素処理を行い、含有水素量を5atom%以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。ここでは、下地膜と非晶質シリコン膜とは、同じ成膜法で形成することができるため両者を連続形成しても良い。下地膜を形成後、一旦大気雰囲気にさらされないようにすることで表面の汚染を防ぐことが可能となり、作製されるTFTの特性バラツキを低減させることができる。

20

【0069】

非晶質シリコン膜から結晶質シリコン膜を形成する工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。また、シリコンの結晶化を助長する触媒元素を用いて熱結晶化の方法で結晶質シリコン膜を作製しても良い。その他に、微結晶シリコン膜を用いても良いし、結晶質シリコン膜を直接堆積成膜しても良い。さらに、単結晶シリコンを基板上に貼りあわせるSOI(Silicon On Insulators)の公知技術を使用して結晶質シリコン膜を形成しても良い。

【0070】

30

こうして形成された結晶質シリコン膜の不要な部分をエッチング除去して、島状半導体層6004～6006を形成した。結晶質シリコン膜のnチャネル型TFTが作製される領域には、しきい値電圧を制御するため、あらかじめ $1 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 程度の濃度でボロン(B)を添加しておいても良い。

【0071】

次に、島状半導体層6004～6006を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜6007を形成した。ゲート絶縁膜6007は、10～200nm、好ましくは50～150nmの厚さに形成すれば良い。

例えば、プラズマCVD法でN₂OとSiH₄を原料とした窒化酸化シリコン膜を75nm形成し、その後、酸素雰囲気中または酸素と塩酸の混合雰囲気中、800～1000で熱酸化して115nmのゲート絶縁膜としても良い。（図8（A））

40

【0072】

〔n⁻領域の形成：図8（B）〕

島状半導体層6004、6006及び配線を形成する領域の全面と、島状半導体層6005の一部（チャネル形成領域となる領域を含む）にレジストマスク6008～6011を形成し、n型を付与する不純物元素を添加して低濃度不純物領域6012、6013を形成した。この低濃度不純物領域6012、6013は、後にCMOS回路のnチャネル型TFTに、ゲート絶縁膜を介してゲート電極と重なるLDD領域（本明細書中ではLov領域という。なお、ovとはoverlapの意味である。）を形成するための不純物領域である。

なお、ここで形成された低濃度不純物領域に含まれるn型を付与する不純物元素の濃度を

50

(n^-)で表すこととする。従って、本明細書中では低濃度不純物領域6012、6013を n^- 領域と言い換えることができる。

【0073】

ここではフォスフィン(PH_3)を質量分離しないでプラズマ励起したイオンドープ法でリンを添加した。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程では、ゲート絶縁膜6007を通してその下の半導体層にリンを添加した。添加するリン濃度は、 $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{ atoms/cm}^3$ とした。

【0074】

その後、レジストマスク6008～6011を除去し、窒素雰囲気中で400～900
10
、好ましくは550～800で1～12時間の熱処理を行い、この工程で添加されたリンを活性化する工程を行った。

【0075】

[ゲート電極用および配線用導電膜の形成：図8(C)]

第1の導電膜6014を、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タンゲステン(W)から選ばれた元素またはいずれかを主成分とする導電性材料で、10～100nmの厚さに形成した。第1の導電膜6014としては、例えば窒化タンタル(TaN)や窒化タンゲステン(WN)を用いることが望ましい。さらに、第1の導電膜6014上に第2の導電膜6015をTa、Ti、Mo、Wから選ばれた元素またはいずれかを主成分とする導電性材料で、100～400nmの厚さに形成した。例えば、Taを200nmの厚さに形成すれば良い。また、図示しないが、第1の導電膜6014の下に導電膜6014、6015(特に導電膜6015)の酸化防止のためにシリコン膜を2～20nm程度の厚さで形成しておくことは有効である。

【0076】

[p-c'hゲート電極、配線電極の形成とp⁺⁺領域の形成：図9(A)]

レジストマスク6016～6019を形成し、第1の導電膜と第2の導電膜(以下、積層膜として取り扱う)をエッチングして、pチャネル型TFTのゲート電極6020、ゲート信号線6021、6022を形成した。なお、nチャネル型TFTとなる領域の上には全面を覆うように導電膜6023、6024を残した。

【0077】

そして、レジストマスク6016～6019をそのまま残してマスクとし、pチャネル型TFTが形成される半導体層6004の一部に、p型を付与する不純物元素を添加する工程を行った。ここではボロンをその不純物元素として、ジボラン(B_2H_6)を用いてイオンドープ法(勿論、イオンインプランテーション法でも良い)で添加した。ここでは $5 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ の濃度にボロンを添加した。なお、ここで形成された不純物領域に含まれるp型を付与する不純物元素の濃度を(p⁺⁺)で表すこととする。従って、本明細書中では不純物領域6025、6026をp⁺⁺領域と言い換えることができる。

【0078】

なお、この工程において、レジストマスク6016～6019を使用してゲート絶縁膜6007をエッチング除去して、島状半導体層6004の一部を露出させた後、p型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

【0079】

[n-c'hゲート電極の形成：図9(B)]

次に、レジストマスク6016～6019を除去した後、レジストマスク6027～6030を形成し、nチャネル型TFTのゲート電極6031、6032を形成した。このときゲート電極6031はn⁻領域6012、6013とゲート絶縁膜を介して重なるように形成した。

【0080】

[n⁺領域の形成：図9(C)]

10

20

30

40

50

次に、レジストマスク 6027～6030を除去し、レジストマスク 6033～6035を形成した。そして、nチャネル型 TFTにおいて、ソース領域またはドレイン領域として機能する不純物領域を形成する工程を行った。レジストマスク 6035はnチャネル型 TFTのゲート電極 6032を覆う形で形成した。これは、後の工程において画素マトリクス回路のnチャネル型 TFTに、ゲート電極と重ならないように LDD 領域を形成するためである。

【0081】

そして、n型を付与する不純物元素を添加して不純物領域 6036～6040を形成した。ここでも、フォスфин (PH₃) を用いたイオンドープ法（勿論、イオンインプランテーション法でも良い）で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³とした。なお、ここで形成された不純物領域 6038～6040に含まれるn型を付与する不純物元素の濃度を (n⁺) で表すこととする。従って、本明細書中では不純物領域 6038～6040をn⁺領域と言い換えることができる。また、不純物領域 6036、6037は既にn⁻領域が形成されていたので、厳密には不純物領域 6038～6040よりも若干高い濃度でリンを含む。

【0082】

なお、この工程において、レジストマスク 6033～6035およびゲート電極 6031をマスクとしてゲート絶縁膜 6007をエッチングし、島状半導体膜 6005、6006の一部を露出させた後、n型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

【0083】

[n⁻⁻領域の形成：図10(A)]

次に、レジストマスク 6033～6035を除去し、画素マトリクス回路のnチャネル型 TFTとなる島状半導体層 6006にn型を付与する不純物元素を添加する工程を行った。こうして形成された不純物領域 6041～6044には前記n⁻領域と同程度かそれより少ない濃度（具体的には $5 \times 10^{16} \sim 1 \times 10^{18}$ atoms/cm³）のリンが添加されるようにした。なお、ここで形成された不純物領域 6041～6044に含まれるn型を付与する不純物元素の濃度を (n⁻⁻) で表すこととする。従って、本明細書中では不純物領域 6041～6044をn⁻⁻領域と言い換えることができる。また、この工程ではゲート電極で隠された不純物領域 6068、6069を除いて全ての不純物領域にn[?]の濃度でリンが添加されているが、非常に低濃度であるため無視して差し支えない。

【0084】

[熱活性化の工程：図10(B)]

次に、後に第1の層間絶縁膜の一部となる保護絶縁膜 6045を形成した。保護絶縁膜 6045は窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は 100～400 nm とすれば良い。

【0085】

その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために熱処理工程を行った。この工程はファーネスアニール法、レーザーアニール法、またはラピッドサーマルアニール法 (RTA法) で行うことができる。ここではファーネスアニール法で活性化工程を行った。加熱処理は、窒素雰囲気中において 300～650、好ましくは 400～550、ここでは 450、2 時間の熱処理を行った。

【0086】

さらに、3～100%の水素を含む雰囲気中で、300～450 で 1～12 時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダンギングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0087】

[層間絶縁膜、ソース／ドレイン電極、遮蔽膜、画素電極、保持容量の形成：図10(C)]

10

20

30

40

50

)]

活性化工程を終えたら、保護絶縁膜 6045 の上に 0.5 ~ 1.5 μm 厚の層間絶縁膜 6046 を形成した。前記保護絶縁膜 6045 と層間絶縁膜 6046 とでなる積層膜を第 1 の層間絶縁膜とした。

【0088】

その後、それぞれの TFT のソース領域またはドレイン領域に達するコンタクトホールが形成され、ソース電極 6047 ~ 6049 と、ドレイン電極 6050、6051 を形成した。図示していないが、本実施例ではこの電極を、Ti 膜を 100 nm、Ti を含むアルミニウム膜 300 nm、Ti 膜 150 nm をスパッタ法で連続して形成した 3 層構造の積層膜とした。これで図 2 に示した状態と同じになる。図 2 で示す活性層 21 は図 10 の活性層 6004 ~ 6006 に相当し、ゲート信号線 22 およびドレイン配線 25 は同じドレイン電極 6050、6051 として表されている。ソース信号線 23 はソース電極 6047 ~ 6049 として示されている。

【0089】

次に、パッシベーション膜 6052 として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で 50 ~ 500 nm (代表的には 200 ~ 300 nm) の厚さで形成した。その後、この状態で水素化処理を行うと TFT の特性向上に対して好ましい結果が得られた。例えば、3 ~ 100 % の水素を含む雰囲気中で、300 ~ 450 °C で 1 ~ 12 時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン電極を接続するためのコンタクトホールを形成する位置において、パッシベーション膜 6052 に開口部を形成しておいても良い。

【0090】

その後、有機樹脂からなる第 2 の層間絶縁膜 6053 を約 1 μm の厚さに形成した。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB (ベンゾシクロブテン) 等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機系 SiO 化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300 °C で焼成して形成した。

【0091】

次に、画素マトリクス回路となる領域において、第 2 の層間絶縁膜 6053 上に遮蔽膜 6054 を形成した。遮蔽膜 6054 はアルミニウム (A1) 、チタン (Ti) 、タンタル (Ta) から選ばれた元素またはいずれかを主成分とする膜で 100 ~ 300 nm の厚さに形成した。そして、遮蔽膜 6054 の表面に陽極酸化法またはプラズマ酸化法により 30 ~ 150 nm (好ましくは 50 ~ 75 nm) の厚さの酸化膜 6055 を形成した。ここでは遮蔽膜 6054 としてアルミニウム膜またはアルミニウムを主成分とする膜を用い、誘電体 6055 として酸化アルミニウム膜 (アルミナ膜) を用いた。

【0092】

なお、ここでは遮蔽膜の表面のみに絶縁膜を設ける構成としたが、絶縁膜を plasma CVD 法、熱 CVD 法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は 30 ~ 150 nm (好ましくは 50 ~ 75 nm) とすることが好ましい。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、DLC (Diamond like carbon) 膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

【0093】

次に、パッシベーション膜 6052 及び第 2 の層間絶縁膜 6053 にドレイン電極 6051 に達するコンタクトホールを形成し、画素電極 6056 を形成した。なお、画素電極 6057、6058 はそれぞれ隣接する別の画素の画素電極である。画素電極 6056 ~ 6058 は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸

化インジウム・スズ(ITO)膜を100nmの厚さにスパッタ法で形成した。

【0094】

また、この時、画素電極6056と遮蔽膜6054とが酸化膜6055を介して重なった領域6059が保持容量を形成した。

【0095】

こうして同一基板上に、駆動回路となるCMOS回路と画素マトリクス回路とを有したアクティブマトリクス基板が完成した。なお、駆動回路となるCMOS回路にはpチャネル型TFT6081、nチャネル型TFT6082が形成され、画素マトリクス回路にはnチャネル型TFTである画素TFT6083が形成された。

【0096】

CMOS回路のpチャネル型TFT6081には、チャネル形成領域6062、ソース領域6063、ドレイン領域6064がそれぞれp⁺領域で形成された。また、nチャネル型TFT6082には、チャネル形成領域6065、ソース領域6066、ドレイン領域6067、ゲート絶縁膜を介してゲート電極と重なったLDD領域(以下、Lov領域という。なお、ovとはoverlapの意である。)6068、6069が形成された。この時、ソース領域6066、ドレイン領域6067はそれぞれ(n⁻+n⁺)領域で形成され、Lov領域6068、6069はn⁻領域で形成された。

10

【0097】

また、画素TFT6083には、チャネル形成領域6070、6071、ソース領域6072、ドレイン領域6073、ゲート絶縁膜を介してゲート電極と重ならないLDD領域(以下、loff領域という。なお、offとはoffsetの意である。)6074~6077、loff領域6075、6076に接したn⁺領域6078が形成された。この時、ソース領域6072、ドレイン領域6073はそれぞれn⁺領域で形成され、loff領域6074~6077はn⁻⁻領域で形成された。

20

【0098】

チャネル長3~7μmに対してLov領域の長さ(幅)は0.5~3.0μm、代表的には1.0~1.5μmとすれば良い。また、画素TFT6083に設けられるloff領域6074~6077の長さ(幅)は0.5~3.5μm、代表的には2.0~2.5μmとすれば良い。

【0099】

30

図27に、コモン線と、FPCからの引き出し端子との接合部分を示す。基板6001、図10(C)に示したnチャネル型TFTを有するゲート信号線駆動回路2702、コモン線2703、遮蔽膜2704、誘電体2705、ITO膜2706、フィラー2707、樹脂2708、FPCからの引き出し端子上に成膜されたITO膜2709、FPCからの引き出し端子2710が図27に示すように設けられている。

【0100】

遮蔽膜2704とITO膜2706と、その間に挟まれた誘電体2705とによって、カップリング容量が形成されている。ITO膜2706は、ゲート信号線駆動回路2702上に設けられており、ゲート信号線駆動回路2702の下に設けられたコモン線2703と接続している。FPCからの引き出し端子2710上にはFPC側のITO膜2709が形成されており、FPCからの引き出し端子2710上のFPC側のITO膜2709とITO膜2706とは、フィラー2707と樹脂2708とによって接続されている。

40

【0101】

樹脂2708は光硬化性の樹脂であっても、熱硬化性の樹脂であっても良く、また光硬化性の樹脂と熱硬化性の樹脂との混合物であっても良い。光硬化性の樹脂と熱硬化性の樹脂との混合物を用いた場合、光によって仮接着の後、熱を加えて圧着させることにより接続する。またフィラーは導電性の材料であることが必要である。大きさの異なるフィラーを2種類以上用いても良く、この場合、サイズの小さいフィラーはスペーサとして働くので導電性でなくても良く、サイズの大きい粒子は電気的に接続させる働きをするので導電性であることが必要である。

50

【0102】

本願発明では、ソースライン反転によって液晶を駆動してやり、かつ遮蔽膜を一定の電位（基準電位）に保たれたコモン線に接続しない。ソースライン反転によって、遮蔽膜の電位は時間的に平均を取ると一定に保たれるので、遮蔽膜と画素電極との間に誘電体を挟み込んだ構造の保持容量において、遮蔽膜をフローティングにすることが可能になる。よって遮蔽膜をパターニングによって形成した後に、遮蔽膜とコモン線とを接続するために、遮蔽膜とコモン線との間に設けられた層間絶縁膜にマスクを用いたフォトリソグラフィーによるコンタクトホールをあける必要がなくなる。このため作製工程を削減し、高い歩留まりを達成することが可能になり、またアクティブマトリクス型液晶表示装の作製コストを抑えることが可能になる。

10

【0103】

(実施例2)

本実施例では、実施例1の遮蔽膜をフローティングにするという構成に加えて、遮蔽膜とコモン線との間に大容量のカップリング容量を形成する例について説明する。なおTFTの作製方法の記載は省略するが、実施例1と同じプロセスを用いても良い。

【0104】

図11に本願発明の保持容量を用いたアクティブマトリクス型液晶表示装置の回路図の一例を示す。ソース信号線駆動回路301、ゲート信号線駆動回路302、アクティブマトリクス回路303、画素TFT304、画素電極と対向電極との間に液晶を挟んだ液晶セル305、画素電極と遮蔽膜の間に誘電体を挟んで形成される保持容量306、ソース信号線307、ゲート信号線308が図11に示されるように設けられている。またカップリング容量310がフローティングになっている遮蔽膜とコモン線との間に設けられている。ソース信号線駆動回路301とゲート信号線駆動回路302は、一般に駆動回路と総称されている。この駆動回路は、アクティブマトリクス回路でなる画素マトリクス部と同一基板上に一体形成されている。

20

【0105】

また、アクティブマトリクス部303では、ソース信号線駆動回路301に接続されたソース信号線307と、ゲート信号線駆動回路302に接続されたゲート信号線308が交差している。そのソース信号線307とゲート信号線308に囲まれた領域、画素部309に、画素の薄膜トランジスタ（画素TFT）304と、対向電極と画素電極の間に液晶を挟んだ液晶セル305と、保持容量306が設けられている。またコモン線311と遮蔽膜312とが図に示すように設けられている。

30

【0106】

保持容量306は画素電極と遮蔽膜312の間に誘電体としての酸化膜を挟んだ構成となっており、全ての遮蔽膜312はコモン線311とは接続されていないフローティング（Floating）となっている。

【0107】

またカップリング容量310の容量値は、ゲート信号線1ラインに画素TFTを介して接続されている全ての保持容量の容量値の合計の10倍以上であれば良い。

40

【0108】

ソース信号線307に入力された画像信号は、画素TFT304により選択され、所定の画素電極に書き込まれる。

【0109】

ソース信号線駆動回路301から出力されたタイミング信号によりサンプリングされた画像信号が、ソース信号線307に供給される。

【0110】

画素TFT304は、ゲート信号線駆動回路302からゲート信号線308を介して入力される選択信号により動作する。

【0111】

ソース信号線に入力される画像信号は、ソース信号線1ラインごとに極性を逆にして印加

50

し、1フレーム期間ごとに信号の極性を反転させることで、液晶に常に1つの向きの電界が印加されることによって液晶が劣化するのを防ぐ。このようにソースライン反転で液晶を駆動させて、遮蔽膜をコモン線に接続せずにフローティングとしている。このような構成にすることで、遮蔽膜をコモン線に接続しなくても、遮蔽膜の電位が時間的に平均を取ると一定に保たれるので、遮蔽膜と画素電極との間に誘電体を挟み込んだ構造の保持容量を形成することが可能になる。よって遮蔽膜をパターニングによって形成した後に、遮蔽膜とコモン線を接続するために、遮蔽膜とコモン線との間に設けられた層間絶縁膜にマスクを用いたフォトリソグラフィーによるコンタクトホールをあける必要がなくなる。このため作製工程を削減し、高い歩留まりを達成することが可能になり、またアクティブマトリクス型液晶表示装置の作製コストを抑えることが可能になる。またそれに加えて、遮蔽膜をフローティングにして遮蔽膜とコモン線との間に大容量のカップリング容量を形成した場合は、遮蔽膜の電位の変動 V が小さくなる。カップリング容量の容量値が大きければ大きいほど V は小さくなり、遮蔽膜の電位をより一定に保つことが可能になるため、良好なコントラストを得ることができる。
10

【0112】

図23に図11の上面及び断面の概略図を示す。図23(B)は図23(A)のA-A'における断面図である。

【0113】

ソース信号線駆動回路411(図11に示すところの301)、ゲート信号線駆動回路402、アクティブマトリクス部413(図11に示すところの303)、遮蔽膜404、ITO膜406、コモン線407、FPC414が図23(A)に示すように設けられている。
20

【0114】

ITO膜406とコモン線407は電気的に接続されており、コモン線407はFPC414によって基板の外部に接続され、一定の電位(基準電位)に保たれている。

【0115】

コモン線407に接続されたITO膜406と遮蔽膜404の重なった部分にカップリング容量416(図11で示すところの310)が形成されている。

【0116】

基板401、ゲート信号線駆動回路402(図11に示すところの302)、層間絶縁膜403、遮蔽膜404(図11に示すところの311)、誘電体405、ITO膜406、コモン線407(図11に示すところの312)、フィラー412、樹脂410、FPCからの引き出し端子上に成膜されたITO膜409、FPCからの引き出し端子408が図23に示すように設けられている。
30

【0117】

遮蔽膜404とITO膜406と、その間に挟まれた誘電体405とによって、カップリング容量が形成されている。ITO膜406は、ゲート信号線駆動回路402上に設けられており、ゲート信号線駆動回路402の下に設けられたコモン線407と接続している。FPCからの引き出し端子408上にはFPC側のITO膜409が接するように形成されており、FPCからの引き出し端子408上のFPC側のITO膜409とITO膜406とは、フィラー412と樹脂410とによって接続されている。
40

【0118】

樹脂410は光硬化性の樹脂であっても、熱硬化性の樹脂であっても良く、また光硬化性の樹脂と熱硬化性の樹脂との混合物であっても良い。光硬化性の樹脂と熱硬化性の樹脂との混合物を用いた場合、光によって仮接着の後、熱を加えて圧着させることにより接続する。またフィラーは導電性の材料であることが必要である。大きさの異なるフィラーを2種類以上用いても良く、この場合、サイズの小さいフィラーはスペーサとして働くので導電性でなくても良く、サイズの大きい粒子は電気的に接続させる働きをするので導電性であることが必要である。

【0119】

ITO膜406とコモン線407は電気的に接続されている。コモン線407に接続されているITO膜406と、遮蔽膜404と、その間に設けられた誘電体405によって、図11に示すところのカップリング容量310が形成されている。

【0120】

遮蔽膜をフローディングにして遮蔽膜とコモン線との間に大容量のカップリング容量を形成した場合の画素電位のシミュレーションの結果を図12、図25及び図26を用いて説明する。

【0121】

図12(A)は、遮蔽膜をフローディングにして遮蔽膜とコモン線との間に大容量のカップリング容量を形成したアクティブマトリクス型液晶表示装置にソース線1本おきに白黒の縦縞を表示させたときの、画素電極の電極波形のシミュレーションの結果である。画素数は 10×10 とし、ゲート信号線側駆動回路上全てに 300 nF の容量値のカップリング容量を形成したと仮定した。図12(A)は、画面の中央もしくはその隣の画素電極の電極波形の図である。 $0\text{ ms} \sim 16\text{ ms}$ が1番目の画面を表示したときの画素電位で、 $16\text{ ms} \sim 32\text{ ms}$ が2番目の画面を表示したときの画素電位である。画素電位は 8 V を基準として $\pm 5\text{ V}$ の信号を画素電極に印加している。

10

【0122】

図25は図12のアクティブマトリクス基板のシミュレーションのモデルとなった回路図である。図26は図25における画素部の詳しい回路図である。画素TFT3501、保持容量3502が図26に示すように設けられている。図12に示したシミュレーションは図25におけるpoint Aの電位を測定したものである。

20

【0123】

遮蔽膜をフローディングにせずに、低抵抗(1)コモン線(COM)に接続して基準電位に保った場合のシミュレーションの結果を比較のために図12(B)に示す。

【0124】

図12(A)と図12(B)を比較するとほぼ同じシミュレーション結果が得られたことがわかる。つまり、遮蔽膜をコモン線に接続せずにフローディングにし、遮蔽膜とコモン線との間にカップリング容量を設けた場合でも、画素電位の変動は見られず、遮蔽膜をフローディングにせずに、コモン線(COM)に接続して基準電位に保った場合と同程度の画像表示が可能であることがわかった。よって画質を落とすことなく、遮蔽膜とコモン線との間に設けられた層間絶縁膜にマスクを用いたフォトリソグラフィーによってコンタクトホールをあける作製工程を削減し、高い歩留まりを達成することが可能になり、またその作製コストを抑えることが可能になる。

30

【0125】

(実施例3)

画素マトリクス回路とその周辺に設けられる駆動回路のTFTを同時に作製する方法を、実施例1に示した以外の方法で作製する例について、図13～図15を用いて説明する。本実施例で開示するプロセスを用いて、本願発明のアクティブマトリクス型表示装置を形成しても良い。

40

【0126】

[島状半導体層、ゲート絶縁膜形成の工程：図13(A)]

図13(A)において、基板7001には、無アルカリガラス基板や石英基板を使用することが望ましい。その他にもシリコン基板や金属基板の表面に絶縁膜を形成したものを基板としても良い。

【0127】

そして、基板7001のTFTが形成される表面には、酸化シリコン膜、窒化シリコン膜、または窒化酸化シリコン膜からなる下地膜をプラズマCVD法やスパッタ法で $100 \sim 400\text{ nm}$ の厚さに形成した。例えば下地膜として、窒化シリコン膜7002を $25 \sim 100\text{ nm}$ 、ここでは 50 nm の厚さに、酸化シリコン膜7003を $50 \sim 300\text{ nm}$ 、ここでは 150 nm の厚さとした2層構造で形成すると良い。下地膜は基板からの不純物汚

50

染を防ぐために設けられるものであり、石英基板を用いた場合には必ずしも設けなくても良い。

【0128】

次に下地膜の上に 20 ~ 100 nm の厚さの、非晶質シリコン膜を公知の成膜法で形成した。非晶質シリコン膜は含有水素量にもよるが、好ましくは 400 ~ 550 で数時間加熱して脱水素処理を行い、含有水素量を 5 atom% 以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。ここでは、下地膜と非晶質シリコン膜とは、同じ成膜法で形成することが可能であるので両者を連続形成しても良い。下地膜を形成後、一旦大気雰囲気にさらされないようにすることで表面の汚染を防ぐことが可能となり、作製される TFT の特性バラツキを低減させることができる。10

【0129】

非晶質シリコン膜から結晶質シリコン膜を形成する工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。また、シリコンの結晶化を助長する触媒元素を用いて熱結晶化の方法で結晶質シリコン膜を作製しても良い。その他に、微結晶シリコン膜を用いても良いし、結晶質シリコン膜を直接堆積成膜しても良い。さらに、単結晶シリコンを基板上に貼りあわせる SOI (Silicon On Insulators) の公知技術を使用して結晶質シリコン膜を形成しても良い。

【0130】

こうして形成された結晶質シリコン膜の不要な部分をエッチング除去して、島状半導体層 7004 ~ 7006 を形成した。結晶質シリコン膜の n チャネル型 TFT が作製される領域には、しきい値電圧を制御するため、あらかじめ $1 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 程度の濃度でボロン (B) を添加しておいても良い。20

【0131】

次に、島状半導体層 7004 ~ 7006 を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜 7007 を形成した。ゲート絶縁膜 7007 は、10 ~ 200 nm、好ましくは 50 ~ 150 nm の厚さに形成すれば良い。例えば、プラズマ CVD 法で N₂O と SiH₄ を原料とした窒化酸化シリコン膜を 75 nm 形成し、その後、酸素雰囲気中または酸素と塩酸の混合雰囲気中、800 ~ 1000 で熱酸化して 115 nm のゲート絶縁膜としても良い。(図 13 (A))30

【0132】

[n⁻領域の形成：図 13 (B)]

島状半導体層 7004、7006 及び配線を形成する領域の全面と、島状半導体層 7005 の一部 (チャネル形成領域となる領域を含む) にレジストマスク 7008 ~ 7011 を形成し、n 型を付与する不純物元素を添加して低濃度不純物領域 7012 を形成した。この低濃度不純物領域 7012 は、後に CMOS 回路の n チャネル型 TFT に、ゲート絶縁膜を介してゲート電極と重なる LDD 領域 (本明細書中では Lov 領域という。なお、ov とは overlap の意味である。) を形成するための不純物領域である。なお、ここで形成された低濃度不純物領域に含まれる n 型を付与する不純物元素の濃度を (n⁻) で表すこととする。従って、本明細書中では低濃度不純物領域 7012 を n⁻ 領域と言い換えることができる。40

【0133】

ここではフォスフィン (PH₃) を質量分離しないでプラズマ励起したイオンドープ法でリンを添加した。望ましければ、質量分離を行いうイオンインプランテーション法を用いても良い。この工程では、ゲート絶縁膜 7007 を通してその下の半導体層にリンを添加した。添加するリン濃度は、 $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{ atoms/cm}^3$ とした。

【0134】

その後、レジストマスク 7008 ~ 7011 を除去し、窒素雰囲気中で 400 ~ 900

10

20

30

40

50

、好ましくは 550 ~ 800 nm で 1 ~ 12 時間の熱処理を行ない、この工程で添加されたリンを活性化する工程を行なった。

【 0135 】

[ゲート電極用および配線用導電膜の形成 : 図 13 (C)]

第 1 の導電膜 7013 を、タンタル (Ta) 、チタン (Ti) 、モリブデン (Mo) 、タンゲステン (W) から選ばれた元素またはいずれかを主成分とする導電性材料で、10 ~ 100 nm の厚さに形成した。第 1 の導電膜 7013 としては、例えば窒化タンタル (TaN) や窒化タンゲステン (WN) を用いることが望ましい。さらに、第 1 の導電膜 7013 上に第 2 の導電膜 7014 を Ta 、 Ti 、 Mo 、 W から選ばれた元素またはいずれかを主成分とする導電性材料で、100 ~ 400 nm の厚さに形成した。例えば、Ta を 200 nm の厚さに形成すれば良い。また、図示しないが、第 1 の導電膜 7013 の下に導電膜 7013 、 7014 (特に導電膜 7014) の酸化防止のためにシリコン膜を 2 ~ 20 nm 程度の厚さで形成しておくことは有効である。

【 0136 】

[p - ch ゲート電極、配線電極の形成と p ++ 領域の形成 : 図 14 (A)]

レジストマスク 7015 ~ 7018 を形成し、第 1 の導電膜と第 2 の導電膜 (以下、積層膜として取り扱う) をエッチングして、p チャネル型 TFT のゲート電極 7019 、ゲート信号線 7020 、 7021 を形成した。なお、n チャネル型 TFT となる領域の上には全面を覆うように導電膜 7022 、 7023 を残した。

【 0137 】

そして、レジストマスク 7015 ~ 7018 をそのまま残してマスクとし、p チャネル型 TFT が形成される半導体層 7004 の一部に、p 型を付与する不純物元素を添加する工程を行なった。ここではボロンをその不純物元素として、ジボラン (B₂H₆) を用いてイオンドープ法 (勿論、イオンインプランテーション法でも良い) で添加した。ここでは $5 \times 10^{20} \sim 3 \times 10^{21}$ atoms/cm³ の濃度にボロンを添加した。なお、ここで形成された不純物領域に含まれる p 型を付与する不純物元素の濃度を (p++) で表すこととする。従って、本明細書中では不純物領域 7024 、 7025 を p++ 領域と言い換えることができる。

【 0138 】

なお、この工程において、レジストマスク 7015 ~ 7018 を使用してゲート絶縁膜 7007 をエッチング除去して、島状半導体層 7004 の一部を露出させた後、p 型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

【 0139 】

[n - ch ゲート電極の形成 : 図 14 (B)]

次に、レジストマスク 7015 ~ 7018 を除去した後、レジストマスク 7026 ~ 7029 を形成し、n チャネル型 TFT のゲート電極 7030 、 7031 を形成した。このときゲート電極 7030 は n - 領域 7012 とゲート絶縁膜を介して重なるように形成した。

【 0140 】

[n + 領域の形成 : 図 14 (C)]

次に、レジストマスク 7026 ~ 7029 を除去し、レジストマスク 7032 ~ 7034 を形成した。そして、n チャネル型 TFT において、ソース領域またはドレイン領域として機能する不純物領域を形成する工程を行なった。レジストマスク 7034 は n チャネル型 TFT のゲート電極 7031 を覆う形で形成した。これは、後の工程において画素マトリクス回路の n チャネル型 TFT に、ゲート電極と重ならないように LDD 領域を形成するためである。

【 0141 】

そして、n 型を付与する不純物元素を添加して不純物領域 7035 ~ 7039 を形成した。ここでも、フォスフィン (PH₃) を用いたイオンドープ法 (勿論、イオンインプランテーション法でも良い) で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³

10

20

30

40

50

cm^3 とした。なお、ここで形成された不純物領域 7037 ~ 7039に含まれるn型を付与する不純物元素の濃度を(n^+)で表すこととする。従って、本明細書中では不純物領域 7037 ~ 7039を n^+ 領域と言い換えることができる。また、不純物領域 7035は既に n^- 領域が形成されていたので、厳密には不純物領域 7037 ~ 7039よりも若干高い濃度でリンを含む。

【0142】

なお、この工程において、レジストマスク 7032 ~ 7034およびゲート電極 7030をマスクとしてゲート絶縁膜 7007をエッティングし、島状半導体膜 7005、7006の一部を露出させた後、n型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。10

【0143】

[n^{++} 領域の形成：図15(A)]

次に、レジストマスク 7032 ~ 7034を除去し、画素マトリクス回路のnチャネル型TFTとなる島状半導体層 7006にn型を付与する不純物元素を添加する工程を行った。こうして形成された不純物領域 7040 ~ 7043には前記 n^- 領域と同程度かそれより少ない濃度（具体的には $5 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ ）のリンが添加されるようにした。なお、ここで形成された不純物領域 7040 ~ 7043に含まれるn型を付与する不純物元素の濃度を(n^{++})で表すこととする。従って、本明細書中では不純物領域 7040 ~ 7043を n^{++} 領域と言い換えることができる。また、この工程ではゲート電極で隠された不純物領域 7067を除いて全ての不純物領域に $n^?$ の濃度でリンが添加されているが、非常に低濃度であるため無視して差し支えない。20

【0144】

[熱活性化の工程：図15(B)]

次に、後に第1の層間絶縁膜の一部となる保護絶縁膜 7044を形成した。保護絶縁膜 7044は窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は 100 ~ 400 nmとすれば良い。

【0145】

その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために熱処理工程を行った。この工程はファーネスアニール法、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)で行うことができる。ここではファーネスアニール法で活性化工程を行った。加熱処理は、窒素雰囲気中において 300 ~ 650、好ましくは 400 ~ 550、ここでは 450、2 時間の熱処理を行った。30

【0146】

さらに、3 ~ 100 %の水素を含む雰囲気中で、300 ~ 450 で 1 ~ 12 時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0147】

[層間絶縁膜、ソース／ドレイン電極、遮蔽膜、画素電極、保持容量の形成：図15(C)]

活性化工程を終えたら、保護絶縁膜 7044の上に 0.5 ~ 1.5 μm 厚の層間絶縁膜 7045を形成した。前記保護絶縁膜 7044と層間絶縁膜 7045とでなる積層膜を第1の層間絶縁膜とした。40

【0148】

その後、それぞれのTFTのソース領域またはドレイン領域に達するコンタクトホールが形成され、ソース電極 7046 ~ 7048と、ドレイン電極 7049、7050を形成した。図示していないが、本実施例ではこの電極を、Ti膜を 100 nm、Tiを含むアルミニウム膜 300 nm、Ti膜 150 nmをスパッタ法で連続して形成した3層構造の積層膜とした。50

【0149】

次に、パッシベーション膜7051として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で50～500nm（代表的には200～300nm）の厚さで形成した。その後、この状態で水素化処理を行うとTFTの特性向上に対して好ましい結果が得られた。例えば、3～100%の水素を含む雰囲気中で、300～450で1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン電極を接続するためのコンタクトホールを形成する位置において、パッシベーション膜7051に開口部を形成しておいても良い。

【0150】

その後、有機樹脂からなる第2の層間絶縁膜7052を約1μmの厚さに形成した。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機系SiO化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300で焼成して形成した。

【0151】

次に、画素マトリクス回路となる領域において、第2の層間絶縁膜7052上に遮蔽膜7053を形成した。遮蔽膜7053はアルミニウム（Al）、チタン（Ti）、タンタル（Ta）から選ばれた元素またはいずれかを主成分とする膜で100～300nmの厚さに形成した。そして、遮蔽膜7054の表面に陽極酸化法またはプラズマ酸化法により30～150nm（好ましくは50～75nm）の厚さの酸化膜7054を形成した。ここでは遮蔽膜7053としてアルミニウム膜またはアルミニウムを主成分とする膜を用い、誘電体7054として酸化アルミニウム膜（アルミナ膜）を用いた。

【0152】

なお、ここでは遮蔽膜の表面のみに絶縁膜を設ける構成としたが、絶縁膜をプラズマCVD法、熱CVD法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は30～150nm（好ましくは50～75nm）とすることが好ましい。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、DLC（Diamond like carbon）膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

【0153】

次に、第2の層間絶縁膜7052にドレイン電極7050に達するコンタクトホールを形成し、画素電極7055を形成した。なお、画素電極7056、7057はそれぞれ隣接する別の画素の画素電極である。画素電極7055～7057は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置するために、酸化インジウム・スズ（ITO）膜を100nmの厚さにスパッタ法で形成した。

【0154】

また、この時、画素電極7055と遮蔽膜7053とが酸化膜7054を介して重なった領域7058が保持容量を形成した。

【0155】

こうして同一基板上に、ドライバ回路となるCMOS回路と画素マトリクス回路とを有したアクティブラーマトリクス基板が完成した。なお、ドライバ回路となるCMOS回路にはpチャネル型TFT7081、nチャネル型TFT7082が形成され、画素マトリクス回路にはnチャネル型TFTでなる画素TFT7083が形成された。

【0156】

CMOS回路のpチャネル型TFT7081には、チャネル形成領域7061、ソース領域7062、ドレイン領域7063がそれぞれp⁺領域で形成された。また、nチャネル型TFT7082には、チャネル形成領域7064、ソース領域7065、ドレイン領域

10

20

30

40

50

7066、ゲート絶縁膜を介してゲート電極と重なったLDD領域（以下、Lov領域という。なお、ovとはoverlapの意である。）7067が形成された。この時、ソース領域7065、ドレイン領域7066はそれぞれ（n⁻+n⁺）領域で形成され、Lov領域7067はn⁻領域で形成された。

【0157】

また、画素TFT7083には、チャネル形成領域7068、7069、ソース領域7070、ドレイン領域7071、ゲート絶縁膜を介してゲート電極と重ならないLDD領域（以下、loff領域という。なお、offとはoffsetの意である。）7072～7075、loff領域7073、7074に接したn⁺領域7076が形成された。この時、ソース領域7070、ドレイン領域7071はそれぞれn⁺領域で形成され、loff領域7072～7075はn⁻領域で形成された。
10

【0158】

また、チャネル長3～7μmに対してLov領域の長さ（幅）は0.5～3.0μm、代表的には1.0～1.5μmとすれば良い。また、画素TFT7083に設けられるloff領域7072～7075の長さ（幅）は0.5～3.5μm、代表的には2.0～2.5μmとすれば良い。

【0159】

図28に、コモン線と、FPCからの引き出し端子との接合部分を示す。基板7001、図15（C）に示したnチャネル型TFTを有するゲート信号線駆動回路2902、コモン線2903、遮蔽膜2904、誘電体2905、ITO膜2906、フィラー2907、樹脂2908、FPCからの引き出し端子上に成膜されたITO膜2909、FPCからの引き出し端子2910が図28に示すように設けられている。
20

【0160】

遮蔽膜2904とITO膜2906と、その間に挟まれた誘電体2905とによって、カップリング容量が形成されている。ITO膜2906は、ゲート信号線駆動回路2902上に設けられており、ゲート信号線駆動回路2902の下に設けられたコモン線2903と接続している。FPCからの引き出し端子2910上にはFPC側のITO膜2909が接するように形成されており、FPCからの引き出し端子2910上のFPC側のITO膜2909とITO膜2906とは、フィラー2907と樹脂2908とによって接続されている。
30

【0161】

樹脂2908は光硬化性の樹脂であっても、熱硬化性の樹脂であっても良く、また光硬化性の樹脂と熱硬化性の樹脂との混合物であっても良い。光硬化性の樹脂と熱硬化性の樹脂との混合物を用いた場合、光によって仮接着の後、熱を加えて圧着させることにより接続する。またフィラーは導電性の材料であることが必要である。大きさの異なるフィラーを2種類以上用いても良く、この場合、サイズの小さいフィラーはスペーサとして働くので導電性でなくても良く、サイズの大きい粒子は電気的に接続させる働きをするので導電性であることが必要である。

【0162】

本願発明では、ソースライン反転によって液晶を駆動してやり、かつ遮蔽膜を一定の電位（基準電位）に保たれたコモン線に接続しない。ソースライン反転によって、遮蔽膜の電位は時間的に平均を取ると一定に保たれるので、遮蔽膜と画素電極との間に誘電体を挟み込んだ構造の保持容量において、遮蔽膜をフローティングにすることが可能になる。よって遮蔽膜をパターニングによって形成した後に、遮蔽膜とコモン線とを接続するために、遮蔽膜とコモン線との間に設けられた層間絶縁膜にマスクを用いたフォトリソグラフィーによるコンタクトホールをあける必要がなくなる。このため作製工程を削減し、高い歩留まりを達成することが可能になり、またアクティブマトリクス型液晶表示装置の作製コストを抑えることが可能になる。
40

【0163】

（実施例4）
50

上述の実施例 1 ~ 3 で説明した本願発明の液晶表示装置は、図 16 に示すような 3 板式のプロジェクタに用いることができる。

【0164】

図 16において、2401は白色光源、2402~2405はダイクロイックミラー、2406ならびに2407は全反射ミラー、2408~2410は本願発明の液晶表示装置、および2411は投影レンズである。

【0165】

(実施例 5)

また、上述の実施例 1 ~ 3 で説明した本願発明の液晶表示装置は、図 17 に示すような 3 板式のプロジェクタに用いることもできる。

10

【0166】

図 17において、2501は白色光源、2502ならびに2503はダイクロイックミラー、2504~2506は全反射ミラー、2507~2509は本願発明の液晶表示装置、および2510はダイクロイックプリズム、および2511は投影レンズである。

【0167】

(実施例 6)

また、上述の実施例 1 ~ 3 で説明した本願発明の液晶表示装置は、図 18 に示すような単板式のプロジェクタに用いることもできる。

【0168】

図 18において、2601はランプとリフレクターとから成る白色光源である。2602、2603、および2604は、ダイクロイックミラーであり、それぞれ青、赤、緑の波長領域の光を選択的に反射する。2605はマイクロレンズアレイであり、複数のマイクロレンズによって構成されている。2606は本願発明の液晶表示装置である。2607はフィールドレンズ、2608は投影レンズ、2609はスクリーンである。

20

【0169】

(実施例 7)

上記実施例 5 ~ 7 のプロジェクタは、その投影方法によってリアプロジェクターとフロントプロジェクターとがある。

【0170】

図 19 (A) はフロント型プロジェクタ - であり、本体 10001、本願発明の液晶表示装置 10002、光源 10003、光学系 10004、スクリーン 10005 で構成されている。なお、図 19 (A) には、液晶表示装置を 1 つ組み込んだフロントプロジェクターが示されているが、液晶表示装置を 3 つ (R、G、B の光にそれぞれ対応させる) 組み込むことによって、より高解像度・高精細のフロント型プロジェクタを実現することができる。

30

【0171】

図 19 (B) はリア型プロジェクターであり、10006 は本体、10007 は液晶表示装置であり、10008 は光源であり、10009 はリフレクター、10010 はスクリーンである。なお、図 19 (B) には、アクティブマトリクス型半導体表示装置を 3 つ (R、G、B の光にそれぞれ対応させる) 組み込んだリア型プロジェクタが示されている。

40

【0172】

(実施例 8)

本実施例では、本願発明の液晶表示装置をゴーグル型ディスプレイに用いた例を示す。

【0173】

図 20 を参照する。2801 はゴーグル型ディスプレイ本体である。2802 - R ならびに 2802 - L は本願発明の液晶表示装置であり、2803 - R ならびに 2803 - L は LED バックライトであり、2804 - R ならびに 2804 - L は光学素子である。

【0174】

(実施例 9)

本願発明の液晶表示装置には他に様々な用途がある。本実施例では、本願発明の液晶表示

50

装置を組み込んだ半導体装置について説明する。

【0175】

このような半導体装置には、ビデオカメラ、スチルカメラ、カーナビゲーション、パソコン用コンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話など）などが挙げられる。それらの一例を図21に示す。

【0176】

図21(A)は携帯電話であり、本体11001、音声出力部11002、音声入力部11003、本願発明の液晶表示装置11004、操作スイッチ11005、アンテナ11006で構成される。

【0177】

図21(B)はビデオカメラであり、本体12007、本願発明の液晶表示装置12008、音声入力部12009、操作スイッチ12010、バッテリー12011、受像部12012で構成される。

【0178】

図21(C)はモバイルコンピュータであり、本体13001、カメラ部13002、受像部13003、操作スイッチ13004、本願発明の液晶表示装置1305で構成される。

【0179】

図21(D)は携帯書籍（電子書籍）であり、本体14001、本願発明の液晶表示装置14002、14003、記憶媒体14004、操作スイッチ14005、アンテナ14006で構成される。

【0180】

（実施例10）

【0181】

本実施例においては、本願発明の液晶表示装置をノートブック型パソコン用コンピュータに用いた例を図22に示す。

【0182】

3001はノートブック型パソコン用コンピュータ本体であり、3002は本願発明の液晶表示装置である。また、バックライトにはLEDが用いられている。なお、バックライトに従来のように陰極管を用いても良い。

【0183】

（実施例11）

本実施例では、遮蔽膜をアクティブマトリクス部を有するアクティブマトリクス基板上だけではなく、対向基板上にも設ける例について説明する。

【0184】

基板（アクティブマトリクス基板）501、ソース信号線駆動回路511、ゲート信号線駆動回路502、アクティブマトリクス部513、遮蔽膜504、ITO膜506、コモン線507、FPC514が図24(A)に示すように設けられている。また対向基板上に設けられた対向遮蔽膜517が図に示すようにソース信号線駆動回路511全体と重なっており、遮蔽膜504と一部重なっている。この実施例では対向遮蔽膜504をソース信号線駆動回路511全体と重なるように、対向基板上に設けたが、ソース信号線駆動回路が有するサンプリング回路のみと重なるようにしても良い。

【0185】

ITO膜506とコモン線507は電気的に接続されており、コモン線507はFPC514によって基板の外部に接続され、一定の電位（基準電位）に保たれている。

【0186】

コモン線507に接続されたITO膜506と遮蔽膜504の重なった部分にカップリング容量516が形成されている。

【0187】

対向遮蔽膜517と遮蔽膜504の重なっている部分（重複部）518は、外部からの光

10

20

30

40

50

がソース信号線駆動回路 511 に入射するのを防ぐ。光がソース信号線駆動回路 511、特にソース信号線駆動回路が有するサンプリング回路に入射すると、サンプリング回路を構成する薄膜トランジスタ（TFT）のオフ電流が増加してしまい、ノイズの原因となる。対向遮蔽膜 517 は、Ti を有していることが望ましく、Ti を有することで光が対向遮蔽膜 517 に反射してソース信号線駆動回路に入射するのを防ぐ。また重複部 518 を 20 μm 以上設けることが、ソース信号線駆動回路 511 への光の入射を防ぐのに効果的である。

【0188】

図 24 (B) に、図 24 (A) の A - A' における断面図を示す。基板 501、アクティブマトリクス部 513、層間絶縁膜 512、遮蔽膜 504、誘電体 505、対向基板 521、対向基板側層間絶縁膜 522、対向基板側遮蔽膜 517 が図に示すように設けられている。基板 501 と対向基板 521 はスペーサ（図示せず）を挟んで、シール材（図示せず）により接着される。遮蔽膜 504 と対向基板側遮蔽膜 517 は一部重なっており、この重なりの幅 L は 20 μm 以上あることが好ましい。

10

【0189】

また、アクティブマトリクス基板上の回路は、実施例 1 ~ 3 と同様の方法で作製すれば良い。また以下の実施例で開示される方法を用いても良い。

【0190】

(実施例 12)

本願発明の画素マトリクス回路とその周辺に設けられる駆動回路の TFT を同時に作製する実施例 1 に示した以外の方法の一例について、図 29 を用いて説明する。なお、本願発明はこの作製方法に限られない。

20

【0191】

実施例 1 の図 8 (C) の工程まで同様に形成する。次にレジストマスクを用いて、第 1 の導電膜と第 2 の導電膜（以下、積層膜として取り扱う）をエッチングして、p チャネル型 TFT のゲート電極 8001、n チャネル型 TFT のゲート電極 8002、ゲート信号線 8003a、8003b を形成した。このときゲート電極 8002 は n⁻ 領域 6012、6013 とゲート絶縁膜を介して重なるようにした。（図 29 (A)）

【0192】

そして、p チャネル型 TFT のゲート電極 8001、n チャネル型 TFT のゲート電極 8002、ゲート信号線 8003a、8003b をそれぞれマスクとして、n 型を付与する不純物を添加した。こうして形成された不純物領域 8004、8005、8006、8007、8008 には、図 8 (B) で示した前記 n⁻ 領域と同程度かそれより少ない濃度（具体的には $5 \times 10^{16} \sim 1 \times 10^{18}$ atoms/cm³）のリンが添加されるようにした。なお、ここで形成された不純物領域 8004 ~ 8008 に含まれる n 型を付与する不純物元素の濃度を (n⁻⁻) で表すこととする。従って、本明細書中では不純物領域 8004 ~ 8008 を n⁻⁻ 領域と言い換えることができる。また、この工程ではゲート電極で隠された不純物領域 8009、8010 を除いて全ての不純物領域に n[?] の濃度でリンが添加されているが、非常に低濃度であるため無視して差し支えない。（図 29 (B)）

30

【0193】

次に、レジストマスク 8011 ~ 8014 を形成した。そして、n チャネル型 TFT において、ソース領域またはドレイン領域として機能する不純物領域を形成する工程を行なった。レジストマスク 8012 は n チャネル型 TFT のゲート電極 8002 を覆う形で形成した。これは、後の工程において画素マトリクス回路の n チャネル型 TFT に、ゲート電極と重ならないように LDD 領域を形成するためである。

40

【0194】

そして、n 型を付与する不純物元素を添加して不純物領域 8016 ~ 8022 を形成した。ここでも、フォスフィン (PH₃) を用いたイオンドープ法（勿論、イオンインプランテーション法でも良い）で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³ とした。なお、ここで形成された不純物領域 8018 ~ 8022 に含まれる n 型を付

50

与する不純物元素の濃度を(n^+)で表すこととする。従って、本明細書中では不純物領域 8018 ~ 8022 を n^+ 領域と言い換えることができる。また、不純物領域 8009 、 8010 は既に n^- 領域が形成されていたので、厳密には不純物領域 8020 ~ 8022 よりも若干高い濃度でリンを含む。(図 29 (C))

【 0195 】

なお、この工程において、レジストマスク 8011 ~ 8014 をマスクとしてゲート絶縁膜 6007 をエッチングし、島状半導体膜 6005 、 6006 の一部を露出させた後、 n 型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

【 0196 】

レジストマスク 8024 を、 n チャネル型 TFT となる領域の上全面を覆うように形成した。そして、レジストマスク 8024 をマスクとし、 p チャネル型 TFT が形成される半導体層 6004 の一部に、 p 型を付与する不純物元素を添加する工程を行った。ここではボロンをその不純物元素として、ジボラン(B_2H_6)を用いてイオンドープ法(勿論、イオンインプランテーション法でも良い)で添加した。ここでは $5 \times 10^{20} \sim 3 \times 10^{21}$ atoms/cm³ の濃度にボロンを添加した。なお、ここで形成された不純物領域に含まれる p 型を付与する不純物元素の濃度を(p^+)で表すこととする。従って、本明細書中では不純物領域 8025 、 8026 を p^+ 領域と言い換えることができる。(図 29 (D))

【 0197 】

なお、この工程において、レジストマスク 8024 を使用してゲート絶縁膜 6007 をエッチング除去して、島状半導体層 6004 の一部を露出させた後、 p 型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

【 0198 】

次に、添加された不純物元素(リンまたはボロン)の活性化工程を行う。本実施例ではこの活性化工程をファーネスアニールまたはランプアニールによって行なうことが好ましい。ファーネスアニールを用いる場合、 450 ~ 650 、好ましくは 500 ~ 550 、ここで 500 、 4 時間の熱処理を行うこととする。(図 29 (E))

【 0199 】

本実施例の場合、 n チャネル型 TFT および p チャネル型 TFT の双方のソース領域またはドレイン領域に、必ず n^+ 領域に相当する濃度のリンが含まれた領域を有する。そのため、熱活性化のための熱処理工程において、リンによるニッケルのゲッタリング効果を得ることができる。即ち、チャネル形成領域から矢印で示す方向へニッケルが移動し、ソース領域またはドレイン領域に含まれるリンの作用によってゲッタリングされる。これは特に結晶化を促進させる金属、例えばニッケルを用いた場合に有効である。

【 0200 】

このように本実施例を実施すると、島状半導体膜に添加された不純物元素の活性化工程と、結晶化に用いた触媒元素のゲッタリング工程とを兼ねることができ、工程の簡略化に有効である。

【 0201 】

そして実施例 1 で上述したように、図 10 (C) に示したのと同様の工程で、画素マトリクス回路とその周辺に設けられる駆動回路の TFT を完成する。なお、本実施例で示した作製工程は一例であり、作製工程の順序は本実施例の形態に限られない。

【 0202 】

(実施例 13)

本実施例では、本願発明のアクティブマトリクス回路の断面図及び上面図の、図 23 で示したものとは別の例について説明する。図 30 に図 11 の上面及び断面の概略図を示す。図 30 (A) は本願発明のアクティブマトリクス回路の上面図である。

【 0203 】

基板 601 に、ソース信号線駆動回路 611 (図 11 に示すところの 301) 、ゲート信

10

20

30

40

50

号線駆動回路 602（図11に示すところの302）、アクティブマトリクス部613（図11に示すところの303）、遮蔽膜604、ITO膜606、コモン線607、FPC614が図30（A）に示すように設けられている。

【0204】

ITO膜606とコモン線607は、接続部608において電気的に接続しており、コモン線607はFPC614によって基板の外部に接続され、一定の電位（基準電位）に保たれている。

【0205】

コモン線607に接続されたITO膜606と遮蔽膜604の重なった部分にカップリング容量616（図11で示すところの310）が形成されている。本実施例においてITO膜606はゲート信号線駆動回路602の一部を覆うように形成されているため、容量値の大きいカップリング容量616を形成することが可能である。なおITO膜606をゲート信号線駆動回路602全体を覆うように形成しても良い。10

【0206】

図30（B）は、図30（A）のA-A'における断面図である。基板601、ゲート信号線駆動回路602が有するnチャネル型TFTの1つ616、層間絶縁膜617、遮蔽膜604（図11に示すところの311）、誘電体605、ITO膜606、コモン線607（図11に示すところの312）、フィラー612、樹脂610、FPCからの引き出し端子上に成膜されたITO膜609、FPCからの引き出し端子615が図30（B）に示すように設けられている。20

【0207】

遮蔽膜604とITO膜606と、その間に挟まれた誘電体605とによって、カップリング容量が形成されている。ITO膜606は、ゲート信号線駆動回路602上に設けられており、言い換えると、ゲート信号線駆動回路602が有するnチャネル型TFTの1つ616の上に設けられている。

【0208】

またITO膜606は、基板601上に設けられたコモン線607と、接続部608において接続している。なお本実施例ではITO膜606とコモン線607とを直接接続しているが、別の配線等を間に介して接続することにより、ITO膜606とコモン線607とを電気的に接続しても良いことは言うまでもない。30

【0209】

FPCからの引き出し端子615上にはFPC側のITO膜609が接するように形成されており、FPCからの引き出し端子615上のFPC側のITO膜609とITO膜606とは、フィラー612と樹脂610とによって接続されている。

【0210】

樹脂610は光硬化性の樹脂であっても、熱硬化性の樹脂であっても良く、また光硬化性の樹脂と熱硬化性の樹脂との混合物であっても良い。光硬化性の樹脂と熱硬化性の樹脂との混合物を用いた場合、光によって仮接着の後、熱を加えて圧着させることにより接続する。またフィラーは導電性の材料であることが必要である。大きさの異なるフィラーを2種類以上用いても良く、この場合、サイズの小さいフィラーはスペーサとして働くので導電性でなくとも良く、サイズの大きい粒子は電気的に接続させる働きをするので導電性であることが必要である。40

【0211】

本実施例のアクティブマトリクス回路と駆動回路は、これまでの実施例で開示した方法を用いて作製することが可能である。

【0212】

（実施例14）

本実施例では、本願発明を用いた電気光学装置のうち、図16～図22で示した以外のものについて、その一例を図31に示す。

【0213】

10

20

30

40

50

図31(A)はディスプレイであり、筐体2001、支持台2002、表示部2003等を含む。本願発明は表示部2003に適用することができる。

【0214】

図31(B)は頭部取り付け型のディスプレイの一部(右片側)であり、本体2201、信号ケーブル2202、頭部固定バンド2203、スクリーン部2204、光学系2205、表示部2206等を含む。本願発明は表示部2206に適用できる。

【0215】

図31(C)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2301、表示部2302、スピーカ部2303、記録媒体2304、操作スイッチ2305で構成される。なお、この装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本願発明は表示部2302に適用することができる。

【0216】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~3、11~13のどのような組み合わせからなる構成を用いても実現することができる。

【0217】

【発明の効果】

ソースライン反転で液晶を駆動させて、遮蔽膜をコモン線に接続せずにフローティングとしている。このような構成にすることで、遮蔽膜をコモン線に接続しなくても、遮蔽膜の電位が時間的に平均を取ると一定に保たれるので、遮蔽膜と画素電極との間に誘電体を挟み込んだ構造の保持容量を形成することが可能になる。よって遮蔽膜をパターニングによって形成した後に、遮蔽膜とコモン線を接続するために、遮蔽膜とコモン線との間に設けられた層間絶縁膜にマスクを用いたフォトリソグラフィーによるコンタクトホールをあける必要がなくなる。このため作製工程を削減し、高い歩留まりを達成することが可能になり、またアクティブマトリクス型液晶表示装の作製コストを抑えることが可能になる。またそれに加えて、遮蔽膜をフローティングにして遮蔽膜とコモン線との間に大容量のカップリング容量を形成した場合は、遮蔽膜の電位をさらに一定に保つことが可能になるため、良好なコントラストを得ることができる。

【0218】

なお、上記実施例はTFTの活性層として珪素膜を例にとって説明したが、必要に応じて不純物を添加したり、Si-Ge化合物など、他の半導体を用いても良い。また画素が有するTFTとして、ダブルゲート構造を有するTFTを示したが、シングルゲート構造を有していても良いし、他のマルチゲート構造を有していても良い。また画素が有するTFTの活性層が、a-Si(アモルファスシリコン)を有していても良い。

【図面の簡単な説明】

【図1】 本願発明のアクティブマトリクス回路の回路図。

【図2】 本願発明の画素マトリクス回路の上面構造を示す図。

【図3】 本願発明の画素マトリクス回路の上面構造を示す図。

【図4】 ソースライン反転の概念を示す図。

【図5】 ソース信号線駆動回路のブロック図。

【図6】 ソース信号線駆動回路の回路図。

【図7】 アナログスイッチとレベルシフト回路の等価回路図。

【図8】 本願発明のTFTの作製工程を示す断面図。

【図9】 本願発明のTFTの作製工程を示す断面図。

【図10】 本願発明のTFTの作製工程を示す断面図。

【図11】 本願発明のアクティブマトリクス回路の回路図。

【図12】 本願発明のシミュレーション結果を示す図。

【図13】 本願発明のTFTの作製工程を示す断面図。

10

20

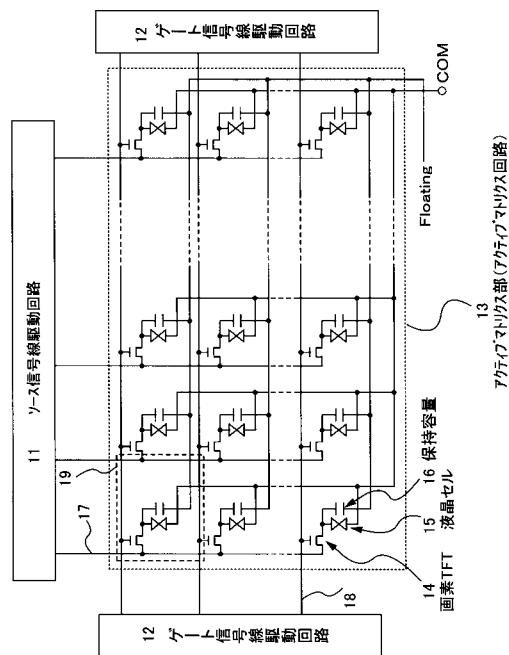
30

40

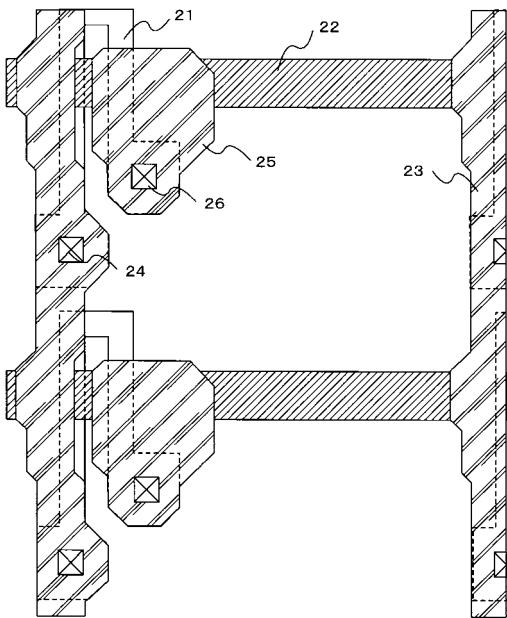
50

- 【図14】 本願発明のTFTの作製工程を示す断面図。
- 【図15】 本願発明のTFTの作製工程を示す断面図。
- 【図16】 本願発明の液晶表示装置を用いた3板式プロジェクタの概略構成図。
- 【図17】 本願発明の液晶表示装置を用いた3板式プロジェクタの概略構成図。
- 【図18】 本願発明の液晶表示装置を用いた単板式プロジェクタの概略構成図。
- 【図19】 本願発明の液晶表示装置を用いたフロントプロジェクタおよびリアプロジェクタの概略構成図。
- 【図20】 本願発明の液晶表示装置を用いたゴーグル型ディスプレイの概略構成図。
- 【図21】 本願発明の液晶表示装置を用いた電子機器の例。
- 【図22】 本願発明の液晶表示装置を用いたノートブック型パーソナルコンピュータの概略構成図。 10
- 【図23】 本願発明のアクティブマトリクス回路の断面図及び上面図。
- 【図24】 本願発明のアクティブマトリクス回路の上面図。
- 【図25】 アクティブマトリクス基板のシミュレーションのモデルとなる回路図。
- 【図26】 アクティブマトリクス基板のシミュレーションのモデルとなる回路における画素部の回路図。
- 【図27】 ゲート信号線駆動回路上に設けられたITOに接続されたコモン線と、FP Cの取り出し端子との接合部分の断面図。
- 【図28】 ゲート信号線駆動回路上に設けられたITOに接続されたコモン線と、FP Cの取り出し端子との接合部分の断面図。 20
- 【図29】 本願発明のTFTの作製工程を示す断面図。
- 【図30】 本願発明のアクティブマトリクス回路の断面図及び上面図。
- 【図31】 本願発明の液晶表示装置を用いた電子機器の例。
- 【符号の説明】
- 1 1 ソース信号線駆動回路
- 1 2 ゲート信号線駆動回路
- 1 3 アクティブマトリクス部
- 1 4 画素TFT
- 1 5 液晶
- 1 6 保持容量
- 1 7 ソース信号線
- 1 8 ゲート信号線
- 1 9 画素部 30

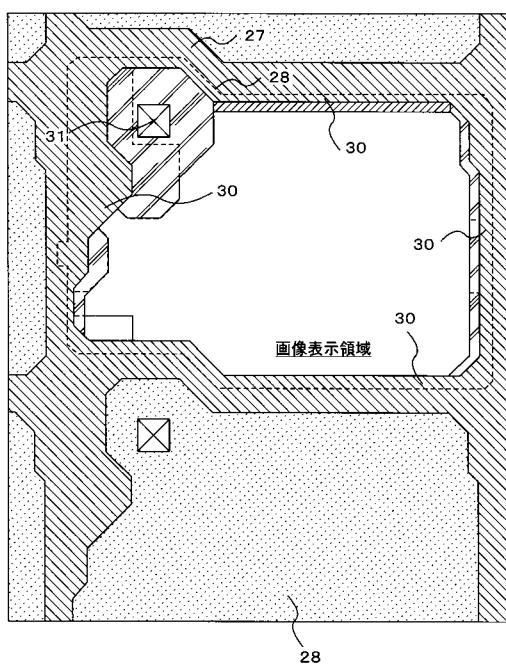
【図1】



【図2】



【図3】



【図4】

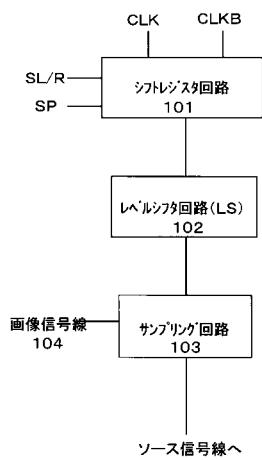
(A)

+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-

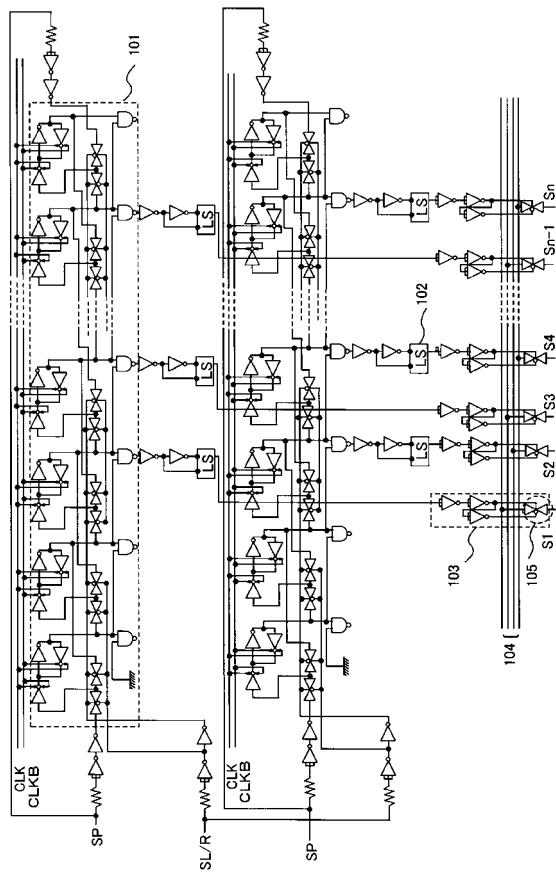
(B)

-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+

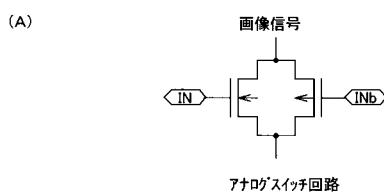
【図5】



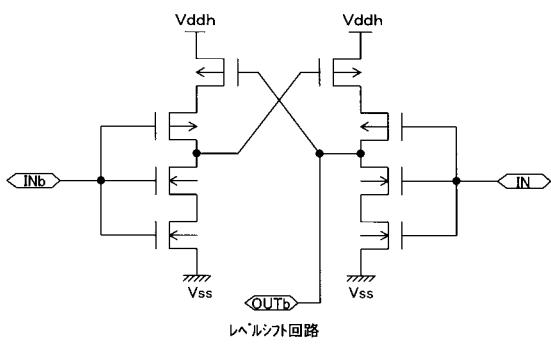
【図6】



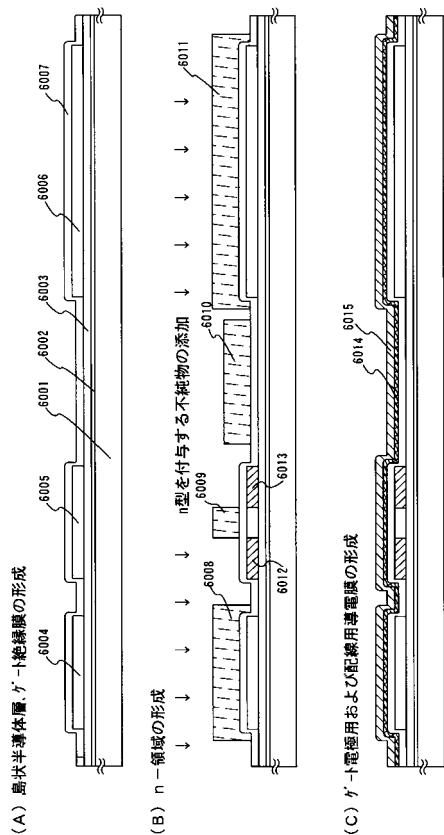
【図7】



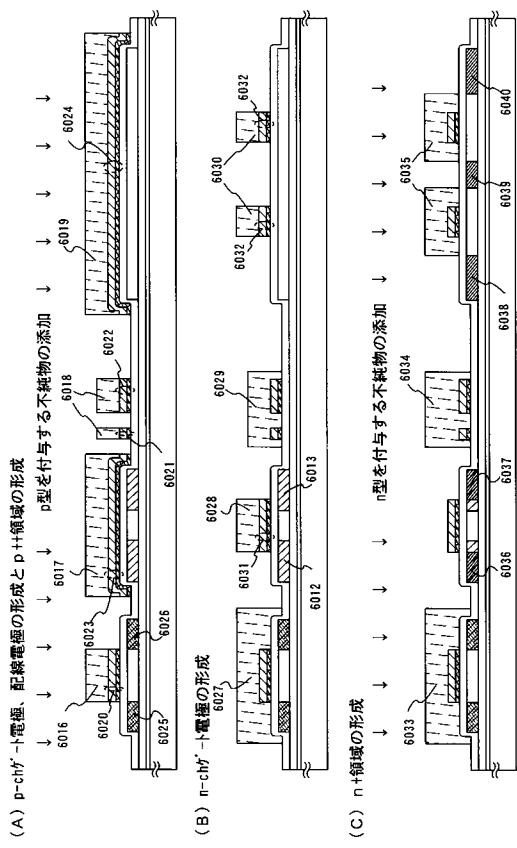
(B)



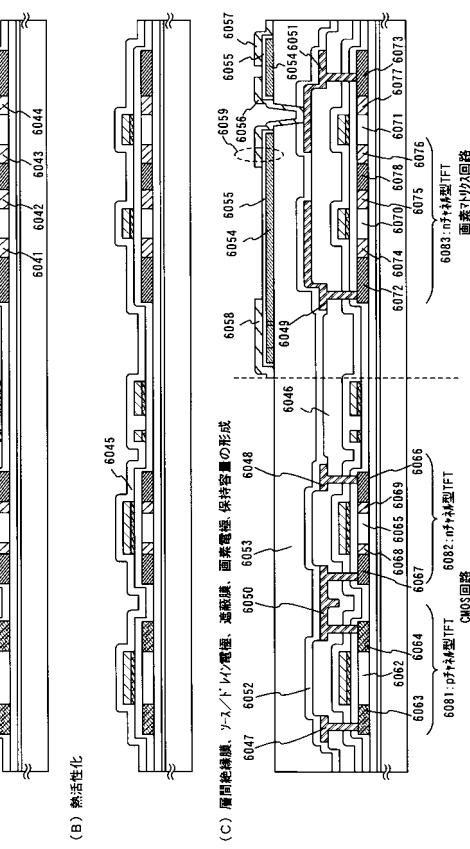
【図8】



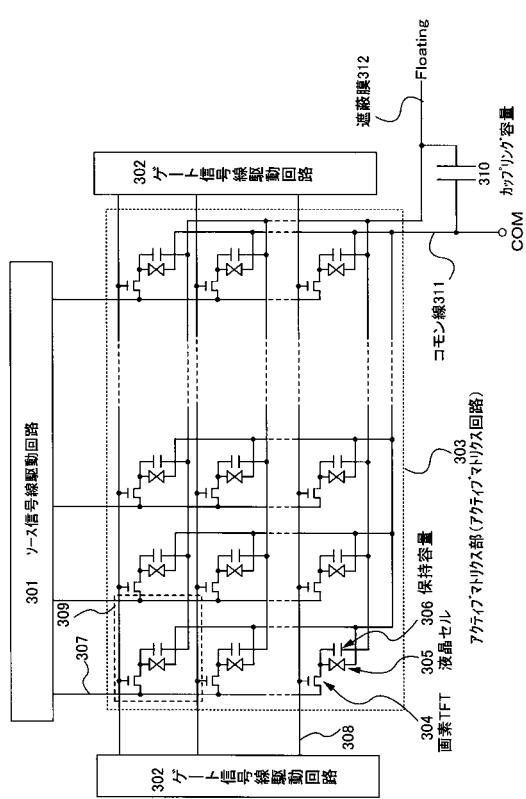
【図9】



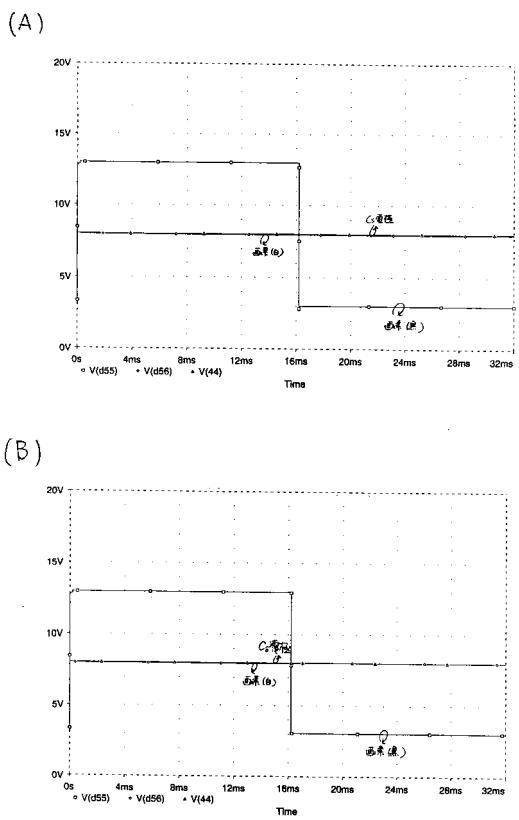
【図10】



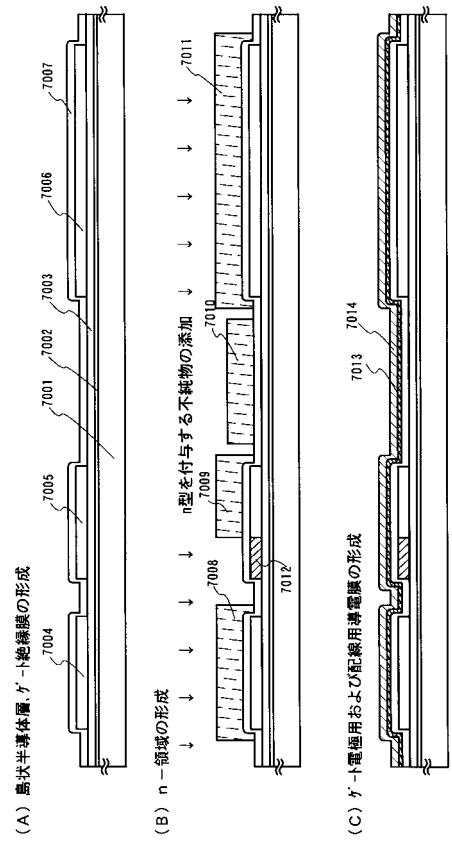
【図11】



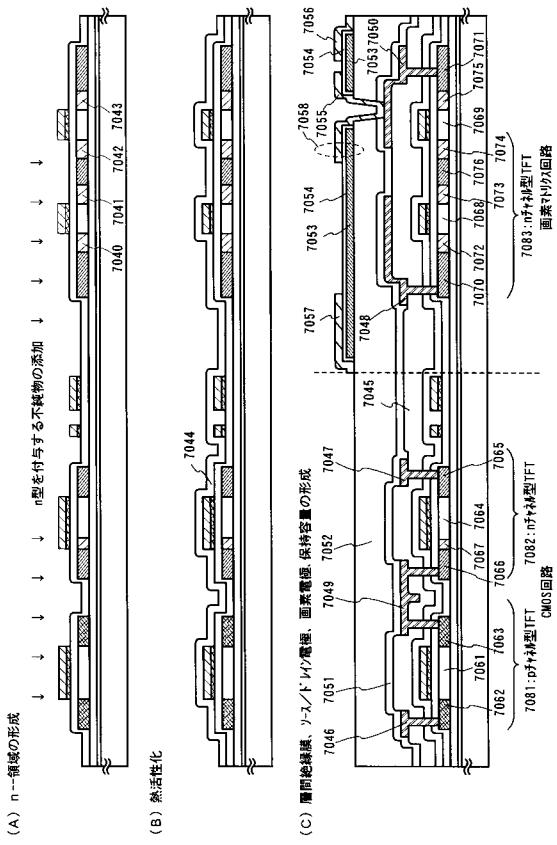
【図12】



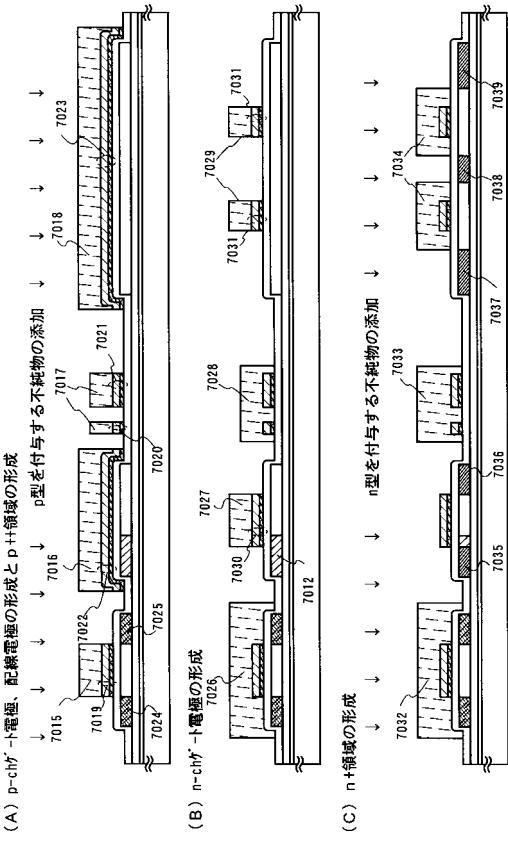
【図13】



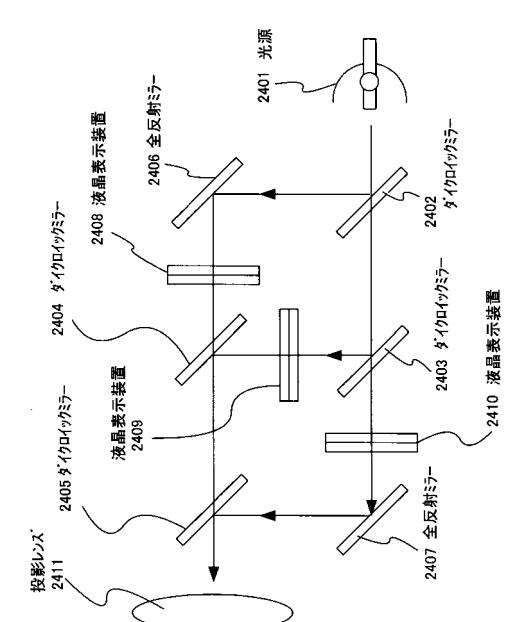
【図15】



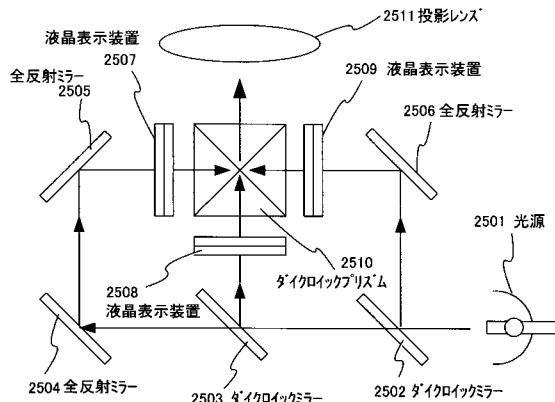
【図14】



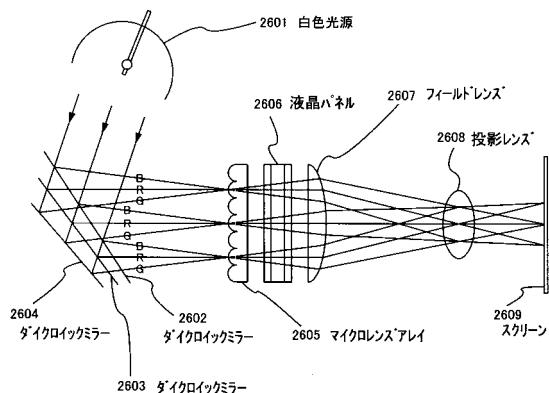
【図16】



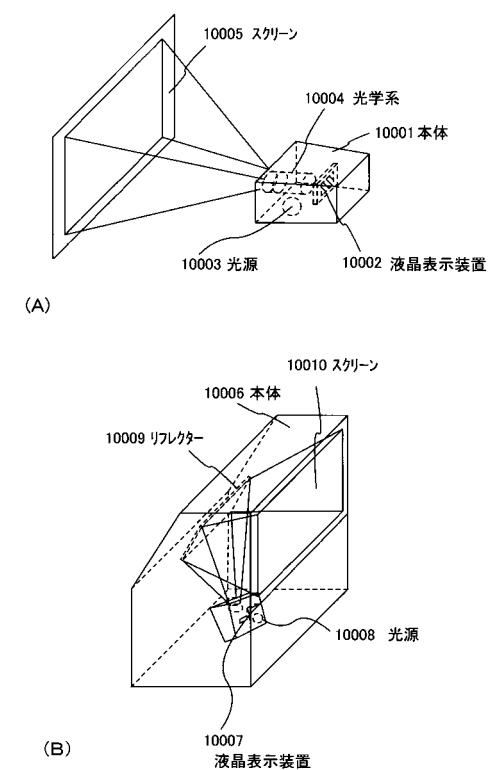
【図17】



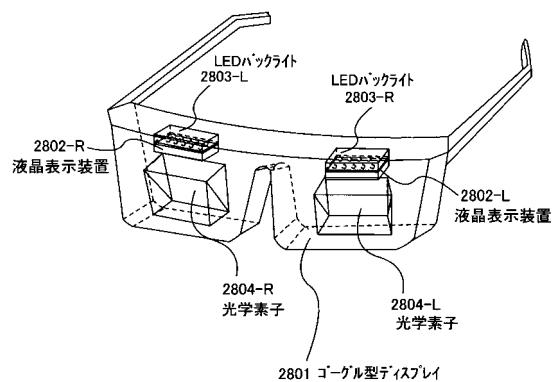
【図18】



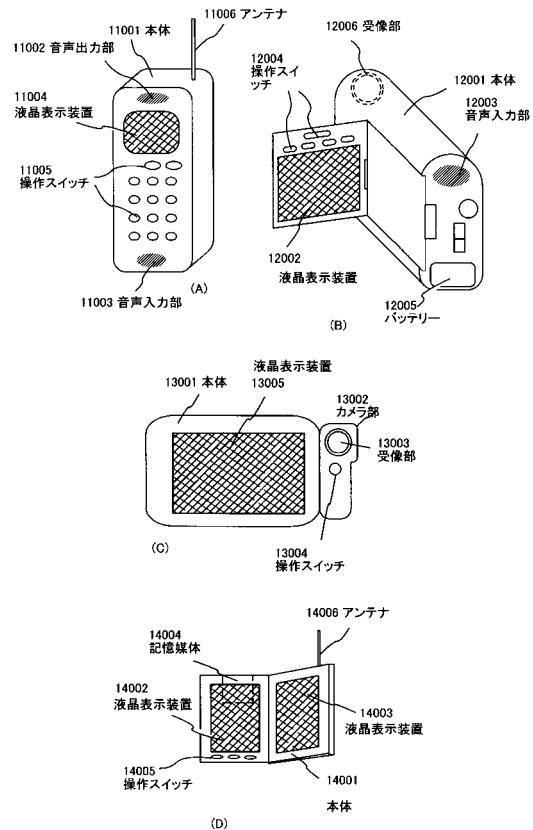
【図19】



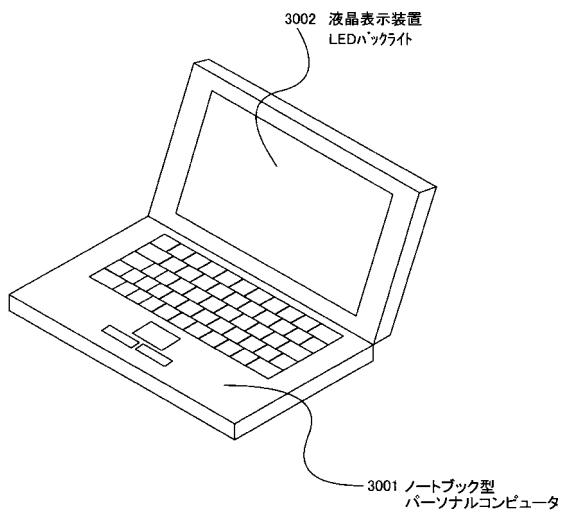
【図20】



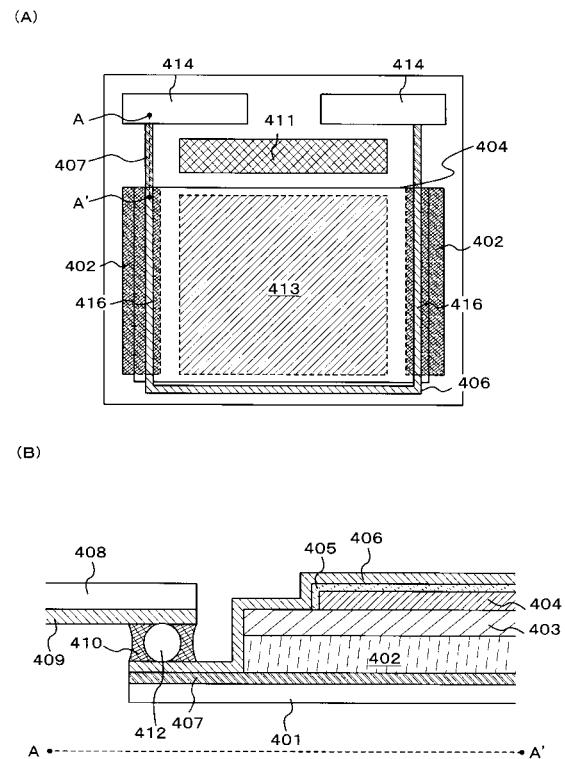
【図21】



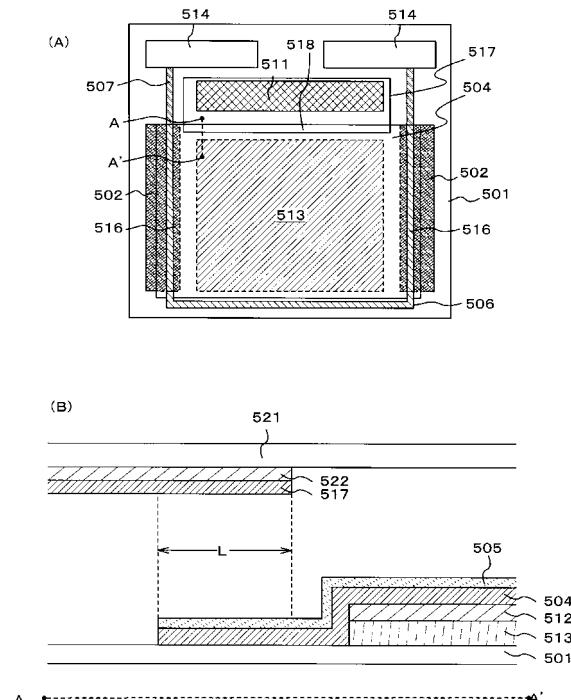
【図22】



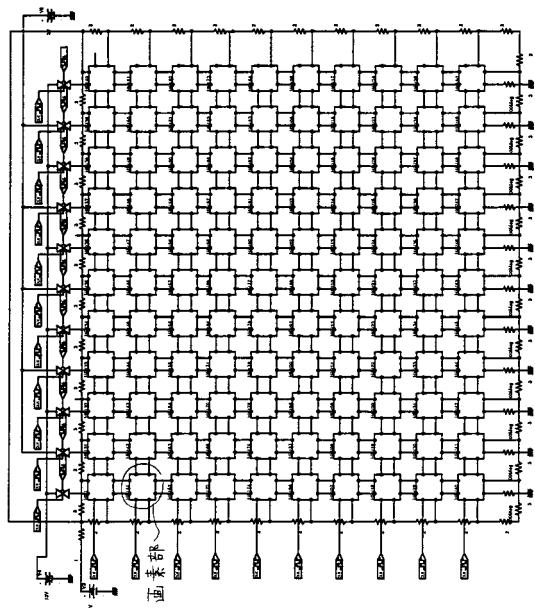
【図23】



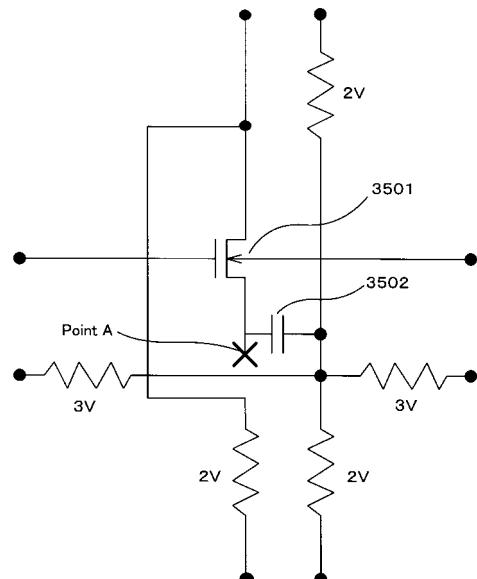
【図24】



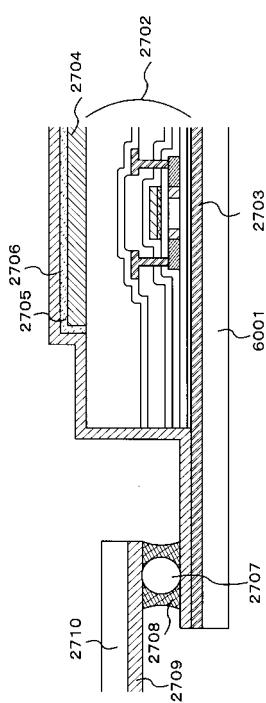
【図25】



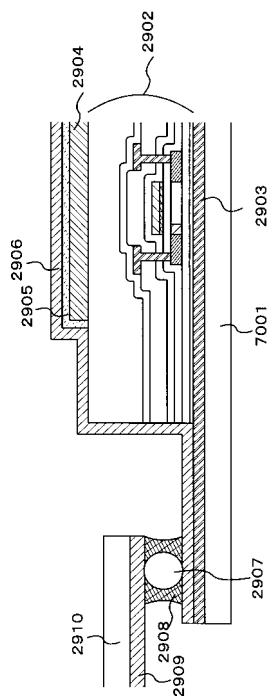
【図26】



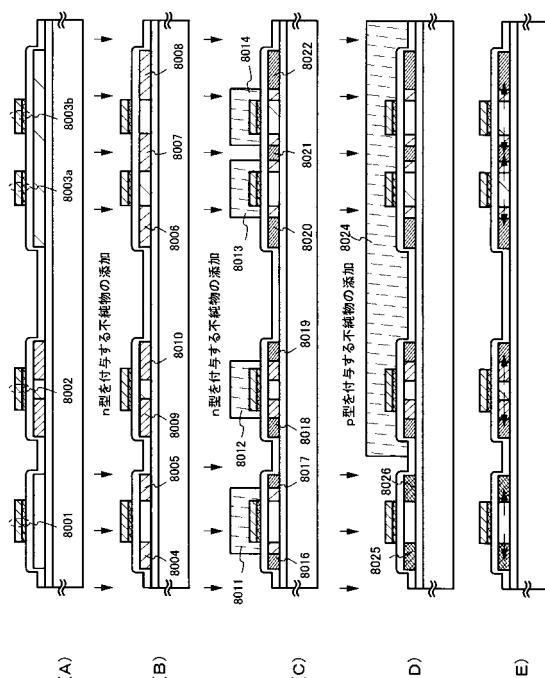
【図27】



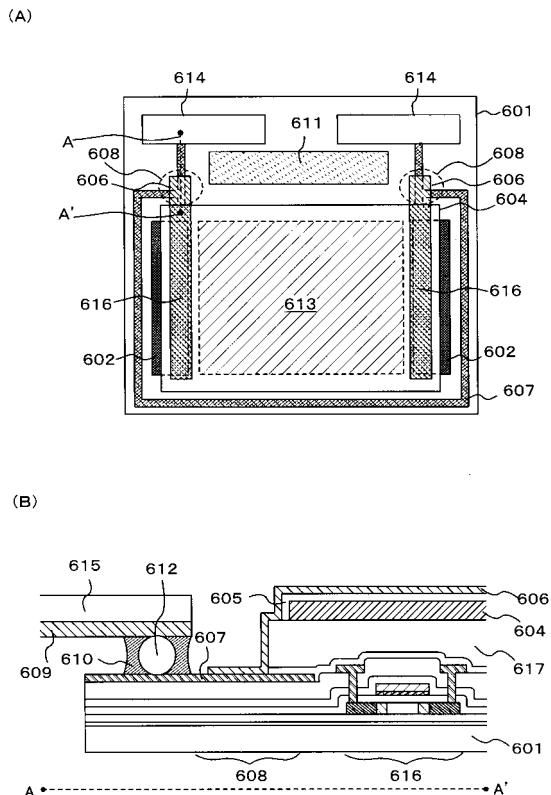
【図28】



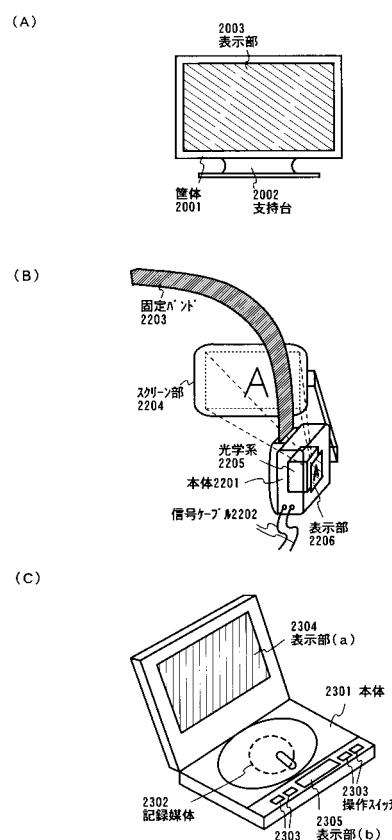
【図29】



【図30】



【図31】



フロントページの続き

(51)Int.Cl. F I
H 01 L 29/786 (2006.01) G 09 F 9/30 3 4 9 C
H 01 L 29/78 6 1 2 Z
H 01 L 29/78 6 1 9 B

審査官 藤田 都志行

(56)参考文献 特開平10-274789(JP,A)
特開平8-160461(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368
G02F 1/133
G02F 1/1335
G09F 9/30
H01L 21/336
H01L 29/786