

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 6 月 28 日(28.06.2012)



(10) 国際公開番号

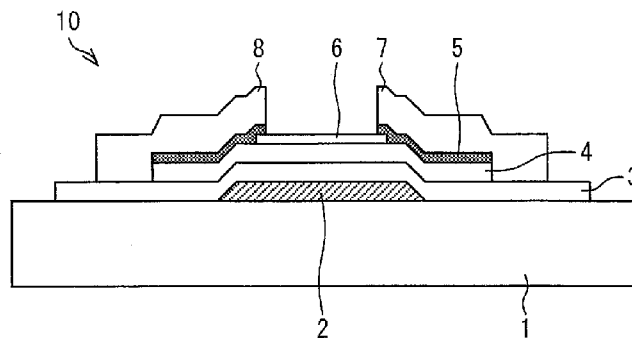
WO 2012/086481 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2011/078862
- (22) 国際出願日: 2011 年 12 月 14 日(14.12.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-284503 2010 年 12 月 21 日(21.12.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 河野 昭彦
(KOHNO, Akihiko). 水木 敏雄(MIZUKI, Toshio).
田中 康一(TANAKA, Kohichi).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADEMARK);
〒5300041 大阪府大阪市北区天神橋 2 丁目北 2
番 6 号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SAME

(54) 発明の名称: 半導体装置およびその製造方法

【図1】



(57) Abstract: Provided are: a semiconductor device (10) capable of greatly increasing electron mobility; and a method for producing the semiconductor device (10). The semiconductor device (10) is an n-type device having a microcrystalline silicon film (4), and the concentration of boron in the microcrystalline silicon film (4) is no greater than 5.0×10^{16} (atoms/cc). Also, the method for producing the semiconductor device (10) produces the semiconductor device (10), and contains a cleaning step, followed by a microcrystalline silicon film (4) formation step. In the cleaning step, argon gas is used.

(57) 要約: 電子移動度を大幅に上昇させることができる半導体装置 (10) およびその製造方法を提供する。本発明の半導体装置 (10) は、微結晶シリコン膜 (4) を有しているN型の半導体装置 (10) であって、微結晶シリコン膜 (4) 中のボロンの濃度が、 5.0×10^{16} (atoms/cc) 以下である。また、本発明の半導体装置 (10) の製造方法は、当該半導体装置 (10) を製造する方法であって、クリーニング工程、および、引き続き、微結晶シリコン膜 (4) 成膜工程を含み、クリーニング工程において、アルゴンガスが用いられる。



WO 2012/086481 A1

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] 本発明は、半導体装置およびその製造方法に関するものである。さらに詳しくは、N型（n型）の半導体装置およびその製造方法に関するものである。

背景技術

[0002] 近年、T F T（薄膜トランジスタ）等の半導体装置において、キャリア（電子または正孔）移動度等の特性を向上させるための開発が進められている。ここで、キャリア移動度は、電荷の輸送効率に影響するので、高効率での発光、低電圧での駆動等のために重要な特性である。

[0003] 例えば、特許文献1には、結晶性に優れたシリコン薄膜を形成し、オフ電流の小さいT F Tを実現するために、弗素の含有量が $5 \times E 1 7 \text{ a t o m s} / \text{c c}$ 以下のシリコン膜を有しているT F Tが示されている。

[0004] また、特許文献2には、電気的な特性を向上させることが可能な半導体装置を提供するために、非単結晶半導体膜における金属元素の濃度が $5 \times E 1 6 \text{ a t o m s} / \text{c c}$ を超えない半導体装置が示されている。

先行技術文献

特許文献

[0005] 特許文献1：日本国公開特許公報「特開平4－286370号公報（公開日：1992年10月12日）」
特許文献2：日本国公開特許公報「特開2004－343039号公報（公開日：2004年12月2日）」

発明の概要

発明が解決しようとする課題

[0006] しかしながら、特許文献1に示されているT F Tおよび特許文献2に示されている半導体装置では、キャリア（電子または正孔）移動度を大幅に上昇

させることができないため、安定的に作動させることができないという問題がある。

[0007] 本発明は、上記従来の問題点に鑑みてなされたものであって、その目的は、電子移動度を大幅に上昇させることができる半導体装置およびその製造方法を提供することにある。

課題を解決するための手段

[0008] 本発明者らは、上記課題に鑑み、特許文献1に示されているTF₂Tおよび特許文献2に示されている半導体装置において、キャリア（電子または正孔）移動度を大幅に上昇させることができない理由を鋭意検討した。その結果、当該TF₂Tおよび当該半導体装置をN型のものとして作動させた場合、ガラス基板等の基板から生じる大量のボロンが原因となって、電子移動度が低くなることを見出した。つまり、微結晶シリコン膜を用いてN型の半導体装置を作製した場合、微結晶シリコン膜中の不純物が軽元素および金属元素ではなく、半金属元素のボロンであっても、当該半導体装置における電子移動度が低くなることを見出した。

[0009] そして、本発明者らは、N型の半導体装置の製造において、アルゴンガスを用いてクリーニングを行った後に微結晶シリコン膜の成膜を行うことによって、微結晶シリコン膜中のボロン濃度を低くして、電子移動度を上昇させることができるということを独自に見出し、本発明を完成させるに至った。

[0010] すなわち、本発明の半導体装置は、上記の課題を解決するために、微結晶シリコン膜を有しているN型の半導体装置であって、上記微結晶シリコン膜中のボロンの濃度が、 $5.0 \times 10^{16} \text{ (atoms/cc)}$ 以下であることを特徴としている。

[0011] また、本発明の半導体装置の製造方法は、上記の課題を解決するために、クリーニング工程、および、引き続く、微結晶シリコン膜成膜工程を含み、上記クリーニング工程において、アルゴンガスが用いられることを特徴としている。

[0012] ここで、ボロンの濃度に関する従来技術として、例えば、特開2002

－ 1 4 1 5 1 0 号公報には、ボロンの生成を抑制することを目的とした薄膜トランジスタが開示されている。具体的には、当該公報には、絶縁基板上に形成された薄膜トランジスタにおける、多結晶半導体のチャネル部のボロン濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以下である薄膜トランジスタが開示されている。

[0013] しかし、特開 2 0 0 2 － 1 4 1 5 1 0 号公報に記載された発明は、P 型の薄膜トランジスタとして作動させることができる点、シリコン膜がレーザーアニールを用いた多結晶シリコン膜である点などが本発明と根本的に異なっている。さらに、当該公報に記載された発明は、以下の点が本発明と異なっている。

[0014] <ボロンの発生原因>

本発明は、ガラス基板等の基板から生じたボロンを対象としているのに対して、当該公報に記載された発明は、大気中から混入したボロンを対象としている点が異なっている。

[0015] <ボロン濃度を低減する工程>

本発明は、微結晶シリコン膜成膜工程前のクリーニング工程にてボロン濃度を低減するのに対して、当該公報に記載された発明は、多結晶シリコン膜成膜工程にてボロン濃度を低減する点が異なっている。

[0016] <ボロン濃度の低減手法>

本発明は、クリーニング工程にてアルゴンガスを用いるという低減手法であるのに対して、当該公報に記載された発明は、レーザーアニールという低減手法である点が異なっている。

[0017] <ボロン濃度を低減することによる効果>

本発明は、電子移動度を上昇させることが効果であるのに対して、当該公報に記載された発明は、閾値電圧を安定させることが効果である点が異なっている。

[0018] 上述したように、本発明の半導体装置は、上記の課題を解決するために、微結晶シリコン膜を有している N 型の半導体装置であって、上記微結晶シリコン膜中のボロンの濃度が、 $5.0 \times 10^{16} \text{ (atoms/cc)}$ 以下であ

ることを特徴としている。

[0019] ここで、N型の半導体装置における半導体層である微結晶シリコン膜中に、不純物として半金属元素であるボロンが大量に含まれると、一般的にP型半導体用のドーパントとして用いられるボロンが、N型の半導体装置の特性に悪影響を及ぼす。具体的には、当該半導体装置のオン電流が上がらなくなり、電子移動度が低下してしまう。

[0020] 本発明の半導体装置は、上記の構成によれば、N型の半導体装置であって、微結晶シリコン膜中のボロンの濃度が $5.0 \times 10^{16} \text{ (atoms/cc)}$ 以下という低い値であるので、当該ボロンが、N型の半導体装置におけるキャリアとしての電子の移動に悪影響を及ぼすことが少なく、電子移動度を大幅に上昇させることができる。その結果、本発明の半導体装置は、安定的に作動させることができる。

[0021] また、上述したように、本発明の半導体装置の製造方法は、上記の課題を解決するために、上記半導体装置を製造する方法であって、クリーニング工程、および、引き続く、微結晶シリコン膜成膜工程を含み、上記クリーニング工程において、アルゴンガスが用いられることを特徴としている。

[0022] ここで、微結晶シリコン膜中のボロン濃度が高くなる原因として、半導体装置に備えられるガラス基板等の基板から析出する酸化ホウ素 (B_2O_3) が、CVD (Chemical Vapor Deposition、化学蒸着法) チャンバー内に残留し、クリーニング工程にてフッ素系ガスを用いた場合に、当該酸化ホウ素と当該フッ素系ガスとが反応するため、揮発性の高いフッ化ホウ素 (BF_3) が微結晶シリコン膜の粒界付近に大量に取り込まれるということが考えられる。なお、アモルファスシリコン膜を備えた半導体装置の場合には、微結晶シリコン膜を備えた半導体装置のように、シリコン膜の粒界が存在しないため、当該アモルファスシリコン膜にボロンが取り込まれにくい。

[0023] 本発明の半導体装置の製造方法は、上記の構成によれば、上記半導体装置を製造する方法であって、アルゴンガスが用いられるクリーニング工程、および、引き続く、微結晶シリコン膜成膜工程を含んでいるので、当該半導体

装置に備えられるガラス基板等の基板から析出する酸化ホウ素から、揮発性の高いフッ化ホウ素が生成されることはなく、微結晶シリコン膜の粒界付近にボロンが大量に取り込まれることはない。これにより、微結晶シリコン膜中のボロンの濃度が低くなるので、当該ボロンが、N型の半導体装置におけるキャリアとしての電子の移動に悪影響を及ぼすことが少なく、電子移動度を大幅に上昇させることができる。その結果、本発明の半導体装置の製造方法は、当該半導体装置を安定的に作動させることができる。

発明の効果

- [0024] 本発明の半導体装置は、以上のように、微結晶シリコン膜を有しているN型の半導体装置であって、上記微結晶シリコン膜中のボロンの濃度が、 5.0×10^{16} (atoms/cc) 以下であるものである。
- [0025] それゆえ、本発明の半導体装置は、電子移動度を大幅に上昇させることによって、安定的に作動させることができるという効果を奏する。
- [0026] また、本発明の半導体装置の製造方法は、以上のように、上記半導体装置を製造する方法であって、クリーニング工程、および、引き続く、微結晶シリコン膜成膜工程を含み、上記クリーニング工程において、アルゴンガスが用いられる方法である。
- [0027] それゆえ、本発明の半導体装置の製造方法は、当該半導体装置における微結晶シリコン膜中のボロン濃度を低くして、電子移動度を上昇させることによって、当該半導体装置を安定的に作動させることができるという効果を奏する。

図面の簡単な説明

- [0028] [図1]本発明の一実施形態における半導体装置の概略構成を示す断面図である。
- [図2] (a) ~ (h) は、本発明の一実施例における半導体装置の製造方法の工程フローを示す断面図である。
- [図3] (a) は、本発明の一実施例（実施例2）における微結晶シリコン膜中のボロン濃度を示すグラフであり、(b) は、従来の微結晶シリコン膜中の

ボロン濃度を示すグラフである。

[図4] (a) は、本発明の一実施例（実施例1）におけるTFT特性を示すグラフであり、(b) は、従来のTFT特性を示すグラフである。

[図5] (a) は、本発明の一実施例（実施例2）におけるTFT特性を示すグラフであり、(b) は、従来のTFT特性を示すグラフである。

[図6] (a) は、本発明の一実施例（実施例3）におけるTFT特性を示すグラフであり、(b) は、従来のTFT特性を示すグラフである。

発明を実施するための形態

[0029] 本発明の一実施形態について、以下に詳しく説明するが、本発明の範囲はこれらの説明に拘束されることはなく、以下の例示以外についても、本発明の趣旨を損なわない範囲で適宜変更して実施し得るものである。

[0030] (I) 本実施形態における半導体装置の構成

本実施形態における半導体装置は、微結晶シリコン膜を有しているN型の半導体装置であって、上記微結晶シリコン膜中のボロンの濃度が、 $5.0 \times 10^{16} \text{ (atoms/cc)}$ 以下である。また、本実施形態における半導体装置は、電子移動度が、 $1.0 \text{ cm}^2/\text{Vs}$ 以上である。

[0031] 具体的には、図1を参照しながら具体的に説明する。図1は、本実施形態におけるN型のTFT（半導体装置）10の概略構成を示す断面図である。

[0032] 図1に示すように、本実施形態におけるTFT10は、例えば、基板1、ゲート電極2、ゲート絶縁膜3、微結晶シリコン膜4、N+シリコン膜5、エッチストップ膜6、ドレイン電極7、ソース電極8を備えている。なお、本実施形態におけるTFT10は、特定のボロン濃度の微結晶シリコン膜4を有していること以外、従来公知のTFTの構成を備えていればよい。また、本実施形態におけるTFT10の構造は特に限定されず、トップゲート構造であっても、ボトムゲート構造であってもよい。各部材の詳細については、以下に説明する。

[0033] <基板>

本実施形態に用いられる基板1は、一般的な半導体装置に使用されるもの

であれば特に限定されない。例えば、ガラス基板、プラスチック基板、金属基板、シリコン基板、ゲルマニウム基板等が挙げられる。なお、ガラス基板等は酸化ホウ素を析出するが、本実施形態の半導体装置では、当該酸化ホウ素が当該半導体装置の特性に悪影響を及ぼさない。

[0034] なお、基板 1 がガラス基板以外の基板の場合、当該基板が、ホウ素又はホウ素を含む化合物を含まなければ、当該プロセスにおいて、当該半導体装置の特性に悪影響を及ぼさない。

[0035] <ゲート電極、ドレイン電極、ソース電極>

本実施形態における T F T 1 O は、ドレイン電極 7 に一定の電圧を印加した状態で、ゲート電極 2 に印加する電圧を変化させることによって、ソース電極 8 とドレイン電極 7 との間に流れる電流を制御することができる。

[0036] 本実施形態に用いられるゲート電極 2、ドレイン電極 7 およびソース電極 8 の材料は、導電性材料であれば、特に限定されない。例えば、白金、金、銀、ニッケル、クロム、銅、鉄、錫、アルミニウム、チタン、マグネシウム等の金属；これらの金属を含む合金；酸化スズ、酸化インジウム等の導電性の酸化物；シリコン、ゲルマニウム等の半導体；などを用いることができる。また、ゲート電極 2、ドレイン電極 7 およびソース電極 8 の材料は、ドーピング等で導電率を向上させた公知の導電性ポリマー、例えば導電性ポリアニリン、導電性ポリピロール、導電性ポリチオフェン、ポリエチレンジオキシチオフェンとポリスチレンスルホン酸の錯体等も用いることができる。

[0037] これらの電極の配置方法としては、上記材料を原料として、例えば、真空蒸着やスパッタリング等の方法を用いて形成した導電性薄膜を、公知のフォトリソグラフィ法やリフトオフ法等を用いて配置する方法；アルミニウムや銅等の金属箔上に熱転写やインクジェット等によるレジストを用いてエッチングする方法；などがある。

[0038] <ゲート絶縁膜>

本実施形態に用いられるゲート絶縁膜 3 の材料は、絶縁性を有する種々の化合物であれば、特に限定されない。例えば、無機化合物、無機酸化化合物

、有機化合物等を挙げることができる。上記無機化合物としては、例えば、窒化ケイ素、窒化アルミニウム等を挙げることができる。また、上記無機酸化化合物としては、例えば、酸化ケイ素、酸化アルミニウム、酸化タンタル、酸化チタン、酸化スズ等を挙げることができる。また、上記有機化合物としては、例えば、ポリイミド、ポリアミド、ポリエステル、エポキシ樹脂等のポリマー；これらを組み合わせた共有重合体；などを挙げることができる。

[0039] ゲート絶縁膜3の配置方法としては、上記材料を原料として、例えば、真空蒸着法、CVD法、スパッタリング法、印刷、インクジェット等のパターンニングによる方法などを挙げることができる。

[0040] <微結晶シリコン膜>

本実施形態に用いられる微結晶シリコン膜は、半導体層として機能するものである。本明細書において、微結晶シリコン膜とは、結晶粒径が2 nm～100 nmの微結晶シリコンを成膜した膜であり、部分的にアモルファス成分が含有されていてもよい。

[0041] 《ボロンの濃度》

本実施形態におけるTF T10は、微結晶シリコン膜4中のボロンの濃度が、 5.0×10^{-16} (atoms/cc) 以下であり、好ましくは 4.0×10^{-16} (atoms/cc) 以下である。

[0042] 一方、微結晶シリコン膜4中のボロンの濃度が低いほど、微結晶シリコンTF T10の特性に与える影響が少なくなるため、好ましい。

[0043] ここで、濃度の数値において、例えば、「 10^{-16} 」は「 10^{16} 」を意味しており、「 10^{-17} 」は「 10^{17} 」を意味している。

[0044] 本実施形態に用いられる微結晶シリコン膜4は、CVD (Chemical Vapor Deposition、化学蒸着法)、熱酸化法等の、従来公知の成膜技術を用いて形成する。例えば、本実施形態に用いられる微結晶シリコン膜4は、高密度プラズマCVDを用いて形成する。この高密度プラズマCVDは、表面波プラズマ方式、ICP (誘導結合プラズマ、Inductively Coupled Plasma) 方式

、またはECR（電子サイクロトロン共鳴、Electron Cyclotron Resonance）方式等にて行われることが望ましい。すなわち、微結晶シリコン膜4の成膜には、結晶化を促進させるため、高密度プラズマ装置を使用することが効率的であり、高密度プラズマ源として、ICP、マイクロ波等がある。一般的に、高密度プラズマ源が、ICP、マイクロ波等の場合には、ICPのアンテナ、マイクロ波の電極等が用いられている。

[0045] <N+シリコン膜>

本実施形態に用いられるN+シリコン膜5としては、特に限定されないが、例えば、アモルファスN+シリコン膜等が挙げられる。「アモルファスシリコン」とは、結晶質でないシリコン、すなわちシリコン原子の配列に規則性がなく無定形なものをいう。

[0046] 本実施形態に用いられるN+シリコン膜5は、CVD、熱酸化法等の、従来公知の成膜技術を用いて形成する。

[0047] <エッチストップ膜>

本実施形態に用いられるエッチストップ膜6としては、特に限定されないが、例えば、窒化ケイ素（SiN_x）膜等が挙げられる。

[0048] 本実施形態に用いられるエッチストップ膜6は、CVD、熱酸化法等の、従来公知の成膜技術を用いて形成する。

[0049] <その他の部材>

本実施形態におけるTFET10は、基板1、ゲート電極2、ゲート絶縁膜3、微結晶シリコン膜4、N+シリコン膜5、エッチストップ膜6、ドレイン電極7およびソース電極8以外の他の部材を備えていてもよい。

[0050] <TFET（半導体装置）の物性>

《N型》

本実施形態におけるTFET10は、N型である。ここで、N型のTFETとは、電子輸送のTFETのことをいう。

[0051] 《電子移動度》

本実施形態におけるTFET10は、電子移動度が、 $1.0\text{ cm}^2/\text{V s e c}$

以上であり、好ましくは $1.1 \text{ cm}^2/\text{Vs}$ 以上である。

[0052] ここで、TFETの駆動とは、キャリア（電子または正孔）の移動をゲート電圧によってスイッチング（on/off）することをいう。また、駆動可能であるとは、封止材を必要とせずにキャリア移動をスイッチングできることをいう。キャリア移動度が大きい場合には、TFETのオン（on）時の電流が大きいといえる。

[0053] 本実施形態の半導体装置は、高い移動度（電子移動度）を有しているものである。本実施形態において、電子移動度は、飽和したソース・ドレイン電流値 I_d (A)、ゲート電位 V_g (V)、しきい電位、チャネル長、チャネル幅、絶縁体の電気容量等を用いて、従来公知の式から求めることができる。

[0054] (11) 本実施形態における半導体装置の製造方法

本実施形態における半導体装置の製造方法は、上記半導体装置を製造する方法であって、クリーニング工程、および、引き続く、微結晶シリコン膜成膜工程を含み、上記クリーニング工程において、フッ素系ガスではなく、アルゴンガスが用いられる方法である。また、本実施形態における半導体装置の製造方法は、上記クリーニング工程において、フッ素を含むガスがさらに用いられ、フッ素を含むガスを用いるクリーニングの後に、アルゴンガスを用いるクリーニングが行われることが好ましい。また、本実施形態における半導体装置の製造方法は、上記アルゴンガス中におけるアルゴンの量に対する、上記フッ素を含むガス中におけるフッ素の量の比が、 $0.10 \sim 0.75$ であることが好ましく、 $0.10 \sim 0.30$ であることがより好ましい。ここで、アルゴンの量とはアルゴンの体積を意味し、フッ素の量とはフッ素の体積を意味することとする。

[0055] 本実施形態における半導体装置の製造方法は、例えば、(1) ゲート電極2成膜・パターン形成工程、(2) ゲート絶縁膜3成膜・パターン形成工程、(3) 微結晶シリコン膜4成膜前のクリーニング・シーズニング工程、(4) 微結晶シリコン膜4成膜工程、(5) エッチストップ(E/S)膜6成膜

・パターン形成工程、（６）N＋シリコン膜５成膜工程、（７）シリコン層パターニング工程、（８）ソース電極８・ドレイン電極７成膜・パターン形成工程、（９）パッシベーション膜成膜・パターン形成工程、を含んでいる。なお、上記（１）～（９）の全ての工程を含んでいなくても本実施形態に含まれる。

[0056] <クリーニング工程およびシーズニング工程>

本実施形態における半導体装置の製造方法のクリーニング工程にて行われるクリーニングは、チャンバー内壁に付着した不要な膜を除去するためのプロセスである。また、本実施形態における半導体装置の製造方法のシーズニング工程にて行われるシーズニングは、汚染物質を抑制して、プロセスを安定化させるためのプロセスである。また、これらのプロセスは、成膜時に、パーティクルの発生を抑制する効果もある。

[0057] なお、本実施形態におけるクリーニング工程およびシーズニング工程は、微結晶シリコン膜４成膜前に行われるが、クリーニング工程およびシーズニング工程と、微結晶シリコン膜４成膜工程との間に、他の工程が含まれていても、本実施形態に含まれる。

[0058] 本実施形態におけるクリーニング工程では、アルゴンガスを用いること以外は、従来公知のクリーニング技術を用いてクリーニングを行う。

[0059] また、本実施形態におけるクリーニング工程では、フッ素を含むガスがさらに用いられ、フッ素を含むガスを用いるクリーニングの後に、アルゴンガスを用いるクリーニングが行われることが好ましい。

[0060] 本実施形態におけるシーズニング工程では、上記の微結晶シリコン膜４の成膜条件等でシーズニングを行う。

[0061] 本発明は上述した実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能である。すなわち、請求項に示した範囲で適宜変更した技術的手段を組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

実施例

[0062] 以下に、本発明の半導体装置およびその製造方法について、実施例を用いてより具体的に説明する。以下の実施例では、半導体装置として微結晶シリコンTFT（薄膜トランジスタ）を例に挙げて説明する。ただし、本発明の半導体装置およびその製造方法は、以下の実施例にのみ限定されるものではない。

[0063] 以下の実施例では、実施例1として、CVDチャンバー内のクリーニング工程においてアルゴンガスを用いた。また、実施例2および3として、CVDチャンバー内のクリーニング工程を2回に分けて実施し、初めにフッ素系ガス（フッ素を含むガス）を用いた後、次に実施例1と同じアルゴンガスを用いた。一方、比較例1として、CVDチャンバー内のクリーニング工程においてフッ素系ガスを用いた。実施例1～3および比較例1の詳細は、後述する。

[0064] [微結晶シリコンTFTの製造工程]

実施例1～3および比較例1のTFTサンプルとして、ボトムゲート・エッチストッパ（ES）構造のTFTを用いた。

[0065] 当該サンプルについて、工程フローの概略を、図2を参照して以下に説明する。なお、図2の（a）～（h）は、本実施例における半導体装置の製造方法の工程フローを示す断面図である。

[0066] 初めに、5インチ角サイズのガラス基板1上に、ゲート電極2として、Ti膜を100nm成膜し、Ti膜でゲート電極をパターン形成した（図2の（a））。

[0067] 次に、ゲート絶縁膜3として、平行平板CVD装置によって、SiNx膜を410nm成膜し、パターン形成した（図2の（b））。

[0068] 次に、半導体層として、微結晶シリコン膜4を50nm成膜した（図2の（d））。微結晶シリコン膜4の成膜条件は、マイクロ波（表面波）プラズマ方式のマイクロ波励起高密度プラズマCVD装置を使用し、マイクロ波：915MHz、パワー：3.2W/cm²（投入パワー：4.0kW）、圧力：20mT、SiH₄流量：12sccm（standard cc/min

(1 atm、0℃あるいは25℃でのcc/min))、Ar流量：252 sccm、Gap：150mm、基板温度設定：250℃とした。その結果、結晶粒径が、2nm～100nmの微結晶シリコン膜4が成膜された。なお、微結晶シリコン膜4の成膜前に、チャンバー内にてクリーニングおよびシーズニングの工程を実施したが(図2の(c))、詳細については後述する。

[0069] 次に、エッチストッパ(ES)膜6として、平行平板CVD装置によって、SiNx膜を150nm成膜し、SiNx膜でエッチストッパ(ES)膜6をパターン形成した(図2の(e))。

[0070] 次に、N+シリコン膜5として、平行平板CVD装置によって、アモルファスN+シリコン膜5を50nm成膜した(図2の(f))。

[0071] 次に、微結晶シリコン膜4およびN+シリコン膜5をパターン形成した(図2の(g))。

[0072] 次に、ソース電極8およびドレイン電極7として、スパッタ装置によって、Ti膜を100nm成膜し、ソース電極8およびドレイン電極7をパターン形成した(図2の(h))。

[0073] 次に、パッシベーション膜として、平行平板CVD装置によって、SiNx膜を265nm成膜し、SiNx膜でパッシベーション膜をパターン形成し、TFOT10を封止した(図示しない)。

[0074] 次に、窒素雰囲気中にてTFOT10を200℃で1時間加熱処理した。このようにして、微結晶シリコンTFOT10の製造を完了した。このTFOT10のサイズは、L/W=12/20ミクロンであった。また、このTFOT10の移動度は、Vds電圧が10Vの飽和領域にて測定を行った。

[0075] [クリーニング工程およびシーズニング工程]

本実施例におけるTFOTの製造にて用いたガラス基板は、一般的に使用されている無アルカリガラス基板であり、ボロンを5%程度含有している。すなわち、ボロンが、化学式 B_2O_3 である酸化ホウ素として、ガラス基板に含まれている。

[0076] 本実施例のように、微結晶シリコン膜をマイクロ波励起高密度プラズマCVD装置で成膜した場合、高密度プラズマCVD装置はプラズマエネルギーが非常に大きいため、ガラス基板から B_2O_3 が析出して、チャンバー内壁に溜まっていく現象が発生した。この B_2O_3 は、従来のチャンバー内クリーニングにおけるフッ素系ガスと容易に反応し、揮発性が高い BF_3 として、チャンバー全体に広がる。その反応の化学式は、「 $2B_2O_3 + 12F \rightarrow 4BF_3 \uparrow + 3O_3$ 」であり、 BF_3 の沸点は、 $-100.3^\circ C$ である。このようなメカニズムの結果として、微結晶シリコン膜中にボロン元素が大量に取り込まれる現象が観察された。

[0077] 本実施例におけるTF Tの製造工程では、マイクロ波励起高密度プラズマCVD装置を用いた微結晶シリコン膜の成膜前に、チャンバー内のクリーニングおよびシーズニングを実施した。これらのプロセスは、プラズマCVD装置等の成膜装置を用いて、基板上に、半導体デバイスを構成する膜の成膜を行う際の一般的な目的によるものである。クリーニングは、チャンバー内壁に付着した不要な膜を除去するためのプロセスである。また、シーズニングは、汚染物質を抑制して、プロセスを安定化させるために必要不可欠なプロセスである。また、これらのプロセスは、成膜時に、パーティクルの発生を抑制する効果もある。

[0078] [実施例1]

実施例1のTF Tサンプルについて、上記工程フロー中の、微結晶シリコン膜4成膜前のクリーニング工程およびシーズニング工程は、以下の条件にて行った。

[0079] 実施例1のクリーニングは、マイクロ波：915MHz、パワー：0.8W/cm²（投入パワー：1.0kW）、圧力：400mT、Ar流量：1000sccm、Gap：200mmで実施した。また、実施例1のシーズニングは、上記の微結晶シリコン膜の成膜条件で実施した。なお、実施例1において、次工程の微結晶シリコン膜成膜の際、パーティクルの発生が見られた。

[0080] なお、クリーニング工程によって、チャンバー内の残留膜等が完全に除去されない状況では、それらが、意図する微結晶シリコン膜の膜構造に寄与しないため、微結晶シリコン膜成膜の際、基板上に積層されないパーティクル発生要因となる。

[0081] [実施例2]

実施例2のTF Tサンプルについて、上記工程フロー中の、微結晶シリコン膜4成膜前のクリーニング工程およびシーズニング工程は、以下の条件にて行った。

[0082] 実施例2のクリーニングは、初めに、マイクロ波：915MHz、パワー：0.8W/cm²（投入パワー：1.0kW）、圧力：1500mT、NF₃流量：1000sccm、Ar流量：167sccm、Gap：200mmで実施し、次に、マイクロ波：915MHz、パワー：0.8W/cm²（投入パワー：1.0kW）、圧力：400mT、Ar流量：1000sccm、Gap：200mmで実施した。実施例2のシーズニングは、上記の微結晶シリコン膜の成膜条件で実施した。なお、実施例2において、次工程の微結晶シリコン膜成膜の際、パーティクルの発生はなかった。

[0083] 上記工程において、NF₃を流量1000sccmで、上記Arを流量167sccmで流出させ、その後上記Arを流量1000sccmで流出させているが、これらの気体の流出時間は何れも等しい。

[0084] [実施例3]

実施例3のTF Tサンプルについて、上記工程フロー中の、微結晶シリコン膜4成膜前のクリーニング工程およびシーズニング工程は、以下の条件にて行った。

[0085] 実施例3のクリーニングは、初めに、マイクロ波：915MHz、パワー：0.8W/cm²（投入パワー：1.0kW）、圧力：1500mT、NF₃流量：700sccm、Ar流量：167sccm、Gap：200mmで実施し、次に、マイクロ波：915MHz、パワー：0.8W/cm²（投入パワー：1.0kW）、圧力：400mT、Ar流量：1000sccm、

Gap : 200 mm で実施した。実施例 3 では、実施例 2 から、 NF_3 流量のみを減少させた。実施例 3 のシーズニングは、上記の微結晶シリコン膜の成膜条件で実施した。なお、実施例 3 において、次工程の微結晶シリコン膜成膜の際、パーティクルの発生はなかった。

[0086] 上記工程において、 NF_3 を流量 700 sccm で、上記 Ar を流量 167 sccm で流出させ、その後上記 Ar を流量 1000 sccm で流出させているが、これらの気体の流出時間は何れも等しい。

[0087] [比較例 1]

比較例 1 の TFT サンプルについて、上記工程フロー中の、微結晶シリコン膜 4 成膜前のクリーニング工程およびシーズニング工程は、以下の条件にて行った。

[0088] 比較例 1 のクリーニングは、マイクロ波 : 915 MHz、パワー : 0.8 W/cm² (投入パワー : 1.0 kW)、圧力 : 1500 mT、 NF_3 流量 : 1000 sccm、Ar 流量 : 167 sccm、Gap : 200 mm で実施した。比較例 1 のシーズニングは、上記の微結晶シリコン膜の成膜条件で実施した。なお、比較例 1 において、次工程の微結晶シリコン膜成膜の際、パーティクルの発生はなかった。

[0089] [実施例のまとめ]

実施例 1 ~ 3 において、従来例 (比較例 1) に対して、微結晶シリコン膜中のボロン濃度が変化した。また、微結晶シリコン膜中のボロン濃度と TFT (電子) 移動度とに相関関係が見られた。

[0090] 具体的には、実施例 1 ~ 3 および比較例 1 の微結晶シリコン TFT における微結晶シリコン膜の各膜質を、SIMS (Secondary Ion Mass Spectrometry) 分析し、膜中のボロン濃度を調べた。比較例 1 の微結晶シリコン膜中のボロン濃度は、 8.0×10^{17} [atoms/cc] であった。これに対して、実施例 1 の微結晶シリコン膜中のボロン濃度は、 4.0×10^{16} [atoms/cc] であった。また、実施例 2 の微結晶シリコン膜中のボロン濃度は、 5.0×10^{16} [atoms/cc] であった。また、実施例 3 の微

結晶シリコン膜中のボロン濃度は、 $4.0 \times 10^{16} [\text{atoms/cc}]$ であった。

[0091] なお、図3の(a)は、本発明の一実施例(実施例2)における微結晶シリコン膜中のボロン濃度を示すグラフであり、図3の(b)は、従来(比較例1)の微結晶シリコン膜中のボロン濃度を示すグラフである。

[0092] 次に、実施例1～3および比較例1の微結晶シリコンTFTの電子移動度を測定した。このTFTサイズは、 $L/W = 12/20$ ミクロンであった。電子移動度は、 V_{ds} 電圧が10Vの飽和領域にて測定した。微結晶シリコンTFTの電子移動度は各々、比較例1が、 $0.4 [\text{cm}^2/\text{Vs} \cdot \text{e} \cdot \text{c}]$ であり、実施例1が、 $1.1 [\text{cm}^2/\text{Vs} \cdot \text{e} \cdot \text{c}]$ であり、実施例2が、 $1.0 [\text{cm}^2/\text{Vs} \cdot \text{e} \cdot \text{c}]$ であり、実施例3が、 $1.1 [\text{cm}^2/\text{Vs} \cdot \text{e} \cdot \text{c}]$ であった。

[0093] なお、図4～6は、実施例1～3および比較例1の各TFTの $V_g - I_d$ カーブ(測定条件 TFTサイズ： $L/W = 12/20$ ミクロン、 V_{ds} 電圧：10V)を示しており、図4の(a)は、本発明の一実施例(実施例1)におけるTFT特性を示すグラフであり、図5の(a)は、本発明の一実施例(実施例2)におけるTFT特性を示すグラフであり、図6の(a)は、本発明の一実施例(実施例3)におけるTFT特性を示すグラフである。また、図4の(b)、図5の(b)および図6の(b)は、いずれも従来例(比較例1)におけるTFT特性を示すグラフである。

[0094] このように、実施例2および実施例3において、微結晶シリコン膜中のボロン濃度の低減、TFT移動度の向上、およびパーティクル発生の抑制を実現できた。なお、実施例1においては、微結晶シリコン膜中のボロン濃度の低減およびTFT移動度の向上は実現できたが、微結晶シリコン膜成膜の際にパーティクルが発生した。

[0095] 本実施例の微結晶シリコンTFTを用いると、従来のアモルファスシリコンTFTに比べて、電子移動度が高くなる。このTFT特性の向上によって、液晶パネルの開口率の向上や、それに伴う液晶パネルの消費電力の低減が

実現できる。また、本実施例の微結晶シリコンTFTを用いると、従来のアモルファスシリコンTFTに比べて、液晶パネルの高精細化、ハイフレームレート化等が実現可能となる。

[0096] さらに、本実施例の微結晶シリコンTFTを用いると、ゲートドライバがモノリシック化できる。また、本実施例の微結晶シリコンTFTでは、ゲートバイアスストレスによる閾値電圧シフトが、従来のアモルファスシリコンTFTに比べて、高温下でも小さくなり、液晶パネルの信頼性が向上する。

[0097] 本実施例の結果のまとめを表1に示す。

[0098] [表1]

	実施例 1	実施例 2	実施例 3	比較例 1
微結晶シリコン膜成膜前のクリーニングにて用いるガス	アルゴンガス	フッ素系ガス アルゴンガス	フッ素系ガス アルゴンガス	フッ素系ガス
微結晶シリコン膜成膜前のシーズニングの条件	微結晶シリコン膜成膜条件	微結晶シリコン膜成膜条件	微結晶シリコン膜成膜条件	微結晶シリコン膜成膜条件
TFTの半導体膜	微結晶シリコン膜	微結晶シリコン膜	微結晶シリコン膜	微結晶シリコン膜
微結晶シリコン膜成膜時のパーティクル発生の有無	有り	無し	無し	無し
微結晶シリコン膜中のボロン濃度 [atoms/cc]	$4.0 \times E16$	$5.0 \times E16$	$4.0 \times E16$	$8.0 \times E17$
微結晶シリコンTFTの電子移動度 [$cm^2/Vsec$]	1.1	1.0	1.1	0.4

[0099] 表1に示すように、実施例1によれば、TFT移動度を上昇させることができるという結果になった。また、実施例2によれば、TFT移動度を上昇させることができ、かつパーティクルの発生を抑制することができるという結果になった。また、実施例3によれば、実施例2と比較してTFT移動度をより一層上昇させることができるという結果になった。

[0100] また、本発明の半導体装置は、電子移動度が、 $1.0 cm^2/Vsec$ 以上である。これにより、本発明の半導体装置は、安定的に作動させることができる。

- [0101] また、本発明の半導体装置の製造方法は、上記クリーニング工程において、フッ素を含むガスがさらに用いられ、フッ素を含むガスを用いるクリーニングの後に、アルゴンガスを用いるクリーニングが行われることが好ましい。
- [0102] これにより、本発明の半導体装置の製造方法は、フッ素を含むガスがパーティクルの発生を抑制することができる。
- [0103] また、本発明の半導体装置の製造方法は、上記アルゴンガス中におけるアルゴンの量に対する、上記フッ素を含むガス中におけるフッ素の量の比が、 $0.10 \sim 0.75$ であることが好ましい。
- [0104] これにより、本発明の半導体装置の製造方法は、パーティクルを発生させず、かつ電子移動度を上昇させることができる。
- [0105] また、本発明の半導体装置の製造方法は、上記アルゴンガス中におけるアルゴンの量に対する、上記フッ素を含むガス中におけるフッ素の量の比が、 $0.10 \sim 0.30$ であることがより好ましい。
- [0106] これにより、本発明の半導体装置の製造方法は、パーティクルを発生させず、かつ電子移動度をより一層上昇させることができる。
- [0107] また、本発明の半導体装置の製造方法は、上記アルゴンガス中におけるアルゴンの体積に対する、上記フッ素を含むガス中におけるフッ化物の体積の比が、 $0.10 \sim 0.75$ であることが好ましい。
- [0108] これにより、本発明の半導体装置の製造方法は、パーティクルを発生させず、かつ電子移動度を上昇させることができる。

産業上の利用可能性

- [0109] 本発明は、TFT、トランジスタ、ダイオード、コンデンサ、薄膜光電変換素子、色素増感太陽電池等に適用することができるため、広範囲な電気電子機械産業に利用することができる。

符号の説明

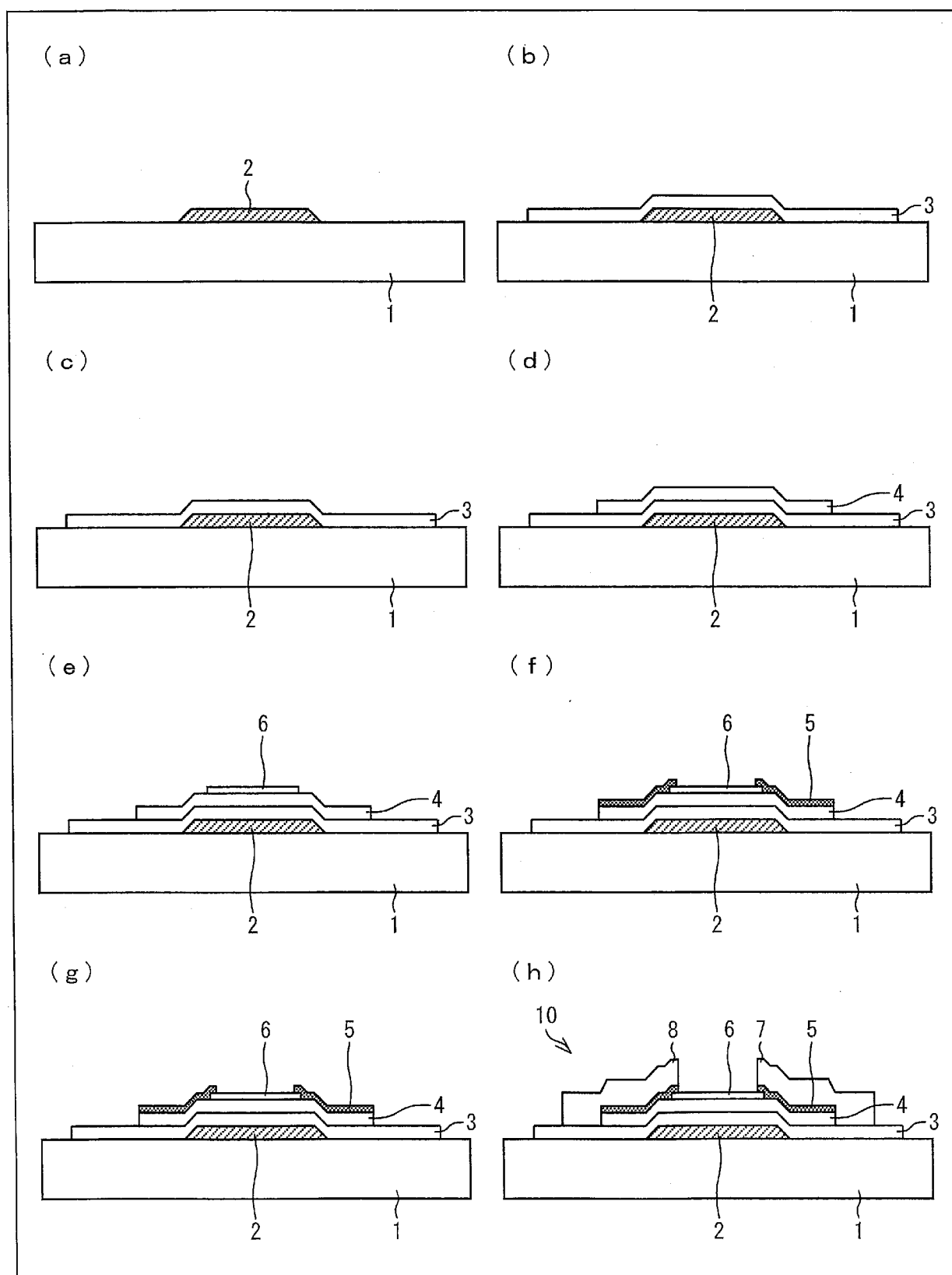
- [0110] 1 基板
 2 ゲート電極

- 3 ゲート絶縁膜
- 4 微結晶シリコン膜
- 5 N＋シリコン膜
- 6 エッチストッパ膜
- 7 ドレイン電極
- 8 ソース電極
- 10 TFT（薄膜トランジスタ、半導体装置）

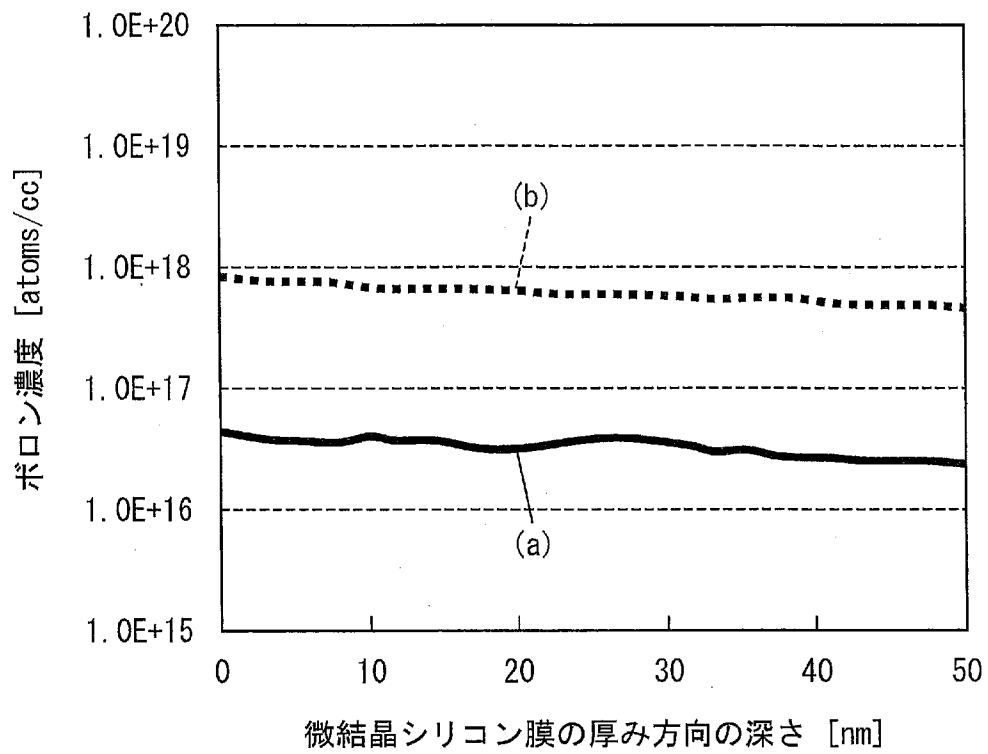
請求の範囲

- [請求項1] 微結晶シリコン膜を有しているN型の半導体装置であって、
前記微結晶シリコン膜中のボロンの濃度が、 5.0×10^{16} (atoms/cc) 以下であることを特徴とする半導体装置。
- [請求項2] 電子移動度が、 $1.0 \text{ cm}^2/\text{Vs}$ 以上であることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 請求項1または2に記載の半導体装置を製造する方法であって、
クリーニング工程、および、引き続き、微結晶シリコン膜成膜工程を含み、
前記クリーニング工程において、アルゴンガスが用いられることを特徴とする半導体装置の製造方法。
- [請求項4] 前記クリーニング工程において、フッ素を含むガスがさらに用いられ、
フッ素を含むガスを用いるクリーニングの後に、アルゴンガスを用いるクリーニングが行われることを特徴とする請求項3に記載の半導体装置の製造方法。
- [請求項5] 前記アルゴンガス中におけるアルゴンの量に対する、前記フッ素を含むガス中におけるフッ素の量の比が、 $0.10 \sim 0.75$ であることを特徴とする請求項4に記載の半導体装置の製造方法。
- [請求項6] 前記アルゴンガス中におけるアルゴンの量に対する、前記フッ素を含むガス中におけるフッ素の量の比が、 $0.10 \sim 0.30$ であることを特徴とする請求項4または5に記載の半導体装置の製造方法。
- [請求項7] 前記アルゴンガス中におけるアルゴンの体積に対する、前記フッ素を含むガス中におけるフッ化物の体積の比が、 $0.10 \sim 0.75$ であることを特徴とする請求項4に記載の半導体装置の製造方法。

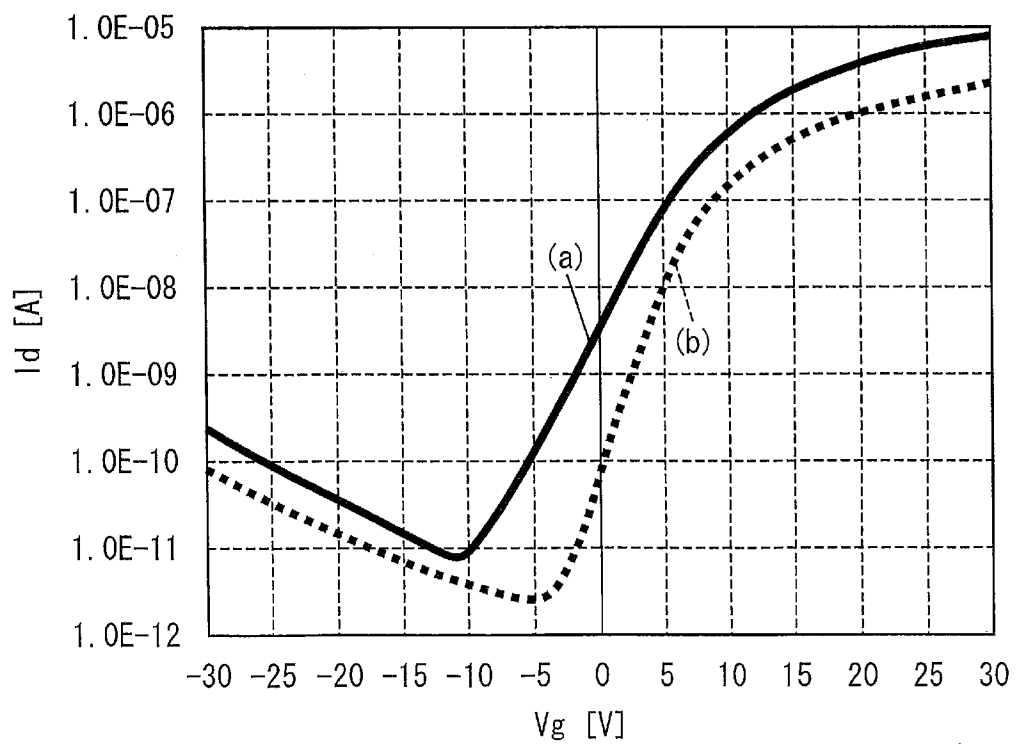
[図2]



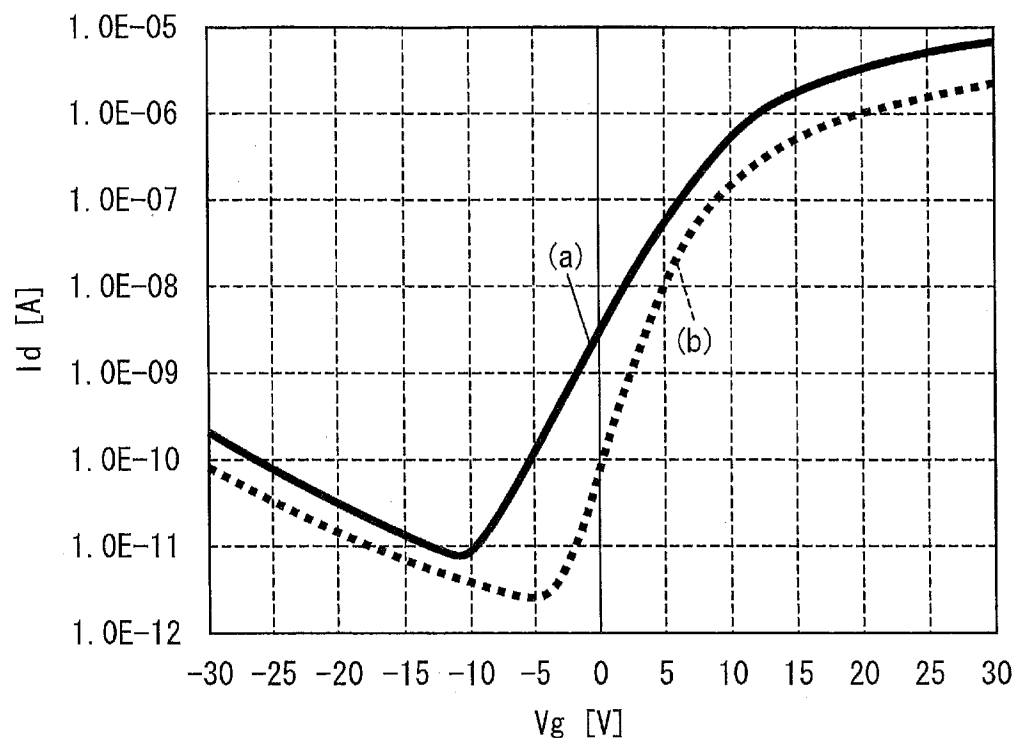
[図3]



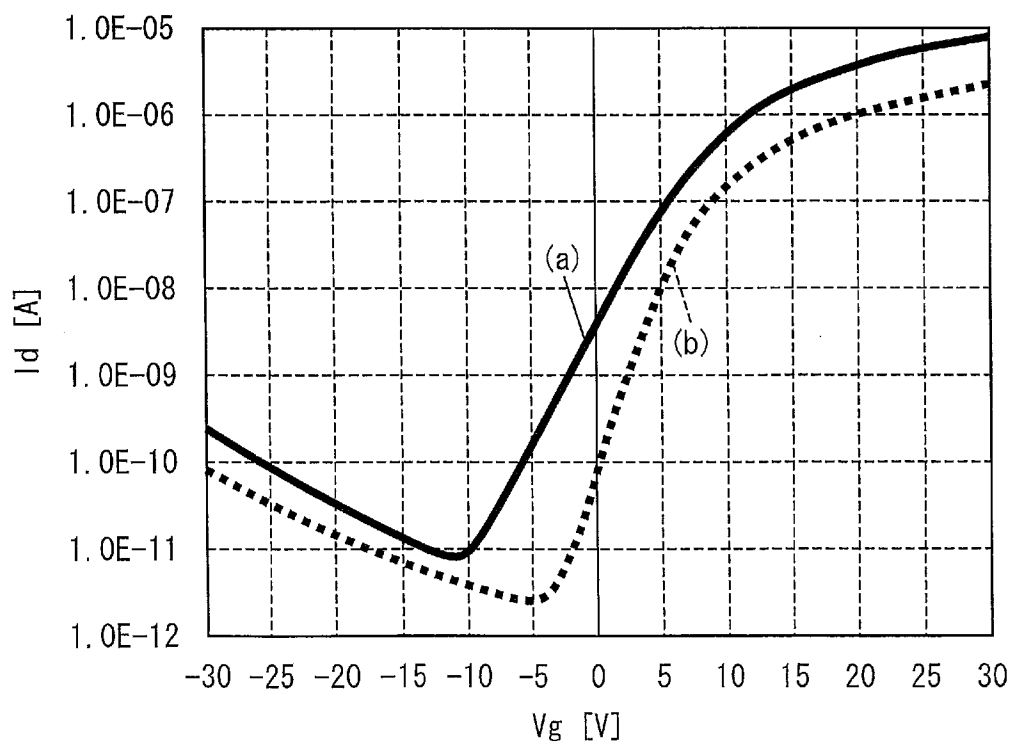
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/078862

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01) i, H01L21/336(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2009-071288 A (Semiconductor Energy Laboratory Co., Ltd.), 02 April 2009 (02.04.2009), paragraphs [0013] to [0086]; fig. 1 to 4 & US 2009/0047760 A1	1-3 4-7
X	JP 2000-208777 A (Semiconductor Energy Laboratory Co., Ltd.), 28 July 2000 (28.07.2000), paragraphs [0019] to [0022]; fig. 1 & US 6274887 B1 & EP 999595 A2	1, 2
A	JP 11-233789 A (Semiconductor Energy Laboratory Co., Ltd.), 27 August 1999 (27.08.1999), entire text; all drawings (Family: none)	1, 2

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
31 January, 2012 (31.01.12)

Date of mailing of the international search report
07 February, 2012 (07.02.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/078862

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-158947 A (Semiconductor Energy Laboratory Co., Ltd.), 16 July 2009 (16.07.2009), entire text; all drawings (particularly, paragraph [0047]) & US 2009/0142909 A1	3-7
A	JP 2002-141510 A (Matsushita Electric Industrial Co., Ltd.), 17 May 2002 (17.05.2002), entire text; all drawings (Family: none)	1-7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/078862

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The matter common to the inventions of claims 1-7 is considered to be semiconductor device having the configuration set forth in claim 1.

However, the search revealed that said semiconductor device is not novel, since the semiconductor device is disclosed in JP 2009-071288 A (Semiconductor Energy Laboratory Co., Ltd.), 2 April 2009 (02.04.2009), paragraphs [0013]-[0086], fig. 1-4. As a result, since the above-said semiconductor device does not make a contribution over the prior art, the common matter is not a special technical feature within the meaning of PCT Rule 13.2, second sentence.

(continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/078862

Continuation of Box No.III of continuation of first sheet (2)

Consequently, the inventions of claims 1-7 have no technical relationship involving one or more of the same or corresponding special technical features, and therefore are not considered to be so linked as to form a single general inventive concept.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L29/786(2006.01)i, H01L21/336(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/786, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2009-071288 A（株式会社半導体エネルギー研究所） 2009.04.02, 段落【0013】 - 【0086】, 図 1 - 4 & US 2009/0047760 A1	1 - 3 4 - 7
X	JP 2000-208777 A（株式会社半導体エネルギー研究所） 2000.07.28, 段落【0019】 - 【0022】, 図 1 & US 6274887 B1 & EP 999595 A2	1, 2
A	JP 11-233789 A（株式会社半導体エネルギー研究所）	1, 2

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

3 1 . 0 1 . 2 0 1 2

国際調査報告の発送日

0 7 . 0 2 . 2 0 1 2

国際調査機関の名称及びあて先
日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

三浦 尊裕

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

4 M

3 7 7 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	1999.08.27, 全文, 全図 (ファミリーなし)	
A	JP 2009-158947 A (株式会社半導体エネルギー研究所) 2009.07.16, 全文, 全図 (特に、段落【0047】) & US 2009/0142909 A1	3 - 7
A	JP 2002-141510 A (松下電器産業株式会社) 2002.05.17, 全文, 全図 (ファミリーなし)	1 - 7

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項1－7に係る発明に共通する事項は、請求項1に記載された構成からなる半導体装置と認められる。

しかしながら、調査の結果、この半導体装置は、JP 2009-071288 A（株式会社半導体エネルギー研究所）2009.04.02，段落【0013】－【0086】，図1－4に開示されたものであるから、新規でないことが明らかとなった。結果として、上記半導体装置は先行技術の域を出ないから、P C T 規則13.2の第2文の意味において、この共通事項は特別な技術的特徴ではない。

それ故、請求項1－7に係る発明は、一又は二以上の同一、又は対応する特別な技術的特徴を含む技術的な関係にないから、単一の一般的発明概念を形成するように連関しているものと認められない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。