

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G11C 11/40

G11C 16/04 H01L 27/108

[12] 发明专利申请公开说明书

[21] 申请号 99812731.0

[43] 公开日 2001 年 11 月 28 日

[11] 公开号 CN 1324486A

[22] 申请日 1999.9.29 [21] 申请号 99812731.0

[30] 优先权

[32] 1998.10.2 [33] JP [31] 280663/1998

[86] 国际申请 PCT/JP99/05338 1999.9.29

[87] 国际公布 WO00/21092 日 2000.4.13

[85] 进入国家阶段日期 2001.4.27

[71] 申请人 株式会社日立制作所

地址 日本东京

共同申请人 日立欧洲有限公司

[72] 发明人 伊藤清男 中里和郎

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

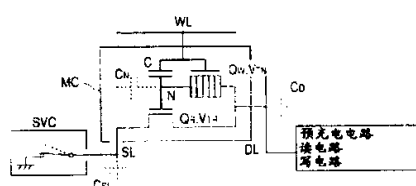
代理人 王永刚

权利要求书 2 页 说明书 15 页 附图页数 11 页

[54] 发明名称 半导体装置

[57] 摘要

传统的大容量 DRAM(动态随机存取存储器)由于存储单元的读信号电压低,其工作可能会不稳定。如果通过给存储单元增加一定的增益来提高信号电压,则存储单元面积将增大。因此,我们希望有一种存储单元工作稳定,面积小,工作性能同 RAM 一样的存储器。例如,本发明的存储单元具有三维结构,包括用于维持信号电压的 MOS 晶体管,用于提供信号电压的写晶体管(如隧道晶体管),和用于控制栅极电压的电容,从而实现廉价高速可靠工作的半导体器件。该半导体器件可以具有非易失 RAM 的功能。



ISSN 1008-4274

权 利 要 求 书

1、具有存储单元的半导体装置，该存储单元包含在其栅极保持信息电压的 MOS 晶体管、提供信息电压的写晶体管和控制在栅极电压的电容器。

2、权利要求 1 中的半导体装置，其特征在于，在所述存储单元中，写晶体管的第一和第二端分别连接栅极和提供写数据的数据线，第三端连接字线，电容器的一个电极端连接栅极，当存储单元进行读操作时，另一端的电极电压受控。

3、权利要求 2 中的半导体装置，其特征在于，存储单元中电容器的另一端的电极连接字线。

4、权利要求 1 至 3 中任一项的半导体装置，其特征在于，存储单元中 MOS 晶体管的漏极（或源极）连接到数据线。

5、权利要求 4 中的半导体装置，其特征在于，存储单元中 MOS 晶体管的漏极（或源极）控制成使读存储单元时和写或重写存储单元时的电压不同。

6、权利要求 3 中的半导体装置，其特征在于，存储单元中，读时刻字线的选择脉冲电压的幅度小于写或重写时刻的选择脉冲电压的幅度。

7、权利要求 5 中的半导体装置，其特征在于，存储单元中，在字线方向连接的多个存储单元的源极（或漏极）共用导线，而对应于所述多个存储单元提供用于控制共用连接导线的电压且基本上与这些存储单元具有相同结构的单元。

8、具有存储单元的半导体装置，该存储单元包含用于在其栅极保持信息电压的 MOS 晶体管和用于提供信息电压的写晶体管，其特征在于，写晶体管的第一端和第二端分别连接栅极和数据线，第三端连接字线，MOS 晶体管的漏极（或源极）直接或通过另一晶体管连接到数据线，其中写晶体管包括半导体区和隔离绝缘薄膜的多层结构，通过隔离绝缘薄膜实现电荷的写入和删除或实现二者之一。

9、具有存储单元阵列的半导体装置，其中每个存储单元至少包含用于在其栅极保持信息电压的 MOS 晶体管和用于提供信息电压的写晶体管，MOS 晶体管的漏极（或源极）连接到数据线，其中在读取存储单元之前数据线预充电到高电压，如果根据读时刻的信息电压 MOS 晶体管导通则数据线放电至低电压，或者当 MOS 晶体管不导通则数据线保持原有的高电压，其中对应于多条数据线提供于公共数据线上的读出放大器参照介于高电压和低电压之间的中间电压来操作。

10、权利要求 8 中的半导体装置，其特征在于，写晶体管的阈值电压高于在其栅极保持信息电压的 MOS 晶体管的阈值电压。

11、具有存储单元的半导体装置，该存储单元至少包含用于在其栅极保持信息电压的 MOS 晶体管和用于提供信息电压的写晶体管，其特征在于，该存储单元中所述两个晶体管的电流路径相互正交。

12、具有存储单元的半导体装置，其特征在于，写晶体管包括隔离绝缘层结构，通过隔离绝缘层写入或删除电荷来控制信息电压，并且相对于 MOS 晶体管设置为三维的结构。

说 明 书

半导体装置

本发明涉及高可靠大容量半导体存储器装置。

半导体存储器从广义上可分为 RAM (随机存取存储器) 和 ROM (只读存储器)。对于这两种存储器, 大量使用的类型如计算机中的主存储器为动态 RAM (DRAM)。其存储信息的存储单元包括一个电容和一个用于读存储在其中的电荷的读晶体管。由于该种存储器同 RAM 一样可由最少的组成元素实现, 所以其适用于大容量。相应地, 大批量生产的费用较低。但是, DRAM 的问题是工作易受影响造成工作不稳定。造成其最不稳定的因素是存储单元本身没有放大电容, 所以存储单元读出的信号电压低, 造成存储单元的工作敏感于各种噪声。另外, 储存在电容中的信息电荷被存储单元中存在的 PN 结 (漏) 电流衰减。因此, 通过在信息消失之前使存储单元周期性地刷新 (重写) 来保存存储的信息。这一周期称为刷新时间, 目前约为 100ms, 但是随着存储容量的增加, 该时间将必须增长。这样就必须抑制漏电流, 但是由于组成元素越来越小, 抑制漏电流就变得越来越困难。解决这一问题的存储器是 ROM, 尤其是闪速存储器。正如众所周知的, 闪速存储器同 DRAM 单元一样大小或比它更小, 由于其存储单元中有增益, 所以信号电压高, 其结果是工作稳定。另外, 由于其在存储节点中储存存储电荷, 存储节点的周围有绝缘薄膜, 所以它不像 DRAM, 不受 PN 结电流的影响, 相应地不需要刷新。但是, 由于有一非常弱的隧道电流流过存储节点来积累电荷, 所以需要非常长的时间来进行写操作。另外, 重复写的结果是驱使电流流过绝缘层, 从而逐渐损坏绝缘层, 使其最终变成导电层, 不能存储信息。所以对于商用产品通常要限制写的次数为 100, 000 次。这样一来, 闪速存储器不能用做 RAM。所以说, 虽然 DRAM 和闪速存储器都是大容量存储器, 但各有其优劣, 因此在使用中必须区分以取其所长。

本发明的一个目的是提供一种有 RAM 工作能力和增益的小型存储单元以及采用这种存储单元的半导体存储器装置。本发明的另一目的是提供一种能保证供 10 年保持时间的非易失 RAM，其存储单元的结构不受其存储节点中的 PN 结电流的影响。

为了实现上述目的，一个存储单元包括两个晶体管和一个电容，例如，如第一实施方案的存储单元的电路图所示，其工作时序在图 1 和图 2 中说明。这样的存储单元包括一个读晶体管 QR，一个写晶体管 QW 和一个用于控制存储单元节点 N 的电压的耦合电容 C。C 的一端电极和 QW 的栅极连接到字线 WL，QR 和 QW 的每一端连接到数据线。这里，QR 假设为是一个 N 沟道 MOSFET（在下文中为 MOS 管）。QW 也可假设为一个 MOSFET，但是如下文将叙述的，最好是采用可利用隧道效应的晶体管（在下文中为隧道晶体管）。在采用隧道晶体管的情况下，为方便说明，端点名称的定义方法与 MOSFET 的相同。这样，连接到节点 N 的端点称为源极（或漏极），连接到数据线 DL 的端点称为漏极（或源极），连接到字线 WL 的端点称为栅极。在该存储单元中，由于存在电容 C，存储节点 N 的电压可根据字线的电压变化。因此，不必提供另一晶体管来选择，存储单元即可被选择，从而实现小型的存储单元。特别是如下所述，如果 QW 用纵向或垂直晶体管并且 C 和/或 QR 为三维结构，则尺寸减小的优点将更为显著。如下所述，可以在更少量的掩模中制造一个存储单元，其面积约为包含一个 MOSFET 和一个电容的已知 DRAM 单元的一半并且其表面更不易粗糙。因此，存储芯片将更易于制造并且费用低。另外，如果 QW 是隧道晶体管，存储单元中的存储节点将被绝缘层包围，不像 DRAM 存储单元，就没有在原理上会带来 PN 结电流或软失效的漏电流的问题。因此，当存储单元没有选中时，经过 QW 从存储节点流向数据线的电流（被称作 MOSFET 的亚阈值电流）可以通过将阈值电压（VTW）设置得足够高而被抑制的非常低，从而延长数据保持时间。因此，可得到有非常长的刷新时间的 DRAM 操作或者实质上无需刷新的非易失操作。

图 1 是本发明第一实施方案的存储单元的电路图。

图 2 是本发明第一实施方案的存储单元的工作时序图。

图 3 是本发明第一实施方案的存储单元的节点电压图。

图 4 是根据本发明的存储单元阵列的电路图。

图 5 是根据本发明的存储单元阵列的工作时序图。

图 6 表示的是用于本发明的包括一个 PMOS 管和一个 NMOS 管的 CMOS 读出放大器。

图 7 表示的是用于本发明的包括一个数据控制单元的寄存器。

图 8 表示控制根据本发明的存储单元的端点电压的电路系统。

图 9 表示另一个控制根据本发明的存储单元的端点电压的电路系统。

图 10 是控制根据本发明的存储单元的端点电压的工作时序图。

图 11 是根据本发明的存储单元的非易失工作的工作时序图。

图 12 是本发明第二实施方案的存储单元的电路图。

图 13 是本发明第一实施方案的存储单元的工作时序图。

图 14 是本发明实施方案的隧道晶体管的剖面图。

图 15 表示存储单元中的写晶体管所需的阈值电压的电流和电压特性。

图 16 是本发明第一实施方案的存储单元的平面图。

图 17 是本发明第一实施方案的存储单元的剖面图。

图 18 是本发明第一实施方案的存储单元的另一剖面图。

N: 存储单元的存储节点

WL: 字线

DL: 数据线

下面参照附图描述本发明的实施例。顺便提及，在本申请的说明书中，N 代表存储单元的存储节点；WL 代表字线；DL 代表数据线。字线 WL 上将会输入一个三级字电压脉冲。因此，在没有选中时刻为一负电压 $-V_B$ ，在读操作时刻为电压 V_R ，在写或重写时刻为电压 V_W 。读操作时写晶体管 QW 保持不导通。所以，选用一小于写晶体

管 QW 阈值电压 V_{TW} 的值作为读电压 V_R 的值, V_{TW} 即 QW 开始导通时相对于源电压的栅电压。选用一不小于 $V_{DD} + V_{TW}$ 的值作为写电压 V_W 的电压值。这是为将一写电压 V_{DD} 或 $0V$ 写入存储单元节点 N 而不影响 V_{TW} , 写电压 V_{DD} 和 $0V$ 分别对应于二进制的“1”和“0”。耦合电容 C 的作用是向负方向改变写入节点 N 中的电压 V_{DD} 或 $0V$, 当写操作完成时, 字电压由 V_W 变为 $-V_B$, 状态将变为不选中。这一观点是增加字电压的幅值, 因此节点 N 的电压将大幅度地向负方向改变, 那么字电压在不选中状态被置为 $-V_B$, 一个负值。如果将使节点 N 电压向负方向转变的电压置为一小于 QR 阈值电压 V_{TR} 的值, 那么未被选中单元的 QR 将不导通。当然, 由于 QW 的栅电压为 $-V_B$ 所以 QW 也将不导通。因此, 即使其他存储单元被选中并与同一数据线 DL 相连且该数据线为 $0V$ 至 V_{DD} 之间的值, 由于每一个未被选中单元的 QR 都截止, 因此任一个未被选中的单元都不会影响到选中的单元。在这里源电压控制电路 SVC 的作用是根据读操作还是写操作 (或重写操作) 来控制 QR 的源线 SL 的电压。

通过将 SL 在读状态时固定为 $0V$ 和在写状态时提供一适当的正电压来控制 QR 的导通状态。这样可以解决一些在写或重写时出现的问题, 包括高电压 V_{DD} 从数据线 DL 到节点 N 的应用。假设, 如果 SL 固定为 $0V$, 当数据线 DL 将直流电压 V_{DD} 施加于节点 N 时, 读晶体管 QR 导通, 持续的导通电流将增加电源损耗。如果在重写操作将数据线保持的浮动电压 V_{DD} 施加于节点时, 那么 QR 的导通状态将导致数据线和节点 N 放电, 直到电压降为 V_{TR} , 放电结束。当这一减小的电压被写入节点 N 时, 存储单元高电压端的电压容限将大幅降低。这些问题已通过写在写状态时将 SL 置为浮动电压 $0V$ 等方法解决。在这个例子中, QR 导通对 SL 充电, 但是如果 SL 的附加电容 C_{SL} 相对于数据线附加电容 C_D 可以忽略不计的话, SL 电压将会快速充电到 $V_{DD} - V_{TR}$, 从而使 QR 不导通。由于 $C_{SL} \ll C_D$, 因此数据线电压将会保持在 V_{DD} , 并且这一电压将会写入节点 N。因此将不会有以上所提到的持续的电流通过 QR 和存储单元的高电压端的电压容限很窄的现

象出现。

参照图 1, 将详细描述写操作, 保持操作及读操作。

假设, 处在没有一个存储单元被选中的情况时, 预充电电路将使数据线置于浮动电压 V_{DD} , 就象在 DRAM 中一样。也就是说, 它被预充电到 V_{DD} 。再进一步假设, 在写或重写状态时, 源线 SL 由原来的固定 0V 变为浮动的 0V, 并且 CSL 远远小于 CD。

(1) 写操作

被写入单元节点 N 的信息电压 (V_{DD} 或 0V), 在字电压下降到关态时的电压 $-V_B$ 这一过程中, 受到耦合自单元电容 C 耦合的电容值的影响。在这里, 当高电压 V_{DD} 和低电压 0V 已经被写入时, $V_{N(H)}$ 和 $V_{N(L)}$ 代表了节点 N 的最终电压。因此, $V_{N(H)}$ 或 $V_{N(L)}$ 是未被选中单元的节点电压。在这里, $V_{N(H)}$ 由后述给出。因此, 直到 VW 降为 $V_{DD} + V_{TW}$, 此时仍导通的 QW 从数据线对节点 N 充电, 即使耦合自 C 的电容值试图降低其值, 但其值始终被保持在 V_{DD} 。在该值由 $V_{DD} + V_{TW}$ 降到 $-V_B$ 的过程中, QW 不导通, 相应的节点 N 按照电容耦合系数 α 下降, 因此:

$$\begin{aligned} V_{N(H)} &= V_{DD} - \alpha (V_{DD} + V_{TW} + V_B) \\ \alpha &= C / (C + C_N) \end{aligned} \quad (1)$$

其中, C_N 是节点 N 的附加电容。 $V_{N(L)}$ 可同样地被计算出来。在这个例子中, 由于 VW 下降到 V_{TW} 之前, QW 是导通的, 由上述原因可知节点 N 被保持在 0V。这之后, 由于电容耦合其值被降低, 并保持在:

$$V_{N(L)} = -\alpha (V_{TW} + V_B) \quad (2)$$

公式(1)和(2)代表未被选中状态下存储单元节点 (N) 的电压。

(2) 保持操作

未被选中的存储单元在任意状态下保持数据并且不会影响到选中单元的操作。即使所有的单元都没选中都处于预充电状态, 或者多数单元与同一条被选中的数据线相连并且数据线上的值, 由 0 到 V_{DD} 可变, 也应当满足这一条件。QW 和 QR 完全截止就可以满足这一条件。

很明显, 对于未被选中的单元来说, 由于 QW 的阈值电压 V_{TW} 足够的高以及在它的栅上加了一个负电压, 因此 QW 完全截止。另一方面, 由于未被选中单元的 SL 电压被固定在 0V, 为使 QR 在所有时间内不导通, 由公式(1)和(2)计算的 $V_N(H)$ 和 $V_N(L)$ 应当小于 QR 的阈值电压 (V_{TR})。由于 $V_N(H)$ 总是高于 $V_N(L)$, 所以这一条件可由以下公式表示:

$$V_N(H) = V_{DD} - \alpha (V_{DD} + V_{TW} + V_B) < V_{TR} \quad (3)$$

(3) 读操作

当数据从存储单元读出时, 单元节点 N 电压被字电压 V_R 及耦合电容 C 提高, $V_N(H)$ 和 $V_N(L)$ 也分别被提高, 并由以下公式计算。

$$\begin{aligned} V_N(H) &= V_N(H) + \alpha(V_R + V_B) \\ &= V_{DD} - \alpha(V_{DD} + V_{TW} - V_R) \end{aligned}$$

$$V_N(L) = V_N(L) + \alpha(V_R + V_B) = \alpha(V_R - V_{TW})$$

如果, 信息“1”和信息“0”二者是截然不同的, 那么 QR 应在 $V_N(H)$ 时导通, $V_N(L)$ 时截止。那么这样的结果就是, 如图示那样被预充电到 V_{DD} 的数据线或者放电到 0V 或者保持 V_{DD} 。这个时候需要使写晶体管 QW 截止, 以防止其影响读操作。由于 QE 的源电压比较低, 并且在 $V_N(L)$ 时比在 $V_N(H)$ 时更容易地变为导通, 因此为达到这个目的, 就要满足在 $V_N(L)$ 时使 QW 截止的条件。

因此:

$$V_N(H) = V_{DD} - \alpha(V_{DD} + V_{TW} - V_R) > V_{TR} \quad (4)$$

$$V_N(L) = \alpha(V_R - V_{TW}) < V_{TR} \quad (5)$$

$$V_R - V_N(L) < V_{TW} \quad (6)$$

由公式(5)和(6)可得:

$$V_R < V_{TW} \quad (7)$$

如果 V_{TR} 为正值, 只要满足公式(7), 公式(5)就成立。因此, 存储单元的电压容限由公式(3), 公式(4)和公式(7)决定。

图 3 画出了在读操作时, 对应于 α 的, 未被选中的存储节点电压 $V_N(H)$ 和 $V_N(L)$ 以及被选中的存储节点电压 $V_N(H)$ 和 $V_N(L)$ 的值。电

压条件为, 当 $V_{DD} = 2.5V$ 且 $V_{TW}-V_R=0.25V$ 时, $V_{TW} + V_B$ 可变。实线代表 $V_{TW} + V_B = 2.5V$, 虚线代表 $V_{TW} + V_B = 3.5V$, $V_N(H)$ 和 $V_N(L)$ 由公式(4)和(5)可知, 是一常量且与 $V_{TW}+V_B$ 的值无关。VTR 电压的取值范围由公式(3)、(4)、(5)决定, 图中由阴影部分标出。现在我们来分析当 $\alpha = 0.4$ 时, VTR 与存储单元电压容限之间有什么关系。当 $V_{TW} = 2V$, $V_B = 0.5V$ 时, 即 $V_{TW} + V_B = 2.5V$, VTR 可以取点 a 到 b 之间的任意值, 假设 $V_{TR} = 0.75V$ (A 点), 则在未选中的单元中 $V_N(H)=0.5V$ (b 点), $V_N(L)=-1V$ (d 点), 晶体管 QR 完全截止。

另一方面, 如果存储单元被选中, 那么 $V_N(H)=1.4V$ (a 点), $V_N(L)=-0.1V$ (c 点)。因此, QR 在 $V_N(H)$ 时导通, 在 $V_N(L)$ 时截止。QR 导通时的有效栅电压为 $V_N(H) - V_{TR} = 0.65V$ 。如果字电压进一步向负偏移 $1V$, $V_{TW} = 2V$, $V_B = 1.5V$, 使 $V_{TW} + V_B = 3.5V$, 那么 QR 的有效栅电压的值可达到高速操作。在这个例子中 VTR 可以延伸到 a 点和 b 点之间取值, 所以 VTR 可以低到 $0.35V$ (A' 点), 同时保持截止情况下的电压容限(即 A 点与 b 点之差和 A' 点与 b' 点之差)。因此 QR 的有效栅电压提高到 $V_N(H)-V_{TR}=1.05V$ 。

图 4 是存储单元阵列及外围电路示意图, 图 5 是其时序图。存储单元 MC 连接于多条字线($WL_0, \dots, WL_{n-1}$)和多条数据线($DL_0, \dots, DL_{m-1}$)之间的交叉点上。每一根数据线通过一个行选择晶体管 QY 与一对公共数据输入输出线(I/O, $\overline{I/O}$)相连, 并根据由已知地址信号激活的行信号(YS_0, YS_{m-1})选中。

I/O 输入输出线通过一个读出放大器 SA 和一个数据 I/O 缓冲器 DB 与数据输出 D_0 相连, 数据输入 D_i 通过缓冲器 DB 与 I/O 输入输出线相连。连接到每一条字线的数据控制寄存器 DCR 用于检测字线的选中状态, 并且由其输出信号线 DCL 来控制缓冲器 DB。

下面具体描述该实施例的特性。由于存储单元具有增益, 也就是说电流不断地流向读晶体管 QR, 从而使其在数据线上转变为一电压, 这个信号电压显现在数据线上为一很高的值。正如上所述, 依据此设计, 可使其变为在源极上一个幅值。从理论上讲, 一条数据线可连接

的存储单元数量是无限的。由于存在增益，即使数据线的附加电容 CD 增加，存储单元也可以正确操作。与此相反，我们都知道 DRAM 存储单元是没有增益的，数据线上的信号电压非常小。正由于这个原因，所以数据线需要采用双线来抑制噪声，并且为每一对窄间距的数据线采用一大面积差分 CMOS 读出放大器，放大信号。此外，还可以减小 CD 提高信号电压，数据线对由多段组成，且为每段数据线对提供一前面所述的微分放大器。所有这些是增大芯片面积的因素。因此，该实施例的优点在操作的稳定性上超过了 DRAM，并且使缩小芯片面积变为可能。下面说明该实施例的动作。

当存储单元阵列未被激活时，每条数据线的预充电晶体管 QP 保持导通，并且每条数据线被预充电到 VDD 。I/O 输入输出线对也被预充电到 $VDD/2$ 且电位相等。当每一根源极线(SL_0, SL_{n-1})的控制信号 RWC 升高到一高电平时，每一个源极线上的晶体管 QSL 导通，所有源极线都被固定在 $0V$ 。当存储单元阵列被激活时，一条字线(例如 WL_0)由列地址信号选中， VR 电压使读操作开始。这将读出 WL_0 上的每一个存储单元，读信号电压出现在相应的数据线上。例如，单元节点为 $VN(H)$ ，那么 QR 导通，相应的 DL_0 将由浮动的 VDD 放电到 $0V$ 。另一方面，如果单元节点为 $VN(L)$ ， QR 将不导通， DL_0 将保持在 VDD 。当数据线上的电压已被读出且该电压被固定在 VDD 或 $0V$ 后，行地址信号引起一个行选择开关(例如 QY)导通，那么 DL_0 上的电压将通过 DL_0 和 I/O 线之间的电压分配被输出到 I/O 线上。如果 DL_0 的电压为 VDD ，则 I/O 线上将出现 $+us$ 信号电压，其值为 $VDD/2$ ，若为 $0V$ ，则会出现 $-us$ 信号电压。

DL_0 和 I/O 的附加电容分别由 CD 和 CI/O 表示：

$$us = (CD / (CD + CI/O)) \cdot (VDD/2) \quad (8)$$

由于在 I/O 输入输出线对的 $\overline{I/O}$ 上保持着 $VDD/2$ ，如果读出放大器 SA 以此电压为参考电压，则读电压上的信息能被区分出来。图 6 为一锁存器型 CMOS 读出放大器。如果 P 沟道和 N 沟道 MOSFET 的公共端 SP 和 SN 分别由 $VDD/2$ 到 VDD ， $VDD/2$ 到 $0V$ 来驱动，那么 I/O

的+us 信息和-us 信息将被放大到 VDD 和 0V，并通过数据 I/O 缓冲器 DB 输出到数据输出终端 Do。与此同时，经放大的 I/O 电压在字电压为 VW 时被重写到存储单元节点 N。其原因是，由于与 I/O 相连，被读出到 DL0 的电压 VDD 或 0V 会低于 VDD 或大于 0V，该电压必须通过读出放大器恢复为 VDD 或 0V 并重写。理论上讲，其他数据线(DL1 到 DLm-1) 不受前面提到的变形电压的影响，那么读出数据线电压按原值重写回相应的存储单元。因此，正如上面所描述的，在施加 VW 之前，控制信号 RWC 被置为 0V，每个 QSL 都关断，以保持 SL 线处于浮置 0V 状态。这可以防止数据线电平在重写操作时下降。到目前为止详细描述了读操作，写操作是通过上述的重写过程完成的。因此，要写的数据电压通过数据 I/O 缓冲器 DB 以差分电压形式从数据输入端 Di 提供到 I/O 双线上，代替了由读出放大器放大电压。通过 DL0 将结果送到单元节点。由于存储单元在这里类似于反向器，每当一条字线被选中时，该字线上的所有存储单元的节点电压在高和低之间被打开，如图 5 所示。为保证数据 I/O 关系没有逻辑矛盾，数据 I/O 缓冲器 DB 是由与每根字线相连的数据控制寄存器 DCR 的输出信号控制的。

图 7 为一控制系统，控制数据控制寄存器和数据 I/O 缓冲器。该控制系统的概念在 ISSCC72(1972 年国际固态电路会议)摘要的第 12 至 13 页中描述过，里面引用了一个 DRAM 的例子，每个单元包含三个晶体管。因此，每一条字线都与一数据控制单元 DCC 相连，它与存储单元结构相同。当一条字线被选中时，它的读信号从选中的数据控制单元输出到公共输出信号线 DCL。该信号和一从存储单元读出的信号通过一个读出放大器执行异或操作输出到 Do。另一方面，DCL 上的读信号和数据输入 Di 也执行异或操作，将要写的数据送到存储单元阵列。另外，在高速控制数据输入输出时，数据控制单元的输出晶体管(对应于 QR)的沟道宽度可以比存储单元沟道宽度做的更大。

图 8 为 SL 线电压控制系统，它的作用是防止在写或重写操作时数据线高电平(VDD)端下降。该系统的一个特点是每一条 SL 被划分为

SL00、SL01 等等，是为减小每一条 SL 的有效附加电容 CSL。由上所述，RWC 关断使每条 SL 线处于浮态，当 CSL 减小到与数据线附加电容 CD 相当时，上面所提到的电压电平的下降就会得到抑制。另外一个特性是，具有与存储单元相同结构的一个虚拟单元 DC，与 SL 线的每一段相连，并控制该段电压，且它的数据线(DDL0、DDL1 等等)在任意时刻都被固定在 VDD。这使得上述的数据线最大电压降减半，下面将具体描述。如上所述，提供给字线(WL0)读电压 VR，则 WL0 上的每一个存储单元被读出，读电压被输出到每一条相应的数据线上。在这期间，SL00、SL01 等等被固定在 0V。当每条数据线都充分放电后，SL00、SL01 等等被置为浮 0V，随后 WL0 上出现写电压 VW，并且每条数据线上的电压被重写到每一个存储单元的存储节点 N。这里数据线高电平端下降的程度取决于具有特定读信息的存储单元的数量。因此，在读状态后数据线电压升到高电平的存储单元的数量越多，高电平端下降的就越少，因为很多存储单元的 QR 对 SL00 的附加电容充电，几乎达到 $VDD - V_{TR}$ 。因此，数据线上的电压降可由 ΔV_D 表示， $CSL \times (VDD - V_{TR}) \cong KCD \times \Delta V_D$ 。因此，当 $K=1$ 时， ΔV_D 的值最大。使这个压降减半的就是前面提到的虚拟单元 DC。虚拟单元的 QR 在写和重写时总是处于导通，导致 $K=2$ ， ΔV_D 二等分。除了虚拟单元系统，下面我们将要提到的在 SL 线固定在一定电平之后，例如 $VDD - V_{TR}$ 或大于该值，施加 VW 的一种方法。因此，在数据线上输出一足够的读电压后，SL 线从 0V 充电到 $VDD - V_{TR}$ 或更高，然后 VW 被提供。尽管周期时间延长到与充电时间一样，数据线上也不会有电压降。

图 9 为一控制 SL 线上电压的电路。在读操作开始以及数据线电压固定后，与 SL 线末端相连的晶体管 QSL0、QSL1 等的栅电压由一地址信号解码并被独立控制。由于这个原因，只有与被选中的字线(WL0)对应的 QSL0 不导通，只有 QL00 为浮 0V。由于其他晶体管未被选中处于导通状态，SL10 和其他 SL 线固定在 0V。在这之后，施加字电压 VW。图 9 中 RWC 集中控制多个晶体管的栅，与图 8 的例子相比，

RWC 的负载电容减小，使其可以达到更高的速度。

图 10 为一由脉冲驱动的例子，不是象图 9 那样源电压 PSL 一直固定在 0V。这样的结果是在施加 VW 时将 SL00 强制驱动至 $VDD - VTR$ 。QSL0、QSL1 等的栅电压由地址信号解码，且只有被选中的晶体管（QSL0）导通，于是 SL00 是 PSL 的唯一负载电容，所以可以达到高速。

尽管前面的描述是假设将 SL 线充电到 $VDD - VTR$ 将会使 QR 不导通，实际上，由于当 SL 线充电时，VTR 因 QR 的体效应而升高，所以 QR 在低于 $VDD - VTR$ 时就已经不导通。因此， ΔVD 实际上要小一些，SL 线充电电压可能会低一些。

如果利用一个隧道晶体管作为存储单元写晶体管 QW，那么存储节点由一层绝缘层包围这种结构就有可能实现，非易失操作就可以执行。由于没有 PN 结电流出现在存储节点，只要 QW 有通路存储节点电荷就会丢失，如果 QW（VTW）的阈值电压足够高，大约 2V 左右，通过 QW 的电流可以忽略不计。下面将结合图 3 的例子来描述，图 3 中 $VTW + VB = 3.5V$ ， $VTW = 2V$ ， $\alpha = 0.4$ 。

如图 11 所示，如果源极电压关断，那么字线和数据线最终将为浮 0V。然后，储存在存储节点（图 3 中的 b' 点和 d' 点）中的电压被存储单元电容 C 升高。当 $\alpha = 0.4$ 字电压为 1.5V 时， $VN(H)$ 将由 0.6V 提高到 0.7V。另一方面， $VN(L)$ 也将被提高到 -0.8V。在不接电源（例如最大为 10 年），QW 很微弱的导通，且存储节点 N 从数据线充电。这里假设 QW 的最小阈值电压，即 QW 完全关断，为 1.6V，这我们将在下面具体讨论。当字电压在 0V 时 $VTW = 2V$ ，只有在上述节点电压中存在问题的 -0.8V 一边充电，且充到 0.4V 时停止。当再次连接供电电源时，由于电容和字电压的变化，使存储节点电压下降 0.6V。之后，字线上施加电压 VR 开始读操作。于是存储节点电压只上升 1.3V，结果 $VN(H) = 1.4V$ ， $VN(L) = 0.3V$ 。电源的断开将使 $VN(H)$ 和 $VN(L)$ 之间的电压差由 1.5V 减小到 1.1V。但是，如果 QR 的阈值电压 VTR 被选为 0.75V，QR 将在 $VN(H)$ 时导通，在 $VN(L)$ 时不导通，存储单

元将会正确操作。因此，非易失操作将会实现。当然，电源接通后， $V_N(H)$ 和 $V_N(L)$ 之间的压差将会在第二轮和后续的读操作时回到 1.5V。

图 12 和 13 为存储单元以及它的操作时序的另一个实施例。与图 1 比较，去掉了电容 C，增加了读选择 MOSFET QR2。该图存储单元的面积大于图 1，但设计被简化了。因此：

(1) 只读字线 RWL 接通，将 N 节点中的存储信息输出到数据线 DL。如果 N 节点电压处于高电平 (V_{DD})，QR1 和 QR2 都将导通，因此，预充电到 V_{DD} 的数据线 DL 将放电至 0V。如果 N 节点电压处于低电平 (0V)，QR1 将会不导通，因此数据线将保持在 V_{DD} 。这一读操作在数据线上产生这一电压后，RWL 关断，在这之后，只写字线 WWL 接通。读信息重写到数据线上。或者将外部提供的一个写数据电压强制地写入同一字线上的特定存储单元内。因此，不象图 1 所示，存储单元将不总是动态操作，具有一持续的直通电流。因此，这里不需要上面提到的电容 C 或 SL 线电压控制，且 SL 线上的电压可以是一固定电压 (0V)。

(2) 当 WWL 关断时 RWL 是开启的，所以存储单元中的存储信息不会被读操作破坏。

(3) 在未被选中的情况下，不需要为字线 (RWL 和 WWL) 提供负电压，除非 QR2 或 QW 的阈值电压有显著的下降。当然，如果前述的阈值电压非常低的话，这两个晶体管将由于馈入负电压而不导通。

(4) 这里也不需要为字线提供一个如图 2 所示的那种三级脉冲电压。

如果这里 QW 用隧道晶体管，则存储单元的尺寸可减小，因为后面将叙述的，QW 和 QR1 可以是三维的结构。如果 WWL 和存储节点 N 之间的耦合电容可以做得尽可能小，则约 V_{DD} 和 0V 被写入存储节点并保持。如果 QW 的阈值电压设为足够高，则节点 N 的电荷也可长时间保持，上述的非易失功能可以很容易实现。当然，用这种存

储单元的存储单元阵列可以按图 4 中所示的电路图排列。其结构可完全相同除了将有两个字线 RWL 和 WWL 以及 SL 线被固定为地电压。

图 14 是隧道晶体管的剖面结构示意图。一个特点是它是纵向晶体管，其栅极 G 通过栅极氧化膜（厚度为 t_{ox} 的热氧化膜）安置于四叠层多晶硅层（多晶硅 1 至多晶硅 4）的两侧。实质上位于两侧的由多晶硅组成的栅电极是固态的，如下面将叙述的，并且通常电位相等。多晶硅 1 和多晶硅 2 由掺杂有约 10^{20}cm^{-3} 磷的多晶硅制成，构成晶体管的漏极 D（或源极 S）和源极（或漏极）。多晶硅 2 和多晶硅 3 由本征多晶硅掺杂有密度非常低（约 10^{15} 至 10^{17}cm^{-3} ）的磷组成，构成晶体管的衬底。在多晶硅 1 和多晶硅 2 之间，多晶硅 2 和多晶硅 3 之间，以及多晶硅 3 和多晶硅 4 之间形成隧道薄膜 SN1，SN2 和 SN3，例如每个隧道薄膜包括一个很薄的（2 至 3nm）的氮化硅薄膜。SN1 和 SN3 的作用是中止层，防止在晶体管形成时漏极或源极区的高密度磷扩散到内部（多晶硅 2 和多晶硅 3）的低密度层中。为了使电流在漏极和源极之间流过，这些薄膜应是隧道薄膜，不能太厚。中间的隧道薄膜 SN2 要抑制晶体管的“关断”电流。这样，它就是一个中止层，阻止晶体管在“关断”状态时穿过多晶硅 2 和多晶硅 3 区域的正空穴或电子形成电流在漏极和源极之间流动。顺便说一下，如果有足够高的正电压加在栅极上，则隧道薄膜的势垒将较低，允许足够大的“导通”电流在漏极和源极之间流动。当然，根据“关断”电流的目标强度，中间的隧道薄膜可以省去。另外，虽然假设的是单个中间薄膜层，但如需要也可以是多层隧道薄膜。图 14 中的隧道晶体管的典型尺寸约为 $l=0.4\mu\text{m}$ ， $d=0.2\mu\text{m}$ ， $t_{ox}=10\text{nm}$ 。如果选择了一定厚度的隧道薄膜，这种晶体管可实现的伏安特性与传统的密度非常低的衬底的横向 MOS 管的伏安特性相似。图 15 粗略表示了这一特性。图中示出了漏极和源极之间的电流（IDS）的最大容许强度（i），它保证了数据 10 年不丢失。存储节点（N）的电容（C）假设为 5fF，则 10 年（ Δt ）允许的电压降（ ΔV ）是 0.1V 并且 $i=C\cdot\Delta V/\Delta t=1.6\times 10^{-24}\text{A}$ 。另外，在通常的电路设计中，晶体管的阈值电压（对应上述的 VTW）由栅极/源极

电压 (V_{GS}) 确定使 I_{DS} 电流约 $=10^{-8}A$ 。由于在图中从 $10^{-24}A$ 至 $10^{-8}A$ 半对数表示的电流区域中, I_{DS} 和 V_{GS} 之间为线性关系, 如果 V_{GS} 使 I_{DS} 增加一位的值是 $100mV$, $VTW0.1(V/位) \times 16 位 = 1.6V$ 。该 VTW 的值是需要维持晶体管关断 10 年的最小值。在实际设计中, 如上所述, 在考虑 VTW 波动和温度特性的情况下, 标准 VTW 设置为 $2V$ 。

另外, 最大的电流强度容限约 $10^{-20}A$, 它对于一个存储单元保持数据一天是足够的, 所以 $VTW0.1(V/位) \times 12(位) = 1.2V$ 是足够的。考虑到上述提到的可能存在的波动, 标准 VTW 可设置为 $1.6V$ 。相应地, 由于 VTW 的减小, 所需的最大字电压 ($V_{DD} + VTW$ 或更高) 比在非易失操作中小, 所以不需要费力考虑驱动存储单元中的写晶体管 (QW) 和字线的并联电路中的晶体管的击穿电压。在这种情况下, 已知的 $DRAM$ 的刷新操作可以保持存储单元中的数据。这样, 足可以驱动字线并在每个数据线上连续和周期性地实现上述的读写操作。

图 16 说明了图 1 的存储单元的平面结构。图 14 的晶体管用作写晶体管。图 17 表示的是 AA 剖面图, 图 18 表示的是 BB 剖面图。在由掺磷 n 型多晶硅薄膜构成的数据线 (DL) 上, 垂直放置掺硼 p 型多晶硅薄膜构成的字线 (WL), 它们中间有一层很厚的绝缘层。由于图 14 的三维隧道晶体管堆叠在通常的 MOSFET (图 1 中的 QR) 的栅极 (N) 上, 所以可实现很高密度的存储单元。显然, 在一个平面上流过 QR 电流时, 在垂直的方向流过 QW 电流。因此, 当已知的 $DRAM$ 存储单元的数据线结构原理上是 $8F^2$ (F : 最小尺寸) 时, 则本发明为 $4F^2$ 即为一半的存储单元区。另外, 图 1 的耦合电容 (C) 可由图 17 中所示的位于字线和多晶硅 4 之间的热氧化膜构成。 C 的尺寸可以通过调整多晶硅 4 的薄膜厚度来改变。如果如上所述只是通过正确设置 QW 的阈值电压 (VTW), 这里所述的存储单元就可以有足够长的数据保持周期并且可以大大地增强抵抗由 α 射线等带来的软失效。这是因为存储单元节点 (N) 没有 PN 结, 这样就没有漏电流, 并且即使 α 射线激活存储单元, 在其中产生电子空穴, 存储单元内没有电位变化, 因为隧道薄膜作为中止层阻止了相应的电子和正空穴的流动。

至此，已详述了以减小存储单元尺寸的存储单元电路系统以及包含有这样的存储单元的存储单元阵列的工作系统。为了进一步减小尺寸，还介绍了一个利用三维晶体管如隧道晶体管的存储单元的实例。

上述发明可实现高密度、大容量存储器甚至更高速的非易失存储器。也可在一个芯片上实现含有这种存储器和大规模逻辑电路（如，微处理器）的半导体装置。如众所周知的，如果含有传统的 DRAM 的半导体芯片变小一些，则制造上非常困难。这样在层压的电容单元中，存储单元阵列有很大的排列结构或多层结构来实现大容量，这妨碍了大规模逻辑部件变小。另一方面，凹型电容单元需要比较大的纵横比的凹槽，因此更难于制造。例如，256M 位的 DRAM 的纵横比为 40。相反，由于根据本发明的存储器在存储单元中有增益，所以不特别需要大电容。因此，本发明不需要大阵列结构和深凹槽结构，而这些对于减小芯片来说是非常困难的，所以可以得到易于制造和廉价的半导体装置。

说明书附图

图 1

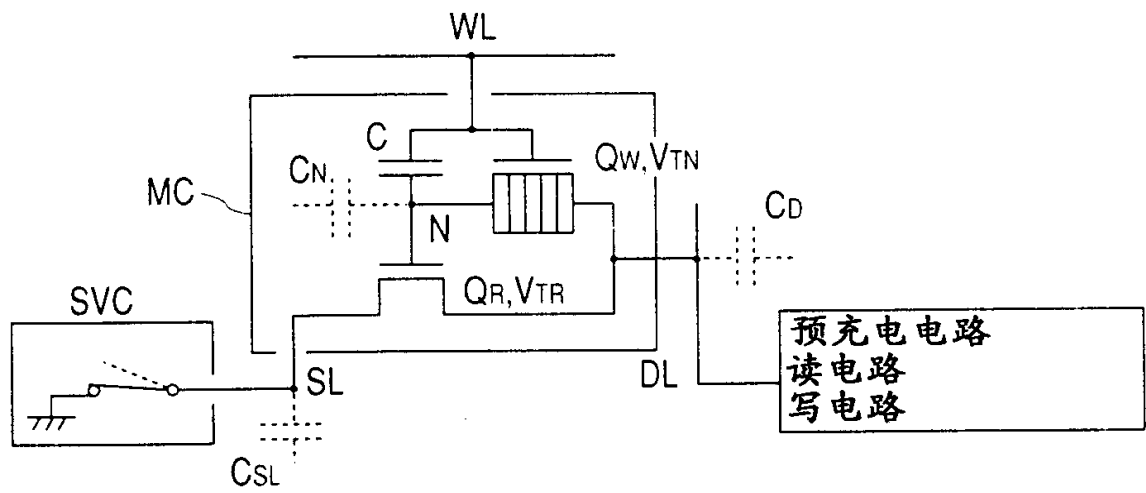


图 2

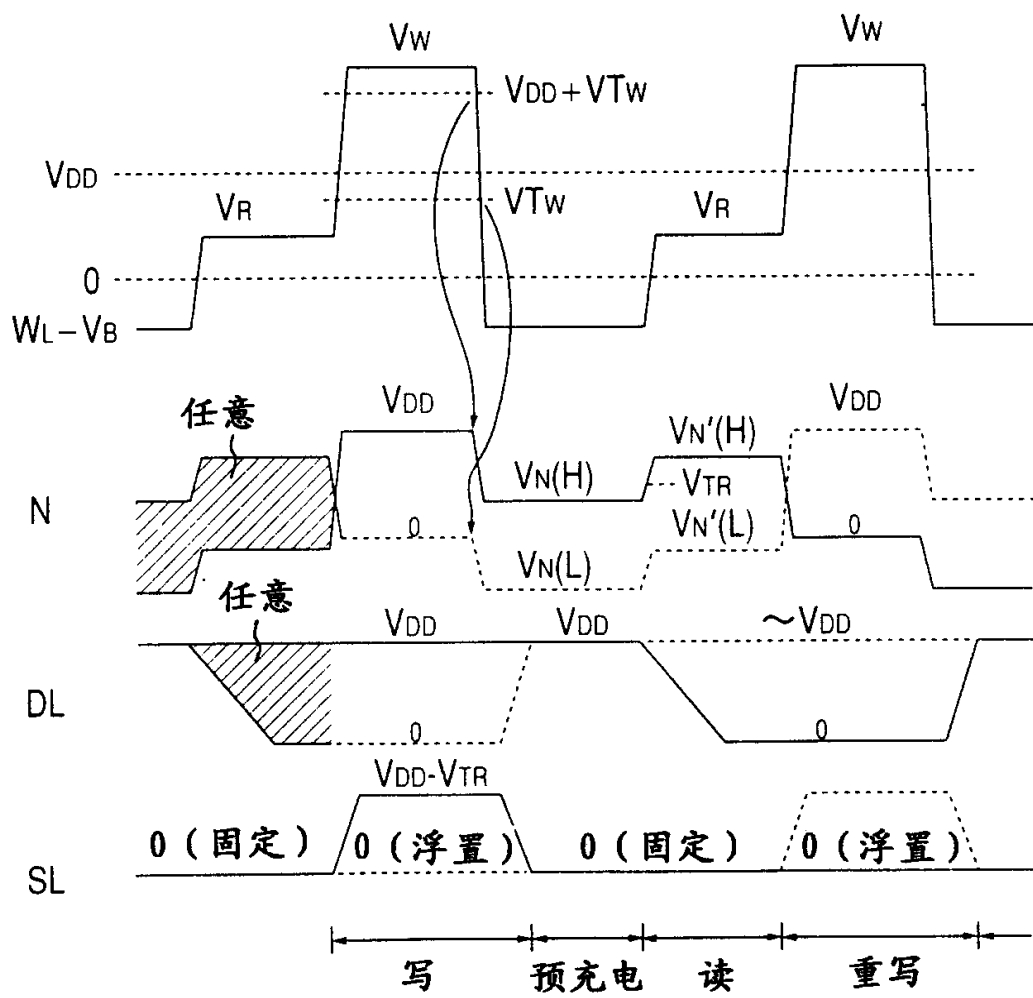


图 3

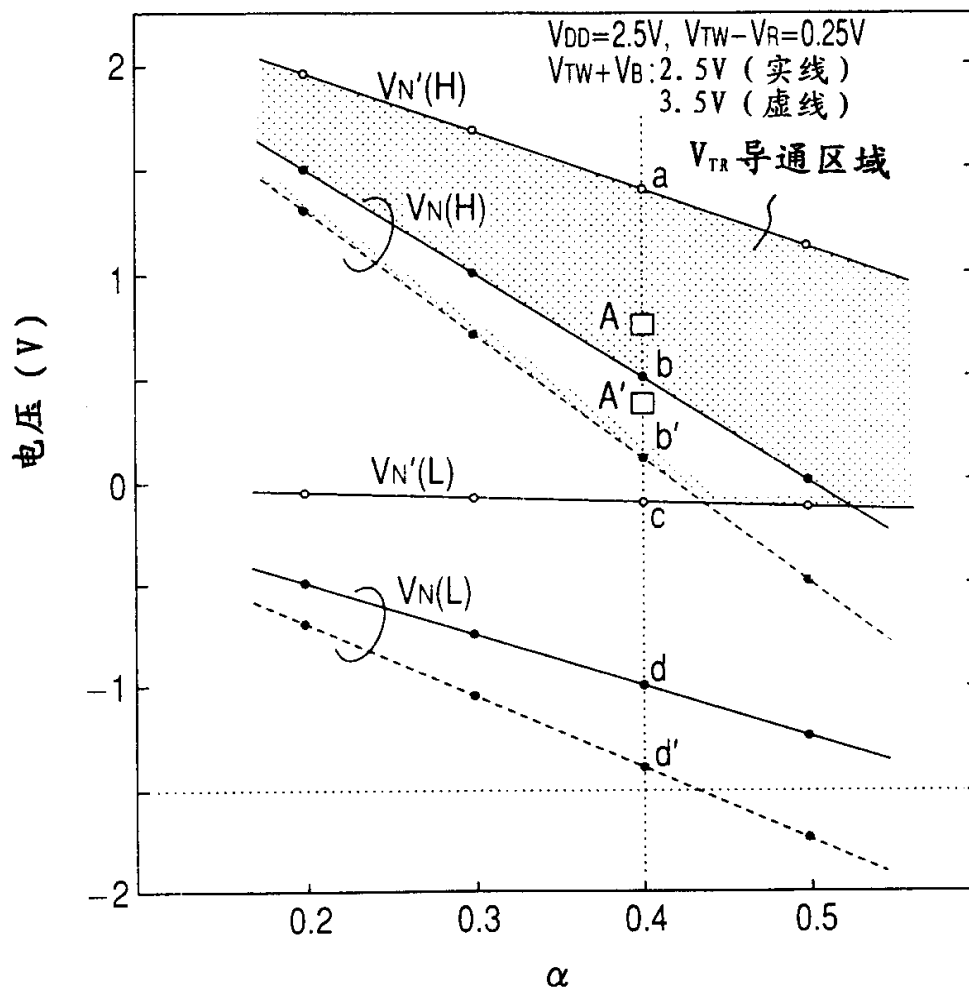


图 4

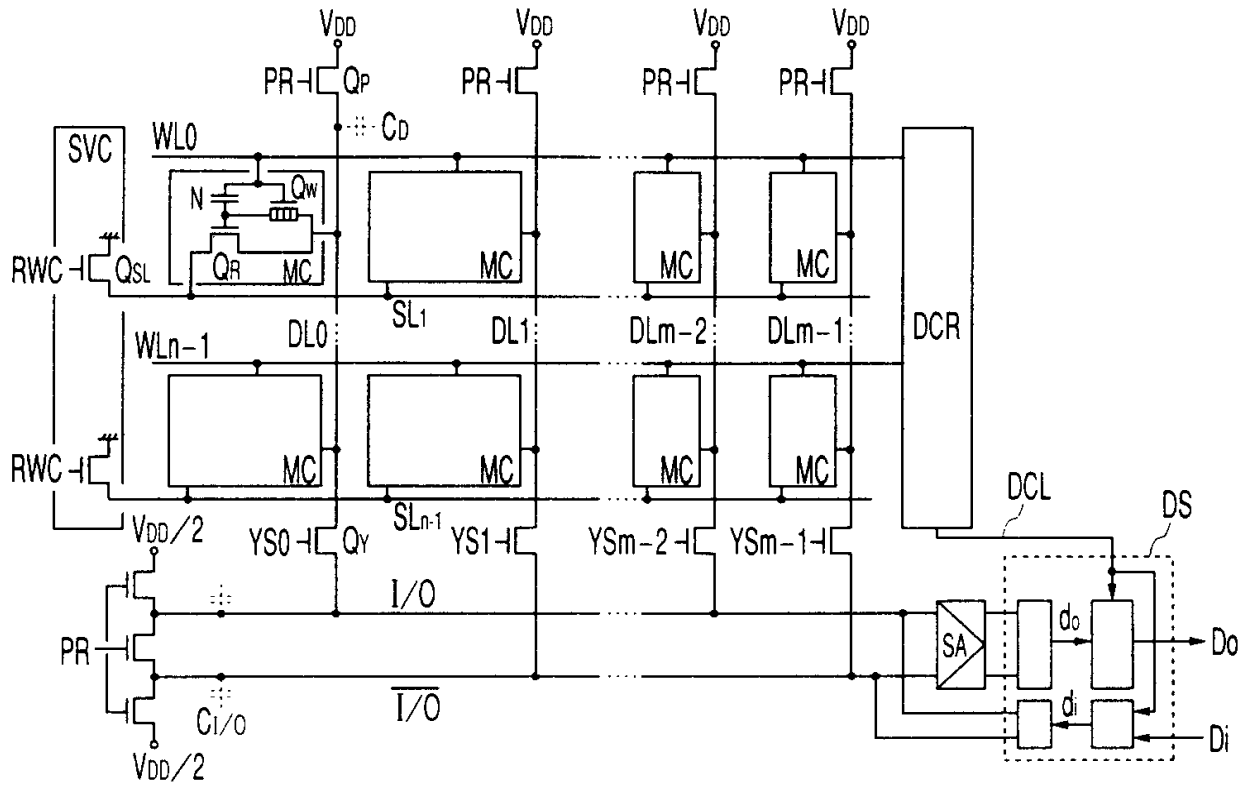


图 5

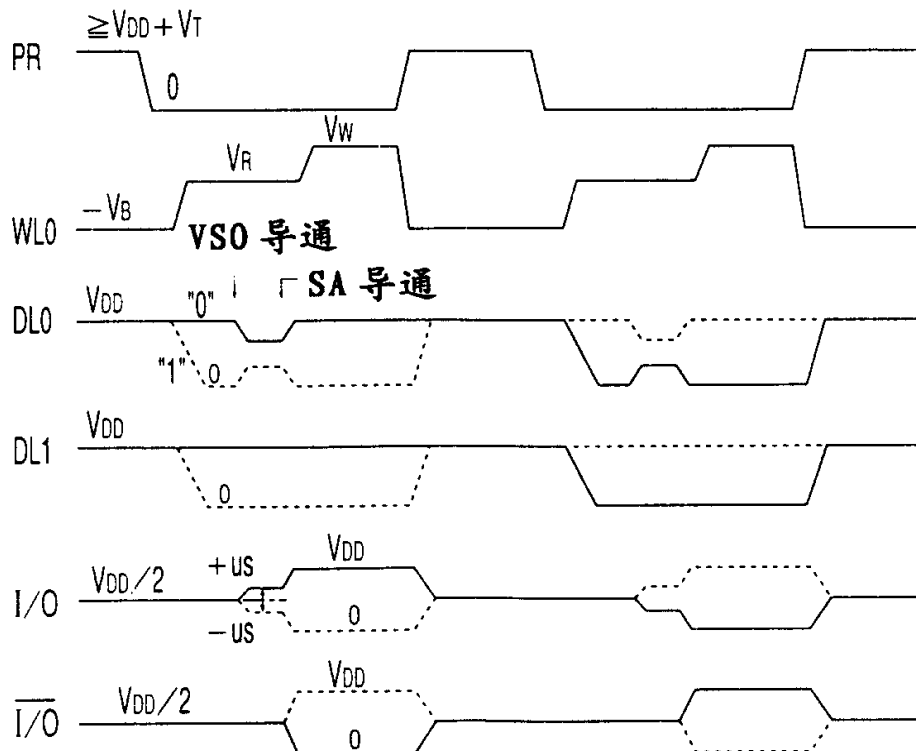


图 6

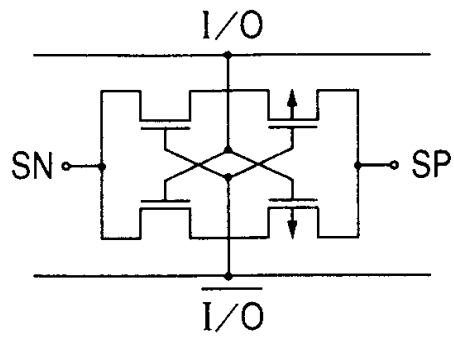


图 7

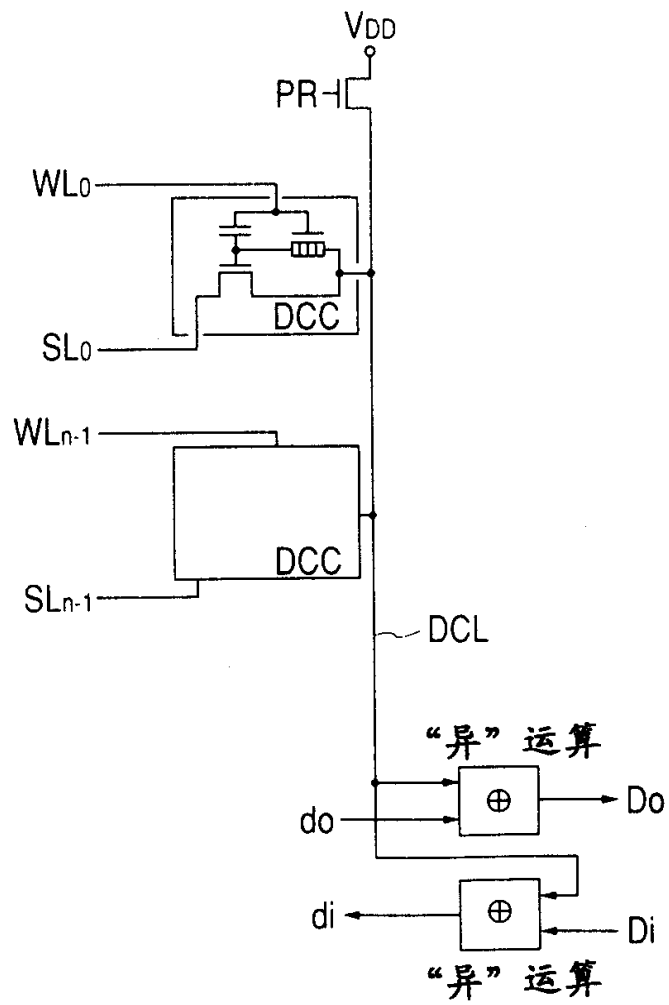


图 8

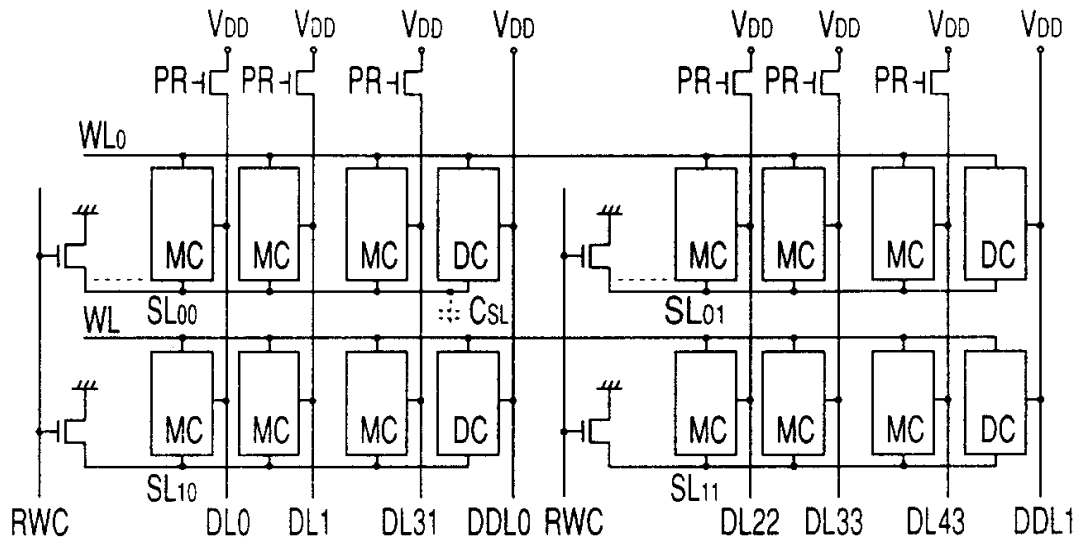


图 9

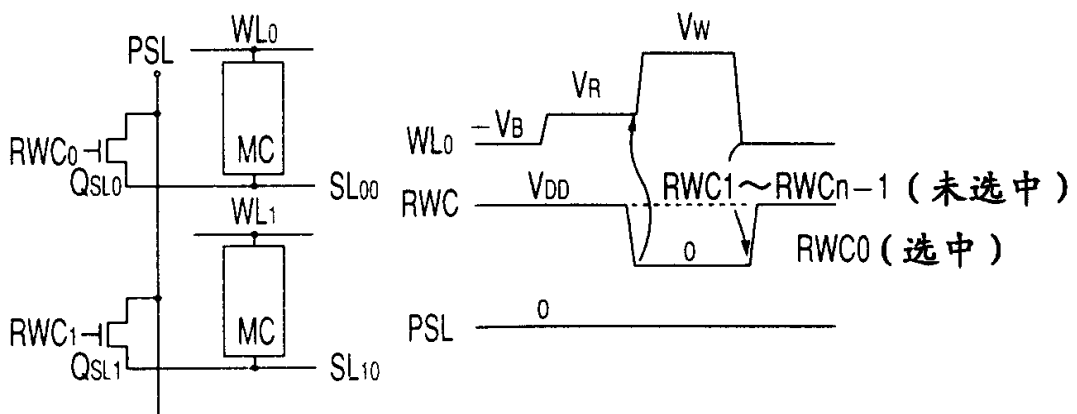


图 10

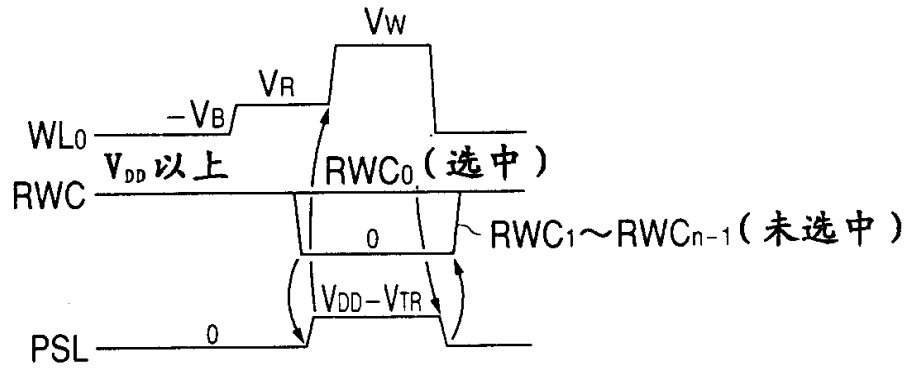


图 11

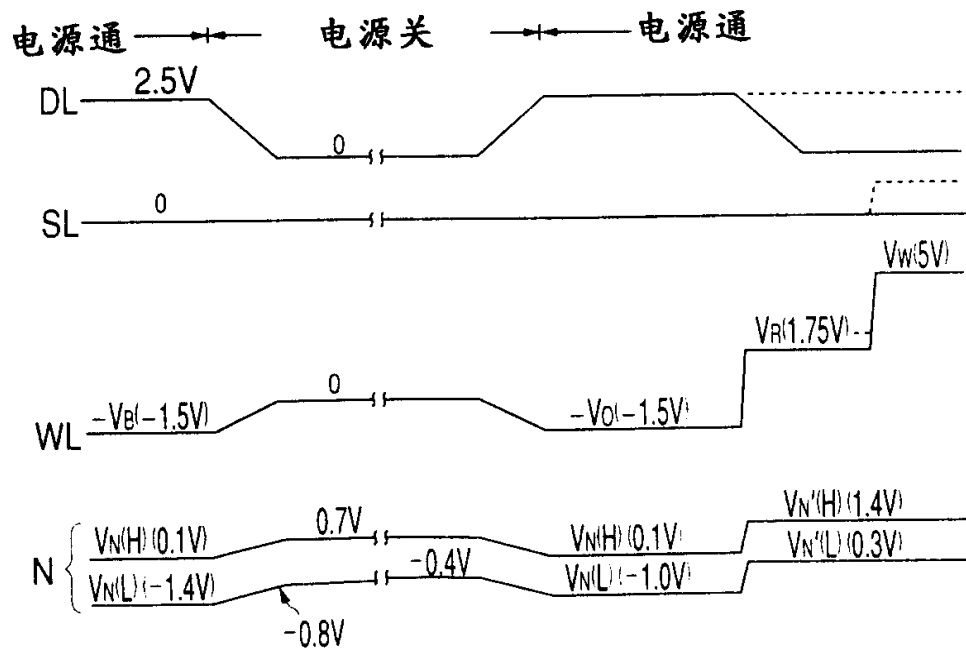


图 12

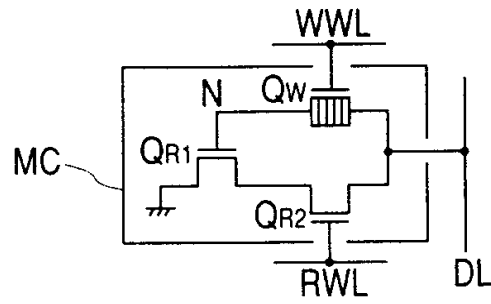


图 13

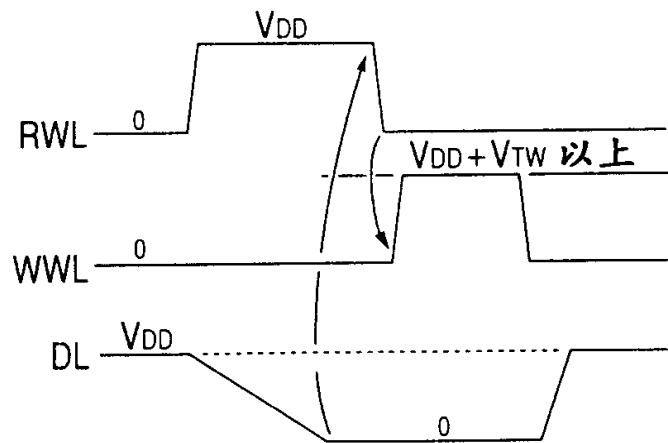


图 14

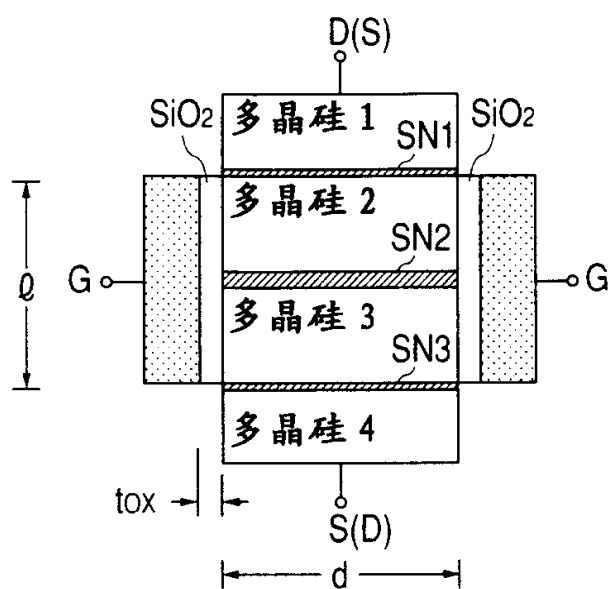


图 15

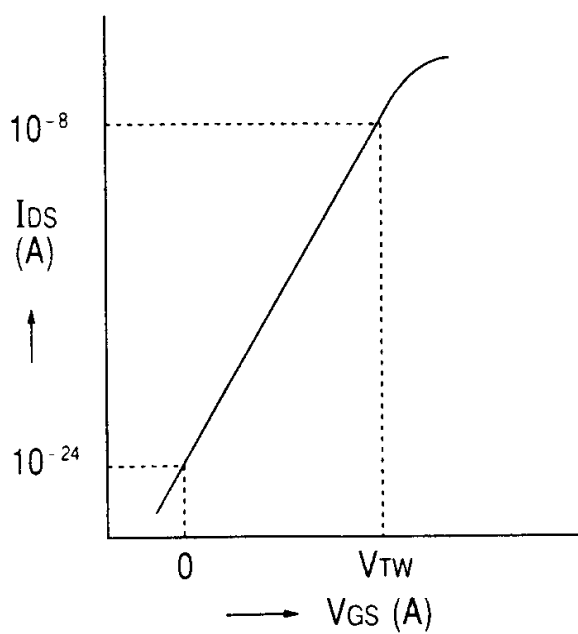


图16

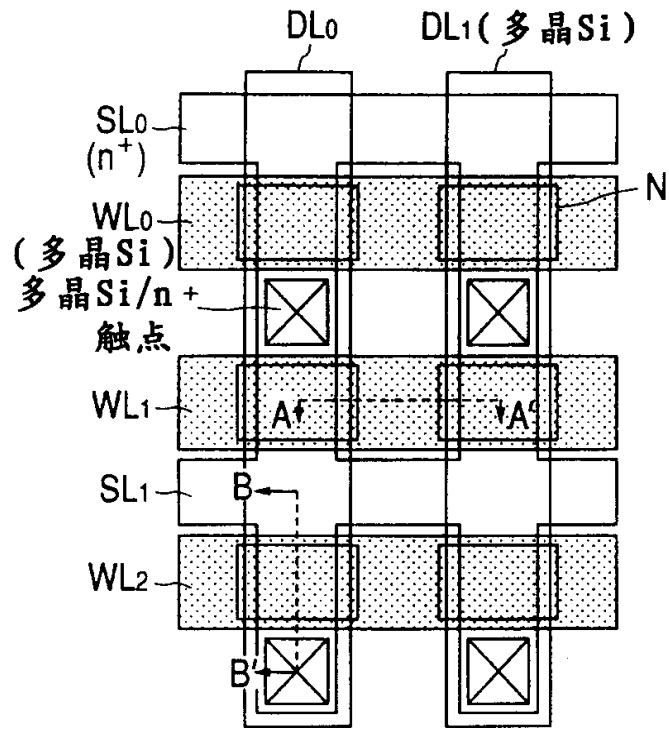


图17

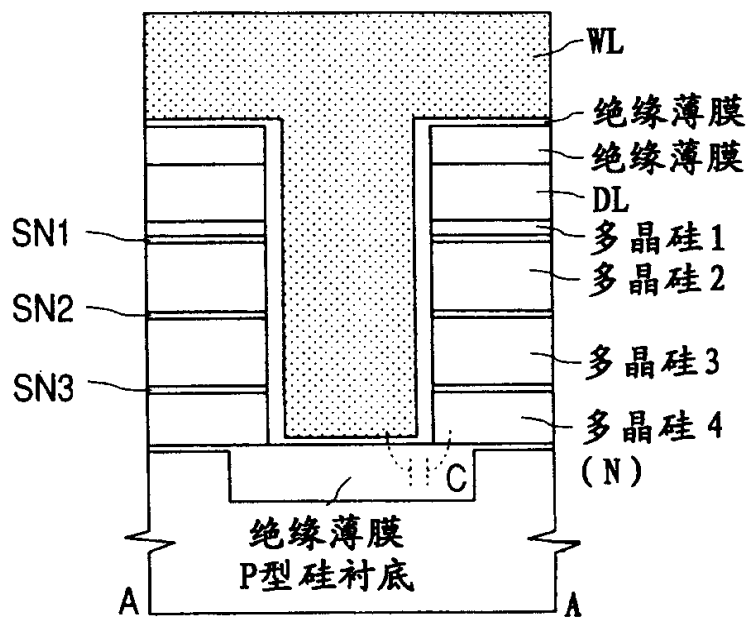


图18

