

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成 19 年 5 月 17 日 (2007.5.17)

【公開番号】特開 2001-195884 (P2001-195884A)
 【公開日】平成 13 年 7 月 19 日 (2001.7.19)
 【出願番号】特願 2000-125945 (P2000-125945)
 【国際特許分類】

G 1 1 C 11/409 (2006.01)

G 0 6 F 1/12 (2006.01)

G 1 1 C 11/407 (2006.01)

【F I】

G 1 1 C 11/34 3 5 4 P

G 0 6 F 1/04 3 4 0 D

G 1 1 C 11/34 3 5 4 C

G 1 1 C 11/34 3 6 2 S

【手続補正書】
 【提出日】平成 19 年 3 月 28 日 (2007.3.28)
 【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】請求項 18
 【補正方法】変更
 【補正の内容】

【請求項 18】 前記データ出力回路は、クロック信号に同期して前記複数の出力データを出力し、

前記クロック信号に応じてカウント動作をするカウンタ回路と、

前記カウンタ回路のカウント値に応じてリセット信号を発生するリセット発生回路と、

前記リセット信号が活性化されると出力を前記所定の論理レベルに対応する値にリセットし、前記リセット信号が非活性化されると前記内部回路から出力される前記出力データを受けて保持するラッチ回路とを含む、請求項 17 に記載の半導体装置。

【手続補正 2】
 【補正対象書類名】明細書
 【補正対象項目名】0046
 【補正方法】変更
 【補正の内容】

【0046】

請求項 18 に記載の半導体装置は、請求項 17 に記載の半導体装置の構成に加えて、データ出力回路は、クロック信号に同期して複数の出力データを出力し、クロック信号に応じてカウント動作をするカウンタ回路と、カウンタ回路のカウント値に応じてリセット信号を発生するリセット発生回路と、リセット信号が活性化されると出力を所定の論理レベルに対応する値にリセットし、リセット信号が非活性化されると内部回路から出力される出力データを受けて保持するラッチ回路とを含む。

【手続補正 3】
 【補正対象書類名】明細書
 【補正対象項目名】0111
 【補正方法】変更
 【補正の内容】

【0111】

ただし、SSO によってデータとストローク信号に生じる遅延時間は、データの極性に

よって双方にほぼ一律に生じると考えられる。そこで、LレベルからHレベルに立上がるデータ信号DQ1～DQn-1に対しては、確定するデータに対応してLレベルからHレベルに立上がるエッジが入力されるストローク信号DQSを使用すれば、データの確定した時刻t₂とストローク信号の取込エッジの時刻t₃との時間差はSSOが発生しても固定遅延時間T_{fd}にほぼ保たれる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0114

【補正方法】変更

【補正の内容】

【0114】

図13では、スキューTDと固定遅延時間T_{fd}とがちょうど同じ時間となっているので、時刻t₂において、ストローク信号/DQSがHレベルからLレベルに立下がっている。このストローク信号/DQSの立下りエッジでデータ信号DQnを取込めば、セットアップ時間はT_{s1}となり、ホールド時間はT_{h1}となる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0151

【補正方法】変更

【補正の内容】

【0151】

この信号S5はラッチ回路236によってラッチされた信号である。ラッチ回路236は時刻t₂において、ストローク信号ZDQS2に従い、つまりHレベルからLレベルに立下がるストローク信号STRB2に応じて信号S1を取込みHデータを保持している。したがって、セクタ218はHデータを出力し、応じて内部データ信号IDnaはLレベルからHレベルに変化する。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0152

【補正方法】変更

【補正の内容】

【0152】

次に、時刻t₃におけるデータ信号DQnの取込みについて説明する。時刻t₂に入力されたデータ信号DQnがHレベルであったことが、内部データ信号IDnaを参照することによってわかる。この場合、次にデータ信号を内部に取込む時刻t₃でストローク信号として使用されるべき信号は、HレベルからLレベルに立下がるストローク信号である。したがって、図21に示した選択信号発生回路228はパルス信号S1Fによって選択信号SEL1Fを活性化する。応じて図19に示したセクタ220は信号S3をラッチ回路224に伝達する。信号S3は時刻t₃においてラッチ回路232によりストローク信号ZDQS1に従い、つまりHレベルからLレベルに立下がるストローク信号STRB1に応じて取込まれた信号であるため、スキューによってマージンが減少することはない。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0176

【補正方法】変更

【補正の内容】

【0176】

図28は、図15に示したラッチ回路224の構成を示す回路図である。

図28を参照して、ラッチ回路224は、パルス信号PRESTを受けて反転するイ

ンバータ 4 9 2 と、信号 S 7 とインバータ 4 9 2 の出力を受ける N A N D 回路 4 9 4 と N A N D 回路 4 9 4 の出力を受けて信号 S 7 に帰還するインバータ 4 9 6 と、N A N D 回路 4 9 4 の出力を受けて反転し内部データ信号 I D n b を出力するインバータ 4 9 8 とを含む。