



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0000091
(43) 공개일자 2018년01월02일

(51) 국제특허분류(Int. Cl.)
H02M 7/12 (2006.01) H01L 21/8238 (2006.01)
H02J 7/02 (2016.01) H02M 7/48 (2007.01)
(52) CPC특허분류
H02M 7/12 (2013.01)
H01L 21/8238 (2013.01)
(21) 출원번호 10-2016-0077805
(22) 출원일자 2016년06월22일
심사청구일자 2016년06월22일

(71) 출원인
조선대학교산학협력단
광주광역시 동구 필문대로 309 (서석동)
(72) 발명자
최광석
경기도 성남시 분당구 중앙공원로 53 한신아파트
112-1603
(74) 대리인
김전수

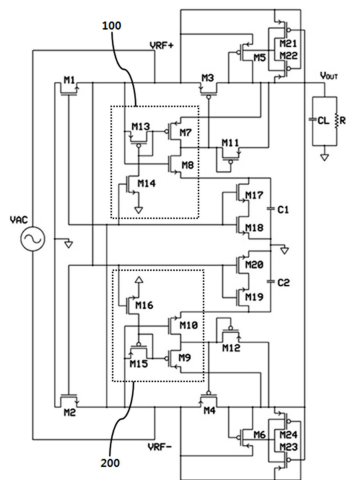
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 생체 이식 디바이스용 CMOS 전파 정류기

(57) 요약

본 발명은 생체 이식 디바이스용 CMOS 전파 정류기에 관한 것으로, 더욱 자세하게는 누설전류를 최소화하고 문턱 전압을 제거함으로써 무선으로 전력을 공급받는 저전압의 생체 이식이 가능한 시스템이나 디바이스에서의 전원 문제를 해결하는 고효율의 CMOS 전파 정류기에 관한 것이다.

대표도 - 도2



(52) CPC특허분류

H02J 7/025 (2013.01)

H02M 7/48 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1345235924

부처명 교육부

연구관리전문기관 한국연구재단

연구사업명 이공학개인지초연구지원

연구과제명 극 부호 기반 연접 부호, 복호 알고리즘 및 복호 하드웨어 구조 연구

기 여 율 1/1

주관기관 조선대학교산학협력단

연구기간 2015.05.01 ~ 2016.04.30

명세서

청구범위

청구항 1

부트스트랩 커패시터(C1, C2);

교차 결합된 차동 CMOS 트랜지스터; 및

인버터;를 포함하며,

상기 인버터가 상기 교차 결합된 차동 CMOS 트랜지스터로 인한 역방향 누설전류를 차단하는 것을 특징으로 하는 CMOS 전파 정류기.

청구항 2

청구항 1에 있어서,

상기 교차 결합된 차동 CMOS 트랜지스터는,

한 쌍의 nMOS(M1) 트랜지스터와 pMOS(M3) 트랜지스터가 다른 한 쌍의 nMOS(M2) 트랜지스터와 pMOS(M4) 트랜지스터가 서로 브리지 형태로 교차 결합된 것을 특징으로 하는 CMOS 전파 정류기.

청구항 3

청구항 2에 있어서,

상기 인버터는,

전력원; 및 차동모드에 연결된 트랜지스터(M14, M16)를 통해서 제어되는 DCT(diode connected transistor)(M13, M15)를 입력으로 하여,

입력되는 전력원(VAC)에 대한 음의 반주기(VRF-) 동안 메인 패스 트랜지스터(M3)를 턴-오프하는 것을 특징으로 하는 CMOS 전파 정류기.

청구항 4

청구항 3에 있어서,

상기 CMOS 전파 정류기는,

부트스트랩 커패시터에 직렬로 연결된 DCT(M11, M12)를 더 포함하며,

상기 인버터는,

양의 반주기(VRF+) 동안 임계 제거 동작을 수행하며, 트랜지스터 M8이 온되어, DCT(M11)를 통해서 부트스트랩 커패시터(C1)를 충전하며,

음의 반주기(VRF-) 동안 임계 제거 동작을 수행하며, 트랜지스터 M8이 온되어, DCT(M11)를 통해서 부트스트랩 커패시터(C1)를 충전함으로써, 메인 패스 트랜지스터(M3)에 대해서 회로 내 임계 제거(in-circuit threshold cancellation)를 활성화하며,

음의 반주기(VRF-) 동안 차동모드 트랜지스터(M14)를 통해서 트랜지스터 M7이 온되어, 메인 패스 트랜지스터(M3)의 드레인과 게이트 사이의 전압이 0이 되도록 함으로써, 메인 패스 트랜지스터(M3)를 통한 역방향 누설 전류가 차단되는 것을 특징으로 하는 CMOS 전파 정류기.

청구항 5

청구항 3에 있어서,

DCT(M13)는 인버터의 트랜지스터(M7, M8)의 온오프 스위칭을 모니터링하되, $V_{RF+} < V_{OUT}$ 이면, M7=ON, M8=OFF;

$V_{RF+} > V_{OUT}$ 이면, M8=ON, M7=OFF로 스위칭하는 것을 특징으로 하는 CMOS 전파 정류기.

청구항 6

청구항 3에 있어서,

상기 CMOS 전파 정류기는,

부트스트랩 커패시터(C1)의 양단에 병렬로 연결된 커패시터 방전용 MOS 트랜지스터(M17, M18)를 더 포함하는 것을 특징으로 하는 CMOS 전파 정류기.

청구항 7

청구항 6에 있어서,

상기 CMOS 전파 정류기는,

DCT(M5); 및 출력 커패시터(CL);를 더 포함하며,

양의 반주기(VRF+)에서, 인버터의 트랜지스터(M8)는 온이며, 커패시터 방전용 MOS 트랜지스터(M17, M18)은 오프가 되고, 상기 DCT(M5)는 $V_{OUT} = (V_{RF+}) - V_{th_M5}$ 일 때까지 VRF+의 상승시간 동안에 출력 커패시터(CL)를 충전하는 보조 패스를 생성하는 것을 특징으로 하는 CMOS 전파 정류기.

청구항 8

청구항 7에 있어서,

상기 CMOS 전파 정류기는,

출력 노드가 충전됨에 따라, 부트스트랩 커패시터(C1)도 또한 DCT(M11)를 통해서 충전되며, 부트스트랩 커패시터(C1) 양단의 전압은 $V_{C1} = (V_{RF+}) - V_{th_M5} - V_{th_M11} - V_{th_M8}$ 에서 $V_{C1} = V_{OUT} - V_{th_M11} - V_{th_M8}$ 로 상승하는 것을 특징으로 하는 CMOS 전파 정류기.

청구항 9

청구항 8에 있어서,

$V_{C1} = (V_{RF+}) - 2V_{th(pMOS)} - V_{th_M8}$ 인 것을 특징으로 하는 CMOS 전파 정류기.

청구항 10

청구항 2에 있어서,

상기 pMOS(M3) 트랜지스터의 소스와 게이트 간의 전압은 $V_{SG_M3} = (V_{RF+}) - V_{th_M8} - V_{C1}$ 혹은 $V_{SG_M3} = V_{th_M11} + V_{th_M5}$ 이며,

$V_{SG_M3} = V_{SG_M3} = V_{th_M11} + V_{th_M5} > V_{th_M3}$ 일 때, M3는 도통이 되고 출력 노드를 충전하게 되며, V_{SG_M3} 가 V_{th_M3} 에 도달하기 전에 M3는 컷오프된 상태로 남아 있게 되는 것을 특징으로 하는 CMOS 전파 정류기.

청구항 11

청구항 10에 있어서,

$(V_{RF+}) - V_{th_M8} - V_{C1} \geq V_{th_M3}$ 이며,

$V_{th_M3} = (V_{RF+}) - V_{th_M8} - V_{OUT} + V_{th_M11} + V_{th_M8}$, $V_{OUT} = (V_{RF+}) - (V_{th_M3} - V_{th_M11})$ 이며, 상기 pMOS(M3) 트랜지스터의 유효 임계 전압은 줄어드는 것을 특징으로 하는 CMOS 전파 정류기.

청구항 12

청구항 1에 있어서,

상기 CMOS 전파 정류기는,

생체 이식 디바이스의 전원장치로 사용되는 것을 특징으로 하는 CMOS 전파 정류기.

청구항 13

청구항 2에 있어서,

상기 교차 결합된 차동 CMOS 트랜지스터에서, nMOS(M2) 트랜지스터는 출력 커패시터 CL을 충전하기 위한 리턴 패스를 생성하며,

상기 M2의 게이트는 차동 모드 신호에 의해서 활성화되도록 바이어스되며,

VRF+에서 상기 M2의 게이트 전압은 포지티브로 바이어스되고 M2의 턴온 전압을 효과적으로 감소시켜, 온저항을 줄여주는 것을 특징으로 하는 CMOS 전파 정류기.

청구항 14

청구항 7에 있어서,

DCT(M5)의 bulk는 DBS(Dynamic Bulk Switch)에 의해서 가용한 최고의 전압에 연결되는 것을 특징으로 하는 CMOS 전파 정류기.

발명의 설명

기술 분야

[0001] 본 발명은 생체 이식 디바이스용 CMOS 전파 정류기에 관한 것으로, 더욱 상세하게는 누설전류를 최소화하고 문턱전압을 제거함으로써 무선으로 전력을 공급받는 저전압의 생체 이식이 가능한 시스템이나 디바이스에서의 전원 문제를 해결하는 고효율의 CMOS 전파 정류기에 관한 것이다.

배경 기술

[0002] 최근 장기간 사용이 필요한 심박 조율기, 인공심장, 기능성 전기적 시뮬레이터, 모니터링 장치와 망막 시뮬레이터와 같은 생체 이식 디바이스의 공급이 확대됨에 따라 이러한 디바이스에 전력을 공급하기 위한 기술에 대한 연구와 개발이 활발하게 진행되고 있다.

[0003] 생체 이식 디바이스의 구동을 위해서는 충분한 양의 전력 공급이 필요하며, 이는 제한된 에너지를 이용하고 있기 때문에 단순히 전력 변환 효율만 높다고 해결될 수 있는 문제는 아니다.

[0004] 생체 이식 디바이스에서의 전력공급 기술로는 내장형 배터리를 포함하는 방법과 피부에서 전력을 수집하는 경피 전력 수집 방법 등이 사용된다.

[0005] 이러한 전력 공급 방법들은 에너지 밀도, 디바이스의 수명, 구현방법, 구조적 제한이 있고 또한, 인간에게 완전히 무해하다고 할 수 없기 때문에 생체 이식 디바이스에 적용하기에는 상당히 제한적인 방법이라 할 수 있다. 따라서 이러한 문제를 해결하기 위해 최근에는 무선 전력 공급 기술의 개발에 집중하고 있으며, 특히 무선 전력 공급의 한계점에 달하는 전력 공급 거리에서도 전력 공급을 가능하게 하기 위한 노력을 기울이고 있다. 하지만 이러한 종래의 기술들은 불량 커플링, 피부에서의 전력 흡수 및 좁은 밴드-패스로 인해 매우 낮은 전력 변환 효율을 보이고 있기 때문에 이에 대한 개선이 필요하다. 따라서 전력 및 전압 변환 효율을 개선하고 안정화 할 수 있는 방법으로 CMOS(Complementary Metal Oxide Silicon) 정류기를 통해 무선 충전 시 사용되는 커플링 코일의 와인딩(winding)으로부터 안정적인 전력을 공급받을 필요가 있다.

[0006] CMOS 정류기의 전압 변환 효율(Voltage Conversion Efficiency, VCE)과 전력 변환 효율(Power Conversion Efficiency, PCE)은 회로 토폴로지, 다이오드-장치 파라미터들, 입력 RF 신호 주파수 및 진폭과 출력 로딩 조건 (loading condition)에 영향을 받는다. 무선 전력 전송 시스템에서 2차 와인딩으로부터 공급되는 입력 신호가 상당히 약하기 때문에, 낮은 턴-온 전압은 다이오드 디바이스에서 가장 중요한 요소 중 하나이다. DCT(Diode connected transistor) 디바이스의 성능은 상대적으로 높은 문턱전압에 의해 제한받는다. 전압 변환 효율과 전력 변환 효율은 문턱전압제거(threshold voltage cancellation) 기술을 이용하여 극적으로 향상시킬 수 있다. 그리고 역방향 누설전류(reverse leakage current) 또한 MOS를 기반으로한 다이오드의 성능을 제한하는 또 다른

요소이기 때문에, MOS 기반의 다이오드 성능을 향상시키기 위한 다양한 문턱제거와 역방향 누설전류 제거 기술이 최근 수년간 제안되어 왔다.

[0007] SVC(self- V_{th} -cancellation) 기술을 통한 효율 향상 방법이 Kotani 등에 의해서 제안되었다(K. Kotani and T. Ito, "High efficiency CMOS rectifier circuit with self V_{th} -cancellation and power regulation functions for UHF RFIDs," in Proc. IEEE ASSCC, Nov. 2007, pp. 119-122, 참고, K. Kotani and T. Ito, "Self- V_{th} -cancellation high-efficiency CMOS rectifier circuit for UHF RFIDs," IEICE Trans. Electron., vol. E92-C, no. 1, pp. 153-160, Jan. 2009, 참고). 상기 방법은 MOSFET의 문턱전압이 정류기 자체의 출력 전압으로부터 생성된 게이트 바이어스 전압(gate bias voltage)에 의해 제거된다. 상기 방법은 높은 역방향 누설전류의 비용으로 단순한 장치 구조를 형성을 제안한다. 또한, Kotani 등은 개선된 형태의 SVC 정류기도 제안하였다(K. Kotani, A. Sasaki, and T. Ito, "High efficiency differential-drive CMOS rectifier for UHF RFIDs," IEEE Trans. Solid-State Cir., vol. 44, no. 11, Nov. 2009, 참고). 이는 교차 결합된 차동 CMOS 구조를 적용하여 SVC 방법보다 개선된 전압 변환 효율 결과를 얻을 수 있다. 하지만 상기 방법은 만족할 만한 전압 변환 효율을 제공하지는 않는다. 그리고 능동형 정류기 구조를 기반으로 한 CMOS 인버터가 Raben 등에 의해서 제시되었다(H. Raben, J. Borg, and J. Johansson, "An active MOS diode with V_{th} cancellation for RFID rectifiers," in Proc. IEEE International Conference on RFID, 2012, pp. 54-57, 참고). 상기 문헌에 제시된 기술은 역방향 누설전류와 문턱전압을 모두 감소시킴으로써, 좋은 전압 변환 효율과 전력 변환 효율을 제공한다. 그리고 Le 등에 의해서 부트스트랩(bootstrap) 커패시터를 기반으로 한 기술이 정류기의 개선을 위해 제안되었다(Triet T. Le, J. Han, A. von Jouanne, K. Mayaram, and Terri S. Fiez, "Piezo electric micro-power generation interface circuits," IEEE Journal of Solid-State Cir., vol. 41, no. 6, pp. 1411-1420, Jun. 2006, 참고, S. S. Hashemi, M. Sawan, and Y. Savaria, "A high-efficiency low-voltage CMOS rectifier for harvesting energy in implantable devices," IEEE Trans. Biomed. Circuits Syst., vol. 6, no. 4, pp. 326-335, Aug. 2012, 참고). 상기 기술들은 메인 패스 트랜지스터의 문턱전압 효율을 감소시킴으로써 정류기의 전압 변환 효율과 전력 변환 효율을 향상시킨다.

[0008] 특허문헌에 나타난 종래기술로, 미국등록특허 제8415637B2호(2013.04.09.)는 스위치모드 전압정류기, RF 에너지 변환 및 무선 전원공급기에 관한 것으로, 스위칭 토폴로지에서 문턱전압이 거의 제로인 트랜지스터를 사용한 교차 결합된 정류기를 제시하고 있으며, 역전도 문제를 해결하는 토폴로지를 제시하고 있다.

[0009] 그러나 상기 선행기술은 교차 결합된 구조인 점에서 본 발명과 일부 유사하나, 본 발명의 부트스트랩 커패시터와 인버터를 사용하여 누설전류를 최소화하고 문턱전압을 제거하는 구성과는 차이가 나는 구조이다.

[0010] 또 다른 종래기술로, 미국등록특허 제8046081호(2011.10.25.)는 DC-프리 입력 및 출력을 가지는 이식된 시스템에 관한 것으로, 이식 가능한 전원은 외부에서 생성된 전원신호를 수신하기 위한 복수의 전원 입력 포트와 감지된 전원신호를 출력하기 위한 복수의 출력 전원 포트를 포함하며, 다이오드로 스위치되는 MOS 트랜지스터로 구성된 전파 정류기를 제시하고 있다.

[0011] 그러나 상기 선행기술에서는 본원 발명에서 제시하는 누설전류를 최소화하고 문턱전압을 제거함으로써 무선으로 전력을 공급받는 저전압의 생체 이식이 가능한 시스템이나 디바이스에서의 전원 문제를 해결하는 고효율의 CMOS 전파 정류기에 대해서는 아무런 시사가 없다.

[0012] 따라서 본 발명에서는 상기 언급된 종래기술에 의한 정류기의 개선을 위하여 CMOS 인버터와 부트스트랩 커패시터를 기반으로 한 정류기 구조의 장점을 모두 가지는 방법의 생체 이식 디바이스용 CMOS 전파 정류기를 제시하고자 한다. 또한, 본 발명에서는 메인 패스 트랜지스터의 역방향 누설전류와 유효 문턱전압을 감소시키는 방법을 이용하여 상기 CMOS 전파 정류기의 전력 변환 효율과 전압 변환 효율을 향상시키고자 한다.

발명의 내용

해결하려는 과제

[0013] 본 발명은 생체 이식 디바이스와 같은 정류기를 필요로 하는 소형 디바이스에 적용하기 위해 창작된 것으로서, 종래 정류기의 문제점인 높은 구동 전압과 낮은 전력 변환 효율 및 전압 변환 효율을 향상시켜, 낮은 교류 입력 전력이 전달되는 환경에서도 높은 변환 효율을 통해 직류 출력 전력으로 변환함으로써 상기 정류기가 포함된 장치가 충분히 가동될 수 있는 생체 이식 디바이스용 CMOS 전파 정류기를 제공하는 것을 목적으로 한다.

[0014] 또한, 본 발명은 무선 충전 환경과 같이 저전압이 인가되는 환경에서도 무리없이 턴-온 될 수 있는 낮은 구동 전압의 고효율의 CMOS 전과 정류기를 구현하여 생체 이식이 가능한 시스템이나 디바이스의 전원 문제를 해결할 수 있는 생체 이식 디바이스용 CMOS 전과 정류기를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0015] 본 발명의 일 실시예에 따른 생체 이식 디바이스용 CMOS 전과 정류기는, 부트스트랩 커패시터(C1, C2), 교차 결합된 차동 CMOS 트랜지스터, 및 인버터를 포함하며, 상기 인버터가 상기 교차 결합된 차동 CMOS 트랜지스터로 인한 역방향 누설전류를 차단하는 것을 특징으로 한다.

[0016] 또한, 상기 교차 결합된 차동 CMOS 트랜지스터는, 한 쌍의 nMOS(M1) 트랜지스터와 pMOS(M3) 트랜지스터가 다른 한 쌍의 nMOS(M2) 트랜지스터와 pMOS(M4) 트랜지스터가 서로 브리지 형태로 교차 결합된 것을 특징으로 한다.

[0017] 또한, 상기 인버터는, 전력원 및 차동모드에 연결된 트랜지스터(M14, M16)를 통해서 제어되는 DCT(Diode Connected Transistor)(M13, M15)를 입력으로 하여, 입력되는 전력원(VAC)에 대한 음의 반주기(VRF-) 동안 메인 패스 트랜지스터(M3)를 턴-오프하는 것을 특징으로 한다.

[0018] 또한, 상기 CMOS 전과 정류기는, 부트스트랩 커패시터에 직렬로 연결된 DCT(M11, M12)를 더 포함하며, 상기 인버터는, 양의 반주기(VRF+) 동안 임계 제거 동작을 수행하며, 트랜지스터 M8이 온되어, DCT(M11)를 통해서 부트스트랩 커패시터(C1)를 충전하며, 음의 반주기(VRF+) 동안 임계 제거 동작을 수행하며, 트랜지스터 M8이 온되어, DCT(M11)를 통해서 부트스트랩 커패시터(C1)를 충전함으로써, 메인 패스 트랜지스터(M3)에 대해서 회로 내 임계 제거(in-circuit threshold cancellation)를 활성화하며, 음의 반주기(VRF-) 동안 차동모드 트랜지스터(M14)를 통해서 트랜지스터 M7이 온되어, 메인 패스 트랜지스터(M3)의 드레인과 게이트 사이의 전압이 0이 되도록 함으로써, 메인 패스 트랜지스터(M3)를 통한 역방향 누설 전류가 차단되는 것을 특징으로 한다.

[0019] 또한, 상기 CMOS 전과 정류기에서, 상기 DCT(M13)는 인버터의 트랜지스터(M7, M8)의 온오프 스위칭을 모니터링 하되, $V_{RF+} < V_{OUT}$ 이면, M7=ON, M8=OFF $V_{RF+} > V_{OUT}$ 이면, M8=ON, M7=OFF로 스위칭하는 것을 특징으로 한다.

[0020] 또한, 상기 CMOS 전과 정류기는, 상기 부트스트랩 커패시터(C1)의 양단에 병렬로 연결된 방전용 MOS 트랜지스터(M17, M18)를 더 포함하는 것을 특징으로 한다.

[0021] 또한, 상기 CMOS 전과 정류기는, DCT(M5) 및 출력 커패시터(CL)를 더 포함하며, 양의 반주기(VRF+)에서, 인버터의 트랜지스터(M8)는 온이며, 커패시터 방전용 MOS 트랜지스터(M17, M18)는 오프가 되고, 상기 DCT(M5)는 $V_{OUT} = (V_{RF+}) - V_{th_M5}$ 일 때까지 VRF+의 상승시간 동안에 출력 커패시터(CL)를 충전하는 보조 패스를 생성하는 것을 특징으로 한다.

[0022] 또한, 상기 CMOS 전과 정류기는, 출력 노드가 충전됨에 따라, 부트스트랩 커패시터(C1)도 또한 DCT(M11)를 통해서 충전되며, 부트스트랩 커패시터(C1) 양단의 전압은 $V_{C1} = (V_{RF+}) - V_{th_M5} - V_{th_M11} - V_{th_M8}$ 에서 $V_{C1} = V_{OUT} - V_{th_M11} - V_{th_M8}$ 로 상승하는 것을 특징으로 한다.

[0023] 또한, $V_{C1} = (V_{RF+}) - 2V_{th(pMOS)} - V_{th_M8}$ 인 것을 특징으로 한다.

[0024] 또한, 상기 pMOS(M3) 트랜지스터의 소스와 게이트 간의 전압은 $V_{SG_M3} = (V_{RF+}) - V_{th_M8} - V_{C1}$ 혹은 $V_{SG_M3} = V_{SG_M3} = V_{th_M11} + V_{th_M5} > V_{th_M3}$ 일 때, M3는 도통이 되고 출력 노드를 충전하게 되며, V_{SG_M3} 가 V_{th_M3} 에 도달하기 전에 M3는 컷오프된 상태로 남아 있게 되는 것을 특징으로 한다.

[0025] 또한, $(V_{RF+}) - V_{th_M8} - V_{C1} \geq V_{th_M3}$ 이며, $V_{th_M3} = (V_{RF+}) - V_{th_M8} - V_{OUT} + V_{th_M11} + V_{th_M8}$, $V_{OUT} = (V_{RF+}) - (V_{th_m3} - V_{th_M11})$ 이며, 상기 pMOS(M3) 트랜지스터의 유효 임계 전압은 줄어드는 것을 특징으로 한다.

[0026] 아울러, 상기 CMOS 전과 정류기는, 생체 이식 디바이스의 전원장치로 사용되는 것을 특징으로 한다.

[0027] 또한, 상기 교차 결합된 차동 CMOS 트랜지스터에서, nMOS(M2) 트랜지스터는 출력 커패시터 CL을 충전하기 위한 리턴 패스를 생성하며, 상기 M2의 게이트는 차동 모드 신호에 의해서 활성화되도록 바이어스 되며, VRF+에서 상기 M2의 게이트 전압은 포지티브로 바이어스 되고 M2의 턴온 전압을 효과적으로 감소시켜, 온저항을 줄여주는 것을 특징으로 한다.

[0028] 또한, DCT(M5)의 bulk는 DBS(Dynamic Bulk Switch)에 의해서 가용한 최고의 전압에 연결되는 것을 특징으로 한다.

발명의 효과

[0029] 본 발명은 저전압의 생체 이식이 가능한 시스템이나 디바이스 또는 소형 RFID 태그와 같은 다양한 소형 디바이스에 활용 가능한 CMOS 전파 정류기에 대한 기술이다. 상기 정류기는 단순한 구조를 통해 소형화 하였고, 소형화된 상기 CMOS 전파 정류기는 최근 주목받고 있는 통합형 회로를 구성함에 있어서 높은 효율성을 보일 수 있다. 상기 CMOS 전파 정류기는 차동 모드의 게이트가 교차 결합된 nMOS 스위치와 pMOS 스위치를 적용하여 역방향으로의 전류 누설을 최소화하고 유효 문턱전압을 낮추었다. 따라서 종래의 정류기보다 상기 CMOS 전파 정류기를 통해 교류 입력 신호(AC)를 더욱 많은 양의 직류 출력 신호(DC)로 변환할 수 있다.

[0030] 또한, 무선으로 전력을 공급받는 저전압의 생체 이식이 가능한 시스템이나 디바이스에서의 전원 문제를 해결할 수 있도록 저전압에도 턴-온이 가능한 고효율의 CMOS 전파 정류기를 구현함으로써, 무선 충전시 거리 문제와 생체 이식 디바이스에 적용시 고전압으로 인해 발생하는 사용자의 위험, 주변 기기간의 간섭 등과 같은 여러 가지 문제를 해결할 수 있는 효과가 있다.

[0031] 또한 상기 CMOS 전파 정류기는 역방향 상태에서 다이오드를 완벽하게 끄고 정방향 상태에서 문턱 제거를 활성화하는 제어 방식을 사용한다. 따라서 넓은 소스 진폭 범위에서 역방향 누설을 최소화하고 최대 문턱 제거를 구현할 수 있다. 또한 메인 패스 pMOS 트랜지스터가 꺼진 상태에서 역방향 누설을 관리하는 것을 통해 부하 전류를 증가시킬 수 있다. 따라서 차동 교차 결합된 구조와 문턱 제거 기술의 동시 적용으로 MOS 스위치에서 매우 낮은 드롭아웃 결과를 형성하였다. 그리고 대체 경로 형성을 위해 다이내믹 바디 바이어스 방법이 적용되었다. 시뮬레이션을 통해 성능을 평가해본 결과, 종래의 정류기와 비교하였을 때 확실히 증가된 전압과 전력 변환 효율을 보였다. 상기 CMOS 전파 정류기는 낮은 턴-온 전압을 보유하고 있기 때문에 입력 전력의 전압이 낮을 때에도 좋은 효율을 보이는 장점이 있다.

도면의 간단한 설명

[0032] 도 1a는 종래기술에 의한 SVC 정류기의 구조를 도시한 회로이다.

도 1b는 종래기술에 의한 차동 CMOS 정류기의 구조를 도시한 회로이다.

도 1c는 종래기술에 의한 부트스트랩 커패시터 기반 정류기의 구조를 도시한 회로이다.

도 2는 본 발명의 일 실시예에 따른 CMOS 전파 정류기의 구조를 도시한 회로도이다.

도 3은 본 발명의 일 실시예에 따른 양의 반주기(VRF+)시 각기 다른 정류기 토폴로지들의 역방향 누설 전류의 비교를 그래프로 나타낸 도면이다.

도 4는 본 발명의 일 실시예에 따른 교차 결합된 차동 CMOS 트랜지스터의 유효 임계 전압을 줄이는 방법에 대한 흐름도이다.

도 5a는 본 발명의 일 실시예에 따른 CMOS 전파 정류기와 다양한 정류기와의 입력 피크 진폭에 따른 전력 변환 효율에 대한 시뮬레이션 결과를 그래프로 나타낸 도면이다.

도 5b는 본 발명의 일 실시예에 따른 CMOS 전파 정류기와 다양한 정류기와의 입력 피크 진폭에 따른 전압 변환 효율에 대한 시뮬레이션 결과를 그래프로 나타낸 도면이다.

도 6은 본 발명의 일 실시예에 따른 부트스트랩 커패시터 크기에 따른 변환효율 시뮬레이션 결과를 그래프로 나타낸 도면이다.

도 7a는 본 발명의 일 실시예에 따른 레이아웃 전과 후의 입력 피크 진폭에 따른 전압 변환 효율 결과를 그래프로 나타낸 도면이다.

도 7b는 본 발명의 일 실시예에 따른 레이아웃 전과 후의 입력 피크 진폭에 따른 전력 변환 효율 결과를 그래프로 나타낸 도면이다.

도 8은 본 발명의 일 실시예에 따른 CMOS 전파 정류기 구조 및 크기의 예시를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- [0034] 먼저 정류기에 적용되는 문턱제거 또는 문턱전압 제거의 토폴로지들에 대해 설명하고자 한다. 문턱전압은 옥사이드(산화막)의 두께와 형태에 영향을 받는 프로세스-파라미터이다. 몇몇 표준 CMOS 프로세서들은 낮은 문턱전압을 보이는 구조를 제시하지만, 일반적인 목적의 장치에 사용하기에는 적합하지 않다. 이러한 장치의 성능은 향상된 채널 도핑, 과도한 전력 소비와 신뢰성 문제에 의해 누설이 제한된다. 따라서, 낮은-문턱전압을 필요로 하는 장치를 사용하는 것이 문턱전압(V_{th})의 충격을 완화하는 방법을 기반으로 하는 회로를 사용하는 것 보다 더 나은 방법이다.
- [0035] 쇼트키 다이오드는 낮은 턴-온 전압 특성으로 인해 정류기에 사용된다. 따라서 정류기 회로는 쇼트키 다이오드를 포함한 회로를 통해 높은 전압 변환 효율을 구현한다. 하지만, 상기 방법은 일반적인 CMOS 기술보다는 호환성이 낮고, 제조환경의 구현을 위해 높은 비용을 요구한다.
- [0036] 이를 대신하여, CMOS 정류기를 위해 DCT라고 불리는 다이오드와 연결된 MOS 트랜지스터를 사용한다. 이는 높은 호환성을 가지고 있기 때문에 널리 사용되고 있다. DCT의 유효 턴-온 전압은 MOS 트랜지스터의 문턱전압에 가깝고 일반적인 목적의 P/N 접합 다이오드보다 낮지만, 여전히 쇼트키 다이오드보다는 높은 전압을 보인다. 따라서 DCT를 이용한 단순한 구성을 통해서도 높은 전압 변환 효율과 전력 변환 효율을 구현하기에 한계가 있다. 따라서 이러한 문제의 해결을 위한 개선된 전압 변환 효율과 전력 변환 효율을 가지는 다양한 정류기 구조가 제안되었다.
- [0037] 도 1a는 종래기술에 의한 SVC 정류기의 구조를 도시한 회로이다. SVC 정류기에서, nMOS와 pMOS 트랜지스터의 게이트 전극은 각각 출력(Output) 및 그라운드(Ground) 터미널과 연결된다. 상기 구조를 통해 낮은 입력 전력으로 높은 전력 변환 효율을 보이는 간단한 정류기 구조를 구현할 수 있다. 또한 상기 구조에서는 정적인 게이트-소스 전압이 유효 V_{th} 가 낮아지는 MOS 트랜지스터로 인가된다. 높은 DC 바이어스 전압을 위하여, 상기 구조는 역방향 누설 전류를 높여야 하므로, 전체적인 전압 변환 효율과 전력 변환 효율에 영향이 발생한다.
- [0038] 도 1b는 종래기술에 의한 차동 CMOS 정류기의 구조를 도시한 회로이다. 상기 차동 CMOS 정류기는 교차 연결된 차동 CMOS 요소가 브릿지 구조에 통합되어 형성된 구조이다. MOS 트랜지스터의 게이트는 차동 모드 신호에 의해 능동적으로 작동한다. 상기 차동 CMOS 정류기 형성 방법을 통해 MOS 트랜지스터의 턴-온 전압을 상당히 낮출 수 있고, 역방향 누설 전류는 음극 게이트 바이어스에 의해 크게 강해질 수 있다. 상기 구조는 높은 전력 변환 효율을 형성할 수 있지만, 좋은 전압 변환 효율을 보여주지는 못한다. 그리고 다중 단계에서의 개선된 전압 변환 효율을 형성하기 위해서는 넓은 면적이 필요하다. 따라서 이는 최근 사용되는 소형화된 생체 이식 디바이스에는 적합하지 않다.
- [0039] 도 1c는 부트스트랩 커패시터를 기반으로 한 정류기 및 이를 위한 방법을 제시한다. 상기 방법에서는 소형 부트스트랩 커패시터가 메인 패스 트랜지스터(Main Pass Transistor)의 유효 문턱전압을 낮추기 위해 사용된다. 상기 방법은 소스 전압의 넓은 범위에서 상당히 개선된 전압 변환 효율과 전력 변환 효율을 가지는 정류기 구조를 제시한다. 이어서 상기 언급된 다양한 구조의 정류기의 단점인 전압 변환 효율과 전력 변환 효율을 높일 수 있고, 낮은 전력으로 구동이 가능한 진보된 CMOS 정류기 회로의 형성 방법을 제시하고자 한다.
- [0040] 본 발명은 상기 부트스트랩 정류기와 차동 CMOS 정류기를 하나의 정류기 회로에 구성하여 성능을 향상시킬 수 있는 고효율의 CMOS 전파 정류기 구조를 제시한다. 상기 CMOS 전파 정류기를 통해 전압 변환 효율과 전력 변환 효율 모두를 개선할 수 있다. 또한, 한 쌍의 pMOS로 구성된 스위치를 포함하여 문턱 제거 기술을 위해 일반적으로 적용되는 다이오드 또는 pMOS DCT를 대체할 수 있다. 또한 nMOS 트랜지스터를 포함하여 교차 결합된 차동 구조의 장점을 이용하여 효율의 향상을 이끌어 낼 수 있다.
- [0041] 도 2는 본 발명의 일 실시예에 따른 CMOS 전파 정류기의 구조를 도시한 회로도이다.
- [0042] 도 2에 도시된 바와 같이, 상기 CMOS 전파 정류기는 교차 결합된 차동 CMOS 트랜지스터(M1, M2, M3, M4), 인버터(100, 200) 및 부트스트랩 커패시터(C1, C2)가 포함된 회로로 구성된다. 상기 CMOS 전파 정류기를 통과한 교류 입력 신호는 회로를 거쳐 직류 형태로 변환되어 V_{out} 으로 출력된다. 상기 CMOS 전파 정류기는 부트스트랩 커패시터, 문턱전압 제거 그리고 차동 CMOS 특성을 정류기 회로에 구현하여 역방향 누설 전류를 최소화하고 유효 문턱 전압을 낮춰 전압 변환 효율과 전력 변환 효율을 향상시키는 효과를 가진 구조이다.
- [0043] 상기 CMOS 전파 정류기는 상기 교차 결합된 차동 CMOS 트랜지스터는 M1, M2, M3, M4 트랜지스터로 구성된다. 또

한 C1과 C2로 구성된 상기 부트스트랩 커패시터를 방전하는 M17, M18, M19, M20 트랜지스터를 추가로 포함한다.

- [0044] 전력원인 VAC의 양의 반주기(VRF+) 동안, 인버터(100)는 M7, M8, M13과 M14 트랜지스터를 활용하여 동작한다. M13은 DCT로 구성되고 M14는 차동 모드에 연결된다. 상기 인버터(100)의 목적은 음의 반주기(VRF-) 동안 M3를 완벽히 끄는 것이다. 따라서 상기 방법을 통해 메인 패스 트랜지스터 M3로부터 발생된 역방향 누설전류를 최소화 한다.
- [0045] DBS 방법은 M5의 벌크 연결을 가장 높은 가용 전압에 맞춘다. 상기 DBS는 M21과 M22 트랜지스터 사용에 의해 형성된다. 장기간의 시뮬레이션을 통해, V_{C1} 이 상당히 상승하고, 이러한 효과가 V_{OUT} 을 감소시켜 전압 변환 효율에 영향을 미친다는 것을 확인하였다. V_{C1} 을 일정하게 유지하기 위해, 높은 저항의 CDT(Capacitor Discharging MOS Transistor)들이 VRF-에서 매우 작은 양의 C1 방전을 위해 사용되었다. 따라서, C1은 일정한 VC1을 오버타임까지 유지한다. VRF-에서는 M1, M4, M6, M9, M10, M12, M15, M16, M23, M24와 C2로 구성된 이중 회로가 VRF+ 일 때와 동일하게 입력 전압을 보정할 것이다.
- [0046] 각기 다른 정류기를 비교함에 있어서 출력 전압, 전압 변환 효율과 전력 변환 효율의 평균을 측정하는 것은 가장 일반적인 평가 방법이다. 본 발명의 일 실시예에 따른 CMOS 전파 정류기는 Samsung 표준 0.18 μm CMOS 프로세서를 사용하여 호환성을 확보하였으며, Cadence 환경에서 Specter simulator를 통해 측정하였다. $CL = 200 \text{ pF}$ and $RL = 2 \text{ k}\Omega$ 의 선트 부하가 고려되었다. 상기 부하 조건은 4V와 13.56 MHz 주파수의 시누소이드 전압 소스가 인가되었을 때 5.1mA의 최대 부하 전류를 형성한다. 메인 패스 pMOS 트랜지스터 M3와 M4의 크기는 45/0.18 μm , 그리고 메인 패스 nMOS 트랜지스터 M1과 M2는 40/0.18 μm 이다. 대체 경로 트랜지스터(Auxiliary Path Transistor) M5와 M6는 1/0.18 μm 의 크기로 DCT에 연결되고, DCT의 다른 세트인, M11과 M12는 15/0.18 μm 크기의 트랜지스터를 적용한다.
- [0047] 인버터(100)의 nMOS 트랜지스터 M8과 M10은 5/0.18 μm 크기의 트랜지스터들로 구성된다. pMOS 트랜지스터 M7과 M9는 nMOS 트랜지스터보다 3배 크다. 0.4/0.18 μm 의 크기를 가지는 트랜지스터인 M13, M14, M15, M16은 상기 인버터(100)의 적절한 스위칭 동작을 모니터 하기 위해 사용된다. CDT인 M17, M18, M19, M20은 0.4/0.18 μm 트랜지스터를 사용한다. 0.4/0.18 μm 크기의 pMOS 트랜지스터는 DBS 구조를 위해 사용된다. 상기 부트스트랩 커패시터 C1과 C2의 커패시턴스는 35.6pF이다.
- [0048] 도 3은 본 발명의 일 실시예에 따른 양의 반주기(VRF+)에서 각기 다른 정류기 토폴로지들의 역방향 누설 전류의 비교한 도면이다.
- [0049] 상기 도 2에서 도시한 예시 회로 중 M3을 위한 VRF+ 시의 역방향 누설 전류의 비교이며, 상기 도 2에서 도시한 기호 및 명칭에 따라 설명을 보충한다. VRF+와 VRF- 사이에서 스위칭 동작을 하는 동안 상기 CMOS 전파 정류기의 메인 패스 트랜지스터를 통해 발생한 역방향 누설은 다른 일반적인 정류기와 비교하였을 때 더 낮은 값을 보인다. 따라서 상기 CMOS 전파 정류기는 더욱 개선된 전력 변환 효율의 구현이 가능하다. VRF+ 동안, 상기 인버터(100)는 문턱 제거 동작을 돕는다. VRF+에서, M8은 켜지고, DCT M11을 통해 C1을 충전한다. 이것은 M3를 위한 회로 내 문턱 제거를 활성화한다. 유사하게, VRF-에서, M7은 차동 모드 트랜지스터 M14를 통해 작동한다. 그러므로 M3의 드레인에서 게이트까지의 전압은 0이 되고, 이것은 M3를 통한 역방향 누설을 최소화한다. M13은 VRF+ < V_{OUT} 일 때 M7을 ON 시키고 M8을 OFF 하며, VRF+ > V_{OUT} , 일 때 M8을 ON 시키고 M7을 OFF 한다. VRF+에서, M8이 켜지고 CDT M17과 M18은 꺼진다.
- [0050] 도 4는 본 발명의 일 실시예에 따른 교차 결합된 차동 CMOS 트랜지스터의 유효 임계 전압을 줄이는 방법에 대한 흐름도이다.
- [0051] 먼저, 양의 반주기(VRF+)에서 인버터(100)의 트랜지스터(M8)은 온이며, 커패시터 방전용 MOS 트랜지스터(M17, M18)은 오프 되고, DCT M5는 [수학식 1]에 의해 VRF+의 상승하는 시간동안 출력 커패시터 CL을 충전하는 대체 경로를 형성한다(S110).
- [0052] [수학식 1]
- [0053] $V_{OUT} = (VRF+) - V_{th,M5}$
- [0054] 출력 노드가 충전됨에 따라, 상기 부트스트랩 커패시터 C1은 DCT(M11)를 통해 충전되며, 상기 부트스트랩 커패시터 C1 양단의 전압은 [수학식 2]에 따라 증가한다(S100).

- [0055] [수학식 2]
- [0056] $V_{C1} = V_{OUT} - V_{th_M11} - V_{th_M8}$
- [0057] [수학식 1]로부터, [수학식 3]을 도출한다.
- [0058] [수학식 3]
- [0059] $V_{C1} = (V_{RF+}) - V_{th_M5} - V_{th_M11} - V_{th_M8}$
- [0060] 트랜지스터들의 동일한 형태의 문턱전압은 특정한 공정의 기술을 사용했을 때 대부분 비슷하므로 [수학식 3]으로부터 [수학식 4]를 도출하여 V_{C1} 을 설정할 수 있다(S131).
- [0061] [수학식 4]
- [0062] $V_{C1} = (V_{RF+}) - 2V_{th(pMOS)} - V_{th_M8}$
- [0063] 그리고 [수학식 5]와 [수학식 6]은 pMOS M3 트랜지스터의 소스와 게이트간의 전압을 설정한다.
- [0064] [수학식 5]
- [0065] $V_{SG_M3} = (V_{RF+}) - V_{th_M8} - V_{C1}$
- [0066] [수학식 6]
- [0067] $V_{SG_M3} = V_{th_M11} + V_{th_M5}$
- [0068] V_{SG_M3} 를 통과한 전압은 2배의 문턱전압이기 때문에, $(V_{th_M11} + V_{th_M5}) > V_{th_M3}$ 이다. 결과적으로, M3는 도통이 되고 출력 노드를 충전하게 되며, V_{SG_M3} 가 V_{th_M3} 로 도달하기 전에 M3는 컷오프된 상태로 남아있게 된다(S132). 따라서 [수학식 5]를 통해 [수학식 7]을 도출한다.
- [0069] [수학식 7]
- [0070] $(V_{RF+}) - V_{th_M8} - V_{C1} \geq V_{th_M3}$
- [0071] [수학식 2]의 V_{C1} 을 [수학식 7]에 대입하여 [수학식 8]을 도출한다. 따라서 pMOS M3 트랜지스터의 유효 임계 전압은 줄어들게 된다(S140).
- [0072] [수학식 8]
- [0073] $V_{th_M3} = (V_{RF+}) - V_{th_M8} - V_{OUT} + V_{th_M11} + V_{th_M8}$
- [0074] $V_{OUT} = (V_{RF+}) - (V_{th_M3} - V_{th_M11})$
- [0075] [수학식 8]은 M3의 유효 문턱전압이 감소되었을 때를 보여준다. 낮은 임피던스 리턴 경로는 차등 모드 게이트 교차-결합된 구조가 연결된 nMOS 트랜지스터 (M2)에 의해 CL이 충전하는 전류가 만들어진다. M2의 게이트는 차등-모드 신호에 의해 활동적으로 인가된다. VRF+에서, M2의 게이트 전압은 양극으로 인가되고 효율적으로 M2의 턴-온 전압이 감소된다. 결과적으로 낮은 ON저항이 형성된다.
- [0076] M5 역시 출력 전류에 기여한다, 하지만 이것은 전체적인 전력 상승에 비하면 미미한 수준이다. 왜냐하면 메인 패스 트랜지스터와 비교하면 미미한 수준이기 때문이다. M5의 소스는 플로팅 파워 서플라이와 연결되고 이것의 전압 변화는 상당히 오래 걸린다. 따라서 노출된 터미널은 기판내에 누설 전류를 주입할 수 있었고 래치업(latch-up)을 유발한다.
- [0077] 이하에서는 본 발명의 일 실시예에 따른 CMOS 전파 정류기의 성능 검증을 위해 다양한 구조의 정류기를 비교군으로 하여 시뮬레이션한 결과에 대해서 설명하고자 한다.
- [0078] 도 5a는 본 발명의 일 실시예에 따른 CMOS 전파 정류기와 다양한 정류기와의 입력 피크 진폭에 따른 전력 변환 효율에 대한 시뮬레이션 결과를 그래프로 나타낸 도면이다.
- [0079] 도 5a에서 알 수 있듯이, 상기 CMOS 전파 정류기는 0.7V보다 큰 입력 피크 진폭의 넓은 범위를 넘어서는 월등히

높은 전력 변환 효율을 보인다. 특히 3.3V AC 소스 피크 입력에서는, 상기 정류기는 87.8%의 전력 변환 효율을 보인다. 이러한 전력 변환 효율 결과는 SVC 정류기 및 차동 정류기 토폴로지와 비교하면 상당한 상승이라고 할 수 있으며, 부트스트랩 커패시터 정류기와 비교하면 전력 변환 효율에서 약 1% 증가된 결과를 얻을 수 있다.

[0080] 도 5b는 본 발명의 일 실시예에 따른 CMOS 전파 정류기와 다양한 정류기와의 입력 피크 진폭에 따른 전압 변환 효율에 대한 시뮬레이션 결과를 그래프로 나타낸 도면이다.

[0081] 도 5b에서 알 수 있듯이, 상기 정류기들은 낮은 진폭 입력 소스에서 구동하는 정류기와 유사한 기능을 수행한다. 0.7V의 AC 입력 소스에서, 61%의 전압 변환 효율을 보이는 회로를 제시한다. 상기 CMOS 전파 정류기는 종래의 CMOS 정류기보다 높은 효율을 보인다. 3.3V 입력 AC 진폭에서, 상기 CMOS 전파 정류기는 89.1%의 전압 변환 효율을 기록하였다. 상기 결과는 종래의 정류기보다 높은 변환효율을 보이는 것으로 측정된다. 상기 CMOS 전파 정류기의 개선된 성능은 최소화된 역방향 누설 전류와 유효 문턱전압의 감소를 통해 얻어진다. 상기 CMOS 전파 정류기의 인버터 회로는 정류 동작 이후 메인 패스 pMOS 트랜지스터를 즉시 턴 오프 하는 동작을 수행한다. 또한, 메인 패스 pMOS 트랜지스터의 감소한 유효 문턱은 드레인-소스 터미널(Drain-Source Terminal)을 통해 더 낮은 전압 강하를 형성한다. 메인 패스 nMOS 트랜지스터의 차동 모드 구조는 더 낮은 채널 온 저항에 영향을 미친다. 이에 따라 향상된 전압 변환 효율과 전력 변환 효율이 상기 CMOS 전파 정류기에서 구현되었다.

[0082] 도 6은 본 발명의 일 실시예에 따른 부트스트랩 커패시터 크기에 따른 변환효율 시뮬레이션 결과를 그래프로 나타낸 도면이다.

[0083] 도 6에서 알 수 있듯이, 생체 이식 디바이스용 정류기를 구현하기 위해 가장 중요한 요소는 부트스트랩 커패시터의 크기이다. 부트스트랩 커패시터는 표준 CMOS 프로세서를 구성함에 있어서 상당한 면적을 차지한다. 따라서 작은 크기의 부트스트랩 커패시터의 적용이 필요하다.

[0084] 25pF에서 100pF의 범위에서 전압 변환 효율과 전력 변환 효율은 성능상의 큰 차이가 없다. 하지만 100pF에서 상기 부트스트랩 커패시터의 충전 경로의 시간 정수의 큰 변화가 감지된다. 이는 더 큰 크기의 부트스트랩 커패시터는 충분한 전압으로의 도달을 위해 더 긴 시간을 필요로 한다는 것을 의미한다. 메인 패스 트랜지스터는 게이트에서 소스까지의 낮은 전압에 의해 문제가 발생한다. 이러한 현상으로 인해 메인 패스 pMOS 트랜지스터의 전압 강하가 높아지고, 이로 인해 전력 변환 효율이 낮아지는 것과 같은 성능상의 문제를 발생시킨다. 이러한 결과를 바탕으로 본 발명에서는 전압 변환 효율과 전력 변환 효율이 좋고 크기 문제를 해결할 수 있는 35.6pF 커패시터를 적용하여 상기 CMOS 전파 정류기의 크기를 최소화 하고자 한다.

[0085] 상기 CMOS 전파 정류기의 성능 검증을 위해 레이아웃 후의 시뮬레이션을 수행한다. 레이아웃 후의 시뮬레이션은 물리적인 레이아웃의 기하학적인 구조를 기반으로 하여 기생 요소(parasitic components)들을 예측하는 방법이다.

[0086] 도 7a는 본 발명의 일 실시예에 따른 레이아웃 전과 후의 입력 피크 진폭에 따른 전압 변환 효율 결과를 그래프로 나타낸 도면이다.

[0087] 도 7a에서 알 수 있듯이, 레이아웃 후에는 상기 회로에 필연적으로 포함되는 기생 요소들에 의해 레이아웃 후의 성능이 일부 제한될 수 있다. 따라서 시뮬레이션을 통해 레이아웃 후의 성능을 검증해본 결과, 레이아웃 전의 도식적인 수준(schematic-level)의 전압 변환 효율보다 전압 변환 효율이 낮아짐을 확인할 수 있다. 0.7V와 3.3V AC 피크 입력 진폭에서, 55%와 88.6%의 전압 변환 효율이 각각 측정된다.

[0088] 도 7b는 본 발명의 일 실시예에 따른 레이아웃 전과 후의 입력 피크 진폭에 따른 전력 변환 효율 결과를 그래프로 나타낸 도면이다.

[0089] 도 7b에서 알 수 있듯이, 레이아웃 전의 도식적인 수준과 레이아웃 후의 결과를 비교하여 기생 요소가 전력 변환 효율에 미치는 영향에 대해 나타낸다. 기생 요소들에 의한 손실로 인해 전력 변환 효율의 성능이 약간 감소한 것을 확인할 수 있다. 전력 변환 효율 값은 0.7V에서 3.3V 까지의 피크 입력 진폭에서 기생 요소들에 의해 약간 떨어진 수치인 53%와 87%를 각각 나타낸다.

[0090] 도 8은 본 발명의 일 실시예에 따른 CMOS 전파 정류기 구조 및 크기의 예시를 도시한 도면이다.

[0091] 상기 도 8에서 구현한 CMOS 전파 정류기는 0.18 μ m 6-metal/1-poly Samsung 표준 CMOS 프로세서를 적용하여 구성하였으며, 본 발명의 일 실시예에 따른 상기 CMOS 전파 정류기의 크기는 310 μ m x 248 μ m로 구현되었다. 부트스트랩 커패시터는 Samsung 표준 0.18 μ m CMOS 기술 라이브러리와 호환되는 금속-절연체-금속(MIM) 커패시터가 사용되고 커패시터 뱅크들이 대부분의 면적을 차지하고 있다. 상기 CMOS 전파 정류기의 크기는 커패시터 크기에

따라 차이가 발생할 수 있으며, 디바이스의 성능과 목적에 따라 그 크기의 차이는 발생할 수 있다.

[0092] 다음으로, 본 발명에서 제시하는 CMOS 전과 정류기와 현재 시판중인 가장 성능이 좋은 각기 다른 4개의 정류기 샘플을 입수하여 성능을 비교한 값에 대해서 설명하고자 한다.

[0093] 샘플 1은 오프셋 제어 고속 비교회로를 포함한 능동형 정류기, 샘플 2는 교차-결합된 래치 비교회로를 포함한 CMOS 정류기, 샘플 3은 저전압 CMOS 정류기, 샘플 4는 13.56MHz CMOS 능동형 정류기를 사용하였다. 상기 샘플들과 상기 CMOS 전과 정류기의 실제 특성을 비교한 결과를 아래 [표 1]에서 도시한다.

[0094] [표 1]

Parameter	Sample 1	Sample 2	Sample 3	Sample 4	본 발명
Process (μm)	0.5	0.18	0.18	0.35	0.18
Area (nm^2)	0.263	0.009	0.608	0.0651	0.0768
Freq (MHz)	13.56	13.56	10	13.56	13.56
Input Amp. (V)	3.3-5	1.5	0.8-2.7	1.5-4	0.7-3.3
Load Cap.	10 μF	10 μF	200 pF	1.5 nF	200 pF
V_{out} (V)	2.5-3.9	1.33	0.5-2.3	1.19-3.52	0.39 - 2.92
(RL k Ω)	(0.5)	(1)	(2)	(.5)	(2)
$P_{\text{out,Maximum}}$ (mW)	30.42	3.2	2	24.8	13.72
Max. VCE (%)	81	89	85.2	89	88.6
Max. PCE (%)	84	81.9	86	90.7	87

[0095]

[0096] 상기 [표 1]을 참조하면, 상기 CMOS 전과 정류기는 0.07mm^2 의 작은 면적으로 0.7V 내지 3.3V의 넓은 입력 구동 전압을 형성하였고, 전압 변환 효율과 출력 변환 효율도 87% 이상의 높은 효율을 형성하는 것을 확인할 수 있다. 또한 작은 면적을 차지하는 정류기를 위한 결과 보정이 반드시 필요하며, 본 발명에서 제시하는 정류기 토폴로지는 낮은 소스 전압으로 동작하는 것을 확인할 수 있으며 이는 매우 만족스러운 결과라고 할 수 있다.

[0097] 이상의 기재를 통해서 본 발명에 따른 바람직한 실시예를 위주로 상술하였으나, 본 발명의 기술적 사상은 이에 한정되는 것은 아니며 본 발명의 각 구성요소는 동일한 목적 및 효과의 달성을 위하여 본 발명의 기술적 범위 내에서 변경 또는 수정될 수 있을 것이다.

[0098] 또한, 이상에서는 본 발명의 바람직한 실시예에 대하여 도시하고 설명하였지만, 본 발명은 상술한 특정의 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변형 실시가 가능한 것은 물론이고, 이러한 변형 실시들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어서는 안 될 것이다.

부호의 설명

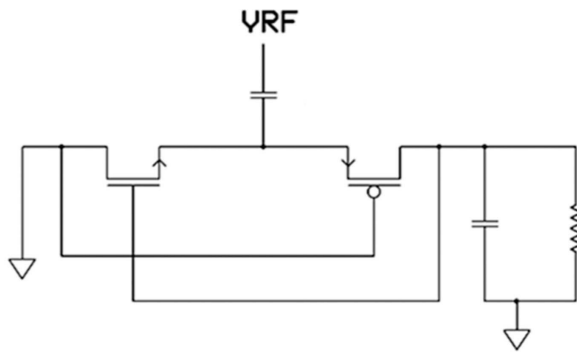
[0099] 100, 200 : 인버터

M1, M2, M3, M4 : 교차 결합된 차동 CMOS 트랜지스터

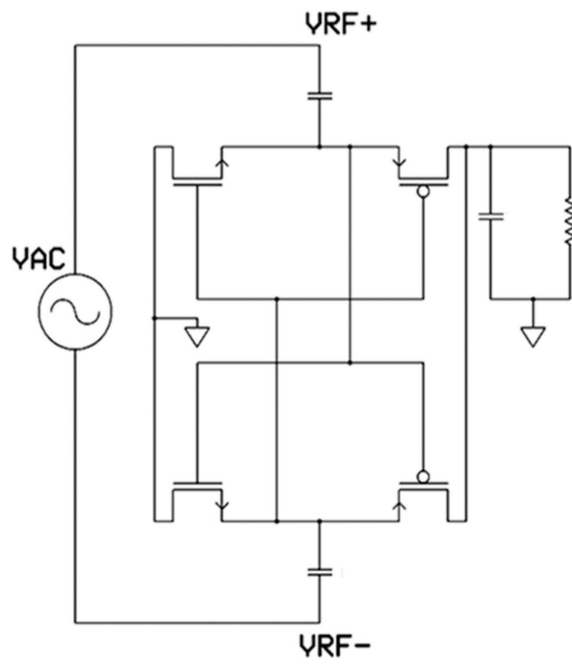
C1, C2 : 부트스트랩 커패시터

도면

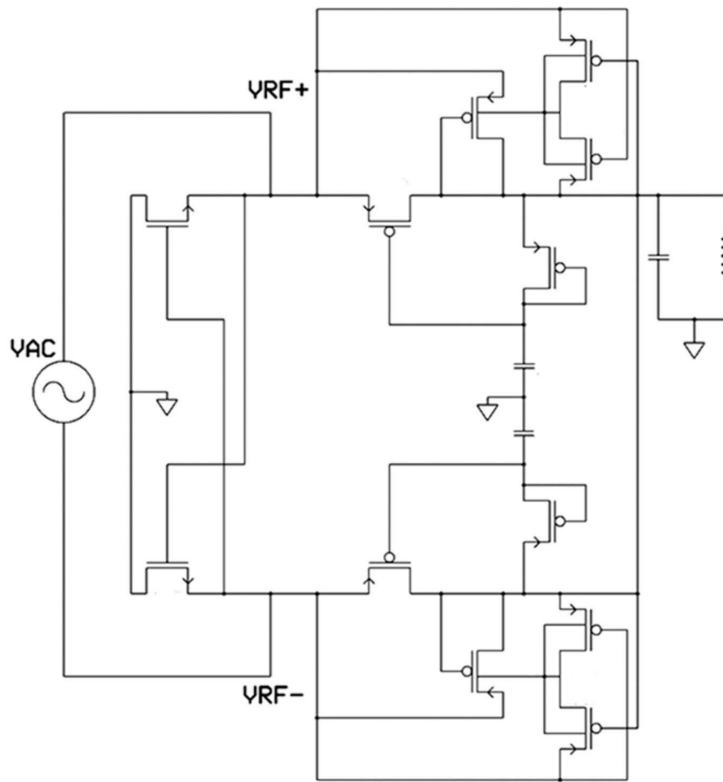
도면1a



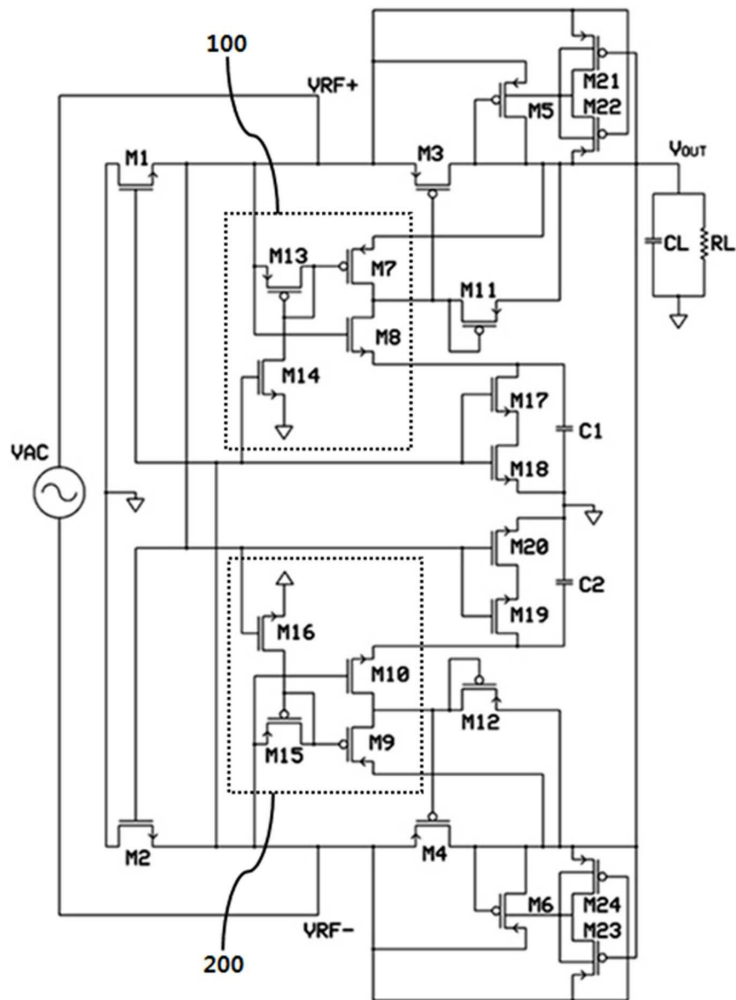
도면1b



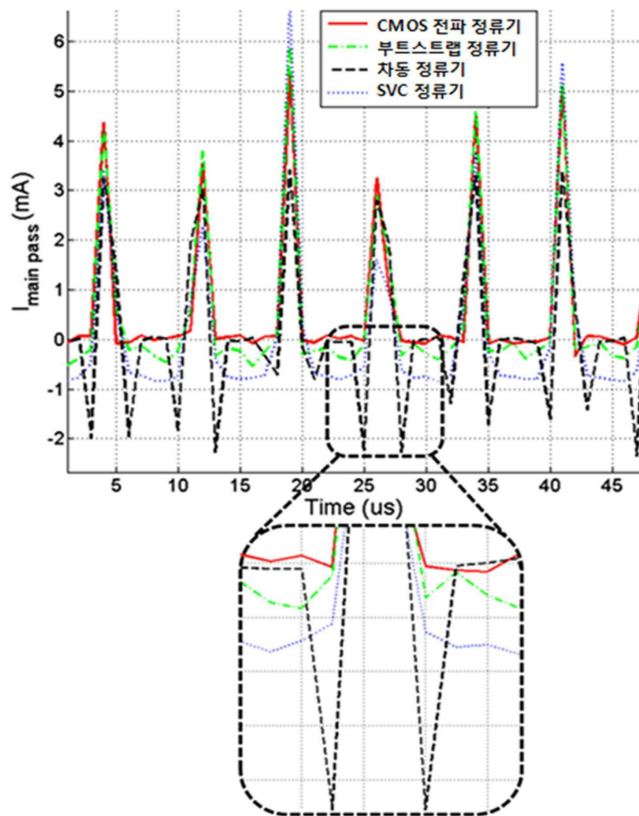
도면1c



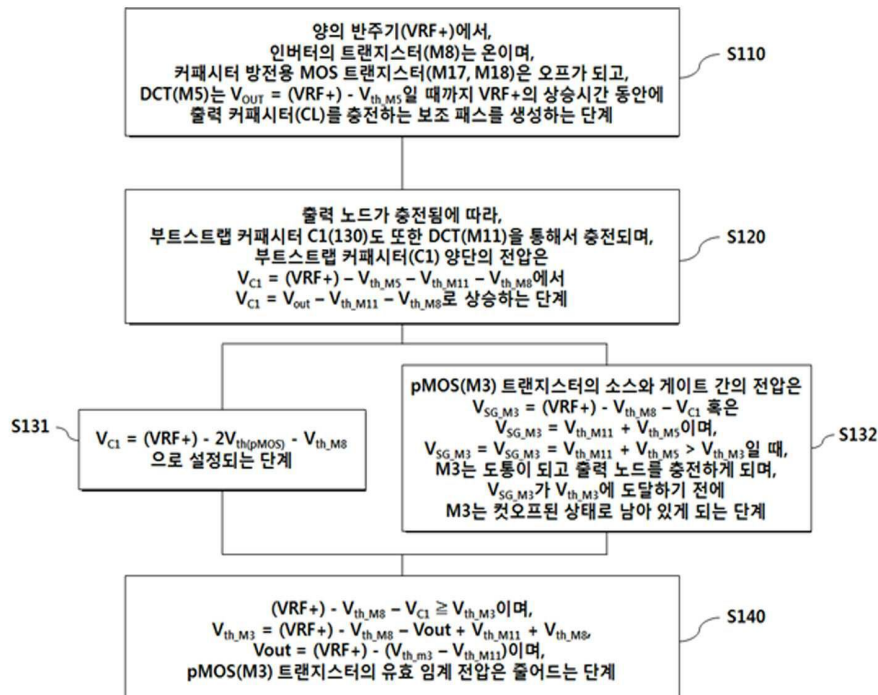
도면2



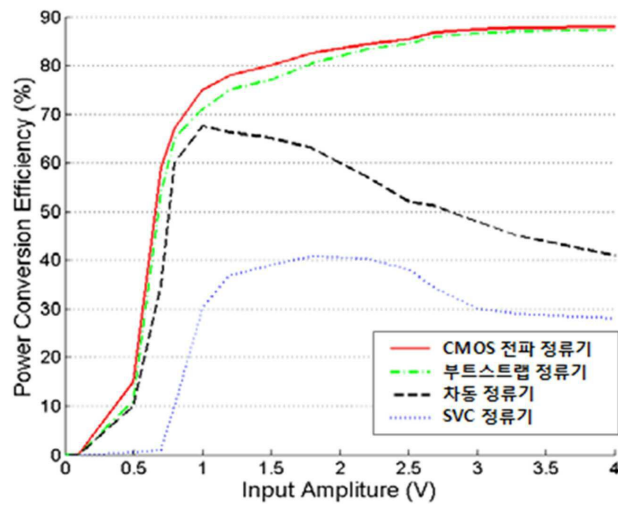
도면3



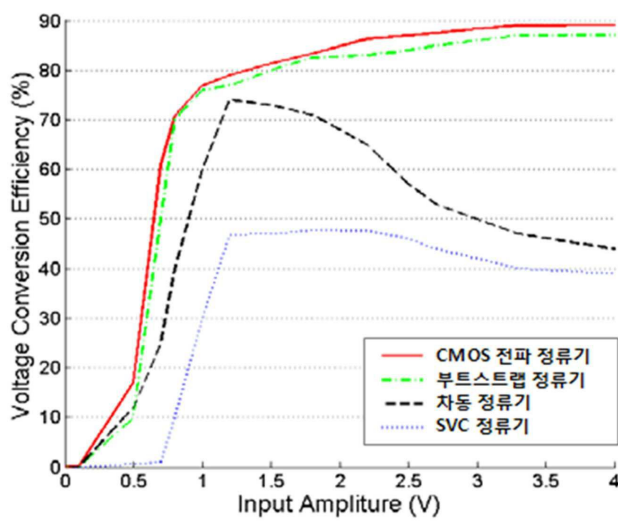
도면4



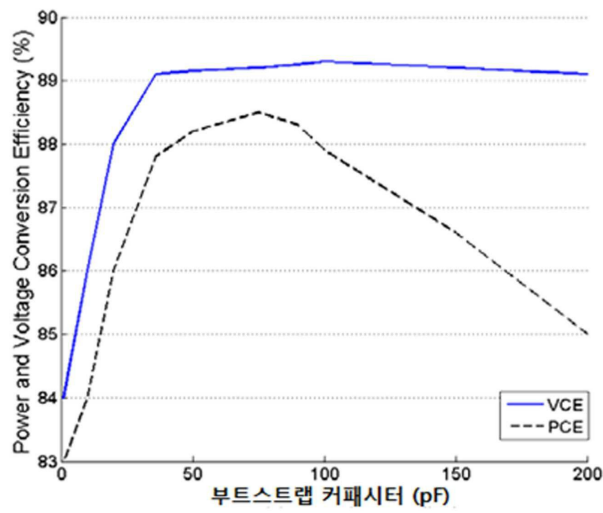
도면5a



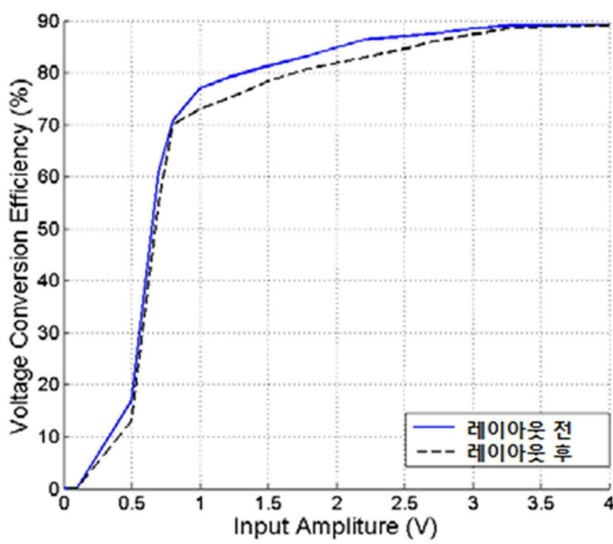
도면5b



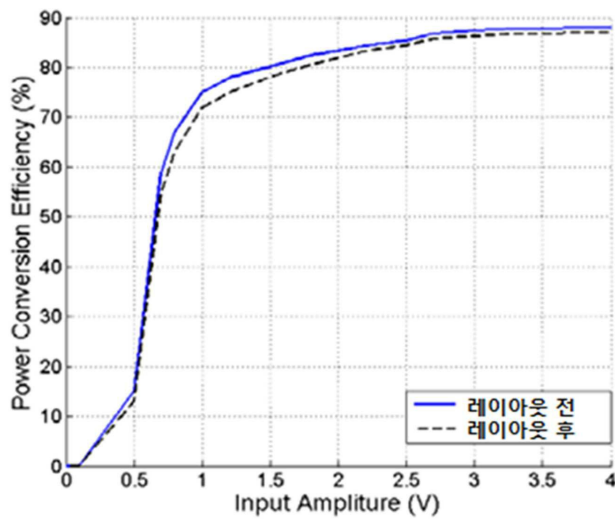
도면6



도면7a



도면7b



도면8

