

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
G11C 11/407

(45) 공고일자 2001년03월02일

(11) 등록번호 10-0282974

(24) 등록일자 2000년12월04일

(21) 출원번호	10-1998-0028029	(65) 공개번호	특 1999-0044766
(22) 출원일자	1998년07월11일	(43) 공개일자	1999년06월25일
(30) 우선권주장	97-313739 1997년11월14일	일본(JP)	

(73) 특허권자	미쓰비시덴키 가부시기가이샤	다니구찌 이찌로오, 기타오카 다카시
(72) 발명자	일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고	사쿠라이 미키오
	일본 도쿄도 지요다쿠 마루노우치 2초메 2반 3고 미쓰비시 덴키 가부시키 가	이샤 내
	다니다 스스무	
	일본 도쿄도 지요다쿠 마루노우치 2초메 2반 3고 미쓰비시 덴키 가부시키 가	이샤 내
	츠키카와 야스히코	
	일본 도쿄도 지요다쿠 마루노우치 2초메 2반 3고 미쓰비시 덴키 가부시키 가	이샤 내
	나카노 마사야	
	일본 도쿄도 지요다쿠 마루노우치 2초메 2반 3고 미쓰비시 덴키 가부시키 가	이샤 내
	후키아게 다카히코	
	일본 도쿄도 지요다쿠 마루노우치 2초메 2반 3고 미쓰비시 덴키 가부시키 가	이샤 내
(74) 대리인	김창세	

심사관 : 성백문

(54) 테스트 모드를 확실하게 리셋하는 것이 가능한 회로를 구비하는 동기형 반도체 장치

요약

동기형 반도체 기억 장치에 있어서의 리셋 신호 발생 회로는 전원 투입 직후에 발생하는 파워 온 리셋(power on reset) 신호 ZPOR과 전원 투입후에 초기화를 위해 실행되는 이니셜라이즈 커맨드(initialize command)(예를 들면, 프리차지 커맨드)에 응답하여, 리셋 신호 ZPOR1을 출력한다. 모드 세트 설정 회로에 포함되는 테스트 모드 레지스터는, 이 리셋 신호 ZPOR1을 리셋 신호로서 수신한다. 이에 따라, 출력되는 테스트 모드 신호는 NOP 상태로 되거나, 또는 테스트 모드 신호의 출력이 정지한다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예 1에 있어서의 동기형 반도체 기억 장치(1000)의 전체 구성의 일례를 나타내는 개략 블록도,

도 2는 도 1에 도시하는 동기형 반도체 기억 장치(1000) 주요부의 구성의 일례를 나타내는 도면,

도 3은 도 2에 도시하는 리셋 신호 발생 회로(150)의 구체적 구성의 일례를 나타내는 회로도,

도 4는 도 2에 도시하는 테스트 모드 레지스터(118)의 입출력 관계의 일례를 나타내는 도면,

도 5는 도 2에 도시하는 테스트 모드 레지스터(118)의 입출력 관계의 다른 일례를 나타내는 도면,

도 6의 (a)~(d)는 본 발명의 실시예 1에 있어서의 동기형 반도체 기억 장치(1000)의 동작을 설명하기 위한 타이밍차트,

도 7은 오토 리프레쉬 커맨드를 이용하여 리셋 신호 ZPOR1을 발생하기 위한 구성의 일례를 나타내는 회로도,

도 8은 본 발명의 실시예 2에 있어서의 동기형 반도체 기억 장치(2000) 주요부의 구성의 일례를 나타내는

도면,

도 9는 본 발명의 실시예 3에 있어서의 동기형 반도체 기억 장치(3000) 주요부의 구성의 일례를 나타내는 도면,

도 10은 본 발명의 실시예 4에 있어서의 동기형 반도체 기억 장치(4000) 주요부의 구성의 일례를 나타내는 도면,

도 11은 본 발명의 실시예 5에 있어서의 동기형 반도체 기억 장치(5000) 주요부의 구성의 일례를 나타내는 도면,

도 12는 본 발명의 실시예 6에 있어서의 동기형 반도체 기억 장치(6000) 주요부의 구성의 일례를 도시한 도면,

도 13은 도 12에 도시하는 테스트 모드 레지스터(140)의 구성 및 입출력 관계의 일례를 나타내는 회로도,

도 14는 도 13에 도시하는 레지스터 R3의 구성 및 입출력 관계의 일례를 나타내는 회로도,

도 15는 도 12에 도시하는 테스트 모드 디코더(142)를 구성하는 디코더 D1의 구성의 일례를 나타내는 회로도,

도 16의 (a)~(p)는 본 발명의 실시예 6에 있어서의 동기형 반도체 기억 장치(6000)의 동작을 설명하기 위한 타이밍차트,

도 17은 본 발명의 실시예 7에 있어서의 동기형 반도체 기억 장치(7000) 주요부의 구성의 일례를 나타내는 도면,

도 18은 도 17에 도시하는 테스트 모드 레지스터(143)의 구성 및 입출력 관계의 일례를 나타내는 회로도,

도 19는 도 17에 도시하는 테스트 모드 디코더(145)에 포함되는 디코더 D2의 구성 및 입출력 관계의 일례를 나타내는 도면,

도 20의 (a)~(q)는 본 발명의 실시예 7에 있어서의 동기형 반도체 기억 장치(7000)의 동작을 설명하기 위한 타이밍차트,

도 21은 종래의 동기형 반도체 기억 장치(9000) 주요부의 구성을 나타내는 개략 블록도,

도 22의 (a)~(j)는 종래의 동기형 반도체 기억 장치(9000)의 전원 투입시로부터 이상적인 상태로 되기까지의 통상 동작의 순서를 설명하기 위한 타이밍차트,

도 23은 종래의 모드 세트 설정 회로(104)의 구성을 나타내는 개략 블록도,

도 24는 모드 검출 회로(115)의 회로 구성을 나타내는 회로도,

도 25는 노말 모드 레지스터(116) 및 테스트 모드 레지스터(118)를 구성하는 레지스터 R1의 구성을 나타내는 회로도,

도 26은 테스트 모드 디코더(119)의 구성을 나타내는 회로도,

도 27의 (a)~(h)는 노말 모드 설정 회로(124) 및 테스트 모드 설정 회로(125)의 동작을 설명하기 위한 타이밍차트.

도면의 주요 부분에 대한 부호의 설명

29, 30, 40 : NAND 회로	50 : 커맨드 디코더
101 : 제어 신호 버퍼	102 : 내부 클럭 발생 회로
103 : 어드레스 버퍼	104 : 모드 세트 설정 회로
100 : POR 발생 회로	105 : 프리 차지 발생 회로
106 : 액트 발생 회로	150 : 리세트 신호 발생 회로
116 : 노말 모드 레지스터	117 : 노말 모드 디코더
124 : 노말 모드 설정 회로	118, 140, 143 : 테스트 모드 레지스터
119, 142, 145 : 테스트 모드 디코더	
125 : 테스트 모드 설정 회로	115 : 모드 검출 회로
R1, R2, R3 : 레지스터	D1, D2 : 디코더
130 : 래치 회로	1000~9000 : 동기형 반도체 기억 장치

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 동기형 반도체 기억 장치에 관한 것으로, 특히 전원 투입시에 테스트 모드가 리세트되는 것을

특징으로 하는 동기형 반도체 기억 장치에 관한 것이다.

고속 액세스를 목적으로 하여 개발된 동기형 반도체 기억 장치는, 데이터의 판독 또는 기입에 필요한 동작(명령)은 전부 외부로부터 안정한 주기로 인가되는 클럭(외부 클럭 신호)에 동기하여 실행된다.

여기서, 종래의 동기형 반도체 기억 장치에 대하여, 도 21을 이용하여 설명한다.

도 21에 도시하는 동기형 반도체 기억 장치(9000)는 제어 신호 버퍼(101), 내부 클럭 발생 회로(102), 어드레스 버퍼(103), 모드 세트 설정 회로(104), 액트 발생 회로(act generating circuit)(106), 프리 차지 발생 회로(105), POR 발생 회로(100) 및 복수의 뱅크(도 21에 있어서는 B0, B1, B2 및 B3)를 포함한다.

뱅크 B0, B1, B2 및 B3는 각각 도시하지 않은 로우게 제어 회로, 워드 드라이버, 메모리 셀 어레이, 센스 앰프 및 IO 게이트를 포함한다. 각각의 뱅크는 독립적으로 워드선의 활성화, 데이터의 판독, 데이터의 기입 및 워드선의 비활성화를 실행할 수 있다.

도시하지 않은 메모리 셀 어레이는 행렬 형상으로 배치된 복수의 메모리 셀을 포함하고, 메모리 셀 각각은 행 방향으로 대응하여 마련된 워드선과 열 방향으로 대응하여 마련된 비트선쌍의 교점에 접속되어 있다.

제어 신호 버퍼(101)는 외부 제어 신호(외부 어드레스 스트로브 신호/RAS, 외부 컬럼 어드레스 스트로브 신호/CAS, 외부 기입 인에이블 신호/WE 등)를 수신하여, 대응하는 내부 제어 신호를 출력한다. 이하의 설명에 있어서, 내부 제어 신호 ZCS, ZRAS, ZCAS, ZWE는 각각, 외부 제어 신호인 외부 칩 선택 신호/CS, 외부 로우 어드레스 스트로브 신호/RAS, 외부 컬럼 어드레스 스트로브 신호/CAS, 외부 기입 인에이블 신호/WE에 각각 대응하는 동상(同相)의 내부 신호로 한다. 또한, 내부 제어 신호 CS, RAS, CAS 및 WE는 각각 내부 제어 신호 ZCS, ZRAS, ZCAS, ZWE와 역상(逆相)의 내부 신호로 한다. 내부 클럭 발생 회로(102)는 외부 클럭 신호 EXTCLK를 취입하여, 내부 동작을 제어하는 내부 클럭 신호 CLK를 출력한다.

어드레스 버퍼(103)는 외부로부터 수신하는 외부 어드레스 신호 A를 취입하여, 어드레스 신호(이하, ADD0, ADD1, ..., ADD7이라고 표기함)를 출력한다. 외부 어드레스 신호 A는, 행 어드레스 신호와 열 어드레스 신호가 시분할적으로 다중화되어 인가된다. 또한, 어드레스 버퍼(103)는 도시하지 않은 뱅크 어드레스 디코더를 구비하고, 어드레스 신호 A를 디코드하여, 대응하는 뱅크를 지정하는 뱅크 디코드 신호를 출력한다.

액트 발생 회로(106)는 외부로부터 입력되는 액트 커맨드(act command)에 응답하여, 지정된 뱅크를 활성화하는 액트 개시 신호를 출력한다. 프리 차지 발생 회로(105)는 외부로부터 입력되는 프리 차지 커맨드에 응답하여, 지정된 뱅크를 비활성화하는 프리 차지 개시 신호를 출력한다.

모드 세트 설정 회로(104)는, 후술하는 바와 같이 외부 신호에 응답하여 특정한 동작 모드 또는 테스트 모드를 설정한다. 이에 따라, CAS 레이턴시(CAS latency) CL, 버스트 길이(burst length) BL로 한 여러 가지의 동작 모드 또는 테스트 모드를 설정할 수 있다.

POR 발생 회로(100)는 전원 투입후의 일정 기간, 외부 전원 전압 EXTVDD에 근거하여, 파워 온 리셋 신호 ZPOR를 출력한다. 모드 세트 설정 회로(104)는 파워 온 리셋 신호 ZPOR를 수신하여 리셋된다.

도 21에 도시하는 종래의 동기형 반도체 기억 장치(9000)의 전원 투입시로부터 이상적인 상태로 되기까지의 통상 동작에 대하여, 타이밍차트인 도 22의 (a)~(j)를 이용하여 설명한다.

도 22에 있어서, (a)는 내부 클럭 신호 CLK를, (b)는 내부 제어 신호(클럭 인에이블 신호) CKE를, (c)는 내부 제어 신호 ZCS를, (d)는 내부 제어 신호 ZRAS를, (e)는 내부 제어 신호 ZCAS를, (f)는 내부 제어 신호 ZWE를 각각 나타낸다. 또한, (g)는 어드레스 신호 A를, (h)는 뱅크 디코드 신호 BA를, (i)는 전원 전압 EXTVDD를, (j)는 파워 온 리셋 신호 ZPOR를 각각 나타낸다.

전원 투입(시각 t0)후, 전원 전압 EXTVDD가 상승한다. 외부 전원 전압 EXTVDD가 일정 레벨에 도달하는 시점(시각 t1)에서, POR 발생 회로(100)에 의해, 파워 온 리셋 신호 ZPOR이 출력되어 동기형 반도체 기억 장치내의 내부가 리셋된다.

그 후 200 μ s의 안정한 클럭 상태를 유지함으로써, 내부의 전압계가 안정화한다. 또한 전(全)뱅크에 대하여 프리 차지 올 커맨드(precharge all command) PREA(내부 제어 신호 ZRAS 및 내부 제어 신호 ZWE가 L 레벨, 내부 제어 신호 ZCAS가 H 레벨)가 실행되고, tRP 기간(통상 30 ns) 경과후에, 오토 리프레시 커맨드 REFA(내부 제어 신호 ZRAS 및 ZCAS가 L 레벨, 내부 제어 신호 ZWE가 H 레벨)를 tRC 기간(통상 80 ns)의 사이클로 8회 이상 실행한다.

그 후 모드 레지스터 세트 커맨드 MRS(내부 제어 신호 ZRAS, ZCAS 및 ZWE를 L 레벨로 설정하고, 또한 어드레스 신호 A를 입력)를 입력하여, CAS 레이턴시 CL, 버스트 길이 BL 등의 회로의 동작 모드를 설정한다.

여기서, 모드 레지스터 세트 커맨드에 응답하여 동작하는 모드 세트 설정 회로(104)에 대하여 도 23을 이용하여 간단히 설명한다.

도 23에 도시하는 종래의 모드 세트 설정 회로(104)는, 모드 검출 회로(115), 노말 모드 설정 회로(124) 및 테스트 모드 설정 회로(125)를 구비한다.

노말 모드 설정 회로(124)는 노말 모드 레지스터(116) 및 노말 모드 디코더(117)를 포함한다. 테스트 모드 설정 회로(125)는 테스트 모드 레지스터(118) 및 테스트 모드 디코더(119)를 포함한다.

모드 검출 회로(115)는 모드 레지스터 세트 커맨드 및 어드레스 신호 ADD7에 응답하여, 후술하는 노말 모드 레지스터(116) 또는 테스트 모드 레지스터(118)를 동작시키기 위한 신호를 출력한다. 어드레스 신호 ADD7은 테스트 모드로 들어가기 위한 키(key)로 되는 신호이다.

여기서, 테스트 모드란, 동기형 반도체 기억 장치의 평가 해석을 효율적으로 실행하기 위해 이용되는 모

드로서, 실제의 사용시에 동작되지 않는 방법에 의해 설정(어드레스 신호 ADD7을 L 레벨로 고정)된다.

노말 모드 설정 회로(124)는 모드 레지스터 세트 커맨드 입력시에 있어서의 어드레스 신호 ADD0, ..., ADD6에 응답하여, 각종 모드 신호(CAS 레이턴시 CL, 버스트 길이 BL, ...)를 출력한다.

테스트 모드 설정 회로(125)는 모드 레지스터 세트 커맨드 입력시에 있어서의 어드레스 신호 ADD0, ADD1 및 ADD7에 응답하여, 각종 테스트 모드 신호를 출력한다.

여기서, 어드레스 신호 ADD7이 L 레벨인 경우에는, 어드레스 신호 ADD0, ..., 어드레스 신호 ADD6은 복수의 노말 모드중에서 특정한 하나의 모드를 선택하기 위한 디코드 신호로 된다. 또한, 어드레스 신호 ADD7이 H 레벨인 경우에는, 어드레스 신호 ADD0 및 어드레스 신호 ADD1은 복수개의 임의의 테스트 모드중에서 어느 것이나 한개를 선택하기 위한 디코드 신호로 된다.

다음에, 모드 검출 회로(115)의 구성에 대하여 도 24를 이용하여 간단히 설명한다.

도 24에 도시하는 바와 같이, 모드 검출 회로(115)는 NAND 회로(1), NOR 회로(2 및 5) 및 인버터 회로(3, 4, 6 및 7)를 구비한다. NAND 회로(1)는 모드 레지스터 세트 커맨드(내부 제어 신호 CS, RAS, CAS 및 WE 가 H 레벨)가 입력된 것을 검출하면, L 레벨의 신호 MR을 출력한다.

NOR 회로(2)는 신호 MR과 어드레스 신호 ADD7을 입력에서 수신한다. 또한, NOR 회로(5)는 신호 MR과 접지 전위를 입력에서 수신한다.

인버터 회로(3)는 NOR 회로(2)의 출력 신호를 반전하여, 반전 노말 모드 세트 신호 ZSNM을 출력한다. 인버터 회로(4)는 반전 노말 모드 세트 신호 ZSNM을 반전하여, 노말 모드 세트 신호 SNM을 출력한다.

인버터 회로(6)는 NOR 회로(5)의 출력 신호를 반전하여 반전 테스트 모드 세트 신호 ZSTM을 출력한다. 인버터 회로(7)는 반전 테스트 모드 세트 신호 ZSTM을 반전하여 테스트 모드 세트 신호 STM을 출력한다.

다음에, 노말 모드 레지스터(116) 및 테스트 모드 레지스터(118)를 구성하는 레지스터에 대해 도 25를 이용하여 설명한다.

도 25에 도시하는 레지스터 R1은, 래치 타입의 레지스터로서, 인버터 회로(11, 12 및 13), 게이트 회로(14 및 15) 및 NOR 회로(16)를 포함한다.

인버터 회로(11)는 입력 노드 N1의 신호를 반전하여 NOR 회로(16)에 출력한다. 게이트 회로(14)는 입력 노드 N3 및 N4의 신호에 응답하여 입력 노드 N2로부터 수신하는 신호를 반전하여 노드 Z1에 출력한다. NOR 회로(16)는 인버터 회로(11) 및 노드 Z1의 신호를 수신한다. 게이트 회로(15)는 입력 노드 N3 및 N4의 신호에 응답하여 NOR 회로(16)의 출력 신호를 반전하여 노드 Z1에 출력한다. 인버터 회로(12)는 노드 Z1의 신호를 반전하여 출력 노드 N5에 출력한다. 또한 인버터 회로(13)는 인버터 회로(12)의 출력 신호를 반전하여 출력 노드 N6에 출력한다.

노말 모드 레지스터(116)는 어드레스 신호 ADD0, ..., ADD6의 각각에 대응하는 레지스터 R1을 포함한다. 어드레스 신호 ADD_i(단, i=0, ..., 6 중 어느 하나)에 대응하는 레지스터 R1은, 입력 노드 N1에서, 파워 온 리셋 신호 ZPOR를 수신한다. 입력 노드 N2에서, 대응하는 어드레스 신호 ADD_i를 수신한다. 입력 노드 N3은 반전 노말 모드 세트 신호 ZSNM을 수신한다. 또한 입력 노드 N4는 노말 모드 세트 신호 SNM을 수신한다. 출력 노드 N5로부터 신호 NADD_i를, 출력 노드 N6으로부터 그 반전 신호인 반전 신호 ZNADD_i가 출력된다(이하, 총칭적으로 신호 NADD 및 반전 신호 ZNADD라고 칭함).

테스트 모드 레지스터(118)는 어드레스 신호 ADD0 및 ADD1의 각각에 대응하는 레지스터 R1을 포함한다. 어드레스 신호 ADD_i(단, i=0, 1 중 어느 하나)에 대응하는 레지스터 R1은, 입력 노드 N1에서, 파워 온 리셋 신호 ZPOR를 수신한다. 입력 노드 N2에서, 대응하는 어드레스 신호 ADD_i를 수신한다. 입력 노드 N3은 반전 테스트 모드 세트 신호 ZSTM을 수신한다. 또한 입력 노드 N4는 테스트 모드 세트 신호 STM을 수신한다. 출력 노드 N5로부터 신호 TADD_i가, 출력 노드 N6으로부터 그 반전 신호인 반전 신호 ZTADD_i가 출력된다(이하, 총칭적으로 신호 TADD 및 반전 신호 ZTADD라고 칭함).

또한, 테스트 모드 레지스터(118)는 어드레스 신호 ADD7에 대응하는 레지스터를 포함한다. 어드레스 신호 ADD7에 대응하는 레지스터는, 도 25에 나타내는 레지스터 R1과 동일한 회로 구성으로서, 인버터 회로(13)(출력 노드 N6)를 제외한 것에 해당한다(이하, 레지스터 R2라고 칭함). 레지스터 R2에 있어서는, 입력 노드 N1은 파워 온 리셋 신호 ZPOR를 수신한다. 입력 노드 N2는 어드레스 신호 ADD7을 수신한다. 입력 노드 N3은 반전 테스트 모드 세트 신호 ZSTM을 수신한다. 또한 입력 노드 N4는 테스트 모드 세트 신호 STM을 수신한다. 레지스터 R2에 있어서의 출력 노드 N5로부터는, 테스트 모드 인에이블 신호 TME가 출력된다.

다음에, 테스트 모드 디코더(119)의 구성에 대해 도 26을 이용하여 간단히 설명한다.

도 26에 나타내는 테스트 모드 디코더(119)는, NAND 회로(21, 22, 23 및 24) 및 인버터 회로(25, 26, 27 및 28)를 구비한다. NAND 회로(21, ..., 24) 각각의 입력 노드에는 테스트 모드 레지스터(118)로부터 출력되는 신호 TADD 및 반전 신호 ZTADD 및 테스트 모드 인에이블 신호 TME가 입력된다. 인버터 회로(25, 26, 27 및 28)의 각각으로부터는 테스트 모드 신호 TM1, TM2, TM3 및 TM4가 출력된다.

또, 노말 모드 디코더(117)는 테스트 모드 디코더(119)와 마찬가지로의 구성으로, 노말 모드 레지스터(116)로부터 출력되는 신호 NADD와 반전 신호 ZNADD의 조합에 응답하여, 모드 신호를 출력한다.

다음에, 노말 모드 설정 회로(124) 및 테스트 모드 설정 회로(125)의 동작의 관계에 대하여, 타이밍차트인 도 27의 (a)~(h)를 이용하여 설명한다.

도 27에 도시하는 (a)는 내부 클럭 신호 CLK를, (b)는 내부 제어 신호 CS를, (c)는 내부 제어 신호 RAS를, (d)는 내부 제어 신호 CAS를, (e)는 내부 제어 신호 WE를, (f)는 어드레스 신호 ADD7을, (g)는 노말 모드 세트 신호 SNM을, (h)는 테스트 모드 세트 신호 STM을 각각 나타낸다.

도 27의 (a)~(h)에 도시하는 바와 같이, 모드 레지스터 세트 커맨드 MRS가 입력된 시점에서, 어드레스 신호 ADD7이 H 레벨이면(시각 t0), 노말 모드 세트 신호 SNM이 L 레벨인 채로 테스트 모드 세트 신호 STM이 H 레벨로 되기 때문에, 노말 모드 레지스터(116)의 내용이 보호된 채로 테스트 모드 레지스터(118)가 세트된다.

또한, 모드 레지스터 세트 커맨드 MRS를 입력한 시점에서, 어드레스 신호 ADD7이 L 레벨이면(시각 t1), 노말 모드 세트 신호 SNM 및 테스트 모드 세트 신호 STM이 모두 H 레벨로 된다. 이 경우는, 노말 모드 레지스터(116)의 레지스터 R1의 취입구(inlet)를 열어 어드레스 ADD0, ..., ADD6이 취입(take in)된다. 이에 따라, 신호 NADD 및 반전 신호 ZNADD가 생성된다. 노말 모드 레지스터(116)는 회로도에서 도시한 바와 같이 래치 타입으로 되어 있고, 취입이 모드 레지스터 세트 커맨드만 실행된다. 취입된 어드레스 신호는 노말 모드 디코더(117)에 의해 디코딩되어, 모드 신호 BL, CL 등의 정보로 된다. 한편, L 레벨의 어드레스 신호 ADD7을 레지스터 R2가 취입함으로써 테스트 모드 인에이블 신호 TME가 리세트되기 때문에, 테스트 모드는 리세트되는 것으로 된다.

또, 실사용시(노말 모드시)에 있어서는, 모드 레지스터 세트 커맨드가 입력되는 시점에서, 어드레스 신호 ADD7을 L 레벨로 고정함으로써, 테스트 모드로 들어 가는 것을 방지하고 있다.

상기한 바와 같이, 종래의 동기형 반도체 기억 장치는 테스트 모드 설정 회로(125)를 구비하여, 출하(出荷)전의 테스트를 실행함과 동시에, 실제의 사용시에는, 테스트 모드로 들어가지 않도록 파워 온 리세트 신호 ZPOR을 이용하여 이것을 리세트한다.

그러나, 전원 투입시에 있어서의 파워 온 리세트 신호 ZPOR은, 전원의 상승 조건에 의해서는 충분히 파워 온 리세트 신호 ZPOR이 생성되지 않는 경우가 있으므로, 파워 온 리세트 신호 ZPOR 신호에 의한 리세트는 확실하다고 할 수 없다.

한편, 종래의 동기형 반도체 기억 장치는 노말 모드 설정 회로(124)와 테스트 모드 설정 회로(125)를 구비하여, 모드 레지스터 세트 커맨드의 입력시에 있어서의 어드레스 신호의 조합에 의해 이들 회로의 동작이 제어된다. 이들 어드레스의 조합은 실제의 사용시에 있어서는 비공개로 되어 있지만, 상기한 바와 같이 리세트가 불충분하면, 잘못되어 테스트 모드로 들어갈 가능성이 있다.

실제로, 컴퓨터 등의 시스템에서는 ED0와 동기형 반도체 기억 장치를 모두 지원하고 있는 기종이 많아, 이 경우 메모리 체크 작동시에 동기형 반도체 기억 장치에 쓸데없는 신호를 부여할 가능성이 있다.

이 경우, 실제의 사용시에 있어서 잘못해서 테스트 모드로 들어갈 경우가 가능성으로서 남게 된다. 이 때문에, 종래의 동기형 반도체 기억 장치에 있어서는, 노말 모드에 있어서의 모드 레지스터 세트 커맨드에 의해 테스트 모드를 리세트하는 것이 실행되는 것이지만, 예를 들면 테스트 모드가 내부 전위를 변동시키는 모드이었던 경우, 테스트 모드의 해제 시점으로부터 내부 전압이 설정값으로 되돌아갈 때까지 최저 수백 ns가 필요하게 되기 때문에, 모드 레지스터 세트 커맨드 실행 직후, 액트 커맨드 등의 동기형 반도체 기억 장치의 동작 명령을 입력한 경우, 동기형 반도체 기억 장치가 오동작할 우려가 있다.

발명이 이루고자 하는 기술적 과제

그래서, 본 발명의 목적은 전원 투입후에 테스트 모드를 확실하게 리세트할 수 있는 동기형 반도체 기억 장치를 제공하는 것이다.

또한, 본 발명의 다른 목적은 실제의 사용시에 있어, 용이하게 테스트 모드로 들어 가는 일이 없는 동기형 반도체 기억 장치를 제공하는 것이다.

발명의 구성 및 작용

본 발명에 의한 동기형 반도체 기억 장치는, 행렬 형상으로 배치되는 복수의 메모리 셀을 포함하는 메모리 셀 어레이와 메모리 셀 어레이의 행에 대응하여 마련되는 복수의 워드선을 각각이 포함하는 복수의 뱅크와, 외부 클럭 신호에 동기한 내부 클럭 신호를 출력하는 내부 클럭 발생 회로와, 내부 클럭 신호에 동기하여 입력되는 모드 설정 커맨드와 외부 신호에 응답하여, 소정의 동작 모드가 지정된 것을 나타내는 노말 모드 신호를 출력하는 노말 모드 설정 회로와, 내부 클럭 신호에 동기하여 입력되는 모드 설정 커맨드와 테스트 모드 지정 신호에 응답하여, 소정의 테스트 모드가 지정된 것을 검출하고, 검출 결과로서 테스트 모드 신호를 출력하는 테스트 모드 설정 회로와, 전원 투입후에, 내부 클럭 신호에 동기하여 입력되는 뱅크를 초기화하는 이니셜라이즈 커맨드에 응답하여 리세트 신호를 출력하는 리세트 신호 발생 회로를 구비하고, 테스트 모드 설정 회로는 리세트 신호를 수신하여, 적어도 1개의 테스트 모드 신호를 비활성 상태로 한다.

따라서 본 발명의 주된 이점은, 전원 투입후에 실행되는 이니셜라이즈 커맨드에 응답하여, 확실히 테스트 모드가 리세트된다는 점에 있다.

본 발명의 다른 국면에 따르면, 동기형 반도체 기억 장치는, 행렬 형상으로 배치되는 복수의 메모리 셀을 포함하는 메모리 셀 어레이와 메모리 셀 어레이의 행에 대응하여 마련되는 복수의 워드선을 각각이 포함하는 복수의 뱅크와, 외부 클럭 신호에 동기한 내부 클럭 신호를 출력하는 내부 클럭 발생 회로와, 내부 클럭 신호에 동기하여 입력되는 제 1 커맨드에 응답하여, 제 1 커맨드가 입력된 것을 나타내는 제 1 커맨드 대응 신호를 출력하는 커맨드 검출 회로와, 내부 클럭 신호에 동기하여 입력되는 테스트 모드 지정 신호에 응답하여, 테스트 모드가 지정된 것을 검출하는 테스트 모드 검출 회로와, 테스트 모드 검출 회로가, 테스트 모드가 지정된 것을 검출한 것에 응답하여, 제 1 커맨드 대응 신호를 제 1 커맨드와 다른 제 2 커맨드에 대응하는 제 2 커맨드 대응 신호로 변환하는 변환 회로와, 제 2 커맨드 대응 신호에 응답하여, 제 2 커맨드에 대응하는 동작을 실행시키는 실행 회로를 구비한다.

따라서, 본 발명의 주된 이점은, 테스트 모드에 있어서 특정의 제 1 커맨드가 입력된 것을 나타내는 제 1 커맨드 대응 신호를, 다른 제 2 커맨드에 대응하는 제 2 커맨드 대응 신호로 변환하는 것에 의해, 테스트

모드에 있어서 제 1 커맨드를 제 2 커맨드로서 사용하는 것이 가능하게 되는 점에 있다.

본 발명의 다른 국면에 따르면, 동기형 반도체 기억 장치는, 입력 패드와, 행렬 형상으로 배치되는 복수의 메모리 셀을 포함하는 메모리 셀 어레이와 메모리 셀 어레이의 행에 대응하여 마련되는 복수의 워드선을 각각이 포함하는 복수의 बैं크와, 외부 클럭 신호에 동기한 내부 클럭 신호를 출력하는 내부 클럭 발생 회로와, 내부 클럭 신호에 동기하여 입력되는 모드 설정 커맨드와 외부 신호에 응답하여, 소정의 동작 모드가 지정된 것을 나타내는 노말 모드 신호를 출력하는 노말 모드 설정 수단과, 내부 클럭 신호에 동기하여 입력되는 모드 설정 커맨드와 테스트 모드 지정 신호와 입력 패드의 전압에 응답하여, 소정의 테스트 모드가 지정된 것을 나타내는 테스트 모드 신호를 출력하는 테스트 모드 설정 회로를 구비하고, 테스트 모드 지정 신호는, 제 1 테스트 모드 지정 신호와, 제 2 테스트 모드 지정 신호를 포함하며, 테스트 모드 설정 회로는, 모드 설정 커맨드에 응답하여, 테스트 모드가 지정된 것을 검출하는 검출 회로와, 검출 회로가, 테스트 모드가 지정된 것을 검출한 것에 응답하여, 제 2 테스트 모드 지정 신호에 대응하는 테스트 모드 신호를 선택적으로 활성화하는 제 1 선택 회로와, 검출 회로가, 테스트 모드가 지정된 것을 검출한 것에 응답하여, 제 1 테스트 모드 지정 신호와 입력 패드로부터 입력되는 외부 전원 전압의 2배 이상의 신호에 근거하여, 제 1 선택 회로의 동작을 인에이블 상태로 만드는 제 1 인에이블 신호를 출력하는 제 1 제어 회로를 포함한다.

따라서 본 발명의 주된 이점은 입력 패드에 부여되는 고전압에 근거하여, 소정의 테스트 모드로 들어가는 것이 가능하게 되는 점에 있다.

본 발명의 상기 및 그 밖의 목적, 특징, 국면 및 이익 등은 첨부 도면을 참조로 하여 설명하는 이하의 상세한 실시예로부터 더욱 명백해질 것이다.

바람직한 실시예의 설명

(실시예 1)

본 발명의 실시예 1에 있어서의 동기형 반도체 기억 장치는, 이니셜라이즈 커맨드에 응답하여 리세트 신호를 발생하고, 이것을 이용하여 테스트 모드를 리세트함으로써, 전원 투입후, 빠른 시기에 또한 확실하게 테스트 모드를 리세트하는 것을 가능하게 하는 것이다.

본 발명의 실시예 1에 있어서의 동기형 반도체 기억 장치(1000)의 전체 구성의 일례에 대하여 도 1 및 도 2를 이용하여 설명한다.

도 1은 본 발명의 실시예 1에 있어서의 동기형 반도체 기억 장치(1000)의 전체 구성의 일례를 나타내는 개략 블록도이고, 도 2는 도 1에 도시하는 동기형 반도체 기억 장치(1000) 주요부의 구성의 일례를 나타내는 도면이다. 또, 이하의 설명에 있어서는, 종래의 동기형 반도체 기억 장치(9000)와 동일한 구성 요소에는 동일한 부호 또는 동일한 기호를 부여하고, 그 설명을 생략한다.

도 1 및 도 2에 도시하는 동기형 반도체 기억 장치(1000)가, 종래의 동기형 반도체 기억 장치(9000)와 서로 다른 점은 POR 발생 회로(100) 대신에, 두 종류의 리세트 신호를 출력하는 리세트 신호 발생 회로(150)를 구비하는 것에 있다.

도 2에 도시하는 바와 같이, 프리 차지 발생 회로(105)는 프리 차지 커맨드를 검출하는 NAND 회로(30)를 포함한다. NAND 회로(30)는 프리 차지 커맨드(내부 제어 신호 CS, RAS, ZCAS, WE가 H 레벨)가 입력된 것을 검출하면, L 레벨의 프리 차지 신호 ZPRE를 출력한다.

리세트 신호 발생 회로(150)는 프리 차지 발생 회로(105)로부터 출력되는 프리 차지 신호 ZPRE를 입력에서 수신하여, 파워 온 리세트 신호 ZPOR 이외에 리세트 신호 ZPOR1을 출력한다.

모드 세트 설정 회로(104)에 포함되는 노말 모드 레지스터(116)는, 종래와 마찬가지로, 리세트 신호 발생 회로(150)로부터 출력되는 파워 온 리세트 신호 ZPOR을 리세트 신호로서 수신한다. 모드 세트 설정 회로(104)에 포함되는 테스트 모드 레지스터(118)는, 파워 온 리세트 신호 ZPOR과 리세트 신호 ZPOR1을 리세트 신호로서 수신한다.

이에 따라 동기형 반도체 기억 장치(1000)는 전원 투입후에 실시되는 이니셜라이즈 커맨드(예를 들면, 프리 차지 커맨드)에 근거하여, 빠른 시기에 또한 확실하게 테스트 모드의 리세트를 실행하는 것이 가능해진다.

또한, 노말 모드 레지스터(116)는 종래와 같이 전원 투입 직후에 발생하는 파워 온 리세트 신호 ZPOR에 의해 리세트되기 때문에, 이니셜라이즈 커맨드에 의해 노말 모드가 리세트되는 일은 없다.

다음에, 도 2에 도시하는 리세트 신호 발생 회로(150)의 구체적 구성의 일례에 대하여 도 3을 이용하여 설명한다.

도 3에 도시하는 리세트 신호 발생 회로(150)는 종래의 POR 발생 회로(100), NAND 회로(31) 및 인버터 회로(32)를 포함한다. 상술한 바와 같이 POR 발생 회로(100)는 전원 투입후에 파워 온 리세트 신호 ZPOR을 출력한다. NAND 회로(31)는 POR 발생 회로(100)가 출력하는 파워 온 리세트 신호 ZPOR과 프리 차지 신호 ZPRE를 입력에서 수신하여, 이들의 논리합을 출력한다. 인버터 회로(32)는 NAND 회로(31)의 출력 신호를 반전하여 리세트 신호 ZPOR1을 출력한다.

다음에, 도 2에 도시하는 테스트 모드 레지스터(118)와 파워 온 리세트 신호 ZPOR 및 리세트 신호 ZPOR1의 관계의 일례에 대하여, 도 4를 이용하여 설명한다.

도 4에 도시하는 테스트 모드 레지스터(118)(이하, 테스트 모드 레지스터(118.1)라고 칭함)는, 어드레스 신호 ADD0에 대응하는 레지스터 R1.0, 어드레스 신호 ADD1에 대응하는 레지스터 R1.1 및 인에이블러(enabler)(어드레스 신호 ADD7에 대응함)인 레지스터 R2를 구비한다. 레지스터 R1.0, R1.1 및 R2의 회로 구성에 대해서는, 종래에 있어서 도 25를 이용하여 설명한 바와 같다.

어드레스 신호 ADD0에 대응하는 레지스터 R1.0 및 어드레스 신호 ADD1에 대응하는 레지스터 R1.1의 각각의 입력 노드 N1에는, 리세트 신호 ZPOR1을 인가한다. 인에이블러인 레지스터 R2의 입력 노드 N1에는, 파워 온 리세트 신호 ZPOR을 인가한다.

이에 따라 이니셜라이즈 커맨드 실행 과정에 있어서, 테스트 모드 레지스터(118.1)로부터 출력되는 신호 TADD가 L 레벨, 그 반전 신호 ZTADD가 H 레벨이어서, 모두 리세트 상태로 된다. 이 결과, 후단에 배치되는 테스트 모드 디코더(119)(도 26 참조)의 출력 신호(테스트 모드 신호)는 테스트 모드 인에이블 신호 TME가 H 레벨이면, 테스트 모드 신호 TM1만이 H 레벨로 된다. 테스트 모드 신호 TM1을 NOP 신호로 설정해 놓음으로써, 리세트 신호 ZPOR1에 의해, 테스트 모드 디코더(119)는 NOP 상태(테스트 모드 비활성 상태)로 된다.

또한, 도 2에 도시하는 테스트 모드 레지스터(118)와 파워 온 리세트 신호 ZPOR 및 리세트 신호 ZPOR1의 관계의 다른 일례에 대하여, 도 5를 이용하여 설명한다.

도 5에 도시하는 테스트 모드 레지스터(이하, 테스트 모드 레지스터(118. 2)라고 칭함)에 있어서는, 레지스터 R1.0 및 R1.1의 각각의 입력 노드 N1에는, 파워 온 리세트 신호 ZPOR을 인가한다. 인에이블러인 레지스터 R2의 입력 노드 N1에는, 리세트 신호 ZPOR1을 인가한다.

이에 따라 이니셜라이즈 커맨드 실행 과정에 있어서, 테스트 모드 레지스터(118.2)로부터 출력되는 테스트 모드 인에이블 신호 TME는, 리세트(L 레벨의 비활성) 상태로 된다. 이 결과, 후단에 배치되는 테스트 모드 디코더(119)(도 26 참조)의 동작이 정지한다.

다음에, 본 발명의 실시예 1에 있어서의 동기형 반도체 기억 장치(1000)의 전원 투입후의 동작에 대하여, 타이밍차트인 도 6의 (a)~(d)를 이용하여 설명한다.

도 6에 있어서, (a)는 외부 전원 전압 EXTVDD를, (b)는 파워 온 리세트 신호 ZPOR를, (c)는 테스트 모드 인에이블 신호 TME를, (d)는 프리 차지 신호 ZPRE를 각각 나타내고 있다.

도 6의 (a)~(d)에 도시하는 바와 같이 전원 투입(시각 t0)후, 외부 전원 전압 EXTVDD의 전압 레벨이 서서히 일정 레벨로 상승하여 간다. 시각 t1에 있어서 파워 온 리세트 신호 ZPOR이 발생하지만, 전원 전압 EXTVDD의 상승이 완만한 경우, 외부 전원 전압 EXTVDD가 일정 레벨에 도달하기 전에 파워 온 리세트 신호 ZPOR은 종식한다. 이 경우, 테스트 모드 인에이블 신호 TME는 리세트되지 않고, H 레벨의 활성 상태를 유지한다.

외부 전원 전압 EXTVDD가 일정 전압 레벨에 도달한 후(시각 t2), 이니셜라이즈 커맨드가 실행된다. 프리 차지 커맨드가 입력(시각 t3)되면, L 레벨의 프리 차지 신호 ZPRE가 발생(즉, 리세트 신호 ZPOR1이 발생)한다. 테스트 모드 레지스터(118.2)를 이용한 경우, 테스트 모드 인에이블 신호 TME가 L 레벨로 하강한다(또, 테스트 모드 레지스터(118.1)를 이용한 경우, NOP 신호로 설정된 테스트 모드 신호 TM1이 H 레벨, 그 이외의 테스트 모드 신호가 모두 L 레벨로 됨). 이 결과, 테스트 모드가 리세트된다.

도 22의 (a)~(j)의 타이밍차트에서 설명한 이니셜라이즈 커맨드의 실행 순서에 의하면, 프리 차지 커맨드 입력 시점으로부터 8회의 오토 리프레쉬 커맨드 입력 완료 시점까지의 시간($t_{RP}+t_{RC} \times 8=30 \text{ ns}+80 \text{ ns} \times 8=670 \text{ ns}$)후에는 완전히 테스트 모드가 리세트가 되어 있는 것으로 된다.

따라서, 리세트되고 나서 안정한 전원 전압(설정값)에 이를 때까지 시간이 걸리는 전원계의 테스트 모드가 전원 투입시에 세트되어 있었다고 해도, 실제의 사용 시점에서는, 통상의 설정값으로 되돌아가 있는 것이 보증된다.

또, 테스트 모드를 리세트하기 위한 커맨드는 프리 차지 커맨드에 한정되지 않고, 이니셜라이즈 커맨드에 포함되는 커맨드(예를 들면, 오토 리프레쉬 커맨드, 프리 차지 올 커맨드 등)이면 어느쪽의 커맨드이더라도 좋다.

여기서, 오토 리프레쉬 커맨드를 이용하여 리세트 신호 ZPOR1을 발생하는 일례에 대하여 도 7을 이용하여 간단히 설명한다.

도 7은 오토 리프레쉬 커맨드를 이용하여 리세트 신호 ZPOR1을 발생하기 위한 회로 구성의 일례를 나타내는 회로도이다. 도 7에 도시하는 NAND 회로(29)는, 오토 리프레쉬 커맨드(내부 제어 신호 CS, RAS, CAS, ZWE가 H 레벨)를 검출하면, L 레벨의 오토 리프레쉬 신호 ZREFA를 출력한다. 리세트 신호 발생 회로(150)는 파워 온 리세트 신호 ZPOR과 오토 리프레쉬 신호 ZREFA를 입력에서 수신하여, 이들의 논리합을 출력한다. 인버터 회로(32)는 NAND 회로(31)의 출력 신호를 반전하여 리세트 신호 ZPOR1을 출력한다.

이에 따라 동기형 반도체 기억 장치(1000)는, 전원 투입후에 실시되는 이니셜라이즈 커맨드(오토 리프레쉬 커맨드)에 근거하여, 빠른 시기에 또한 확실히 테스트 모드의 리세트를 실행하는 것이 가능해진다.

또, 상기의 설명에 있어서는, 노말 모드 디코더(117)를 노말 모드 레지스터(116)의 후단에 배치하고, 테스트 모드 디코더(119)를 테스트 모드 레지스터(118)의 후단에 배치하였지만, 이것에 한정되지 않고, 노말 모드 디코더(117)의 후단에 노말 모드 레지스터(116)를 배치하며, 테스트 모드 디코더(119)의 후단에 테스트 모드 레지스터(118)를 배치하는 구성이라도 상관없다.

이 경우, 노말 모드 레지스터(116)는 노말 모드 디코더(117)에 의해 디코딩된 모드 정보(CL, BL 등)를 래치하고, 테스트 모드 레지스터(118)는 테스트 모드 디코더(119)에 의해 디코딩된 테스트 모드 정보를 래치한다.

(실시예 2)

본 발명의 실시예 2에 있어서의 동기형 반도체 기억 장치는, 파워 온 리세트 신호 ZPOR을 이용하지 않고, 이니셜라이즈 커맨드에 응답하여 테스트 모드를 리세트하는 것에 있다.

본 발명의 실시예 2에 있어서의 동기형 반도체 기억 장치(2000) 주요부의 구성의 일례에 대하여 도 8을

이용하여 설명한다.

이하의 설명에 있어서, 종래의 동기형 반도체 기억 장치(9000)와 동일한 구성 요소에는, 동일한 기호 및 부호를 부여하고, 그 설명을 생략한다.

본 발명의 실시예 2에 있어서의 동기형 반도체 기억 장치(2000)가, 실시예 1에 있어서의 동기형 반도체 기억 장치(1000)와 서로 다른 점은, 파워 온 리세트 신호 ZPOR을 이용하지 않고서, 이니셜라이즈 커맨드(예를 들면, 프리 차지 커맨드)가 입력된 것을 검출한 결과를 이용하여, 테스트 모드 레지스터(118)를 직접 리세트하는 것이다.

도 8에 도시하는 바와 같이, 프리 차지 발생 회로(105)에 포함되는 NAND 회로(30)는, 프리 차지 커맨드를 검출하면 L 레벨의 프리 차지 신호 ZPRE를 출력한다. 테스트 모드 레지스터(118)는 이 프리 차지 신호 ZPRE를 리세트 신호 ZPOR1로서 수신하고, 이것에 근거하여 리세트된다.

리세트 신호 ZPOR1에 의한 리세트 방법으로서, 본 발명의 실시예 1에서 설명한 바와 같이, 테스트 모드 인에이블 신호 TME를 L 레벨의 비활성 상태로 하는 방법과, 어드레스 신호 ADD0 및 ADD1을 리세트하는 방법이 있다.

이에 따라, 전원 투입후의 이니셜라이즈 커맨드의 실행 순서에 따르면, 동기형 반도체 기억 장치(2000)는 파워 온 리세트 신호 ZPOR에 상관없이, 빠른 시기에 또한 확실히 테스트 모드의 리세트를 실행하는 것이 가능해진다.

또, 테스트 모드를 리세트하기 위한 커맨드는, 프리 차지 커맨드에 한정되지 않고, 이니셜라이즈 커맨드에 포함되는 커맨드(예를 들면, 오토 리프레쉬 커맨드, 프리 차지 올 커맨드 등)이면 좋다.

(실시예 3)

본 발명의 실시예 3에 있어서의 동기형 반도체 기억 장치는, 실시예 1 또는 실시예 2에 대해 특정한 테스트 모드에 대해서만 이니셜라이즈 커맨드에 응답하여 리세트하는 것이다.

테스트 모드에는, 대응하는 테스트 모드를 리세트하고 나서 내부 상태가 회복할 때까지 시간이 걸리지 않는 회로계(예를 들면, 논리게 회로)에 관한 테스트 모드와, 대응하는 테스트 모드를 리세트하고 나서 내부 상태가 회복할 때까지 시간이 걸리는 회로계(예를 들면, 전원계 회로)에 관한 테스트 모드가 있다.

논리게 회로는, 대응하는 테스트 모드가 리세트된 후 통상의 동작 커맨드 등을 입력하더라도 곧 정상으로 동작한다. 그러나, 전원계 회로에 관한 테스트 모드, 특히 내부 전압(승압 전위 등)을 외부로부터 제어하는 테스트 모드 등에 잘못들어간 경우, 종래의 모드 레지스터 세트 커맨드에 의한 리세트를 실행하였다고 해도, 전압 레벨이 설정값으로 회복할 때까지 상당한 시간이 걸린다. 이 결과, 실제의 사용 시점에서, 사용 가능한 내부 상태로 회복되어 있지 않아, 오동작이 발생하는 경우가 있다.

따라서, 본 발명의 실시예 3에 있어서, 대응하는 테스트 모드를 리세트하고 나서 내부 상태가 회복할 때까지 시간이 걸리는 회로계의 테스트 모드에 대해서는, 이니셜라이즈 커맨드를 이용하여 빠른 시기에 또한 확실하게 리세트하도록 구성한다.

여기서, 본 발명의 실시예 3에 있어서의 동기형 반도체 기억 장치(3000) 주요부의 구성의 일례에 대해 도 9를 이용하여 설명한다.

이하의 설명에 있어서, 종래의 동기형 반도체 기억 장치(9000)와 동일한 구성 요소에는, 동일한 기호 및 부호를 부여하고, 그 설명을 생략한다.

동기형 반도체 기억 장치(3000)는 내부 회로(126) 및 내부 회로(127)를 포함한다. 내부 회로(126)는, 예를 들면, 대응하는 테스트 모드를 리세트하고 나서 내부 상태가 회복할 때까지 시간이 걸리지 않는 논리게 회로로 한다. 내부 회로(127)는, 예를 들면, 대응하는 테스트 모드를 리세트하고 나서 내부 상태가 회복할 때까지 시간이 걸리는 전원계 회로로 한다.

리세트 신호 발생 회로(150)는, 프리 차지 발생 회로(105)로부터 수신하는 프리 차지 신호 ZPRE와 종래의 파워 온 리세트 신호 ZPOR의 논리합에 근거하여 리세트 신호 ZPOR1을 출력한다.

리세트 신호 ZPOR1은 테스트 모드 설정 회로(125)로부터 출력되는 내부 회로(127)에 대한 테스트 모드 TM2를 리세트하기 위해 이용한다. 또한, 파워 온 리세트 신호 ZPOR은 테스트 모드 설정 회로(125)로부터 출력되는 내부 회로(126)에 대한 테스트 모드 TM1을 리세트하기 위해 이용한다.

일례로서, 예를 들면, 테스트 모드 인에이블 신호 TME를 출력하는 레지스터를 2개 마련한다. 한쪽의 레지스터에는 파워 온 리세트 신호 ZPOR을 인가한다. 그리고 이 레지스터로부터 출력되는 테스트 인에이블 신호에 의해, 테스트 모드 신호 TM1을 출력하는 디코더 부분이 리세트되도록 구성한다. 다른쪽의 레지스터에는 리세트 신호 ZPOR1을 인가한다. 그리고 이 레지스터로부터 출력되는 테스트 인에이블 신호에 의해, 테스트 모드 신호 TM2를 출력하는 디코더 부분이 리세트되도록 구성한다.

이 결과, 전원 투입후 곧바로 파워 온 리세트 신호 ZPOR이 종식하고, 또한 잘못되어 테스트 모드가 설정된 경우에 있어서도, 내부 회로(127)에 대한 테스트 모드 신호 TM2는, 이니셜라이즈 커맨드 실행 과정에서 확실하게 리세트된다. 또한, 내부 회로(126)에 대한 테스트 모드 신호 TM1은, 파워 온 리세트 신호 ZPOR 또는 모드 레지스터 세트 커맨드에 의해 리세트된다. 또, 내부 회로(127)에는 전원계 회로에 한정되지 않고, 대응하는 테스트 모드가 리세트되고 나서 내부 상태가 회복할 때까지 시간이 걸리는 논리게 회로도 포함된다. 예를 들면, 워드선의 활성을 테스트 모드에 의해 실행하고 있는 경우, 활성 상태로 된 후 비활성 상태로 되기 위해서는 통상 20 ns 내지 30 ns의 시간이 필요로 되기 때문에, 모드 레지스터 세트 커맨드 입력후 20 ns 기간내에서 액트 커맨드를 실행하면 오동작할 우려가 있다. 따라서, 이와 같은 테스트 모드도, 프리 차지 커맨드에 근거하는 리세트 신호 ZPOR1을 이용하여 리세트한다. 이 결과, 동기형 반도체 기억 장치(3000)는 모드 레지스터 세트 커맨드 종료후, 신속하게 실제의 사용 가능한 상태로 된다.

또, 테스트 모드를 리셋하기 위한 커맨드는, 프리 차지 커맨드에 한정되지 않고, 이니셜라이즈 커맨드에 포함되는 커맨드(예를 들면, 오토 리프레쉬 커맨드, 프리 차지 올 커맨드 등)이면 어느쪽의 커맨드이더라도 좋다.

(실시예 4)

본 발명의 실시예 4에 있어서의 동기형 반도체 기억 장치(4000) 주요부의 구성의 일례에 대하여, 도 10을 이용하여 설명한다.

이하의 설명에 있어서, 종래의 동기형 반도체 기억 장치(9000)와 동일한 구성 요소에는, 동일한 기호 및 부호를 부여하고, 그 설명을 생략한다.

실시예 1 내지 실시예 3에 있어서는, 파워 온 리세트 신호 ZPOR 또는 이니셜라이즈 커맨드에 응답하여 테스트 모드 설정 회로(125)를 리세트하였지만, 본 발명의 실시예 4에 있어서의 동기형 반도체 기억 장치(4000)에서는, 특정한 내부 회로(도 10에 있어서, 내부 회로(129))에 대해서만, 이니셜라이즈 커맨드에 응답하여 테스트 모드 신호를 리세트하여 인가한다.

도 10에 도시하는 동기형 반도체 기억 장치(4000)는, 테스트 모드 설정 회로(125), 리세트 신호 발생 회로(150), 내부 회로(128 및 129) 및 래치 회로(130)를 포함한다.

리세트 신호 발생 회로(150)는 파워 온 리세트 신호 ZPOR 및 리세트 신호 ZPOR1을 출력한다. 상술한 바와 같이, 리세트 신호 발생 회로(150)는 파워 온 리세트 신호 ZPOR과 이니셜라이즈 커맨드에 대응하는 신호(예를 들면, 도 10에 도시하는 바와 같이 프리 차지 신호 ZPRE)의 논리합에 근거하여 리세트 신호 ZPOR1을 생성한다.

테스트 모드 설정 회로(125)는 파워 온 리세트 신호 ZPOR에 근거하여 리세트된다. 래치 회로(130)는 테스트 모드 설정 회로(125)로부터 테스트 모드 신호 TM을 수신하고 래치하여 출력한다. 래치 회로(130)는 리세트 신호 발생 회로(150)로부터 리세트 신호 ZPOR1을 수신한 경우에는, 테스트 모드 신호 TM을 리세트(비활성 상태)하여 출력한다.

내부 회로(129)는 래치 회로(130)를 거쳐 테스트 모드 신호 TM을 수신한다. 한편, 내부 회로(128)는 테스트 모드 설정 회로(125)로부터 직접 테스트 모드 신호 TM을 수신한다.

내부 회로(128)의 구체예로서는, 테스트 모드를 리세트하고 나서 내부 상태가 회복되는데 시간이 걸리지 않는 논리게 회로를 들 수 있다. 또한 내부 회로(129)의 구체예로서는, 테스트 모드를 리세트하고 나서 내부 상태가 회복되는데 시간이 걸리는 전원계 또는 논리게 회로를 들 수 있다.

이와 같이 구성함으로써, 전원 투입후의 파워 온 리세트 신호 ZPOR에 의한 리세트가 불충분해서, 잘못되어 테스트 모드가 설정된 경우에서도, 이니셜라이즈 커맨드(도면에 있어서는 프리 차지 신호 ZPRE) 실행 과정에서, 내부 회로(129)는 테스트 모드로부터 빠져나오는 것이 가능해진다.

내부 회로(128)에 입력되는 테스트 모드 신호 TM은, 파워 온 리세트 신호 ZPOR 또는 모드 레지스터 세트 커맨드에 의해 반드시 리세트된다.

이 때문에, 동기형 반도체 기억 장치(4000)는 모드 레지스터 세트 커맨드 종료후, 신속하게 실제의 사용 가능한 상태로 된다.

또, 테스트 모드를 리세트하기 위한 커맨드는, 프리 차지 커맨드에 한정되지 않고, 이니셜라이즈 커맨드에 포함되는 커맨드(예를 들면, 오토 리프레쉬 커맨드, 프리 차지 올 커맨드 등)이면 어느쪽의 커맨드이더라도 좋다.

(실시예 5)

실시예 1 내지 실시예 4에 있어서의 동기형 반도체 기억 장치(1000, ..., 4000)에서는, 이니셜라이즈 커맨드에 포함되는 프리 차지 커맨드(일례)를 이용하여 테스트 모드를 리세트하는 회로에 대하여 설명하였다. 그러나, 이와 같이 구성하면, 테스트 모드에 있어서 프리 차지 커맨드를 실행할 수가 없다(실행하면, 테스트 모드로부터 빠져나간다)고 하는 문제가 발생한다.

그래서, 본 발명의 실시예 5에 있어서의 동기형 반도체 기억 장치에 있어서는, 테스트 모드에 있어서, 특정한 커맨드를 리세트 신호를 발생시키는 커맨드(예를 들면, 프리 차지 커맨드)로 변환하여 사용하는 것을 가능하게 한다. 이 결과, 이니셜라이즈 커맨드에 있어서 테스트 모드를 리세트함과 동시에, 테스트 모드에 있어서도 프리 차지 커맨드를 처음으로 하는 이니셜라이즈 커맨드를 실행할 수 있다.

본 발명의 실시예 5에 있어서의 동기형 반도체 기억 장치(5000) 주요부의 구성에 대해 도 11을 이용하여 설명한다.

본 발명의 실시예 5에 있어서의 동기형 반도체 기억 장치(5000)는, 커맨드 디코더(50)를 구비한다. 커맨드 디코더(50)는 NAND 회로(36, 37, 38, 39 및 40), NOR 회로(41, 42 및 43), 인버터 회로(44, 45, 46 및 47), AND 회로(48) 및 NOR 회로(49)를 구비한다.

도 11에 있어서, 반전 어드레스 신호 ZADD0은 어드레스 신호 ADD0에 대응하는 역상의 신호이다. 반전 어드레스 신호 ZADD1은 어드레스 신호 ADD1에 대응하는 역상의 신호이다.

NAND 회로(40)는 버스트 터미네이트 커맨드(burst terminate command)(내부 제어 신호 CS, ZRAS, ZCAS 및 WE 모두가 H 레벨)를 검출하면, L 레벨의 신호를 출력한다.

NAND 회로(36, 37, 38 및 39) 각각의 제 3 입력 노드는, 도시하지 않은 테스트 모드 레지스터로부터 테스트 모드 인에이블 신호 TME를 수신한다. 또 상술한 바와 같이, 테스트 모드 인에이블 신호 TME는, 노말 모드(테스트 모드 이외)에 있어서는 L 레벨의 비활성 상태이고, 테스트 모드에 있어서는 H 레벨의 활성 상태이다.

NAND 회로(36)의 제 1 입력 노드는 반전 어드레스 신호 ZADD0을 수신하고, 제 2 입력 노드는 반전 어드레스 신호 ZADD1을 수신한다. NAND 회로(37)의 제 1 입력 노드는 어드레스 신호 ADD0을 수신하고, 제 2 입력 노드는 반전 어드레스 신호 ZADD1을 수신한다. NAND 회로(38)의 제 1 입력 노드는 반전 어드레스 신호 ZADD0을 수신하고, 제 2 입력 노드는 어드레스 신호 ADD1을 수신한다. NAND 회로(39)의 제 1 입력 노드는 어드레스 신호 ADD0을 수신하고, 제 2 입력 노드는 어드레스 신호 ADD1을 수신한다.

NOR 회로(41, 42 및 43) 각각의 제 1 입력 노드는 NAND 회로(40)의 출력 신호를 수신한다. NOR 회로(41)의 제 2 입력 노드는 NAND 회로(37)의 출력 신호를 수신한다. NOR 회로(42)의 제 2 입력 노드는 NAND 회로(38)의 출력 신호를 수신한다. NOR 회로(43)의 제 2 입력 노드는 NAND 회로(39)의 출력 신호를 수신한다.

인버터 회로(45)는 NOR 회로(41)의 출력 신호를 반전하여 커맨드 신호 ZCMD1을 출력한다. 인버터 회로(46)는 NOR 회로(42)의 출력 신호를 반전하여 커맨드 신호 ZCMD2를 출력한다. 인버터 회로(47)는 NOR 회로(43)의 출력 신호를 반전하여 커맨드 신호 ZCMD3을 출력한다.

AND 회로(48)의 제 1 입력 노드는 테스트 모드 인에이블 신호 TME를 수신하고, 제 2 입력 노드는 NAND 회로(36)의 출력 신호를 수신한다. NOR 회로(49)의 제 1 입력 노드는 NAND 회로(40)의 출력 신호를 수신하고, 제 2 입력 노드는 AND 회로(48)의 출력 신호를 수신한다. 인버터 회로(44)는 NOR 회로(49)의 출력 신호를 반전하여, 커맨드 신호 ZCMD0을 출력한다.

동기형 반도체 기억 장치(5000)는 또한, NAND 회로(34) 및 인버터 회로(35)를 포함한다. NAND 회로(34)는 제 1 입력 노드에서 커맨드 디코더(50)로부터 출력되는 커맨드 신호 ZCMD1을 수신한다. 또한, NAND 회로(34)의 제 2 입력 노드는 프리 차지 커맨드를 검출하는 NAND 회로(30)의 출력 신호를 수신한다. NAND 회로(30)의 출력 신호는 또한 리세트 신호 발생 회로(150)에 입력된다. 인버터 회로(35)는 NAND 회로(34)의 출력 신호를 반전하여 프리 차지 신호 ZPRE로서 출력한다. 도시하지 않은 뱅크는 인버터 회로(35)로부터 출력되는 프리 차지 신호 ZPRE에 응답하여, 프리 차지된다.

도 11에 도시하는 동기형 반도체 기억 장치(5000)의 동작에 대하여 간단히 설명한다.

테스트 모드에 있어서는, 커맨드 디코더(50)는 어드레스 신호 ADD0 및 ADD1의 조합에 따라, 버스트 터미네이트 커맨드를 커맨드 신호 ZCMD0, ..., ZCMD3중 어느 하나에 디코드하는 것이 가능해진다.

L 레벨의 커맨드 신호 ZCMD1이 발생함으로써, 내부적으로는, 프리 차지 커맨드가 입력된 것이 지정된다. 또한, L 레벨의 커맨드 신호 ZCMD0이 발생함으로써, 내부적으로는, 버스트 터미네이트 커맨드가 입력된 것이 지정된다.

예를 들면, 테스트 모드에 있어서 어드레스 신호 ADD0 및 ADD1이 모두 L 레벨인 시점에서, 버스트 터미네이트 커맨드가 입력되면, 커맨드 디코더(50)로부터는, L 레벨의 커맨드 신호 ZCMD0이 출력된다.

또한, 어드레스 신호 ADD0이 H 레벨이고 또한 어드레스 신호 ADD1이 L 레벨인 경우에, 버스트 터미네이트 커맨드가 입력되면, L 레벨의 커맨드 신호 ZCMD1이 출력된다. 이 경우, 인버터 회로(35)로부터 L 레벨의 프리 차지 신호 ZPRE가 출력된다. 한편, NAND 회로(30)의 출력 신호는 H 레벨이기 때문에, 프리 차지 커맨드에 응답한 리세트 신호는 출력되지 않는다. 이 때문에, 프리 차지 커맨드만이 실행되고, 테스트 모드의 리세트는 실행되지 않는다.

또, 노말 모드에 있어서는, 커맨드 디코더(50)는 버스트 터미네이트 커맨드를 수신하면, L 레벨의 커맨드 신호 ZCMD0을 출력한다.

이 결과, 테스트 모드에 있어서의 프리 차지 커맨드의 실행이 보증되고, 또한 노말 모드에 있어서는, 이니셜라이즈 커맨드에 따라, 테스트 모드는 조기에 또한 확실하게 리세트된다.

또, 상기의 설명에 있어서는, 버스트 터미네이트 커맨드를 어드레스 신호의 조합에 의해 변환(리세트)하는 구성으로 되어 있지만, 어드레스 신호를 ADD0 및 ADD1에 한정하는 것은 아니다.

또한, 조합을 실현하기 위해 예를 들면 외부 제어 신호 DQM도 CKE도 사용하는 것은 가능하다. 또한, 버스트 터미네이트 커맨드로 제한되는 것은 아니고, 예를 들면 셀프 리프래쉬 엔트리 커맨드에 대하여 마찬가지로 명령의 디코드를 실행하는 것도 가능하다. 또한 액트 커맨드에 대하여도 어드레스 신호의 조합이나 외부 제어 신호 DQM 등의 조합에 의해 명령을 다르게 디코드하는 것이 용이하다.

또한, 반드시 2개 이상의 신호로 디코드할 필요는 없고, 예를 들면 테스트 모드에 있어서 버스트 터미네이트 커맨드를 그대로 프리 차지 커맨드로서 간주하는 것도 가능하다.

(실시예 6)

실시예 1 내지 실시예 5에 있어서의 동기형 반도체 기억 장치(1000, ..., 5000)에서는, 모드 레지스터 세트 커맨드와 어드레스 신호의 조합에 의해, 노말 모드 또는 테스트 모드가 설정되는 회로에 대하여 설명하였다.

이것에 대하여, 본 발명의 실시예 6의 동기형 반도체 기억 장치는, 통상 동작시에 사용하지 않는 고전압 조건(슈퍼 VIH 조건)만 특수한 테스트 모드에 들어 가는 것을 가능하게 함으로써, 이에 따라, 사용자가 잘못되어 특수한 테스트 모드(특히 리세트에 시간이 걸리는 테스트)에 들어갈 가능성을 극히 낮게 할 수 있다.

또, 통상 VIH 레벨로부터 슈퍼 VIH 레벨로, 또한 슈퍼 VIH 레벨로부터 통상의 VIH 레벨로 전압을 변화시키기 위해서는, 수백 ms(microsecond) 시간이 필요로 되고, 모든 특수 테스트 모드로 들어가기 위해 슈퍼 VIH 조건을 부과하면, 출하 테스트에 시간이 걸린다.

따라서 테스트의 효율화를 고려하면, 본 발명의 실시예 6에 있어서는, 모드 레지스터 세트 커맨드에 의해 용이하게 리세트할 수 있는 테스트 모드는, 통상과 같이 모드 레지스터 세트 커맨드와 어드레스 신호

ADD7로 세트를 행하여, 리세트에 시간이 걸리는 특수한 테스트 모드(예를 들면, 전원계 회로에 대한 테스트)는, 슈퍼 VIH 조건을 만족할 때 세트되도록 구성된다. 이에 따라, 실제의 사용시에 리세트에 시간이 걸리는 특수 테스트 모드에 용이하게 들어갈 수 없게 된다. 또한, 출하 테스트에서는, 필요한 시간을 단축할 수 있다.

본 발명의 실시예 6에 있어서의 동기형 반도체 기억 장치(6000) 주요부의 구성의 일례에 대하여, 도 12를 이용하여 설명한다.

이하의 설명에 있어서, 종래의 동기형 반도체 기억 장치(9000)와 동일한 구성 요소에는, 동일한 기호 및 동일한 부호를 부여하고, 그 설명을 생략한다.

도 12에 도시하는 바와 같이 동기형 반도체 기억 장치(6000)는, 테스트 모드 레지스터(140) 및 테스트 모드 디코더(142)를 포함한다. 테스트 모드 레지스터(140)는 어드레스 신호 ADD0, ADD1 및 ADD7, 테스트 모드 세트 신호 STM 및 그 반전 신호 ZSTM을 수신한다. 또한, 테스트 모드 디코더(142)는 입력 패드 P1과 접속된다. 테스트 모드 레지스터(140)는 신호 TADD, ZTADD, 테스트 모드 인에이블 신호 TME 및 특수 테스트 모드 인에이블 신호 TSVE를 출력한다.

테스트 모드 디코더(142)는 테스트 모드 인에이블 신호 TME 또는 특수 테스트 모드 인에이블 신호 TSVE에 근거하여 인에이블 상태로 되고, 테스트 모드 레지스터(140)로부터 출력되는 신호 TADD 및 그 반전 신호 ZTADD에 응답하여, 테스트 모드 신호 TM1, TM2, ...을 출력한다.

다음에, 도 12에 도시하는 테스트 모드 레지스터(140)의 구성 및 입출력 관계의 일례에 대하여, 도 13을 이용하여 설명한다.

도 13에 도시하는 테스트 모드 레지스터(140)는, 어드레스 신호 ADD0에 대응하는 레지스터 R1.0, 어드레스 신호 ADD1에 대응하는 레지스터 R1.1, 제 1 인에이블러(enabler)인(어드레스 신호 ADD7에 대응) 레지스터 R2 및 제 2 인에이블러인(어드레스 신호 ADD7과 입력 패드 P1에 대응) 레지스터 R3을 포함한다. 레지스터 R1.0, R1.1 및 R2의 회로 구성은, 각각 종래 예에서 도 25를 이용하여 설명한 바와 같다.

다음에 도 13에 도시하는 레지스터 R3의 회로 구성과 입출력 관계에 대하여, 도 14를 이용하여 설명한다.

도 14에 도시하는 레지스터 R3은, N 채널형 MOS 트랜지스터 T2, T3, T4, T5 및 T6, NAND 회로(55), 게이트 회로(56) 및 인버터 회로(57, 58 및 59)를 포함한다.

트랜지스터 T2, T3, T4 및 T5는 입력 패드 P1과 노드 Z3 사이에 직렬로 접속된다. 트랜지스터 T6은 노드 Z3과 접지 전위 GND 사이에 접속된다. 트랜지스터 T6의 게이트 전극은 입력 노드 N11과 접속된다. 트랜지스터 T5의 게이트 전극은 입력 노드 N14와 접속된다.

NAND 회로(55)는 입력 노드 N12로부터의 입력 신호 및 노드 Z3의 신호를 수신하여, 노드 Z4에 신호를 출력한다. 인버터 회로(57)는 노드 Z4의 출력 신호를 반전하여 출력한다. 게이트 회로(56)는 입력 노드 N13 및 N14의 신호에 응답하여, 인버터 회로(57)의 출력 신호를 반전하여 노드 Z4에 출력한다. 인버터 회로(58)는 인버터 회로(57)의 출력 신호를 반전하여 인버터 회로(59)에 출력한다. 인버터 회로(59)는 인버터 회로(58)의 출력 신호를 반전하여 출력 노드 N15에 출력한다.

구체적으로, 도 14에 도시하는 바와 같이 테스트 모드 레지스터(140)에 있어서는, 노드 N11에 기준 전압 VREF를 인가하고, 입력 노드 N12에 어드레스 신호 ADD7을 인가한다. 또한, 입력 노드 N13에 반전 테스트 모드 세트 신호 ZSTM을 인가하고, 입력 노드 N14에 테스트 모드 세트 신호 STM을 인가한다. 출력 노드 N15로부터는 특수 테스트 인에이블 신호 TSVE가 출력된다.

다음에, 도 12에 도시하는 테스트 모드 디코더(142)의 회로 구성의 일례에 대하여 도 15를 이용하여 설명한다.

도 15에 있어서는, 테스트 모드 디코더(142)에 포함되는 신호 TADD0에 대응하는 디코더 D1의 구성과 입출력 관계가 도시되어 있다.

디코더 D1은 NAND 회로(64 및 65) 및 인버터 회로(62 및 63)를 포함한다. NAND 회로(64)는 입력 노드 N21 및 N22의 각각으로부터 신호를 수신하여, 인버터 회로(62)에 출력한다. 인버터 회로(62)는 이 신호를 반전하여 출력 노드 N24에 출력한다. NAND 회로(65)는 입력 노드 N21 및 N23의 각각으로부터 신호를 수신하여, 인버터 회로(63)에 신호를 출력한다. 인버터 회로(63)는 이 신호를 반전하여 출력 노드 N25에 출력한다.

디코더 D1은 또한, NAND 회로(69 및 70) 및 인버터 회로(67 및 68)를 포함한다. NAND 회로(69)는 입력 노드 N26 및 N27의 각각으로부터 신호를 수신하여, 인버터 회로(67)에 출력한다. 인버터 회로(67)는 이 신호를 반전하여 출력 노드 N29에 출력한다. NAND 회로(70)는 입력 노드 N26 및 N28의 각각으로부터 신호를 수신하여, 인버터 회로(68)에 신호를 출력한다. 인버터 회로(68)는 이 신호를 반전하여 출력 노드 N30에 출력한다.

구체적으로, 도 15에 도시하는 바와 같이 신호 TADD0에 대응하는 디코더 D1에 있어서는, 입력 노드 N22 및 N27에 신호 TADD0을 인가하고, 입력 노드 N23 및 N28에 신호 ZTADD0을 인가하며, 또한 입력 노드 N21에 테스트 모드 인에이블 신호 TME를 인가한다. 테스트 모드 인에이블 신호 TME가 H 레벨이면, 출력 노드 N24로부터 테스트 모드 신호 TM1이, 또는 출력 노드 N25로부터 테스트 모드 신호 TM2가 출력된다.

또한 입력 노드 N26에는 특수 테스트 모드 인에이블 신호 TSVE를 인가한다. 특수 테스트 모드 인에이블 신호 TSVE가 H 레벨이면, 출력 노드 N29으로부터 테스트 모드 신호 TM3이, 또는 출력 노드 N30으로부터 테스트 모드 신호 TM4가 출력된다.

또, 신호 TADD1에 대응하는 디코더는 디코더 D1과 마찬가지로의 회로 구성으로서, 입력 노드 N22 및 N27에 신호 TADD1을 인가하고, 입력 노드 N23 및 N28에 신호 ZTADD1을 인가하며, 또한 입력 노드 N21에 테스트 모드 인에이블 신호 TME를 인가한다. 테스트 모드 인에이블 신호 TME가 H 레벨이면, 출력 노드 N24 또는

출력 노드 N25로부터 대응하는 테스트 모드 신호가 출력된다.

또한 입력 노드 N26에는 특수 테스트 모드 인에이블 신호 TSVE를 인가한다. 특수 테스트 모드 인에이블 신호 TSVE가 H 레벨이면, 출력 노드 N29로부터 또는 출력 노드 N30으로부터 대응하는 테스트 모드 신호가 출력된다.

다음에, 도 12에 나타내는 동기형 반도체 기억 장치(6000)의 동작에 대하여, 타이밍차트인 도 16의 (a)~(p)를 이용하여 설명한다.

도 16에 있어서, (a)는 내부 클럭 신호 CLK를, (b)는 내부 제어 신호 CS를, (c)는 내부 제어 신호 RAS를, (d)는 내부 제어 신호 CAS를, (e)는 내부 제어 신호 WE를 각각 나타낸다. 또한, (f)는 어드레스 신호 ADD7을, (g)는 어드레스 신호 ADD0을, (h)는 입력 패드 P1의 전압 레벨을, (i)는 파워 온 리셋 신호 ZPOR을, (j)는 기준 전압 VREF를 각각 나타낸다. 또한, (k)는 테스트 모드 세트 신호 STM을, (l)은 테스트 모드 인에이블 신호 TME를, (m)은 신호 TADD0을, (n)은 특수 테스트 모드 인에이블 신호 TSVE를, (o)는 테스트 모드 신호 TM1, (p)는 테스트 모드 신호 TM3을 각각 나타내고 있다. 또, 이하의 설명에 있어서는, 어드레스 신호 ADD0이 H 레벨, 어드레스 신호 ADD1이 L 레벨인 경우를 상정하여 설명한다.

우선, 모드 레지스터 세트 커맨드와 H 레벨의 어드레스 신호 ADD7에 응답하여, 테스트 모드로 들어가는 동작에 대하여 설명한다.

시각 t1에 있어서, 모드 레지스터 세트 커맨드(내부 제어 신호 CS, RAS, CAS, WE가 모두 H 레벨)가 입력 되면, 테스트 모드 세트 신호 STM0이 H 레벨로 된다.

이 시점에서 어드레스 신호 ADD7이 H 레벨이기 때문에, 레지스터 R2로부터 H 레벨의 테스트 모드 인에이블 신호 TME가 출력된다. 디코더 D1은 H 레벨의 테스트 모드 인에이블 신호 TME와 H 레벨의 신호 TADD0을 수신하여, H 레벨의 테스트 모드 신호 TM1을 출력(선택)한다. 또, 다음 모드 레지스터 세트 커맨드가 입력될 때까지 테스트 모드 레지스터의 내용은 래치되고 있다.

다음에, 입력 패드 P1에 입력되는 고전압(슈퍼 VIH)에 응답하여, 특수 테스트 모드로 들어가는 경우에 대하여 설명한다.

모드 레지스터 세트 커맨드를 입력함과 동시에, 입력 패드 P1에 슈퍼 VIH(고전압)를 인가한다. 이에 따라, 레지스터 R3으로부터, H 레벨의 특수 테스트 모드 인에이블 신호 TSVE가 출력된다.

디코더 D1은 H 레벨의 특수 테스트 모드 인에이블 신호 TSVE와 H 레벨의 신호 TADD0을 수신하여, 테스트 모드 신호 TM3을 선택하고, 그 대신에, 테스트 모드 신호 TM1을 비선택 상태로 한다.

이와 같이, 본 발명의 실시예 6에 있어서의 동기형 반도체 기억 장치(6000)는, 모드 레지스터 세트 커맨드와 어드레스 신호에 근거하여 테스트 모드(예를 들면, 테스트 모드 신호 TM1, TM2에 대응)에 들어가고, 또한 슈퍼 VIH 조건이 만족된 경우에는, 특수 테스트 모드(예를 들면, 테스트 모드 신호 TM3, TM4에 대응)에 들어가는 것이 가능해진다. 이 결과, 사용자가 잘못되어 특수한 테스트 모드(특히 리셋에 시간이 걸리는 테스트)에 들어갈 가능성을 극히 낮게 할 수 있다.

(실시예 7)

본 발명의 실시예 7에 있어서의 동기형 반도체 기억 장치는, 고전원 전압이 인가되는 입력 패드를 복수개 갖고, 이 조합에 의해 특수한 테스트 모드에 들어가는 것을 가능하게 하는 것이다. 이에 따라, 슈퍼 VIH 조건의 조합에 의해 다양한 테스트 모드가 실시됨과 동시에, 실제의 사용시에 있어서는 잘못되어 테스트 모드로 들어가는 오동작을 감소시킬 수 있다.

본 발명의 실시예 7에 있어서의 동기형 반도체 기억 장치(7000)의 전체 구성에 대하여, 도 17을 이용하여 설명한다.

종래의 동기형 반도체 기억 장치(9000)와 동일한 구성 요소에는, 동일한 기호 및 부호를 부여하고, 그 설명을 생략한다.

도 17에 도시하는 동기형 반도체 기억 장치(7000)는, 테스트 모드 레지스터(143) 및 테스트 모드 디코더(145)를 포함한다.

테스트 모드 레지스터(143)는 실시예 6에 있어서의 테스트 모드 레지스터(140)와 달리, 입력 패드 P1 및 P2 각각의 신호에 응답하여, 제 1 특수 테스트 모드 인에이블 신호 TSVE1 및 제 2 특수 테스트 모드 인에이블 신호 TSVE2를 출력한다.

다음에, 도 17에 도시하는 테스트 모드 레지스터(143)의 구성 및 입출력 관계에 대하여 도 18을 이용하여 설명한다.

도 18은 도 17에 도시하는 테스트 모드 레지스터(143)의 구성 및 입출력 관계를 나타내는 도면이다. 도 18에 도시하는 테스트 모드 레지스터(143)는, 어드레스 신호 ADD0에 대응하는 레지스터 R1.0, 어드레스 신호 ADD1에 대응하는 레지스터 R1.1, 제 1 인에이블러인(어드레스 신호 ADD7 및 입력 패드 P1에 대응) 레지스터 R3.1 및 제 2 인에이블러인(어드레스 신호 ADD7 및 입력 패드 P2에 대응) 레지스터 R3.2를 포함한다.

레지스터 R3.1 및 R3.2는 도 14에 도시하는 레지스터 R3이고, 입력 노드 N11에서 기준 전압 VREF를, 입력 노드 N12에서 어드레스 신호 ADD7를, 입력 노드 N13에서 반전 테스트 모드 세트 신호 ZSTM을, 또한 입력 노드 N14에서 테스트 모드 세트 신호 STM을 수신한다.

레지스터 R3.1은 입력 패드 P1로부터 신호를 수신한다. 레지스터 R3.1의 출력 노드 N15로부터는 제 1 특수 테스트 모드 인에이블 신호 TSVE1이 출력된다.

레지스터 R3.2는 입력 패드 P2로부터 신호를 수신한다. 레지스터 R3.2의 출력 노드 N15로부터는 제 2 특

수 테스트 모드 인에이블 신호 TSVE2가 출력된다.

다음에, 도 17에 도시하는 테스트 모드 디코더(145)의 구성 및 입출력 관계에 대하여, 도 19를 이용하여 설명한다.

도 19는 도 17에 도시하는 테스트 모드 디코더(145)에 포함되는 디코더 D2의 구성 및 입출력 관계를 나타내는 도면이다. 도 19에 있어서는, 신호 TADD0에 대응하는 디코더 D2의 구성과 입출력 관계가 도시되어 있다.

디코더 D2는 NAND 회로(70, 71, 72, 80, 81 및 82) 및 인버터 회로(73, 74, 75, 76, 77, 83, 84, 85, 86 및 87)를 포함한다.

NAND 회로(70)는 입력 노드 N40, N41 및 N42의 각각으로부터 신호를 수신하여, 인버터 회로(75)에 신호를 출력한다. 인버터 회로(75)는 이 신호를 반전하여 출력 노드 N43에 출력한다. NAND 회로(71)는 입력 노드 N40의 신호와, 입력 노드 N41의 신호를 인버터 회로(73)에서 반전한 신호와, 입력 노드 N42의 신호를 수신하여, 인버터 회로(76)에 신호를 출력한다. 인버터 회로(76)는 이 신호를 반전하여 출력 노드 N44에 출력한다. NAND 회로(72)는 입력 노드 N40 및 N41의 각각으로부터 수신하는 신호와, 입력 노드 N42로부터 수신하는 신호를 인버터 회로(74)에서 반전한 신호를 수신하여, 인버터 회로(77)에 신호를 출력한다. 인버터 회로(77)는 이 신호를 반전하여 출력 노드 N45에 출력한다.

NAND 회로(80)는 입력 노드 N50, N51 및 N52의 각각으로부터 신호를 수신하여, 인버터 회로(85)에 출력한다. 인버터 회로(85)는 이 신호를 반전하여 출력 노드 N53에 출력한다. NAND 회로(81)는 입력 노드 N50 및 N52의 신호를 수신하고, 입력 노드 N51의 신호를 인버터 회로(83)에서 반전한 신호를 수신한다. 인버터 회로(86)는 NAND 회로(81)의 출력 신호를 반전하여 출력 노드 N54에 출력한다. NAND 회로(82)는 입력 노드 N50 및 N51의 각각으로부터 신호를 수신하고, 입력 노드 N52의 신호를 인버터 회로(84)에서 반전한 신호를 수신한다. 인버터 회로(87)는 NAND 회로(82)의 출력 신호를 반전하여 출력 노드 N55에 출력한다. 신호 TADD1에 대응하는 디코더는 디코더 D2와 동일한 회로 구성이다.

신호 TADDi(단, i=0, 1중 어느 하나)에 대응하는 디코더 D2는 입력 노드 N41에서 신호 TADDi를 수신하고, 입력 노드 N41 및 N51에서 제 1 특수 테스트 모드 인에이블 신호 TSVE1을 수신하며, 입력 노드 N42 및 N52에서 제 2 특수 테스트 모드 인에이블 신호 TSVE2를 수신한다. 또한, 입력 노드 N50에서 반전 신호 ZTADDi를 수신한다.

신호 TADD0에 대응하는 디코더 D2는, 출력 노드 N43으로부터는 테스트 모드 신호 TM1이, 출력 노드 N44로부터는 테스트 모드 신호 TM2가, 출력 노드 N45로부터는 테스트 모드 신호 TM3이, 출력 노드 N53으로부터는 테스트 모드 신호 TM4가, 출력 노드 N54로부터는 테스트 모드 신호 TM5가, 출력 노드 N55로부터는 테스트 모드 신호 TM6이 출력된다.

어드레스 신호 ADD1에 대응하는 디코더로부터는, 신호 TADD1, 반전 신호 ZTADD1 및 특수 테스트 모드 신호 TSVE1 및 TSVE2에 응답하여, 대응하는 테스트 모드 신호를 출력한다.

다음에, 도 17에 도시하는 본 발명의 실시예 7에 있어서의 동기형 반도체 기억 장치(7000)의 동작에 대하여 타이밍차트인 도 20의 (a)~(q)를 이용하여 설명한다.

도 20에 있어서, (a)는 내부 클럭 신호 CLK를, (b)는 내부 제어 신호 CS를, (c)는 내부 제어 신호 RAS를, (d)는 내부 제어 신호 CAS를, (e)는 내부 제어 신호 WE를, (f)는 어드레스 신호 ADD7을, (g)는 어드레스 신호 ADD0을, (h)는 입력 패드 P1의 전압 레벨을, (i)는 입력 패드 P2의 전압 레벨을 각각 나타내고 있다. 또한, (j)는 파워 온 리셋 신호 ZPOR을, (k)는 기준 전압 VREF를, (l)은 테스트 모드 세트 신호 STM을, (m)은 제 1 특수 테스트 모드 인에이블 신호 TSVE1을, (n)은 신호 TADD0을, (o)는 제 2 특수 테스트 모드 인에이블 신호 TSVE2를, (p)는 테스트 모드 신호 TM3을, (q)는 테스트 모드 신호 TM2를 각각 나타내고 있다.

시각 t0에 있어서, 모드 레지스터 세트 커맨드 MRS가 입력된 시점에서 어드레스 신호 ADD7가 H 레벨이고 또한 입력 패드 P1에 슈퍼 VIH 레벨의 전압을 인가한다. 이에 따라, 제 1 특수 테스트 모드 인에이블 신호 TSVE1이 H 레벨로 된다. 신호 TADD0과의 조합에 의해, 테스트 모드 신호 TM3이 선택된다.

시각 t1에 있어서, 다시 모드 레지스터 세트 커맨드 MRS를 입력한다. 이 시점에서 어드레스 신호 ADD7 및 어드레스 신호 ADD0을 모두 H 레벨로 놓고, 동시에 입력 패드 P2에 슈퍼 VIH 레벨의 전압을 인가한다.

이 경우, 제 1 테스트 모드 인에이블 신호 TSVE1이 L 레벨로 되고, 또한 제 2 특수 테스트 모드 인에이블 신호 TSVE2가 H 레벨로 된다. 이에 따라, 신호 TADD0과의 조합에 의해, 테스트 모드 신호 TM2가 선택되는 대신에, 테스트 모드 신호 TM3이 비선택 상태로 된다.

이와 같이, 복수의 슈퍼 VIH 입력 패드를 이용함으로써, 어드레스 신호의 조합을 적게 할 수 있다. 또한, 슈퍼 VIH 조건을 사용하기 때문에, 잘못되어 사용자가 테스트 모드에 들어 갈 가능성이 감소한다.

발명의 효과

본 발명에 관한 동기형 반도체 기억 장치는, 이니셜라이즈 커맨드 실행시에 발생하는 리셋 신호에 응답하여 테스트 모드만을 리셋할 수 있다. 이 때문에, 실제의 사용시에 테스트 모드가 설정되어 있더라도, 초기에 또한 확실하게 테스트 모드를 리셋할 수 있다. 이에 따라, 실제의 사용시에 있어서의 오동작을 방지할 수 있다. 또한, 통상의 동작은 보증된다.

이니셜라이즈 커맨드의 하나인 프리 차지 커맨드에 응답하여 리셋 신호를 발생함으로써, 초기 설정 순서를 이용하여 용이하고 또한 초기에 테스트 모드를 리셋할 수 있다.

동기형 반도체 기억 장치는 상기 리셋 신호를 이용하여, 테스트 모드 신호를 발생하는 테스트 모드 디코더의 출력 동작을 리셋할 수 있다. 이에 따라, 테스트 모드 신호의 출력을 정지시킬 수 있다.

동기형 반도체 기억 장치는 상기 리셋 신호를 이용하여, 테스트 모드 지정 신호를 래치하는 래치 수단(레지스터)의 내용을 리셋할 수 있다. 이에 따라, 테스트 모드 신호를 비활성 상태로 할 수 있다.

동기형 반도체 기억 장치는 상기 리셋 신호를 이용하여, 테스트 모드 디코더로부터 수신하는 테스트 모드 신호를 래치하여 출력하는 래치 수단(레지스터)의 출력 동작을 리셋할 수 있다. 이에 따라, 테스트 모드 신호의 출력을 정지시킬 수 있다.

동기형 반도체 기억 장치는 상기 리셋 신호를 이용하여, 테스트 모드 디코더로부터 수신하는 테스트 모드 신호를 래치하여 출력하는 래치 수단(레지스터)의 내용을 리셋할 수 있다. 이에 따라, 테스트 모드 신호를 비활성 상태로 할 수 있다.

동기형 반도체 기억 장치는 특정한 내부 회로에 입력하는 테스트 모드 신호를 상기 리셋 신호에 응답하여 리셋 상태로 할 수 있다. 이에 따라, 회복에 시간이 걸리는 테스트 모드에 대해서는, 초기에 또한 확실하게 리셋이 가능해져, 신속하게 실제로 사용 가능한 상태로 할 수 있다.

본 발명에 관한 동기형 반도체 기억 장치에 따르면, 테스트 모드에 있어서, 특정한 제 1 커맨드가 입력된 것을 나타내는 제 1 커맨드 대응 신호를, 제 1 커맨드와 다른 제 2 커맨드에 대응하는 제 2 커맨드 대응 신호로 변환하는 변환 수단을 갖는 것에 의해, 테스트 모드에 있어서 제 1 커맨드를 제 2 커맨드로서 사용하는 것이 가능해진다.

동기형 반도체 기억 장치는 또한 외부 신호를 이용하여 디코드함으로써, 복수의 제 2 커맨드로 변환하여 사용하는 것이 가능하다.

동기형 반도체 기억 장치는 이니셜라이즈 커맨드에 포함되는 제 2 커맨드에 응답하여 테스트 모드를 리셋하는 수단을 구비하고, 테스트 모드에 있어서는, 제 1 커맨드에 대응하는 제 1 커맨드 대응 신호를 제 2 커맨드에 대응하는 제 2 커맨드 대응 신호로 변환한다. 이에 따라, 테스트 모드에 있어서는, 테스트 모드를 리셋하는 일 없이 제 2 커맨드를 실행할 수 있고, 또한 실제의 사용시에 있어서는, 이니셜라이즈 커맨드를 이용하여 테스트 모드를 초기에 또한 확실하게 리셋하는 것이 가능하다.

동기형 반도체 기억 장치는 어드레스 신호를 이용함으로써, 복수의 제 2 커맨드로 디코드하는 것이 가능하다.

동기형 반도체 기억 장치는 뱅크로부터 판독한 데이터의 외부로의 출력을 금지하는 버스트 터미네이트 커맨드를 제 1 커맨드로서 이용하는 것이 가능하다.

본 발명에 관한 동기형 반도체 기억 장치는, 입력 패드에 고전압이 걸린 경우에만, 테스트 모드로 들어가는 것이 가능하다. 이에 따라, 실제의 사용시에 있어, 사용자가 잘못되어 테스트 모드로 들어 가는 것을 방지할 수 있다.

동기형 반도체 기억 장치는, 슈퍼 VIH 조건에 의해 제어되는 특수 테스트 모드와, 테스트 모드 설정 커맨드에 의해 제어되는 테스트 모드를 구비한다. 이에 따라, 리셋에 시간이 걸리는 특수 테스트 모드로는 용이하게 들어가지 못하도록 할 수 있다. 또한, 테스트 모드로 들어가는 수단을 두 종류 구비함으로써 출하시의 테스트를 짧고, 효율적으로 실행할 수 있다.

동기형 반도체 기억 장치는, 입력 패드에 입력되는 고전압의 조합에 의해 특수 테스트 모드로 들어가는 것이 가능해진다. 실제의 사용시에, 잘못되어 테스트 모드로 들어가는 오동작을 감소시킬 수 있다.

이상 본 발명자에 의해서 이루어진 발명을 상기 실시예에 따라 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되는 것이 아니고, 그 요지를 이탈하지 않는 범위에서 여러 가지로 변경 가능한 것은 물론이다.

(57) 청구의 범위

청구항 1

동기형 반도체 기억 장치에 있어서,

행렬 형상으로 배치되는 복수의 메모리 셀을 포함하는 메모리 셀 어레이와 상기 메모리 셀 어레이의 행에 대응하여 마련되는 복수의 워드선을 각각이 포함하는 복수의 뱅크와,

외부 클럭 신호에 동기한 내부 클럭 신호를 출력하는 내부 클럭 발생 수단과,

상기 내부 클럭 신호에 동기하여 입력되는 모드 설정 커맨드와 외부 신호에 응답하여, 소정의 동작 모드가 지정된 것을 나타내는 노말 모드 신호를 출력하는 노말 모드 설정 수단과,

상기 내부 클럭 신호에 동기하여 입력되는 상기 모드 설정 커맨드와 테스트 모드 지정 신호에 응답하여, 소정의 테스트 모드가 지정된 것을 검출하여, 검출 결과로서 테스트 모드 신호를 출력하는 테스트 모드 설정 수단과,

전원 투입후에, 상기 내부 클럭 신호에 동기하여 입력되는 상기 뱅크를 초기화하는 이니셜라이즈 커맨드에 응답하여 리셋 신호를 출력하는 리셋 신호 발생 수단을 포함하고,

상기 테스트 모드 설정 수단은, 상기 리셋 신호를 수신하여, 적어도 1개의 상기 테스트 모드 신호를 비활성 상태로 하는 동기형 반도체 기억 장치.

청구항 2

동기형 반도체 기억 장치에 있어서,

행렬 형상으로 배치되는 복수의 메모리 셀을 포함하는 메모리 셀 어레이와 상기 메모리 셀 어레이의 행에

대응하여 마련되는 복수의 워드선을 각각이 포함하는 복수의 बैं크와,

외부 클럭 신호에 동기한 내부 클럭 신호를 출력하는 내부 클럭 발생 수단과,

상기 내부 클럭 신호에 동기하여 입력되는 제 1 커맨드에 응답하여, 상기 제 1 커맨드가 입력된 것을 나타내는 제 1 커맨드 대응 신호를 출력하는 커맨드 검출 수단과,

상기 내부 클럭 신호에 동기하여 입력되는 테스트 모드 지정 신호에 응답하여, 테스트 모드가 지정된 것을 검출하는 테스트 모드 검출 수단과,

상기 테스트 모드 검출 수단이 상기 테스트 모드가 지정된 것을 검출한 것에 응답하여, 상기 제 1 커맨드 대응 신호를 제 1 커맨드와 다른 제 2 커맨드에 대응하는 제 2 커맨드 대응 신호로 변환하는 변환 수단과,

상기 제 2 커맨드 대응 신호에 응답하여, 상기 제 2 커맨드에 대응하는 동작을 실행시키는 실행 수단을 포함하는 동기형 반도체 기억 장치.

청구항 3

동기형 반도체 기억 장치에 있어서,

입력 패드와,

행렬 형상으로 배치되는 복수의 메모리 셀을 포함하는 메모리 셀 어레이와 상기 메모리 셀 어레이의 행에 대응하여 마련되는 복수의 워드선을 각각이 포함하는 복수의 बैं크와,

외부 클럭 신호에 동기한 내부 클럭 신호를 출력하는 내부 클럭 발생 수단과,

상기 내부 클럭 신호에 동기하여 입력되는 모드 설정 커맨드와 외부 신호에 응답하여, 소정의 동작 모드가 지정된 것을 나타내는 노말 모드 신호를 출력하는 노말 모드 설정 수단과,

상기 내부 클럭 신호에 동기하여 입력되는 상기 모드 설정 커맨드와 테스트 모드 지정 신호와 입력 패드의 전압에 응답하여, 소정의 테스트 모드가 지정된 것을 나타내는 테스트 모드 신호를 출력하는 테스트 모드 설정 수단을 포함하고,

상기 테스트 모드 지정 신호는,

제 1 테스트 모드 지정 신호와,

제 2 테스트 모드 지정 신호를 포함하고,

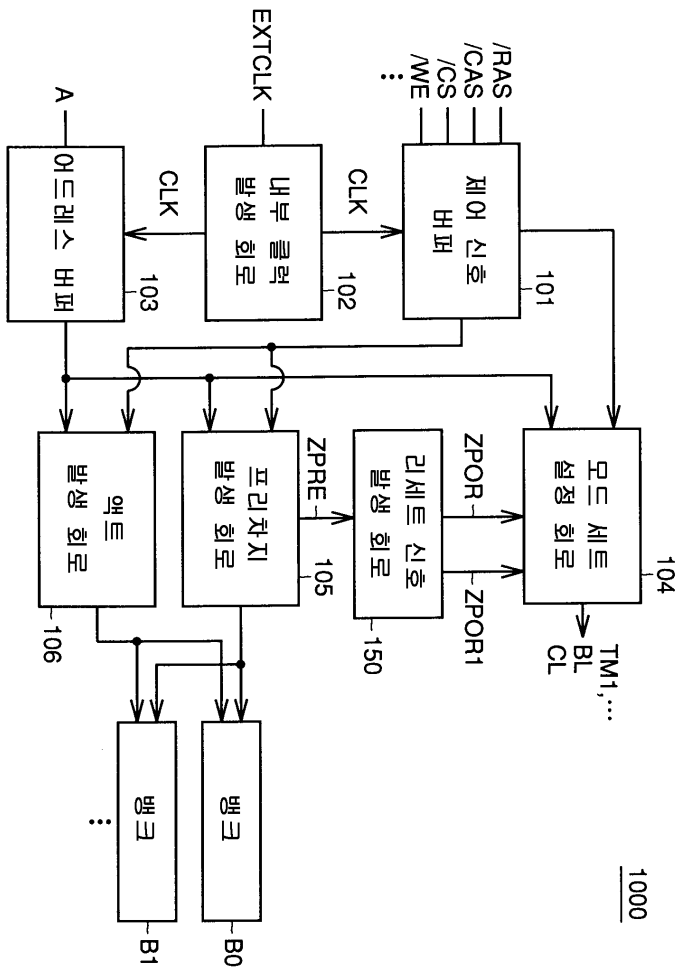
상기 테스트 모드 설정 수단은,

상기 모드 설정 커맨드에 응답하여, 상기 테스트 모드가 지정된 것을 검출하는 검출 수단과,

상기 검출 수단이 상기 테스트 모드가 지정된 것을 검출한 것에 응답하여, 상기 제 2 테스트 모드 지정 신호에 대응하는 상기 테스트 모드 신호를 선택적으로 활성화하는 제 1 선택 수단과,

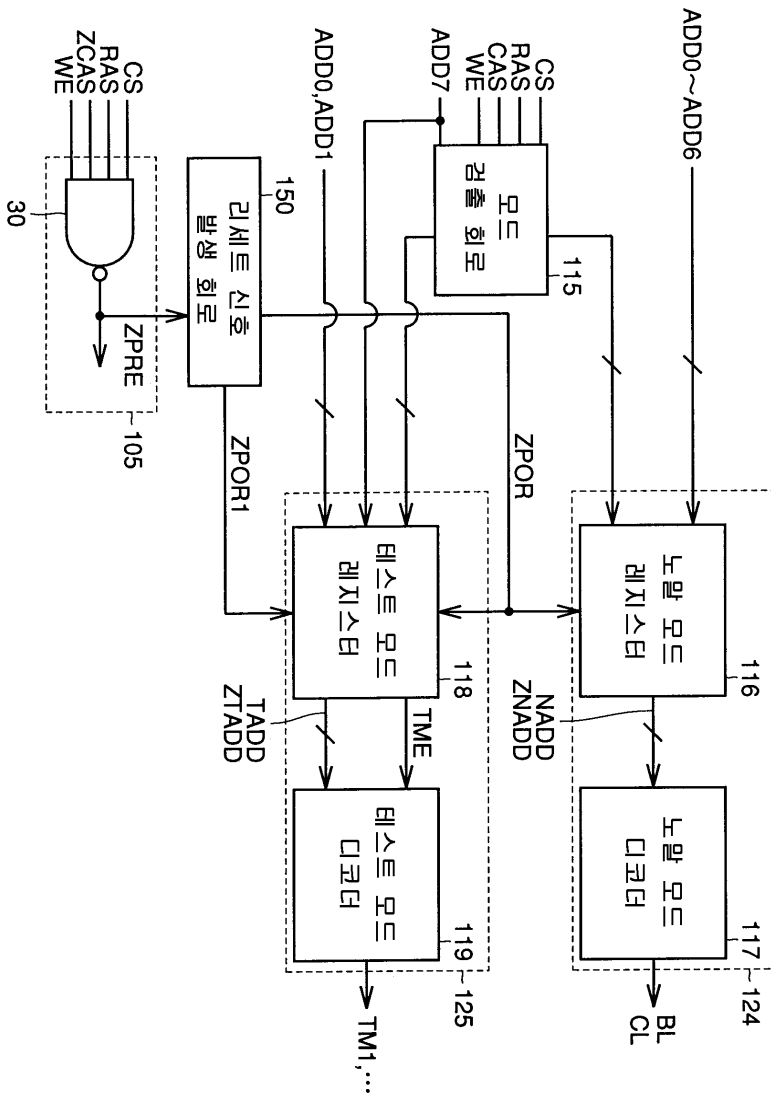
상기 검출 수단이 상기 테스트 모드가 지정된 것을 검출한 것에 응답하여, 상기 제 1 테스트 모드 지정 신호와 상기 입력 패드로부터 입력되는 외부 전원 전압의 2배 이상의 신호에 근거하여, 상기 제 1 선택 수단의 동작을 인에이블 상태로 만드는 제 1 인에이블 신호를 출력하는 제 1 제어 수단을 포함하는 동기형 반도체 기억 장치.

도면

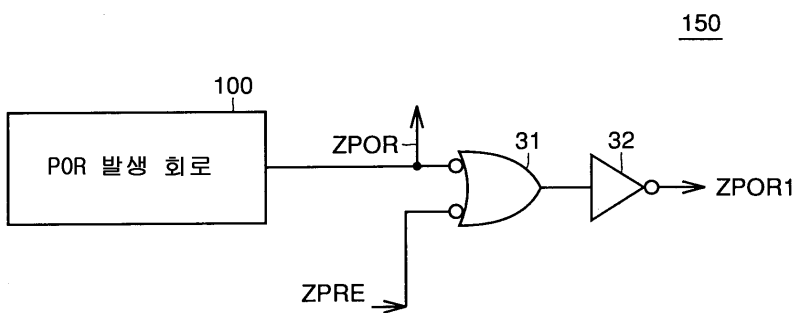


도면1

도면2

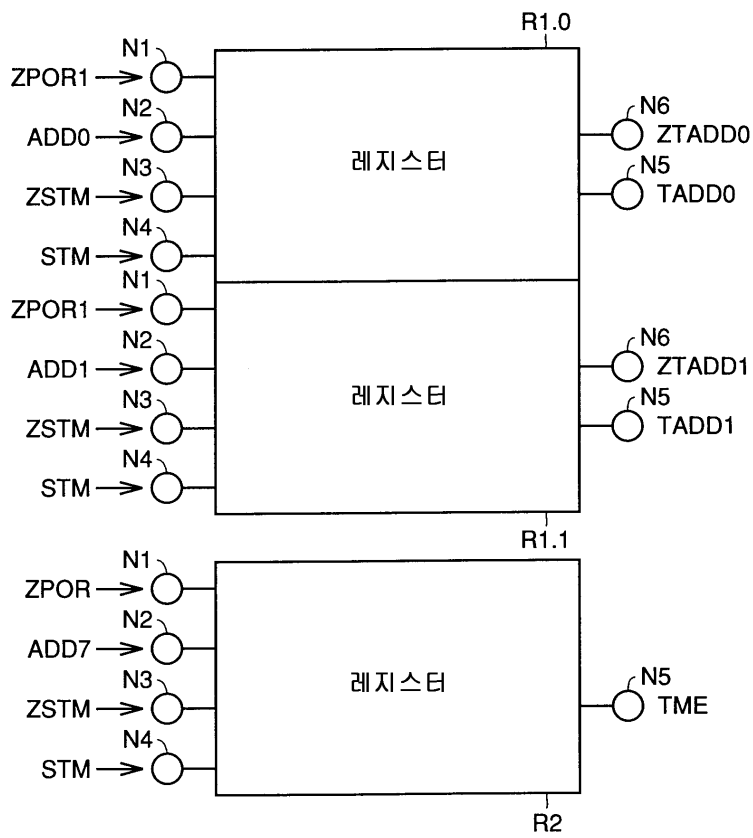


도면3



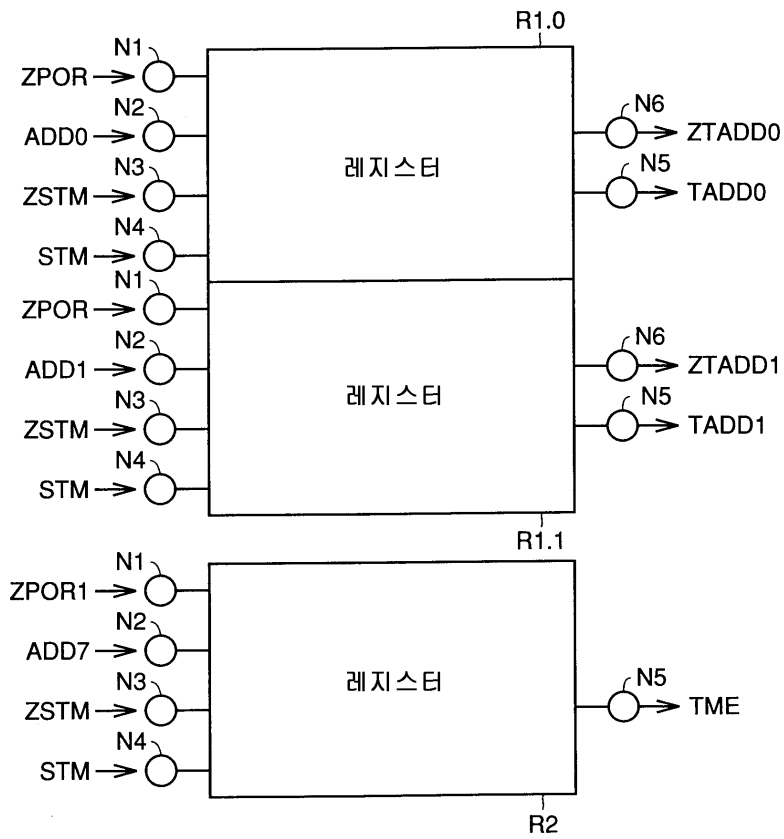
도면4

118.1

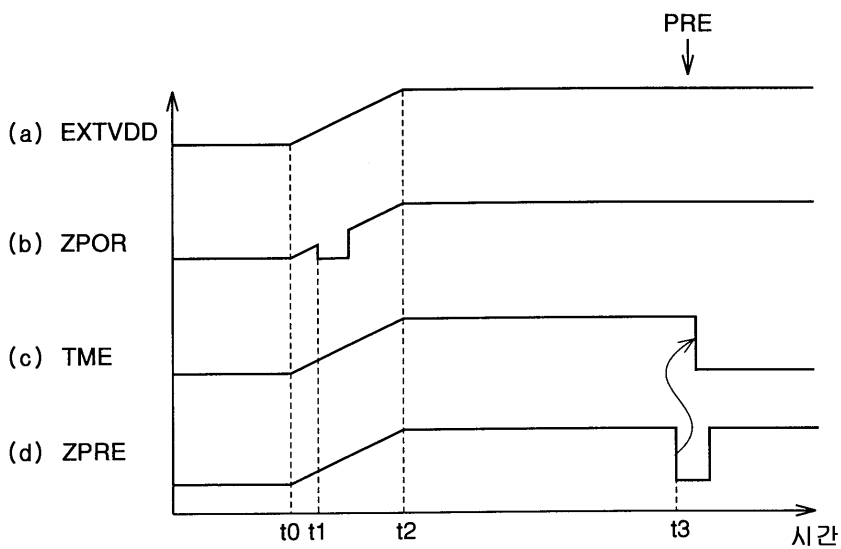


도면5

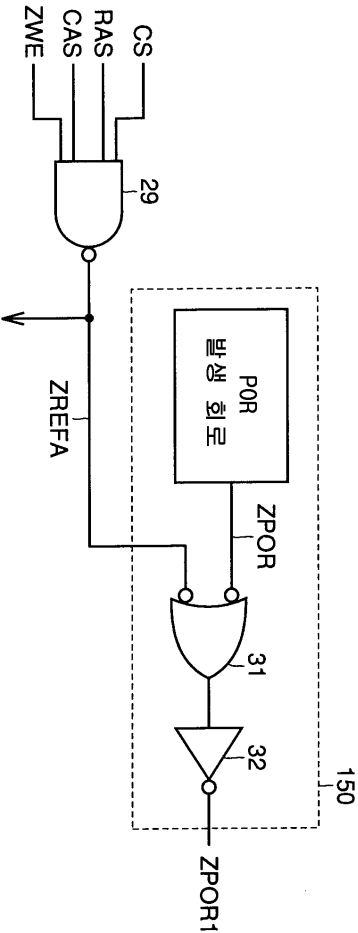
118.2

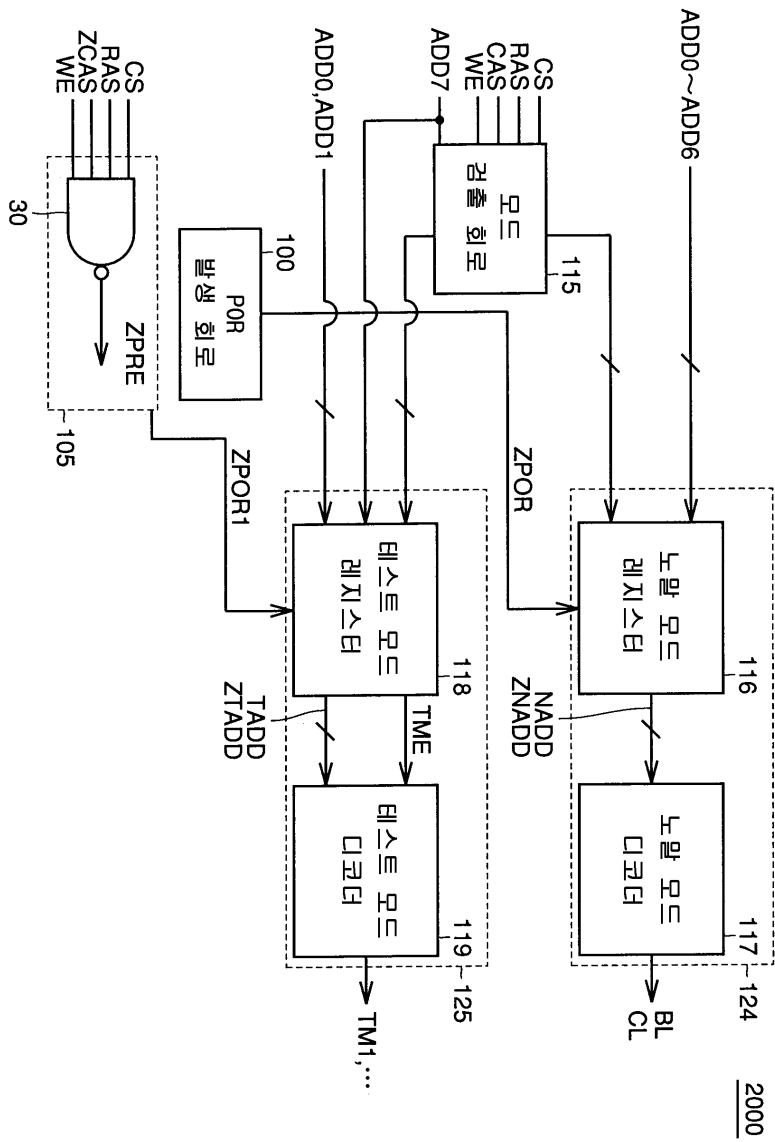


도면6



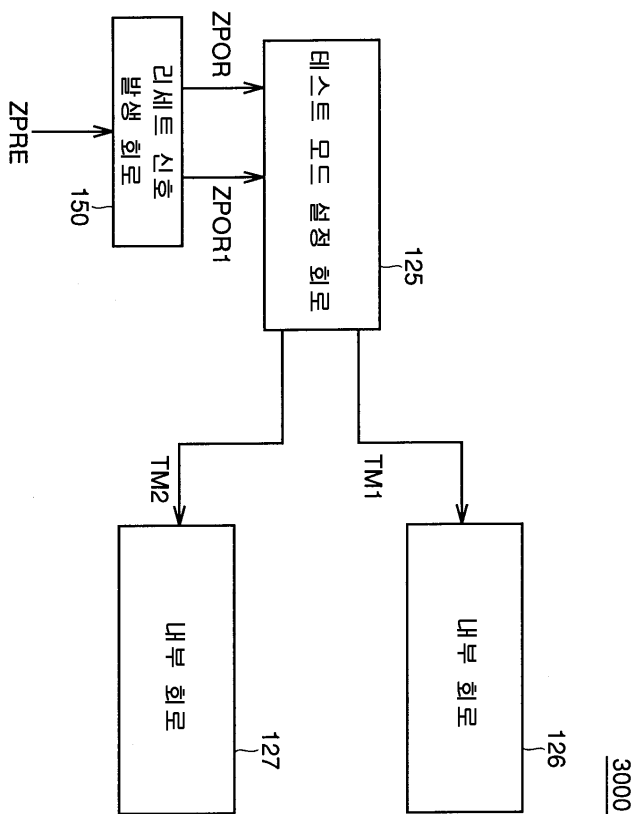
도면 7



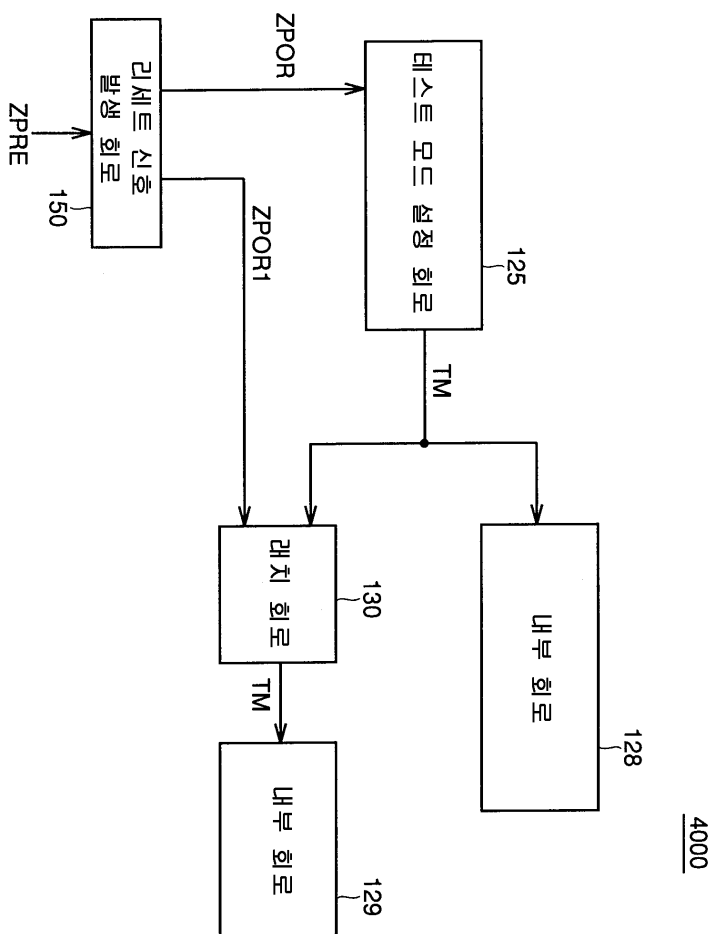


도면 8

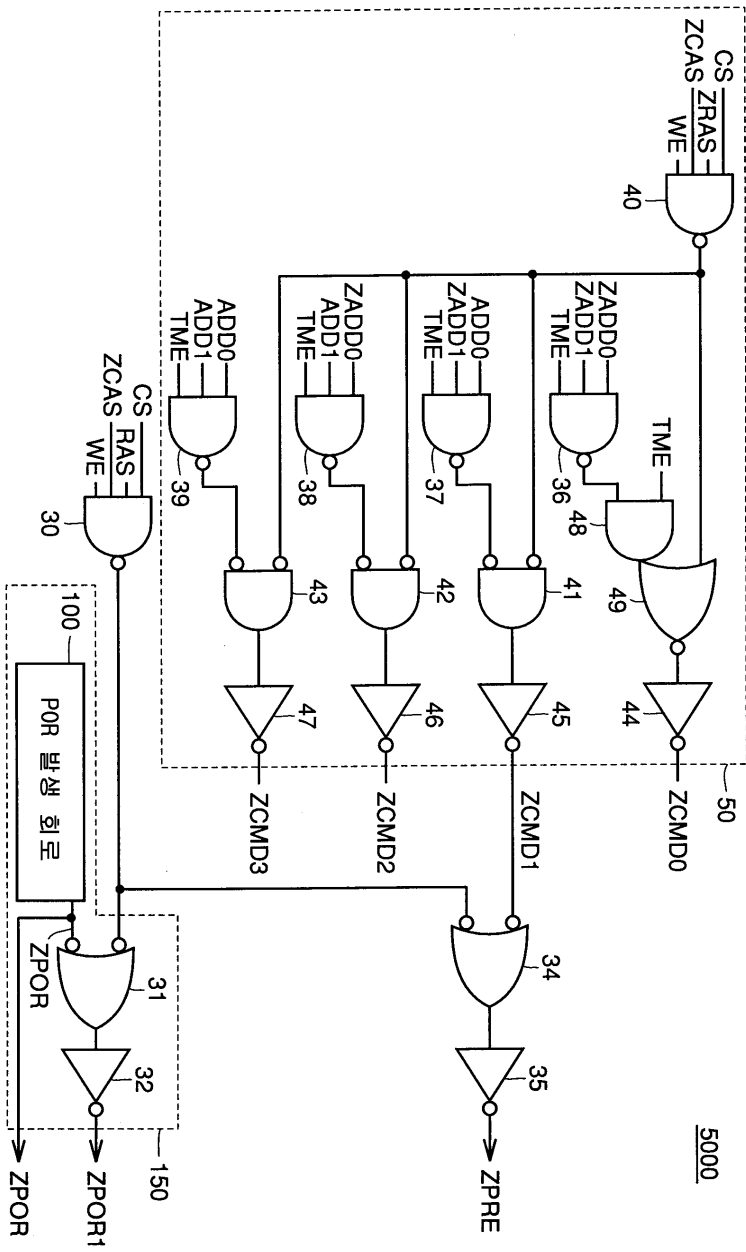
도면9



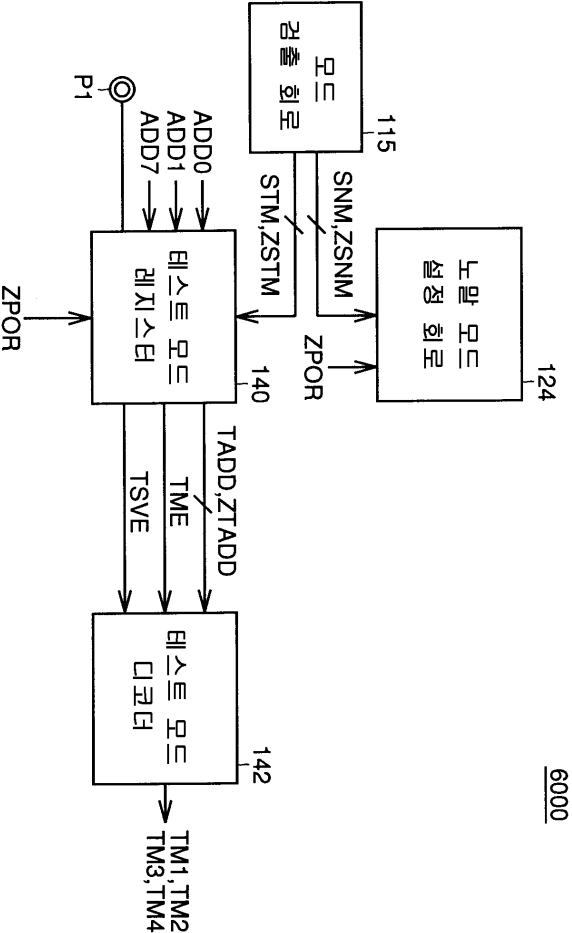
도면10



도면11

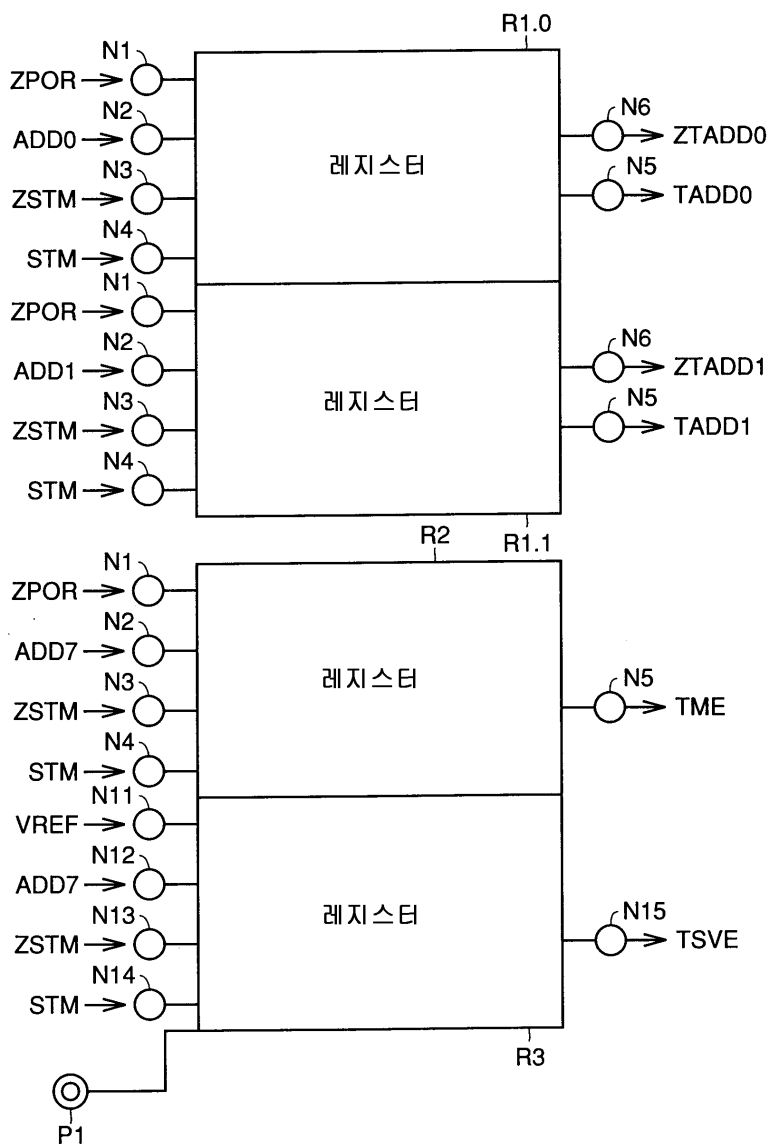


도면 12

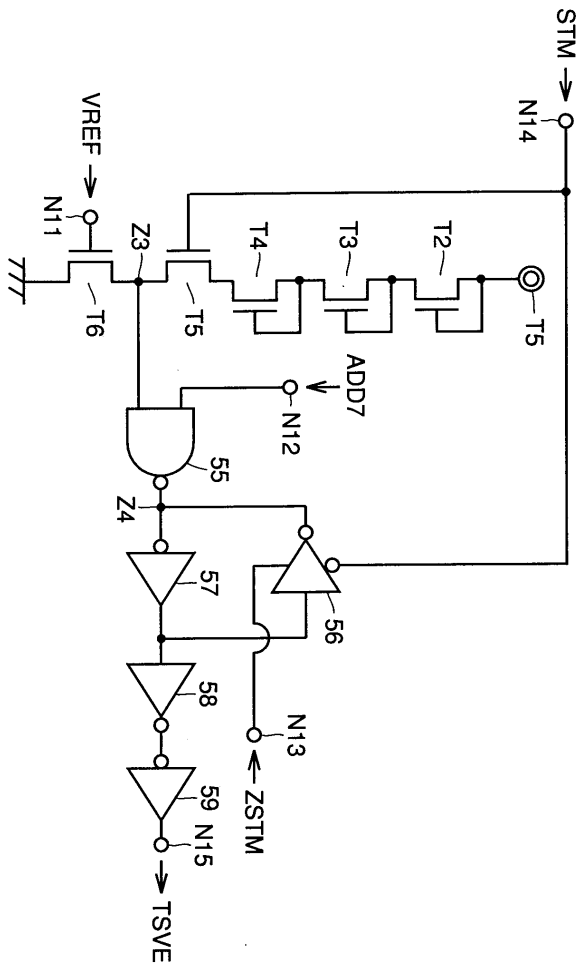


도면 13

140



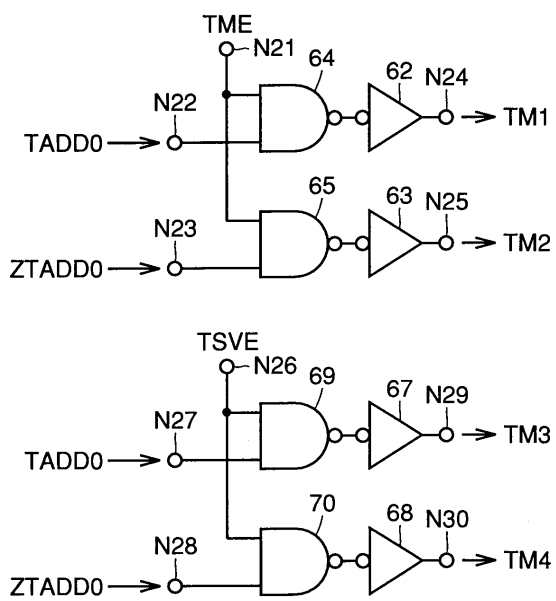
도면 14



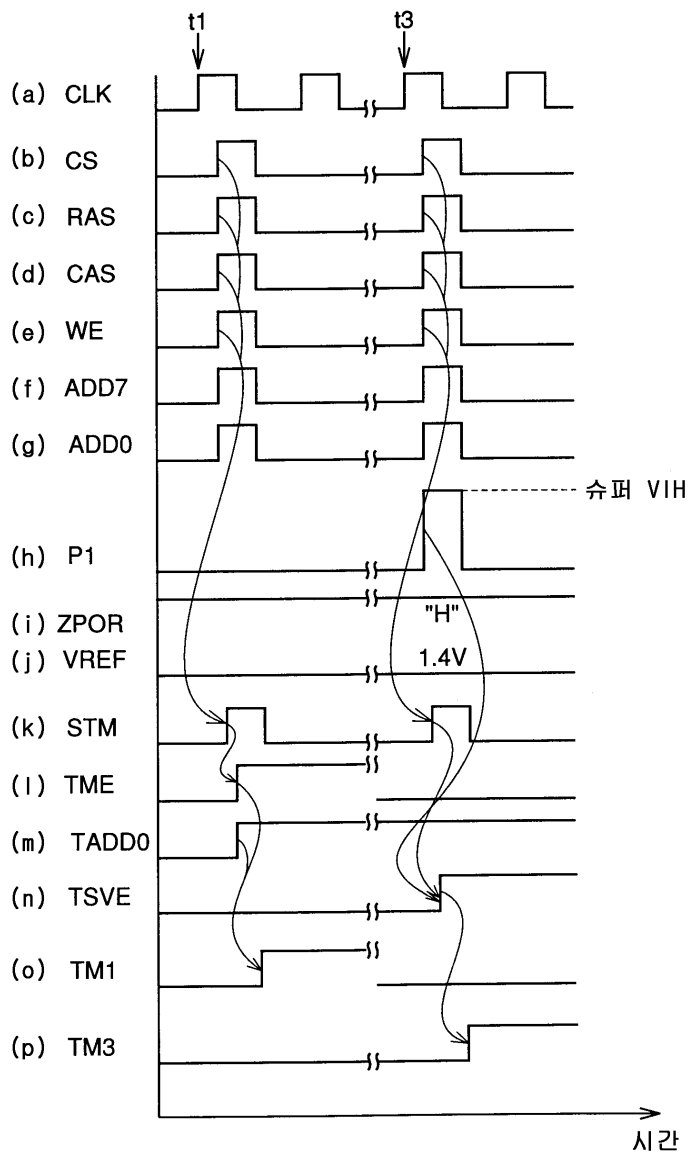
리시스터 R3

도면 15

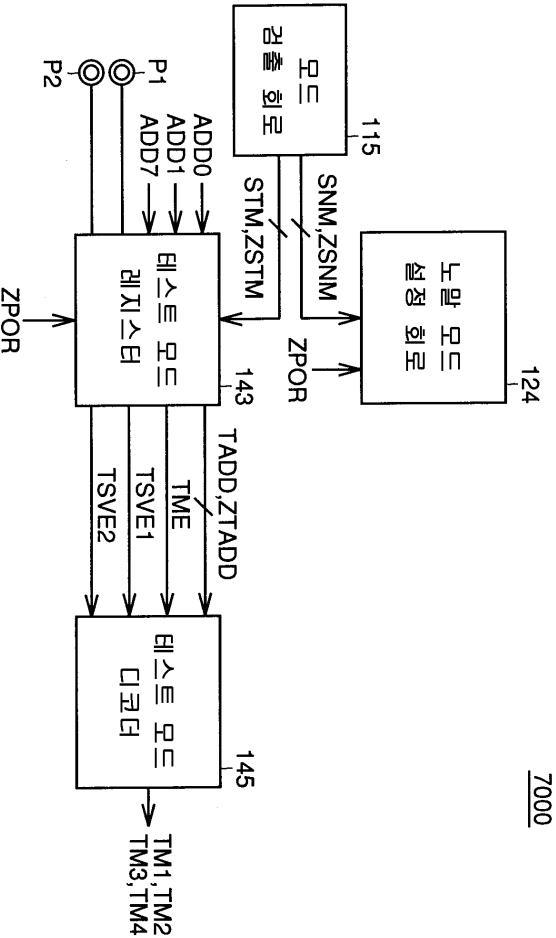
다코더 D1



도면 16

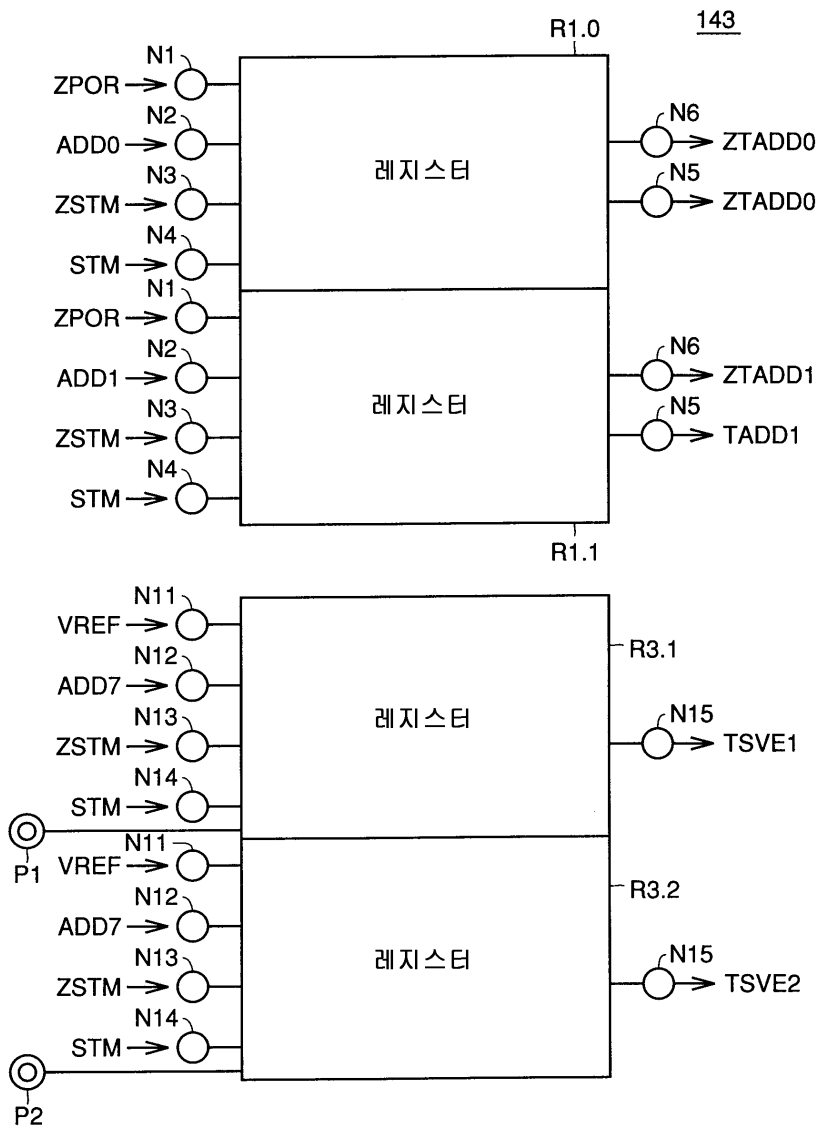


도면 17



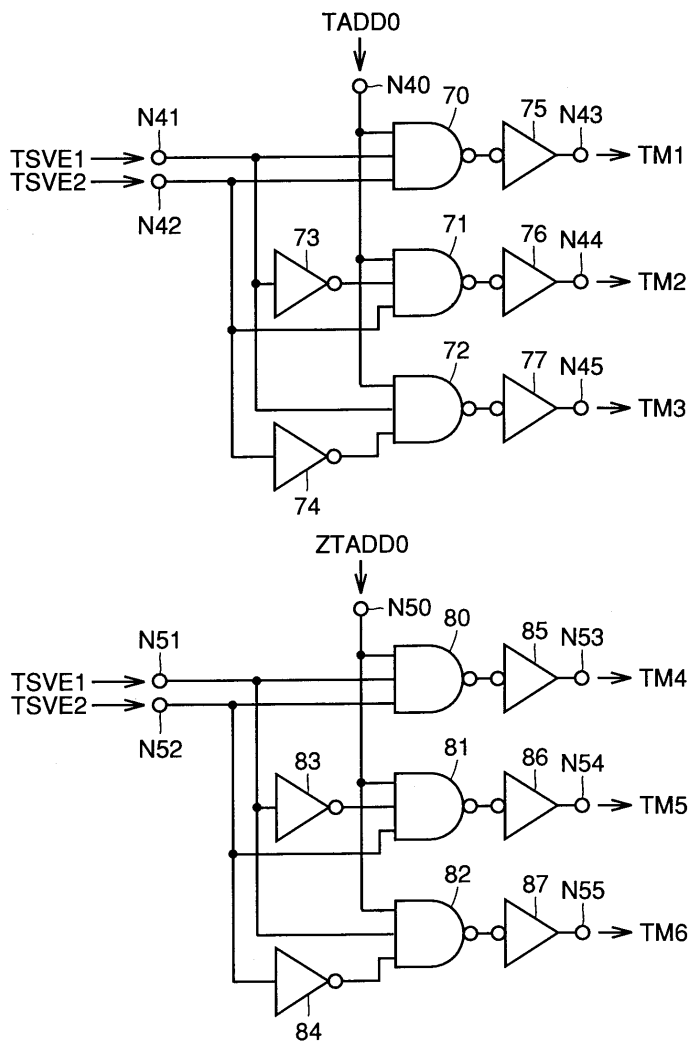
7000

도면 18

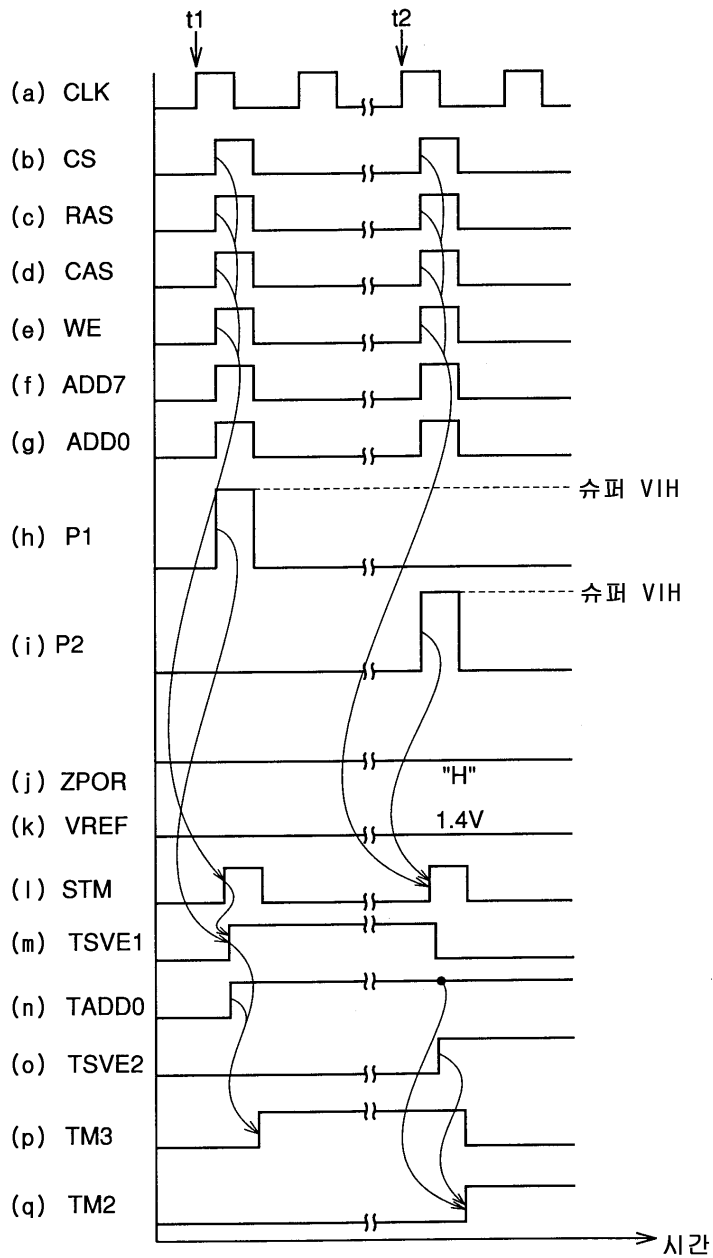


도면 19

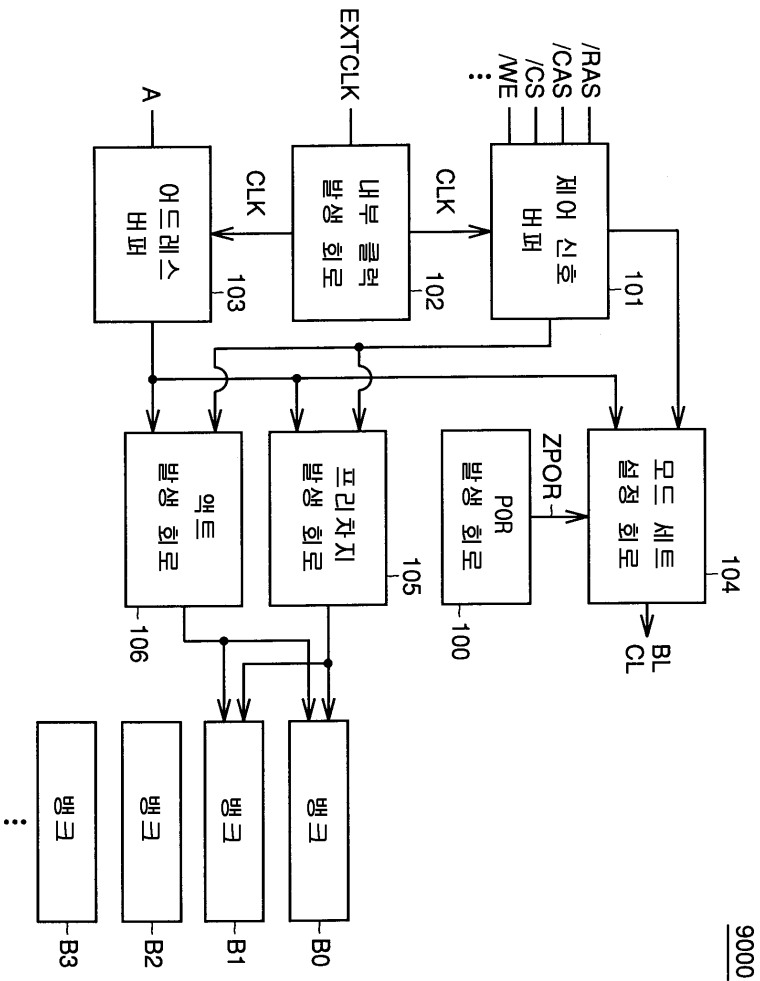
디코더 D2



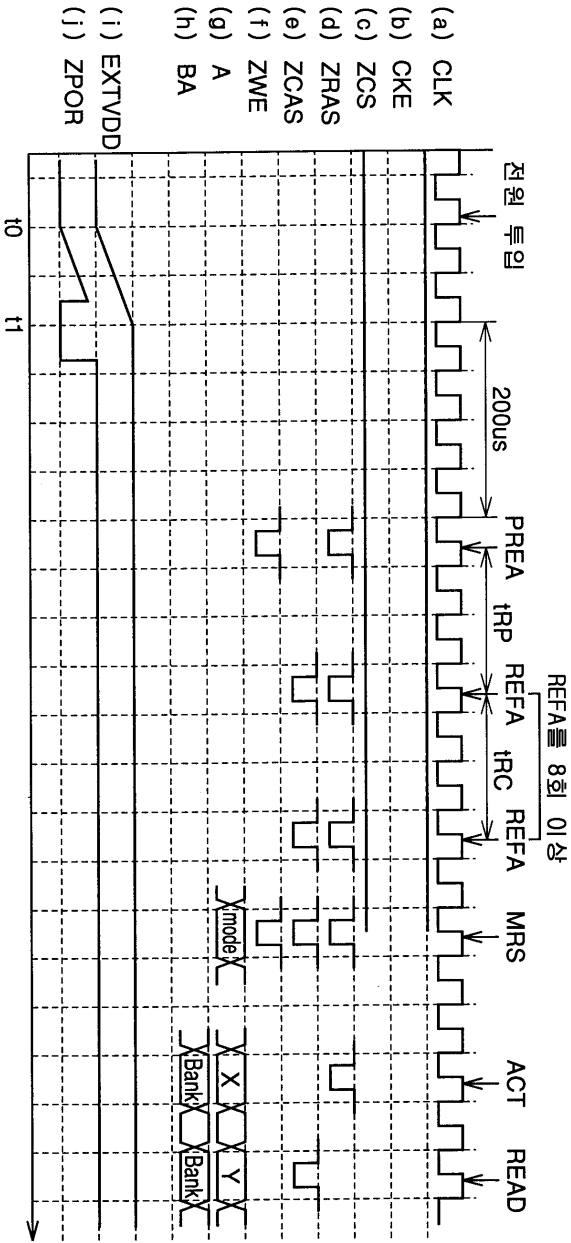
도면20



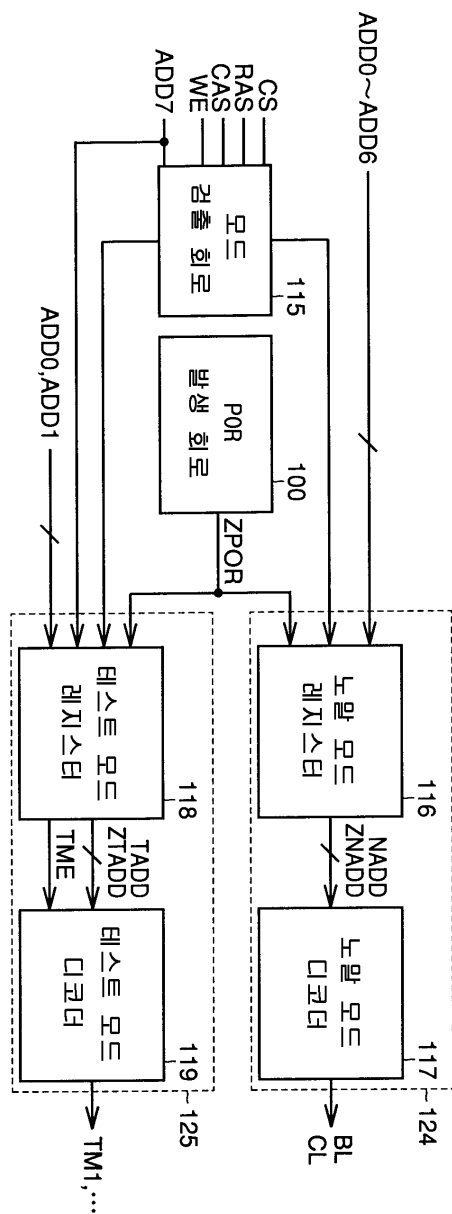
도면21



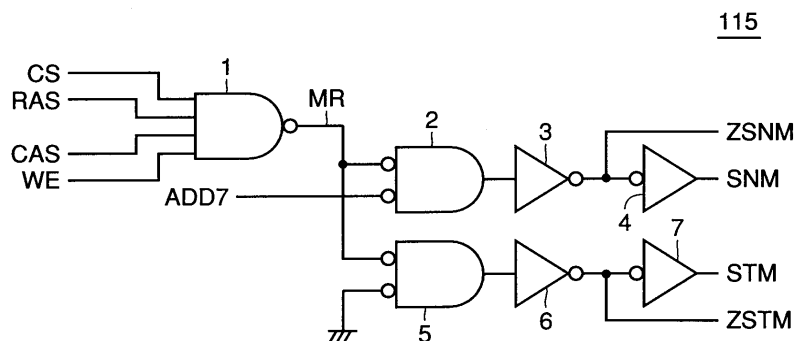
도면22



도면23



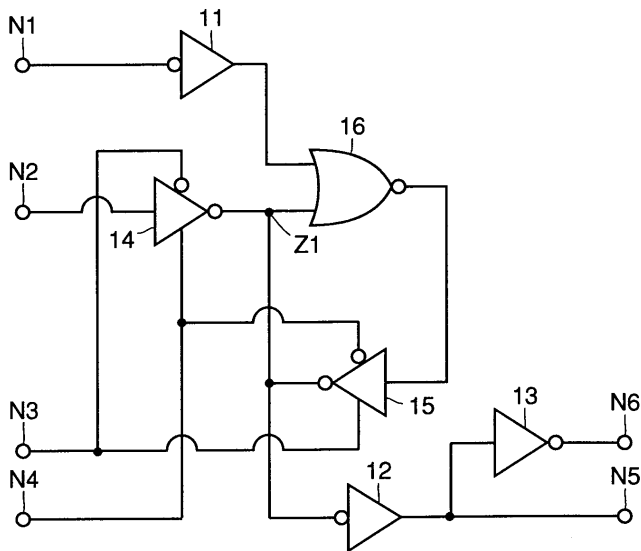
도면24



115

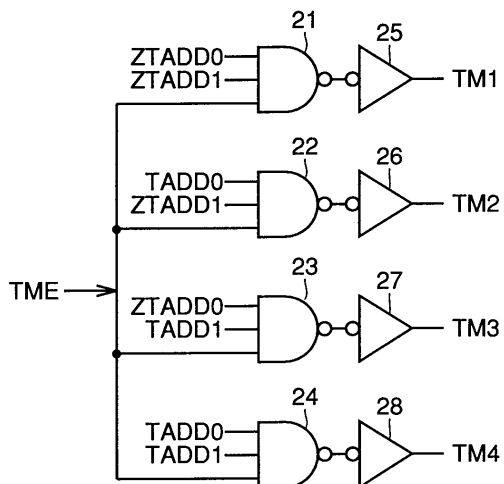
도면25

레지스터 R1



도면26

119



도면27

