

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2007年2月1日 (01.02.2007)

PCT

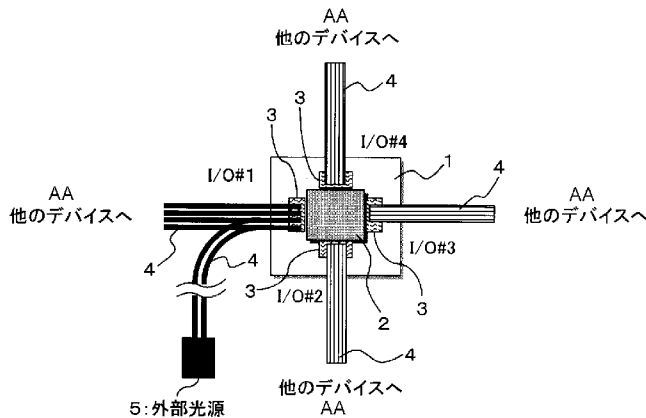
(10) 国際公開番号  
WO 2007/013128 A1

- (51) 国際特許分類:  
G02F 1/035 (2006.01) H01L 31/02 (2006.01)  
G02B 6/42 (2006.01)
- (21) 国際出願番号: PCT/JP2005/013588
- (22) 国際出願日: 2005年7月25日 (25.07.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 加藤 雅之 (KATO, Masayuki) [JP/JP]; 〒2118588 神奈川県川崎市中原区
- (74) 代理人: 真田 有 (SANADA, Tamotsu); 〒1800004 東京都武蔵野市吉祥寺本町1丁目10番31号吉祥寺広瀬ビル5階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[ 続葉有 ]

(54) Title: SEMICONDUCTOR CHIP MODULE

(54) 発明の名称: 半導体チップモジュール



AA ... TO OTHER DEVICE  
5 ... EXTERNAL LIGHT SOURCE

(57) Abstract: A semiconductor chip module is provided for mounting many optical waveguide elements at high density in the vicinity of a semiconductor chip (for instance, LSI), while suppressing cost low, making high-speed modulation possible, and for performing optical interconnection with a low latency (low delay). In the semiconductor chip module, a transmission optical waveguide element (3) mounted in the vicinity of a side plane of a semiconductor chip (2) on a circuit board (1) is provided with an input light waveguide into which light from an external light source enters; an output light waveguide, which is arranged at a position shifted in a direction vertical to a front plane of the circuit board from the input light waveguide, while being mounted on the circuit board, and outputs an optical signal to other devices; an optical path switching structure for guiding the light guided by the input light waveguide to the output light waveguide; and an optical modulator, which is arranged in the input light waveguide or the output light waveguide and modulates the light from the external light source based on an electric signal from the semiconductor chip.

(57) 要約: コストを低く抑えながら、半導体チップ (例えば L S I) の近傍に光導波路素子を多数かつ高密度に実装できるようにし、かつ、高速変調が可能で、低レイテンシ (低遅延) の光インターコネクションを実現できるようにするために、半導体チップモジュールにおいて、回路基板 (1) 上の半導体チップ (2) の

[ 続葉有 ]



WO 2007/013128 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

側面近傍に実装する送信用光導波路素子(3)を、外部光源からの光が入力される入力光導波路と、入力光導波路に対して回路基板に実装された状態で回路基板の表面に垂直な方向へずれた位置に設けられ、他のデバイスへ光信号を出力する出力光導波路と、入力光導波路を導かれた光を出力光導波路へ導くための光路切換構造と、入力光導波路又は出力光導波路に設けられ、半導体チップからの電気信号に基づいて外部光源からの光を変調する光変調器とを有するものとする。

## 明 細 書

### 半導体チップモジュール

### 技術分野

[0001] 本発明は、例えば、IT(Information Technology)機器のLSI(Large Scale Integration)間において大容量の高速信号伝送を実現するための実装技術、特に、光を用いてLSI間の高速信号伝送を実現するための光・電気配線構造(例えば光配線LSIモジュール)に用いて好適の半導体チップモジュールに関する。

### 背景技術

[0002] 近年、データ通信に用いられる伝送帯域は増大の一途を辿り、高速・大容量化が進んでいる。

現在、例えばサーバの筐体間などのように、伝送距離が数十メートル以上のインターコネクションには、伝送帯域が広く、外乱を受け難い光リンク(光ファイバを用いたデータ伝送)が利用されている。

[0003] 一方、例えばCPUやメモリ(例えばDRAM)などのLSIの処理能力が増大し、高速化するにしたがって、例えばサーバなどの情報機器では、LSI間の信号伝送を高速に行なう光インターコネクションを実現すべく、伝送帯域幅を拡大することが必要になってきている。

従来、CPUとメモリ(ここではDRAM)との間で高速・大容量の信号伝送(データ転送)を行なうために、例えば図15(A)に示すように、サーバのシステムボード100(以下、単に基板という)上にパッケージ基板101を介してCPU102を実装するとともに、基板100上のパッケージ基板101の近傍に複数のメモリ103(ここではDRAM)を実装するようにしている。

[0004] この場合、CPU102とDRAM103とは、図15(B)[図15(A)のX-X'線に沿う模式的断面図]に示すように、基板100内に形成された多層の電気配線104によって接続されることになる。

このような構成において、CPU102とメモリ103との間の伝送帯域幅を大幅に拡大するためには、単一配線における伝送速度を高め、配線本数を増やすことが必要に

なる。

[0005] なお、光インターコネクションや光変調器に関し、先行技術調査を行なった結果、以下の特許文献1～7が得られた。

特許文献1には、光導波路の端部に反射構造及び制御用電極を設け、光路を小型・低損失で反転させる構造が開示されている(例えば図2参照)。具体的には、方向性結合器に適用する例が開示されている。

[0006] 特許文献2には、高速データ転送を行うため、電気光学効果を用いた光変調器で電気信号から光信号を生成するインターフェース構成が開示されている(例えば図1参照)。

特許文献3には、光導波路基板内を伝搬する光信号を基板の外部に出射させ、光ファイバに接続する構成(例えば図4参照)、及び、多層の光導波路構造において、電圧印加で生じた屈折率変化(電気光学効果)を利用して、上下層間で光信号をスイッチングさせる構成が開示されている(例えば図13参照)。

[0007] 特許文献4には、波長変化を検出することによる歪測定装置に関し、光導波路を用いた光回路構成において、反射構造としてブラッグ反射型導波路を用いる構成が開示されている(例えば図2参照)。

特許文献5には、光電子集積素子として、LSI, 光素子, 光素子を制御するための駆動回路, 光素子との間の配線手段(光導波路)を同一パッケージ内に収納した構成が開示されている(例えば図1参照)。

[0008] 特許文献6には、波長多重ネットワークにおいて反射型光変調器を用いる構成が開示されている(例えば図17参照)。

特許文献7には、有機系の電気光学材料を用いた導波路型光変調器(具体的にはマハツェンダー型の光変調器)が開示されている(例えば図1参照)。

特許文献1:特開平5-2116号公報

特許文献2:特開2000-250671号公報

特許文献3:特開平6-69490号公報

特許文献4:特開平8-94328号公報

特許文献5:特開2001-36197号公報

特許文献6:特開2001-197006号公報

特許文献7:特開2004-109457号公報

発明の開示

発明が解決しようとする課題

[0009] しかしながら、上述のCPU102とメモリ(ここではDRAM)103との間の接続(LSI間の接続)に用いられているような回路基板100による電気配線は、伝送速度が数GHzを超えると、波形なまりや減衰が著しく増大する。

この場合、差動伝送方式とし、プリエンファシスやイコライジング技術を組み合わせ、波形整形や増幅を行なうことによって、ある程度の高周波対応はできるものの、LSI間信号伝送に必要な電力が増大してしまうことになる。また、実装上の都合でLSI間の配線長が長くなると、上述のような対応は非常に難しくなる。さらに、配線本数を増やした場合、高周波数化に伴う配線間の電磁干渉が問題となってくる。

[0010] このような電気配線による課題を解決する方法の一つとして、高速伝送が可能で、相互干渉しない光を信号伝送に用いる光インターコネクション構成が考えられる。

例えばCPUと他のデバイス(メモリなどのLSIを含む)との間の接続を光インターコネクション構成とする場合、図16に示すように、基板110上にCPU111を実装するとともに、CPU111の近傍に複数の光トランシーバ112を実装し、各光トランシーバ112と他のデバイス(図示せず)を例えば多心の光ファイバや光導波路を介して接続することが考えられる。

[0011] この場合、光トランシーバ112は、例えば、CPU111から他のデバイスへ送信される電気信号を光信号に変換するための光源と、他のデバイスからCPU111へ送信されてきた光信号を電気信号に変換するための光検知器と、これらを駆動制御するための駆動制御回路とを一体に構成したものとすることが考えられる。

このような光インターコネクション構成は、技術的には実現可能であるものの、実際に製品化するにあたっては、コストが高くなってしまふ。

[0012] また、上述のような光インターコネクション構成ではサイズも大きくなってしまふ。実際には、上述のように、CPU111は、基板(システムボード)110上に直接半田付けせず、接続ピッチを調整するためにパッケージ基板を介して実装される。このため、

パッケージ基板のサイズが大きくなってしまい、パッケージ基板のサイズ分だけ大きな実装面積が必要になってしまう。また、CPUの放熱フィン(図示せず)も必要であり、その装着面積も必要である。

[0013] この点、サイズに関しては、小型の光トランシーバを製作すれば、面積的には従来と同等レベルにすることも可能であると思われるが、コストに関しては、1本の配線毎に光源及び光検知器を設けるのでは桁違いにコストが高くなってしまうため、実用化に至っていない状況である。

なお、光インターコネクションに関しては、LSIとパッケージ基板との間に光素子を搭載したインターポーザを用いる方法も提案されている(例えば上記特許文献5参照)。

[0014] しかしながら、LSIの基板実装部には数千ピンの端子が存在するため、チップ直下に光素子や光導波路などの光配線を配置するは得策でない。

ところで、シリコンフォトニクスの研究分野では、光インターコネクションが高コストであるという課題を解決する方法として、光源や光検知器をシリコンLSIの内部に形成する研究がなされており、これが実現すれば、光インターコネクションの著しい低コスト化が実現し、より短距離の伝送にも適用できるようになるとと思われる。

[0015] しかしながら、現時点では10Gbpsを超える直接変調は実現しておらず、実用化の見通しも立っていない。仮に実現できたとしても、半導体レーザの直接変調は、発光の立ち上がりに百ピコ秒以上を要するため、例えばCPUとメモリとの間の伝送においては、遅延時間が問題となると考えられる。この点、現実には上述の特許文献5の実用化も難しいと思われる。

[0016] 一方、外部に設けられた共通光源からの光を複数に分割し、それぞれを外部変調器で変調して光信号を生成する方式(例えば上述の特許文献2参照)を採用することも考えられる。

しかしながら、従来の外部変調器は通信装置に用いるために開発されたものであるため、LSIの近傍に配置し、多数かつ高密度で実装できる形態のものは存在しない。したがって、従来の光変調器を光インターコネクションに適用するに当たっては何らかの工夫が必要である。

[0017] 本発明は、このような課題に鑑み創案されたもので、コストを低く抑えながら、半導体チップ(例えばLSI)の近傍に光導波路素子を多数かつ高密度に実装できるようにしてサイズを小さくし、さらに、高速変調が可能で、低レイテンシ(低遅延)の光インターコネクションを実現できるようにした、半導体チップモジュールを提供することを目的とする。

#### 課題を解決するための手段

[0018] このため、本発明の半導体チップモジュールは、回路基板上に実装された半導体チップと、外部光源からの光を変調して得られた光信号を他のデバイスへ送信する送信用光導波路素子とを備え、送信用光導波路素子が、外部光源からの光が入力される入力光導波路と、入力光導波路に対して、回路基板に実装された状態で回路基板の表面に垂直な方向へずれた位置に設けられ、他のデバイスへ光信号を出力する出力光導波路と、入力光導波路を導かれた光を出力光導波路へ導くための光路切換構造と、入力光導波路又は出力光導波路に設けられ、半導体チップからの電気信号に基づいて外部光源からの光を変調する光変調器とを有することを特徴としている。

[0019] 特に、入力光導波路及び出力光導波路が、いずれも半導体チップ側の素子端面まで延びるように構成し、光路切換構造を、素子端面の光反射面と、入力光導波路の傾斜導波路部と、入力光導波路の傾斜導波路部に光反射面を介して接続される出力光導波路の傾斜導波路部とを備えるものとし、入力光導波路の傾斜導波路部を導かれた光が光反射面で反射して出力光導波路の傾斜光導波路部へ導かれるように構成するのが好ましい。

[0020] なお、光路切換構造を、入力光導波路及び出力光導波路の半導体チップ側の素子端面近傍に設けられるグレーティングカップラを備えるものとし、入力光導波路を導かれた光がグレーティングカップラによって出力光導波路へ導かれるように構成しても良い。

好ましくは、他のデバイスからの光信号を半導体チップ側の素子端面まで導く受信用入力光導波路を備える受信用光導波路素子と、受信用入力光導波路に接続されるように回路基板上に実装され、光信号を電気信号に変換する光電変換素子とを備

えるものとして構成する。

[0021] この場合、受信用光導波路素子を、受信用入力光導波路に接続されるように素子端面で反射した光を吸収する光吸収構造を有する反射光処理用光導波路を備えるものとするのが好ましい。さらに、受信用光導波路素子を、受信用入力光導波路に対して回路基板に実装された状態で回路基板の表面に垂直な方向へずれた位置に設けるのが好ましい。

ここで、送信用光導波路素子と受信用光導波路素子は、回路基板の表面に平行な方向に並べて設けるのが好ましい。

[0022] また、送信用光導波路素子を複数備えるものとし、複数の送信用光導波路素子を回路基板の表面に平行な方向に並べて設けるのが好ましい。

さらに、外部光源として、複数の送信用光導波路素子のそれぞれに光を供給しうる共通光源を備えるのが好ましい。

一方、受信用光導波路素子を複数備えるものとし、複数の受信用光導波路素子を回路基板の表面に平行な方向に並べて設けるのも好ましい。

[0023] 特に、送信用光導波路素子を、光変調器の電極から回路基板に実装された状態で素子底面まで延びる電気配線と、素子底面に形成され、電気配線が接続される電極パッドとを備えるものとし、半導体チップに電氣的に接続されるように、電極パッドを介して回路基板に形成された電気配線に接続されるようにするのが好ましい。

また、光電変換素子を、半導体チップに電氣的に接続されるように、電気配線を有する配線ブロックを介して回路基板上に実装するのが好ましい。

[0024] さらに、光変調器を、電気光学効果を生じうる材料によって構成するのが好ましい。また、送信用光導波路素子又は受信用光導波路素子はポリマ光導波路素子であることが好ましい。

本発明の半導体チップモジュールは、上述の半導体チップモジュールを複数備え、複数の半導体チップモジュールを光ファイバで相互に接続して構成されることを特徴としている。

[0025] 特に、回路基板上に半導体チップ及び送信用光導波路素子を複数備えるものとするのが好ましい。

また、回路基板上に受信用光導波路素子を複数備えるものとするのが好ましい。

## 発明の効果

[0026] したがって、本発明の半導体チップモジュールによれば、コストを低く抑えながら、半導体チップ(例えばLSI)の近傍に光導波路素子を多数かつ高密度に実装できるようにしてサイズを小さくし、さらに、高速変調が可能で、低レイテンシ(低遅延)の光インターコネクションを実現できるという利点がある。

## 図面の簡単な説明

- [0027] [図1]本発明の第1実施形態にかかる半導体チップモジュールの全体構成を示す模式図である。
- [図2]本発明の第1実施形態にかかる半導体チップモジュールに実装される構成部品の構成を示す模式図である。
- [図3]図3(A), 図3(B)は、本発明の第1実施形態にかかる半導体チップモジュールを構成する光導波路素子の構成を示す模式図である。
- [図4]本発明の第1実施形態にかかる半導体チップモジュールを構成する光導波路素子の構成を示す模式的断面図であって、図3(B)のX-X線に沿う断面図である。
- [図5]本発明の第1実施形態にかかる半導体チップモジュールに備えられる光変調器の駆動電圧を説明するための図である。
- [図6]図6(A)～図6(F)は、本発明の第1実施形態にかかる半導体チップモジュールを構成する光導波路素子の製造方法を説明するための模式的断面図である。
- [図7]本発明の第1実施形態にかかる半導体チップモジュールを構成する光導波路素子の構成を示す模式的底面図である。
- [図8]本発明の第1実施形態にかかる半導体チップモジュールを構成するフォトディテクタの実装状態を示す模式図である。
- [図9]本発明の第1実施形態にかかる半導体チップモジュールの実装状態を示す模式的断面図である。
- [図10]図10(A)は、本発明の第1実施形態にかかる半導体チップモジュールとしてのCPUチップモジュールとメモリチップモジュールとの間の光インターコネクションの構成例の全体構成を示す図であり、図10(B)は、図10(A)中、符号Aで示す領域の

詳細を示す模式図である。

[図11]本発明の第1実施形態にかかる半導体チップモジュールとしてのCPUチップモジュールを複数接続する場合の光インターコネクションの構成例を示す模式図である。

[図12]本発明の第1実施形態にかかる半導体チップモジュールとしてのCPUチップモジュールを複数接続したマルチチップモジュールにおける光インターコネクションの構成例を示す模式図である。

[図13]本発明の第2実施形態にかかる半導体チップモジュールを構成する光導波路素子を示す模式的断面図である。

[図14]本発明の第2実施形態にかかる半導体チップモジュールを構成する光導波路素子の構成を示す模式斜視図である。

[図15]図15(A)は、CPUとDRAMとを電気配線によって接続する従来の半導体チップモジュールを示す模式的平面図であり、図15(B)は図15(A)のX-X'線に沿う断面図である。

[図16]半導体チップ間の光インターコネクションの構成例を示す模式図である。

### 符号の説明

- [0028]
- 1 パッケージ基板(回路基板)
  - 2 半導体チップ
  - 2A CPU
  - 2B メモリ
  - 3 光送受信素子
  - 4 光ファイバ
  - 5 外部光源
  - 6 送信用光導波路素子
  - 6A, 6B 素子端面
  - 7 受信用光導波路素子
  - 8 光電変換素子
  - 8A 受光面

- 9 光ファイバコネクタ
- 10 入力光導波路
- 11 出力光導波路
- 10A, 11A 平行導波路部
- 10B, 11B 傾斜導波路部
- 11C, 11D 光導波路アーム
- 10Z, 11CZ, 11DZ 光導波路コア層(コア層)
- 11X 上部クラッド層
- 11Y 下部クラッド層
- 12 光路切換構造(光進行方向転換構造)
- 13 光変調器(光変調手段)
- 14 光反射面(接続部, 導波路端面)
- 15 マツハツェンダ型光導波路
- 16A, 16B 変調用電極(信号電極, 駆動電極)
- 16C グランド電極
- 17A, 17B 変調用引出配線
- 17C グランド用引出配線
- 18A, 18B 変調用電極パッド
- 18C グランド電極パッド
- 19 光導波路用基板
- 20 光ファイバアレイ
- 22 電気配線
- 23 配線パッド
- 24 光学接着剤
- 30 配線ブロック
- 31 信号電極
- 32A 電極パッド(信号電極パッド)
- 32B 電極パッド(グランド電極パッド)

- 33A 信号電極用引出配線(電気配線)
- 33B グランド電極用引出配線(電気配線)
- 40 入力光導波路(受信用入力光導波路)
- 50 システムボード
- 52 グレーティングカプラ(光進行方向転換構造, 光路切換構造)
- 53 第1クラッド層
- 54 第1グレーティング層
- 55 第1コア層
- 56 第2クラッド層
- 57 第2コア層
- 58 第2グレーティング層
- 60 光配線送信アレイ
- 70 光配線受信アレイ
- 70A PD接続面
- 75 光配線送受信アレイ
- 80 フォトディテクタチップ(PDチップ;光検知器チップ;光電変換素子アレイ;光検知器アレイ)

### 発明を実施するための最良の形態

[0029] 以下、図面により、本発明の実施の形態にかかる半導体チップモジュールについて説明する。

#### [第1実施形態]

まず、本発明の第1実施形態にかかる半導体チップモジュールについて、図1、図2を参照しながら説明する。

[0030] 本実施形態にかかる半導体チップモジュールは、図1に示すように、パッケージ基板(回路基板)1上に実装された半導体チップ2と、パッケージ基板1上の半導体チップ2の側面近傍に実装された光導波路素子及び光電変換素子を含む光送受信用素子(入出力用素子)3とを備える。

そして、半導体チップモジュールは、光ファイバ4(例えば光ファイバシート)を介し

て外部光源5及び他のデバイス(図示せず;他のシステムや半導体チップを含む)に接続されている。

[0031] なお、ここでは、4つの光送受信素子3を半導体チップ2の各側面近傍に実装し、4つの他のデバイスに接続した構成例(図1中、各入出力部を、それぞれI/O#1, I/O#2, I/O#3, I/O#4で示している)を示している。

ここで、半導体チップ2は、例えばCPU、メモリ(例えばDRAM)などのLSIを含むICチップである。

[0032] また、光送受信素子3は、図2に示すように、複数(ここでは2つ)の送信用光導波路素子6と、複数(ここでは2つ)の受信用光導波路素子7と、光電変換素子8と、光ファイバコネクタ9とを含むものとして構成される。

このうち、送信用光導波路素子6は、外部に設置されている外部光源5からの光を変調して得られた光信号を他のデバイスへ送信するために用いられるものである。ここでは、例えばポリマ光導波路素子として構成される。

[0033] 本実施形態では、送信用光導波路素子6は、図3(A), 図3(B)に示すように、外部光源5からの光が入力される入力光導波路10と、他のデバイスへ光信号を出力する出力光導波路11と、入力光導波路10を導かれた光を出力光導波路11へ導くための光路切換構造12と、出力光導波路11に設けられ、半導体チップ2からの電気信号に基づいて外部光源5からの光を変調する光変調器13とを備える。この送信用光導波路素子6は光変調器13を備えるため、光変調素子ともいう。

[0034] なお、図3(A)中、符号60は複数の送信用光導波路素子6を一体化した光配線送信アレイを示している。また、図3(A)中、符号70は複数の受信用光導波路素子7を一体化した光配線受信アレイを示している。図3(A)中、符号75は複数の送信用光導波路素子6及び複数の受信用光導波路素子7を一体化した光配線送受信アレイを示している。

[0035] また、図2, 図3(A), 図3(B)では、説明を分かり易くするため、送信用光導波路素子6及び受信用光導波路素子7をそれぞれ2つずつ設けているが、これらの光導波路素子の数はこれに限られるものではない。

ここでは、入力光導波路10及び出力光導波路11は、図2, 図3(A), 図3(B)に示

すように、いずれも、光ファイバコネクタ9に接続される素子端面6Aから半導体チップ2側の素子端面6Bまで延びている。

[0036] 特に、出力光導波路11は、図3(A)、図3(B)に示すように、入力光導波路10に対して、パッケージ基板1に実装された状態で基板表面に垂直な方向(半導体チップ2の厚さ方向)にずれた位置(異なる位置)に平行に設けられている。つまり、入力光導波路10及び出力光導波路11は、多層構造になっており、素子高さ方向に間隔をあけて互いに平行な平行導波路部10A、11Aを有する。

[0037] 一方、入力光導波路10は、半導体チップ2側の素子端面6B近傍に垂直方向上側に傾斜した傾斜導波路部10B(例えば曲がり導波路)を備える。同様に、出力光導波路11は、半導体チップ2側の素子端面6B近傍に垂直方向下側に傾斜した傾斜導波路部11B(例えば曲がり導波路)を備える。そして、入力光導波路10の傾斜導波路部10Bの端部と出力光導波路11の傾斜導波路部11Bの端部とが、半導体チップ2側の素子端面6Bで交わって接続されている。これらの傾斜導波路部10B、11Bの接続部(導波路端面)14は素子端面6Bで外部に露出しているため、この部分は光反射面として機能することになる。

[0038] なお、素子端面6Bの光反射面14の反射率を高めるために、この部分に例えば金属膜や誘電体多層膜などを例えば蒸着法やスパッタリング法によって形成するのが好ましい。

これにより、入力光導波路10の平行導波路部10Aを伝搬してきた光は、半導体チップ2側の素子端面6B近傍で傾斜導波路部10Bに導かれ、素子端面6Bに垂直方向上側から斜めに入射し、素子端面6Bで垂直方向下側へ斜めに反射して、出力光導波路11の傾斜導波路部11Bに導かれ、出力光導波路11の平行導波路部11Aを、入力光導波路10を伝搬する光の伝搬方向に対して反対方向へ伝搬していくようになっている。

[0039] このように、本実施形態では、素子端面6Bにおいて光を垂直方向に斜めに反射させる光反射構造(光路切換構造)12によって、多層の光導波路間での光の移動(光路の切り換え)を実現し、入力光導波路10を伝搬してきた光の進行方向(光の伝搬方向)を切り換え、入力光導波路10を伝搬する光の進行方向に対して、出力光導波

路11を伝搬する光の進行方向が反対になるように構成することで、複数の送信用光導波路素子6を、LSIなどの半導体チップ2を実装するパッケージ基板1上の半導体チップ2の近傍に高密度に集積することができるようにしている。

[0040] このため、本実施形態では、光路切換構造(光進行方向転換構造)12は、素子端面の光反射面と、入力光導波路10の傾斜導波路部10Bと、入力光導波路10の傾斜導波路部10Bに光反射面14を介して接続される出力光導波路11の傾斜導波路部11Bとを備え、入力光導波路10の傾斜導波路部10Bを導かれた光が光反射面14で反射して出力光導波路11の傾斜導波路部11Bへ導かれるように構成されていることになる。

[0041] また、出力光導波路11には、その一部に導波路内を伝搬する光の強度を変調する導波路型の光変調器(光変調手段)13が設けられている。このように、光変調器13を送信用光導波路素子6の一部に形成することで、LSIなどの半導体チップ2を実装するパッケージ基板1と一体化できるようにしている。

本実施形態では、光変調器13は、電気光学効果による屈折率変化を利用した光変調器として構成している。このため、出力光導波路11の少なくとも光変調器13の部分は電気光学効果を生じうる材料によって形成されている。

[0042] 例えば、電気光学効果を生じうる材料としては、電気光学効果を生じうる有機系材料や電気光学効果を生じうる無機系材料を用いることができる。

ここで、電気光学効果を生じうる有機系材料としては、例えば、電気光学効果を発現しうる有機色素をポリマ材料に混合することによって得られるものを用いることができる。この場合、ベースとなるポリマ材料の組成調整によって屈折率を変えることができる。このため、ポリマ材料の組成調整によって、光導波路を構成するコア及びクラッドの双方の材料を得ることができる。なお、電気光学効果を生じうる有機系材料からなる光導波路は、基板上に液状の有機系材料をスピコートし、フォトリソグラフィ技術等を用いて形成することができる。

[0043] 一方、電気光学効果を生じうる無機系材料としては、例えば、電気光学効果を有する結晶材料であるニオブ酸リチウム、ランタン添加チタン酸ジルコン酸鉛(PLZT)、チタン酸ジルコン酸鉛(PZT)などを用いることができる。但し、PLZTやPZTは、伝搬

損失が光の偏光状態に依存しないように結晶軸を選べるため、これらを用いるのが好ましい。この場合、ランタンLaの濃度を変えることによって屈折率を変えることができる(La濃度が増えると、屈折率が下がる)。このため、La濃度の調整によって、光導波路を構成するコア及びクラッドの双方の材料を得ることができる。なお、電気光学効果を生じうる無機系材料からなる光導波路は、例えばゾルゲル法、MOCVD法などの結晶成膜法を用いて形成することができる。但し、コアの形成については、エッチングプロセスが必要である。

[0044] 具体的には、光変調器13は、電圧を印加すると屈折率が変化する電気光学効果を有する材料によって、以下のように構成すれば良い。

つまり、例えば図3(B)に示すように、出力光導波路11の一部を分岐させて、2つの光導波路アーム(分岐導波路部)11C, 11Dを有するマツハツェンダ型光導波路15を備えるものとし、それぞれの光導波路アーム11C, 11Dを挟むように、変調用電極(信号電極, 駆動電極)16A, 16B及びグランド電極16Cを設ける。そして、これらの変調用電極16A, 16Bに電圧(信号電圧, 駆動電圧)を印加し、それぞれの光導波路アーム11C, 11Dに電界をかけて、それぞれのアーム11C, 11D内を伝搬する光の位相を変えて光の強度を変調するマツハツェンダ型光変調器として構成すれば良い。なお、図3(B)中、符号17A, 17B, 17Cは、それぞれ変調用電極16A, 16B及びグランド電極16Cに接続された変調用引出配線及びグランド用引出配線である。また、符号18A, 18B, 18Cは、それぞれ変調用引出配線及びグランド用引出配線17A, 17B, 17Cの端部に形成された変調用電極パッド及びグランド電極パッドである。

[0045] ここでは、図4に示すように、光導波路アーム11Cは、光導波路用基板19上に、下部クラッド層11Y, 光導波路コア層(コア層)11CZ, 上部クラッド層11Xを順に積層させて構成する。また、光導波路アーム11Dは、光導波路用基板19上に、下部クラッド層11Y, 光導波路コア層(コア層)11DZ, 上部クラッド層11Xを順に積層させて構成する。さらに、入力光導波路10は、光導波路用基板19上に、上部クラッド層11X, 光導波路コア(コア層)10Z, 下部クラッド層11Yを順に積層させて構成する。

[0046] そして、光導波路アーム11Cを構成する光導波路コア11CZの上方の上部クラッド

層11Xの上側に変調用電極16Aを設けている。また、光導波路アーム11Dを構成する光導波路コア(コア層)11DZの上方の上部クラッド層11Xの上側に変調用電極16Bを設けている。さらに、双方の光導波路アーム11C, 11Dを構成する光導波路コア11CZ, 11DZの下方の下部クラッド層11Yの下側に共通電極としてのグランド電極16Cを設けている。

[0047] なお、ここでは、双方の光導波路アーム11C, 11Dに変調用電極16A, 16B及びグランド電極16Cを設けているが、いずれか一方の光導波路アームに変調用電極及びグランド電極を設けるようにしても良い。

このように構成されるマツハツェンダ型光変調器13では、一方又は双方の光導波路アーム(ここでは双方の光導波路アーム11C, 11D)に電界を加え、電気光学効果によって屈折率を変化させて、それぞれの光導波路アーム11C, 11D内を伝搬する光の位相をシフトさせ、2つの光導波路アーム11C, 11Dが結合する部位で光を干渉させて、光の振幅を最大又は最小に切り換え、光信号を生成することになる。

[0048] なお、分岐された2つの光導波路アームは、光導波路の形成プロセスで発生する僅かな屈折率の差や長さの差によって、その実効的な光路長が変わってしまい、電極に電圧を印加していない状態(変調信号オフ状態)で、それぞれの光導波路アーム11C, 11D内を伝搬する光に位相差が生じ、干渉後の光出力が最大又は最小にならない場合がある(図5参照)。この場合、一方の光導波路アームに微調整用の電圧(バイアス電圧)を印加して差動動作させることで位相差が生じないようにすれば良い。

[0049] 例えば図5に示すように、実効的な光路長差によって干渉後の光出力の最小値にオフセットが生じている場合、一方の電極[ここでは微調整用電極(バイアス電極)16A]に微調整用の電圧(バイアス電圧)を印加することで、オフセットが生じないようにすれば良い。

本実施形態では、2つの光導波路アーム11C, 11Dの双方に変調用電極16A, 16B及びグランド電極16Cを設け、一方の光導波路アーム11Cに設けられた変調用電極16Aに微調整用の電圧(バイアス電圧)を定常的に印加しておくようにし、他方の光導波路アーム11Dに設けられた変調用電極16Bに電圧を印加していない状態

(変調信号オフ状態)で、それぞれの光導波路アーム11C, 11D内を伝搬してきた光が干渉し、光出力がほぼゼロになるようにしている。なお、一方の光導波路アーム11Cに設けられた変調用電極16Aには、微調整用の電圧(バイアス電圧)が印加されるため、この電極16Aを微調整用電極(バイアス電極)ともいう。また、変調用電極16A, 16Bとは別にバイアス電極を設けても良い。

[0050] なお、図5は、変調用電極16Bへの印加電圧と干渉後の光出力の強度との関係を示している。図5に示すように、光の強度を変調する場合に、変調用電極16Bに印加する電圧(駆動電圧)の範囲としては、図5中、符号1, 2, 3, 4...で示すような複数の範囲を選択しうるが、高速変調が可能で、なるべく低電圧な領域を選択するのが好ましい。

[0051] なお、ここでは、光変調器13を出力光導波路11に設けているが、これに限られるものではなく、入力光導波路10に設けても良い。

上述のように構成される光変調器13を備える送信用光導波路素子6は、図6(A)～図6(F)に示すように、以下のようにして作製される。なお、図6(A)～図6(F)は、図3(B)のX-X線に沿う断面図を示している。

[0052] まず、図6(A)に示すように、送信用光導波路素子6を形成するために用いる光導波路用基板19を用意する。

ここで、光導波路用基板19は、光配線を行なうために用いられる光ファイバアレイ(例えば光ファイバシート)のピッチ(例えば $250\mu\text{m}$ )から、複数の送信用光導波路素子6を接着して光配線送信アレイとする際に形成される接着層の厚さ(例えば $5\mu\text{m}$ )を差し引いた値に相当する厚さを有するものとする。

[0053] 次いで、図6(B)に示すように、光導波路用基板19上の光変調器13を形成する領域に、グランド電極16C(基板側面まで延びる引出配線17Cを含む)を、例えばスパッタ法とエッチングを組み合わせ形成する。ここで、グランド電極16Cは、例えばCr(クロム), Ni(ニッケル), Au(金)などからなる多層構造の電極として構成すれば良い。

[0054] 次に、図6(C)に示すように、電気光学効果(EO効果)を有する光導波路材料(ここではEOポリマ)を用いて、例えばスピコート法によって、下部クラッド層11Yを形成

する。

次いで、下部クラッド層11Yよりも屈折率を高くした電気光学効果を有する光導波路材料を用いてコア層を形成した後、例えばフォトリソグラフィ技術を用いてパターンニングを行なって、入力光導波路10及び出力光導波路11を構成する光導波路コアのパターンを形成する。

[0055] 本実施形態では、図6(D)に示すように、出力光導波路11に設けられる光変調器13をマッハツェンダ型光変調器として構成するため、2つの光導波路アーム11C, 11Dを構成する光導波路コア11CZ, 11DZが形成される。なお、図6(D)中、符号10Zは入力光導波路10を構成する光導波路コアを示している。

次に、図6(E)に示すように、下部クラッド層11Yと同じ材料を用いて、例えばスピコート法によって、パターンニングされた光導波路コア10Z, 11CZ, 11DZを埋め込むように上部クラッド層11Xを形成する。

[0056] 次いで、図6(F)に示すように、マッハツェンダ型光変調器13の2つの光導波路アーム11C, 11Dを構成する光導波路コア11CZ, 11DZの上方の上部クラッド層11Xの表面上に、それぞれ変調用電極16A, 16Bを形成する。このようにして、送信用光導波路素子6が作製される。

ところで、本実施形態では、上述のように構成される送信用光導波路素子6を複数個用意し、パッケージ基板1の表面に平行な方向に並べて配列している。つまり、本実施形態では、上述のように構成される送信用光導波路素子6を単位構造とし、図3(A)に示すように、複数の送信用光導波路素子6を一体化して、多チャンネルの光配線送信アレイ(光信号送信部)60とし、図9に示すように、半導体チップ2とともに、パッケージ基板1上に実装している。

[0057] 具体的には、一般的な光導波路技術を用いて、上述のようにして[図6(A)～(F)参照]、所定の厚さ(例えば0.25mm;光ファイバアレイのピッチに相当する厚さ)を有する平板状の送信用光導波路素子6を複数個作製する。次に、複数(ここでは2つ)の送信用光導波路素子6を立てた状態で(即ち、送信用光導波路素子6の一方の側面が下側になるようにして)、端面をあわせながら、一の送信用光導波路素子6の表面と他の送信用光導波路素子6の裏面とを互いに接着して光配線送信アレイ60を

作製する[図3(A)参照]。そして、図3(A), 図3(B), 図9に示すように、入力光導波路10と出力光導波路11とが基板表面に垂直な方向(半導体チップ2の厚さ方向)にずれた位置にくるように、光配線送信アレイ60の底面(送信用光導波路素子6の側面)とパッケージ基板1の表面とを対向させて、光配線送信アレイ60をパッケージ基板1上に実装している。なお、図3(A)では接着層は省略している。

[0058] この場合、各送信用光導波路素子6に備えられる入力光導波路10間のピッチは、送信用光導波路素子6の厚さ(例えば0.25mm)と等しくなる。

本実施形態では、入力光導波路10と出力光導波路11が、パッケージ基板1上に、光配線送信アレイ60の厚さ方向(基板表面に垂直な方向)の異なる位置に揃えて形成されているため、光配線送信アレイ60は、光ファイバを2段に積み重ねて一体化された光ファイバアレイ20(例えば2枚の光ファイバシート)に例えば光ファイバコネクタ9を介して接合することができる(図9参照)。ここで、接続法としては、一般的な光学接着剤を用いたバットジョイント法を用いることができる。

[0059] そして、図1に示すように、光ファイバアレイ20を構成する各光ファイバの他端を、1つの外部光源(共通光源)5に接続し、それぞれの送信用光導波路素子6に対して共通光源5からの光を供給し、図3(A), 図3(B)に示すように、それぞれの送信用光導波路素子6に備えられる光変調器13で変調するようにしている。つまり、1つの外部光源5からの光を、複数に分岐し、複数の光ファイバを介してそれぞれの送信用光導波路素子6に入力し、それぞれの送信用光導波路素子6に備えられる光変調器13によって変調するようにしている。

[0060] なお、ここでは、外部光源5として1つの共通光源を用いているが、これに限られるものではない。例えば、一の共通光源が故障してしまった場合のバックアップとして利用できるように、複数の共通光源を設けても良い。

ところで、本実施形態では、光変調器13の変調用電極16A, 16Bが半導体チップ2の端子(例えばLSI端子)に電氣的に接続されており、光変調器13は、LSI(例えばCMOS)などの半導体チップ2の信号電圧(低電圧信号;出力信号)によって直接駆動されるようになっている。

[0061] ここでは、図3(B)に示すように、光変調器13を構成する2つの光導波路アーム11

C, 11Dに設けられている変調用電極16A, 16Bから送信用光導波路素子6の側面(パッケージ基板1に実装した状態では底面となる)まで延びるように、送信用光導波路素子6の表面に変調用引出配線(電気配線)17A, 17Bが形成されている。また、2つの光導波路アーム11C, 11Dに設けられている共通のグランド電極16Cから送信用光導波路素子6の側面まで延びるように、送信用光導波路素子6の内部にグランド用引出配線(電気配線)17Cが形成されている。さらに、送信用光導波路素子6の側面まで延びる各引出配線17A, 17B, 17Cの端部には、接続ポイントとして変調用電極パッド18A, 18B, グランド電極パッド18Cが形成されている。

[0062] ここで、複数(ここでは2つ)の送信用光導波路素子6を一体化して光配線送信アレイ60とした場合、図7に示すように、光配線送信アレイ60の底面は、各送信用光導波路素子6の側面に形成された各電極パッドが配列された電極パッド面となる。

一方、半導体チップ(例えばLSI)2が実装されるパッケージ基板1には、図9に示すように、半導体チップ2が実装される領域から光配線送信アレイ60やフォトディテクタ(PD)8が実装された配線ブロック30を実装する領域まで延びる電気配線22(ここでは3次元的な配線構造の多層配線としている)が形成されている。パッケージ基板1としては、例えば一般的な多層プリント基板を用いれば良い。なお、パッケージ基板1の内部に形成される電気配線22は、それぞれの実装領域において基板表面まで延びており、その端部に配線パッド23が形成されている。

[0063] そして、半導体チップ実装領域(例えばLSI実装領域)では、基板表面に形成された配線パッド23に半導体チップ2の端子(例えばLSI端子)を接続することによって、半導体チップ2がパッケージ基板1上に実装される。例えばLSI2はパッケージ基板1上にボールグリッドアレイ(BGA; Ball Grid Array)実装されることになる。

一方、半導体チップ2と同様に、光配線送信アレイ実装領域において、基板表面に形成された配線パッド23と、各送信用光導波路素子6の側面(光配線送信アレイ60の底面)に形成された電極パッド18A~18Cとを、例えばはんだ接合することによって、光配線送信アレイ60がパッケージ基板1上に実装されることになる。なお、配線パッド23と電極パッド18A~18Cとの接合は例えば導電ペーストを用いて行なっても良い。

[0064] これにより、各光変調器13の変調用電極16A, 16Bと半導体チップ2の端子(例えばLSI端子)とが電気配線によって電氣的に接続され、光変調器13に半導体チップ2からの電気信号(LSI信号)が供給されるようになっている。

なお、電気配線22をできるだけ短くするために、光変調器13は送信用光導波路素子6の半導体チップ2側の素子端面近傍に設けるのが好ましい。例えば数ミリ以内の配線距離を実現することができる。

[0065] ところで、受信用光導波路素子7は、パッケージ基板1上の半導体チップ2の側面近傍に設けられ、他のデバイスからの光信号を受信するために用いられるものである。ここでは、例えばポリマ光導波路素子として構成される。

本実施形態では、受信用光導波路素子7は、他のデバイスからの光信号を半導体チップ2側の素子端面まで導く入力光導波路(受信用入力光導波路)と、入力光導波路に素子端面を介して接続され、素子端面で光電変換素子によって受光されずに反射した光を吸収する光吸収構造(例えば光吸収材料を塗布するなどの光を吸収する処理を他の末端などに施しておけば良い)を有する反射光処理用光導波路とを備える。

[0066] ここで、受信用入力光導波路は、上述の送信用光導波路素子6の入力光導波路10と同様に形成している。また、反射光処理用光導波路は、上述の送信用光導波路素子6の出力光導波路11と同様に形成している。なお、受信用光導波路素子7の作製方法は、上述の送信用光導波路素子6の作製方法と同様である。

但し、当然のことながら、受信用光導波路素子7には光変調器を設ける必要はない。また、受信用入力光導波路の傾斜導波路部の端部と反射光処理用光導波路の傾斜導波路部の端部とが交わる素子端面(導波路端面)には反射膜は形成せず、この導波路端面には、図9に示すように、後述する光電変換素子8の受光面を例えば光学接着剤24などで接着している。このように、光電変換素子8と導波路端面との間に透明媒体(光学接着剤)を充填することによって、受信用入力光導波路を伝搬してきた光が反射するのを抑制し、光を効率良く光電変換素子8の受光面に導くことができるようにしている。

[0067] ここで、受信用入力光導波路を、傾斜導波路部を有するものとして構成し、さらに、

反射光処理用光導波路を設けているのは、戻り光や迷光の影響をできるだけ抑えるためである。

本実施形態では、上述のように構成される受信用光導波路素子7を複数個(ここでは2つ)用意し、パッケージ基板1の表面に平行な方向に並べて配列している。つまり、本実施形態では、上述のように構成される受信用光導波路素子7を単位構造とし、図3(A)に示すように、複数の受信用光導波路素子7を一体化して、多チャンネルの光配線受信アレイ(光信号受信部)70とし、図9に示すように、半導体チップ2とともに、パッケージ基板1上に実装している。なお、光配線受信アレイ70は、上述の光配線送信アレイ60と同様に形成され、実装される。

[0068] 具体的には、光配線受信アレイ70と上述の光配線送信アレイ60とを一体化して光配線送受信アレイ(光信号送受信部)75とし、これを、半導体チップ2とともに、パッケージ基板1上に実装している[図3(A)参照]。

この結果、複数(ここでは2つ)の送信用光導波路素子6と複数(ここでは2つ)の受信用光導波路素子7とが、パッケージ基板1の表面に平行な方向に並べて設けられることになる(図2, 図9参照)。

[0069] 本実施形態では、上述の光配線送信アレイ60の場合と同様に、入力光導波路と反射光処理用光導波路は、パッケージ基板1上に、光配線受信アレイ70の厚さ方向(基板表面に垂直な方向;半導体チップ1の厚さ方向)へずれた位置(異なる位置)に揃えて設けられているため、光配線受信アレイ70は、光ファイバ(例えば光ファイバシート)を2段に積み重ねて一体化された光ファイバアレイ20に例えば光ファイバコネクタ9を介して接合することができる(図9参照)。なお、光ファイバアレイ20を構成する各光ファイバの他端は、他のデバイスに接続されている。

[0070] なお、本実施形態では、光電変換素子8と光学接着剤24とで屈折率が異なり、界面での反射を解消することが難しいことを考慮して、反射光が光学系全体においてノイズとならないように、光吸収構造を有する反射光処理用光導波路を設けているが、これに限られるものではない。例えば、受信用光導波路素子7は、反射光処理用光導波路を備えず、入力光導波路のみを備えるものとして構成しても良い。

[0071] 光電変換素子8は、光信号を電気信号に変換する素子である。ここでは、光電変換

素子8は、受信用光導波路素子7の半導体チップ2側の素子端面に接続されるように、パッケージ基板1上に実装されている。

光電変換素子8としては、例えばフォトダイオードなどの光検知器(フォトディテクタ; PD)を用いれば良い。ここでは、図8に示すように、複数(ここでは2つ)のフォトディテクタ8の受光面8Aがアレイ状(例えばピッチ0.25mm)に並ぶように一体形成されたアレイ状のフォトディテクタチップ80(PDチップ; 光検知器チップ; 光電変換素子アレイ; 光検知器アレイ)を用いている。このアレイ状のフォトディテクタチップ80は、複数の受信用光導波路素子7のそれぞれに対して光電変換素子8が1つずつ設けられるように構成される。

[0072] また、光電変換素子8は、半導体チップ2の端子(例えばLSI端子)に電氣的に接続されており、受信した光信号を変換して得られた電気信号を半導体チップ(例えばLSI)へ送信できるようになっている。

ここでは、図8に示すように、まずアレイ状のPDチップ80を配線ブロック30に接合して、配線ブロック30上にアレイ状のPDチップ80を実装している。この場合、PDチップ80を構成する各PD8の受光面8A近傍に形成されている信号電極31は、配線ブロック30の底面の電極パッド(信号電極パッド)32Aまで延びる信号電極用引出配線(電気配線)33Aに例えばワイヤーボンディングで接続される。一方、PDチップ80の基板は、配線ブロック30の底面の電極パッド(グランド電極パッド)32Bまで延びるグランド電極用引出配線(電気配線)33Bに接続され、これにより、それぞれのPD8が共通の引出配線33Bを介して接地されるようにしている。なお、配線ブロック30の底面は電極パッド32A, 32Bが集約された電極パッド面になっている。

[0073] そして、半導体チップ(例えばLSI)2と同様に、パッケージ基板1上のPD実装領域において、パッケージ基板1の基板表面に形成された配線パッド23と、配線ブロック30の底面に形成された電極パッド32A, 32Bとを、例えばはんだ接合することによって、アレイ状のPDチップ80がマウントされた配線ブロック30が、パッケージ基板1上に実装されることになる(図9参照)。なお、配線パッド23と電極パッド32A, 32Bとの接合は例えば導電ペーストを用いて行なっても良い。

[0074] これにより、各光電変換素子(ここではPD)8の端子(電極)と、半導体チップ2の端

子(例えばLSI端子)とが電気配線によって電氣的に接続され、各光電変換素子8によって受信されて変換された電気信号が、半導体チップ(例えばLSI)2へ送信されるようになっている。

本実施形態では、図9に示すように、光電変換素子8は、その受光面が受信用光導波路素子7の半導体チップ2側の素子端面に露出している導波路端面に接するように、受信用光導波路素子7の半導体チップ2側の素子端面に例えば光学接着剤24によって接着されている。つまり、本実施形態では、半導体チップ2の側面近傍に受信用光導波路素子7が設けられているが、光電変換素子8の受光面(光検知面)8Aが受信用光導波路素子7の導波路端面に接するように、光電変換素子8が、半導体チップ2の側面と受信用光導波路素子7の素子端面との間に配設されている。なお、受信用光導波路素子7(光配線受信アレイ70)に光電変換素子8(光電変換素子アレイ80)を接着したものを、光導波路複合体構造という。

[0075] なお、ここでは、光電変換素子8の受光面8Aが受信用光導波路素子7の導波路端面に接するようにしているが、これに限れるものではない。例えば、受信用光導波路素子7の導波路端面から出射された光を受光できるのであれば、光電変換素子8の受光面8Aが受信用光導波路素子7の導波路端面から離れていても良い。また、例えばレンズを用いて、受信用光導波路素子7の導波路端面から出射された光を、光電変換素子8の受光面8Aに光学的に結合させるようにしても良い。

[0076] このように、本実施形態では、図9に示すように、パッケージ基板1上に、半導体チップ2、光配線送信アレイ60、光配線受信アレイ70及び光電変換素子8(光電変換素子チップ80)を一体に搭載したものとして、半導体チップモジュールが構成される。

ここで、それぞれの部品をパッケージ基板1上に実装するに際しては、一般的な電子部品の表面実装技術を用いることができる。この場合、高精度の光学アライメントは不要であるため、低コスト化に向いている。

[0077] 特に、本実施形態では、半導体チップ2の厚さ方向(基板表面に垂直な方向)へずれた位置(異なる位置)に平行に入力光導波路10及び出力光導波路11を設け、半導体チップ2近傍に位置する送信用光導波路素子6の端面における反射を利用して

光の進行方向を転換し、入力光導波路10と出力光導波路11とで光の進行方向(光の伝搬方向)が反対になるように構成することで、外部光源5からの光を、一旦、半導体チップ2近傍まで導き、半導体チップ2近傍で変調した後、変調された光信号を他のデバイスへ向けて送信できるようにしている。このようにして、半導体チップ2の周囲に光インターコネクションに必要な光学系を高密度に実装できるようにしている。

[0078] 本実施形態にかかる半導体チップモジュールは、上述のように構成されるため、外部に設置された共通光源5によって供給され、複数の分割された光が、半導体チップ2(例えばLSI)近傍に高密度に配置された光配線送信アレイ60の光変調器13まで導かれ、半導体チップ2の駆動信号(低電圧信号)によって直接変調されて光信号(送信信号)が生成され、他のデバイスへ向けて送信されることになる。

[0079] 一方、他のデバイスから送信されてきた光信号は、半導体チップ2近傍に高密度に配置された光配線受信アレイ70を介して光電変換素子8まで導かれ、光電変換素子8で生成された光電流が半導体チップ2へ送られ、半導体チップ2に内蔵された増幅回路で増幅されて、電気信号(受信信号)として受信されることになる。

したがって、本実施形態にかかる半導体チップモジュールによれば、コストを低く抑えながら、半導体チップ2(例えばLSI)の近傍に多数かつ高密度に実装できるようにしてサイズを小さくした光インターコネクションを実現できるという利点がある。

[0080] 特に、本実施形態では、光配線構造を全て半導体チップ2(例えばLSI)近傍に高密度に配置することが可能であり、また、例えば高速光変調のドライバICなどが不要であるため、小型で低コストの光インターコネクションを実現することができる。また、共通光源5を用いた光インターコネクションとしているため、光源にかかるコストを低く抑えることができる。

[0081] また、半導体チップ2の直下は、従来と同様に、半導体チップ2の信号端子、電源端子、アース端子などの多数の端子とパッケージ基板1との接続に利用できるようにしている。このため、例えば光素子などを内蔵する半導体チップ2(例えばLSI)を新たに設計する必要がなく、従来設計のままの半導体チップ2(例えばLSI)を用いることができることになる。

[0082] また、本実施形態では、半導体チップ2の駆動信号(例えばLSI信号)を用いて直

接的に光の変調を行なって光信号を生成するようにしているため、高速変調が可能で、低レイテンシ(低遅延)の光インターコネクションを実現できるという利点もある。

なお、本実施形態では、半導体チップモジュールを、受信用光導波路素子7や光電変換素子8も備えるものとして構成しているが、これに限られるものではなく、例えば、半導体チップ2及び送信用光導波路素子6を備えるものとして構成することもできる。

[0083] ところで、上述のように構成される本実施形態にかかる半導体チップモジュールを用いれば、一のLSI光モジュールを構成する光配線送信アレイ60と、他のLSI光モジュールを構成する光配線受信アレイ70とを、光ファイバアレイ20(例えば光ファイバシート)を用いて接続することで、複数のLSI光モジュール間の光インターコネクションを実現することができる。

[0084] 以下、上述の本実施形態にかかる半導体チップモジュールを用いた光接続の構成例を説明する。

#### [第1構成例]

第1構成例は、図10(A)、(B)に示すように、CPU2Aとメモリ2Bとの間を光接続する場合の構成例である。なお、図10(B)は、図10(A)のA部を拡大したものである。

[0085] 本構成例では、図10(A)、(B)に示すように、上述の実施形態における半導体チップモジュールとして、CPUモジュールと、メモリモジュールとを用意し、これらを、光ファイバアレイ20(例えば光ファイバシート)を用いて接続している。

ここで、CPUモジュールは、図10(A)、(B)に示すように、パッケージ基板1上に、CPU2A、光変調器13及び光反射面14を備える光配線送信アレイ60、光配線受信アレイ70、光ファイバコネクタ[例えばMT(Mechanically Transferable)コネクタ]9、及び、光配信受信アレイ70のPD接続面70Aに接続されるPDアレイ80を実装したものとして構成される。

[0086] メモリモジュールは、図10(A)、(B)に示すように、パッケージ基板1上に、メモリ2B、光変調器13を備える光配線送信アレイ60、光配線受信アレイ70、光ファイバコネクタ9、及び、光配信受信アレイ70のPD接続面70Aに接続されるPDアレイ80を実装したものとして構成される。

なお、図10(A), (B)では、説明を分かり易くするために、光配線送信アレイ60及び光配線受信アレイ70を構成する光導波路を、それぞれ1つずつ模式的に示しているが、実際には、光配線送信アレイ60及び光配線受信アレイ70は、複数の光導波路(場合によっては反射光処理用光導波路も含む)をアレイ状に配列されたものとして構成される。

[0087] また、光配線送信アレイ60や光配線受信アレイ70の接続面は、光ファイバコネクタ(例えばMTコネクタ)9と接続できるように、標準化されたインターフェースを持つものとしている。

さらに、外部光源5からの光を導くための光ファイバは、所要の本数だけ用意し(分岐し)、CPUモジュール及びメモリモジュールのそれぞれに接続すれば良い。

[0088] このようにしてCPU2Aとメモリ2Bとの間を光接続する場合、以下のように動作する。

外部光源5から光ファイバアレイ20(例えば光ファイバシート)を構成する光ファイバ及び光ファイバコネクタ(例えばMTコネクタ)9を介して供給された光は、CPUモジュールを構成する光配線送信アレイ60の入力光導波路10へ導かれ、光配線送信アレイ60の端面に形成された光反射面14で反射され、入力光導波路10に対して基板表面に垂直な方向へずれた位置に設けられている出力光導波路11へ導かれる。そして、出力光導波路11に設けられている光変調器13がCPU2Aからの電気信号によって駆動され、出力光導波路11を伝搬する光が変調され、変調された光信号が、光ファイバコネクタ9及び光ファイバアレイ20(例えば光ファイバシート)を構成する光ファイバを介してメモリモジュールへ向けて送信される。

[0089] ここでは、CPUモジュールの出力光導波路11は、光ファイバコネクタ9及び光ファイバアレイ20(例えば光ファイバシート)を構成する光ファイバを介して、メモリモジュールを構成する光配線受信アレイ70の入力光導波路(受信用入力光導波路)40に接続されているため、CPUモジュールの光変調器13で変調された光信号は、メモリモジュールの入力光導波路40へ導かれ、光配線受信アレイ70の端面のPD接続面70Aを介して、PDアレイ80を構成するPDの受光面に入射し、PDで電気信号に変換され、メモリ2Bへ送られる。

[0090] 一方、外部光源5から光ファイバアレイ20(例えば光ファイバシート)を構成する光ファイバ及び光ファイバコネクタ9を介して供給された光は、メモリモジュールを構成する光配線送信アレイ60の入力光導波路10へ導かれ、光配線送信アレイ60の端面に形成された光反射面14で反射され、入力光導波路10に対して基板表面に垂直な方向へずれた位置に設けられている出力光導波路11へ導かれる。そして、出力光導波路11に設けられている光変調器13がメモリ2Bからの電気信号によって駆動され、出力光導波路11を伝搬する光が変調され、変調された光信号が、光ファイバコネクタ9及び光ファイバアレイ20(例えば光ファイバシート)を構成する光ファイバを介してCPUモジュールへ向けて送信される。

[0091] ここでは、メモリモジュールの出力光導波路11は、光ファイバコネクタ9、光ファイバアレイ20(例えば光ファイバシート)を構成する光ファイバを介して、CPUモジュールを構成する光配線受信アレイ70の入力光導波路40に接続されているため、メモリモジュールの光変調器13で変調された光信号は、CPUモジュールの入力光導波路40へ導かれ、光配線受信アレイ70の端面のPD接続面70Aを介して、PDアレイ80を構成するPDの受光面に入射し、PDで電気信号に変換され、CPUへ送られる。

#### [第2構成例]

第2構成例は、図11に示すように、複数(ここでは4つ)のCPU2Aを相互に光接続する場合の構成例である。

[0092] 本構成例では、図11に示すように、上述の実施形態における半導体チップモジュールとして、複数(ここでは4つ)のCPUモジュールを用意し、光ファイバアレイ20(例えば光ファイバシート)を用いて、これらを相互に接続するとともに、外部光源5にも接続し、1枚のシステムボード50上に実装している。なお、図11中、システムボード50はその一部の領域のみを示している。

[0093] ここで、各CPUモジュールは、パッケージ基板1上に、CPU2Aと、光配線送信アレイ、光配線受信アレイ、光ファイバコネクタ(例えばMTコネクタ)及びPDアレイを含む光送受信素子3とを実装したものとして構成される。

このように、複数のCPUモジュールを相互に接続する場合、各CPUモジュールを構成するCPU2Aのそれぞれの側面近傍に光配線送信アレイ及び光配線受信アレイ

イを実装することになる。ここでは、4つのCPUモジュールを相互に接続しているため、一のCPUモジュールを構成するCPU2Aの2つの側面近傍にそれぞれ1つずつ光配線送信アレイ及び光配線受信アレイを実装している。

[0094] ここでは、外部光源5からの光を各CPUモジュールに供給する光ファイバアレイ20(例えば光ファイバシート)と、各CPU2A間を相互に接続する光ファイバアレイ20(例えば光ファイバシート)とを重ね合わせて(一体化して)、光供給系を構成している。

また、ここでは、CPU2A間的高速伝送線を光接続とし、そのほかの電源、グランド、他のデバイスとの接続などは基板内の電気配線による電氣的な接続としている。

[0095] なお、その他の構成及び動作などは、上述の第1構成例と同様である。

#### [第3構成例]

第3構成例は、図12に示すように、上述の第2構成例の構成をマルチチップモジュール(MCM)とした場合の構成例である。

本構成例では、図12に示すように、上述の実施形態における半導体チップモジュールとして、1枚の共通のパッケージ基板上に複数(ここでは4つ)のCPU2Aを実装し、これらを、光ファイバアレイ20(例えば光ファイバシート)を用いて接続している。

[0096] このように、複数のCPU2Aを相互に接続する場合、各CPU2Aのそれぞれの側面近傍に、光配線送信アレイ、光配線受信アレイ、光ファイバコネクタ及びPDアレイを含む光送受信素子3を実装することになる。ここでは、4つのCPU2Aを相互に接続しているため、一のCPU2Aの2つの側面近傍にそれぞれ1つずつ光送受信素子3を実装している。

[0097] なお、その他の構成や動作などは、上述の第1構成例及び第2構成例と同様である。

このように、マルチチップモジュールとして構成すれば、電気配線の微細化、配線長の短縮が可能であり、全体のサイズを小さくすることができるという利点がある。

#### [第2実施形態]

次に、本発明の第2実施形態にかかる半導体チップモジュールについて、図13を参照しながら説明する。

[0098] 本実施形態にかかる半導体チップモジュールは、図13に示すように、上述の第1

実施形態のものに対し、送信用光導波路素子6の光進行方向転換構造(光路切換構造)12として、グレーティングカプラ52を用いている点が異なる。

このため、本半導体チップモジュールは、送信用光導波路素子6の光導波路構造が異なる。

[0099] つまり、本実施形態では、送信用光導波路素子6の光導波路構造は、図13に示すように、光導波路用基板19上に、第1クラッド層53、第1グレーティング層54、第1コア層55、第2クラッド層56、第2コア層57、第2グレーティング層58を順に積層させた構造になっている。なお、図13では、送信用光導波路素子6の半導体チップ側の素子端面6Bの近傍領域の一部を示している。

[0100] ここで、第1クラッド層53、第1グレーティング層54、第1コア層55(導波路コア)、第2クラッド層56によって、外部光源からの光が入力される入力光導波路10が構成され、第2クラッド層56、第2コア層57(導波路コア)、第2グレーティング層58によって、他のデバイスへ光信号を出力する出力光導波路11が構成される。

特に、本実施形態では、入力光導波路10と出力光導波路11とは、上下2層構造になっており、半導体チップ側の素子端面6Bの近傍領域でグレーティングカプラ52によって接続されている。

[0101] つまり、入力光導波路10の導波路コア55と出力光導波路11の導波路コア57は、半導体チップの厚さ方向(基板表面に垂直な方向)へずれた位置(異なる位置)に平行に設けられている。また、入力光導波路10の第1グレーティング層54及び出力光導波路11の第2グレーティング層58には、半導体チップ近傍に位置する素子端面近傍の導波路コア近接領域にグレーティングが設けられている。これにより、入力光導波路10と出力光導波路11が、素子端面6Bの近傍領域でグレーティングカプラ52によって接続されることになる。

[0102] ここで、グレーティングは、光の進行方向に対して屈折率の周期構造を持つように、導波路コア(光導波路)に沿って周期的に屈折率を変化させることによって形成することができる。

なお、グレーティングカプラ52としては、例えば電子情報通信学会論文誌C-I, Vol. J80-C-I, No.10, pp.461-468(1997)に開示されているものを用いることができる。

[0103] このように構成すると、下層の入力光導波路10を伝搬してきた光は、グレーティングカプラ52によって、上層の出力光導波路11へ移り、出力光導波路11を反対方向へ伝搬していくことになる。

このように、本実施形態では、グレーティングカプラ52による導波光と放射光の結合を利用して、多層の光導波路10, 11間での光の移動(光路の切り換え)を実現し、入力光導波路10を伝搬してきた光の進行方向(光の伝搬方向)を転換して、入力光導波路10を伝搬する光の進行方向に対して、出力光導波路11を伝搬する光の進行方向が反対になるように構成することで、外部光源からの光を、一旦、半導体チップ近傍まで導き、半導体チップ近傍で変調した後、変調された光信号を他のデバイスへ向けて送信できるようにしている。これにより、LSIなどの半導体チップを実装する基板(パッケージ基板)上の半導体チップの近傍に光インターコネクションに必要な光学系を高密度に実装できることになる。

[0104] このため、本実施形態では、光路切換構造(光進行方向転換構造)12は、入力光導波路10及び出力光導波路11の半導体チップ側の素子端面6Bの近傍に設けられるグレーティングカプラ52を備え、入力光導波路10を導かれた光がグレーティングカプラ52によって出力光導波路11へ導かれるように構成されていることになる。

なお、本実施形態では、素子端面における反射を利用しないため、上述の第1実施形態の場合と比較して、素子端面の加工精度を緩和することができる。また、それぞれの光導波路の端部を素子端面に露出させなくても良い。

[0105] ところで、本実施形態では、上述のように入力光導波路10と出力光導波路11とを積層させた2層構造にしているため、光変調器の電極の形成を容易にするために、図14に示すように、入力光導波路10を下側に設け、出力光導波路11を上側に設け、上側の出力光導波路11に光変調器13を設けるのが好ましい。

また、本実施形態では、上述のように、入力光導波路10と出力光導波路11とを積層させて形成することで、入力光導波路10の導波路コアと出力光導波路11の導波路コアが半導体チップの厚さ方向(基板表面に垂直な方向)へずれた位置(異なる位置)に平行に設けられることになるため、複数の送信用光導波路素子6は同一基板19上に一体的に形成され、光導波路用基板19を下にした状態で、そのままパッケー

ジ基板1上に実装される。この場合、光配線送信アレイが同一基板19上に形成されることになる。また、光配線送信アレイの一部として複数の送信用光導波路素子6が形成されることになる。

[0106] この場合、マッハツェンダ型光変調器13は、上述の第1実施形態と同様に形成するため、マッハツェンダ型光変調器13の2つの光導波路アーム11C, 11Dは光導波路用基板19の表面に平行な方向に並ぶことになる。ここで、隣り合う送信用光導波路素子6でマッハツェンダ型光変調器13の位置を光導波路長手方向へずらすことで、送信用光導波路素子6をより高密度に実装できるようになる。なお、2つの光導波路アーム11C, 11Dが光導波路基板19の表面に垂直な方向に並ぶように、マッハツェンダ型光変調器を形成しても良い。

[0107] また、それぞれの電極(変調用電極16A, 16B, グランド電極16C)に接続される引出配線(電気配線)17A~17Cは、光変調器13の電極16A~16Cから送信用光導波路素子6の半導体チップ近傍に位置する素子端面6Bの表面を経て光導波路用基板19の裏面側まで延びており、その末端に電極パッド18A~18Cが形成されている。

[0108] 一方、複数の受信用光導波路素子7も、上述の送信用光導波路素子6と同様に、同一基板19上に一体的に形成する。この場合、光配線受信アレイが同一基板19上に形成されることになる。また、光配線受信アレイの一部として複数の受信用光導波路素子7が形成されることになる。上述の送信用光導波路素子6では、上下に2つの光導波路を形成しているが、受信用光導波路素子7では、少なくとも受信用入力光導波路のみを形成すれば良い。

[0109] 特に、受信用入力光導波路を伝搬してきた光が素子端面6B(PD受光面)で反射し、これが戻り光となって影響を与えないように、受信用入力光導波路は、半導体チップ側の素子端面近傍で、光導波路用基板19の表面に平行な方向(水平方向)に傾斜した傾斜導波路部(例えば曲がり導波路部)を有するものとして構成するのが好ましい。

さらに、上述の第1実施形態と同様に、反射光処理用光導波路を設けるのも好ましい。つまり、受信用入力光導波路に対して光導波路用基板19の表面に平行な方向(

水平方向)にずれた位置(異なる位置)に平行に反射光処理用光導波路を設けるのも好ましい。この場合、反射光処理用光導波路は素子端面近傍ですぐに終端させるようにすれば、個々の受信用入力光導波路の間隔を狭くすることができ、受信用光導波路素子7をより高密度に実装できるようになる。

[0110] なお、その他の構成や動作については、上述の第1実施形態と同様である。

したがって、本実施形態にかかる半導体チップモジュールによれば、上述の第1実施形態と同様に、コストを低く抑えながら、半導体チップ(例えばLSI)の近傍に多数かつ高密度に実装できるようにしてサイズを小さくした光インターコネクションを実現できるという利点がある。

[その他]

なお、上述の各実施形態では、送信用光導波路素子6の光進行方向転換構造(光路切換構造)として、光反射構造やグレーティングカップラを用いているが、これらの構成に限られるものではなく、入力光導波路10を導かれた光を出力光導波路11へ導くための構造であれば他の構成を用いても良い。

[0111] また、本発明は、上述した各実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形することができる。

## 請求の範囲

- [1] 回路基板上に実装された半導体チップと、  
外部光源からの光を変調して得られた光信号を他のデバイスへ送信する送信用光導波路素子とを備え、  
前記送信用光導波路素子が、  
前記外部光源からの光が入力される入力光導波路と、  
前記入力光導波路に対して、前記回路基板上に実装された状態で前記回路基板の表面に垂直な方向へずれた位置に設けられ、前記他のデバイスへ光信号を出力する出力光導波路と、  
前記入力光導波路を導かれた光を前記出力光導波路へ導くための光路切換構造と、  
前記入力光導波路又は前記出力光導波路に設けられ、前記半導体チップからの電気信号に基づいて前記外部光源からの光を変調する光変調器とを有することを特徴とする、半導体チップモジュール。
- [2] 前記入力光導波路及び前記出力光導波路が、いずれも前記半導体チップ側の素子端面まで延びており、  
前記光路切換構造が、前記素子端面の光反射面と、前記入力光導波路の傾斜導波路部と、前記入力光導波路の傾斜導波路部に前記光反射面を介して接続される前記出力光導波路の傾斜導波路部とを備え、前記入力光導波路の傾斜導波路部を導かれた光が前記光反射面で反射して前記出力光導波路の傾斜導波路部へ導かれるように構成されることを特徴とする、請求項1記載の半導体チップモジュール。
- [3] 前記光路切換構造が、前記入力光導波路及び前記出力光導波路の前記半導体チップ側の素子端面近傍に設けられるグレーティングカップラを備え、前記入力光導波路を導かれた光が前記グレーティングカップラによって前記出力光導波路へ導かれるように構成されることを特徴とする、請求項1記載の半導体チップモジュール。
- [4] 前記他のデバイスからの光信号を前記半導体チップ側の素子端面まで導く受信用入力光導波路を備える受信用光導波路素子と、  
前記受信用入力光導波路に接続されるように前記回路基板上に実装され、光信号

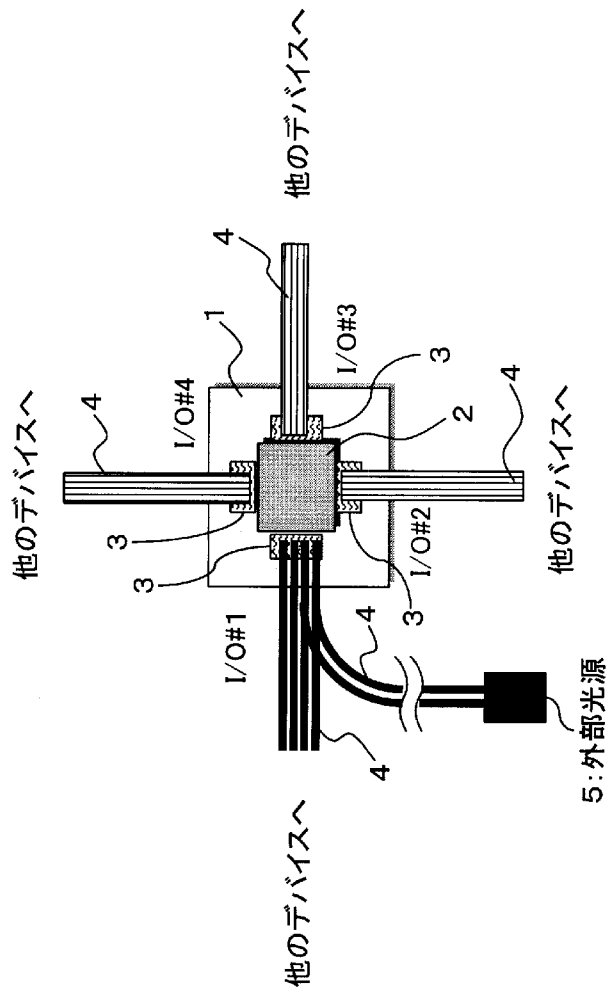
を電気信号に変換する光電変換素子とを備えることを特徴とする、請求項1～3のいずれか1項に記載の半導体チップモジュール。

- [5] 前記受信用光導波路素子が、前記受信用入力光導波路に接続されるように前記素子端面で反射した光を吸収する光吸収構造を有する反射光処理用光導波路を備えることを特徴とする、請求項4記載の半導体チップモジュール。
- [6] 前記受信用光導波路素子が、前記受信用入力光導波路に対して前記回路基板に実装された状態で前記回路基板の表面に垂直な方向へずれた位置に設けられていることを特徴とする、請求項4又は5記載の半導体チップモジュール。
- [7] 前記送信用光導波路素子と前記受信用光導波路素子が、前記回路基板の表面に平行な方向に並べて設けられていることを特徴とする、請求項4～6のいずれか1項に記載の半導体チップモジュール。
- [8] 前記送信用光導波路素子を複数備え、  
前記複数の送信用光導波路素子が、前記回路基板の表面に平行な方向に並べて設けられていることを特徴とする、請求項1～7のいずれか1項に記載の半導体チップモジュール。
- [9] 前記外部光源として、前記複数の送信用光導波路素子のそれぞれに光を供給する共通光源を備えることを特徴とする、請求項8記載の半導体チップモジュール。
- [10] 前記受信用光導波路素子を複数備え、  
前記複数の受信用光導波路素子が前記回路基板の表面に平行な方向に並べて設けられていることを特徴とする、請求項4～9のいずれか1項に記載の半導体チップモジュール。
- [11] 前記送信用光導波路素子は、前記光変調器の電極から前記回路基板に実装された状態で素子底面まで延びる電気配線と、前記素子底面に形成され、前記電気配線が接続される電極パッドとを備え、前記半導体チップに電氣的に接続されるように、前記電極パッドを介して前記回路基板に形成された電気配線に接続されていることを特徴とする、請求項1～10のいずれか1項に記載の半導体チップモジュール。
- [12] 前記光電変換素子が、前記半導体チップに電氣的に接続されるように、電気配線を有する配線ブロックを介して前記回路基板上に実装されていることを特徴とする、

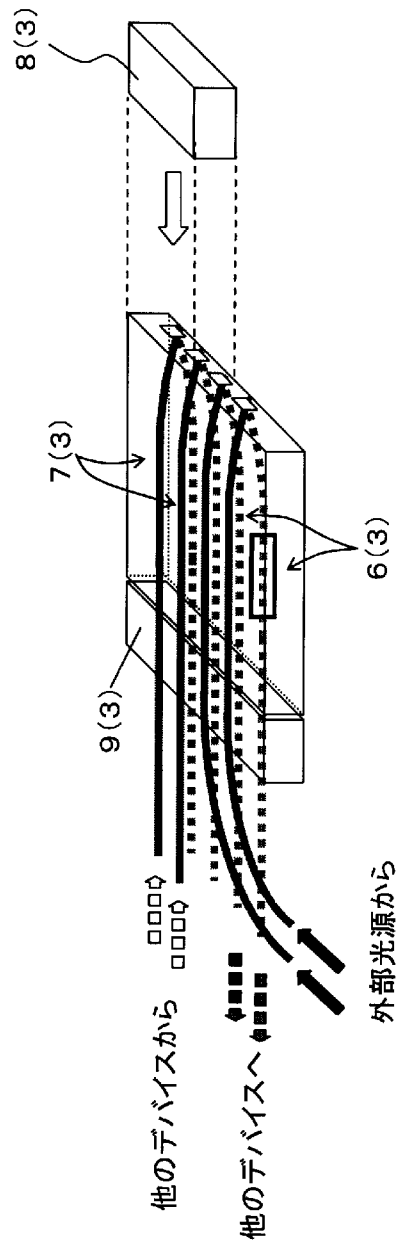
請求項4～11のいずれか1項に記載の半導体チップモジュール。

- [13] 前記光変調器が、電気光学効果を生じうる材料によって構成されていることを特徴とする、請求項1～12のいずれか1項に記載の半導体チップモジュール。
- [14] 前記送信用光導波路素子が、ポリマ光導波路素子であることを特徴とする、請求項1～13のいずれか1項に記載の半導体チップモジュール。
- [15] 前記受信用光導波路素子が、ポリマ光導波路素子であることを特徴とする、請求項4～14のいずれか1項に記載の半導体チップモジュール。
- [16] 請求項1～15のいずれか1項に記載の半導体チップモジュールを複数備え、前記複数の半導体チップモジュールを光ファイバで相互に接続して構成されることを特徴とする、半導体チップモジュール。
- [17] 前記回路基板上に前記半導体チップ及び前記送信用光導波路素子を複数備えることを特徴とする、請求項1～15のいずれか1項に記載の半導体チップモジュール。
- [18] 前記回路基板上に前記受信用光導波路素子を複数備えることを特徴とする、請求項17記載の半導体チップモジュール。

[図1]

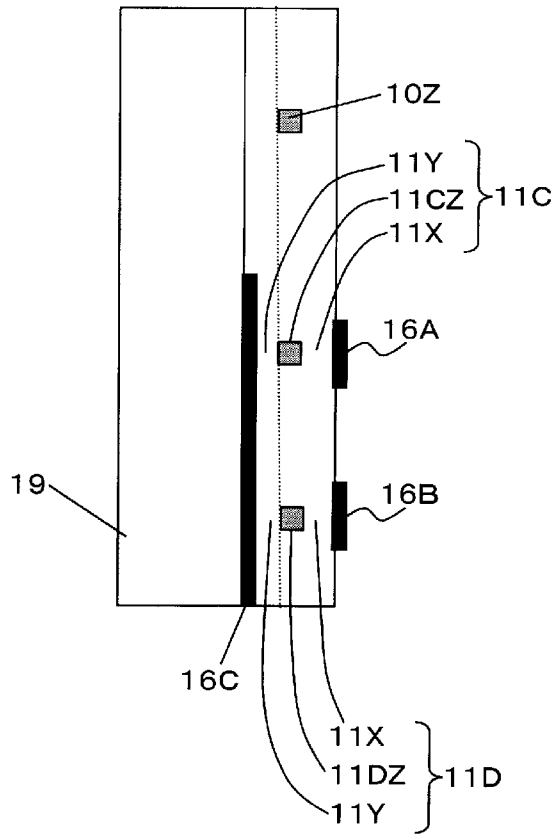


[図2]

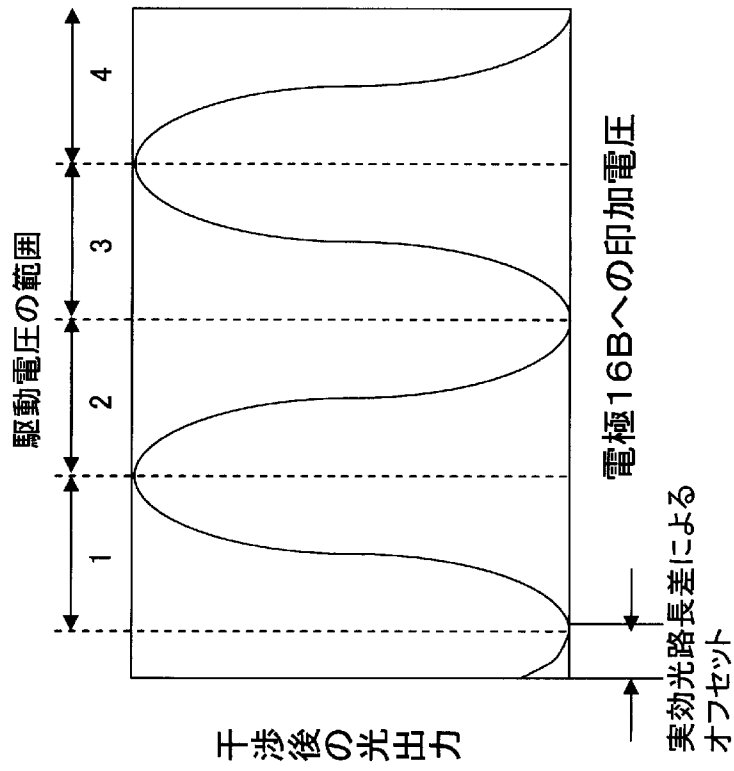




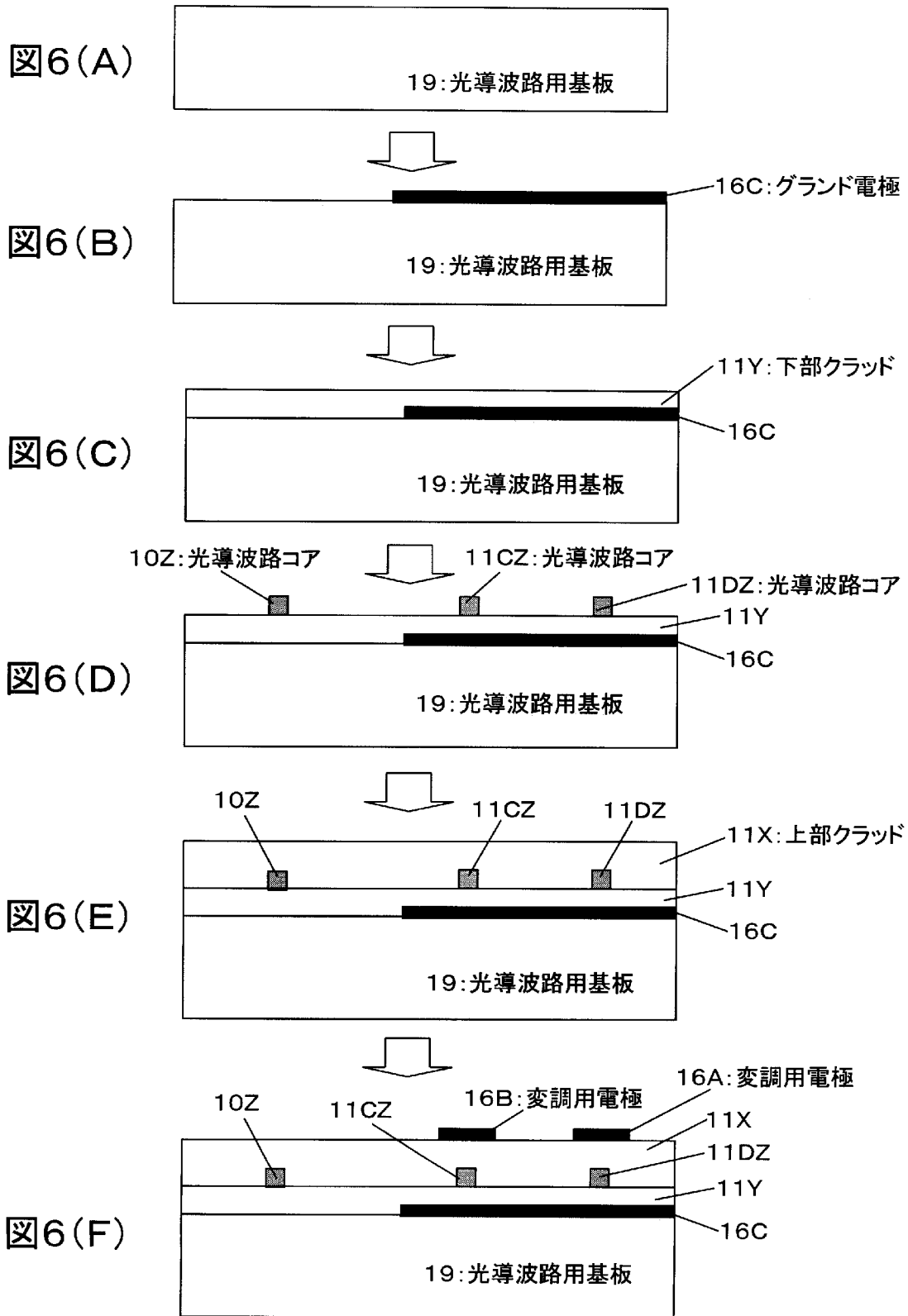
[図4]



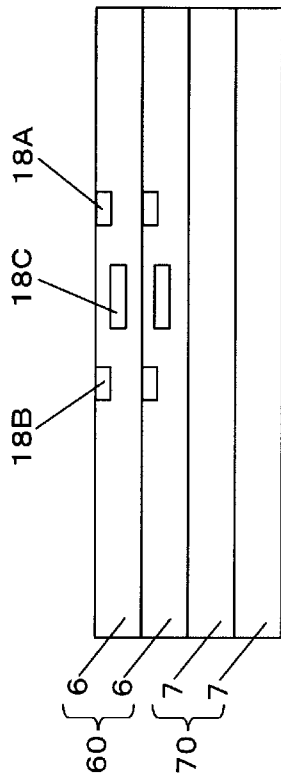
[図5]



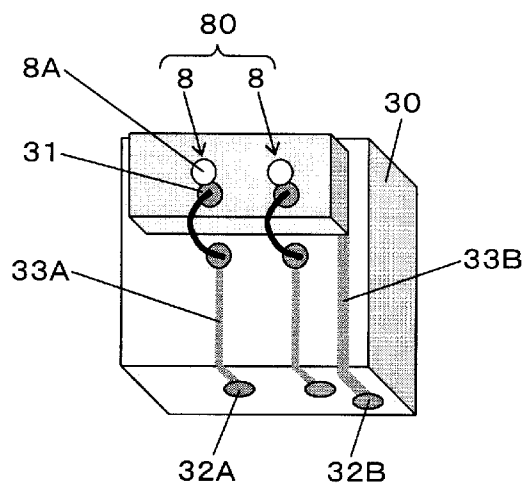
[図6]



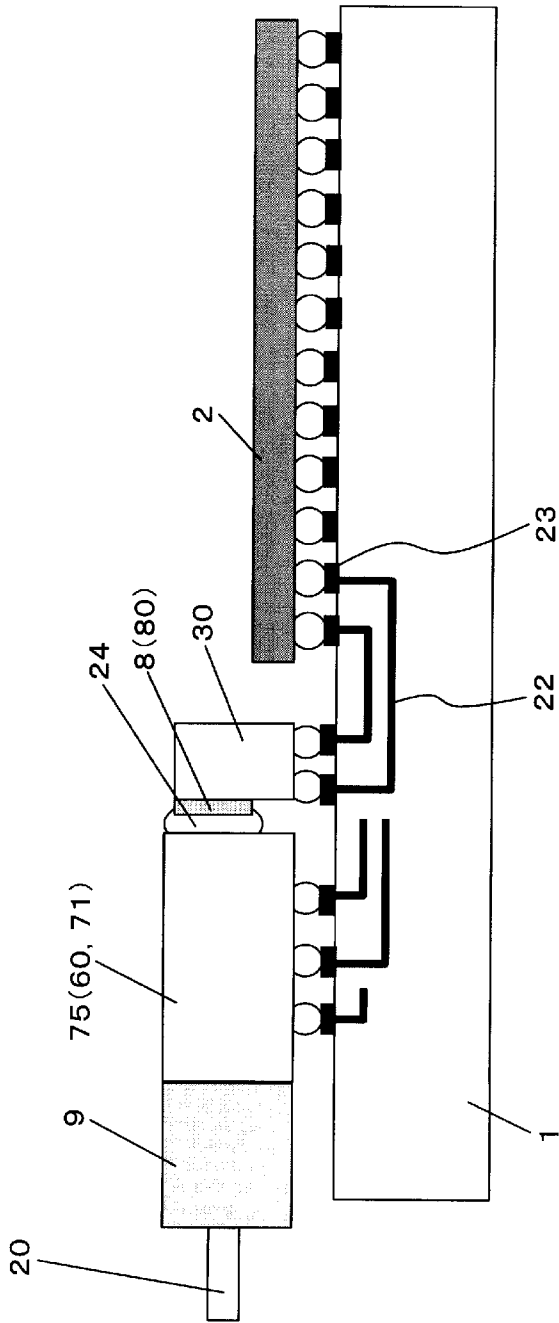
[図7]



[図8]



[図9]



[図10]

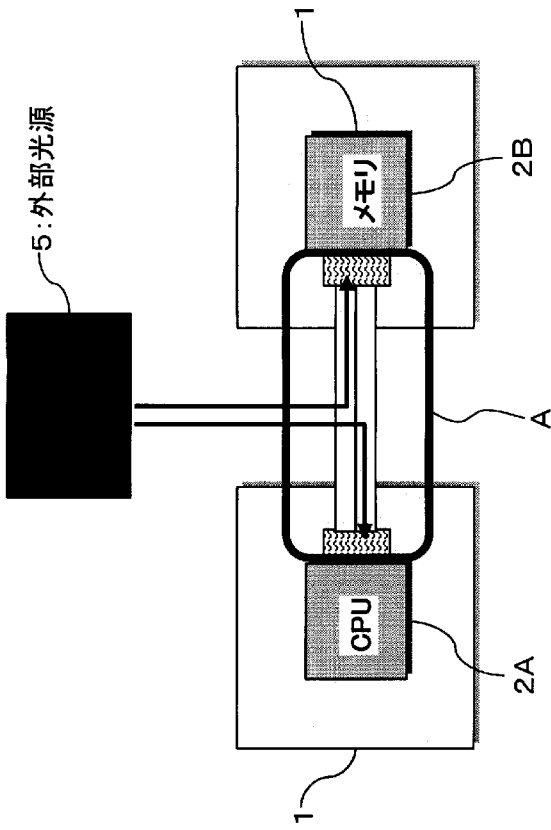


図10(A)

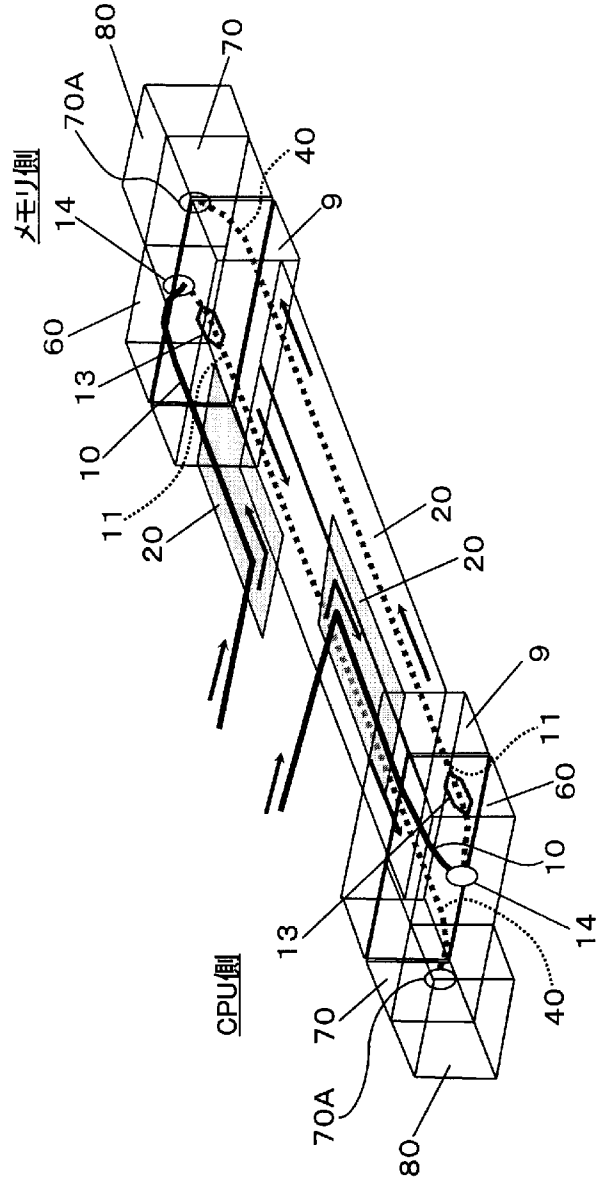
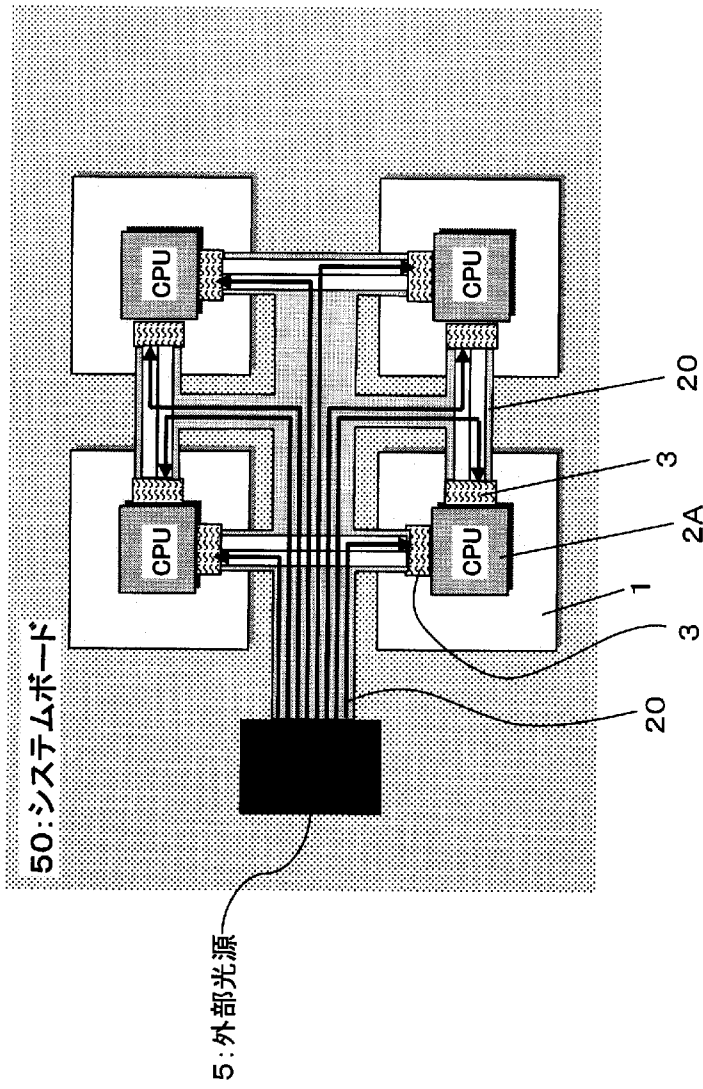
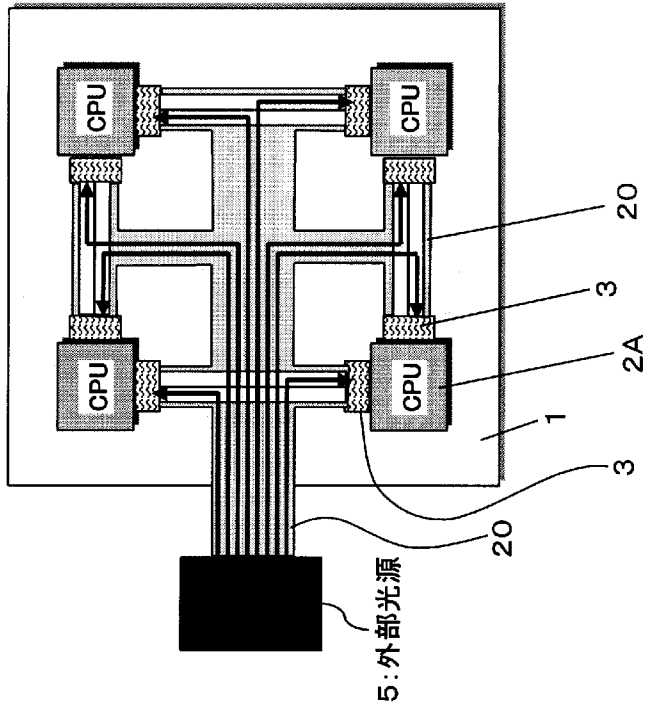


図10(B)

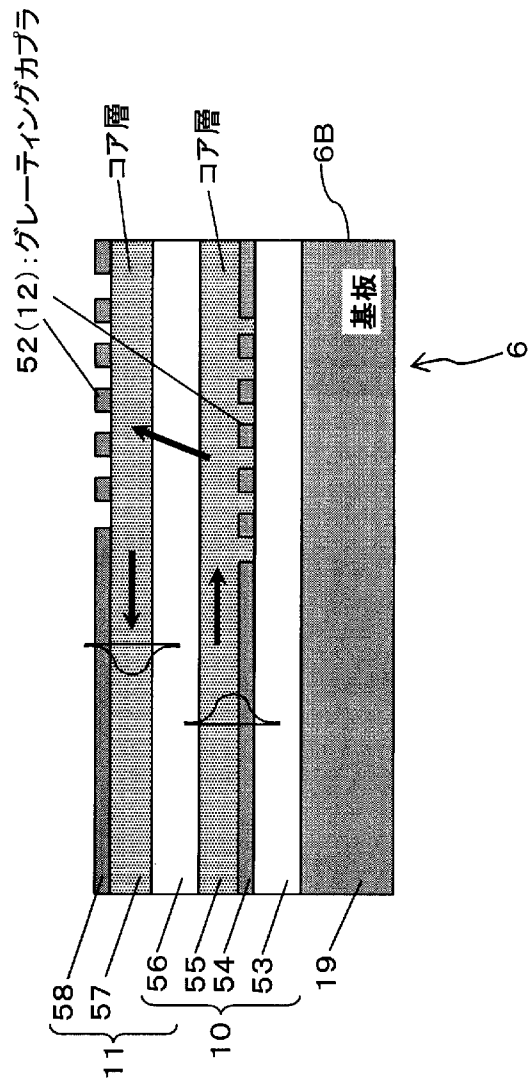
[図11]



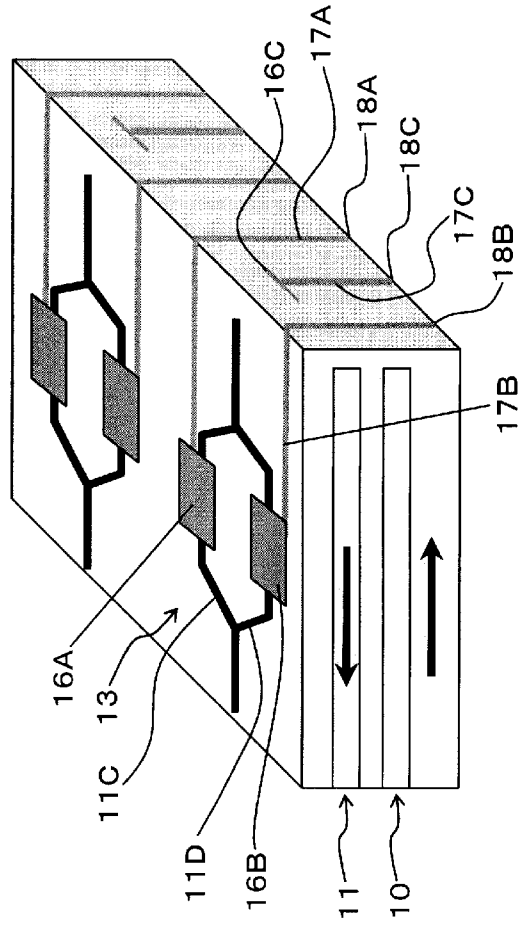
[図12]



[図13]



[図14]



[図15]

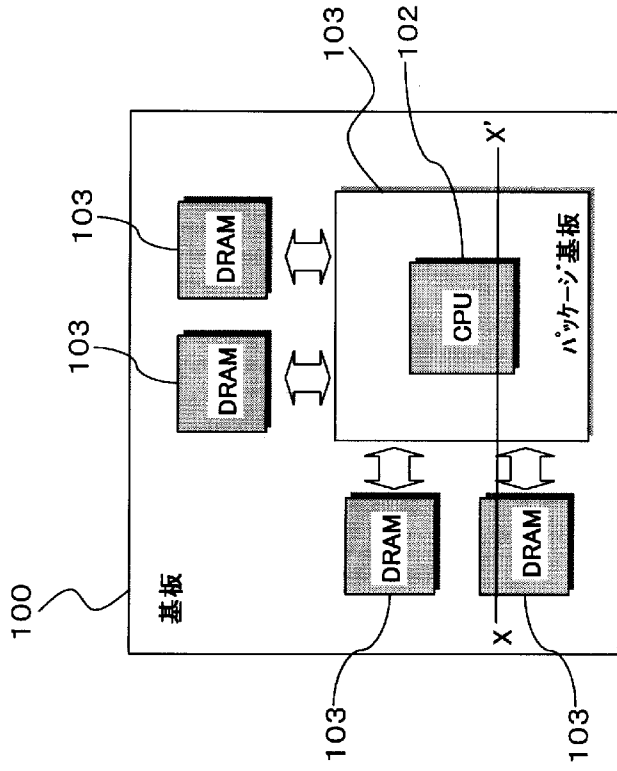


図15(A)

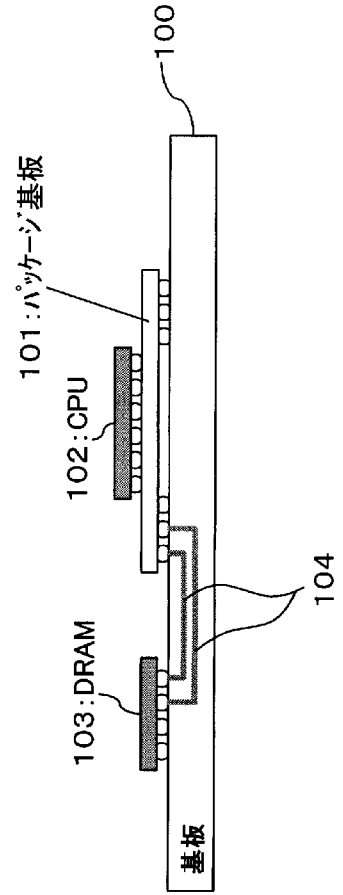
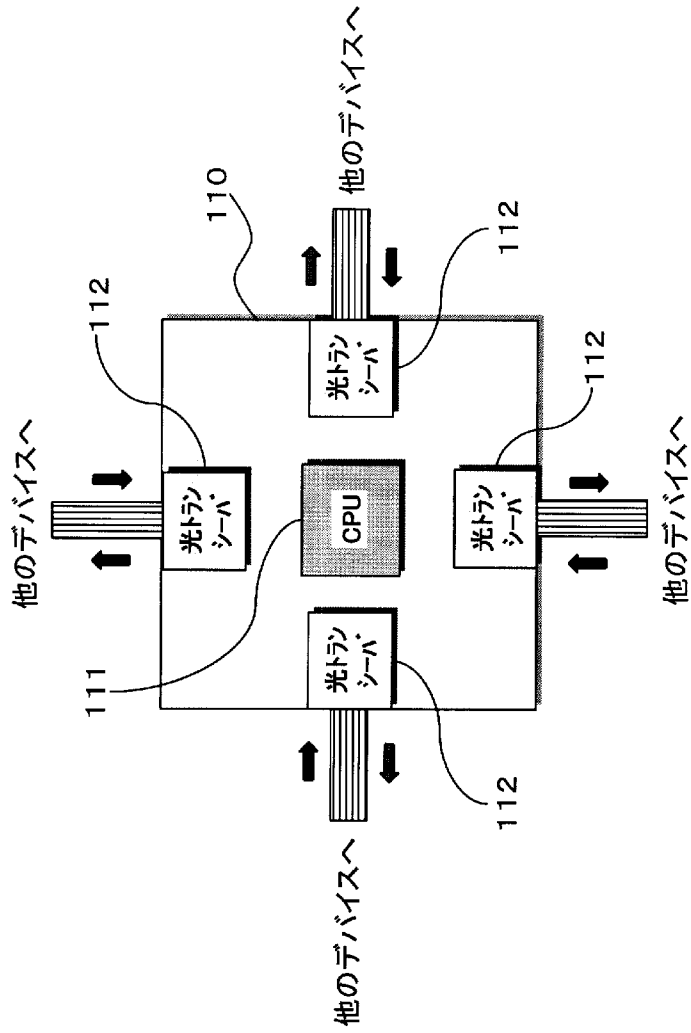


図15(B)

[図16]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2005/013588

**A. CLASSIFICATION OF SUBJECT MATTER**

**G02F1/035**(2006.01), **G02B6/42**(2006.01), **H01L31/02**(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

**G02F1/035**(2006.01), **G02B6/42**(2006.01), **H01L31/02**(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2004-317556 A (Mitsubishi Electric Corp.), 11 November, 2004 (11.11.04), Full text; all drawings & US 2004/0202397 A1	1, 2, 4-7, 11-18 3, 8-10
Y A	JP 9-15545 A (Nippon Telegraph And Telephone Corp.), 17 January, 1997 (17.01.97), Full text; all drawings (Family: none)	1, 2, 4-7, 11-18 3, 8-10
Y A	JP 2001-133666 A (NEC Corp.), 18 May, 2001 (18.05.01), Full text; all drawings (Family: none)	4-7, 11-18 3, 8-10

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
18 October, 2005 (18.10.05)

Date of mailing of the international search report  
01 November, 2005 (01.11.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int.Cl.<sup>7</sup> G02F1/035 (2006.01), G02B6/42 (2006.01), H01L31/02 (2006.01)

B. 調査を行った分野  
 調査を行った最小限資料 (国際特許分類 (IPC))  
 Int.Cl.<sup>7</sup> G02F1/035 (2006.01), G02B6/42 (2006.01), H01L31/02 (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの  
 日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2005年  
 日本国実用新案登録公報 1996-2005年  
 日本国登録実用新案公報 1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2004-317556 A (三菱電機株式会社) 2004.11.11, 全文, 全図	1, 2, 4-7, 11-18
A	&US 2004/0202397 A1	3, 8-10
Y	JP 9-15545 A (日本電信電話株式会社) 1997.01.17, 全文, 全図	1, 2, 4-7, 11-18
A	(ファミリーなし)	3, 8-10

C欄の続きにも文献が列挙されている。  パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー                  「A」 特に関連のある文献ではなく、一般的技術水準を示すもの                  「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの                  「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)                  「O」 口頭による開示、使用、展示等に言及する文献                  「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献                  「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの                  「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの                  「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの                  「&amp;」 同一パテントファミリー文献</p>
--	---

国際調査を完了した日 18.10.2005	国際調査報告の発送日 01.11.2005
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 河原 正 電話番号 03-3581-1101 内線 3294	2X	9017
--	---	----	------

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 2001-133666 A (日本電気株式会社) 2001. 05.18, 全文, 全図 (ファミリーなし)	4-7, 11-18 3, 8-10
A	JP 6-69490 A (富士通株式会社) 1994.03.1 1, 全文, 全図 (ファミリーなし)	1-18
A	JP 2001-36197 A (キヤノン株式会社) 2001. 02.09, 全文, 全図 &US 6477286 B1	1-18
A	WO 94/06052 A1 (富士通株式会社) 1994.03. 17, 全文, 全図 &EP 617314 A1 &US 5757989 A1	1-18