

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2020-5331
(P2020-5331A)

(43) 公開日 令和2年1月9日(2020.1.9)

(51) Int.Cl.
H02M 3/28 (2006.01)

F I
H02M 3/28
H02M 3/28

テーマコード (参考)
5H730
H

審査請求 未請求 請求項の数 9 O L (全 16 頁)

(21) 出願番号	特願2018-119551 (P2018-119551)	(71) 出願人	000109093
(22) 出願日	平成30年6月25日 (2018.6.25)		ダイヤモンド電機株式会社
			大阪府大阪市淀川区塚本1丁目15番27号
		(74) 代理人	100135013
			弁理士 西田 隆美
		(72) 発明者	中原 将吾
			大阪府大阪市淀川区塚本1丁目15番27号
			ダイヤモンド電機株式会社内
		(72) 発明者	中山 大禎
			大阪府大阪市淀川区塚本1丁目15番27号
			ダイヤモンド電機株式会社内
		Fターム(参考)	5H730 AA14 AS08 AS17 BB27 BB57 BB61 DD04 DD41 EE04 FG05 FG07

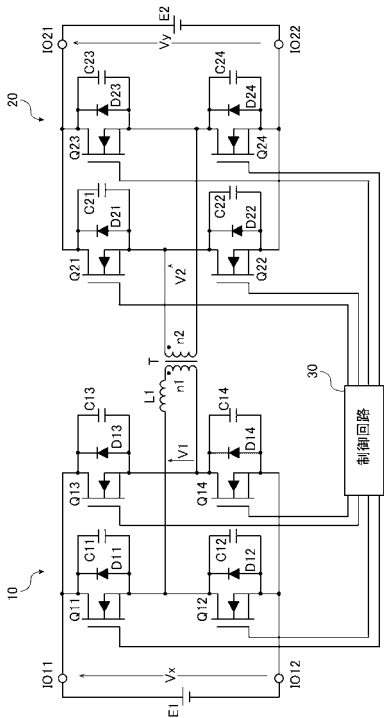
(54) 【発明の名称】 DC-DCコンバータ

(57) 【要約】 (修正有)

【課題】簡易な制御でZVS動作を行い、スイッチング損失を低減するコンバータを提供する。

【解決手段】DC-DCコンバータは、第1フルブリッジ回路10と、第2フルブリッジ回路20とが、トランスTおよびインダクタL1を介して接続された構成である。制御回路30は、各スイッチング素子をソフトスイッチング制御する。スイッチング素子のターンオンとターンオフとの切り替えタイミングで、トランスTおよびトランスTの等価インダクタに流れるインダクタ電流は、閾値電流以上である。制御回路30は、スイッチング周波数を固定にして、第1フルブリッジ回路10の出力と、第2フルブリッジ回路20の出力とが極性反転する極性反転期間を一定に保ちつつ、第1フルブリッジ回路10の電圧出力期間と、第2フルブリッジ回路20の電圧出力期間と、を変更して、所定の電力を出力する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

寄生容量であるキャパシタ、または、並列接続された外付けのキャパシタを含む、4つのスイッチング素子を有する第1フルブリッジ回路と、

寄生容量であるキャパシタ、または、並列接続された外付けのキャパシタを含む、4つのスイッチング素子を有する第2フルブリッジ回路と、

前記第1フルブリッジ回路に接続された第1巻線と、前記第2フルブリッジ回路に接続され、前記第1巻線と磁気結合する第2巻線とを有するトランスと、

前記第1巻線または前記第2巻線に直列接続されたインダクタンス成分と、

前記第1フルブリッジ回路および前記第2フルブリッジ回路それぞれの各スイッチング素子をソフトスイッチング制御する制御回路と、

を備え、

前記制御回路は、

前記第1フルブリッジ回路および前記第2フルブリッジ回路それぞれの電圧出力期間を調整する出力角変調モードと、スイッチング周波数を調整する周波数変調モードとで実行可能であり、出力すべき目標電力に応じて、前記出力角変調モード、または、前記周波数変調モード、を実行する、

DC-DCコンバータ。

【請求項 2】

請求項1に記載のDC-DCコンバータであって、

スイッチング素子のターンオンとターンオフとの切り替えタイミングで、前記トランスおよび前記インダクタンス成分の等価インダクタに流れるインダクタ電流は、閾値電流以上である、

DC-DCコンバータ。

【請求項 3】

請求項1または請求項2に記載のDC-DCコンバータであって、

前記制御回路は、

前記目標電力が閾値電力未満である場合には、前記出力角変調モードを実行し、

前記目標電力が前記閾値電力以上である場合には、前記周波数変調モードを実行する

、

DC-DCコンバータ。

【請求項 4】

請求項1または請求項2に記載のDC-DCコンバータであって、

前記制御回路は、

前記出力角変調モードと、前記周波数変調モードと、前記第1巻線側の電圧および前記第2巻線側の電圧の位相を変更する位相制御モードと、で実行可能であり、出力すべき目標電力に応じて、前記出力角変調モード、前記周波数変調モード、または、前記位相制御モード、を実行する、

DC-DCコンバータ。

【請求項 5】

請求項4に記載のDC-DCコンバータであって、

前記制御回路は、

前記目標電力が第1閾値電力未満である場合には、前記出力角変調モードを実行し、

前記目標電力が前記第1閾値電力以上である場合には、前記周波数変調モードを実行し、

前記目標電力が、前記第1閾値電力より大きい第2閾値電力以上である場合には、前記位相制御モードを実行する、

DC-DCコンバータ。

【請求項 6】

寄生容量であるキャパシタ、または、並列接続された外付けのキャパシタを含む、4つ

10

20

30

40

50

のスイッチング素子を有する第 1 フルブリッジ回路と、

寄生容量であるキャパシタ、または、並列接続された外付けのキャパシタを含む、4 つのスイッチング素子を有する第 2 フルブリッジ回路と、

前記第 1 フルブリッジ回路に接続された第 1 巻線と、前記第 2 フルブリッジ回路に接続され、前記第 1 巻線と磁気結合する第 2 巻線とを有するトランスと、

前記第 1 巻線または前記第 2 巻線に直列接続されたインダクタンス成分と、

前記第 1 フルブリッジ回路および前記第 2 フルブリッジ回路それぞれの各スイッチング素子をソフトスイッチング制御する制御回路と、

を備え、

前記制御回路は、

前記第 1 フルブリッジ回路および前記第 2 フルブリッジ回路それぞれの電圧出力期間を調整する出力角変調モード、または、前記第 1 巻線側の電圧および前記第 2 巻線側の電圧の位相を変更する位相制御モード、を実行可能であり、出力すべき目標電力に応じて、前記出力角変調モード、または、前記位相制御モード、を実行する、

D C - D C コンバータ。

【請求項 7】

請求項 6 に記載の D C - D C コンバータであって、

スイッチング素子のターンオンとターンオフとの切り替えタイミングで、前記トランスおよび前記インダクタンス成分の等価インダクタに流れるインダクタ電流は、閾値電流以上である、

D C - D C コンバータ。

【請求項 8】

請求項 1 から請求項 7 までのいずれか一つに記載の D C - D C コンバータであって、

前記閾値電流は、前記等価インダクタに蓄積されるエネルギーが、2 つの前記キャパシタに蓄積されるエネルギー以上となるように、設定されている、

D C - D C コンバータ。

【請求項 9】

請求項 8 に記載の D C - D C コンバータであって、

前記閾値電流を I_{ref} 、前記第 1 フルブリッジ回路の入力電圧を V_x 、前記キャパシタのキャパシタンスを C 、前記等価インダクタのインダクタンスを L 、補正係数を α で表した場合、

$$I_{ref} = \alpha \cdot V_x \sqrt{(2C/L)},$$

を満たす、D C - D C コンバータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ソフトスイッチングを行う D C - D C コンバータに関する。

【背景技術】

【0002】

D C - D C コンバータなどの電力変換装置では、スイッチング損失を低減して、高効率で電力伝送を行うため、また、ノイズを低減して、スイッチングサージを抑えて、耐圧の低い安価な素子を用いるために、ゼロボルトスイッチング（以下、Z V S と言う）が用いられている。特許文献 1 には、1 次側直流電圧と 2 次側直流電圧の電圧差が大きい場合に、Z V S 動作を成立させて、高効率な電力伝送を可能とした D C - D C コンバータが開示されている。特許文献 1 に記載の D C - D C コンバータでは、1 次側および 2 次側それぞれで電力を検出し、それら 2 つの電力差が最小となるように、1 次側スイッチのデューティと 2 次側スイッチのデューティとを増減させている。これにより、Z V S 動作が成立するようにしている。

【先行技術文献】

【特許文献】

10

20

30

40

50

【0003】

【特許文献1】特開2016-012970号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、特許文献1では、ZVS動作を行うために、1次側および2次側それぞれで電力の検出、および、スイッチング制御を行う必要がある。このため、回路構成、および、その制御が複雑となり、生産性の向上およびコストダウンを図ることが難しい。

【0005】

そこで、本発明は、簡易な制御でZVS動作を行い、スイッチング損失を低減するDC-DCコンバータを提供することを目的とする。

【課題を解決するための手段】

【0006】

上記課題を解決するため、本願の第1発明のDC-DCコンバータは、寄生容量であるキャパシタ、または、並列接続された外付けのキャパシタを含む、4つのスイッチング素子を有する第1フルブリッジ回路と、寄生容量であるキャパシタ、または、並列接続された外付けのキャパシタを含む、4つのスイッチング素子を有する第2フルブリッジ回路と、前記第1フルブリッジ回路に接続された第1巻線と、前記第2フルブリッジ回路に接続され、前記第1巻線と磁気結合する第2巻線とを有するトランスと、前記第1巻線または前記第2巻線に直列接続されたインダクタンス成分と、前記第1フルブリッジ回路および前記第2フルブリッジ回路それぞれの各スイッチング素子をソフトスイッチング制御する制御回路と、を備え、前記制御回路は、前記第1フルブリッジ回路および前記第2フルブリッジ回路それぞれの電圧出力期間を調整する出力角変調モードと、スイッチング周波数を調整する周波数変調モードとで実行可能であり、出力すべき目標電力に応じて、前記出力角変調モード、または、前記周波数変調モード、を実行する。

【0007】

本願の第2発明は、第1発明のDC-DCコンバータであって、スイッチング素子のターンオンとターンオフとの切り替えタイミングで、前記トランスおよび前記インダクタンス成分の等価インダクタに流れるインダクタ電流は、閾値電流以上である。

【0008】

本願の第3発明は、第1発明または第2発明のDC-DCコンバータであって、前記制御回路は、前記目標電力が閾値電力未満である場合には、前記出力角変調モードを実行し、前記目標電力が前記閾値電力以上である場合には、前記周波数変調モードを実行する。

【0009】

本願の第4発明は、第1発明または第2発明のDC-DCコンバータであって、前記制御回路は、前記出力角変調モードと、前記周波数変調モードと、前記第1巻線側の電圧および前記第2巻線側の電圧の位相を変更する位相制御モードと、で実行可能であり、出力すべき目標電力に応じて、前記出力角変調モード、前記周波数変調モード、または、前記位相制御モード、を実行する。

【0010】

本願の第5発明は、第4発明のDC-DCコンバータであって、前記制御回路は、前記目標電力が第1閾値電力未満である場合には、前記出力角変調モードを実行し、前記目標電力が前記第1閾値電力以上である場合には、前記周波数変調モードを実行し、前記目標電力が、前記第1閾値電力より大きい第2閾値電力以上である場合には、前記位相制御モードを実行する。

【0011】

本願の第6発明のDC-DCコンバータは、寄生容量であるキャパシタ、または、並列接続された外付けのキャパシタを含む、4つのスイッチング素子を有する第1フルブリッジ回路と、寄生容量であるキャパシタ、または、並列接続された外付けのキャパシタを含む、4つのスイッチング素子を有する第2フルブリッジ回路と、前記第1フルブリッジ回

10

20

30

40

50

路に接続された第1巻線と、前記第2フルブリッジ回路に接続され、前記第1巻線と磁気結合する第2巻線とを有するトランスと、前記第1巻線または前記第2巻線に直列接続されたインダクタンス成分と、前記第1フルブリッジ回路および前記第2フルブリッジ回路それぞれの各スイッチング素子をソフトスイッチング制御する制御回路と、を備え、前記制御回路は、前記第1フルブリッジ回路および前記第2フルブリッジ回路それぞれの電圧出力期間を調整する出力角変調モード、または、前記第1巻線側の電圧および前記第2巻線側の電圧の位相を変更する位相制御モード、を実行可能であり、出力すべき目標電力に応じて、前記出力角変調モード、または、前記位相制御モード、を実行する。

【0012】

本願の第7発明は、第6発明のDC-DCコンバータであって、スイッチング素子のターンオンとターンオフとの切り替えタイミングで、前記トランスおよび前記インダクタンス成分の等価インダクタに流れるインダクタ電流は、閾値電流以上である。

10

【0013】

本願の第8発明は、第1発明から第7発明のDC-DCコンバータであって、前記閾値電流は、前記等価インダクタに蓄積されるエネルギーが、2つの前記キャパシタに蓄積されるエネルギー以上となるように、設定されている。

【0014】

本願の第9発明は、第8発明のDC-DCコンバータであって、前記閾値電流を I_{ref} 、前記第1フルブリッジ回路の入力電圧を V_x 、前記キャパシタのキャパシタンスを C 、前記等価インダクタのインダクタンスを L 、補正係数を α で表した場合、 $I_{ref} = \alpha \cdot V_x \sqrt{2C/L}$ 、を満たす。

20

【発明の効果】

【0015】

本願の第1発明～第9発明によれば、スイッチング周波数によって、出力角変調モードと、周波数変調モードとを切り替える。モードを適切に切り替えることで、スイッチング周波数が高くなることによるスイッチング損失の向上を抑制できる。つまり、出力すべき目標電力に応じて、各スイッチング素子をスイッチング制御するため、回路構成が複雑となることを防止して、簡易な制御でZVS動作を行い、スイッチング損失を低減することができる。

【0016】

30

特に第3発明によれば、低電力出力の際には、スイッチング周波数を変更しないため、スイッチング周波数が高くなることによるスイッチング損失向上を抑制できる。さらに、周波数が上昇することがないので、素子、特にインダクタの発熱を低減できる。

【図面の簡単な説明】

【0017】

【図1】実施形態に係るDC-DCコンバータの回路図である。

【図2】DC-DCコンバータのタイミングチャートを示す図である。

【図3】DC-DCコンバータでの電流経路を説明するための図である。

【図4】DC-DCコンバータでの電流経路を説明するための図である。

【図5】DC-DCコンバータでの電流経路を説明するための図である。

40

【図6】DC-DCコンバータでの電流経路を説明するための図である。

【図7】DC-DCコンバータでの電流経路を説明するための図である。

【図8】DC-DCコンバータでの電流経路を説明するための図である。

【図9】出力角変調モードおよび周波数変調モードそれぞれの制御を説明するための図である。

【発明を実施するための形態】

【0018】

以下、本発明の実施形態について、図面を参照しつつ説明する。以下では、本発明の「DC-DCコンバータ」について、デュアルアクティブブリッジ(DAB)コンバータ(以下、DC-DCコンバータと称す)を例に挙げて説明する。

50

【0019】

<1. DC-DCコンバータの回路構成>

図1は、本実施形態に係るDC-DCコンバータ1の回路図である。

【0020】

DC-DCコンバータ1は、一对の入出力端子IO11および入出力端子IO12と、一对の入出力端子IO21および入出力端子IO22と、を備えている。一对の入出力端子IO11、IO12には直流電源E1が接続されている。一对の入出力端子IO21、IO22には直流電源E2が接続されている。

【0021】

DC-DCコンバータ1は、入出力端子IO11、IO12から入力される直流電源E1の電源電圧を変圧し、入出力端子IO21、IO22から出力する。また、DC-DCコンバータ1は、入出力端子IO21、IO22から入力される、直流電源E2の電源電圧を変圧し、入出力端子IO11、IO12から出力する。つまり、DC-DCコンバータ1は、双方向に電力伝送が可能なコンバータである。

【0022】

DC-DCコンバータ1は、第1フルブリッジ回路10と、第2フルブリッジ回路20と、トランスTと、を備えている。

【0023】

トランスTは、第1巻線n1と、第2巻線n2とを備えている。第1巻線n1と第2巻線n2とは磁気結合する。第1巻線n1は、第1フルブリッジ回路10を介して、入出力端子IO11、IO12に接続されている。第2巻線n2は、第2フルブリッジ回路20を介して、入出力端子IO21、IO22に接続されている。

【0024】

第1フルブリッジ回路10は、スイッチング素子Q11とスイッチング素子Q12とが直列接続された第1レグと、スイッチング素子Q13とスイッチング素子Q14とが直列接続された第2レグと、を有している。スイッチング素子Q11、Q12、Q13、Q14には、ダイオードD11、D12、D13、D14、および、キャパシタC11、C12、C13、C14が並列に接続されている。スイッチング素子Q11~Q14はMOS-FETである。ただし、スイッチング素子Q11~Q14は、IGBTまたはJFET等であってもよい。ダイオードD11~D14は、実素子であってもよいし、寄生ダイオードであってもよい。また、キャパシタC11~C14は、実素子、寄生容量、または、寄生容量と実素子との組み合わせであってもよい。

【0025】

トランスTの第1巻線n1は、第1レグおよび第2レグそれぞれの中点に接続されている。トランスTの第1巻線n1と、第1レグの中点との間には、インダクタL1が設けられている。ただし、インダクタL1は、第1巻線n1または第2巻線n2に直列接続されていればよく、その配置場所は適宜変更可能である。例えば、インダクタL1は、第1巻線n1と第2レグの中点との間に設けられていてもよい。また、インダクタL1は、実素子、トランスTの漏れインダクタンス、または、実素子と漏れインダクタンスとの組み合わせであってもよい。

【0026】

第2フルブリッジ回路20は、スイッチング素子Q21とスイッチング素子Q22とが直列接続された第3レグと、スイッチング素子Q23とスイッチング素子Q24とが直列接続された第4レグと、を有している。スイッチング素子Q21、Q22、Q23、Q24には、ダイオードD21、D22、D23、D24、および、キャパシタC21、C22、C23、C24が並列に接続されている。スイッチング素子Q21~Q24はMOS-FETである。ただし、スイッチング素子Q21~Q24は、IGBTまたはJFET等であってもよい。ダイオードD21~D24は、実素子であってもよいし、寄生ダイオードであってもよい。また、キャパシタC21~C24は、実素子、寄生容量、または、寄生容量と実素子との組み合わせであってもよい。

【0027】

トランスTの第2巻線n2は、第3レグおよび第4レグそれぞれの中点に接続されている。前記のインダクタL1は、第2巻線n2と、第3レグまたは第4レグの中点との間に設けられていてもよい。

【0028】

スイッチング素子Q11～Q14およびスイッチング素子Q21～Q24それぞれのゲート端子は、制御回路30に接続されている。制御回路30は、DC-DCコンバータ1の出力電力が設定される目標電力となるように、スイッチング素子Q11～Q14、Q21～Q24それぞれをスイッチング制御する。本実施形態では、制御回路30は、スイッチング損失を低減するために、スイッチング素子Q11～Q14、Q21～Q24それぞれをソフトスイッチングする。

10

【0029】

<2. ソフトスイッチング動作について>

以下に、各スイッチング素子Q11～Q14、Q21～Q24のソフトスイッチング動作について説明する。なお、本実施の形態では、3-LEVEL方式のDAB制御が採用されている。

【0030】

DC-DCコンバータ1は、入出力端子IO11、IO12および入出力端子IO21、IO22の一方から他方、または、他方から一方への電力伝送を行う。以下では、入出力端子IO11、IO12を入力側（1次側）とし、入出力端子IO21、IO22を出力側（2次側）として説明する。

20

【0031】

図2は、DC-DCコンバータ1のタイミングチャートを示す図である。図3、図4、図5、図6、図7および図8は、DC-DCコンバータ1での電流経路を説明するための図である。図3～図8では、第2フルブリッジ回路20の図示は簡略し、図1のインダクタL1およびトランスTは、等価的なインダクタLで表す。

【0032】

図2では、第1フルブリッジ回路10の各スイッチング素子Q11～Q14についてのみ、そのタイミングチャートを示す。また、図2のV1は、図1に示す、スイッチング素子Q11とスイッチング素子Q12との中点と、スイッチング素子Q13とスイッチング素子Q14との中点との間の電圧である。V2は、スイッチング素子Q21とスイッチング素子Q22との中点と、スイッチング素子Q23とスイッチング素子Q24との中点との間の電圧である。この例では、直流電源E1、E2それぞれが同じ電源電圧である。ILは、インダクタL（図3～図8参照）に流れるインダクタ電流である。

30

【0033】

制御回路30は、位相差を設けて、第1フルブリッジ回路10と、第2フルブリッジ回路20とをスイッチング制御する。以下では、第1フルブリッジ回路10と、第2フルブリッジ回路20との位相差を、 δ で表す。制御回路30は、第1フルブリッジ回路10および第2フルブリッジ回路20それぞれにおいて、スイッチング周波数 f （周期 $1/f$ ）で、フェーズシフトPWM制御を行う。

40

【0034】

また、以下では、第1フルブリッジ回路10の各スイッチング素子Q11～Q14についてのスイッチング制御について、説明する。第2フルブリッジ回路20については、電圧V2が、図2に示す波形となるように、スイッチング制御され、その説明は、第1フルブリッジ回路10と同様に説明することができる。したがって、図3～図8では、説明を簡易にするために、第1フルブリッジ回路10側の電流経路についてのみ示す。なお、各図では、各スイッチング素子は簡略化した回路記号で示している。

【0035】

(t0～t1)

t0～t1期間では、スイッチング素子Q11、Q14がオン、スイッチング素子Q1

50

2、Q 1 3 がオフである。

【0036】

この場合、図3に示すように、直流電源E 1 から、スイッチング素子Q 1 1、インダクタL、第2フルブリッジ回路20、スイッチング素子Q 1 4、直流電源E 1 の順に電流が流れる。この期間の電圧V 1 はH i である。

【0037】

タイミングt 1では、スイッチング素子Q 1 1がターンオフされた後、デッドタイムを挟んで、スイッチング素子Q 1 2がターンオンされる。このデッドタイムでは、スイッチング素子Q 1 1、Q 1 2は共にオフとなる。このとき、インダクタLには、その性質上、インダクタ電流I_Lが流れ続けるため、図4に示すように、キャパシタC 1 1およびキャパシタC 1 2それぞれから、インダクタLに電流が流れる。キャパシタC 1 1は放電し、キャパシタC 1 2は充電される。キャパシタC 1 2が充電されると、スイッチング素子Q 1 2のドレイン・ソース間電圧はゼロである。このときに、スイッチング素子Q 1 2をターンオンすると、ZVSとなる。

10

【0038】

(t 1～t 2)

t 1～t 2期間では、スイッチング素子Q 1 2、Q 1 4がオン、スイッチング素子Q 1 1、Q 1 3がオフである。この場合、図5に示すように、スイッチング素子Q 1 4、スイッチング素子Q 1 2からインダクタLの経路に電流が流れる。このときの電圧V 1 はゼロである。

20

【0039】

タイミングt 2では、スイッチング素子Q 1 4がターンオフされた後、デッドタイムを挟んで、スイッチング素子Q 1 3がターンオンされる。このデッドタイムでは、図4での説明と同様、キャパシタC 1 4は放電し、キャパシタC 1 3は充電される。キャパシタC 1 3が充電されることで、スイッチング素子Q 1 3のドレイン・ソース間電圧はゼロである。このときに、スイッチング素子Q 1 3をターンオンすると、ZVSとなる。

【0040】

(t 2～t 3)

t 2～t 3期間では、スイッチング素子Q 1 2、Q 1 3がオン、スイッチング素子Q 1 1、Q 1 4がオフである。タイミングt 2で、スイッチング素子Q 1 3をターンオンした直後は、図6に示すように、直流電源E 1、スイッチング素子Q 1 2、インダクタL、第2フルブリッジ回路20、スイッチング素子Q 1 3、直流電源E 1の経路に電流が流れる。この電流は、直流電源E 1に逆流することになり、その結果、図7に示すように、直流電源E 1、スイッチング素子Q 1 3、第2フルブリッジ回路20、インダクタL、スイッチング素子Q 1 2、直流電源E 1の経路に電流が流れるようになる。この期間の電圧V 1は、t 0～t 1期間と逆極性となる。

30

【0041】

また、タイミングt 3では、スイッチング素子Q 1 2がターンオフされた後、デッドタイムを挟んで、スイッチング素子Q 1 1がターンオンされる。そして、図4での説明と同様、キャパシタC 1 2は放電し、キャパシタC 1 1は充電される。そして、キャパシタC 1 1が充電されることで、スイッチング素子Q 1 1のドレイン・ソース間電圧はゼロである。このときに、スイッチング素子Q 1 1をターンオンすると、ZVSとなる。

40

【0042】

(t 3～t 0)

t 3～t 0期間では、スイッチング素子Q 1 1、Q 1 3がオン、スイッチング素子Q 1 2、Q 1 4がオフである。この場合、図8に示すように、インダクタL、スイッチング素子Q 1 1、スイッチング素子Q 1 3の経路に電流が流れる。このときの電圧V 1はゼロである。

【0043】

タイミングt 0では、スイッチング素子Q 1 3がターンオフされた後、デッドタイムが

50

設けられて、スイッチング素子 Q 1 4 がターンオンされる。そして、図 4 での説明と同様、キャパシタ C 1 3 は放電し、キャパシタ C 1 4 は充電される。キャパシタ C 1 4 が充電されることで、スイッチング素子 Q 1 4 のドレイン・ソース間電圧はゼロである。このときに、スイッチング素子 Q 1 4 をターンオンすると、ZVS となる。そして、図 3 の状態に遷移する。

【0044】

上記のようにスイッチング制御することで、電圧 V 1 は、図 2 に示す波形のように、遷移する。また、制御回路 30 が、第 2 フルブリッジ回路 20 をスイッチング制御することで、電圧 V 2 は、図 2 に示す波形のように遷移する。上記のように、第 1 フルブリッジ回路 10 と、第 2 フルブリッジ回路 20 とは、位相差 δ でスイッチング制御されるため、電圧 V 1 の立ち上がりと、電圧 V 2 の立ち上がりとの位相差は、 δ である。

10

【0045】

< 3. DC-DC コンバータの出力電力について >

制御回路 30 は、DC-DC コンバータ 1 の出力電力を制御する際、出力電力に応じて、出力角変調モード、または、周波数変調モードで制御を行う。以下、出力角変調モードと、周波数変調モードとについて説明する。

【0046】

図 9 は、出力角変調モードおよび周波数変調モードそれぞれの制御を説明するための図である。

【0047】

ここで、電圧 V 1 と電圧 V 2 とが、互いに逆極性となる極性反転期間を、 τ_c で表す。また、第 1 フルブリッジ回路 10 の電圧出力期間を、 τ_1 で表す。第 2 フルブリッジ回路 20 の電圧出力期間を、 τ_2 で表す。 τ_1 、 τ_2 、 τ_c （何れも図 2 参照）は、時間を角度（ラジアン）表記したものである。この例では、 $\tau_1 = \tau_2$ であり、 $\tau_1 = \tau_2 = \tau$ で表す。図 9 の実線は、この τ の変化を示す。また、図 9 の一点鎖線は、スイッチング周波数 f の変化を示す。さらに、図 9 の横軸は出力電力である。

20

【0048】

まず、出力角変調モードについて説明する。

【0049】

制御回路 30 は、DC-DC コンバータ 1 が低電力出力のとき、出力角変調モードで、DC-DC コンバータ 1 の出力制御を行う。出力角変調モードでは、制御回路 30 は、スイッチング周波数 f 、および、極性反転期間 τ_c を固定にし、 τ_1 、 τ_2 を変更して、DC-DC コンバータ 1 からの出力電力が目標値となるようにする。

30

【0050】

τ_1 は、第 1 フルブリッジ回路 10 の各スイッチング素子の位相を制御することで、変更される。また、 τ_2 は、第 2 フルブリッジ回路 20 の各スイッチング素子のオン位相を制御することで、変更される。

【0051】

固定値である τ_c は、各スイッチング素子を ZVS できるように設定される。そのために、 τ_c は、以下の式（1）の条件を満たす必要がある。

40

【数 1】

$$\tau_c \geq \frac{I_{ref} \cdot L}{V_x} \quad \dots (1)$$

【0052】

上記の式（1）において、 L は、図 3 などのインダクタ L のインダクタンスである。 V_x は、直流電源 E 1 の電源電圧を（図 1 参照）である。

【0053】

また、 I_{ref} は、ZVS を実現するために必要なインダクタ電流 I_L の電流値である。

50

上記のように、例えば、タイミング t_1 のデッドタイム（図 4）において、キャパシタ C_{11} が放電し、キャパシタ C_{12} が充電した後に、スイッチング素子 Q_{12} のドレイン・ソース間電圧がゼロであれば、スイッチング素子 Q_{12} のターンオンは ZVS となる。つまり、インダクタ L のエネルギーは、少なくとも、キャパシタ C_{11} 、 C_{12} それぞれに蓄積されるエネルギー以上であれば、スイッチング素子 Q_{12} を ZVS できる。このためには、以下の式（2）が成り立つ必要がある。

【数 2】

$$\frac{1}{2} L I_L^2 \geq \frac{1}{2} \cdot 2 C V_x^2 \quad \dots (2)$$

10

【0054】

式（2）において、 I_L はインダクタ L に流れるインダクタ電流である。 C は、キャパシタ $C_{11} \sim C_{14}$ それぞれのキャパシタンスである。そして、式（2）は、以下の式（3）に変換される。なお、式（3）の α は補正係数であり、必要に応じて適宜値が設定される。ここでは、 $\alpha = 1$ とする。

【数 3】

$$I_L \geq \alpha \cdot V_x \sqrt{\frac{2C}{L}} \quad \dots (3)$$

20

【0055】

インダクタ電流 I_L が、式（3）の $\alpha \cdot V_x \sqrt{(2C/L)}$ 以上であると、スイッチング素子 Q_{12} の ZVS が可能となる。つまり、閾値電流 I_{ref} は、 $\alpha \cdot V_x \sqrt{(2C/L)}$ で表すことができる。そして、スイッチング素子をターンオンする各タイミングで、 $|I_L| \geq |I_{ref}|$ の条件を満たせば、各スイッチング素子の ZVS が可能となる。

【0056】

次に、DC-DC コンバータ 1 の出力電力を P で表し、 $\tau_1 = \tau_2 = \tau$ で表すと、電力 P は、以下の式（4）で表すことができる。

【数 4】

$$P = \frac{V_x \cdot V_y}{2\pi L \omega} [-3\tau^2 + 4(\tau_c + \pi) - 2\tau_c^2 - 2\pi \cdot \tau_c - \pi^2] \quad \dots (4)$$

30

ここで、 V_y は、直流電源 E_2 の電源電圧（図 1 参照）である。

【0057】

式（4）において、 V_x 、 V_y は既知である。 τ_c は、上記の式（1）で表される。また、電力 P は、DC-DC コンバータ 1 から出力したい目標値であり、既知である。したがって、DC-DC コンバータ 1 から出力したい電力の目標値が与えられると、式（4）の逆関数から、 τ （ $= \tau_1 = \tau_2$ ）を算出することができる。

40

【0058】

制御回路 30 は、 τ_1 、 τ_2 が、式（4）から得られた τ となるように、第 1 フルブリッジ回路 10 および第 2 フルブリッジ回路 20 それぞれを、スイッチング制御する。これにより、DC-DC コンバータ 1 からは、目標の電力 P が出力される。

【0059】

以上のように、出力角変調モードでは、スイッチング周波数 f が一定であるため、スイッチング周波数が高くなることによるスイッチング損失の向上を抑制できる。さらに、スイッチング周波数が上昇することがないため、素子、特にインダクタ L の発熱を低減できる。

【0060】

50

また、インダクタ L に閾値電流 I_{ref} 以上のインダクタ電流 I_L を流すことで、第 1 フルブリッジ回路 10 および第 2 フルブリッジ回路 20 それぞれの各スイッチング素子の ZVS を実現できる。

【0061】

次に、周波数変調モードについて説明する。

【0062】

図 9 に示すように、出力角変調モードでは、 τ を大きくなると、出力電力は増加する。出力電力 P が閾値電力（以下、 P_T で表す）以上である場合、制御回路 30 は、周波数変調モードで、 $DC-DC$ コンバータ 1 の出力制御を行う。閾値電力 P_T は、本発明の「第 1 閾値電力」の一例である。

10

【0063】

まず、閾値電力 P_T について説明する。

【0064】

上記の式 (4) は、 τ に関して 2 次関数の形となっている。このため、電力 P に対して τ は 2 つの解を持つ。そこで、所定のアルゴリズムで一つの τ に特定する。例えば、2 次関数の頂点近傍に解を求めるようにしてもよい。この場合、周波数を抑えることができ、発熱を抑えることができる。あるいは、2 次関数の頂点近傍から離れた位置で解を求めるようにしてもよい。特に、以下の式 (5) は、上述したアルゴリズムに適用し得る、好適な τ の算定式が記されている。

20

【数 5】

$$\tau = \frac{2}{3}(\pi + \tau_c) \cdots (5)$$

【0065】

周波数変調モードにおいて、 $DC-DC$ コンバータ 1 の出力電力を P で表し、 τ_1 と τ_2 とが等しく、 τ ($=\tau_1=\tau_2$) で表し、 τ_c を時間で表した t_c を用いると、電力 P は、以下の式 (6) で表すことができる。

【数 6】

$$P = \frac{V_x \cdot V_y}{2\pi L} \left[-2t_c^2 \omega + \frac{\pi^2 - \tau_{fx}^2}{\omega} + 4\tau_{fx} t_c - 2t_c \pi \right] \cdots (6)$$

30

【0066】

式 (6) において、 V_x 、 V_y は既知であり、 τ_c は、上記の式 (1) で表され、 τ_{fx} は、式 (5) で表される τ である。また、電力 P は、 $DC-DC$ コンバータ 1 から出力したい目標値であり、既知である。したがって、式 (6) の逆関数により、 ω を算出できる。そして、 ω から、スイッチング周波数 f を算出できる。

【0067】

制御回路 30 は、式 (6) から得られたスイッチング周波数 f で、第 1 フルブリッジ回路 10 および第 2 フルブリッジ回路 20 それぞれの各スイッチング素子を、スイッチング制御する。これにより、 $DC-DC$ コンバータ 1 からは、目標の電力 P が出力される。

40

【0068】

周波数変調モードでは、図 9 に示すように、スイッチング周波数 f を小さくすると、出力電力は大きくなる。つまり、周波数変調モードにおいてスイッチング周波数 f が高くなることがない。このため、スイッチング周波数が高くなることによるスイッチング損失の向上を抑制できる。さらに、スイッチング周波数が上昇することがないため、素子、特にインダクタ L の発熱を低減できる。

【0069】

また、出力角変調モードと同様に、インダクタ L に閾値電流 I_{ref} 以上のインダクタ電

50

流 I_L を流すことで、第 1 フルブリッジ回路 10 および第 2 フルブリッジ回路 20 それぞれの各スイッチング素子の ZVS を実現できる。

【0070】

以上のように、本実施形態では、スイッチング周波数が高くなることによるスイッチング損失の向上を抑制できる。さらに、スイッチング周波数が上昇することがないため、素子、特にインダクタ L の発熱を低減できる。また、各スイッチング素子の ZVS を実現できるため、高効率な電力変換が実現できる。この制御は、回路中に検出回路を設ける必要がなく、また、複雑な制御を必要としないため、簡易な制御で ZVS 動作を行い、スイッチング損失を低減することができる。

【0071】

10

< 4. 変形例 >

以上、本発明の一実施形態について説明したが、本発明は、上記の実施形態に限定されるものではない。

【0072】

上記の実施形態では、DC-DC コンバータ 1 の出力が低電力である場合に、出力角変調モードを実行し、出力が高電力である場合に、周波数変調モードを実行しているが、これに限らない。DC-DC コンバータ 1 の出力が低電力である場合に、周波数変調モードを実行し、出力が高電力である場合に、出力角変調モードを実行してもよい。

【0073】

また、DC-DC コンバータ 1 から出力する電力の目標値が、閾値電力 P_T よりも大きい閾値電力（第 2 閾値電力）以上である場合、制御回路 30 は、位相制御モードを実行するようにしてもよい。位相制御モードは、スイッチング周波数 f を一定にしつつ、第 1 巻線 n_1 側の電圧、および、第 2 巻線 n_2 側の電圧の位相を変更する。つまり、 V_1 と、 V_2 との位相差 δ を変更する。位相差 δ の変更は、第 1 フルブリッジ回路 10 それぞれのスイッチング素子と、第 2 フルブリッジ回路 20 それぞれのスイッチング素子との位相差を変更することで、可能となる。

20

【0074】

位相制御モードの場合、出力電力 P は、以下の式 (7) で表される。式 (7) の n は、第 1 巻線 n_1 と、第 2 巻線 n_2 との巻線比である。

【数 7】

30

$$P = \frac{nV_xV_y}{\omega L} \delta \left(1 - \frac{\delta}{\pi} \right) \quad \cdots (7)$$

【0075】

式 (7) からわかるように、第 1 フルブリッジ回路 10 と第 2 フルブリッジ回路 20 との位相差 δ を変更させることで、出力電力 P を制御することができる。

【0076】

また、DC-DC コンバータ 1 の出力電力に応じて、出力角変調モードと、位相制御モードとを、切り替えて実行してもよい。

40

【0077】

さらに、上記の実施形態では、式 (4) において、 $\tau = \tau_1 = \tau_2$ を条件としているが、 τ_1 と、 τ_2 とが異なってもよい。この場合、以下の式 (8) を用いて、目標の電力 P を出力するための、 τ_1 と、 τ_2 とを算出することができる。

【数 8】

$$P = \frac{V_x \cdot V_y}{2\pi L \omega} \left[2\tau_c^2 - 2\tau_2\tau_c - 2\tau_1\tau_c + 2\pi\tau_c + \tau_2^2 + \tau_1\tau_2 - 2\pi\tau_2 + \tau_1^2 - 2\pi\tau_1 + \pi^2 \right] \quad \cdots (8)$$

50

【0078】

また、上記の実施形態では、入出力端子 I O 1 1、I O 1 2 を入力側とし、入出力端子 I O 2 1、I O 2 2 を出力側として説明した。しかしながら、D C - D C コンバータ 1 は双方向に電力伝送可能である。したがって、入出力端子 I O 1 1、I O 1 2 を出力側とし、入出力端子 I O 2 1、I O 2 2 を入出力側とすることが可能である。この場合、上記の実施形態と同様に説明することができたため、その説明を省略する。なお、D C - D C コンバータ 1 は、双方向型でなくてもよい。

【0079】

また、上記実施形態では、極性反転期間 τ_c は固定値としているが、可変値であってもよい。上記実施形態では、上記の固定値以上とされていれば、Z V S 動作を実現させ得る。

10

【0080】

上記の実施形態または変形例に登場した各要素を、矛盾が生じない範囲で、適宜に組み合わせてもよい。

【符号の説明】

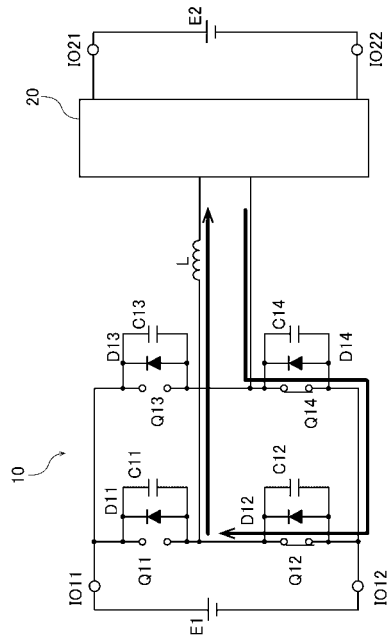
【0081】

1 : D C - D C コンバータ
 1 0 : 第 1 フルブリッジ回路
 2 0 : 第 2 フルブリッジ回路
 3 0 : 制御回路
 C 1 1、C 1 2、C 1 3、C 1 4 : キャパシタ
 C 2 1、C 2 2、C 2 3、C 2 4 : キャパシタ
 D 1 1、D 1 2、D 1 3、D 1 4 : ダイオード
 D 2 1、D 2 2、D 2 3、D 2 4 : ダイオード
 E 1、E 2 : 直流電源
 I L : インダクタ電流
 I O 1 1、I O 1 2 : 入出力端子
 I O 2 1、I O 2 2 : 入出力端子
 L : インダクタ
 L 1 : インダクタ
 Q 1 1、Q 1 2、Q 1 3、Q 1 4 : スイッチング素子
 Q 2 1、Q 2 2、Q 2 3、Q 2 4 : スイッチング素子
 T : トランス
 V 1 : 電圧
 V 2 : 電圧

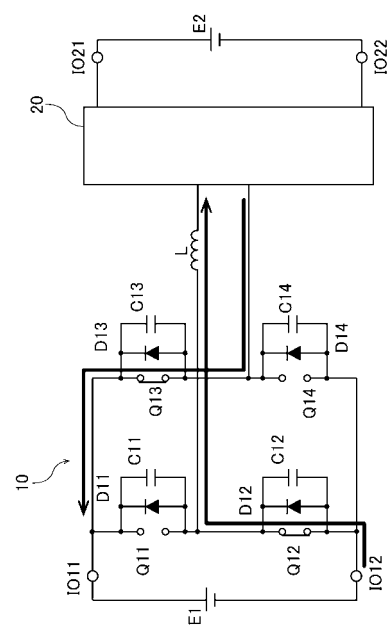
20

30

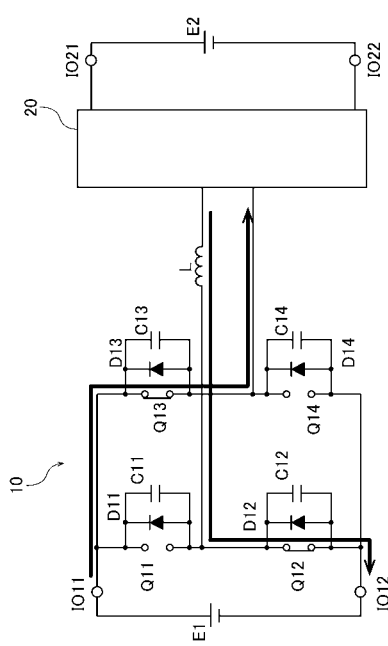
【図 5】



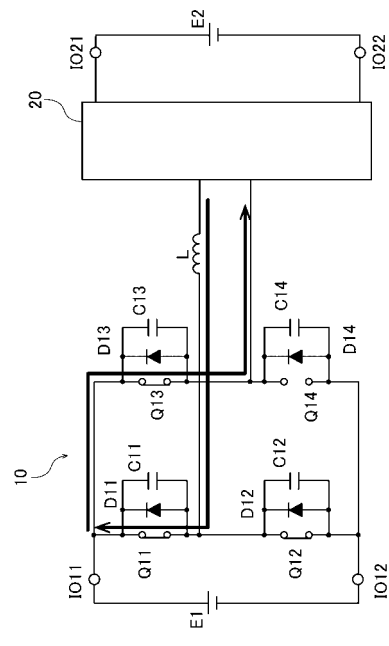
【図 6】



【図 7】



【図 8】



【図 9】

