



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201015560 A1

(43)公開日：中華民國 99 (2010) 年 04 月 16 日

(21)申請案號：098122457

(22)申請日：中華民國 98 (2009) 年 07 月 02 日

(51)Int. Cl. : *G11C16/34 (2006.01)* *G11C11/56 (2006.01)*

(30)優先權：2008/07/02 美國 12/167,128

(71)申請人：桑迪士克股份有限公司 (美國) SANDISK CORPORATION (US)
美國

(72)發明人：路特茲 傑弗瑞 W LUTZE, JEFFREY W. (US) ; 李顏 LI, YAN (US)

(74)代理人：黃章典；樓穎智

申請實體審查：有 申請專利範圍項數：25 項 圖式數：28 共 81 頁

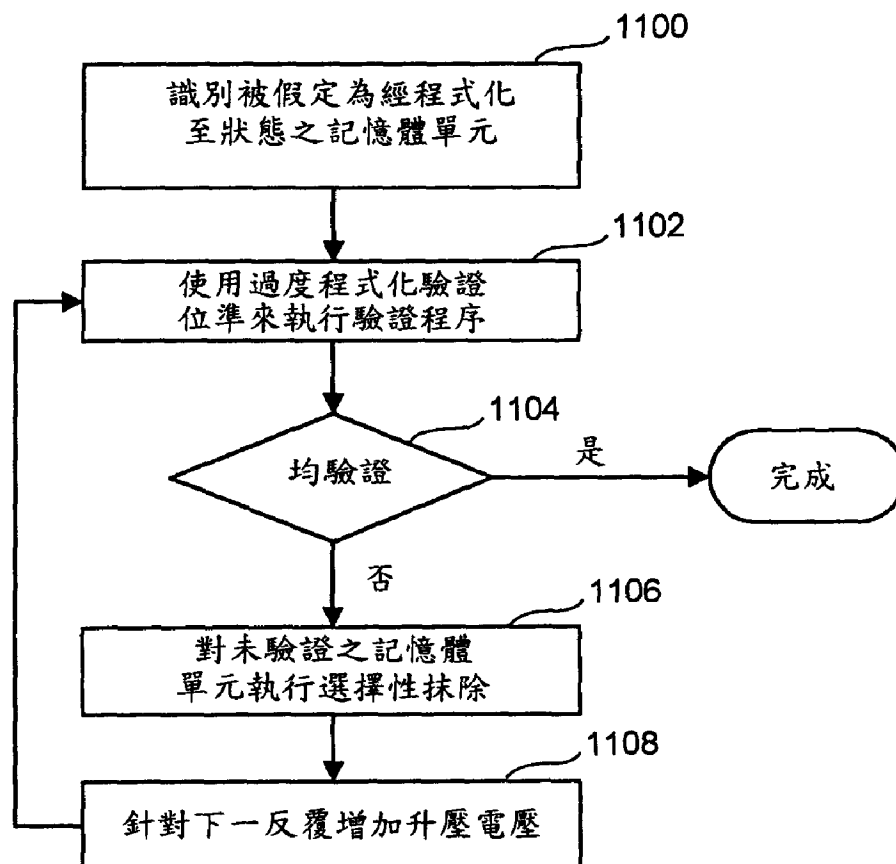
(54)名稱

過度程式化非揮發性儲存之修正

CORRECTING FOR OVER PROGRAMMING NON-VOLATILE STORAGE

(57)摘要

本發明揭示一種非揮發性儲存系統，其藉由對連接至一共同字線(或其他類型之控制線)之一非揮發性儲存元件子集選擇性地執行一或多次抹除操作來修正經過度程式化記憶體單元。





(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201015560 A1

(43)公開日：中華民國 99 (2010) 年 04 月 16 日

(21)申請案號：098122457

(22)申請日：中華民國 98 (2009) 年 07 月 02 日

(51)Int. Cl. : *G11C16/34 (2006.01)* *G11C11/56 (2006.01)*

(30)優先權：2008/07/02 美國 12/167,128

(71)申請人：桑迪士克股份有限公司 (美國) SANDISK CORPORATION (US)
美國

(72)發明人：路特茲 傑弗瑞 W LUTZE, JEFFREY W. (US) ; 李顏 LI, YAN (US)

(74)代理人：黃章典；樓穎智

申請實體審查：有 申請專利範圍項數：25 項 圖式數：28 共 81 頁

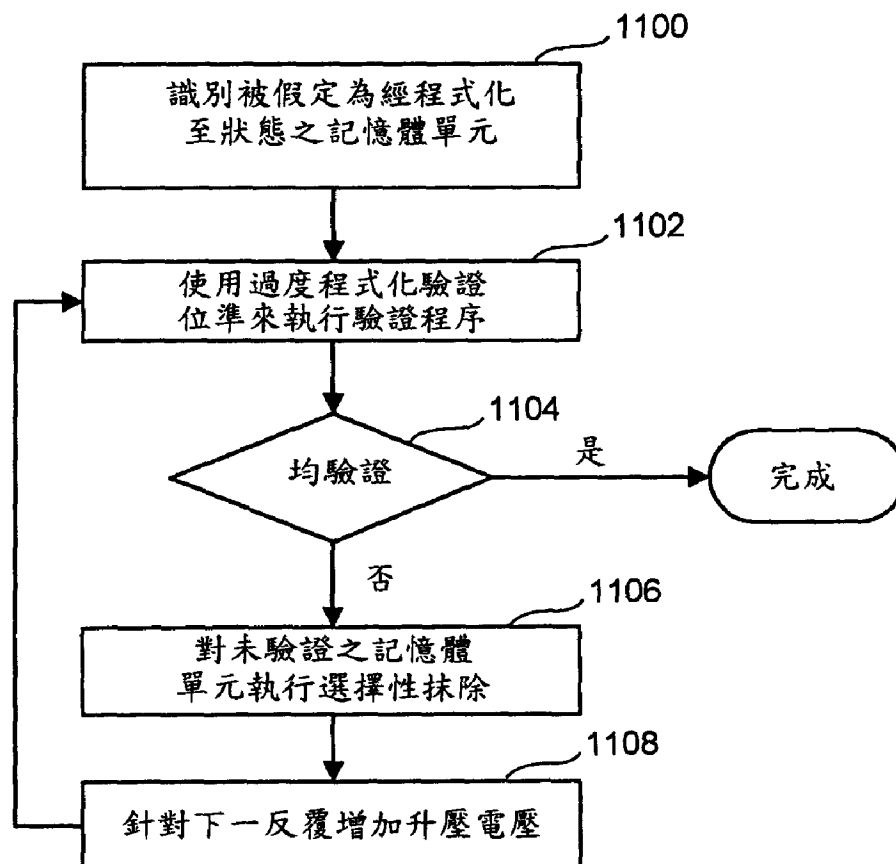
(54)名稱

過度程式化非揮發性儲存之修正

CORRECTING FOR OVER PROGRAMMING NON-VOLATILE STORAGE

(57)摘要

本發明揭示一種非揮發性儲存系統，其藉由對連接至一共同字線(或其他類型之控制線)之一非揮發性儲存元件子集選擇性地執行一或多次抹除操作來修正經過度程式化記憶體單元。



六、發明說明：

【發明所屬之技術領域】

本發明係關於用於非揮發性儲存之技術。

【先前技術】

在各種電子裝置中使用半導體記憶體已變得更風行。舉例而言，非揮發性半導體記憶體用於蜂巢式電話、數位相機、個人數位助理、行動計算裝置、非行動計算裝置及其他裝置中。電可抹除可程式化唯讀記憶體(EEPROM)及快閃記憶體為最風行之非揮發性半導體記憶體當中之兩種。

EEPROM及快閃記憶體兩者均利用浮動閘極，浮動閘極定位於半導體基板中之通道區域上方且與通道區域絕緣。浮動閘極定位於源極區域與汲極區域之間。控制閘極提供於浮動閘極上且與浮動閘極絕緣。電晶體之臨限電壓係由留存於浮動閘極(或其他電荷儲存區域)上之電荷量控制。亦即，在接通電晶體以准許其源極與汲極之間的傳導之前必須施加至控制閘極之最小電壓量係由浮動閘極(或其他電荷儲存區域)上之電荷位準控制。

在程式化EEPROM或快閃記憶體裝置(諸如NAND快閃記憶體裝置)時，通常將程式化電壓施加至控制閘極且將位元線接地。將來自通道之電子注入至浮動閘極中。當電子積聚於浮動閘極中時，浮動閘極變得帶負電，且記憶體單元(memory cell)之臨限電壓升高，使得記憶體單元處於經程式化狀態。典型程式化程序將程式化電壓施加至控制閘極作為隨著時間而增加量值的一系列脈衝。在此等程式化

脈衝之間為驗證操作，其判定記憶體單元是否已達到其目標臨限電壓。可在名為「Source Side Self-Boosting Technique For Non-Volatile Memory」之美國專利6,859,397及名為「Detecting Over Programmed Memory」之美國專利6,917,545中找到關於程式化之更多資訊，該兩個專利之全部內容係以引用之方式併入本文中。

一些EEPROM及快閃記憶體裝置具有用以儲存兩個電荷範圍之浮動閘極(或其他電荷儲存區域)，且因此，可在兩個狀態(經抹除狀態與經程式化狀態)之間程式化/抹除記憶體單元。此快閃記憶體裝置有時被稱為二進位記憶體裝置。

藉由識別被分離禁用範圍之多個相異容許/有效經程式化臨限電壓範圍來實施多態記憶體裝置。每一相異臨限電壓範圍對應於與在記憶體裝置中所編碼之資料位元集合之預定值相關聯的資料狀態。

在許多狀況下，舉例而言，有必要平行地程式化多個記憶體單元，以產生可在一合理時間量內被程式化的商業理想記憶體系統。然而，當大量記憶體單元同時待程式化時，可出現問題。此係因為每一記憶體單元的特性因包含記憶體單元之半導體裝置之結構與操作的小量變化而不同；因此，通常將會發生不同記憶體單元之程式化速度的變化。此導致若干記憶體單元比其他記憶體單元更快地變得程式化，且導致一些記憶體單元可能將被程式化至不同於所意欲狀態的狀態。多個記憶體單元之更快程式化可導

致突增所要臨限電壓位準範圍，從而在將被儲存的資料中產生錯誤。

通常，當正程式化資料時，用於記憶體裝置之驗證程序將試圖保證記憶體單元之臨限電壓高於最小位準。然而，許多記憶體裝置在規則程式化程序期間通常不保證臨限電壓之上限。因此，可能發生過度程式化(其包括將臨限電壓升高至超出用於所要狀態之範圍)。過度程式化可使記憶體單元儲存不正確資料，從而在後續讀取操作期間發生錯誤。

【發明內容】

提供一種可修正過度程式化之系統。

一實施例包括程式化非揮發性儲存元件、識別經過度程式化之非揮發性儲存元件的子集，及對經過度程式化之經識別非揮發性儲存元件子集選擇性地執行一或多次抹除操作。一或多次抹除操作包括：針對經識別非揮發性儲存元件子集，將第一通道區域集合升壓至第一電壓範圍，而不針對未經識別為經過度程式化之非揮發性儲存元件將第二通道區域集合升壓至第一電壓範圍；及將抹除賦能電壓施加至經過度程式化之經識別非揮發性儲存元件子集及未經識別為經過度程式化之非揮發性儲存元件。第一通道區域集合及第二通道區域集合為共同基板區域之一部分。

一實施例包括程式化連接至共同字線且定位於NAND串集合中之不同NAND串上的非揮發性儲存元件、識別經過度程式化之非揮發性儲存元件的子集，及藉由使NAND串

之子集選擇性地升壓並將賦能電壓施加至NAND串集合，以降低NAND串子集上之非揮發性儲存元件的臨限電壓，而對經過度程式化之經識別非揮發性儲存元件子集選擇性地執行一或多次抹除操作。NAND串子集包括經過度程式化之非揮發性儲存元件的子集。

一實施例包括程式化連接至第一類型之控制線中之共同控制線的非揮發性儲存元件、識別經過度程式化之非揮發性儲存元件的子集，及對經過度程式化之經識別非揮發性儲存元件子集選擇性地執行抹除操作。選擇性地執行抹除抹除操作包括將抹除條件施加至經過度程式化之經識別非揮發性儲存元件子集，其包括：將信號集合施加至第一類型之控制線中的其他控制線，以建立抹除條件；及針對施加至其他控制線的信號集合使用較高量值來重複抹除條件的施加。其他控制線連接至未經選定用於抹除操作之非揮發性儲存元件。

一實施例包括在共同基板區域上之複數個非揮發性儲存元件，及與複數個非揮發性儲存元件通信之一或多個管理電路。該一或多個管理電路程式化非揮發性儲存元件、識別經過度程式化之非揮發性儲存元件的子集，及對經過度程式化之經識別非揮發性儲存元件子集選擇性地執行一或多次抹除操作。一或多次抹除操作包括：針對經識別非揮發性儲存元件子集，將第一通道區域集合升壓至第一電壓範圍，而不針對未經識別為經過度程式化之非揮發性儲存元件將第二通道區域集合升壓至第一電壓範圍；及

將抹除賦能電壓施加至經過度程式化之經識別非揮發性儲存元件子集及未經識別為經過度程式化之非揮發性儲存元件。第一通道區域集合及第二通道區域集合為共同基板區域之一部分。

一實例實施例包括在共同基板區域上的複數個非揮發性儲存元件、用於程式化非揮發性儲存元件的構件、用於識別經過度程式化之非揮發性儲存元件之子集的構件，及用於對經過度程式化之經識別非揮發性儲存元件子集選擇性地執行一或多次抹除操作的構件。一或多次抹除操作包括：針對經識別非揮發性儲存元件子集，將第一通道區域集合升壓至第一電壓範圍，而不針對未經識別為經過度程式化之非揮發性儲存元件將第二通道區域集合升壓至第一電壓範圍；及將抹除賦能電壓施加至經過度程式化之經識別非揮發性儲存元件子集及未經識別為經過度程式化之非揮發性儲存元件。第一通道區域集合及第二通道區域集合為共同基板區域之一部分。

【實施方式】

快閃記憶體系統之一實例使用NAND結構，其包括配置夾於兩個選擇閘極之間的多個串聯電晶體。串聯電晶體及選擇閘極被稱為NAND串。圖1為展示一NAND串的俯視圖。圖2為其等效電路。圖1及圖2所描繪之NAND串包括串聯且夾於第一(或汲極側)選擇閘極120與第二(或源極側)選擇閘極122之間的四個電晶體100、102、104及106。選擇閘極120經由位元線觸點126而將NAND串連接至位元線。

選擇閘極122將NAND串連接至源極線128。藉由將適當電壓施加至選擇線SGD來控制選擇閘極120。藉由將適當電壓施加至選擇線SGS來控制選擇閘極122。電晶體100、102、104及106中之每一者具有控制閘極及浮動閘極。舉例而言，電晶體100具有控制閘極100CG及浮動閘極100FG。電晶體102包括控制閘極102CG及浮動閘極102FG。電晶體104包括控制閘極104CG及浮動閘極104FG。電晶體106包括控制閘極106CG及浮動閘極106FG。控制閘極100CG連接至字線WL3，控制閘極102CG連接至字線WL2，控制閘極104CG連接至字線WL1，且控制閘極106CG連接至字線WL0。

應注意，儘管圖1及圖2展示NAND串中之四個記憶體單元，但四個記憶體單元之使用僅係作為一實例而被提供。一NAND串可具有四個以下記憶體單元或四個以上記憶體單元。舉例而言，一些NAND串將包括8個記憶體單元、16個記憶體單元、32個記憶體單元、64個記憶體單元、128個記憶體單元，等等。本文中之論述不限於NAND串中任何特定數目個記憶體單元。

使用NAND結構之快閃記憶體系統之典型架構將包括若干NAND串。每一NAND串係藉由其受選擇線SGS控制之源極選擇閘極而連接至源極線，且藉由其受選擇線SGD控制之汲極選擇閘極而連接至其關聯位元線。每一位元線及經由位元線觸點而連接至彼位元線之各別NAND串構成記憶體單元陣列之行。多個NAND串共用位元線。通常，位元

線在NAND串之頂部上在垂直於字線之方向上延伸且連接至一或多個感測放大器。

NAND型快閃記憶體及其操作之相關實例被提供於均以引用之方式併入本文中的以下美國專利/專利申請案中：美國專利第5,570,315號；美國專利第5,774,397號；美國專利第6,046,935號；美國專利第6,456,528號；及美國專利公開案第US2003/0002348號。

除了NAND快閃記憶體之外，亦可使用其他類型之非揮發性儲存裝置。舉例而言，非揮發性記憶體裝置亦係由將介電層用於儲存電荷之記憶體單元製成。代替早先所描述之導電浮動閘極元件，使用介電層。利用介電儲存元件之此等記憶體裝置已由Eitan等人於「NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell」(IEEE Electron Device Letters, 2000年11月，第11期，第21卷，第543至545頁)中進行描述。ONO介電層跨越源極擴散與汲極擴散之間的通道而延伸。將用於一資料位元之電荷局域化於相鄰於汲極之介電層中，且將用於另一資料位元之電荷局域化於相鄰於源極之介電層中。舉例而言，美國專利第5,768,192號及第6,011,725號揭示具有夾於兩個二氧化矽層之間的捕獲介電質的非揮發性記憶體單元。藉由獨立地讀取介電質內之空間分離之電荷儲存區域之二進位狀態來實施多態資料儲存。亦可使用其他類型之非揮發性儲存。

圖3說明記憶體裝置210，其具有用於平行地讀取及程式

化一頁(或其他單位)記憶體單元(例如，NAND多態快閃記憶體)之讀取/寫入電路。記憶體裝置210可包括一或多個記憶體晶粒或晶片212。記憶體晶粒212包括記憶體單元陣列(二維或三維)200、控制電路220，及讀取/寫入電路230A及230B。在一實施例中，在記憶體陣列200之相反側上以對稱方式來實施藉由各種周邊電路而對記憶體陣列200之存取，使得每一側上之存取線及電路之密度減半。讀取/寫入電路230A及230B包括多個感測區塊300，其容許平行地讀取或程式化一頁記憶體單元。記憶體陣列200可由字線經由列解碼器240A及240B且由位元線經由行解碼器242A及242B而定址。字線及位元線為控制線之實例。在一典型實施例中，控制器244與一或多個記憶體晶粒212包括於同一記憶體裝置210(例如，移除式儲存卡或封裝)中。經由線232而在主機與控制器244之間傳送命令及資料，且經由線234而在控制器與一或多個記憶體晶粒212之間傳送命令及資料。

控制電路220與讀取/寫入電路230A及230B合作以對記憶體陣列200執行記憶體操作。控制電路220包括狀態機222、晶片上位址解碼器224及電力控制模組226。狀態機222提供記憶體操作之晶片級控制。晶片上位址解碼器224在由主機或記憶體控制器所使用之位址與由解碼器240A、240B、242A及242B所使用之硬體位址之間提供位址介面。電力控制模組226控制在記憶體操作期間供應至字線及位元線之電力及電壓。在一實施例中，電力控制模組

226包括可產生大於供應電壓之電壓之一或多個電荷泵。

在一實施例中，控制電路220、電力控制電路226、解碼器電路224、狀態機電路222、解碼器電路242A、解碼器電路242B、解碼器電路240A、解碼器電路240B、讀取/寫入電路230A、讀取/寫入電路230B及/或控制器244中之一者或其任何組合可被稱為一或多個管理或控制電路。一或多個管理或控制電路執行本文中所描述之程序。

圖4描繪記憶體單元陣列200之例示性結構。在一實施例中，記憶體單元陣列被劃分成大量記憶體單元區塊(例如，區塊0至1023，或另一量)。在一實施例中，區塊為習知抹除單位。亦可使用其他抹除單位。

一區塊含有經由位元線(例如，位元線BL0至BLX)及共同字線集合(WL0、WL1、WL2、WL3)而被存取之一NAND串集合。圖4展示經串聯連接以形成一NAND串之四個記憶體單元。儘管展示在每一NAND串中包括四個單元，但可使用四個以上或四個以下單元(例如，16個、32個、64個、128個或另一數目個記憶體單元可在一NAND串上)。NAND串之一端子係經由汲極選擇閘極(連接至選擇閘極汲極線SGD)而連接至對應位元線，且另一端子係經由源極選擇閘極(連接至選擇閘極源極線SGS)而連接至源極線。在一實施例中，每一NAND串包括兩個虛設記憶體單元，在NAND串之每一端處存在一個虛設記憶體單元。不使用虛設記憶體單元來儲存資料。

每一區塊通常被劃分成許多頁。在一實施例中，頁為程

式化單位。亦可使用其他程式化單位。一或多頁資料通常儲存於一系列記憶體單元中。舉例而言，一或多頁資料可儲存於連接至共同字線之記憶體單元中。一頁可儲存一或多個區段。一區段包括使用者資料及附加項資料(亦被稱為系統資料)。附加項資料通常包括標頭資訊及已自該區段之使用者資料所計算出的錯誤修正碼(ECC)。控制器(或狀態機，或其他組件)在正將資料程式化至陣列中時計算ECC，且亦在正自陣列讀取資料時檢查ECC。或者，將ECC及/或其他附加項資料儲存於與其所從屬之使用者資料不同的頁或甚至不同的區塊中。使用者資料之區段通常為512個位元組，此對應於磁碟驅動器中之磁區的大小。大量頁形成一區塊，頁數目為自(例如)8頁直至32、64、128或更多頁中之任何數目。亦可使用不同大小之區塊、頁及區段。

在一些實施例中，記憶體單元包括三重井，其包含p型基板、在p型基板內之n型井及在n型井內之p型井。通道區域、源極區域及汲極區域通常定位於p型井中。p型井及n型井被認為係基板之一部分。在一實施例中，整個記憶體單元陣列係在一p型井內，其中p型井中之溝槽提供NAND串之間的電隔離。在一實施例中，同一p型井中共用同一位元線集合之所有區塊均被稱為平面。在其他實施例中，不同區塊可在不同p型井中。

另外，該裝置可具有反極性，使得三重井包含n型基板、在n型基板內之p型井及在p型井內之n型井。在此組態

中，通道區域、源極區域及汲極區域通常定位於n型井中。

圖5為個別感測區塊300的方塊圖，其被分割成被稱為感測模組480之核心部分及共同部分490。在一實施例中，將存在用於每一位元線之獨立感測模組480及用於多個感測模組480之集合之一個共同部分490。在一實例中，一感測區塊將包括一個共同部分490及八個感測模組480。一群組中之感測模組中之每一者將經由資料匯流排472而與關聯共同部分通信。可在美國專利申請公開案2006/0140007中找到一實例，該案之全部內容係以引用之方式併入本文中。

感測模組480包含感測電路470，其判定經連接位元線中之傳導電流是高於或是低於預定位準。在一些實施例中，感測模組480包括通常被稱為感測放大器之電路。感測模組480亦包括用以在經連接位元線上設定電壓條件之位元線鎖存器482。舉例而言，鎖存於位元線鎖存器482中之預定狀態將導致經連接位元線被拉至表示程式化抑制之狀態(例如，Vdd)。

共同部分490包含處理器492、資料鎖存器集合494，及耦合於資料鎖存器集合494與資料匯流排420之間的I/O介面496。處理器492執行計算。舉例而言，其功能中之一者係判定儲存於經感測記憶體單元中之資料且將經判定資料儲存於資料鎖存器集合中。資料鎖存器集合494係用以在讀取操作期間儲存由處理器492所判定之資料位元。其亦

係用以在程式化操作期間儲存自資料匯流排420所匯入之資料位元。經匯入資料位元表示意欲經程式化至記憶體中之寫入資料。I/O介面496提供資料鎖存器494與資料匯流排420之間的介面。

在讀取或感測期間，系統之操作係在狀態機222之控制下，狀態機222控制(使用電力控制226)不同控制閘極電壓至經定址記憶體單元之供應。當感測模組480逐步歷經對應於由記憶體所支援之各種記憶體狀態之各種預定義控制閘極電壓時，感測模組480可在此等電壓中之一者下跳脫(trip)，且將經由匯流排472而提供自感測模組480至處理器492之輸出。此時，處理器492藉由考慮感測模組之跳脫事件及關於經由輸入線493而自狀態機所施加之控制閘極電壓的資訊來判定所得記憶體狀態。處理器492接著計算針對記憶體狀態之二進位編碼且將所得資料位元儲存至資料鎖存器494中。在核心部分之另一實施例中，位元線鎖存器482擔當雙重用途：作為用於鎖存感測模組480之輸出之鎖存器且亦作為如上文所描述之位元線鎖存器。

據預期，一些實施例將包括多個處理器492。在一實施例中，每一處理器492將包括一輸出線(圖5中未描繪)，使得該等輸出線中之每一者經線「或」(wired-OR)在一起。在一些實施例中，輸出線在連接至線「或」線(wired-OR line)之前經反相。此組態使能夠在程式化驗證程序期間快速地判定何時已完成程式化程序，因為接收線「或」線之狀態機可判定經程式化之所有位元何時均已達到所要位

準。舉例而言，當每一位元已達到其所要位準時，針對彼位元之邏輯0將被發送至線「或」線(或資料1經反相)。當所有位元均輸出資料0(或經反相之資料1)時，則狀態機知曉終止程式化程序。在每一處理器與八個感測模組通信之實施例中，狀態機可能(在一些實施例中)需要將線「或」線讀取八次，或將邏輯添加至處理器492以積聚關聯位元線之結果，使得狀態機僅需要將線「或」線讀取一次。

資料鎖存器堆疊494含有對應於感測模組之資料鎖存器堆疊。在一實施例中，每一感測模組480存在三個(或四個，或另一數目個)資料鎖存器。在一實施例中，鎖存器各自為一個位元。

在程式化或驗證期間，待程式化之資料自資料匯流排420儲存於資料鎖存器集合494中。在驗證程序期間，處理器492相對於所要記憶體狀態而監視經驗證記憶體狀態。當該兩者一致時，處理器492設定位元線鎖存器482，以使位元線被拉至表示程式化抑制之狀態。此抑制耦合至位元線之記憶體單元進一步程式化，即使記憶體單元在其控制閘極上經受程式化脈衝時亦係如此。在其他實施例中，在驗證程序期間，處理器初始地載入位元線鎖存器482且感測電路將其設定為抑制值。

在一些實施例(但並非所需)中，將資料鎖存器實施為移位暫存器，使得儲存於其中之平行資料轉換成用於資料匯流排420之串列資料，且反之亦然。在一較佳實施例中，對應於m個記憶體單元之讀取/寫入區塊的所有資料鎖存器

均可連結在一起以形成區塊移位暫存器，使得可藉由串列傳送來輸入或輸出一區塊之資料。詳言之，讀取/寫入模組之組經調適成使得其資料鎖存器集合中之每一資料鎖存器將依次將資料移入或移出資料匯流排，如同其為用於整個讀取/寫入區塊之移位暫存器的一部分一樣。

可在以下各者中找到關於感測操作及感測放大器之額外資訊：(1)2004年3月25日公開的美國專利申請公開案第2004/0057287號的「Non-Volatile Memory And Method With Reduced Source Line Bias Errors」；(2)2004年6月10日公開的美國專利申請公開案第2004/0109357號的「Non-Volatile Memory And Method with Improved Sensing」；(3)美國專利申請公開案第20050169082號；(4)2005年4月5日申請的發明人為Jian Chen之名為「Compensating for Coupling During Read Operations of Non-Volatile Memory」的美國專利申請公開案第2006/0221692號；及(5)2005年12月28日申請的發明人為Siu Lung Chan及Raul-Adrian Cernea之名為「Reference Sense Amplifier For Non-Volatile Memory」的美國專利申請公開案第2006/0158947號。上文方才所列出之所有五個專利文獻之全部內容係以引用之方式併入本文中。

在一成功程式化程序結束時，記憶體單元之臨限電壓應係在用於經程式化記憶體單元之一或多個臨限電壓分布內或在用於經抹除記憶體單元之一臨限電壓分布內(在適當時)。圖6A說明當每一記憶體單元儲存兩個位元之資料時

用於記憶體單元陣列之實例臨限電壓分布(各自對應於一資料狀態)。然而，其他實施例可使用每一記憶體單元兩個以上或兩個以下位元之資料。舉例而言，亦可使用每一記憶體單元三個位元之資料、每一記憶體單元四個位元之資料，或其他量。圖6A展示用於經抹除記憶體單元之第一臨限電壓分布/資料狀態S0。亦描繪用於經程式化記憶體單元之三個臨限電壓分布/資料狀態S1、S2及S3。在一實施例中，S0中之臨限電壓係負的，且S1、S2及S3中之臨限電壓係正的。在一些實施例中，多個臨限電壓分布對應於負臨限電壓。

圖6A之每一相異臨限電壓分布對應於具有用於資料位元集合之預定值的資料狀態。經程式化至記憶體單元中之資料與記憶體單元之臨限電壓位準之間的特定關係係視用於該等單元之資料編碼方案而定。舉例而言，美國專利第6,222,762號及2003年6月13日申請的美國專利申請公開案第2004/0255090號的「Tracking Cells For A Memory System」(該兩者之全部內容均係以引用之方式併入本文中)描述用於多態快閃記憶體單元之各種資料編碼方案。在一實施例中，使用格雷碼(Gray code)指派而將資料值指派給臨限電壓範圍/資料狀態，使得若浮動閘極之臨限電壓錯誤地移位至其鄰近實體狀態，則僅一個位元將受影響。一實例將「11」指派給臨限電壓分布/資料狀態S0、將「10」指派給臨限電壓分布/資料狀態S1、將「00」指派給臨限電壓分布/資料狀態S2，及將「01」指派給臨限

電壓分布/資料狀態 S3。在此實例中，若抹除記憶體單元且待程式化之資料為 11，則記憶體單元無需改變其臨限電壓，因為其已經處於與 11 相關聯之 S0。若抹除記憶體單元且待程式化之資料為 00，則記憶體單元之臨限電壓需要移動至 S2。

圖 6A 亦展示用於自記憶體單元讀取資料之三個讀取參考電壓 V_{r1} 、 V_{r2} 及 V_{r3} 。藉由測試給定記憶體單元之臨限電壓是高於或是低於 V_{r1} 、 V_{r2} 及 V_{r3} ，系統可判定記憶體單元處於何種臨限電壓分布/資料狀態。

圖 6A 亦展示三個驗證參考電壓 V_{v1} 、 V_{v2} 及 V_{v3} 。當將記憶體單元程式化至資料狀態 S1 時，系統將測試彼等記憶體單元是否具有大於或等於 V_{v1} 之臨限電壓。當將記憶體單元程式化至資料狀態 S2 時，系統將測試記憶體單元是否具有大於或等於 V_{v2} 之臨限電壓。當將記憶體單元程式化至資料狀態 S3 時，系統將判定記憶體單元是否具有其大於或等於 V_{v3} 之臨限電壓。

在一實施例(被稱為全序列程式化)中，記憶體單元可自經抹除臨限電壓分布/資料狀態 S0 直接被程式化至經程式化臨限電壓分布/資料狀態 S1、S2 或 S3 中之任一者。舉例而言，可首先抹除待程式化之記憶體單元群體，使得該群體中之所有記憶體單元均處於經抹除臨限電壓分布/資料狀態 S0。當一些記憶體單元正自臨限電壓分布/資料狀態 S0 被程式化至臨限電壓分布/資料狀態 S1 時，其他記憶體單元正自臨限電壓分布/資料狀態 S0 被程式化至臨限電壓

分布/資料狀態 S2 及/或自臨限電壓分布/資料狀態 S0 被程式化至臨限電壓分布/資料狀態 S3。藉由圖 6A 之三個彎曲箭頭以圖形來描繪全序列程式化。

記憶體單元可遭受來自同一字線上、同一位元線或相鄰字線及相鄰位元線上之鄰近記憶體單元之電容耦合。電容耦合用來升高記憶體單元之表觀臨限電壓，因為鄰近記憶體單元已被程式化；然而，浮動閘極可能尚未添加或損失電荷量。許多記憶體單元之表觀臨限電壓之增加使臨限電壓分布變寬，如圖 6B 所描繪。在嚴重電容耦合之一些狀況下，用於經抹除狀態之臨限電壓可變寬至其與第一經程式化狀態重疊之點。舉例而言，圖 6B 展示與臨限電壓分布/資料狀態 S1 重疊之臨限電壓分布/資料狀態 S0，因為臨限電壓分布/資料狀態 S0 已歸因於來自鄰近記憶體單元之電容耦合而變寬。在一些狀況下，包含臨限電壓重疊之記憶體單元的頁或區段不能被正確地回讀，因為系統將不能夠判定單元是處於狀態 0 或是狀態 1。

本文中所提出之技術選擇性地執行抹除操作，以再抹除應處於經抹除狀態 0 但歸因於電容耦合(或其他原因)而具有表現為在經抹除資料狀態 S0 之臨限電壓分布外部之臨限電壓的彼等記憶體單元。執行選擇性抹除，而不有意地抹除被假定為經程式化之記憶體單元中之任一者中的經程式化資料。因此，在一實施例中，圖 6B 之臨限電壓分布/資料狀態 S0 將緊縮以變得類似於圖 6C 之臨限電壓分布/資料狀態 S0，其中臨限電壓分布/資料狀態 S0 中之所有記憶體單

元均具有低於抹除驗證位準 E_v 之臨限電壓。在一實施例中， $E_v=0$ 伏特。在選擇性抹除期間，狀態 S1、S2 及 S3 中之記憶體單元將不經歷抹除操作。

圖 7 為描述用於操作非揮發性儲存之程序的流程圖。在步驟 548 中，接收對程式化之請求及待程式化之資料。儲存資料。資料可儲存於控制器、狀態機、緩衝器中或其他處。在圖 7 之程序之一實施例中，預程式化記憶體單元，以便維持記憶體單元上之均勻磨損(步驟 550)。在一實施例中，將記憶體單元預程式化至狀態 S3(最高狀態)、隨機型樣或任何其他型樣。在一些實施例中，無需執行預程式化。

在步驟 552 中，在程式化之前抹除記憶體單元(以區塊或其他單位)。在一實施例中，藉由使 p 型井升高至抹除電壓(例如，20 伏特)歷時一充分時段且在源極線及位元線浮動的同時使選定區塊之字線接地來抹除記憶體單元。在未選定成經抹除之區塊中，使字線浮動。歸因於電容耦合，未選定字線、位元線、選擇線及共同源極線亦升高至抹除電壓之顯著分率，藉此阻止對未選定成經抹除之區塊的抹除。在選定成經抹除之區塊中，將強電場因此施加至選定記憶體單元之穿隧氧化物層，且在通常藉由福勒-諾爾德哈姆穿隧機制(Fowler-Nordheim tunneling mechanism)而將浮動閘極之電子發射至基板側時抹除選定記憶體單元。在將電子自浮動閘極轉移至 p 型井區域時，選定單元之臨限電壓降低。可對整個記憶體陣列、個別區塊或另一單位之

單元執行抹除。在一實施例中，在抹除記憶體單元之後，所有經抹除記憶體單元均將處於資料狀態S0(見圖6A)。一抹除程序之一實施例包括將若干抹除脈衝施加至p型井，及在抹除脈衝之間驗證記憶體單元是否具有低於 V_{ev} 之臨限電壓。

在步驟554處，(視情況)執行軟程式化以使經抹除記憶體單元之經抹除臨限電壓分布變窄。一些記憶體單元可能由於抹除程序而處於深於必要經抹除狀態之經抹除狀態。軟程式化可將程式化脈衝施加至控制閘極，以便將較深經抹除記憶體單元之臨限電壓移動成較接近於抹除驗證位準 E_v 。舉例而言，觀看圖6A，步驟554可包括緊縮與狀態S0相關聯之臨限電壓分布。在步驟556中，程式化該區塊之記憶體單元。圖7之程序可使用上文所描述之各種電路而在狀態機之指導下執行。在其他實施例中，圖7之程序可使用上文所描述之各種電路而在控制器之指導下執行。在步驟558中，記憶體系統(在控制器及/或狀態機之指導下)針對應為經抹除狀態但具有表現為在經抹除資料狀態之臨限電壓分布外部之臨限電壓的彼等記憶體單元選擇性地執行抹除操作(例如，用以再抹除彼等記憶體單元)。執行選擇性抹除，而不有意地抹除被假定為經程式化之記憶體單元中之任一者中的經程式化資料。在已程式化且(可能)選擇性地再抹除記憶體單元之後，可讀取記憶體單元(步驟560)，且可將所讀取之資料報告給控制器及/或與控制器通信之主機。

圖8為描述用於對連接至共同字線之記憶體單元執行程式化之程序之一實施例的流程圖。在圖7之步驟556期間，可將圖8之程序執行一次或多次。舉例而言，圖8之程序可用以執行圖6A之全序列程式化，在該狀況下，圖8之程序將針對每一字線被執行一次。在一實施例中，程式化程序係以自最接近於源極線之字線開始且朝向位元線工作之順序而執行。圖8之程序亦可用以針對一字線執行一頁(或部分頁或其他單位)資料之程式化，或執行多遍程式化程序之一遍。亦可使用其他配置。圖8之程序係在狀態機222之指導下執行。本文中所描述之用於抹除之技術可與許多不同程式化方案一起使用。

通常，將在程式化操作期間施加至控制閘極之程式化電壓(V_{pgm})作為一系列程式化脈衝進行施加。用以賦能驗證之驗證脈衝集合係在程式化脈衝中間。在許多實施例中，程式化脈衝之量值係隨著每一連續脈衝而增加預定步長。在圖8之步驟608中，將程式化電壓 V_{pgm} 初始化為開始量值(例如，約12-16 V或另一合適位準)，且將程式計數器PC初始化於1。在步驟610中，將程式化電壓 V_{pgm} 之程式化脈衝施加至選定字線(經選定用於程式化之字線)。未選定字線接收一或多個升壓電壓(例如，約9伏特)以執行此項技術中已知之升壓方案。若應程式化記憶體單元，則使對應位元線接地。另一方面，若記憶體單元應保持於其當前臨限電壓下，則將對應位元線連接至 V_{DD} (大致2.5伏特)以抑制程式化(鎖定記憶體單元以免受程式化)。可在美國專利

6,859,397及美國專利申請公開案第20080123425號中找到關於升壓方案之更多資訊，該兩者之全部內容係以引用之方式併入本文中。

在步驟610中，將程式化脈衝同時施加至連接至選定字線之所有記憶體單元，使得一起程式化連接至選定字線之經選定用於程式化之所有記憶體單元。以此方式，連接至選定字線之所有記憶體單元均將同時使其臨限電壓改變，除非其已被鎖定以免受程式化。

在步驟612中，使用適當目標位準集合來驗證選定記憶體單元之狀態。圖8之步驟612包括執行一或多次驗證操作。一般而言，在驗證操作及讀取操作期間，將選定字線連接至一電壓，其位準係針對每一讀取及驗證操作而規定(例如，見圖6A之用於驗證之 V_{v1} 、 V_{v2} 及 V_{v3} 以及用於讀取之 V_{r1} 、 V_{r2} 及 V_{r3})，以便判定所關註記憶體單元之臨限電壓是否已達到此位準。在施加字線電壓之後，量測記憶體單元之傳導電流以判定記憶體單元是否回應於施加至字線之電壓而接通。若傳導電流經量測為大於特定值，則假設記憶體單元接通且施加至字線之電壓大於記憶體單元之臨限電壓。若傳導電流經量測為不大於特定值，則假設記憶體單元未接通且施加至字線之電壓不大於記憶體單元之臨限電壓。

存在用以在讀取或驗證操作期間量測記憶體單元之傳導電流的許多方式。在一實例中，根據記憶體單元使感測放大器中之專用電容器放電或充電之速率而量測記憶體單元

之傳導電流。在另一實例中，選定記憶體單元之傳導電流容許(或未能容許)包括該記憶體單元之NAND串使對應位元線放電，其中該位元線已被預放電至已知電壓。在一時段之後量測位元線上之電壓以查看其是否已放電。應注意，本文中所描述之技術可與此項技術中已知的用於驗證/讀取之不同方法一起使用。可在以引用之方式併入本文中之以下專利文獻中找到關於驗證/讀取之更多資訊：(1)美國專利申請公開案第2004/0057287號的「Non-Volatile Memory And Method With Reduced Source Line Bias Errors」；(2)美國專利申請公開案第2004/0109357號的「Non-Volatile Memory And Method with Improved Sensing」；(3)美國專利申請公開案第20050169082號；及(4)名為「Compensating for Coupling During Read Operations of Non-Volatile Memory」之美國專利公開案2006/0221692。

若偵測到選定記憶體單元之臨限電壓已達到適當目標位準，則藉由(例如)在後續程式化脈衝期間將其位元線電壓升高至Vdd來鎖定記憶體單元以免受進一步程式化。

返回觀看圖8，在步驟614中，檢查所有記憶體單元是否均已達到其目標臨限電壓。若如此，則程式化程序係完成且成功的，因為所有選定記憶體單元均被程式化及驗證其目標狀態。在步驟616中報告「通過」(PASS)狀態。應注意，在一些實施例中，在步驟614中檢查至少一預定數目個記憶體單元是否已被正確地程式化。此預定數目可小於

所有記憶體單元之數目，藉此容許程式化程序在所有記憶體單元均已達到其適當驗證位準之前停止。可在讀取程序期間使用錯誤修正來修正未經成功程式化之記憶體單元。

若在步驟614中判定並非所有記憶體單元均已達到其目標臨限電壓，則程式化程序繼續。在步驟618中，對照程式極限值(PL)來檢查程式計數器PC。程式極限值PL之一實例為20；然而，可使用其他值。若程式計數器PC不小於程式極限值，則在步驟630中判定尚未經成功程式化之記憶體單元的數目是否等於或小於預定數目。若未經成功程式化之記憶體單元的數目等於或小於預定數目，則認為程式化程序係成功的，且在步驟632中報告「通過」狀態。在許多狀況下，可在讀取程序期間使用錯誤修正來修正未經成功程式化之記憶體單元。然而，若未經成功程式化之記憶體單元的數目大於預定數目，則認為程式化程序係不成功的，且在步驟634中報告「失敗」(FAIL)狀態。

若在步驟618中判定程式計數器PC小於程式極限值PL，則該程序在步驟620處繼續，在該時間期間，程式計數器PC遞增1且程式化電壓V_pgm逐步升高至下一量值。舉例而言，下一脈衝將具有比前一脈衝大一步長(例如，0.1至0.4伏特之步長)之量值。在步驟620之後，該程序循環回至步驟610且將另一程式化脈衝施加至選定字線，且該程序繼續。

圖9為描述用於針對應為經抹除狀態但具有表現為在經抹除資料狀態之臨限電壓分布外部之臨限電壓的彼等記憶

體單元選擇性地執行抹除操作之程序的流程圖。在一實施例中，針對一選定字線執行圖9之程序，使得對連接至該一選定字線之彼等記憶體單元執行選擇性抹除。在其他變化中，連接至不同字線之記憶體單元可同時經受選擇性抹除程序。

在步驟650中，識別被假定為保持經抹除之記憶體單元。舉例而言，若狀態S0對應於資料11、狀態S1對應於資料10、狀態S2對應於資料00且狀態S3對應於資料01，則被假定為儲存資料11之所有記憶體單元均應保持經抹除(例如，保持於狀態S0中)。存在用以識別被假定為保持經抹除之記憶體單元的許多合適方式。在一實施例中，當前經程式化或最近經程式化之資料可儲存於緩衝器中(RAM或快閃記憶體中)。可在步驟650中自緩衝器讀取此資料，且系統將使用控制器(見圖3)、狀態機(見圖3)或處理器492(見圖4)來識別被假定為儲存資料11之記憶體單元。在另一實施例中，可將資料自控制器重發至狀態機或處理器492，以便判定哪些記憶體單元被假定為儲存資料11。在另一實施例中，當前經程式化或最近經程式化之資料可儲存於資料鎖存器494中，且由處理器492使用以判定哪些記憶體單元被假定為儲存資料11。

在步驟652中，對連接至選定字線之記憶體單元執行抹除驗證操作。抹除驗證操作判定記憶體單元是否已被正確地抹除。在一實施例中，抹除驗證操作判定記憶體單元之臨限電壓是否大於抹除驗證比較電壓 V_{ev} (見圖6A)。選定字

線接收抹除驗證比較電壓 V_{ev} ，且未選定字線接收過度驅動電壓(大致8伏特至10伏特)，有時被稱為 V_{read} 。如上文關於圖8之步驟612所解釋，在施加適當字線電壓(其將電壓提供至控制閘極)之後，觀測/量測選定記憶體單元之傳導電流以判定記憶體單元是否正傳導。假設回應於抹除驗證電壓 V_{ev} 而傳導之記憶體單元具有在狀態 S_0 內之臨限電壓，且因此被正確地抹除。斷定不回應於接收到抹除驗證電壓 V_{ev} 而傳導且被假定為處於抹除狀態 S_0 之記憶體單元具有表現為在抹除資料狀態 S_0 之臨限電壓分布外部(高於該臨限電壓分布)的臨限電壓。在步驟654中，若驗證所有記憶體單元(亦即，所有記憶體單元均回應於 V_{ev} 而傳導)，則圖9之程序完成。在一實施例中，若在步驟652中至少一預定數目個記憶體單元通過抹除驗證程序，則圖9之程序完成。若適當地驗證少於所有記憶體單元之記憶體單元(或驗證少於預定數目個記憶體單元)，則該程序在步驟656處繼續，且對被假定為處於抹除狀態 S_0 但未通過步驟652之驗證程序之彼等記憶體單元執行選擇性抹除操作。如下文所論述，通過步驟652處之驗證程序之任何記憶體單元將被鎖定以免受步驟656之選擇性抹除程序。在執行步驟656之選擇性抹除程序之後，該程序循環回至步驟652，且執行另一抹除驗證程序。執行步驟652、654及656之循環，直至驗證所有記憶體單元或正確地驗證預定數目個記憶體單元為止。在其他實施例中，該循環可由最大數目個反覆限制。

圖10為描述圖9之步驟656之選擇性抹除操作的時序圖。

圖10展示用於連接至將被選擇性地抹除之記憶體單元之位元線、連接至將不被抹除之記憶體單元之位元線、未選定字線、選定字線、SGS、源極線、具有被選擇性地抹除之記憶體單元之NAND串之通道、具有未被選擇性地抹除之任何記憶體單元之NAND串之通道及p型井的電壓信號。圖10之程序具有三個步驟。在步驟1期間，使連接至將被抹除之記憶體單元之位元線在時間t1充電至Vdd(大致2伏特至2.5伏特)。連接至將不被抹除之記憶體單元(因為其經程式化，或因為其被假定為經抹除且其已通過抹除驗證操作)之位元線保持於0伏特。源極線及SGD在t1亦升高至Vdd。字線、SGS及p型井均保持於零伏特。步驟2包括使用於NAND串之通道升壓。在時間t2，將升壓電壓Vpass施加至未選定字線。在一實施例中，Vpass為大致10伏特。將未選定字線升高至Vpass(至少部分地)會使通道區域針對具有選定成經抹除之記憶體單元之彼等NAND串升壓。通道區域將升壓至大致6伏特(或接近6伏特之電壓範圍)。因為用於彼等NAND串之位元線處於Vdd，所以汲極側上之選擇閘極變得截止，其容許通道升壓。不具有選定成經抹除之記憶體單元之NAND串將使其通道保持於0伏特(或接近0伏特之電壓範圍)。步驟3包括將負電壓施加至選定字線以賦能抹除。舉例而言，在t3將Verase(大致-10伏特)施加至選定字線。選定字線上之負電壓及經升壓通道中之正電壓產生選擇性地抹除連接至選定字線且在具有經升壓通

道之NAND串上之彼等記憶體單元的大電場。在一實施例中，抹除包括自浮動閘極移除電子，以便降低臨限電壓。在一實施例中，將電子轉移至源極/汲極區域。在另一實施例中，在選定字線/控制閘極下之接面處可存在閘極誘發性汲極洩漏(GIDL)以使電洞注入至浮動閘極中，而非轉移電子離開浮動閘極。

應注意，每次執行步驟656時，執行圖10之程序。在一實施例中，Vpass之值可針對步驟656之每一反覆遞增。

圖11展示在圖10之步驟3期間的NAND串集合。可見，選定字線(WL2)接收Verase且未選定字線接收Vpass。在此實施例中，記憶體單元724及725經選定用於抹除。記憶體單元724及725均連接至共同字線WL2。如所描繪，未選定記憶體單元亦連接至共同字線。用於包括待抹除之記憶體單元之NAND串之位元線接收Vdd。舉例而言，用於包括記憶體單元724之NAND串746之位元線正接收Vdd。用於不具有經抹除之記憶體單元之NAND串(例如，NAND串748)之位元線接收零伏特。僅具有接收Vdd之位元線之彼等NAND串將具有經升壓通道。具有接收0 v之位元線之NAND串將不具有經升壓通道。應注意，圖11所描繪之NAND串均係在同一基板區域(例如，同一p型井)中。

圖12A展示在圖10所描繪之抹除程序之步驟3期間NAND串746(表示具有將被抹除之記憶體單元之NAND串)的截面。圖12B展示在圖10所描繪之抹除程序之步驟3期間NAND串748(表示不具有將被抹除之記憶體單元之NAND

串)的截面。圖 12A 之 NAND 串 746 包括五個記憶體單元 720、722、724、726 及 728。NAND 串 746 亦包括源極側選擇閘極 730、汲極側選擇閘極 732、源極線 736 及位元線 738。可見，記憶體單元 720、722、726 及 728 經由各別字線而在其控制閘極處接收 V_{pass} 。經選定用於抹除之記憶體單元 724 接收 V_{erase} 。源極側選擇閘極 730 接收零伏特。源極線 736 接收 V_{dd} ，且位元線 738 接收 V_{dd} 。NAND 串 746 之各種記憶體單元之源極/汲極區域及在浮動閘極下方(除了在記憶體單元 724 之浮動閘極下方之外)之反轉層形成被稱為用於 NAND 串 746 之通道區域 742 之等電位區域。圖 12A 所描繪之此通道區域 742 升壓至 6 伏特。在 p 型井區域 739 之頂部處以圖形來描繪經升壓通道區域 742。在記憶體單元 724 之浮動閘極下方之通道區域升壓區中存在間隙。

圖 12B 展示 NAND 串 748(見圖 11)，其不包括經選定用於抹除之記憶體單元。NAND 串 748 包括記憶體單元 750、752、754、756 及 758。NAND 串 748 亦包括源極側選擇閘極 760、汲極側選擇閘極 762、源極線 736、位元線 764 及源極/汲極區域 770。可見，位元線 764 接收零伏特，其防止汲極側選擇閘極 762 截止；因此，NAND 串之通道區域不以如圖 12A 所描繪之方式升壓。圖 11、圖 12A 及圖 12B 描繪連接至共同字線之一些記憶體單元可如何經選定用於抹除，而連接至同一字線之其他記憶體單元將不被抹除。

在一些實施例中，使用負字線電壓會需要用於列解碼器之三重井結構及用以供應電壓之負電荷泵。在一些狀況

下，此配置可為昂貴的。圖13為描述用於對連接至字線之記憶體單元子集執行選擇性抹除操作之程序之另一實施例的流程圖。可在圖9之步驟656期間執行的圖13之程序包括四個步驟。在步驟800中，將使用於待抹除之記憶體單元之位元線充電至Vdd，且將使用於將不被抹除之記憶體單元之位元線維持於零伏特。在步驟802中，將使p型井及整個平面之所有字線充電至電壓Vwell(例如，大致10伏特)。此將藉由電壓Vwell來耦合位元線。充電至Vdd之位元線將維持與處於0伏特之位元線相比較之電壓差。p型井充電可被偏移(與字線相比較)二極體壓降(或大於二極體壓降)以防止位元線接面之正向偏壓。在步驟804中，將使用於經選定以抹除的該區塊之記憶體單元之字線充電至Vwell+Vpass(大致17伏特)，以便使用於具有將被抹除之記憶體單元之NAND串之通道升壓。經升壓通道將處於大致15伏特。在步驟806處，將藉由將選定字線降低至零伏特來抹除選定記憶體單元。

圖14為提供圖13之程序之更多細節的時序圖。圖14展示與圖13相同的四個步驟。在第一步驟(對位元線預充電-步驟800)中，使用於將被抹除之彼等記憶體單元之位元線升高至Vdd，使共同源極線升高至Vdd，不連接至具有將被抹除之記憶體單元之NAND串之位元線保持於0伏特，且圖14所描繪之所有其他信號均亦保持於零伏特。

在第二步驟(對WL及井充電-步驟802)中，在時間t2將未選定字線及選定字線自0伏特充電至Vwell。另外，在t2，

使SGD自0伏特升高至 $V_{well}+2\text{ V}$ ，且使SGS自0伏特升高至 V_{well} 。對於與待抹除之記憶體單元相關聯之位元線，字線至 V_{well} 之升高使位元線耦合至 $V_{well}+V_{dd}$ (大致10伏特)。不與待抹除之記憶體單元相關聯之位元線將保持於 V_{well} 。在 t_2 ，p型井亦升高至 V_{well} ，其使用於NAND串之通道升高至 V_{well} 。

在第三步驟(使抹除通道升壓-步驟804)中，在時間 t_3 ，使用於整個區塊之未選定字線及選定字線升高至 $V_{well}+V_{pass}$ (大致17伏特)，其使(至少部分地)用於待抹除之記憶體單元之NAND串之通道區域之升壓升壓至 $V_{well}+$ 升壓電壓(例如，大致15伏特)或接近彼位準之電壓範圍。因為汲極側選擇閘極係歸因於處於 $V_{well}+V_{dd}$ 之選定記憶體單元之位元線而截止，所以此升壓發生。由於未選定記憶體單元之位元線僅處於 V_{well} ，故彼等汲極側選擇閘極不會截止，且用於將不被抹除之記憶體單元之NAND串通道將不升壓至 $V_{well}+$ 升壓電壓，但將保持於 V_{well} 或接近彼位準之電壓範圍。

在第四步驟中，在時間 t_4 ，選定字線使其電壓降低至零伏特以賦能抹除。經選定用於抹除之記憶體單元跨越控制閘極及通道將具有15伏特，其提供適於抹除之條件。同一NAND串中之未選定記憶體單元將在字線處具有17伏特且在通道處具有15伏特，其不提供適於抹除之條件。同一選定字線上之未選定記憶體單元將在控制閘極處具有零伏特且在通道處具有10伏特，其不提供適於抹除之條件。在一

實施例中，抹除包括自浮動閘極移除電子以降低臨限電壓。在一實施例中，將電子轉移至通道區域。

在另一實施例中，在選定字線/控制閘極下之接面處可存在閘極誘發性汲極洩漏(GIDL)以使電洞注入至浮動閘極中，而非轉移電子離開浮動閘極。

圖15展示在圖13之步驟806期間的實例NAND串集合，其中記憶體單元854(在NAND串830上)及記憶體單元855經選定用於抹除。儘管圖15僅展示經選擇性地抹除之兩個記憶體單元，但在其他實例中，更多或更少連接至同一共同選定字線(WL2)之記憶體單元可經選定用於抹除。選擇性抹除容許少於所有連接至選定字線之記憶體單元的記憶體單元經選定用於抹除。可見，用於具有將被抹除之記憶體單元之NAND串(例如，NAND串830)之位元線處於 $V_{well}+V_{dd}$ ，而不具有待抹除之記憶體單元之其他NAND串(例如，NAND串832)具有處於 V_{well} 之位元線。選定字線接收零伏特，而未選定字線接收 $V_{well}+V_{pass}$ 。應注意，圖15所描繪之NAND串均係在同一基板區域中(且因此係在同一p型井上)。

圖16A展示在圖13之步驟806期間NAND串830(表示具有將被抹除之記憶體單元之NAND串)的截面。NAND串830包括記憶體單元850、852、854、856及858。NAND串830亦包括源極側選擇閘極860、汲極側選擇閘極862、源極線866及位元線868。圖16A展示經升壓通道區872，其升壓至大致15伏特。

圖 16B 展示在圖 13 之步驟 806 期間 NAND 串 832 (表示不具有將被抹除之記憶體單元之 NAND 串) 的截面。NAND 串 832 包括記憶體單元 880、882、884、886 及 888。NAND 串 832 亦包括源極側選擇閘極 890、汲極側選擇閘極 892、共同源極側線 866 及位元線 896。NAND 串 832 包括經升壓通道區域 874。然而，如上文所論述，此經升壓通道區域僅升壓至大致 10 伏特；因此，抹除不會有意地發生。

返回觀看圖 9，步驟 656 包括對經選定用於抹除之記憶體單元執行一或多次抹除操作。在圖 10 及圖 14 之實施例中，在步驟 656 之每一反覆期間對選定記憶體單元執行一次抹除操作。在其他實施例中，可在步驟 656 之每一反覆中執行多次抹除操作 (執行或不執行介入驗證操作)。此外，圖 13 及圖 14 所描繪之四步驟操作之一變化可包括對位元線預充電 (800) 及對字線充電 (802) 僅一次，且接著將使通道升壓 (804) 及抹除 (806) 重複多次。

圖 17 為描述用於執行多次抹除操作同時對位元線預充電及對字線充電僅一次之程序之一實施例的流程圖。在圖 17 之步驟 902 中，如圖 13 之步驟 800 中所執行，對位元線充電。在步驟 904 中，如圖 13 之步驟 802 中所執行，對字線及井充電。在圖 17 之步驟 906 中，如圖 13 之步驟 804 中所執行，使經升高通道升壓。應注意，在步驟 906 中，未選定字線接收 V_{pass} 。在步驟 908 中，將選定字線降低至零伏特且自浮動閘極移除電子。在步驟 910 中，再次使抹除通道升壓。步驟 910 類似於圖 13 之步驟 804；然而，未選定字線

及選定字線將接收 $V_{well} + V_{pass} + \Delta V_{pass}$ 。在一實例中， ΔV_{pass} 可為自 0.2 伏特至 0.5 伏特中之任一值。在步驟 912 中，將選定字線降低至零伏特且在將電子轉移出浮動閘極時抹除記憶體單元。步驟 912 類似於步驟 806。在步驟 914 中，使抹除通道升壓（類似於步驟 804）；然而，字線將接收 $V_{well} + V_{pass} + 2\Delta V_{pass}$ 。未來反覆將使用 $3\Delta V_{pass}$ 、 $4\Delta V_{pass}$ ，等等。在步驟 916 處，類似於步驟 806，將選定字線降低至零伏特且在將電子轉移出浮動閘極時抹除選定記憶體單元。重複升壓及抹除，直至分別至步驟 918 及 920 為止。圖 17 之程序展示：在對位元線預充電（步驟 902）及對字線充電（步驟 904）一次之後，可將抹除通道之升壓及抹除程序重複多次，而不必再次對位元線預充電及對字線充電。抹除通道之升壓及抹除程序之重複可進行兩次或兩次以上。不存在必要的特定數目個重複。

圖 18 為以圖形來描繪圖 17 之步驟 902 至 912 的時序圖。熟習此項技術者將知曉如何使用圖 18 之教示來外推及執行圖 17 之其他步驟。自圖 18 可見，在 t_1 使用 V_{dd} 而對用於待抹除之記憶體單元之位元線初始地預充電 (902)。用於待抹除之記憶體單元之位元線在 t_2 耦合至 $V_{well} + V_{dd}$ (904)，且保持於彼位準直至 t_8 。用於待不抹除之記憶體單元之位元線在 t_2 耦合至 V_{well} ，且保持於彼處直至 t_8 。使 SGD 在 t_2 自零伏特升高至 $V_{well} + 2$ 伏特（或 V_{dd} ），且保持於彼處直至 t_8 。使未選定字線在 t_2 自零伏特升高至 V_{well} ，且接著在 t_3 升高至 $V_{well} + V_{pass}$ (906)。在步驟 908 之後，作為恢復階段之一

部分，在t5將未選定字線降低至Vwell。如上文所描述，當在步驟910中再次執行通道之升壓時，未選定字線升高至 $V_{well}+V_{pass}+\Delta V_{pass}$ 。圖17之程序之未來反覆將使未選定字線升高至 $V_{well}+V_{pass}+n\Delta V_{pass}$ 。使選定字線在t2升高至Vwell(904)，且接著在t4降低至抹除電壓零伏特(908)。在t5之恢復階段期間，在抹除與下一升壓之間，選定字線將再次升高至Vwell。在t7將使選定字線降低至0伏特以賦能選擇性抹除(912)。此程序將繼續為了使抹除通道階段升壓而將選定字線升高至Vwell，且為了完成抹除操作而將其降低至零伏特。在時間t2使SGS自零伏特升高至Vwell，且停留於彼處直至t8。在t1使共同源極線升高至Vdd，且在t2接著升高至Vwell，其停留於彼處直至t8。在t2使p型井升高至Vwell，且停留於彼處直至t8。由於在t2將p型井升高至Vwell，故將所有NAND串之通道在t2亦升高至Vwell(904)。將使被假定為經抹除之NAND串之通道在t3升壓至 $V_{well}+$ 升壓電壓(906)、在t5降低至Vwell且接著在t6升高至 $V_{well}+$ 額外升壓位準(910)。在圖17之程序期間，彼通道將繼續在Vwell與 $V_{well}+$ 升壓之間切換。

在一實施例中，作為包括粗略階段及精細階段之兩階段(或更多階段)抹除程序之一部分，可執行選擇性抹除。在粗略階段期間，可使用在抹除操作之間無驗證而執行之兩個或兩個以上抹除操作來執行圖17之程序。在預定數目個抹除操作之後，粗略階段將完成。精細階段將接著藉由執行圖9之程序而開始，其中使用圖14之程序來完成步驟

656。粗略階段抹除得較快，但較不精確。精細階段抹除得較慢，但較精確。

在程式化期間，用於達成緊密臨限電壓分布但不會不合理地減慢程式化程序之一解決方案係使用兩遍(或更多遍)程式化程序。第一遍(粗略程式化階段)包括試圖以花費相對較少注意之較快方式來升高臨限電壓以達成緊密臨限電壓分布。第二遍(精細程式化階段)試圖以較慢方式來升高臨限電壓，以便達到目標臨限電壓，同時亦達成更緊密臨限電壓分布。

圖19為描述兩遍程式化程序之一實施例的流程圖。在步驟932中，執行第一遍。在一實施例中，第一遍為粗略程式化階段。選定記憶體單元將經程式化至一或多個粗略驗證位準。一旦所有選定記憶體單元均已達到其各別粗略驗證位準，則粗略程式化階段便將完成。在步驟934中，執行第二遍。在一實施例中，第二遍為在粗略程式化階段已完成之後所執行的精細程式化階段。選定記憶體單元將經程式化至一或多個精細驗證位準。一旦所有選定記憶體單元均已達到其各別精細驗證位準，則精細程式化階段便將完成。在一些實施例中，施加至字線之程式化脈衝的量值針對粗略階段與精細階段相比較將更長或更高。在其他實施例中，用於粗略階段之位元線電壓將處於0伏特，且用於精細階段之位元線電壓將處於在0伏特與V_{dd}之間的位準(例如，約1伏特)。亦可使用粗略/精細程式化方法之各種替代例及實施例。在一些實施例中，可存在一個以上粗略

階段及/或一個以上精細階段。亦可使用其他類型之多遍程式化程序，包括不同於粗略/精細之程序且包括具有兩個以上遍之程序。

圖20展示與資料狀態S0、S1、S2及S3相關聯之臨限電壓分布集合。對於每一資料狀態，描繪粗略驗證位準(Vvc)且描繪精細驗證位準(Vvf)。舉例而言，在用於經程式化至資料狀態S1之記憶體單元之粗略階段期間，驗證位準將為Vvc1，且在精細階段期間，將對照Vvf1來驗證記憶體單元。將在粗略階段期間對照Vvc2來驗證經程式化至資料狀態S2之記憶體單元，且在精細階段期間對照Vvf2來驗證經程式化至資料狀態S2之記憶體單元。將在粗略階段期間對照Vvc3來驗證經程式化至狀態S3之記憶體單元且在精細階段期間對照Vvf3來驗證經程式化至狀態S3之記憶體單元。

上文所論述的圖7所描繪之操作方法預期程式化記憶體單元且在完成程式化之後執行選擇性抹除程序的實施例。在另一實施例中，可以混合方式來執行程式化程序與選擇性抹除程序。舉例而言，可在程式化之粗略階段之後且在程式化之精細階段之前執行選擇性抹除。在另一實施例中，可在程式化一些資料之後且在程式化其他資料之前執行選擇性抹除。

圖21為描述用於混合兩遍程式化程序與選擇性抹除程序之一實施例的流程圖。在一實施例中，兩遍程式化程序為粗略/精細程式化程序，其中第一遍為粗略階段且第二遍為精細階段。亦可使用其他兩遍程式化程序。在圖21之實

施例中，在第一遍與第二遍之間執行選擇性抹除程序，以便再抹除已使其臨限電壓錯誤地移動之記憶體單元。在此實施例中，亦在鄰近字線已根據兩遍程式化程序之第一遍而程式化之後執行選擇性抹除程序。此操作順序將減少來自鄰近記憶體單元之耦合之效應。

圖 21 自字線 WLn 上之記憶體單元之觀點來解釋該程序。在圖 21 之步驟 952 中，根據兩遍程式化程序之第一遍（例如，粗略階段）而程式化連接至字線 WLn 之記憶體單元。在步驟 954 中，使連接至字線 WLn 之記憶體單元經受上文所描述之選擇性抹除程序，以便再抹除被假定為經抹除但具有升高至高於抹除臨限分布之臨限電壓的彼等記憶體單元。步驟 954 包括執行圖 9 之程序。然而，步驟 954 之程序係在對連接至鄰近字線 $WLn+1$ 之記憶體單元程式化兩遍程式化程序之第一遍之後執行。因此，若步驟 952 包括程式化字線 $WL1$ 上之記憶體單元，則步驟 954 之選擇性抹除將係在針對字線 $WL2$ 上之記憶體單元進行粗略階段之後執行。在步驟 956 中，將在針對字線 $WLn+1$ 執行選擇性抹除程序之後對連接至 WLn 之記憶體單元執行兩遍程式化程序之第二遍。在一實施例中，針對一區塊中之所有字線執行圖 21 之程序。在其他實施例中，可僅對一字線子集執行該程序。

圖 22 為展示針對五個字線上之記憶體單元程式化兩遍程式化程序之第一遍、兩遍程式化程序之第二遍及選擇性抹除程序之順序的表格。初始地，針對 $WL0$ 執行第一程式化

遍。隨後，針對字線WL1執行第一程式化遍，接著針對字線WL0執行選擇性抹除程序，接著針對字線WL2執行第一程式化遍，接著針對字線WL1執行選擇性抹除程序，接著針對WL0執行第二程式化遍，接著針對WL3執行第一程式化遍，接著針對WL2執行選擇性抹除程序，接著針對WL1執行第二程式化遍，接著針對WL4執行第一程式化遍，接著針對WL3執行選擇性抹除程序，接著針對WL2執行第二程式化遍，等等。圖22所描繪之操作順序可外推至五個以上字線。

圖23展示由根據圖21及圖22之程式化程序引起之臨限電壓分布集合。描繪狀態S0、S1、S2及S3(其表示在精細階段之後的最終臨限電壓分布)。在狀態S1、S2及S3中之每一者後方係以虛線之臨限電壓分布，其表示在粗略階段之後的對應臨限電壓分布。可見，最終分布(其由精細階段引起)更加窄且稍高。

在另一實施例中，圖21及圖22之兩遍程式化技術可用以將資料程式化至八個資料狀態S0至S7。在第一遍期間，將分別使用驗證點Vint1、Vint2及Vint3而將記憶體單元程式化至臨限電壓分布960、962及964。在程式化程序之第二遍期間，可將記憶體單元移動至兩個可能資料狀態中之一者。處於資料狀態S0之記憶體單元可保持於S0，或可使用經驗證點Vf1而程式化至資料狀態S1。臨限電壓分布960中之記憶體單元可分別使用經驗證點Vf2及Vf3而程式化至資料狀態S2或資料狀態S3。臨限電壓分布962中之記憶體單

元可分別使用經驗證點 Vf4 及 Vf5 而程式化至資料狀態 S4 或資料狀態 S5。臨限電壓分布 964 中之記憶體單元可分別使用經驗證點 Vf6 及 Vf7 而程式化至資料狀態 S6 或資料狀態 S7。如上文關於圖 21 及/或圖 22 所描述，在第一遍之後且在第二遍之前，執行選擇性抹除程序。

當程式化記憶體單元時，無論其使用單遍或是多遍程式化程序，均有可能使一些記憶體單元變得經過度程式化。舉例而言，意欲經程式化至資料狀態 S2 之記憶體單元可能使其臨限電壓升高至大於用於狀態 S2 之臨限電壓分布的位準。圖 25 展示具有一些經過度程式化記憶體單元之臨限電壓分布集合。可見，資料狀態 S1 至 S7 在其臨限電壓分布之右手側具有拖尾(tail)。此等拖尾表示經過度程式化記憶體單元。圖 25 之圖解上亦描繪經過度程式化驗證點 (Vop1、Vop2、Vop3、Vop4、Vop5、Vop6 及 Vop7)。認為具有大於關聯過度程式化驗證點之臨限電壓的特定臨限電壓分布中之彼等記憶體單元經過度程式化。

在一些裝置中，較低資料狀態(例如，S1、S2、S3)比較高狀態經歷更多過度程式化。在一些裝置中，較高狀態不經歷過度程式化。

在一實施例中，上文關於圖 10 至圖 18 所描述之選擇性抹除程序可用以修正經過度程式化記憶體單元。圖 26A 及圖 26B 提供用於使用上文所描述之選擇性抹除方法來修正經過度程式化記憶體單元的兩個實例程序。

在圖 26A 之步驟 1002 中，預程式化記憶體單元(類似於圖

7之步驟550)。在步驟1004中，抹除一區塊(或其他單位)之記憶體單元(類似於圖7之步驟552)。在步驟1006中，可視情況軟程式化記憶體單元(類似於圖7之步驟554)。在步驟1008中，使用此項技術中已知之各種合適程式化程序中之任一者來程式化記憶體單元。在步驟1010中，修正經過度程式化記憶體單元。因此，圖26A之程序將在完成步驟1008之程式化之後修正經過度程式化記憶體單元。

圖26B之程序將混合記憶體單元之程式化與在程式化程序期間經過度程式化記憶體單元之修正。在步驟1002中，預程式化該區塊之記憶體單元。在步驟1004中，抹除該區塊(或其他單位)之記憶體單元。在步驟1006中，視情況軟程式化記憶體單元。在步驟1020中，程式化記憶體單元且使用選擇性抹除程序來修正經過度程式化之彼等記憶體單元，使得以混合方式來執行程式化與選擇性抹除。下文提供更多細節。

圖27為描述用於修正經過度程式化記憶體單元之一實施例的流程圖。在一實施例中，一次針對一個資料狀態執行圖27之方法。舉例而言，可針對S1執行圖27之方法。隨後，可針對S2執行圖27之方法，等等。在步驟1100中，系統將識別被假定為經程式化至在考慮中之資料狀態的記憶體單元。如上文所論述，此資訊可藉由自控制器獲得資訊、自緩衝器(RAM或非揮發性記憶體)獲得資訊或自資料鎖存器494獲得資訊而被找到。在步驟1102中，使用與在考慮中之資料狀態相關聯的適當的經過度程式化驗證位準

(例如，Vop1、Vop2、Vop3、Vop4、Vop5、Vop6或Vop7)來執行驗證程序。舉例而言，若針對資料狀態S1執行圖12之程序，則將使用VOP1來執行步驟1102之驗證程序。電壓VOP1將施加至記憶體單元之控制閘極(經由字線)以判定記憶體單元是否針對資料狀態1經過度程式化。若所有記憶體單元均未經過度程式化且均經正確地驗證(步驟1104)，則圖27之程序完成。或者，若足夠記憶體單元經正確地驗證，則可認為該程序完成。若所有記憶體單元均未經正確地驗證(步驟1104)，則執行選擇性抹除操作，使得未在步驟1102中驗證之彼等記憶體單元選擇性地經受一或多次抹除操作以減少其臨限電壓，使得臨限電壓將低於適當的經過度程式化驗證位準。可使用圖10至圖18之程序來實施步驟1106。在步驟1108中，針對步驟1102至1108之下一反覆遞增升壓電壓(Vpass)，且該程序循環回至步驟1102且執行驗證程序。將重複循環1102至1108，直至所有或預定數目個記憶體單元已被成功驗證為止。當在步驟1102中驗證記憶體單元時，可將其鎖定以免受進一步抹除。

在一實施例中，在圖26A之步驟1010期間執行圖27之程序。在一實施例中，將針對每一程式化狀態獨立地執行圖27之程序，使得若存在七個程式化狀態(S1至S7)，則在圖26A之步驟1010期間圖27之程序將被執行七次，且若存在三個程式化狀態(S1至S3)，則在圖26A之步驟1010期間圖27之程序將被執行三次。在另一實施例中，可針對所有資

料狀態同時執行圖27之程序，使得步驟1100將識別每一記憶體單元應處於何種資料狀態，且步驟1102將包括針對每一資料狀態執行驗證操作，且局域處理器482將追蹤儲存驗證操作中哪一者之結果。以此方式，圖27之程序可僅被執行一次。

圖28提供圖26B之步驟1020之實施例之一實例。在步驟1120中，程式化一單位之記憶體單元。該程式化可包括程式化每一記憶體單元一個位元之資料、每一記憶體單元兩個位元之資料、每一記憶體單元三個位元之資料，等等。在一實施例中，該單位之記憶體單元可為連接至共同字線之所有記憶體單元、在一頁中之所有記憶體單元、在一區段中之所有記憶體單元或其他單位。在步驟1122中，系統將修正在步驟1120之最近反覆中程式化的該單位之記憶體單元中之經過度程式化記憶體單元。可使用圖27之程序來實施步驟1122。舉例而言，步驟1122可包括針對每一資料狀態執行圖27之程序一次。或者，如上文所論述，步驟1122可包括針對所有資料狀態同時執行圖27之程序一次。在步驟1124中，判定是否存在更多單位待程式化。若否，則該程序完成。若存在更多單位待程式化，則圖28之方法循環回至步驟1120且程式化下一單位之記憶體單元，且接著將在步驟1122中修正彼單位之記憶體單元中之經過度程式化記憶體單元。將針對需要經程式化的所有單位之記憶體單元重複步驟1120及1122之反覆。

在一些實施例中，過度程式化為針對較低狀態之較大問

題；因此，系統將僅針對較低狀態修正過度程式化。

在一些實施例中，可使用選擇性抹除程序來修正過度程式化，而不在選擇性抹除之每一反覆之間執行抹除-驗證。舉例而言，圖27之步驟1106可被執行多次，而不執行步驟1102。一種此實施例使用圖17及圖18之程序。

已出於說明及描述之目的而呈現本發明之前述詳細描述。其不意欲係詳盡的或將本發明限於所揭示之精確形式。根據以上教示，許多修改及變化係可能的。選擇所描述實施例，以便最佳地解釋本發明之原理及其實際應用，以藉此使其他熟習此項技術者能夠最佳地將本發明用於各種實施例中，且藉由適於所預期之特定用途的各種修改來最佳地利用本發明。意欲藉由附加至此處之申請專利範圍來界定本發明之範疇。

【圖式簡單說明】

圖1為NAND串的俯視圖。

圖2為NAND串的等效電路圖。

圖3為非揮發性記憶體系統的方塊圖。

圖4為描繪記憶體陣列之一實施例的方塊圖。

圖5為描繪感測區塊之一實施例的方塊圖。

圖6A至圖6C描繪臨限電壓分布。

圖7為描述用於操作非揮發性記憶體之程序之一實施例的流程圖。

圖8為描述用於程式化非揮發性記憶體之程序之一實施例的流程圖。

圖9為描述用於執行選擇性抹除程序之程序之一實施例的流程圖。

圖10為用於選擇性抹除操作的時序圖。

圖11描繪在選擇性抹除操作期間之NAND串。

圖12A及圖12B描繪在選擇性抹除操作期間之NAND串的截面。

圖13為描述用於執行選擇性抹除操作之程序之一實施例的流程圖。

圖14為用於選擇性抹除操作的時序圖。

圖15描繪在選擇性抹除操作期間之NAND串。

圖16A及圖16B描繪在選擇性抹除操作期間之NAND串的截面。

圖17為描述用於使用多個抹除脈衝來選擇性地抹除非揮發性儲存而無介入驗證操作之程序之一實施例的流程圖。

圖18為用於使用多個抹除脈衝來選擇性地抹除非揮發性儲存而無介入驗證操作的時序圖。

圖19為描述兩遍程式化程序之一實施例的流程圖。

圖20描繪臨限電壓分布。

圖21為描述用於程式化及選擇性地抹除非揮發性儲存之程序之一實施例的流程圖。

圖22為描述用於程式化及選擇性地抹除非揮發性儲存之順序的表格。

圖23描繪臨限電壓分布。

圖24描繪臨限電壓分布。

圖 25 描繪臨限電壓分布。

圖 26A 為描述用於程式化之程序之一實施例的流程圖，其包括藉由使用選擇性抹除程序來修正過度程式化。

圖 26B 為描述用於程式化之程序之一實施例的流程圖，其包括藉由使用選擇性抹除程序來修正過度程式化。

圖 27 為描述用於藉由使用選擇性抹除程序來修正過度程式化之程序之一實施例的流程圖。

圖 28 為描述用於在程式化程序期間修正過度程式化之程序之一實施例的流程圖。

【主要元件符號說明】

100	電晶體
100CG	控制閘極
100FG	浮動閘極
102	電晶體
102CG	控制閘極
102FG	浮動閘極
104	電晶體
104CG	控制閘極
104FG	浮動閘極
106	電晶體
106CG	控制閘極
106FG	浮動閘極
120	選擇閘極
122	選擇閘極

126	位元線觸點
128	源極線
200	記憶體單元陣列/記憶體陣列
210	記憶體裝置
212	記憶體晶粒/晶片
220	控制電路
222	狀態機/狀態機電路
224	晶片上位址解碼器/解碼器電路
226	電力控制模組/電力控制
230A	讀取/寫入電路
230B	讀取/寫入電路
232	線
234	線
240A	列解碼器/解碼器電路/解碼器
240B	列解碼器/解碼器電路/解碼器
242A	行解碼器/解碼器電路/解碼器
242B	行解碼器/解碼器電路/解碼器
244	控制器
300	感測區塊
420	資料匯流排
470	感測電路
472	資料匯流排
480	感測模組
482	位元線鎖存器/局域處理器

490	共同部分
492	處理器
493	輸入線
494	資料鎖存器集合/資料鎖存器堆疊/資料鎖存器
496	I/O介面
720	記憶體單元
722	記憶體單元
724	記憶體單元
725	記憶體單元
726	記憶體單元
728	記憶體單元
730	源極側選擇閘極
732	汲極側選擇閘極
736	源極線
738	位元線
739	p型井區域
742	通道區域
746	NAND串
748	NAND串
750	記憶體單元
752	記憶體單元
754	記憶體單元
756	記憶體單元
758	記憶體單元

760	源極側選擇閘極
762	汲極側選擇閘極
764	位元線
770	源極/汲極區域
830	NAND串
832	NAND串
850	記憶體單元
852	記憶體單元
854	記憶體單元
855	記憶體單元
856	記憶體單元
858	記憶體單元
860	源極側選擇閘極
862	汲極側選擇閘極
866	源極線/共同源極側線
868	位元線
872	經升壓通道區
874	經升壓通道區域
880	記憶體單元
882	記憶體單元
884	記憶體單元
886	記憶體單元
888	記憶體單元
890	源極側選擇閘極

892	汲極側選擇閘極
896	位元線
BL0	位元線
BL1	位元線
BL2	位元線
BL3	位元線
BL4	位元線
BL5	位元線
BLX	位元線
BLX-1	位元線
SGD	選擇線/選擇閘極汲極線
SGS	選擇線/選擇閘極源極線
WL0	字線
WL1	字線
WL2	字線
WL3	字線

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 98122457

※ 申請日： 98.7.2

※IPC 分類：

一、發明名稱：(中文/英文)

G11C 16/34 (2006.01)

G11C 11/56 (2006.01)

過度程式化非揮發性儲存之修正

CORRECTING FOR OVER PROGRAMMING NON-VOLATILE
STORAGE

二、中文發明摘要：

本發明揭示一種非揮發性儲存系統，其藉由對連接至一共同字線(或其他類型之控制線)之一非揮發性儲存元件子集選擇性地執行一或多次抹除操作來修正經過度程式化記憶體單元。

三、英文發明摘要：

A non-volatile storage system corrects over programmed memory cells by selectively performing one or more erase operations on a subset of non-volatile storage elements that are connected to a common word line (or other type of control line).

七、申請專利範圍：

1. 一種用於操作非揮發性儲存之方法，其包含：

程式化非揮發性儲存元件；

識別經過度程式化之該等非揮發性儲存元件之一子集；及

藉由以下步驟而對經過度程式化之該經識別非揮發性儲存元件子集選擇性地執行一或多次抹除操作：針對該經識別非揮發性儲存元件子集，將一第一通道區域集合升壓至一第一電壓範圍，而不針對未經識別為經過度程式化之非揮發性儲存元件將一第二通道區域集合升壓至該第一電壓範圍；及將一抹除賦能電壓施加至經過度程式化之該經識別非揮發性儲存元件子集及未經識別為經過度程式化之該等非揮發性儲存元件，該第一通道區域集合及該第二通道區域集合為一共同基板區域之一部分。

2. 如請求項1之方法，其中：

該第一通道區域集合及該第二通道區域集合中之該等通道區域係與不同NAND串相關聯；且

該升壓係至少部分地基於施加至連接至該等NAND串之字線的電壓信號。

3. 如請求項1之方法，其中：

該經識別非揮發性儲存元件子集係在一第一NAND串集合中之不同NAND串上；

未經識別為經過度程式化之該等非揮發性儲存元件係

在一第二NAND串集合中之不同NAND串上；

該第一NAND串集合及該第二NAND串集合係連接至一共同字線集合；

該共同字線集合包括一選定字線及若干未選定字線；

該經識別非揮發性儲存元件子集及該第二非揮發性儲存元件集合係連接至該選定字線；且

該第一NAND串集合及該第二NAND串集合係連接至獨立位元線。

4. 如請求項3之方法，其中：

該升壓包含將一升壓賦能電壓施加至用於該第一NAND串集合之位元線、將一升壓去能電壓施加至用於該第二NAND串集合之位元線，及將過度驅動信號施加至該等未選定字線；

該施加該抹除賦能電壓包括將一負電壓施加至該選定字線；且

該升壓進一步包含截止用於該第一NAND串集合之選擇閘極。

5. 如請求項3之方法，其中該升壓包含：

將一升壓賦能電壓施加至用於該第一NAND串集合之位元線，且將一升壓去能電壓施加至用於該第二NAND串集合之位元線；

對該共同基板區域充電，且將電壓信號施加至該等未選定字線，使得用於該第一NAND串集合之該等位元線及用於該第二NAND串集合之該等位元線耦合至該等未

選定字線且增加電壓；及

在該將電壓信號施加至該等未選定字線之後，將超出該等電壓信號之過度驅動信號施加至該等未選定字線，以使該第一通道區域集合升壓。

6. 如請求項1之方法，其中：

該等非揮發性儲存元件連接至一共同字線。

7. 如請求項1之方法，其中：

該等非揮發性儲存元件連接至一第一類型之控制線中之一共同控制線；

針對該經識別非揮發性儲存元件子集將該第一通道區域集合升壓至該第一電壓範圍而不針對未經識別為經過度程式化之非揮發性儲存元件將該第二通道區域集合升壓至該第一電壓範圍包括將一信號集合施加至該第一類型之控制線中之其他控制線，以建立該升壓；且

該執行一或多次抹除操作包括針對至該等其他控制線之該信號集合使用一較高量值來重複該升壓。

8. 如請求項7之方法，其中該執行一或多次抹除操作包括在該重複該升壓之前，鎖定該第一集合中之一些通道區域以免受進一步升壓。

9. 如請求項1之方法，其中：

該程式化包括將該等非揮發性儲存元件程式化至包括一或多個較高狀態及一或多個較低狀態的不同資料狀態；

該選擇性地執行一或多次抹除操作包括：將與意欲經

程式化至一或多個較高狀態之非揮發性儲存元件相關聯的通道升壓至一比與意欲經程式化至一或多個較低狀態之非揮發性儲存元件相關聯之通道的升壓更高的位準。

10. 如請求項1之方法，其中：

該選擇性地執行一或多次抹除操作包括在抹除操作之間執行驗證。

11. 如請求項1之方法，其中：

該選擇性地執行一或多次抹除操作包括執行多次抹除操作，而不在該多次抹除操作之間執行驗證。

12. 如請求項1之方法，其中：

該等非揮發性儲存元件為NAND快閃記憶體裝置。

13. 如請求項1之方法，進一步包含：

在該程式化之前，抹除該等非揮發性儲存元件。

14. 一種用於操作非揮發性儲存之方法，其包含：

程式化連接至一共同字線且定位於一NAND串集合中之不同NAND串上的非揮發性儲存元件；

識別經過度程式化之該等非揮發性儲存元件之一子集；及

藉由使該等NAND串之一子集選擇性地升壓且將一賦能電壓施加至該NAND串集合以降低該NAND串子集上之非揮發性儲存元件之臨限電壓，而對經過度程式化之該等識別非揮發性儲存元件子集選擇性地執行一或多次抹除操作，該NAND串子集包括經過度程式化之該等非揮發性儲存元件之該子集。

15. 如請求項14之方法，其中該選擇性地升壓包含：

將過度驅動信號施加至用於該NAND串集合之未選定字線；

將一升壓賦能電壓施加至用於該等NAND串之該子集的位元線；及

將一升壓去能電壓施加至用於不在該子集中之NAND串的位元線。

16. 如請求項14之方法，其中該選擇性地升壓包含：

將一升壓賦能電壓施加至用於該等NAND串之該子集的位元線；

將一升壓去能電壓施加至用於不在該子集中之該集合中之NAND串的位元線；及

對用於該NAND串集合之一共同基板區域充電，且將電壓信號施加至用於該等NAND串之該等字線之至少一子集，使得用於該NAND串子集之該等位元線增加電壓；及

將過度驅動信號施加至該等字線之該子集。

17. 如請求項14之方法，其中：

該施加一賦能電壓包括將該賦能電壓施加至該共同字線。

18. 如請求項17之方法，其中：

該使該NAND串子集升壓包括將一信號集合施加至其他字線；且

該執行一或多次抹除操作包括針對至該等其他字線之

該信號集合使用一較高量值來重複該升壓。

19. 如請求項14之方法，其中：

該程式化包括將該等非揮發性儲存元件程式化至包括一或多個較高狀態及一或多個較低狀態的不同資料狀態；

選擇性地執行一或多次抹除操作包括：將與意欲經程式化至一或多個較高狀態之非揮發性儲存元件相關聯之NAND串升壓至一比與意欲經程式化至一或多個較低狀態之非揮發性儲存元件相關聯之NAND串更高的位準。

20. 一種用於操作非揮發性儲存之方法，其包含：

程式化連接至一第一類型之控制線中之一共同控制線的非揮發性儲存元件；

識別經過度程式化之該等非揮發性儲存元件之一子集；及

藉由將一抹除條件施加至經過度程式化之該經識別非揮發性儲存元件子集而對經過度程式化之該經識別非揮發性儲存元件子集選擇性地執行抹除操作，其包括：將一信號集合施加至該第一類型之控制線中之其他控制線，以建立該抹除條件；及針對施加至該等其他控制線之該信號集合使用一較高量值來重複該抹除之該施加，該等其他控制線連接至未經選定用於該等抹除操作之非揮發性儲存元件。

21. 如請求項20之方法，其中：

該第一類型之控制線為字線；

一 第二類型之控制線為位元線；

該共同控制線為一共同字線；且

連接至該共同字線之該等非揮發性儲存元件中之每一者係連接至一不同位元線。

22. 如請求項20之方法，其中：

該等其他控制線為字線；且

該施加該抹除條件被重複多次，每次針對施加至該等其他控制線之該信號集合使用一較高電壓。

23. 如請求項20之方法，其中：

該抹除條件包括 NAND 串之經升壓通道區域，該等 NAND 串包括經過度程式化之該等非揮發性儲存元件。

24. 如請求項23之方法，其中該施加一抹除條件包含：

將一升壓賦能電壓施加至用於經過度程式化之該經識別非揮發性儲存元件子集的位元線；及

將一升壓去能電壓施加至用於不在該經識別子集中之非揮發性儲存元件的位元線。

25. 如請求項24之方法，其中該施加一抹除條件進一步包含：

將用於連接至該共同控制線之該等非揮發性儲存元件之一共同基板區域充電至一正電壓，且將電壓信號施加至該等其他控制線，使得用於經過度程式化之該經識別非揮發性儲存元件子集之該等位元線增加電壓，該施加電壓信號係在該將該信號集合施加至其他控制線之前執行，該將該信號集合施加至其他控制線包括使與經過度

程式化之該經識別非揮發性儲存元件子集相關聯的通道升壓。

八、圖式：

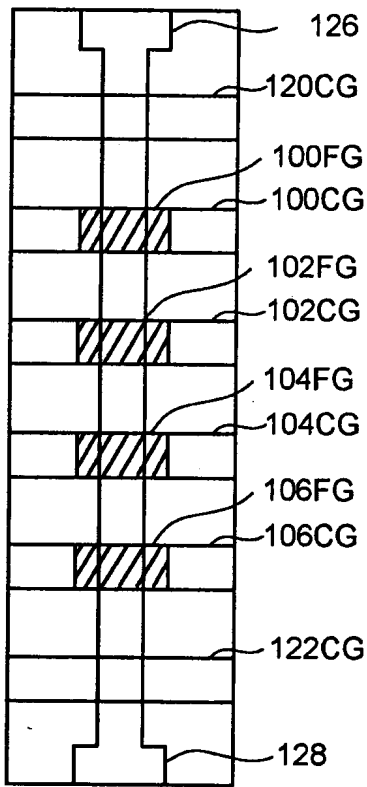


圖1

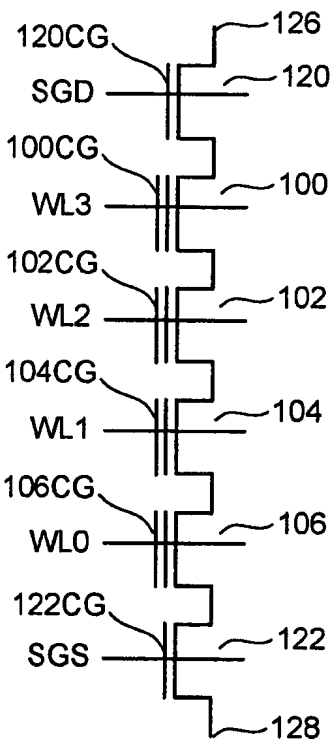


圖2

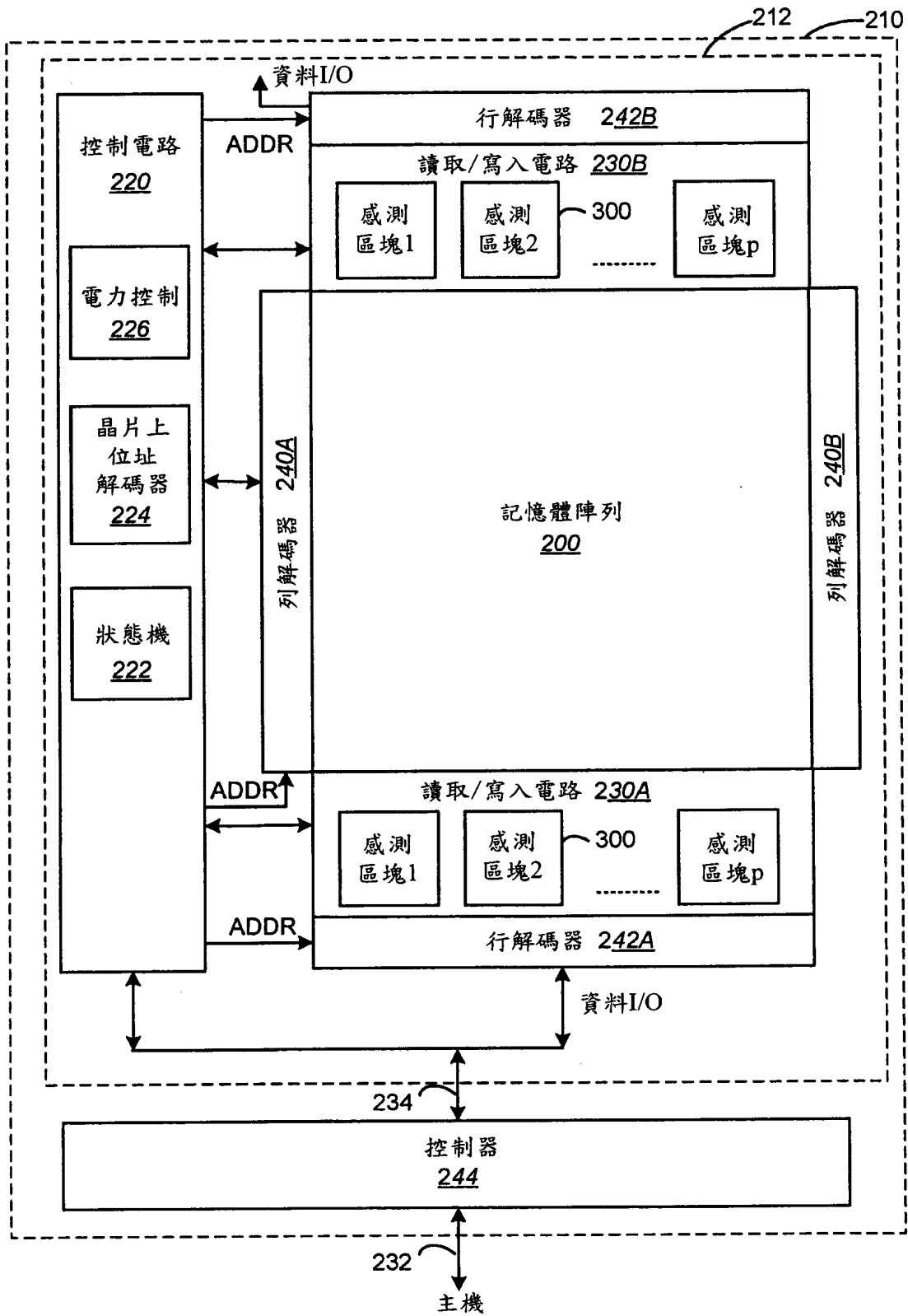


圖3

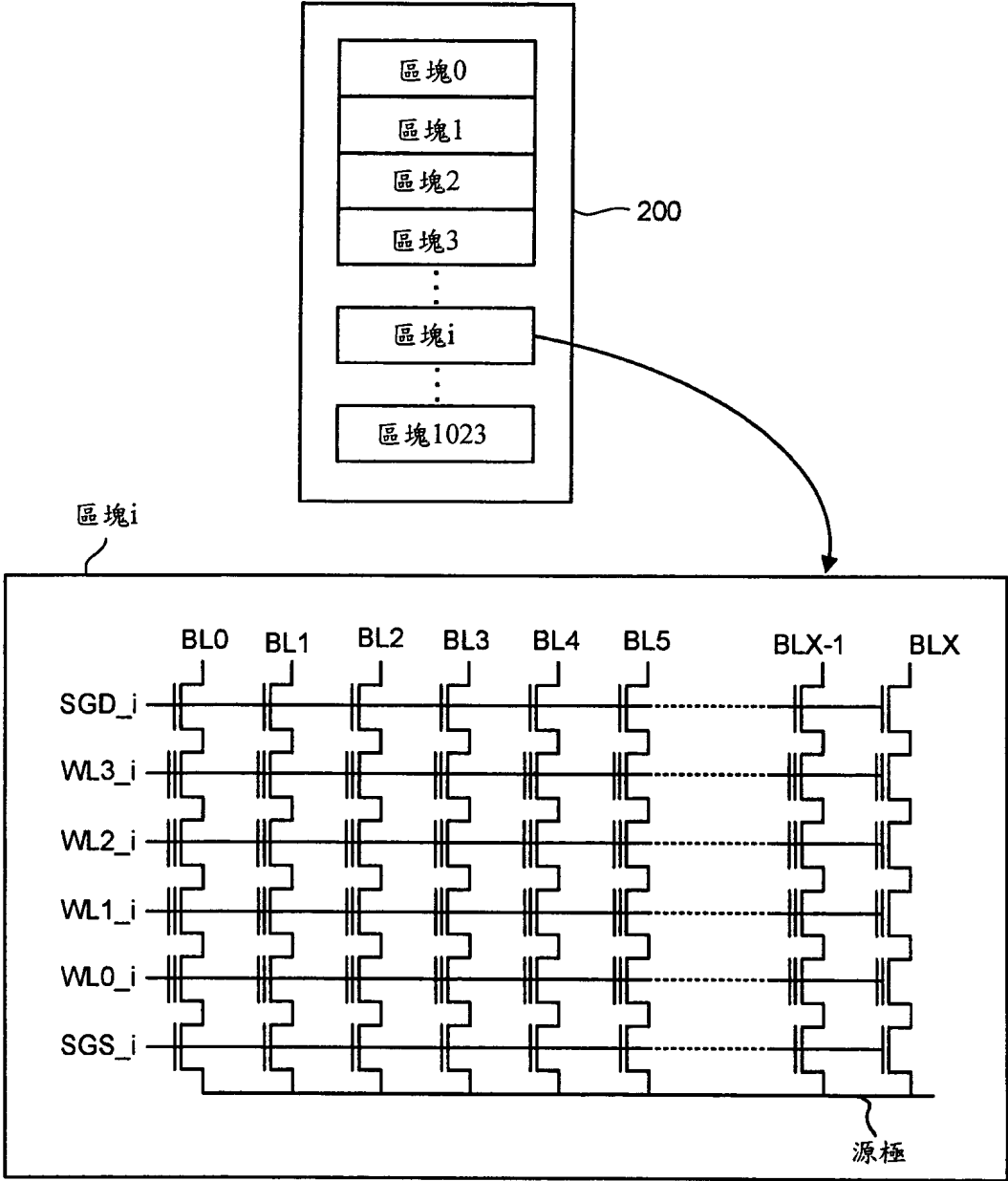


圖4

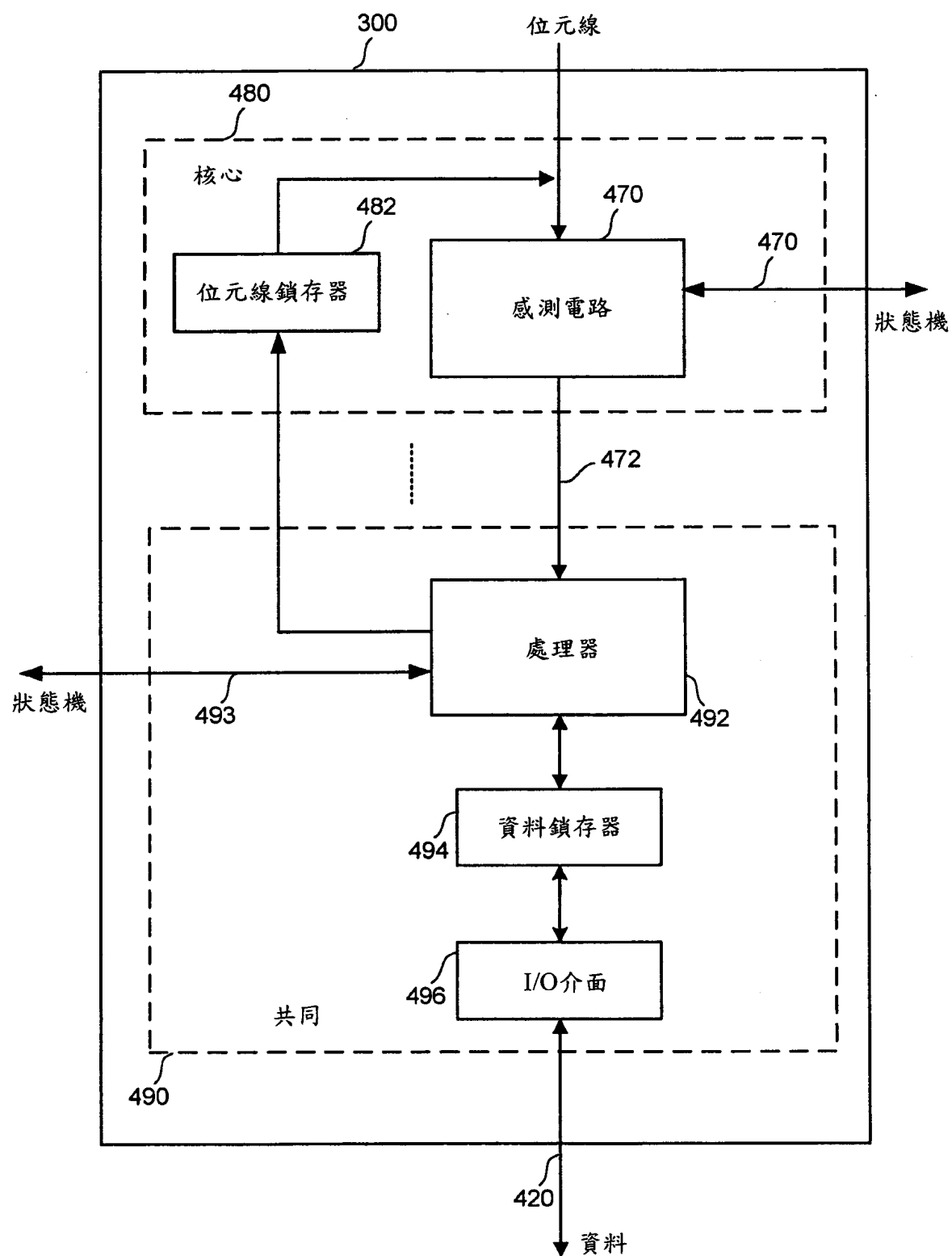


圖5

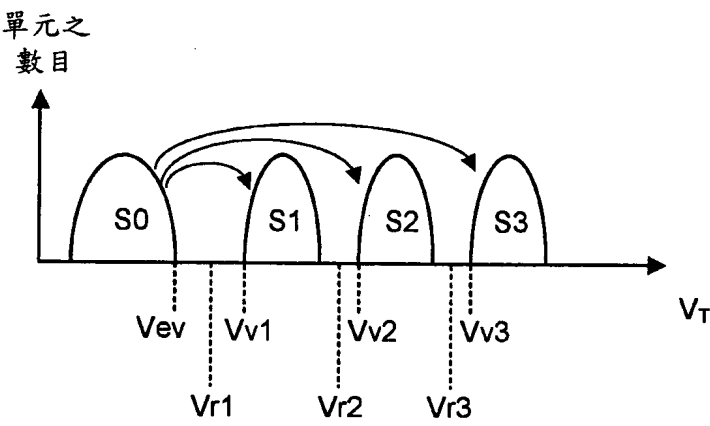


圖 6A

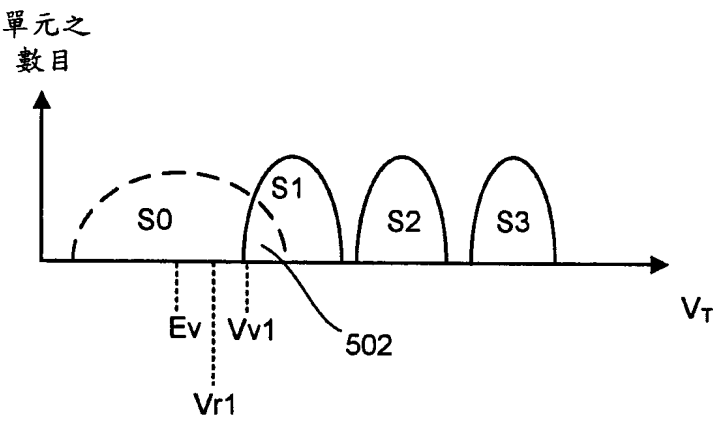


圖 6B

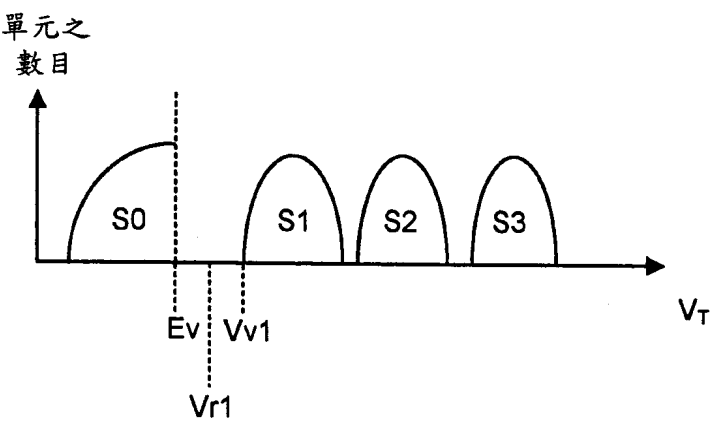


圖 6C

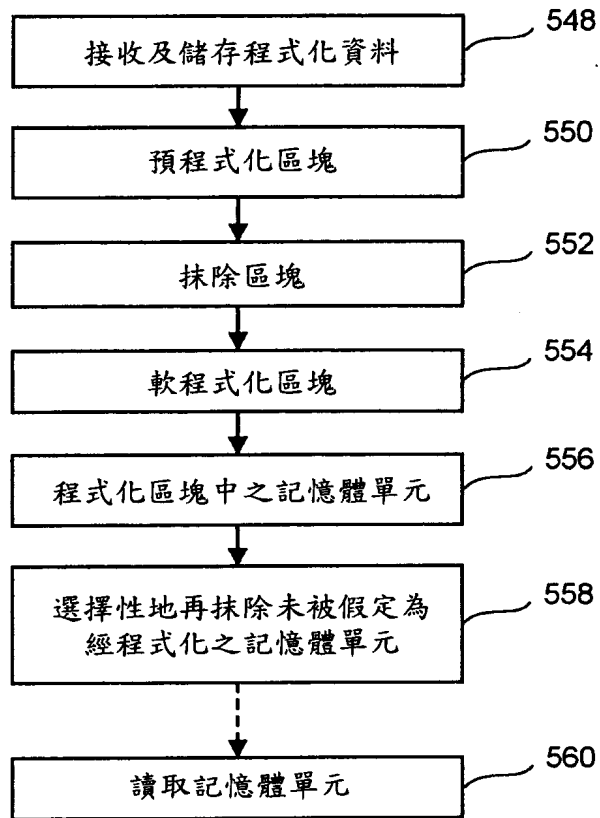


圖7

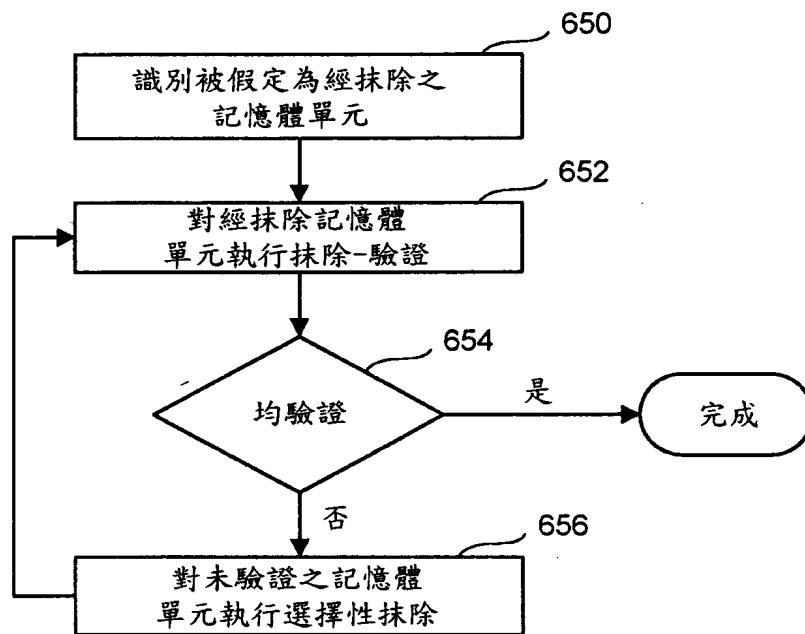


圖9

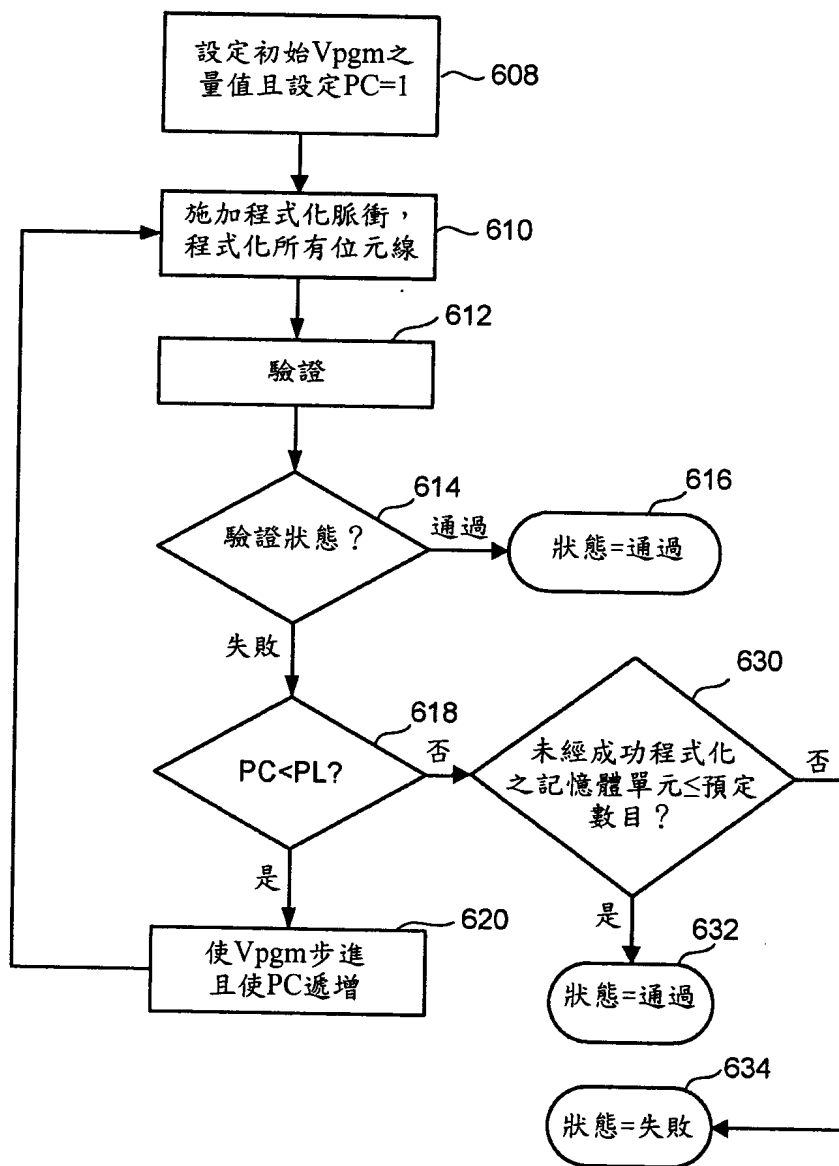


圖8

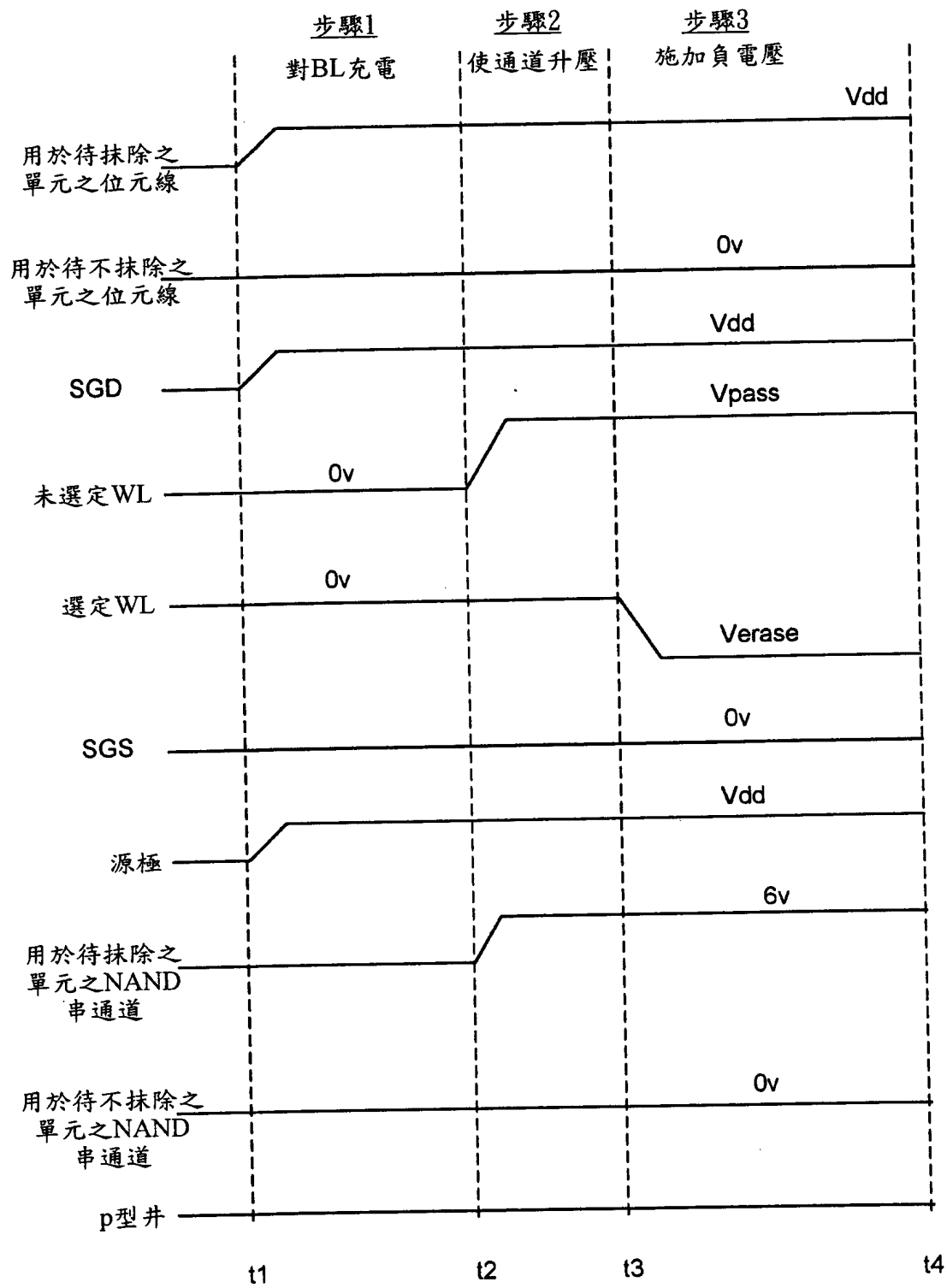


圖 10



圖 11

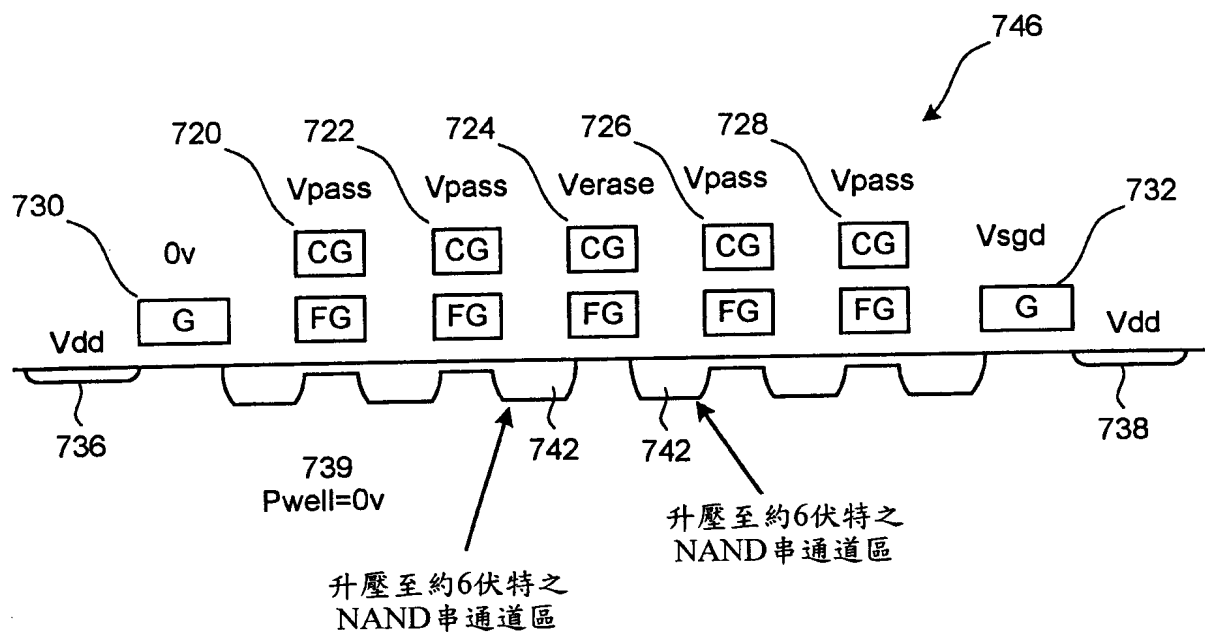


圖 12A

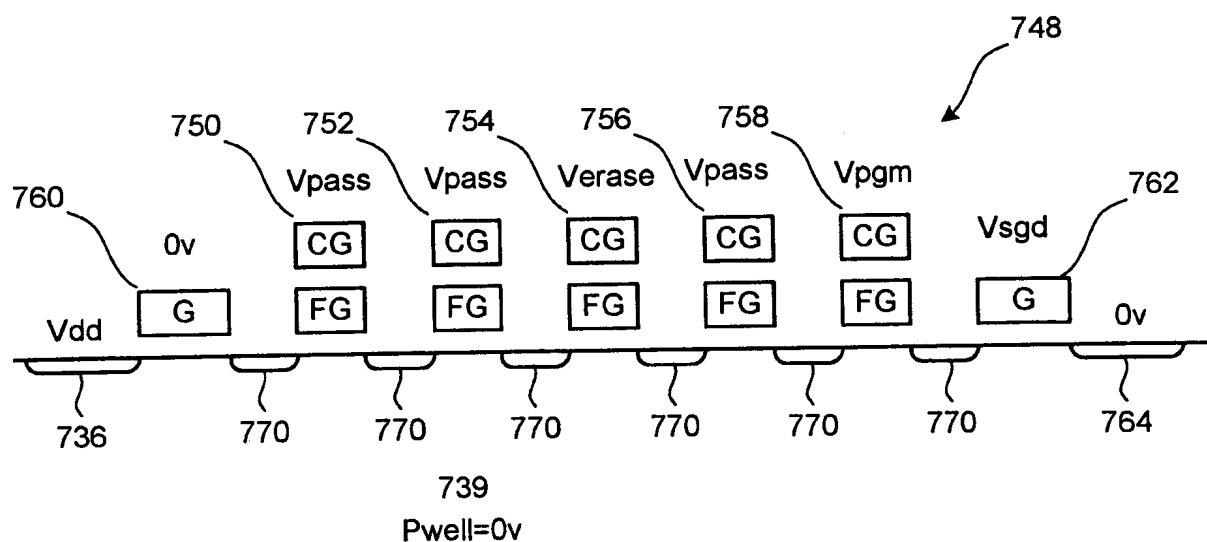


圖 12B

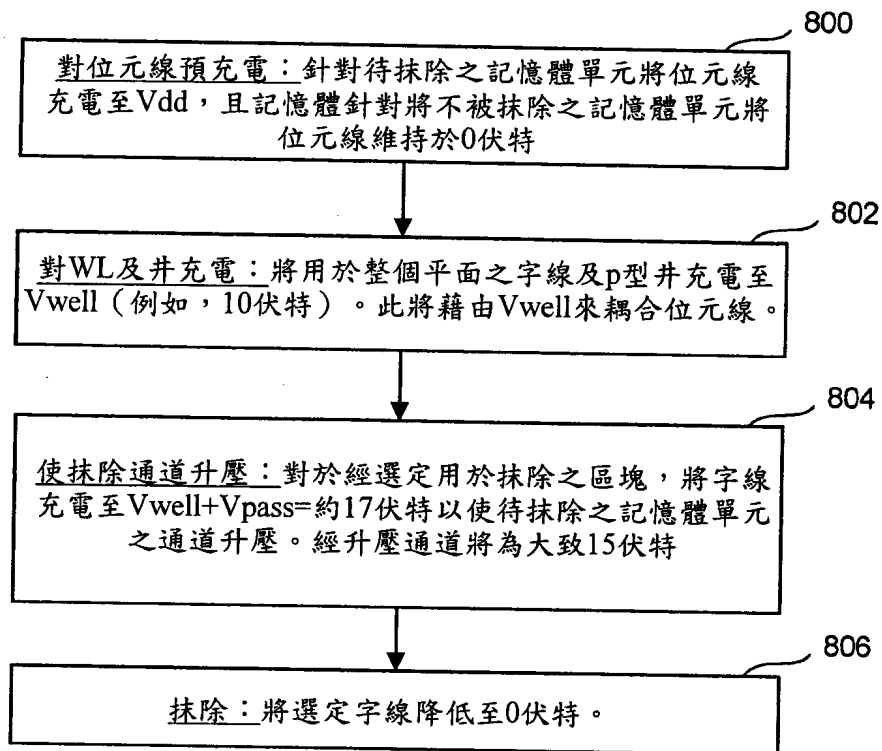


圖13

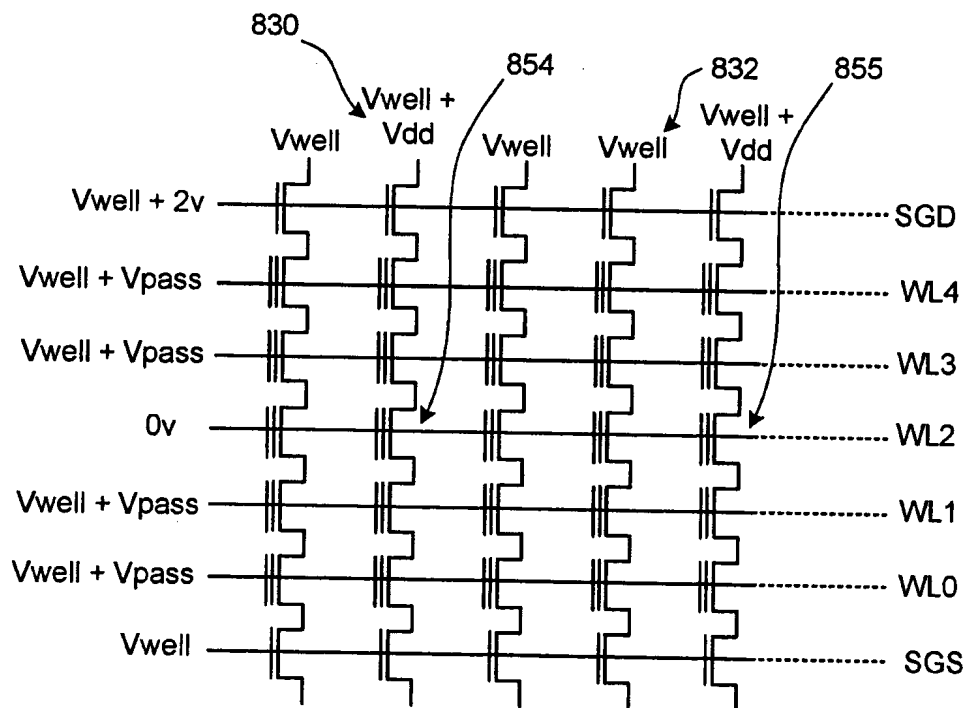


圖15

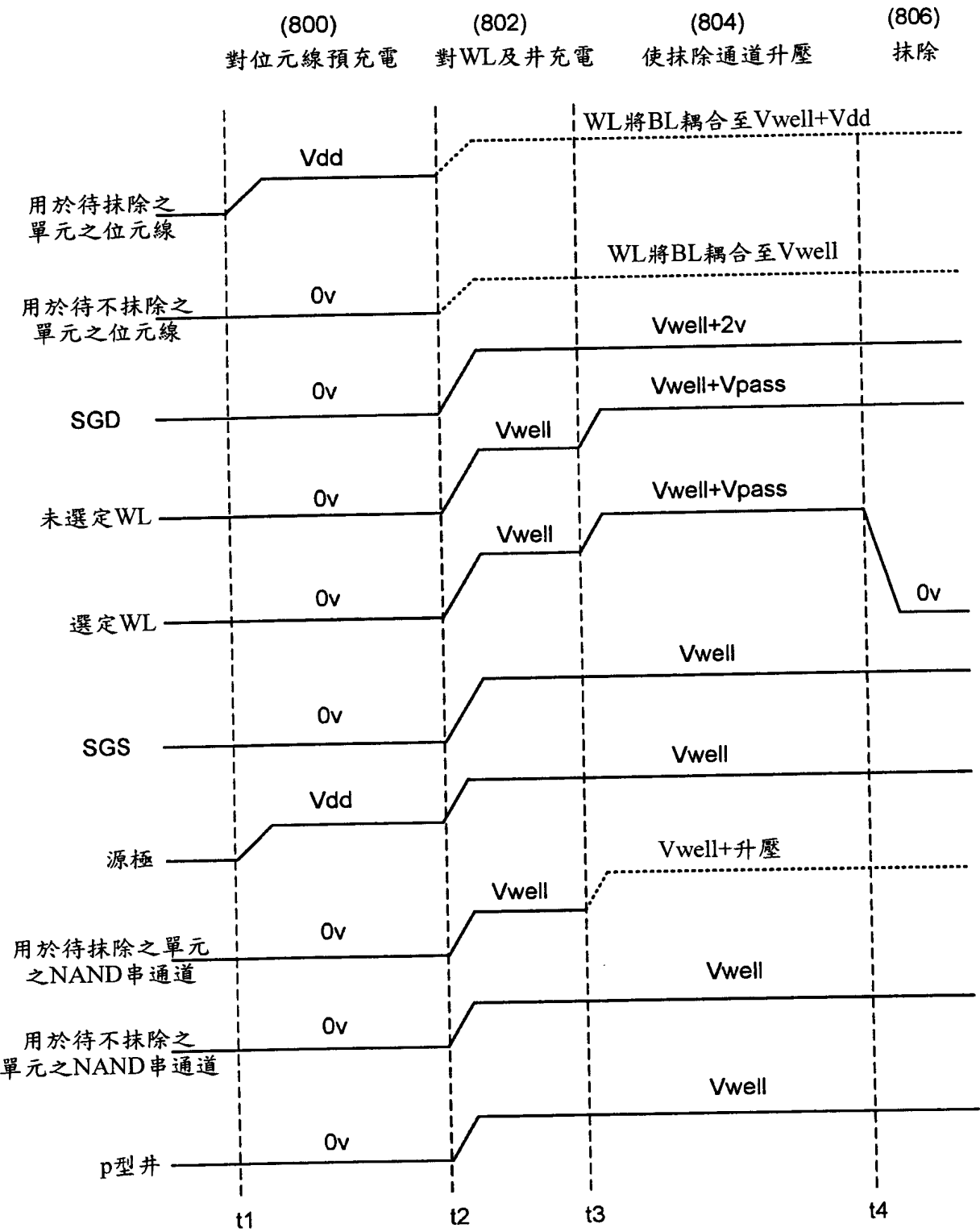


圖14

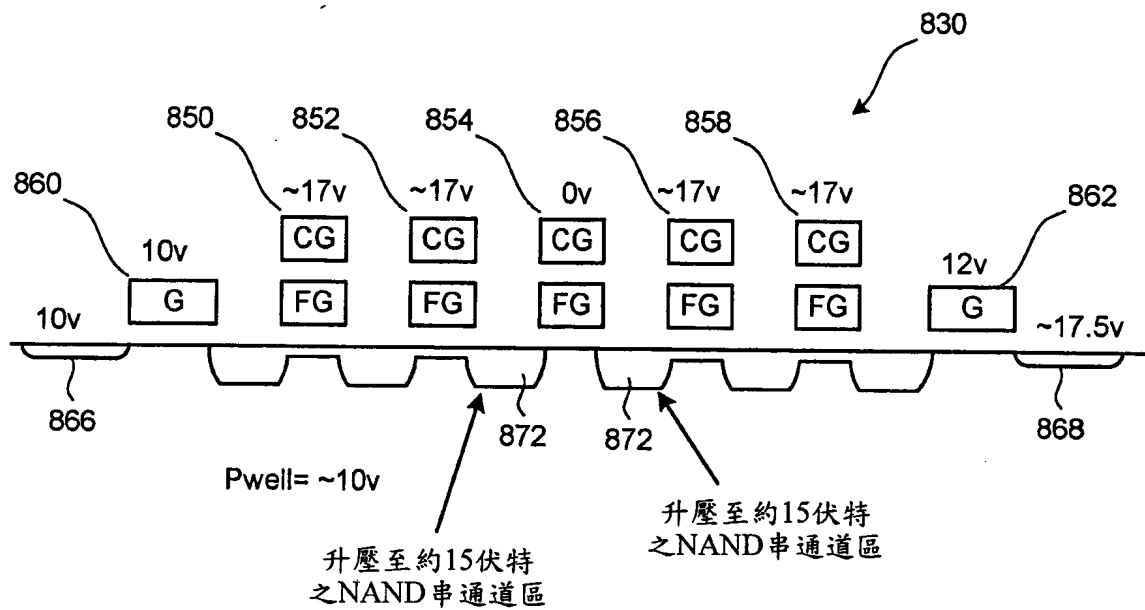


圖 16A

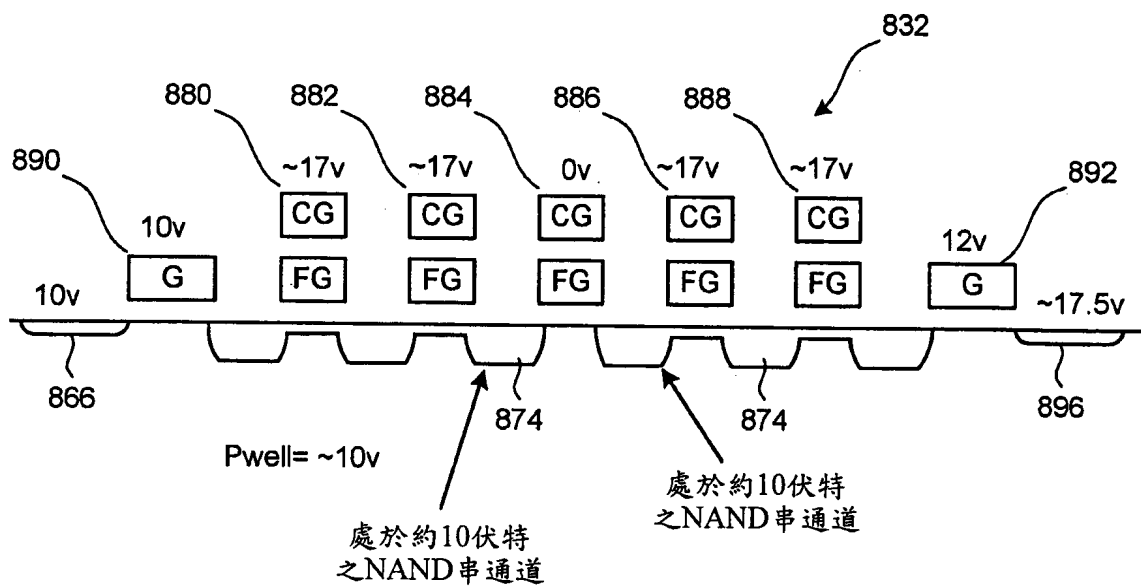


圖 16B

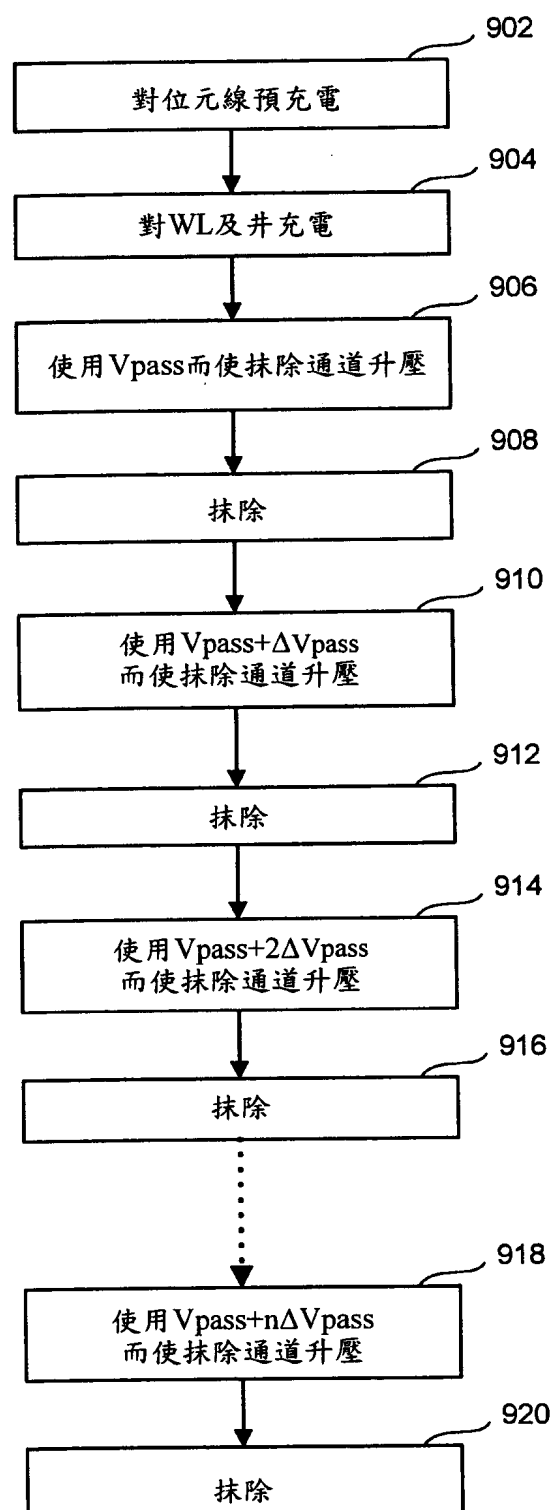


圖 17

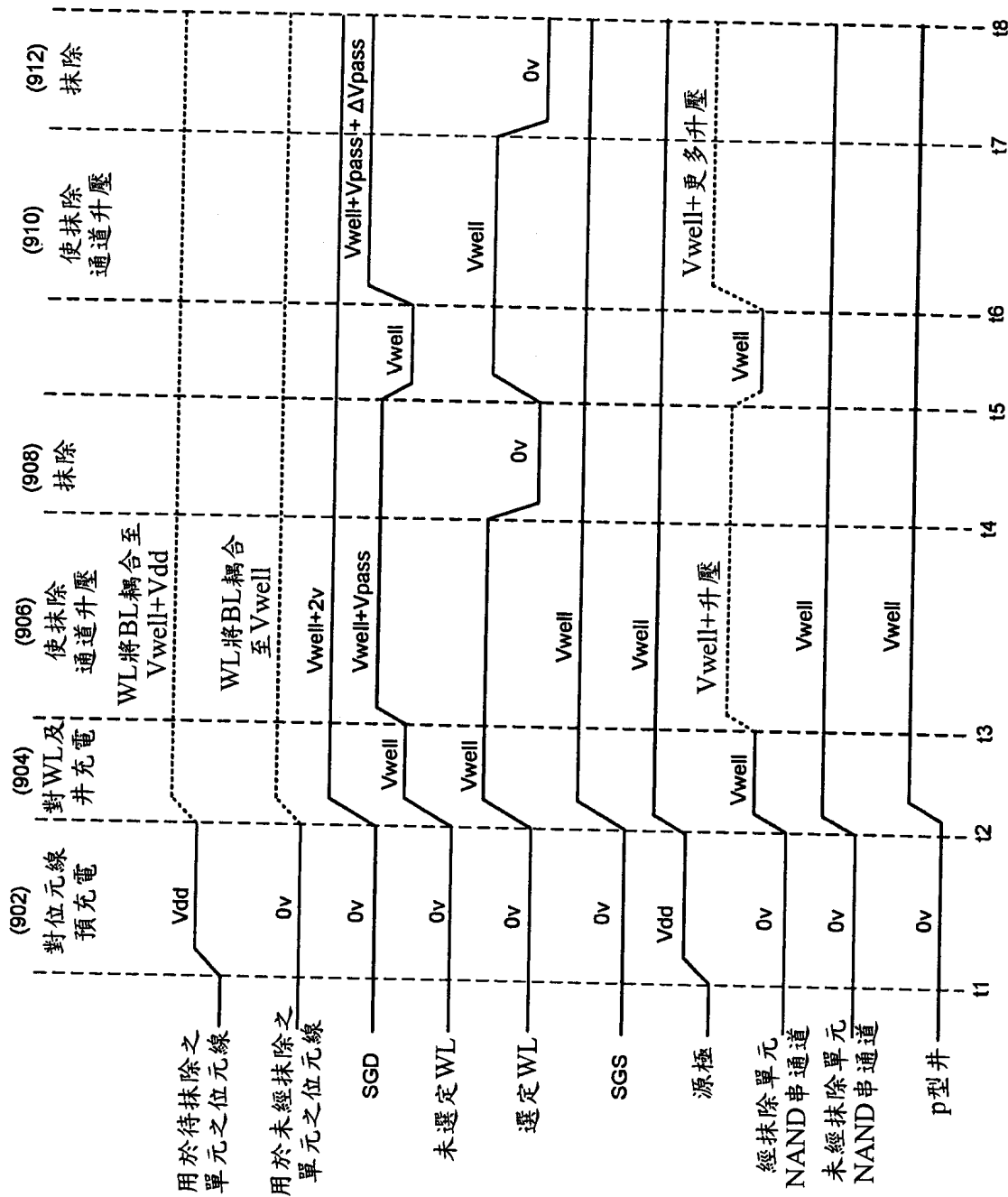


圖18

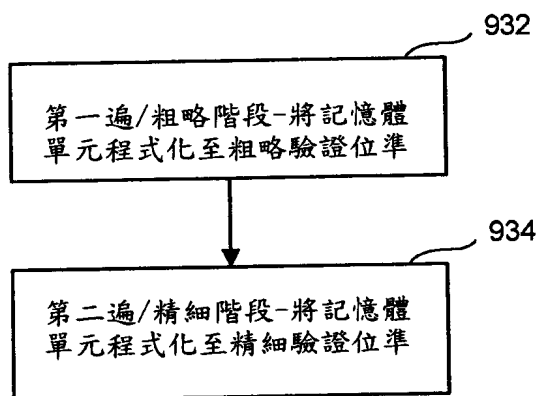


圖 19

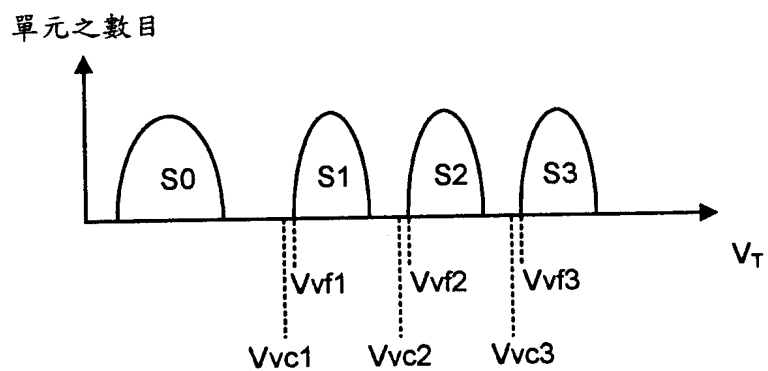


圖 20

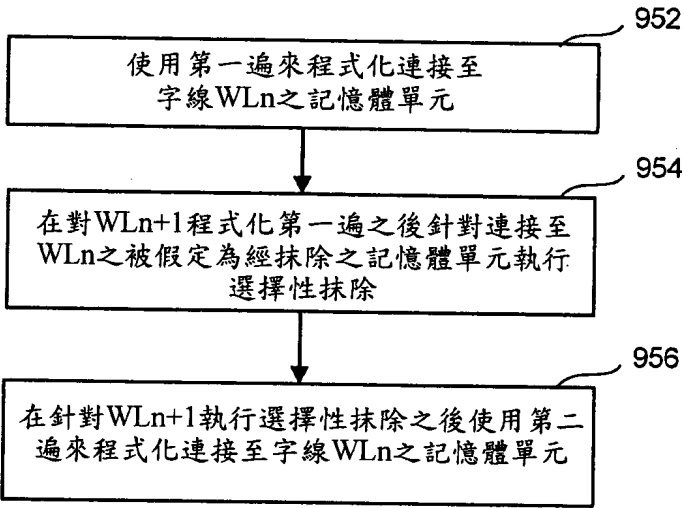


圖 21

字線	程式化第一遍	選擇性抹除	程式化第二遍
4	10	13	15
3	7	11	14
2	4	8	12
1	2	5	9
0	1	3	6

圖 22

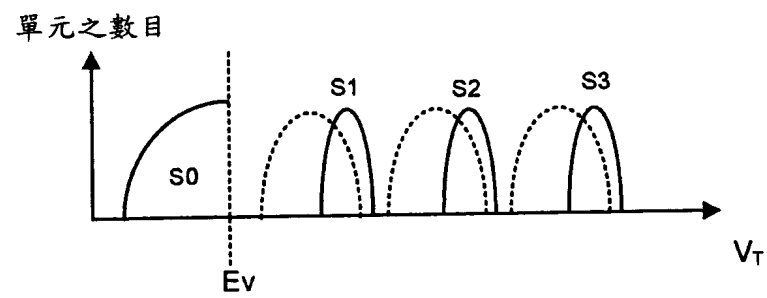


圖 23

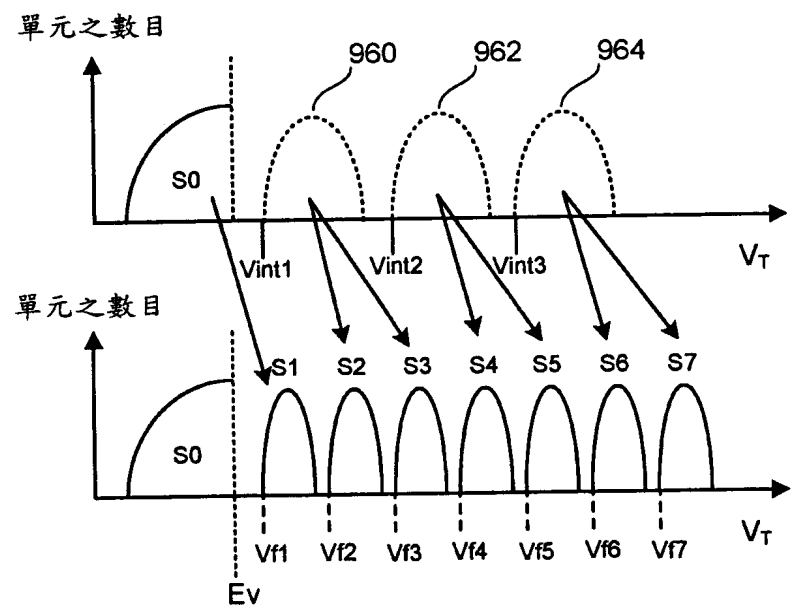


圖 24

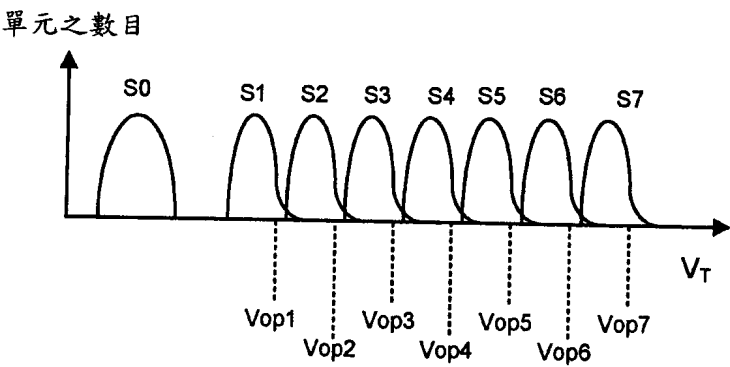


圖25

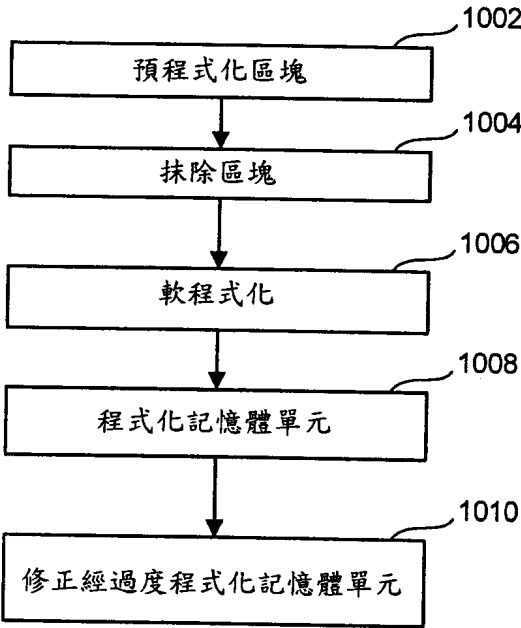


圖26A

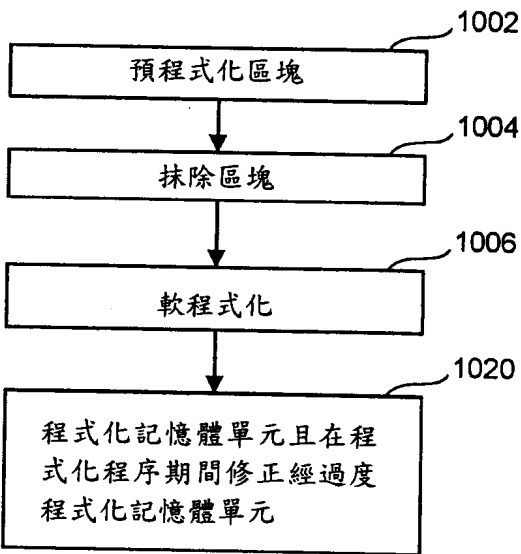


圖26B

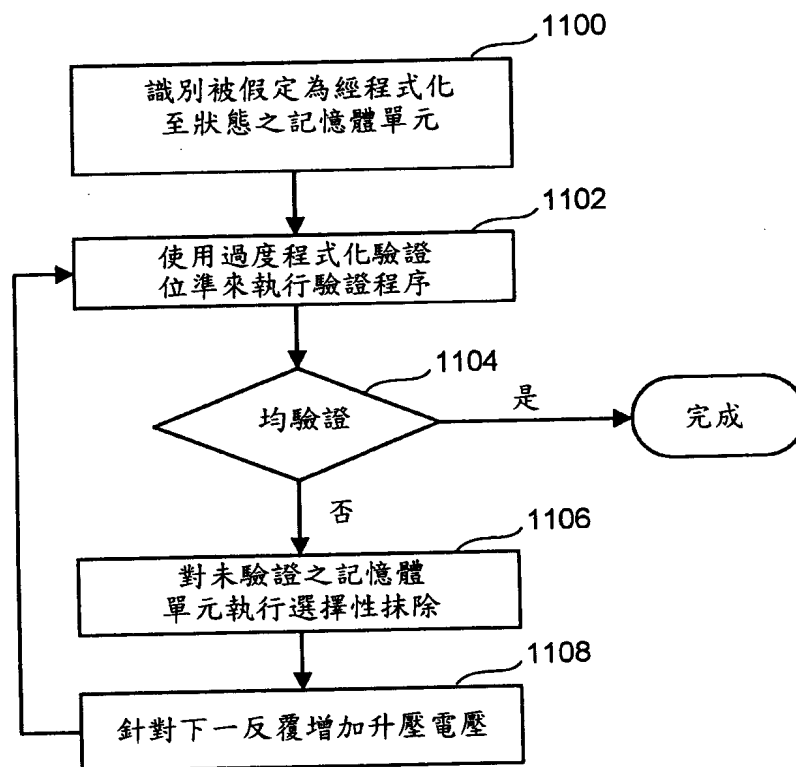


圖27

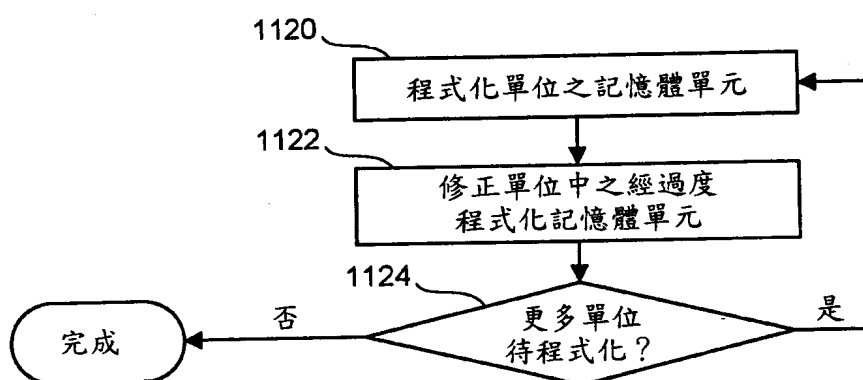


圖28

四、指定代表圖：

(一)本案指定代表圖為：第 (27) 圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

11. 4

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)