

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 10 月 4 日(04.10.2012)



(10) 国際公開番号

WO 2012/133158 A1

- (51) 国際特許分類:
G02F 1/1368 (2006.01)
- (21) 国際出願番号: PCT/JP2012/057470
- (22) 国際出願日: 2012 年 3 月 23 日(23.03.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-075311 2011 年 3 月 30 日(30.03.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 番 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 黒田 達朗 (KURODA, Tatsuro).
- (74) 代理人: 手島 勝(TESHIMA Masaru); 〒5300041 大阪府大阪市北区天神橋 2 丁目 3 番 8 号 M F 南森町ビル 5 階 手島特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

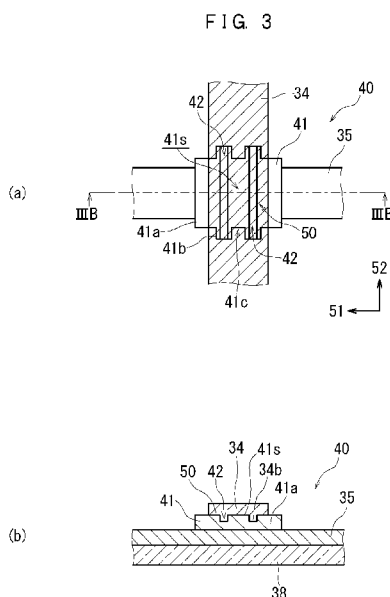
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: ARRAY SUBSTRATE FOR LIQUID CRYSTAL PANEL AND LIQUID CRYSTAL PANEL

(54) 発明の名称: 液晶パネル用アレイ基板および液晶パネル

[図 3]



(57) Abstract: Provided is an array substrate that is for a liquid crystal panel and that is able to suppress disconnection of source wiring. The array substrate (11) that is for a liquid crystal and that has pixels disposed in a matrix form having rows and columns is provided with: auxiliary capacitor wiring (Cs wiring) (35) extending in the row direction (51); and source wiring (34) positioned at a higher layer than the auxiliary capacitor wiring (35) and extending in the column direction (52). The auxiliary capacitor wiring (35) is formed on a substrate (38), and an insulating layer (39) is formed on the substrate (38) in a manner so as to cover the auxiliary capacitor wiring (35). In the region (40) of intersection of the auxiliary capacitor wiring (35) and the source wiring (34), a semiconductor layer (41) is formed on the insulating layer (39), and a bumpy structure having depressions (42, 46) and/or protrusions (43, 45) is formed at the surface (41s) of the semiconductor layer (41) at the site covered by the source wiring (34).

(57) 要約: ソース配線の断線を抑制できる液晶パネル用アレイ基板を提供する。行及び列を有するマトリクス状に画素が配置された液晶パネル用アレイ基板 11 であり、行方向 51 に延びる補助容量配線 (Cs 配線) 35 と、補助容量配線 35 よりも上層に位置し、列方向 52 に延びるソース配線 34 とを備えている。補助容量配線 35 は、基板 38 の上に形成されており、基板 38 の上には、補助容量配線 35 を覆うように絶縁層 39 が形成されており、補助容量配線 35 とソース配線 34 との交差領域 40 において、絶縁層 39 の上に、半導体層 41 が形成されており、ソース配線 34 によって覆われている部位の半導体層 41 の表面 41s には、凹部 (42、46) および凸部 (43、45) の少なくとも一方を含む凹凸構造が形成されている。

明 細 書

発明の名称：液晶パネル用アレイ基板および液晶パネル

技術分野

[0001] 本発明は、液晶パネル用アレイ基板および液晶パネルに関する。本発明はまた、液晶パネルを備えた液晶表示装置に関する。

なお、本出願は2011年3月30日に出願された日本国特許出願2011-75311号に基づく優先権を主張しており、その出願の全内容は本明細書中に参照として組み入れられている。

背景技術

[0002] 液晶表示装置は、一対の透光性基板の間に液晶が封止されてなる液晶パネルと、当該液晶パネルの背面側に配置されたバックライトとから構成されている。液晶表示装置では、バックライトから出射された光が液晶パネルの背面側から照射されることによって、液晶パネルに表示された画像が視認可能となる（特許文献1）。

[0003] 図16は、特許文献1に示した液晶パネル1000の構成を示す斜視図である。図16に示した液晶パネル1000は、薄膜トランジスタ（TFT）140を含むアレイ基板（下部基板）110と、カラーフィルタ層122を含むカラーフィルタ基板（上部基板）120とから構成されている。アレイ基板110とカラーフィルタ基板120との間には、液晶層130が配置されている。

[0004] アレイ基板110には、画素電極111が形成されている。この画素電極111によって画素領域115が規定されている。また、アレイ基板110には、ゲート配線112とデータ配線114とが形成されている。TFT140は、ゲート配線112およびデータ配線114に連結されている。また、TFT140は、ゲート配線112およびデータ配線114の交差点に隣接して配置され、ゲート電極141、半導体層142、ソース電極144、ドレイン電極146を含む。TFT140のドレイン電極146は、画素

電極 1 1 1 に連結されている。

[0005] カラーフィルタ基板（C F 基板） 1 2 0 は、赤色（R）、緑色（G）、青色（B）のサブカラーフィルタ層 1 2 2 a、1 2 2 b、1 2 2 c を含むカラーフィルタ層 1 2 2 を含んでいる。サブカラーフィルタ層 1 2 2 a、1 2 2 b、1 2 2 c は、ブラックマトリクス 1 2 3 によって分けられている。また、C F 基板 1 2 0 の液晶層 1 3 0 側には、共通電極 1 2 4 が形成されている。

[0006] 画素電極 1 1 1 と共通電極 1 2 4 との間に電圧を印加すると、縦方向に電場が発生して、この電場によって、液晶層 1 3 0 の液晶が駆動する。これによって、異なる光の透過率によって画像を表現することができる。

[0007] 図 1 7 は、一つの画素領域を基準にしたアレイ基板 1 1 0 の概略的な平面図である。図 1 7 に示したアレイ基板 1 1 0 では、透光性基板 1 5 0 の上に、スイッチング素子である T F T 1 4 0、ゲート配線 1 1 2、データ配線 1 1 4、画素電極 1 1 1 が形成される。より具体的には、アレイ基板 1 1 0 においては、画素領域に対応した画素電極 1 1 1 がマトリックス状に配列され、その画素領域ごとに T F T 1 4 0 が形成される。また、T F T 1 4 0 ごとに信号を印加するために、多数のゲート配線 1 1 2 および多数のデータ配線 1 1 4 が形成されている。

[0008] ここで、製造工程上、相互に異なる信号を T F T 1 4 0 に伝達するゲート配線 1 1 2 とデータ配線 1 1 4 とは、同一層には形成することができない。したがって、ゲート配線 1 1 2 とデータ配線 1 1 4 とは、それぞれ別の層に絶縁膜を介して形成される。図 1 7 に示した例では、下層のゲート配線 1 1 2 を乗り越えるように上層のデータ配線 1 1 4 が延びる交差部 1 5 5 が存在する。そして、このような交差部 1 5 5 においては、下層のゲート配線 1 1 2 の段差によって、上層のデータ配線 1 1 4 が断線される不良が発生することがある。

先行技術文献

特許文献

[0009] 特許文献1：特開2007-310351号公報

特許文献2：特開2002-122885号公報

特許文献3：特開2003-287772号公報

発明の概要

発明が解決しようとする課題

[0010] この断線の問題に対して、特許文献1では、下層のゲート配線112の近傍にバッファ配線を形成することによって、データ配線114の断線を防ぐようにしている。すなわち、ゲート配線の近傍にバッファ配線を形成することによって、ソース配線がゲート配線のパターンを乗り越える部分のスロープを滑らかにすることにより、乗り越え段差におけるソース配線の断線を防止するようにしている。

[0011] しかしながら、下層のゲート配線112の近傍にバッファ配線が形成できない場合があり得る。また、バッファ配線を形成することにより、ソース配線がゲート配線のパターンを乗り越える部分のスロープを滑らかにすることができても、ウエットエッチング時の薬液の侵入によって、ソース配線の断線が生じることがある。

[0012] また、特許文献2では、ゲート／ドレイン交差部に位置する半導体層パターンに侵入したエッチング液によって、ドレイン配線が断線するのを防止するために、半導体パターンを所定の形状に改変した技術が開示されている。具体的には、特許文献2では、ドレイン配線と半導体層パターンは、当該ドレイン配線と半導体層パターンの両側面が連続した面とならず段差部を形成するように、互いの側面をずらして配置するようにしている。しかしながら、特許文献2の技術は、横電界駆動（IPS）方式の液晶表示装置の問題を解決しようとするものであり、ドレイン配線の中心部までエッチング液が侵入するのを防止するものであるものの、ソース配線の断線を防止するものではない。

[0013] 本発明はかかる点に鑑みてなされたものであり、その主な目的は、ソース配線の断線を抑制できる液晶パネル用アレイ基板および液晶パネルを提供す

ることにある。

課題を解決するための手段

- [0014] 本発明に係るアレイ基板は、行及び列を有するマトリックス状に画素が配置された液晶パネル用アレイ基板であり、行方向に延びる補助容量配線と、前記補助容量配線よりも上層に位置し、列方向に延びるソース配線とを備え、前記補助容量配線は、基板の上に形成されており、前記基板の上には、前記補助容量配線を覆うように絶縁層が形成されており、前記補助容量配線と前記ソース配線との交差領域において、前記絶縁層の上に、半導体層が形成されており、前記ソース配線によって覆われている部位の前記半導体層の表面には、凹部および凸部の少なくとも一方を含む凹凸構造が形成されている。
- [0015] ある好適な実施形態において、前記半導体層の表面に形成された前記凹凸構造は、薬液が侵入する経路を延長する構造である。
- [0016] ある好適な実施形態において、前記凹凸構造は、少なくとも2つの前記凹部から構成されており、前記少なくとも2つの凹部は、前記列方向に延びている。
- [0017] ある好適な実施形態において、前記凹凸構造は、少なくとも2つの前記凸部から構成されており、前記少なくとも2つの凸部は、前記列方向に延びている。
- [0018] ある好適な実施形態において、前記凹凸構造は、列方向に延びる前記凹部または前記凸部と、行方向に延びる更なる凹部とから構成されている。
- [0019] ある好適な実施形態において、前記凹凸構造は、互いに離間して形成された前記凹部または前記凸部から構成されている。
- [0020] ある好適な実施形態において、前記補助容量配線と前記ソース配線との全ての前記交差領域において、前記半導体層が形成されている。
- [0021] ある好適な実施形態において、前記マトリックス状に配置された画素のそれぞれには、薄膜トランジスタが形成されており、前記薄膜トランジスタには、前記ソース配線から延びるソース電極と、前記ソース電極に対向して配

置されたドレイン電極とを備え、前記ドレイン電極からは、画素電極に接続されるドレイン配線が延びており、前記ドレイン配線の端部は、前記補助容量配線に接続されている。

[0022] 本発明に係るアレイ基板は、上記アレイ基板に対向して配置されるカラーフィルタ基板と、前記アレイ基板と前記カラーフィルタ基板との間に配置される液晶層とを備えた、液晶パネルである。

[0023] 本発明に係る液晶表示装置は、上記液晶パネルと、前記液晶パネルに光を照射するバックライトユニットとを備えた、液晶表示装置である。

発明の効果

[0024] 本発明によれば、行方向に延びる補助容量配線と、列方向に延びるソース配線との交差領域において、絶縁層の上に半導体層が形成されている。そして、前記ソース配線によって覆われている部位の前記半導体層の表面には、凹部および凸部の少なくとも一方を含む凹凸構造が形成されているので、その凹凸構造によって製造工程時における薬液の侵入経路を延長することができる。その結果、ソース配線の断線を抑制できる液晶パネル用アレイ基板を実現することができる。

図面の簡単な説明

[0025] [図1]本発明の実施形態に係る液晶表示装置 100 を説明するための分解斜視図である。

[図2]本発明の実施形態に係る液晶パネル用アレイ基板 11 の上面拡大図である。

[図3] (a) は、アレイ基板 11 における交差領域 40 の上面図であり、(b) は、交差領域 40 の断面図である。

[図4]比較例のアレイ基板 210 の上面構成を模式的に示す一部拡大図である。

[図5] (a) は、比較例における交差領域 240 の拡大図であり、(b) は、交差領域 240 の断面図である。

[図6] (a) および (b) は、それぞれ、ソース配線 234 が乗り越える部位

にて断線 2 4 6 が生じることを説明するための平面図および断面図である。

[図7]交差領域 4 0 における薬液の侵入ルート 5 5 の様子を模式的に示す断面図である。

[図8] (a) は、アレイ基板 1 1 における交差領域 4 0 の上面図であり、(b) は、交差領域 4 0 の断面図である。

[図9] (a) は、アレイ基板 1 1 における交差領域 4 0 の上面図であり、(b) は、交差領域 4 0 の断面図である。

[図10] (a) は、アレイ基板 1 1 における交差領域 4 0 の上面図であり、(b) は、交差領域 4 0 の断面図である。

[図11] (a) は、アレイ基板 1 1 における交差領域 4 0 の上面図であり、(b) は、交差領域 4 0 の断面図である。

[図12] (a) から (j) は、アレイ基板 1 1 の製造方法を説明するための工程断面図である。

[図13] (a) から (j) は、アレイ基板 1 1 の製造方法を説明するための工程断面図である。

[図14] (a) から (j) は、アレイ基板 1 1 の製造方法を説明するための工程断面図である。

[図15] (a) から (j) は、アレイ基板 1 1 の製造方法を説明するための工程断面図である。

[図16]従来の液晶パネル 1 0 0 0 の構成を示す斜視図である。

[図17]一つの画素領域を基準にしたアレイ基板 1 1 0 の概略的な平面図である。

発明を実施するための形態

[0026] 以下、図面を参照しながら、本発明の実施形態を説明する。以下の図面においては、説明の簡潔化のために、実質的に同一の機能を有する構成要素を同一の参照符号で示す。なお、本発明は以下の実施形態に限定されない。

[0027] 図 1 は、本発明の実施形態に係る液晶表示装置 1 0 0 の構成を模式的に示す分解斜視図である。図 1 に示すように、本実施形態の液晶表示装置 1 0 0

は、画像を表示可能な液晶表示装置である。液晶表示装置 100 は、液晶パネル 10 と、液晶パネル 10 に光を照射するバックライトユニット 20 とから構成されている。本実施形態の液晶パネル 10 は、例えば、20 インチから 110 インチ（典型的には、32 インチから 60 インチ）のサイズを有している。

[0028] 本実施形態の液晶パネル 10 は、概して、全体として矩形の形状を有しており、一对の透光性基板（ガラス基板）11 および 12 から構成されている。両基板 11 および 12 は、互いに対向して配置され、その間には液晶層（不図示）が設けられている。液晶層は、基板 11 および 12 の間の電界印加に伴って光学特定が変化する液晶材料からなる。

[0029] なお、基板 11 および 12 の外縁部には、シール剤（不図示）が設けられて、液晶層を封止している。また、両基板 11 および 12 の外面には、それぞれ、偏光板 13、13 が貼り付けられている。本実施形態では、基板 11 および 12 のうち、裏側がアレイ基板（TFT 基板）11 であり、一方、表側がカラーフィルタ基板（CF 基板）12 である。

[0030] 本実施形態のアレイ基板 11 は、行及び列を有するマトリックス状に画素が配置された液晶パネル用アレイ基板である。詳細は後述するが、本実施形態の構成では、行方向にゲート配線が延び、列方向にソース配線が延びている。また、各画素には、薄膜トランジスタ（TFT）が配置されている。なお、行方向・列方向は、便宜上のものであるので、行方向が横方向、列方向が縦方向を意味する場合の他、その関係を逆にしても構わない。

[0031] 本実施形態のバックライトユニット 20 は、液晶パネル 10 に光を照射する光源ユニットである。図 1 に示した例のバックライトユニット 20 は、エッジライト型のバックライトユニットである。本実施形態のバックライトユニット 20 は、複数の発光素子 23 と、発光素子 23 が発した光を液晶パネル 10 に照射させる導光板 22 とから構成されている。

[0032] 本実施形態の発光素子 23 は、LED 素子（点状光源）であり、図 1 に示した構成例では、複数の LED 素子 23 が配線基板 25 の上に載置されてい

る。ＬＥＤ素子２３は、導光板２２の側面の一つ（入射面）２２ｂに対向して配置されており、ＬＥＤ素子２３から出射された光は、導光板２２の入射面２２ｂから導光板２２内に入射する。

[0033] 導光板２２は、入射面２２ｂに入射した光を、発光面（主面）２２ａから面状に照射する光学部材である。導光板２２は、例えば、アクリル板から構成されている。本実施形態の導光板２２の底面２２ｃには、反射層となるドットパターン（不図示）が形成されている。このドットパターンは、反射パターン又は拡散パターンを形成するインクなどを用いて印刷によって形成されている。

[0034] また、導光板２２と液晶パネル１０との間には、光学シート２１（２１ａから２１ｃ）が配置されている。この例では、光学シート２１ａから２１ｃは、それぞれ、例えば、レンズシート、プリズムシート、拡散板である。なお、光学シート２１の構成は、これらのものに限らず、他の構成を採用してもよい。

[0035] さらに、本実施形態のバックライトユニット２０は、導光板２２を収納するバックライトシャーシ２８を備えている。また、本実施形態のバックライトシャーシ２８は、金属材料（例えば、アルミニウム、鉄など）から構成されており、液晶表示装置１００の裏面全体を覆う板金部材である。また、バックライトシャーシ２８と導光板２２との間には、反射シート２７が配置されている。

[0036] 本実施形態の液晶表示装置１００にはベゼル２９が設けられている。ベゼル２９は、金属材料（例えば、アルミニウム、鉄）からなり、液晶パネルの外縁部を押さえて固定するフレーム部材である。本実施形態の構成においては、液晶パネル１０、光学シート２１、導光板２２、ＬＥＤ素子２３が実装された配線基板（ＬＥＤ基板）２５、反射シート２７をバックライトシャーシ２８に収納した状態で、そのバックライトシャーシ２８にベゼル２９を取り付ける。

[0037] なお、図１に示した構成では、ＬＥＤ素子２３を用いたエッジライト型の

バックライトユニット２０を示したがそれに限らない。例えば、本発明では、他の発光素子（例えば、冷陰極管（ＣＣＦＬ））を用いたエッジライト型のバックライトユニット２０を使用することもできる。あるいは、直下型のバックライトユニット２０を使用することも可能である。直下型のバックライトユニット２０の場合、発光素子は、ＬＥＤ素子、冷陰極管などを用いることができる。

[0038] 次に、図２を参照しながら、本実施形態の構成について説明する。図２は、本実施形態のアレイ基板１１の上面構成を模式的に示す一部拡大図である。

[0039] 本実施形態のアレイ基板１１は、行及び列を有するマトリックス状に画素が配置されている。この例では、行方向（矢印５１）にゲート配線３３が延び、列方向（矢印５２方向）にソース配線３４が延びている。ゲート配線３３とソース配線３４との交差部には、スイッチング素子としてのＴＦＴ素子３０が形成されている。

[0040] ＴＦＴ素子３０は、チャネル層となる半導体層３１と、ソース配線３４から延びたソース電極３２ｓと、ソース電極３２ｓに対向して配置されたドレイン電極３２ｄとから構成されている。半導体層３１は、例えばシリコン（アモルファスシリコン、多結晶シリコンなど）から構成されている。そして、ゲート配線３３のうちの半導体層３１の下方に位置する部位は、ゲート電極となる。ゲート電極と半導体層３１との間には、ゲート絶縁膜が形成されている。半導体層３１の表面には、ソース電極３２ｓとドレイン電極３２ｄとが配置されており、ソース電極３２ｓとドレイン電極３２ｄとの間がチャネル領域となる。

[0041] ドレイン電極３２ｄからは、ドレイン配線３６が延びている。図２に示した例では、ドレイン配線３６の一部３６ｄは、接続部位３６ｅにて画素電極３７に接続されている。画素電極３７は、各画素を規定する電極であり、透明電極（例えば、ＩＴＯ）から構成されている。本実施形態の画素は、カラーフィルタ基板１２が三原色（Ｒ・Ｇ・Ｂ）の構成の場合、そのＲ（赤）・

G（緑）・B（青）に対応する領域である。なお、R・G・Bの3つの領域をまとめて画素と称する場合、画素電極37が位置する領域は、サブ画素領域、または、絵素領域と称しても構わない。また、カラーフィルタ基板12が四原色（R・G・B・Y）の構成の場合、本実施形態の画素は、そのR（赤）・G（緑）・B（青）・Y（黄）に対応する領域になる。加えて、画素電極37のパターンは、本実施形態の構成では例示として示しており、具体的なパターンについては適宜好適なものを採用すればよい。

[0042] また、本実施形態の構成では、アレイ基板11に補助容量（Cs）が形成されるように構成されている。アレイ基板11に補助容量配線（Cs配線）35が形成されている。ここで、補助容量（Cs）は、Cs配線35の一部に位置するCs電極、絶縁膜（不図示）、画素電極37によって形成されている。補助容量（Cs）を構成する絶縁膜（誘電体層）は、Cs電極と画素電極37との間に位置しており、そして、補助容量（Cs）は、Cs配線35と画素電極37との交差部において形成されている。また、補助容量（Cs）は、ゲート信号がOFFの期間において液晶層に電荷を供給し、画素の輝度を保持するという役割を有するものである。本実施形態の構成では、ドレイン配線36の端部36gは、補助容量配線（Cs配線）35に接続されている。具体的には、ドレイン配線36は、引き出し部36d、36fを介して、Cs配線35に接続されている。

[0043] さらに、本実施形態の構成では、Cs配線35は、ゲート配線33と同様に、行方向（矢印51）に延びている。ソース配線34は、Cs配線35よりも上層に位置しており、そして、アレイ基板11には、ソース配線34とCs配線35とが互いに交差する交差領域40が存在している。

[0044] 図3（a）および（b）は、それぞれ、交差領域40におけるソース配線34およびCs配線35の構成を模式的に示す上面図および断面図である。本実施形態の構成において、Cs配線35は、基板38（アレイ基板11を構成するガラス基板）の上に形成されている。基板38がガラス基板から構成されている場合、ガラス基板の表面に他の層（絶縁層など）が形成されて

いても構わない。

[0045] 基板 3 8 の上には、C s 配線 3 5 を覆うように絶縁層が形成されているが、図 3 (a) および (b) では絶縁層は示していない。この絶縁層 (不図示) は、C s 配線 3 5 とソース配線 3 4 との間の層間絶縁膜の機能を有している。

[0046] 本実施形態の構成では、C s 配線 3 5 とソース配線 3 4 との交差領域 4 0 において、絶縁層 (不図示) の上に、半導体層 4 1 が形成されている。そして、ソース配線 3 4 によって覆われている部位の半導体層 4 1 の表面 4 1 s には、凹部 4 2 を含む凹凸構造 5 0 が形成されている。ここで、本実施形態の凹凸構造 5 0 は、薬液が侵入する経路を延長する薬液侵入防止構造としての機能を有している。

[0047] 本実施形態の凹凸構造 5 0 は、2 つの凹部 4 2 から構成されている。図示した例では、2 つの凹部 4 2 は、ソース配線 3 4 が延びる方向 (列方向) 5 2 に延びた溝部である。凹凸構造 5 0 の凹部 (溝部) 4 2 には、ソース配線 3 4 の凸部 3 4 b が嵌合するように挿入されている。図示した凹部 (溝部) 4 2 の断面は、矩形 (または実質的に矩形) であるが、他の形状 (例えば半円形) であっても構わない。なお、凹部 4 2 は、2 つに限らず、3 つ以上でも構わない。

[0048] さらに、本実施形態の半導体層 4 1 は、矩形 (または、実質的に矩形) の本体部 4 1 a と、本体部 4 1 a から延びた突起部 4 1 b とから構成されている。突起部 4 1 b は、ソース配線 3 4 が延びる方向 (列方向) 5 2 に延びている。本実施形態では、本体部 4 1 a および突起部 4 1 b を通るような凹部 (溝部) 4 2 が半導体層 4 1 に形成されている。また、この例では、凹部 4 2 が形成された突起部 4 1 b が 2 つ形成されているので、2 つの突起部 4 1 b の間には、窪み部 4 1 c が存在している。

[0049] また、本実施形態の構成において、図 2 に示したゲート配線 3 3 は、C s 配線 3 5 と同一レベルの層に形成されている。したがって、ソース配線 3 4 は、ゲート配線 3 3 よりも上層に位置している。また、本実施形態のアレイ

基板 1 1 には、ソース配線 3 4 とゲート配線 3 3 とが互いに交差する交差領域 4 7 が存在している。図示した例では、ソース配線 3 4 は、列方向 5 2 に延びる本体部 3 4 a を有しており、ソース配線 3 4 の本体部 3 4 a は、交差領域 4 0 および 4 7 においても本体部 3 4 a と同様に列方向に延びている。

[0050] なお、本実施形態の構成では、ソース配線 3 4 は、銅から構成されている。また、C s 配線 3 5 およびゲート配線 3 3 も、銅から構成されている。また、ソース配線 3 4、C s 配線 3 5、ゲート配線 3 3 は、銅配線に限らず、他の金属材料（アルミニウム）から構成されていてもよいし、多層膜（例えば、C u ・ M o、C u ・ T i）の構成であってもよい。さらに、ソース配線 3 4（例えば、銅配線）と、C s 配線 3 5・ゲート配線 3 3 とを異なる材料から構成しても構わない。

[0051] 本実施形態の構成によれば、行方向 5 1 に延びる C s 配線 3 5 と列方向 5 2 に延びるソース配線 3 4 との交差領域 4 0 において、ソース配線 3 4 によって覆われている部位の半導体層 4 1 の表面 4 1 s には、凹部を含む凹凸構造 5 0 が形成されているので、その凹凸構造 5 0 によって製造工程時における薬液の侵入経路を延長することができる。その結果、交差領域 4 0 におけるソース配線 3 4 の断線を抑制できる液晶パネル用アレイ基板を実現することができる。

[0052] さらに、図 4 から図 6 を参照しながら、ソース配線の断線の原因について説明する。図 4 は、比較例のアレイ基板 2 1 0 の上面構成を模式的に示す一部拡大図である。

[0053] 図 4 に示した比較例のアレイ基板 2 1 0 では、行方向 5 1 に延びるゲート配線 2 3 3 および C s 配線 2 3 5 と、列方向 5 2 に延びるソース配線 2 3 4 とが形成されている。また、T F T 素子 2 3 0 は、半導体層 2 3 1 と、ソース電極 2 3 2 s、ドレイン電極 2 3 2 d から構成されている。ドレイン電極 2 3 2 d から延びたドレイン配線 2 3 6 d は、接続部位 2 3 6 e にて画素電極 2 3 7 に接続されている。なお、図示していないが、ドレイン配線 2 3 6 d の端部は、C s 配線 2 3 5 に接続されている。

- [0054] この比較例では、ソース配線 234 と Cs 配線 235 との交差領域 240 において、本実施形態における半導体層 41 は形成されていない。図 5 (a) は、交差領域 240 の拡大図であり、そして、図 5 (b) は、交差領域 240 の断面図である。
- [0055] 図 5 (b) に示すように、ガラス基板 238 の上に Cs 配線 235 が延びている。そして、Cs 配線 235 を覆うように絶縁層 239 がガラス基板 238 の上に形成されている。そして、絶縁層 239 の上に、ソース配線 234 が形成されている。図示するように、ソース配線 234 は、交差領域 240 において、Cs 配線 235 によって形成された段差 245 を乗り越えるようにして延びる。
- [0056] ソース配線 234 は、金属膜をエッチングでパターニングすることによって形成される。それゆえに、図 6 (a) および (b) に示すように、エッチングの残渣などによる侵食の影響で、Cs 配線 235 による段差部 245 をソース配線 234 が乗り越える部位にて断線 (246) が生じる可能性が高まる。さらには、ソース配線 234 が銅配線の場合、銅配線の酸化腐食によって、段差部 245 にて断線 (246) が発生することもある。
- [0057] 一方、本実施形態の構成によれば、図 7 に示すように、交差領域 40 における半導体層 41 の表面 41s に凹凸構造 50 が形成されている。具体的には、ソース配線 34 で覆われている半導体層 41 の表面 41s に凹部 42 が形成されており、その凹部 42 にはソース配線 34 の凸部 34b が挿入されている。したがって、ソース配線 34 と半導体層 41 との間に、製造工程時の薬液 (ウェットエッチング液) が侵入したとしても (矢印 55 参照)、凹凸構造 50 (凹部 42) によってその薬液の侵入をストップさせることができる。すなわち、凹凸構造 50 によって、パネル厚み方向 53 において薬液の侵入経路を延長することができる。そして、ソース配線 34 の中央まで薬液が侵入しなければ、ソース配線 34 の断線を防ぐことができる。あるいは、この凹凸構造 50 によって薬液の侵入 (55) をトラップすることができ、ソース配線 34 の断線を防ぐことができる。

[0058] 加えて、本実施形態の構成では、図3に示すように、半導体層41の突起部41bによっても、薬液がソース配線34の中心部に侵入することを抑制することができる。また、図示した構造では、2本の凹部（溝部）42及び突起部41bの組み合わせによって、薬液がソース配線34の中心部に侵入することを効果的に抑制している。

[0059] ここで、本実施形態の構成を例示的に説明すると次の通りである。半導体層41の厚さは例えば2000～2500Åであり、凹部（溝部）42の深さは例えば500～1500Åである。また、半導体層41の行方向51の寸法は、例えば、ソース配線34よりも左右に3～10μm幅広であり、半導体層41の列方向52の寸法は、例えば、Cs配線35よりも左右に3～10μm幅広である。半導体層41の突起部41bの長さ（突出部分）は、例えば、Cs配線35の幅方向端を基点としてそこから5～15μmであり、突起部41bの幅は、例えば、Cs配線35の幅の30～50%程度である。

[0060] なお、図2に示したアレイ基板11では、ソース配線34とCs配線35との交差領域40のそれぞれに、凹凸構造50を有する半導体層41を形成しているが、全ての交差領域40でなくても指定の交差領域40を選択して半導体層41を形成することも可能である。また、TFT素子30の構造との関係にもよるが、ゲート配線33との交差領域47においても、Cs配線35の交差領域40と同様に、凹凸構造50を有する半導体層41を形成しても構わない。具体的には、交差領域47において、凹凸構造50を有する半導体層41を絶縁層39の上に形成する。このようにすれば、ゲート配線33を乗り越えるソース配線34の断線も抑制することが容易となる。

[0061] 次に、図8から図11を参照しながら、本実施形態のアレイ基板11の改変例について説明する。

[0062] 図8（a）および（b）は、それぞれ、本実施形態の改変例のアレイ基板11における交差領域40の上面図および断面図である。図8に示した構成では、凹凸構造50は、2つの凸部43から構成されている。図示した例で

は、2つの凸部43は、ソース配線34が延びる方向（列方向）52に延びた壁部である。凹凸構造50の凸部（壁部）43には、ソース配線34の一部に挿入されている。図示した凸部（壁部）43の断面は、矩形（または実質的に矩形）であるが、他の形状（例えば半円形）であっても構わない。なお、凸部43は、2つに限らず、3つ以上でも構わない。

[0063] 図8に示した凸部43を含む凹凸構造50によっても、凹部42を含む凹凸構造50と同様に、ソース配線34の断線を防ぐことができる。すなわち、ソース配線34と半導体層41との間に、製造工程時の薬液（ウエットエッチング液）が侵入したとしても、凹凸構造50（凸部43）によってその薬液の侵入をストップさせることができる。

[0064] 図9（a）および（b）は、それぞれ、本実施形態の改変例のアレイ基板11における交差領域40の上面図および断面図である。図9における凹凸構造50は、列方向に延びる凹部42と、行方向に延びる更なる凹部44とから構成されている。

[0065] 具体的には、ソース配線34で覆われている半導体層41の表面41sに2つの凹部42が形成されており、その凹部42にはソース配線34の一部が挿入されている。また、半導体層41の表面41sに、更なる凹部44が2つ形成されている。

[0066] 図9（b）では、Cs配線35を覆う絶縁層39も示しており、絶縁層39はCs配線35を乗り越える段差部65を含んでいる。行方向51に延びる更なる凹部44は、絶縁層39がCs配線35を乗り越える前の平坦部67における半導体層41の表面41sに形成されている。この例では、更なる凹部44の端部側に、更なる凹部44を構成する壁部となる突起部44tが形成されている。そして、突起部44tを覆う部分のソース配線34は湾曲部34cとなっている。

[0067] 図9に示した構成では、凹部42の薬液侵入防止の効果に加えて、更なる凹部44による薬液侵入防止の効果を得ることができる。すなわち、図7に示したように凹部42によって薬液の侵入を防止することができるとともに

、更なる凹部 4 4 によって、列方向 5 2 に沿ってソース配線 3 4 の中央へ向かう薬液の侵入を抑制することができる。また、突起部 4 4 t によってソース配線 3 4 に湾曲部 3 4 c を設けることができ、この湾曲部 3 4 c によって段差部 6 5 を乗り越える部位のソース配線の断線を抑制することができる。

[0068] 図示した例において、図示した凹部 4 2 の断面は、矩形（または実質的に矩形）であるが、他の形状（例えば半円形）であっても構わない。なお、凹部 4 2 は、2 つに限らず、3 つ以上でも構わない。さらに、凹部 4 2 を、図 8 に示した凸部 4 3 に変更することも可能である。加えて、図 3 に示した突起部 4 1 b が半導体層 4 1 の本体部 4 1 a から延びるような構成にしてもよい。

[0069] 図 1 0 (a) および (b) は、それぞれ、本実施形態の改変例のアレイ基板 1 1 における交差領域 4 0 の上面図および断面図である。図 1 0 における凹凸構造 5 0 は、互いに離間して形成された凸部 4 5 から構成されている。この例では、凹凸構造 5 0 は、5 つの凸部 4 5 から構成されている。具体的には、5 つの凸部 4 5 は、半導体層 4 1 の表面 4 1 s からソース配線 3 4 側に延びており、ソース配線 3 4 の一部に挿入されている。

[0070] 図示した例では、半導体層 4 1 の本体部 4 1 a の中央に 1 つの凸部 4 5 を配置し、その周囲に 4 つの凸部 4 5 を配置するように構成している。ただし、この構成例に限らず、凸部 4 5 の他の配置および数を採用しても構わない。

[0071] 図 1 0 に示した凸部 4 5 を含む凹凸構造 5 0 によっても、ソース配線 3 4 の断線を防ぐことができる。すなわち、ソース配線 3 4 と半導体層 4 1 との間に、製造工程時の薬液（ウエットエッチング液）が侵入したとしても、凹凸構造 5 0（凸部 4 5）によってその薬液の侵入経路を長くすることができ、その結果、断線を抑制することができる。

[0072] 図 1 1 (a) および (b) は、それぞれ、本実施形態の改変例のアレイ基板 1 1 における交差領域 4 0 の上面図および断面図である。図 1 1 における凹凸構造 5 0 は、互いに離間して形成された凹部 4 6 から構成されている。

この例では、凹凸構造50は、5つの凹部46から構成されている。具体的には、5つの凹部46は、半導体層41の表面41sに形成されており、その凹部46には、ソース配線34の一部が嵌合するように挿入されている。

[0073] 図示した例では、半導体層41の本体部41aの中央に1つの凹部46を配置し、その周囲に4つの凹部46を配置するように構成している。ただし、この構成例に限らず、凹部46の他の配置および数を採用しても構わない。

[0074] 図11に示した凹部46を含む凹凸構造50によっても、ソース配線34の断線を防ぐことができる。すなわち、ソース配線34と半導体層41との間に、製造工程時の薬液（ウエットエッチング液）が侵入したとしても、凹凸構造50（凹部46）によってその薬液の侵入経路を長くすることができ、その結果、断線を抑制することができる。

[0075] なお、本実施形態の構成において、配線の幅などの条件を例示的に示す次の通りである。ソース配線34の幅は、例えば5～8 μm である。ゲート配線33の幅は、例えば10～20 μm である。Cs配線35の幅は、例えば10～20 μm である。ソース配線34の厚さは、例えば3000～4500 $\text{\AA}$ であり、ゲート配線33およびCs配線35の厚さは、例えば3000～6000 $\text{\AA}$ （典型的には6000 $\text{\AA}$ ）である。また、半導体層41の一边の寸法（幅など）は、ソース配線34の幅及びCs配線35の幅によって好適なものが決定される。また、半導体層41の厚さは例えば1800～2500 $\text{\AA}$ （典型的には2300 $\text{\AA}$ ）である。加えて、絶縁層39の厚さは、例えば2500～4100 $\text{\AA}$ である。

[0076] 本実施形態の構成においては、半導体層41の厚さ（典型的には2300 $\text{\AA}$ ）は、Cs配線35の厚さ（典型的には6000 $\text{\AA}$ ）よりも小さくしている。また、図3に示した構成においては、半導体層41の厚さは、絶縁層39の厚さよりも小さくしている。

[0077] 次に、図12（a）から（j）を参照しながら、本実施形態における交差領域40における半導体層41およびソース配線34の製造方法について説

明する。

[0078] 図12(a)から(j)は、本実施形態の製造方法を説明するための工程断面図である。図12(a)に示した構造におけるB-B線に沿った断面図を、図12(b)に示している。同様に、図12(c)、(e)、(g)及び(i)に示した構造における断面図を、それぞれ、図12(d)、(f)、(h)及び(j)に示す。

[0079] まず、図12(a)及び(b)に示すように、ガラス基板38の上にCs配線35を形成した後、Cs配線35を覆うように絶縁層39を形成し、次いで、その絶縁層39の上に、半導体層41の材料となる半導体材料41dを堆積する。

[0080] Cs配線35は、ガラス基板38の上に金属膜（例えば、Cu膜）を堆積した後、レジストパターン（不図示）をマスクとしてウエットエッチングすることによって形成される。なお、このウエットエッチングで、ゲート配線33も形成される。ここで、エッチング液（エッチャント）は、例えば、フッ化化合物を含む溶液である。本実施形態の絶縁層39は、例えば、チッ化シリコンから構成されており、その厚さは、例えば3000～4500Åである。

[0081] この構成では、半導体材料41dは、例えば、シリコンからなる。具体的には、半導体材料41dは、TFT素子30を構成する半導体層31（図2参照）と同じ材料を用いることができる。さらに説明すると、TFT素子30を構成する半導体層31を形成する工程において、交差領域40にて半導体材料41dを堆積することが好ましい。

[0082] 次に、図12(c)及び(d)に示すように、半導体材料41dの上に、半導体層41のパターンを規定するレジストパターン55aを形成する。レジストパターン55aは、フォトリソグラフィによって形成された樹脂製のパターンである。レジストパターン55aは、ハーフトーンフォトリソグラフィによって凹部（溝部）56を有するように形成されている。

[0083] 次に、図12(e)及び(f)に示すように、レジストパターン55aを

マスクとして、半導体材料 4 1 d をエッチングすることによって、半導体材料 4 1 d から半導体層 4 1 を得る。なお、この例では、ドライエッチングによって半導体材料 4 1 d をパターンニングして、半導体層 4 1 を形成する。また、このエッチングによって、レジストパターン 5 5 a は、開口部 5 6 b を有するレジストパターン 5 5 b となる。

[0084] 次に、図 1 2 (g) 及び (h) に示すように、レジストパターン 5 5 b をマスクとして、半導体層 4 1 の表面 4 1 s をエッチングすることによって、半導体層 4 1 に凹部（溝部） 4 2 を形成する。これによって、凹凸構造 5 0 を有する半導体層 4 1 が得られる。この例では、二回目のドライエッチングによって、レジストパターン 5 5 b の開口部 5 6 b に対応する部分に凹部（溝部） 4 2 を形成する。なお、ドライエッチングの後には、レジストパターン 5 5 b は取り除かれる。

[0085] その後、図 1 2 (i) 及び (j) に示すように、凹凸構造 5 0 を有する半導体層 4 1 を覆うように、絶縁層 3 9 の上にソース配線 3 4 を形成する。具体的には、絶縁層 3 9 の上にソース配線 3 4 の材料（ソースメタル）となる金属膜（例えば、Cu 膜）を積層した後、レジストパターン（不図示）をマスクとしてウエットエッチングすることによって形成される。ここで、エッチング液（エッチャント）は、例えば、フッ化化合物を含む溶液である。

[0086] 本実施形態の手法によれば、Cs 配線 3 5 とソース配線 3 4 との交差領域 4 0 において、凹部 4 2 を含む凹凸構造 5 0 を有する半導体層 4 1 が形成されているので、ソース配線 3 4 の断線も抑制することが容易となる。

[0087] 次に、図 1 3 (a) から (j) を参照しながら、本実施形態における交差領域 4 0 における半導体層 4 1 およびソース配線 3 4 の他の製造方法について説明する。図 1 3 (a) から (j) は、本実施形態の他の製造方法を説明するための工程断面図である。図 1 2 と同様に、図 1 3 (a)、(c)、(e)、(g) 及び (i) に示した構造における断面図を、それぞれ、図 1 3 (b)、(d)、(f)、(h) 及び (j) に示している。

[0088] まず、図 1 3 (a) 及び (b) に示すように、ガラス基板 3 8 の上に Cs

配線 3 5 および絶縁層 3 9 を形成した後、絶縁層 3 9 の上に、半導体層 4 1 の材料となる半導体材料 4 1 d を堆積する。これは、上述した図 1 2 (a) 及び (b) と同様である。

[0089] 次に、図 1 3 (c) 及び (d) に示すように、半導体材料 4 1 d の上に、半導体層 4 1 のパターンを規定するレジストパターン 5 7 a を形成する。レジストパターン 5 7 a は、フォトリソグラフィによって形成された樹脂製のパターンである。レジストパターン 5 7 a は、ハーフトーンフォトリソグラフィによって、凸部 5 7 a 及び凹部 5 8 を有するように形成されている。

[0090] 次に、図 1 3 (e) 及び (f) に示すように、レジストパターン 5 7 a をマスクとして、半導体材料 4 1 d をエッチングすることによって、半導体材料 4 1 d から半導体層 4 1 を得る。なお、この例では、ドライエッチングによって半導体材料 4 1 d をパターニングして、半導体層 4 1 を形成する。また、このエッチングによって、レジストパターン 5 7 a は、開口部 5 8 b を有するレジストパターン 5 7 b となる。

[0091] 次に、図 1 3 (g) 及び (h) に示すように、レジストパターン 5 7 b をマスクとして、半導体層 4 1 の表面 4 1 s をエッチングすることによって、半導体層 4 1 に凸部 4 3 を形成する。これによって、凹凸構造 5 0 を有する半導体層 4 1 が得られる。この例では、二回目のドライエッチングによって、レジストパターン 5 7 b の開口部 5 8 b に対応する部分がエッチングされて、半導体層 4 1 の表面 4 1 s に凹部 4 3 b が形成され、レジストパターン 5 7 b によって覆われている部分が凸部 4 3 となる。なお、ドライエッチングの後には、レジストパターン 5 7 b は取り除かれる。

[0092] その後、図 1 3 (i) 及び (j) に示すように、凹凸構造 5 0 を有する半導体層 4 1 を覆うように、絶縁層 3 9 の上にソース配線 3 4 を形成する。具体的には、絶縁層 3 9 の上にソース配線 3 4 の材料（ソースメタル）となる金属膜（例えば、Cu 膜）を積層した後、レジストパターン（不図示）をマスクとしてウエットエッチングすることによって形成される。

[0093] 本実施形態の手法によれば、Cs 配線 3 5 とソース配線 3 4 との交差領域

40において、凸部43を含む凹凸構造50を有する半導体層41が形成されているので、ソース配線34の断線も抑制することが容易となる。

[0094] 次に、図14(a)から(j)を参照しながら、本実施形態における交差領域40における半導体層41およびソース配線34の他の製造方法について説明する。図14(a)から(j)は、本実施形態の他の製造方法を説明するための工程断面図である。図12と同様に、図14(a)、(c)、(e)、(g)及び(i)に示した構造における断面図を、それぞれ、図14(b)、(d)、(f)、(h)及び(j)に示している。

[0095] まず、図14(a)及び(b)に示すように、ガラス基板38の上にCs配線35および絶縁層39を形成した後、絶縁層39の上に、半導体層41の材料となる半導体材料41dを堆積する。これは、上述した図12(a)及び(b)と同様である。

[0096] 次に、図14(c)及び(d)に示すように、半導体材料41dの上に、半導体層41のパターンを規定するレジストパターン61aを形成する。レジストパターン61aは、フォトリソグラフィによって形成された樹脂製のパターンである。レジストパターン61aは、ハーフトーンフォトリソグラフィによって、凹部62a及び凹部62cを有するように形成されている。

[0097] 次に、図14(e)及び(f)に示すように、レジストパターン61aをマスクとして、半導体材料41dをエッチングすることによって、半導体材料41dから半導体層41を得る。なお、この例では、ドライエッチングによって半導体材料41dをパターンニングして、半導体層41を形成する。また、このエッチングによって、レジストパターン61aは、開口部62bおよび開口部62dを有するレジストパターン61bとなる。

[0098] 次に、図14(g)及び(h)に示すように、レジストパターン61bをマスクとして、半導体層41の表面41sをエッチングすることによって、半導体層41に凹部42および更なる凹部44を形成する。これによって、凹凸構造50を有する半導体層41が得られる。この例では、二回目のドライエッチングによって、レジストパターン61bの開口部62bに対応する

部分に凹部 4 2 が形成され、レジストパターン 6 1 b の開口部 6 2 d に対応する部分に更なる凹部 4 4 が形成される。また、凹部 4 4 に近接して突起部 4 4 t が形成される。なお、ドライエッチングの後は、レジストパターン 6 1 b は取り除かれる。

[0099] その後、図 1 4 (i) 及び (j) に示すように、凹部 4 2 及び更なる凹部 4 4 を有する半導体層 4 1 を覆うように、絶縁層 3 9 の上にソース配線 3 4 を形成する。具体的には、絶縁層 3 9 の上にソース配線 3 4 の材料（ソースメタル）となる金属膜（例えば、C u 膜）を積層した後、レジストパターン（不図示）をマスクとしてウエットエッチングすることによって形成される。

[0100] 次に、図 1 5 (a) から (j) を参照しながら、本実施形態における交差領域 4 0 における半導体層 4 1 およびソース配線 3 4 の他の製造方法について説明する。図 1 5 (a) から (j) は、本実施形態の他の製造方法を説明するための工程断面図である。図 1 2 と同様に、図 1 5 (a) 、 (c) 、 (e) 、 (g) 及び (i) に示した構造における断面図を、それぞれ、図 1 5 (b) 、 (d) 、 (f) 、 (h) 及び (j) に示している。

[0101] まず、図 1 5 (a) 及び (b) に示すように、ガラス基板 3 8 の上に C s 配線 3 5 および絶縁層 3 9 を形成した後、絶縁層 3 9 の上に、半導体層 4 1 の材料となる半導体材料 4 1 d を堆積する。これは、上述した図 1 2 (a) 及び (b) と同様である。

[0102] 次に、図 1 5 (c) 及び (d) に示すように、半導体材料 4 1 d の上に、半導体層 4 1 のパターンを規定するレジストパターン 6 3 a を形成する。レジストパターン 6 3 a は、フォトリソグラフィによって形成された樹脂製のパターンである。レジストパターン 6 3 a は、ハーフトーンフォトリソグラフィによって、凹部 6 4 を有するように形成されている。

[0103] 次に、図 1 5 (e) 及び (f) に示すように、レジストパターン 6 3 a をマスクとして、半導体材料 4 1 d をエッチングすることによって、半導体材料 4 1 d から半導体層 4 1 を得る。なお、この例では、ドライエッチングに

よって半導体材料41dをパターニングして、半導体層41を形成する。また、このエッチングによって、レジストパターン63aは、開口部64bを有するレジストパターン63bとなる。

[0104] 次に、図15(g)及び(h)に示すように、レジストパターン63bをマスクとして、半導体層41の表面41sをエッチングすることによって、半導体層41に凹部46を形成する。これによって、凹凸構造50を有する半導体層41が得られる。この例では、二回目のドライエッチングによって、レジストパターン63bの開口部64bに対応する部分に凹部46が形成される。そして、図示した断面構造では、基板38の上方から見て、半導体層41の表面41sにおいて、列方向52に沿って2つの凹部46、行方向51に沿って2つの凹部46が示されている。なお、ドライエッチングの後、レジストパターン63bは取り除かれる。

[0105] その後、図15(i)及び(j)に示すように、互いに離間した凹部46を有する半導体層41を覆うように、絶縁層39の上にソース配線34を形成する。具体的には、絶縁層39の上にソース配線34の材料(ソースメタル)となる金属膜(例えば、Cu膜)を積層した後、レジストパターン(不図示)をマスクとしてウエットエッチングすることによって形成される。なお、互いに離間した凸部45を含む半導体層41を作製する場合には、レジストパターン63aのマスクパターンを変更すればよい。

[0106] なお、図1に示した本実施形態の液晶表示装置100においては、液晶パネル10及び／又は発光素子(例えば、LED素子)23の駆動を制御する制御装置(不図示)を含めることができる。そのような制御装置は、半導体集積回路からなる。本実施形態の制御装置は、液晶パネル駆動部およびLED駆動部を含んでいる。液晶パネル駆動部は、液晶パネル10を駆動することによって液晶パネル10に画像を表示させる部位であり、ゲートドライバ、ソースドライバなどのドライバ回路に該当する。LED駆動部は、各LED素子23を個別に点灯／消灯させたり、発光強度を変更させるための部位であり、例えばスイッチ等を含むドライバ回路によって構成されている。な

お、発光素子が冷陰極管（CCFL）の場合には、LED駆動部は、CCFL駆動部（または、バックライト駆動部）となる。

[0107] また、本実施形態のLED素子23は、導光板22に光を出射するように複数個配列されており、例えば白色LEDからなる。図1に示した例では、導光板22の一辺にLED素子23を配列させたが、それに限らず、導光板22の二辺又はそれ以上（例えば、三辺）にLED素子23を配列させることも可能である。なお、上述したように、LED素子23は、直下型のLEDバックライトの構成で使用することも可能である。

[0108] 以上、本発明を好適な実施形態により説明してきたが、こうした記述は限定事項ではなく、勿論、種々の改変が可能である。例えば、上述した実施形態では、1枚の液晶パネル10を用いて画像表示部を構成しているが、複数枚の液晶パネル10を組み合わせることで1つの画像表示部（マルチディスプレイ）を構成することも可能である。そのような複数枚の液晶パネル10を組み合わせた液晶表示装置100を、大画面のデジタルサイネージ（例えば、100インチ以上の表示装置）の用途に使用することも可能である。なお、反射型電気光学装置（反射型液晶パネル）において、光反射膜に凹凸パターンを付与するための凹凸形成層が設けられた構造が特許文献3（特開2003-287772号公報）に開示されているが、この特許文献3における凹凸形成層と、本発明の実施形態における凹凸構造とでは基本的な役割または機能が大きく相違するものである。

産業上の利用可能性

[0109] 本発明によれば、ソース配線の断線を抑制できる液晶パネル用アレイ基板および液晶パネルを提供することができる。

符号の説明

- [0110]
- 10 液晶パネル
 - 11 アレイ基板
 - 12 カラーフィルタ基板
 - 13 偏光板

- 2 0 バックライトユニット
- 2 1 光学シート
- 2 2 導光板
- 2 3 発光素子
- 2 5 配線基板
- 2 7 反射シート
- 2 8 バックライトシャーシ
- 2 9 ベゼル
- 3 0 T F T 素子
- 3 1 半導体層
- 3 2 d ドレイン電極
- 3 2 s ソース電極
- 3 3 ゲート配線
- 3 4 ソース配線
- 3 4 c ソース配線の湾曲部
- 3 5 補助容量配線 (C s 配線)
- 3 6 ドレイン配線
- 3 7 画素電極
- 3 8 基板 (ガラス基板)
- 3 9 絶縁層
- 4 0 交差領域
- 4 1 半導体層
- 4 1 d 半導体材料
- 4 1 s 半導体層の表面
- 4 2 凹部
- 4 3 凸部
- 4 4 更なる凹部
- 4 4 t 突起部

4 5 凸部

4 6 凹部

4 7 交差領域

5 0 凹凸構造

5 5 a、5 5 b レジストパターン

5 7 a、5 7 b レジストパターン

6 1 a、6 1 b レジストパターン

6 3 a、6 3 b レジストパターン

6 5 段差部

6 7 平坦部

1 0 0 液晶表示装置

1 0 0 0 液晶パネル

請求の範囲

- [請求項1] 行及び列を有するマトリックス状に画素が配置された液晶パネル用アレイ基板であって、
- 行方向に延びる補助容量配線と、
- 前記補助容量配線よりも上層に位置し、列方向に延びるソース配線と
- を備え、
- 前記補助容量配線は、基板の上に形成されており、
- 前記基板の上には、前記補助容量配線を覆うように絶縁層が形成されており、
- 前記補助容量配線と前記ソース配線との交差領域において、前記絶縁層の上に、半導体層が形成されており、
- 前記ソース配線によって覆われている部位の前記半導体層の表面には、凹部および凸部の少なくとも一方を含む凹凸構造が形成されている、アレイ基板。
- [請求項2] 前記半導体層の表面に形成された前記凹凸構造は、薬液が侵入する経路を延長する構造である、請求項1に記載のアレイ基板。
- [請求項3] 前記凹凸構造は、少なくとも2つの前記凹部から構成されており、
- 前記少なくとも2つの凹部は、前記列方向に延びている、請求項1または2に記載のアレイ基板。
- [請求項4] 前記凹凸構造は、少なくとも2つの前記凸部から構成されており、
- 前記少なくとも2つの凸部は、前記列方向に延びている、請求項1または2に記載のアレイ基板。
- [請求項5] 前記凹凸構造は、
- 列方向に延びる前記凹部または前記凸部と、
- 行方向に延びる更なる凹部と
- から構成されている、請求項1または2に記載のアレイ基板。
- [請求項6] 前記凹凸構造は、互いに離間して形成された前記凹部または前記凸

部から構成されている、請求項 1 または 2 に記載のアレイ基板。

[請求項7] 前記補助容量配線と前記ソース配線との全ての前記交差領域において、前記半導体層が形成されている、請求項 1 から 6 の何れか一つに記載のアレイ基板。

[請求項8] 前記マトリックス状に配置された画素のそれぞれには、薄膜トランジスタが形成されており、

前記薄膜トランジスタには、

前記ソース配線から延びるソース電極と、

前記ソース電極に対向して配置されたドレイン電極と

を備え、

前記ドレイン電極からは、画素電極に接続されるドレイン配線が延びており、

前記ドレイン配線の端部は、前記補助容量配線に接続されている、請求項 1 から 7 の何れか一つに記載のアレイ基板。

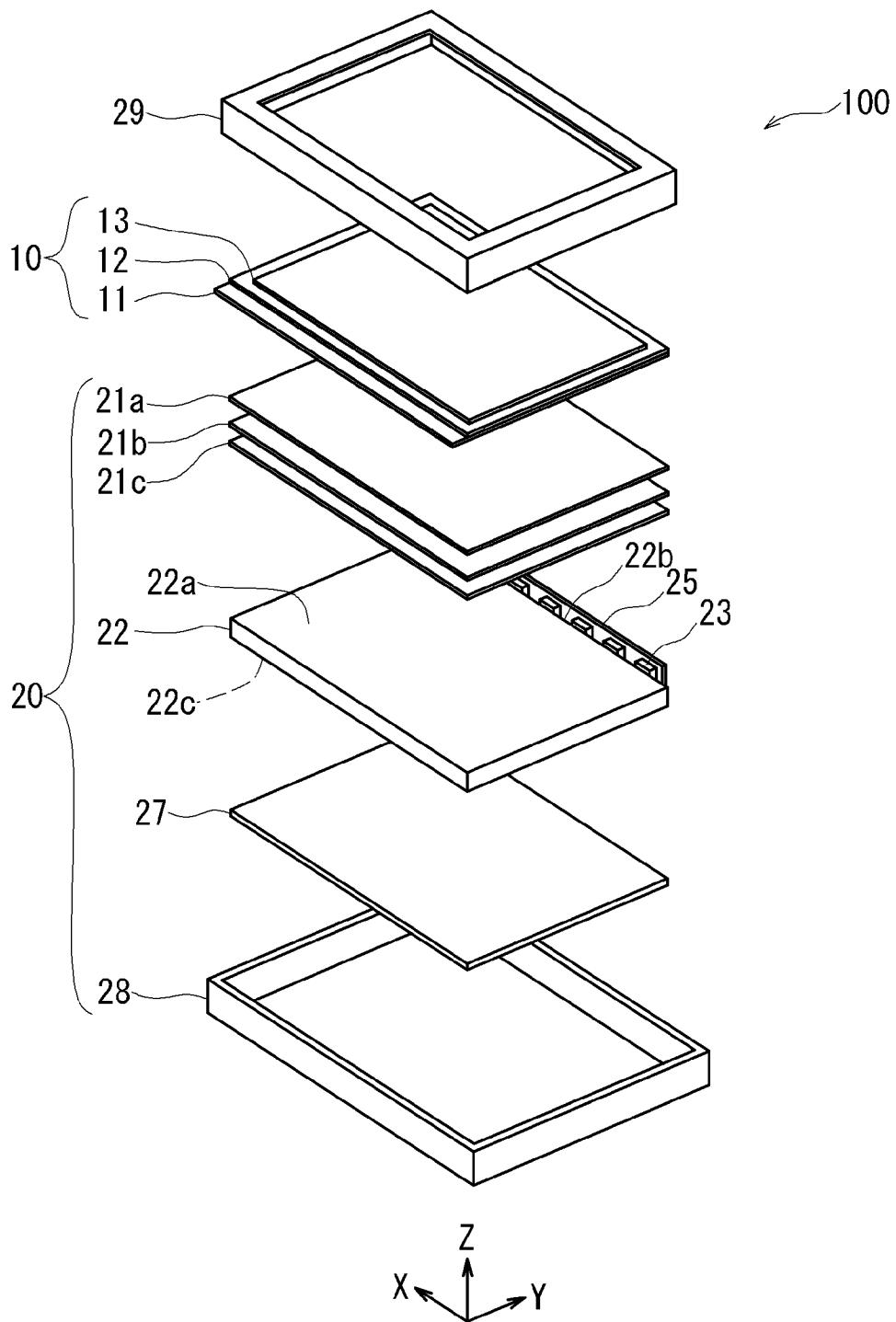
[請求項9] 請求項 1 から 8 の何れか一つに記載のアレイ基板と、
前記アレイ基板に対向して配置されるカラーフィルタ基板と、
前記アレイ基板と前記カラーフィルタ基板との間に配置される液晶層と

を備えた、液晶パネル。

[請求項10] 請求項 9 に記載の液晶パネルと、
前記液晶パネルに光を照射するバックライトユニットと
を備えた、液晶表示装置。

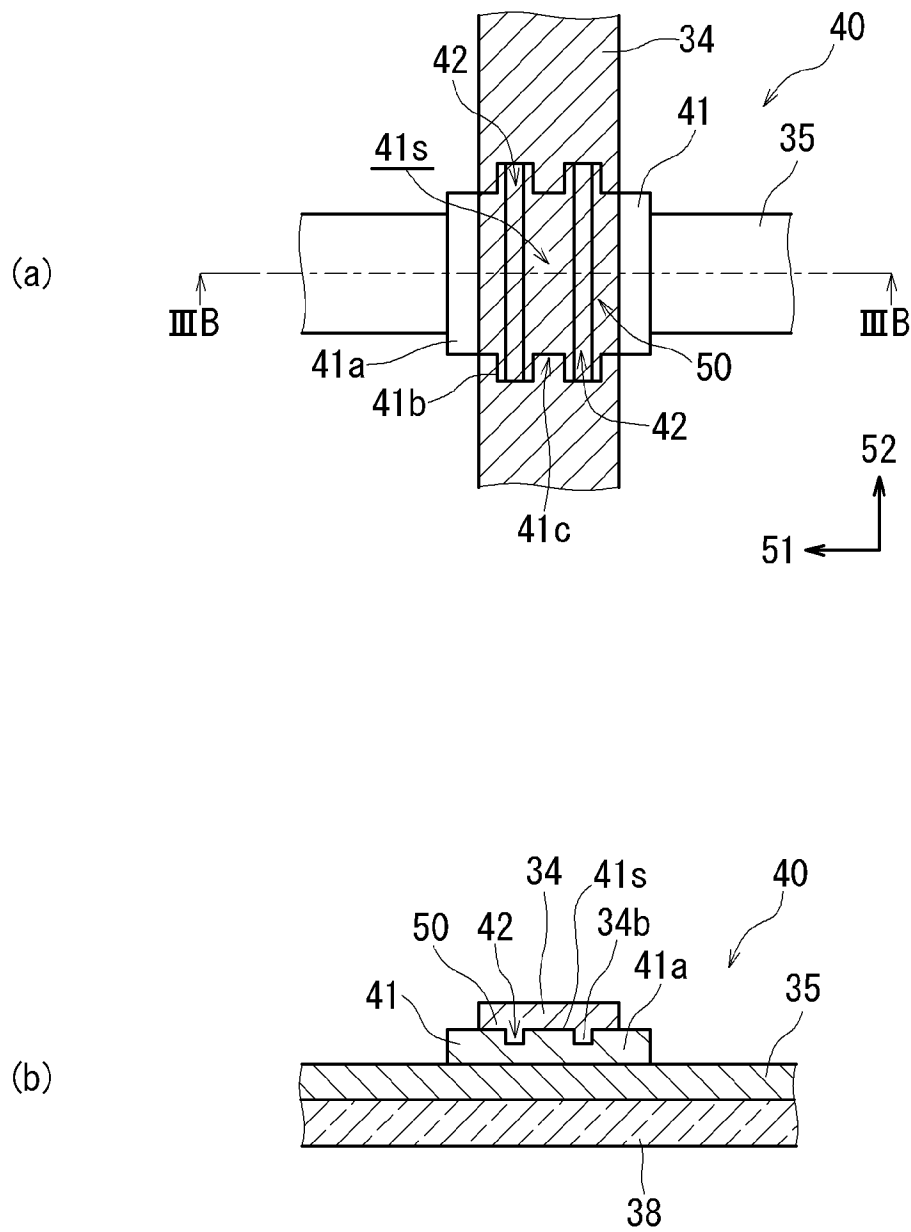
[図1]

FIG. 1



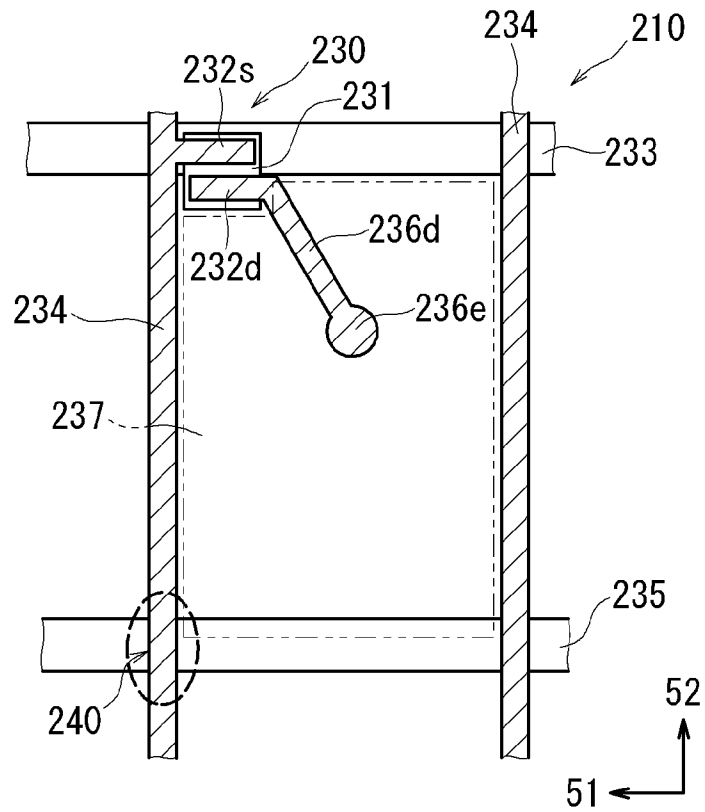
[図3]

FIG. 3



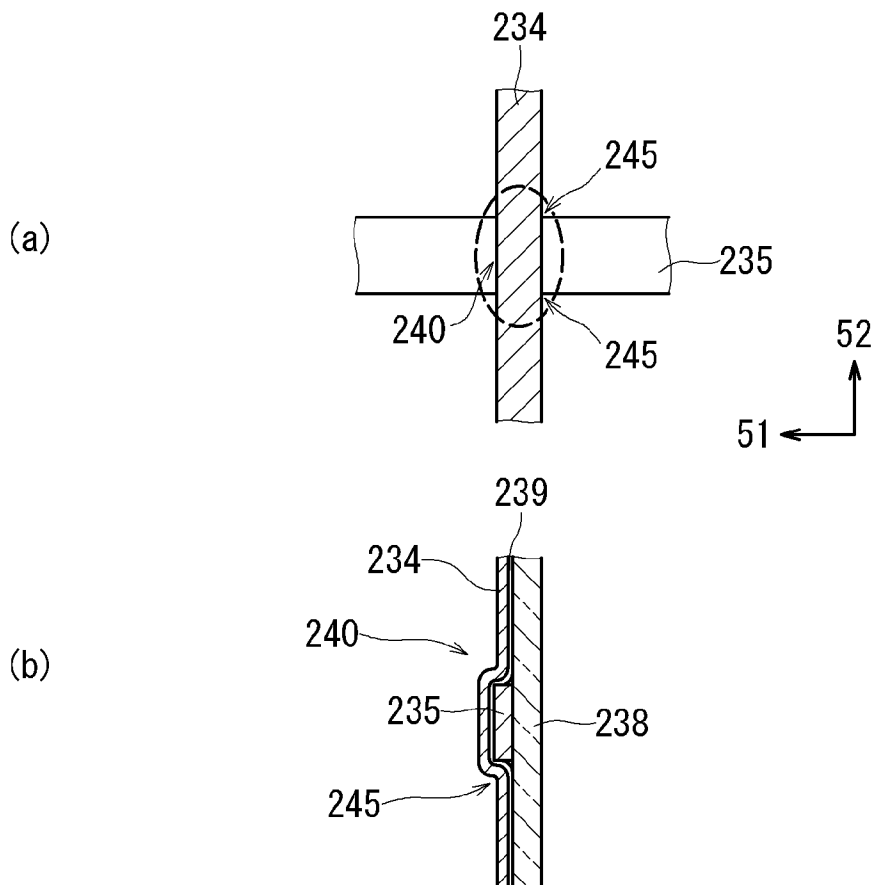
[図4]

FIG. 4



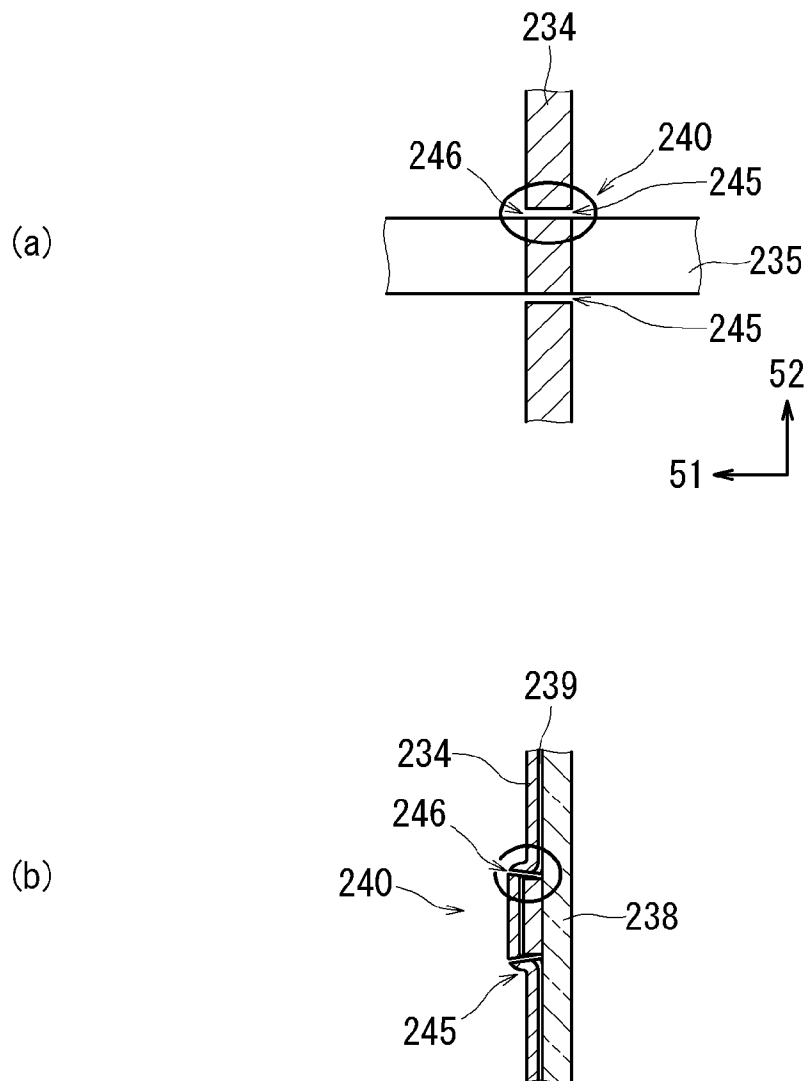
[図5]

FIG. 5



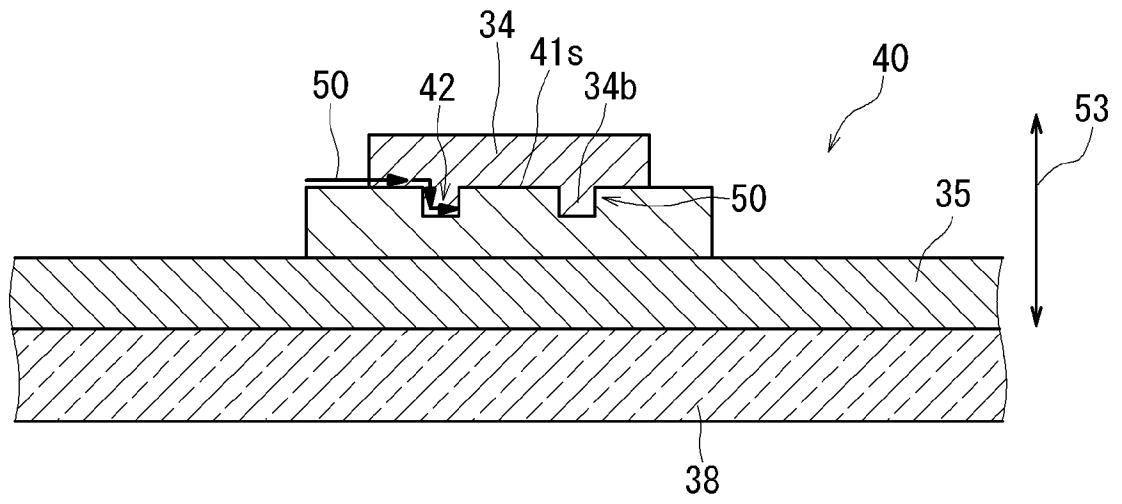
[図6]

FIG. 6



[図7]

FIG. 7



[図8]

FIG. 8

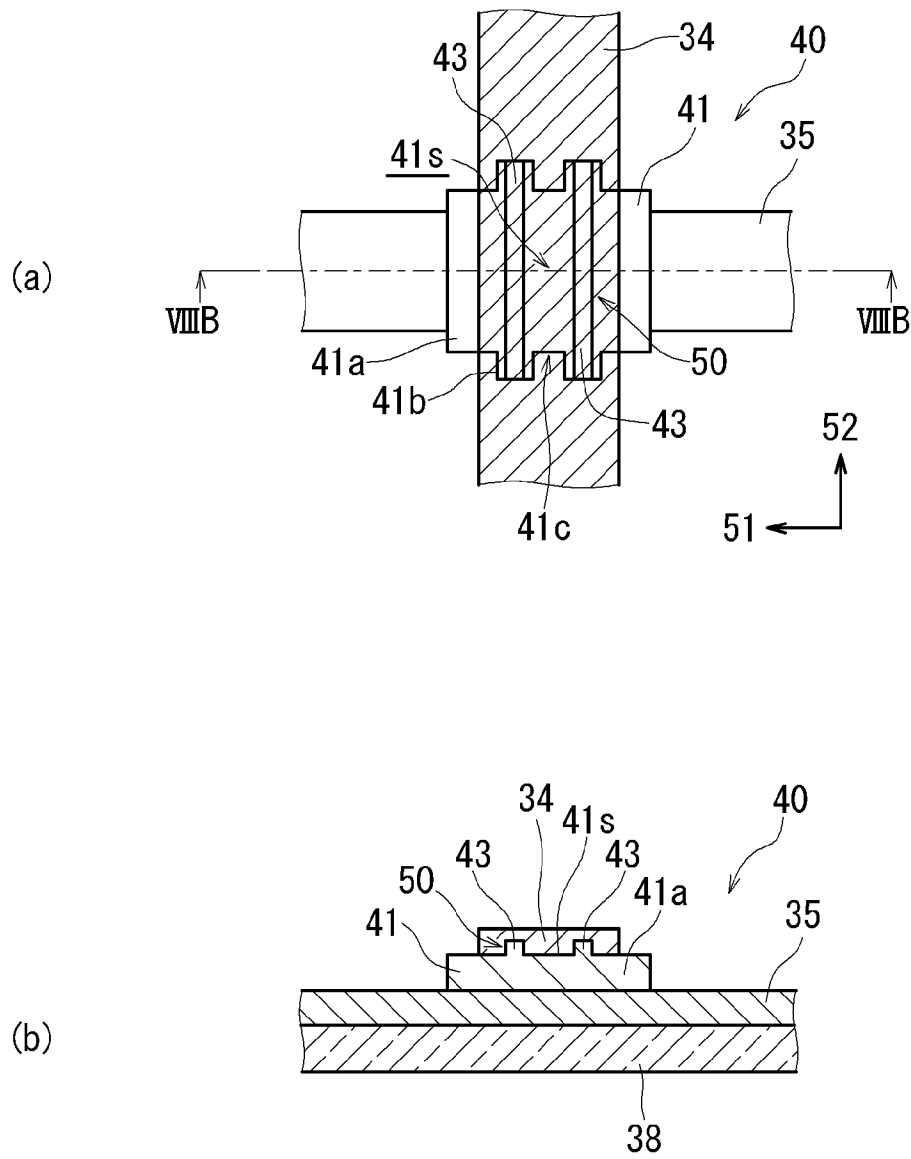
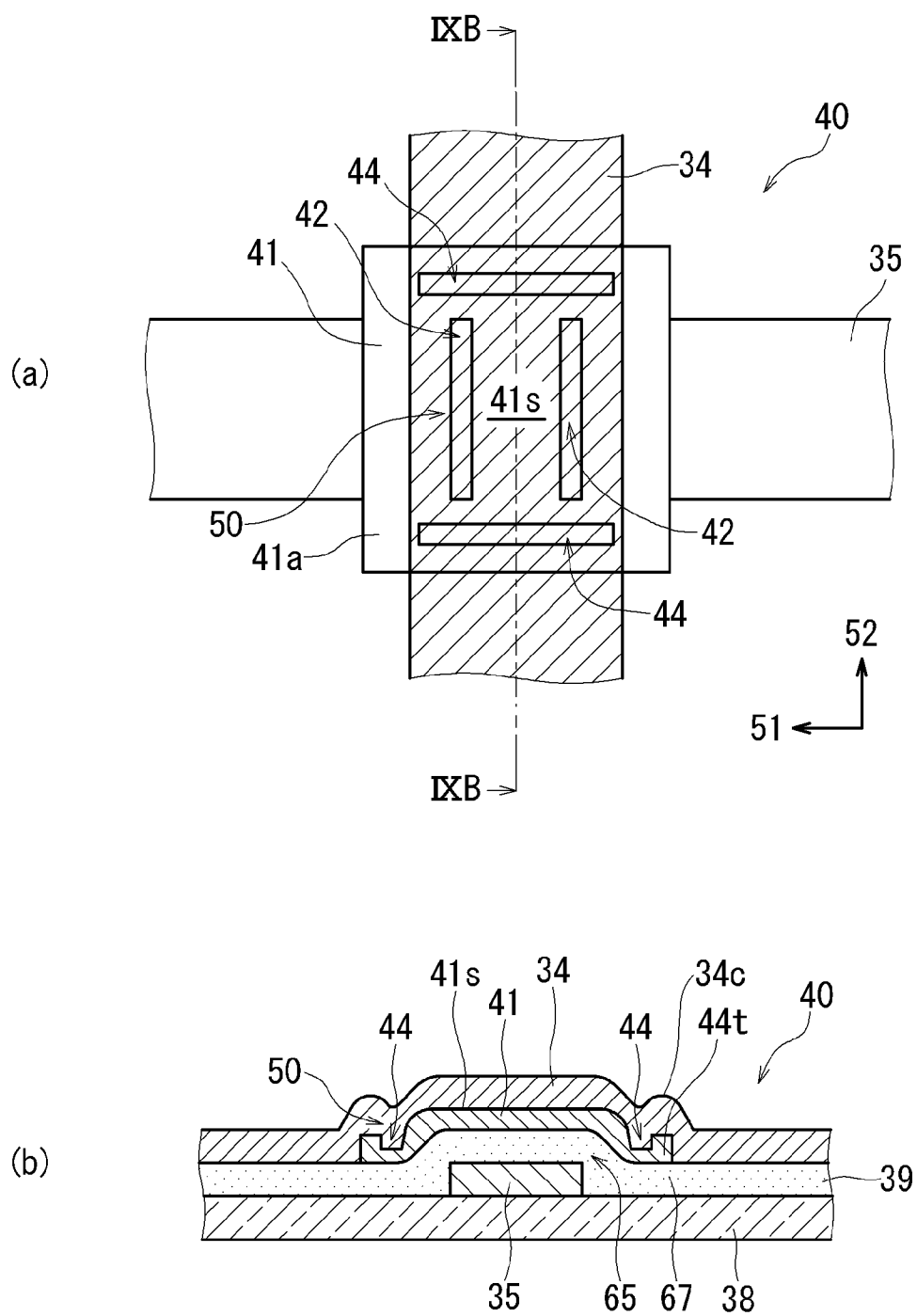
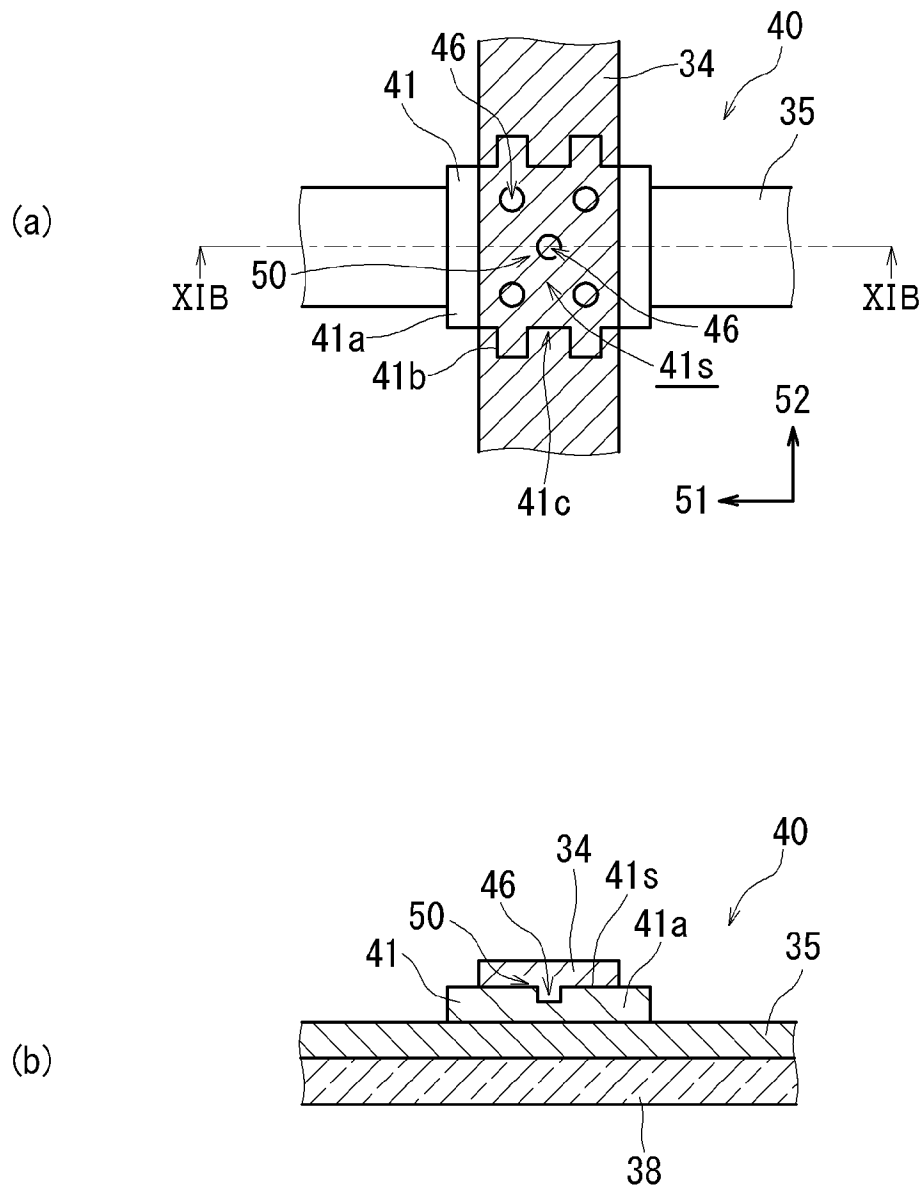


FIG. 9



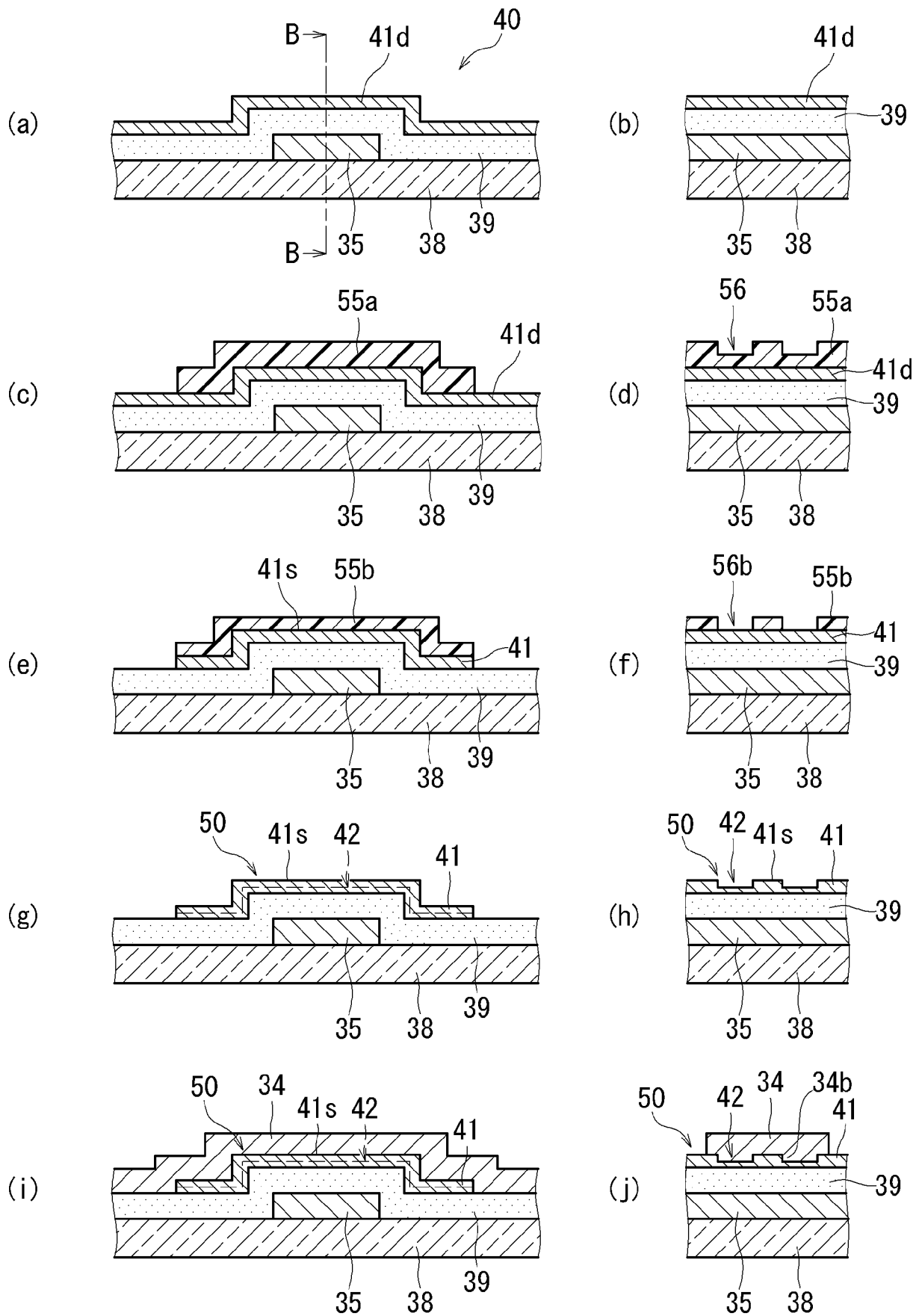
[図11]

FIG. 11



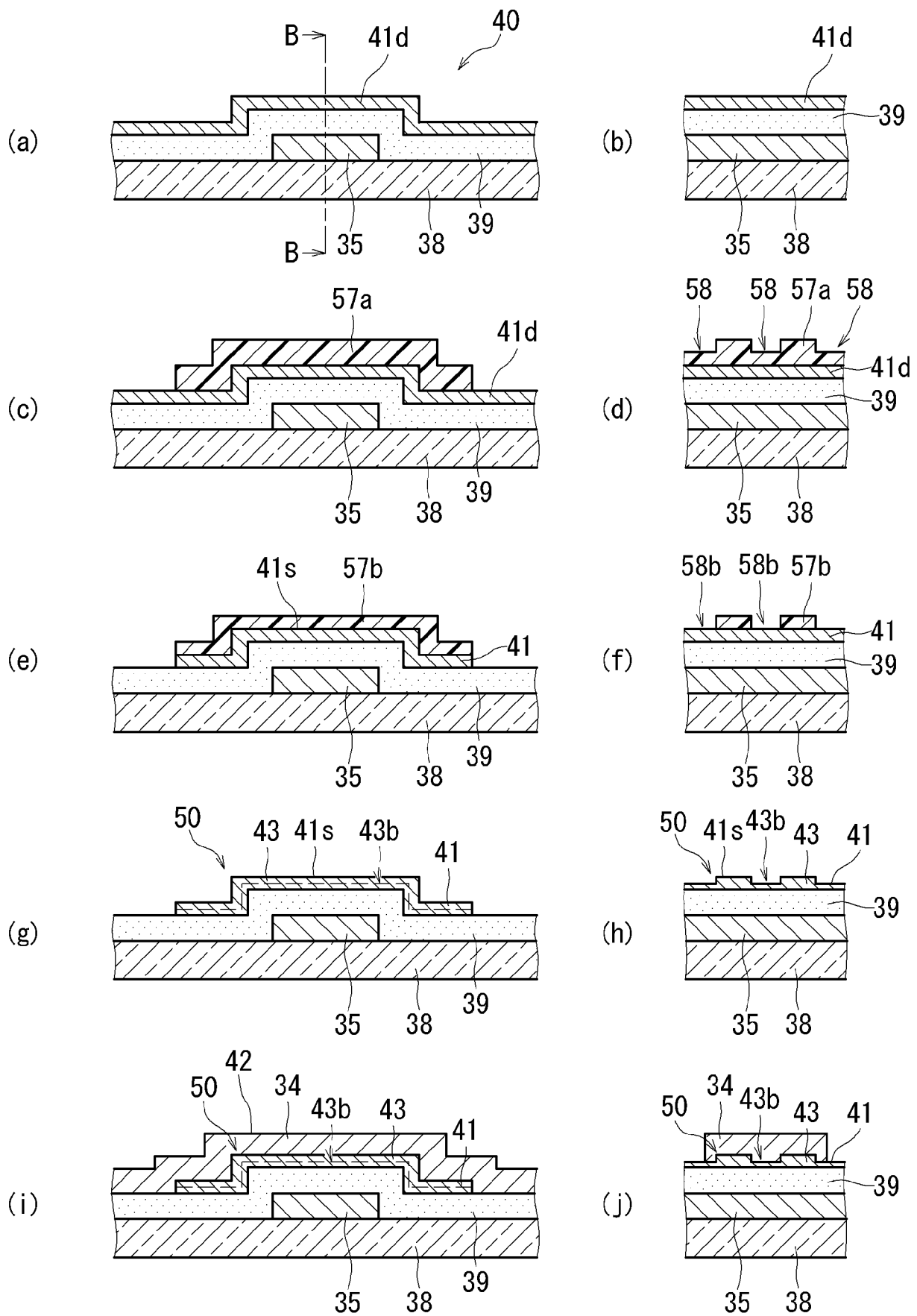
[図12]

FIG. 12



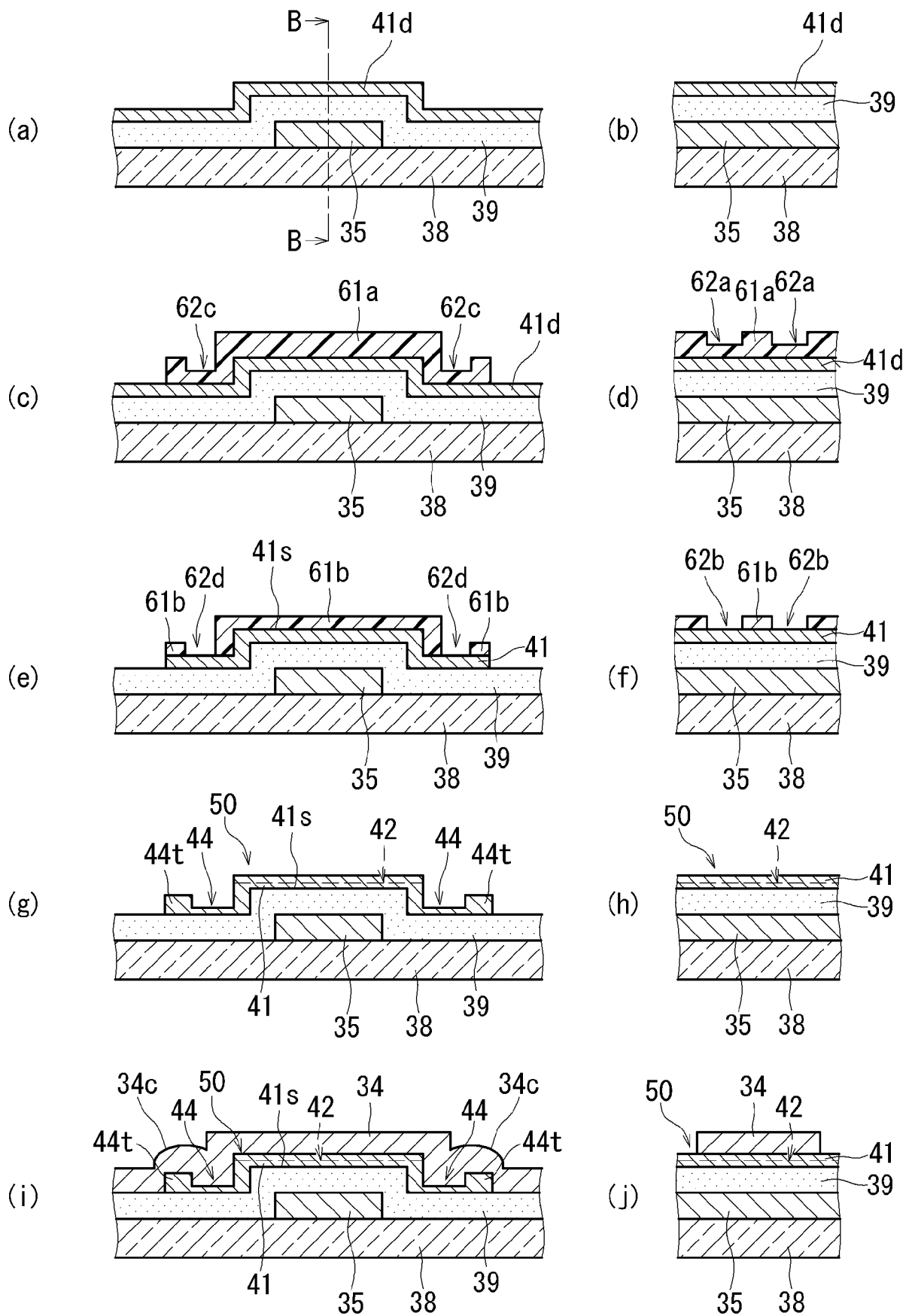
[図13]

FIG. 13



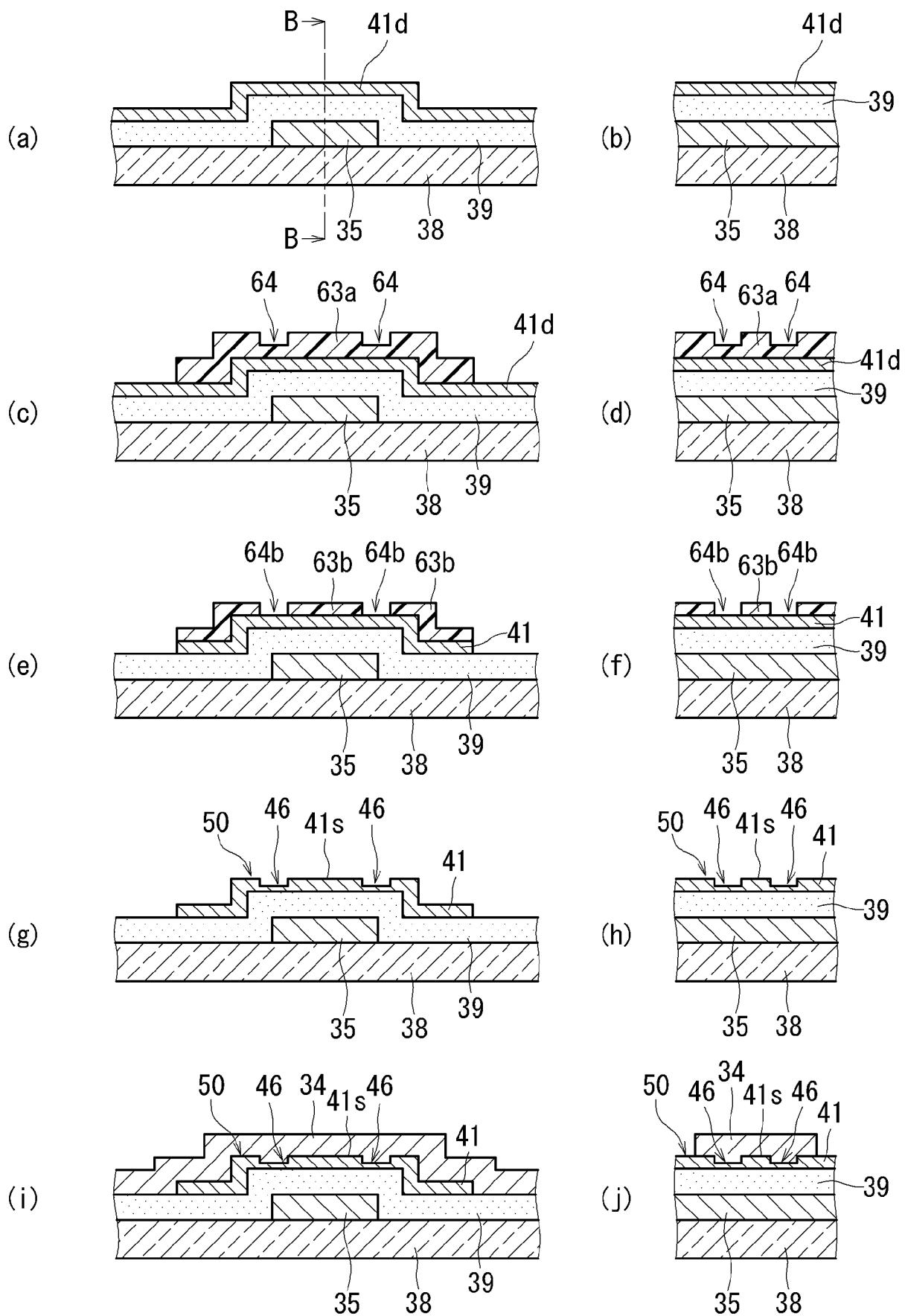
[図14]

FIG. 14

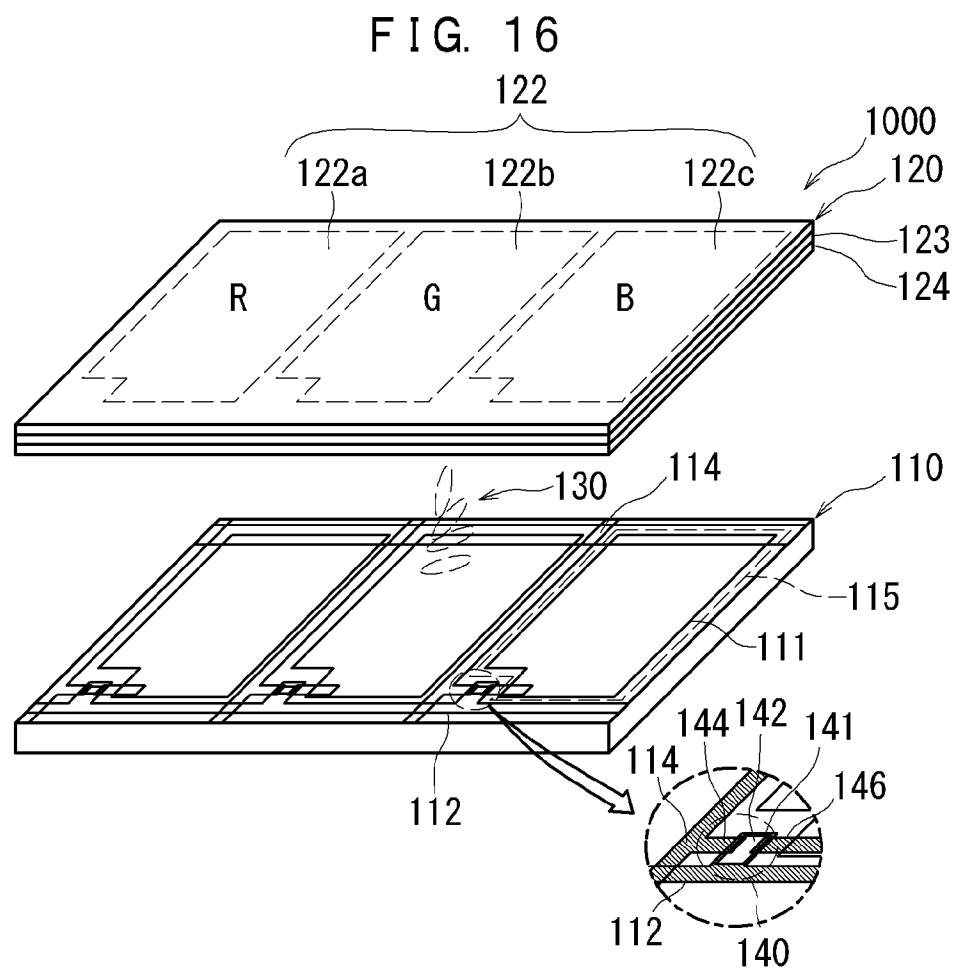


[図15]

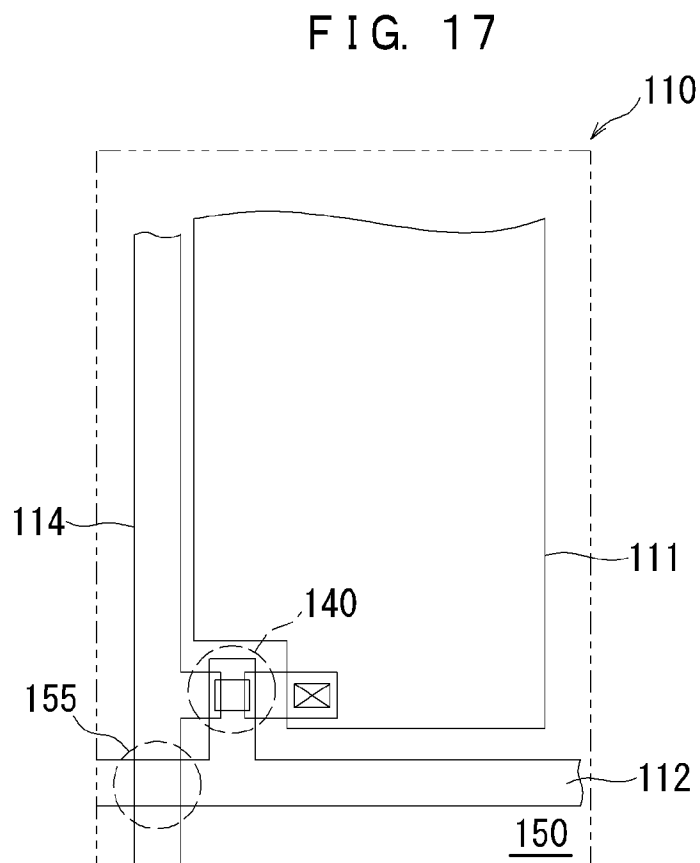
FIG. 15



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/057470

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 62-280890 A (Matsushita Electric Industrial Co., Ltd.), 05 December 1987 (05.12.1987), entire text; all drawings (Family: none)	1-10
A	JP 2-20830 A (Sharp Corp.), 24 January 1990 (24.01.1990), entire text; all drawings (Family: none)	1-10
A	JP 8-330592 A (NEC Corp.), 13 December 1996 (13.12.1996), entire text; all drawings (Family: none)	1-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 April, 2012 (13.04.12)

Date of mailing of the international search report
12 June, 2012 (12.06.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/057470

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-122885 A (NEC Corp.), 26 April 2002 (26.04.2002), entire text; all drawings & US 2002-44120 A1 & KR 10-2002-31303 A	1-10

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G02F1/1368 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G02F1/1368

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 6 2 - 2 8 0 8 9 0 A (松下電器産業株式会社) 1 9 8 7 . 1 2 . 0 5、全文、全図 (ファミリーなし)	1-10
A	J P 2 - 2 0 8 3 0 A (シャープ株式会社) 1 9 9 0 . 0 1 . 2 4、全文、全図 (ファミリーなし)	1-10
A	J P 8 - 3 3 0 5 9 2 A (日本電気株式会社) 1 9 9 6 . 1 2 . 1 3、全文、全図 (ファミリーなし)	1-10

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 3 . 0 4 . 2 0 1 2

国際調査報告の発送日

1 2 . 0 6 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

山口 裕之

2 L

2 9 1 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 9 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 2 0 0 2 - 1 2 2 8 8 5 A (日本電気株式会社) 2 0 0 2 . 0 4 . 2 6、全文、全図 & U S 2 0 0 2 - 4 4 1 2 0 A 1 & K R 1 0 - 2 0 0 2 - 3 1 3 0 3 A	1-10