



(12) 发明专利

(10) 授权公告号 CN 101170103 B

(45) 授权公告日 2010.05.12

(21) 申请号 200610140988.7

3-4, 8.

(22) 申请日 2006.10.25

US 2004/0164392 A1, 2004.08.26, 说明书第 27-28 段、附图 3.

(73) 专利权人 南茂科技股份有限公司

CN 1669138 A, 2005.09.14, 全文.

地址 中国台湾新竹县新竹科学工业园区研  
发一路 1 号

US 2004/0245630 A1, 2004.12.09, 全文.

专利权人 百慕达南茂科技股份有限公司

审查员 吕媛

(72) 发明人 沈更新 杜武昌

(74) 专利代理机构 中科专利商标代理有限责任  
公司 11021

代理人 梁爱荣

(51) Int. Cl.

H01L 25/00 (2006.01)

H01L 25/065 (2006.01)

H01L 23/495 (2006.01)

H01L 23/485 (2006.01)

(56) 对比文件

US 6437427 B1, 2002.08.20, 说明书第 3 栏  
第 12 行 - 第 4 栏第 31 行, 第 5 栏第 1-6 行、附图

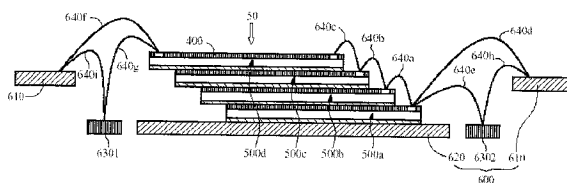
权利要求书 2 页 说明书 9 页 附图 8 页

(54) 发明名称

导线架中具有汇流架的堆叠式芯片封装结构

(57) 摘要

本发明提供一种于导线架设置有汇流架的堆叠式芯片封装结构, 包含: 一个由多数个相对排列的内引脚群、多数个外引脚群以及芯片承座所组成导线架, 其中芯片承座设置于多数个相对排列的内引脚群之间, 且与多数个相对排列的内引脚群形成高度差; 堆叠式芯片装置由多数个芯片堆叠形成, 设置于芯片承座上且多数个芯片与多数个相对排列的内引脚群形成电连接; 以及一个封装体, 用以包覆堆叠式芯片装置及导线架; 其中导线架中包括至少一个汇流架, 设置于多数个相对排列的内引脚群与芯片承座之间。



1. 一种导线架设置有汇流架的堆叠式封装结构,包含:

导线架,由多数个相对排列的内引脚群、多数个外引脚群以及芯片承座所组成,其中该芯片承座设置于该多数个相对排列的内引脚群之间,且与该多数个相对排列的内引脚群形成高度差;

多芯片偏移堆叠结构固接于上述第一内引脚群上,且上述多芯片偏移堆叠结构具一芯片本体且该芯片本体的每一上层芯片由金属导线电性连接至设置在同一侧边缘的每一下层芯片的焊线接合区上的焊垫,及该最下层芯片的焊线接合区分别由金属导线与该第一内引脚群及该汇流架电性连接及该最上层芯片的焊线接合区分别由金属导线与该第二内引脚群及汇流架电性连接;及

封装体,包覆该多芯片偏移堆叠结构及该导线架,该多数个外引脚群伸出于该封装体外;

其中该导线架中包括至少一个汇流架,设置于该多数个相对排列的内引脚群与该芯片承座之间。

2. 根据权利要求1所述的封装结构,其特征是该汇流架与该芯片承座形成共平面。

3. 根据权利要求1所述的封装结构,其特征是该汇流架与内引脚群形成共平面。

4. 根据权利要求1所述的封装结构,其特征是该汇流架与该多数个相对排列的内引脚群与该芯片承座形成高度差。

5. 根据权利要求1所述的封装结构,其中该汇流架为环状排列。

6. 根据权利要求1所述的根据权利要求1所述的封装结构,其中该汇流架为条状排列。

7. 根据权利要求1所述的封装结构,其特征是该多芯片偏移堆叠结构可选择性地与部分该汇流架电连接。

8. 根据权利要求1所述的封装结构,其特征是该多芯片偏移堆叠结构包括:

第一保护层,设置于该芯片本体上,其特征是该第一保护层具有多个第一开口,以暴露出第一焊垫与第二焊垫;

重设置线路层,设置于该第一保护层上,其特征是该重设置线路层从上述第二焊垫延伸至该焊线接合区域内,而该重设置线路层具有多个位于该焊线接合区域内的第三焊垫;以及

第二保护层,覆盖于该重设置线路层上,其中该第二保护层具有多个第二开口,以暴露出上述第一焊垫以及上述第三焊垫。

9. 一种导线架设置有汇流架的堆叠式封装结构,包含:

导线架,由多数个外引脚群、多数个相对排列的内引脚群以及芯片承座所组成,其中该芯片承座设置于该多数个相对排列的内引脚群之间,且与该多数个相对排列的内引脚群形成高度差;

多芯片偏移堆叠结构固接于上述第一内引脚群上,且上述多芯片偏移堆叠结构具一芯片本体且该芯片本体的每一上层芯片由金属导线电性连接至设置在同一侧边缘的每一下层芯片的焊线接合区上的焊垫,及该最下层芯片的焊线接合区分别由金属导线与该第一内引脚群及该汇流架电性连接及该最上层芯片的焊线接合区分别由金属导线与该第二内引脚群及汇流架电性连接;及

封装体,包覆该多数个多芯片偏移堆叠结构及该导线架,该多数个外引脚群伸出于该

封装体外；

其中该导线架中包括至少一个汇流架,设置于该多数个相对排列的内引脚群与该芯片承座之间。

10. 根据权利要求 9 所述的封装结构,其特征是该汇流架与该芯片承座形成共平面。

11. 根据权利要求 9 所述的封装结构,其特征是该汇流架与内引脚群形成共平面。

12. 根据权利要求 9 所述的封装结构,其特征是该汇流架与该多数个相对排列的内引脚群与该芯片承座形成高度差。

13. 根据权利要求 9 所述的封装结构,其特征是该汇流架为环状排列。

14. 根据权利要求 9 所述的封装结构,其特征是该汇流架为条状排列。

## 导线架中具有汇流架的堆叠式芯片封装结构

### 技术领域

[0001] 本发明涉及一种多芯片偏移堆叠封装结构,特别涉及一种导线架设置有汇流架的多芯片偏移堆叠封装结构。

### 背景技术

[0002] 近年来,半导体的后段制造工艺都在进行三度空间 (Three Dimension ;3D) 的封装,以期利用最少的面积来达到相对大的半导体集成度 (Integrated) 或是内存的容量等。为了能达到此目的,现阶段已发展出使用芯片堆叠 (chip stacked) 的方式来达成三度空间 (Three Dimension ;3D) 的封装。

[0003] 在公知技术中,芯片的堆叠方式将多数个芯片相互堆叠于基板上,然后使用引线接合的工艺 (wire bonding process) 来将多数个芯片与基板连接。图 1A 为公知的具有相同或是相近芯片尺寸的堆叠型芯片封装结构的剖面示意图。如图 1A 所示,公知的堆叠型芯片封装结构 100 包括电路基板 (package substrate) 110、芯片 120a、芯片 120b、间隔物 (spacer) 130、多条导线 140 与封装胶体 (encapsulant) 150。电路基板 110 上具有多个焊垫 112,且芯片 120a 与 120b 上也分别具有多个焊垫 122a 与 122b,其中焊垫 122a 与 122b 以周围形态 (peripheral type) 排列于芯片 120a 与 120b 上。芯片 120a 设置于电路基板 110 上,且芯片 120b 通过间隔物 130 而设置于芯片 120a 的上方。导线 140 的两端通过引线接合工艺而分别连接于焊垫 112 与 122a,以使芯片 120a 电连接于电路基板 110。而其它部分导线 140 的两端亦通过引线接合工艺而分别连接于焊垫 112 与 122b,以使芯片 120b 电连接于电路基板 110。至于封装胶体 150 则设置于电路基板 110 上,并包覆这些导线 140、芯片 120a 与 120b。

[0004] 由于焊垫 122a 与 122b 以周围形态排列于芯片 120a 与 120b 上,因此芯片 120a 无法直接承载芯片 120b,所以公知技术必须在芯片 120a 与 120b 之间设置间隔物 130,使得芯片 120a 与 120b 之间相距适当的距离,以利后续的引线接合工艺的进行。然而,间隔物 130 的使用却容易造成公知堆叠型芯片封装结构 100 的厚度无法进一步地缩减。

[0005] 另外,公知技术提出另一种具有不同芯片尺寸的堆叠型芯片封装结构,其剖面示意图如图 1B 所示。请参照图 1B,公知的堆叠型芯片封装结构 10 包括电路基板 (package substrate) 110、芯片 120c、芯片 120d、多条导线 140 与封装胶体 150。电路基板 110 上具有多个焊垫 112。芯片 120c 的尺寸大于芯片 120d 的尺寸,且芯片 120c 与 120d 上亦分别具有多个焊垫 122c 与 122d,其中焊垫 122c 与 122d 以周围形态 (peripheral type) 排列于芯片 120c 与 120d 上。芯片 120c 设置于电路基板 110 上,且芯片 120d 设置于芯片 120c 的上方。部分导线 140 的两端通过引线接合制造工艺 (wirebonding process) 而分别连接于焊垫 112 与 122c,以使芯片 120c 电连接于电路基板 110。而其它部分导线 140 的两端也通过引线接合制造工艺而分别连接于焊垫 112 与 122d,以使芯片 120d 电连接于电路基板 110。至于封装胶体 150 则设置于电路基板 110 上,并包覆这些导线 140、芯片 120c 与 120d。

[0006] 由于芯片 120d 小于芯片 120c,因此当芯片 120d 设置于芯片 120c 上时,芯片 120d

不会覆盖住芯片 120c 的焊垫 122c。但是当公知技术将多个不同尺寸大小的芯片以上述的方式堆叠出堆叠型芯片封装结构 10 时,由于越上层的芯片尺寸必须越小,所以堆叠型芯片封装结构 10 有芯片的堆叠数量的限制。

[0007] 在上述两种堆叠方式中,图 1A 使用间隔物 130 的方式,容易造成堆叠型芯片封装结构 100 的厚度无法进一步地缩减的缺点;而图 1B,由于越上层的芯片尺寸必须越小,因此会产生芯片在设计或使用时会受到限制的问题。

## 发明内容

[0008] 有鉴于背景技术中所述的芯片堆叠方式的缺点及问题,本发明提供一种使用多芯片偏移堆叠的方式,来将多数个尺寸相近似的芯片堆叠成一种三度空间的封装结构。

[0009] 本发明的主要目的在于提供一种在导线架中设置汇流架的结构来进行多芯片偏移堆叠封装,使其具有较高的封装积集度以及较薄的厚度。

[0010] 本发明的另一主要目的在于提供一种在导线架中设置汇流架的结构来进行多芯片偏移堆叠封装的结构,使其通过增加汇流架的结构而具有较佳的电路设计弹性及较佳的可靠度。

[0011] 据此,本发明提供一种导线架设置有汇流架的多芯片偏移堆叠封装结构,包含:一个由多数个相对排列的内引脚群、多数个外引脚群以及芯片承座所组成的导线架,其中芯片承座设置于多数个相对排列的内引脚群之间,且与多数个相对排列的内引脚群形成高度差;一个多芯片偏移堆叠结构由多数个形成堆叠排列的半导体芯片装置错位堆叠而成,并设置于芯片承座上且多芯片偏移堆叠结构上的芯片与该多数个相对排列的内引脚群形成电连接;以及一个封装体,用以包覆多数个半导体芯片装置及导线架;其中导线架中包括至少一个汇流架,设置于该多数个相对排列的内引脚群与该芯片承座之间。

[0012] 本发明接着提供导线架设置有汇流架的多芯片偏移堆叠封装结构,包含:由多数个外引脚群、多数个相对排列的内引脚群以及芯片承座所组成的导线架,其中芯片承座设置于多数个相对排列的内引脚群之间,且与多数个相对排列的内引脚群形成高度差;多数个多芯片偏移堆叠结构,设置于芯片承座上且多数个多芯片偏移堆叠结构与多数个相对排列的内引脚群形成电连接;及封装体,包覆多数个多芯片偏移堆叠结构及导线架,且将多数个外引脚群伸出于封装体外;其中导线架中包括至少一个汇流架,设置于多数个相对排列的内引脚群与该芯片承座之间。

## 附图说明

[0013] 图 1 为背景技术的示意图;

[0014] 图 2A 为本发明的芯片结构的俯视图;

[0015] 图 2B 为本发明的芯片结构的剖视图;

[0016] 图 2C ~ E 为本发明的多芯片偏移堆叠结构的剖视图;

[0017] 图 3A ~ C 为本发明的重设置层制造过程的示意图;

[0018] 图 4A ~ B 为本发明的重设置层中的焊线接合区的剖视图

[0019] 图 5A ~ C 为本发明的具有重设置层的多芯片偏移堆叠结构的剖视图;

[0020] 图 6A ~ B 为本发明的多芯片偏移堆叠结构封装的俯视图;

- [0021] 图 7A ~ B 为本发明的多芯片偏移堆叠结构封装的另一实施例的俯视图；
- [0022] 图 8A ~ B 为本发明的多芯片偏移堆叠结构封装的另一实施例的俯视图；
- [0023] 图 9 为本发明的多芯片偏移堆叠结构封装的剖视图；
- [0024] 图 10 为本发明的多芯片偏移堆叠结构封装的另一实施例的剖视图；
- [0025] 图 11 为本发明的多芯片偏移堆叠结构封装的另一实施例的剖视图；
- [0026] 图 12 为本发明的多芯片偏移堆叠结构封装的另一实施例的剖视图；
- [0027] 图 13 为本发明的多芯片偏移堆叠结构的另一实施例的剖视图；
- [0028] 图 14 为本发明的多芯片偏移堆叠结构的另一实施例的剖视图；
- [0029] 主要组件标号说明
- [0030] 10、100 :堆叠型芯片封装结构
- [0031] 110 :电路基板
- [0032] 112、122a、122b、122c、122d :焊垫
- [0033] 120a、120b、120c、120d :芯片
- [0034] 130 :间隔物
- [0035] 140 :导线
- [0036] 150 :封装胶体
- [0037] 200 :芯片
- [0038] 210 :芯片主动面
- [0039] 220 :芯片背面
- [0040] 230 :黏着层
- [0041] 240 :焊垫
- [0042] 250 :焊线接合区
- [0043] 260 :边缘线
- [0044] 30 :多芯片偏移堆叠结构
- [0045] 310 :芯片本体
- [0046] 312a :第一焊垫
- [0047] 312b :第二焊垫
- [0048] 320 :焊线接合区
- [0049] 330 :第一保护层
- [0050] 332 :第一开口
- [0051] 340 :重设置线路层
- [0052] 344 :第三焊垫
- [0053] 350 :第二保护层
- [0054] 352 :第二开口
- [0055] 300 :芯片结构
- [0056] 400 :重设置层
- [0057] 50 :多芯片偏移堆叠结构
- [0058] 500(a, b, c, d) :芯片结构
- [0059] 600 :导线架

- [0060] 610 :内引脚群
- [0061] 6101 ~ 6104 :内引脚
- [0062] 6121 ~ 6124 :内引脚
- [0063] 620 :芯片承座
- [0064] 630 :汇流架
- [0065] 6301 ~ 6302 :汇流架
- [0066] 640(a ~ i) :金属导线
- [0067] 70 :多芯片偏移堆叠结构

### 具体实施方式

[0068] 本发明在此所探讨的方向为一种使用芯片偏移量堆叠的方式,来将多数个尺寸相近似的芯片堆叠成一种三度空间的封装结构。为了能彻底地了解本发明,将在下列的描述中提出详尽的步骤及其组成。显然地,本发明的施行并未限定芯片堆叠的方式的所术技术领域技术人员所熟悉的特殊细节。另一方面,众所周知的芯片形成方式以及芯片薄化等后段制造工艺的详细步骤并未描述于细节中,以避免造成本发明不必要的限制。然而,对于本发明的较佳实施例,则会详细描述如下,然而除了这些详细描述之外,本发明还可以广泛地施行在其它的实施例中,且本发明的范围不受限定,其以之后的权利要求所界定者为准。

[0069] 在现代的半导体封装工艺中,均是将一个已经完成前段工艺 (FrontEnd Process) 的芯片 (wafer) 先进行薄化处理 (Thinning Process),将芯片的厚度研磨至 2 ~ 20mil 之间;然后,再涂布 (coating) 或网印 (printing) 一层高分子 (polymer) 材料于芯片的背面,此高分子材料可以是一种树脂 (resine),特别是一种 B-Stage 树脂。再通过一个烘烤或是照光制造工艺,使得高分子材料呈现一种具有黏稠度的半固化胶;再接着,将一个可以移除的胶带 (tape) 贴附于半固化状的高分子材料上;然后,进行芯片的切割 (sawing process),使芯片成为一颗颗的芯片 (die);最后,就可将一颗颗的芯片与基板连接并且将芯片形成堆叠芯片结构。

[0070] 如参照图 2A 及图 2B 所示,为完成前述制造工艺的芯片 200 的平面示意图及剖面示意图。如图 2A 所示,芯片 200 具有主动面 210 及相对主动面的背面 220,且芯片背面 220 上已形成黏着层 230;在此要强调,本发明黏着层 230 并未限定为前述的半固化胶,此黏着层 230 的目的在于与导线架或是芯片形成接合,因此,只要是具有此功能的黏着材料,均为本发明之实施方式,例如:胶膜 (die attached film)。此外,在本发明的实施例中,芯片 200 的主动面 210 上设置有多数个焊垫 240,且多数个焊垫 240 已设置于芯片 200 的一侧边上,因此,可以形成一种多芯片偏移堆叠结构 30,如图 2C 所示。而多芯片偏移堆叠的结构 30 以焊线接合区 250 的边缘线 260 为对准线来形成,因此可以形成类似阶梯状的多芯片偏移堆叠结构 30,在此要说明的是,边缘线 260 实际上是不存在芯片 200 上,其仅作为参照线。

[0071] 此外,在本发明的实施例中,形成多芯片偏移堆叠的结构 30 的最上面的芯片,其上的多数个焊垫 240 也可以进一步的设置于芯片的另一侧边上,如图 2D 所示,以便与基板接合时,可有较多的连接点。同时,形成多芯片偏移堆叠结构 30 的最上面的芯片,也可以是另一个尺寸的芯片,例如一个尺寸较小的芯片,如图 2E 所示。再次要强调的是,对于上述形成多芯片偏移堆叠的结构 30 的芯片的焊垫 240 设置或是芯片的尺寸大小,本发明并未加以限

制,只要能符合上述说明的可形成多芯片偏移堆叠的结构,均为本发明之实施方式。

[0072] 本发明在多芯片偏移堆叠的另一实施例中,使用一种重设置层 (Redistribution Layer ;RDL) 来将芯片上的焊垫设置到芯片的一侧边上,以便能形成多芯片偏移堆叠的结构,而此重设置线路层的实施方式说明如下。

[0073] 请参照图 3A ~ 3C,为本发明的具有重设置线路层的芯片结构的制造过程示意图。如图 3A 所示,首先提供芯片本体 310,并且在邻近于芯片本体 310 的单一侧边规划出焊线接合区 320,并将芯片本体 310 的主动表面上的多个焊垫 312 区分为第一焊垫 312a 以及第二焊垫 312b,其中第一焊垫 312a 为位于焊线接合区 320 内,而第二焊垫 312b 则位于焊线接合区 320 外。接着请参照图 3B,于芯片本体 310 上形成第一保护层 330,其中第一保护层 330 具有多个第一开口 332,以曝露出第一焊垫 312a 与第二焊垫 312b。然后在第一保护层 330 上形成重设置线路层 340。而重设置线路层 340 包括多条导线 342 与多个第三焊垫 344,其中第三焊垫 344 位于焊线接合区 320 内,且这些导线 342 分别从第二焊垫 312b 延伸至第三焊垫 344,以使第二焊垫 312b 电连接于第三焊垫 344。此外,重设置线路层 340 的材料,可以为金、铜、镍、钛化钨、钛或其它的导电材料。再请参照图 3C,在形成重设置线路层 340 后,将第二保护层 350 覆盖于重设置线路层 340 上,而形成芯片 300 的结构,其中第二保护层 350 具有多个第二开口 352,以曝露出第一焊垫 312a 与第三焊垫 344。

[0074] 要强调的是,虽然上述第一焊垫 312a 与第二焊垫 312b 以周围形态排列于芯片本体 310 的主动表面上,然而第一焊垫 312a 与第二焊垫 312b 也可以通过面阵列形态 (area array type) 或其它的形态排列于芯片本体 310 上,当然第二焊垫 312b 也是通过导线 342 而电连接于第三焊垫 344。另外,本实施例亦不限定第三焊垫 344 的排列方式,虽然在第 3B 图中第三焊垫 344 与第一焊垫 312a 系排列成两列,并且沿着芯片本体 310 的单一侧边排列,但是第三焊垫 344 与第一焊垫 312a 也可以以单列、多列或是其它的方式排列于焊线接合区 320 内。

[0075] 请继续参照图 4A 与图 4B,为图 3C 中分别沿剖面线 A-A' 与 B-B' 所表示的剖面示意图。由上述图 3 可知芯片 300 主要包括芯片本体 310 以及重设置层 400 所组成,其中重设置层 400 由第一保护层 330、重设置线路层 340 与第二保护层 350 所形成。芯片本体 310 具有焊线接合区 320,且焊线接合区 320 邻近于芯片本体 310 的单一侧边。另外,芯片本体 310 具有多个第一焊垫 312a 以及第二焊垫 312b,其中第一焊垫 312a 位于焊线接合区 320 内,且第二焊垫 312b 位于焊线接合区 320 外。

[0076] 第一保护层 330 设置于芯片本体 310 上,其中第一保护层 330 具有多个第一开口 332,以曝露出这些第一焊垫 312a 与第二焊垫 312b。重设置线路层 340 设置于第一保护层 330 上,其中重设置线路层 340 从第二焊垫 312b 延伸至焊线接合区 320 内,且重设置线路层 340 具有多个第三焊垫 344,其设置于焊线接合区 320 内。第二保护层 350 覆盖于重设置线路层 340 上,其中第二保护层 350 具有多个第二开口 352,以曝露出这些第一焊垫 312a 与第三焊垫 344。由于第一焊垫 312a 与第三焊垫 344 均位于焊线接合区 320 内,因此第二保护层 350 上的焊线接合区 320 以外的区域便能够提供一个承载的平台,以承载另一个芯片结构,因此,可以形成一种多芯片偏移堆叠结构 30。

[0077] 请参照图 5A 所示,本发明的一种多芯片偏移堆叠结构 50。多芯片偏移堆叠结构 50 由多数个芯片堆叠而成,其中芯片上具有重设置层 400,故可将芯片上的焊垫 312b 设置



于芯片焊线接合区 320 之上,因此这种多芯片偏移堆叠结构 50 以焊线接合区 320 的边缘为对准线来形成。而多数个芯片之间以高分子材料所形成的黏着层 230 来连接。此外,在本发明的实施例中,形成多芯片偏移堆叠结构 50 的最上面的芯片,可以选择保留焊垫 312b 的接点,如图 5B 所示,以便与基板接合时,可有较多的连接点,而形成此芯片结构的方式如图 4B 所示。同时,形成多芯片偏移叠结构 50 的最上面的芯片,也可以是另一个尺寸的芯片,例如一个尺寸较小的芯片,如图 5C 所示。再次要强调的是,对于上述形成多芯片偏移堆叠结构的芯片的焊垫设置或是芯片的尺寸大小,本发明并未加以限制,只要能符合上述说明可形成多芯片偏移堆叠的结构,均为本发明的实施方式。此外,在本发明的其它实施例中,更可以在芯片的其它边缘区域设置焊线接合区,例如在焊线接合区 320 的对边或是相邻两侧边规划出焊线接合区。由于,这些实施例只是焊线接合区位置的改变,故相关细节,在此不再多作赘述。

[0078] 接着,本发明依据上述多芯片偏移堆叠结构 30 及 50 还提出一种堆叠式芯片封装结构,并且详细说明如下。同时,在如下说明过程中,将以多芯片偏移堆叠结构 50 为例子进行,然而要强调的是,多芯片偏移堆叠结构 30 也适用本实施例所揭露的内容。

[0079] 首先,请参照图 6A 及图 6B,为本发明堆叠式芯片封装结构的平面示意图。如图 6A 及图 6B 所示,堆叠式芯片封装结构为包括导线架 600 及多芯片偏移堆叠结构 50 所组成,其中导线架 600 由多数个成相对排列的内引脚群 610、多数个外引脚群(未表示于图上)以及芯片承座 620 所组成,其中芯片承座 620 系设置于多数个相对排列的内引脚群 610 之间,同时多数个相对排列的内引脚群 610 与芯片承座 620 也可以形成高度差。在本实施例中,多芯片偏移堆叠结构 50 设置在芯片承座 620 之上,并通过黏着层 230 固接。而本发明的黏着层 230 也并未限定为前述的半固化胶,此黏着层 230 的目的在于接合多芯片偏移堆叠结构 50 与芯片承座 620,因此,只要是具有此功能的黏着材料,均为本发明实施方式,例如:胶膜(dieattached film)。然后,再通过金属导线将多芯片偏移堆叠结构 50 与导线架 600 的内引脚群 610 连接。

[0080] 继续请参照图 6A 及图 6B,在本发明的堆叠式芯片封装结构的导线架 600 中,还进一步包括至少一个汇流架(bus bar)630 设置于芯片承座 620 与多数个相对排列的内引脚群 610 之间,其中汇流架 630 可以采用条状设置,如图 6A 及图 6B 所示;同时汇流架 630 也可以采用环状设置,如图 7A 及图 7B 所示。此外,如前所述,在芯片 500 的焊线接合区 320 里的焊垫 312/344 可以是单列排列,如图 6 及图 7 所示;也可以是双列排列,如图 8A 及图 8B 所示,本发明并未限制。

[0081] 接着说明本发明使用汇流架 630 来达成金属导线跳线连接的过程,请再参照图 6A。图 6A 显示一个将芯片 500 上的焊垫 b 及焊垫 b' 与内引脚 6103 及内引脚 6123 连接的示意图。很明显地,本实施例可以利用汇流架 6301 及汇流架 6302 作为转接点,将焊垫 b 及焊垫 b' 与内引脚 6103 及内引脚 6123 跳线连接,而不会产生金属导线 640 相互跨越的情形。例如,先以一条金属导线 640 将芯片 500 上的焊垫 b 及焊垫 b' 先连接到汇流架 6301 及汇流架 6302 上,然后再以另一条金属导线将汇流架 6301 及汇流架 6302 与内引脚 6103 及内引脚 6123 连接。因此,可以达到将焊垫 b 及焊垫 b' 与内引脚 6103 及内引脚 6123 完成连接,而避免将焊垫 b 直接与内引脚 6103 连接时,所必须跨越另一条连接焊垫 c 及内引脚 6102 的金属导线 640。而在另一实施例中,如图 6B 所示,当芯片 500 上有两个焊垫必须

要进行跳线连接时,即可使用多条汇流架 630 的结构来达成。在图 6B 即是显示一个将芯片 500 上的焊垫 a 及焊垫 c 与内引脚 6103 及内引脚 6101 连接的示意图。焊垫 a 可通过汇流架 6301 作为转接点,以一条金属导线 640 来将焊垫 a 与汇流架 6301 连接,然后再以另一条金属导线 640 将汇流架 6301 与内引脚 6103 连接;接着,焊垫 c 则是以汇流架 6302 作为转接点,并通过金属导线 640 与内引脚 6101 连接。此外,在导线架 600 的另一侧边,可以将焊垫 b' 通过汇流架 6303 作为转接点,以一条金属导线 640 来将焊垫 b' 与汇流架 6303 连接,然后再以另一条金属导线 640 将汇流架 6304 与内引脚 6123 连接。因此,本发明通过导线架 600 中的汇流架 630 来作为转接点之结构,在进行电路连接而必须跳线连接时,可以避免金属导线的交错跨越,而造成不必要的短路,使得封装完成的芯片产生可靠度的问题,同时,具有汇流架 630 时,也可使得电路设计时可以更弹性。而在图 7 及图 8 的实施例中,也可依汇流架 630 的结构进行金属导线的连接。

[0082] 另外,要再次强调,本发明的多芯片偏移堆叠结构 50 固接于导线架 600 上,其中多芯片偏移堆叠结构 50 中的多数个芯片 500,其可以是相同尺寸及相同功能的芯片(例如:内存芯片),或是多数个芯片 500 中的芯片尺寸及功能不相同(例如:最上层的芯片是驱动芯片而其它的芯片则是内存芯片),如图 2E 及图 5C 所示。而对于多芯片偏移堆叠的芯片尺寸或是芯片功能等,并非本发明的特征,在此便不再赘述。

[0083] 接着请参照图 9,为本发明多芯片偏移堆叠封装结构的剖面示意图(即图 6A 沿 AA 线段或图 7A 沿 BB 线段的剖面示意图)。如图 9 所示,导线架 600 与多芯片偏移堆叠结构 50 之间由多数条金属导线 640 来连接,其中导线架 600 由多数个相对排列的内引脚群 610、多数个外引脚群(未表示于图上)以及芯片承座 620 所组成,而芯片承座 620 设置于多数个相对排列的内引脚群 610 之间,且与多数个相对排列的内引脚群 610 形成高度差,以及至少一条汇流架 630 设置于内引脚群 610 与芯片承座 620 之间;在本实施例中的汇流架 630 是与芯片承座 620 成共平面的设置。金属导线 640 以引线接合制造工艺将金属导线 640a 的一端连接于芯片 500a 的第一焊垫 312a 或第三焊垫 344(例如上述图 3 中第一焊垫 312a 或第三焊垫 344),而金属导线 640a 的另一端则连接于芯片结构 500b 的第一焊垫 312a 或第三焊垫 344;接着,将金属导线 640b 的一端连接于芯片 500b 的第一焊垫 312a 或第三焊垫 344 上,然后再将金属导线 640b 的另一端连接至芯片 500c 的第一焊垫 312a 或第三焊垫 344 上;接着再重复金属导线 640a 及 640b 的过程,以金属导线 640c 来将芯片 500c 与芯片 500d 完成电连接;再接着,以金属导线 640d 将芯片 500a 与导线架 600 的多数个相对排列的内引脚群 610 完成电连接。如此一来,通过金属导线 640a、640b、640c 及 640d 等逐层完成连接后,便可以将芯片 500a、500b、500c 及 500d 电连接于导线架 600,其中这些金属导线的材质可以使用金。

[0084] 同时,由于本实施例的导线架 600 上设置有汇流架 630,其可作为包括电源接点、接地接点或信号接点之电连接。例如,当以汇流架 630 作为电路连接的转接点时,故可将金属导线 640e 的一端连接于芯片 500a 的焊垫(例如:焊垫 b')上,而金属导线 640e 的另一端连接至汇流架(例如:汇流架 6302)上,然后再由金属导线 640h 来将汇流架 6302 连接至某一个内引脚(例如:内引脚 6123)上。此外,多芯片偏移堆叠结构 50 最上层的芯片 500d,其也可再将其上的多数个焊垫设置于芯片的另一侧边上,如图 2D 及图 5B 所示。故在芯片 500d 的另一侧边,则可通过多数条金属导线 640f 来将芯片 500d(例如:焊垫 a)与内引脚群

610(例如:内引脚6101)连接。然后将金属导线640g的一端连接于芯片500d之焊垫(例如:焊垫b)上,而金属导线640g之另一端连接至汇流架(例如:汇流架6301)之上,然后再由金属导线640i将汇流架6301连接至某一个内引脚(例如:内引脚6103)上。

[0085] 另外,还要强调的是,芯片500b直接堆叠于芯片500a上,两者间以高分子材料作为黏着层来固接在一起,并且芯片500b是堆叠于芯片500a的焊线接合区320以外的区域,是以后续引线接合制造工艺能够顺利地进行。此外,本实施例并未限制金属导线的引线接合制造工艺,故其也可以选择由芯片500d上的焊垫向芯片500a的方向来依序连接,最后再将芯片500a与导线架600连接。

[0086] 接着请参照图10,本发明沿图6A沿AA线段或沿图7ABB线段剖面的多芯片偏移堆叠结构的另一实施例的剖面示意图。如图10所示,导线架600与多芯片偏移堆叠结构50之间由多数条金属导线来连接,其中导线架600系由多数个相对排列的内引脚群610、多数个外引脚群(未表示于图上)以及芯片承座620所组成,而芯片承座620设置于多数个相对排列的内引脚群610之间,且与多数个相对排列的内引脚群610形成高度差,以及至少一条设置在内引脚群610与芯片承座620之间的汇流架630,特别的是在本实施例中的汇流架630是与内引脚群610成共平面的设置。接着,当多芯片偏移堆叠结构50与导线架600接合后,即进行导线架600与多芯片偏移堆叠结构50之间的引线接合连接,由于将导线架600与多芯片偏移堆叠结构50以金属导线连接的过程与上述实施例相同,且引线接合制造工艺并非本发明的特征,在此便不再赘述。同时,由于本实施例的导线架600上设置有汇流架630,因此也可以通过金属导线的连接,用以作为包括电源接点、接地接点或信号接点的电连接。

[0087] 再接着请再参照图11,本发明沿图6A沿AA线段或沿图7A BB线段剖面的多芯片偏移堆叠结构的另一实施例的剖面示意图。图11与图9及图10的导线架600与多芯片偏移堆叠结构50之间的结构近似相同,其中的差异仅在于汇流架630的设置高度不相同,其中图11中的汇流架630设置于导线架600的内引脚群610与芯片承座620之间,并且汇流架630与内引脚群610及芯片承座620三者之间具有高度差。同样的,当多芯片偏移堆叠结构50与导线架600接合后,进行金属导线640的引线接合连接,由于将导线架600与多芯片偏移堆叠结构50以金属导线640连接的过程与上述实施例相同,且引线接合制造工艺并非本发明的特征,在此便不再赘述。同时,由于本实施例的导线架600上设置有汇流架630,可用来作为包括电源接点、接地接点或信号接点的电连接。

[0088] 接着再请参照图12所示,本发明沿图6A沿AA线段或沿图7A BB线段剖面的多芯片偏移堆叠结构的另一实施例的剖面示意图。在本实施例中的导线架600为由多数个相对排列的内引脚群610、多数个外引脚群(未表示于图上)以及芯片承座620所组成,而芯片承座620设置于多数个相对排列的内引脚群610之间,且与多数个相对排列的内引脚群610形成共平面的结构,以及至少一条设置在内引脚群610与芯片承座620之间的汇流架630,其中汇流架630与内引脚群610与芯片承座620之间会形成高度差。同样的,当多芯片偏移堆叠结构50与导线架600接合后,进行金属导线的引线接合连接,由于将导线架600与多芯片偏移堆叠结构50以金属导线640连接的过程与上述实施例相同,且引线接合制造工艺并非本发明的特征,在此便不再赘述。同时,由于本实施例的导线架600上设置有汇流架630,其可作为包括电源接点、接地接点或信号接点之电连接。

[0089] 通过以上说明,本发明中所述的实施例并未限制堆叠芯片 500 的数量,凡所术技术领域技术人员应可依据上述所揭露的方法,而制作出具有三个以上的芯片 500 的堆叠式芯片封装结构。同时,本发明的多芯片偏移堆叠结构 50 的堆叠方向也不限定实施例中所述揭露者,其也可将芯片 500 的堆叠方向以相对于先前实施例中所述揭露的方向进行偏移量的堆叠,如图 13 所示。至于图 13 中的多芯片偏移堆叠结构 70 之间的芯片接合方式、堆叠式芯片结构 70 与导线架 600 接合方式以及使用金属导线连接多芯片偏移堆叠结构 70 与导线架 600 方式等等,均与先前所述实施例相同,在此便不再赘述。

[0090] 由于导线架 600 上的内引脚群 610 是相对排列的,故本发明更提出一种将不同方向的多芯片偏移堆叠结构 50、70 共同设置于导线架 600 的芯片承座 620 上,如图 14 所示。同样的,图 14 中的多芯片偏移堆叠结构 50、70 与导线架 600 接合的方式以及以金属导线 640 来连接多芯片偏移堆叠结构 50、70 与导线架 600 方式,均与先前所述实施例相同,在此便不再赘述。同时,由于本实施例的导线架 600 上设置有汇流架 630,可用来作为包括电源接点、接地接点或信号接点的电连接;而此汇流架 630 的设置位置则可以包括前述图 9 至图 12 的实施方式。

[0091] 显然地,依照上面实施例中的描述,本发明可能有许多的修正与差异。因此需要在其附加的权利要求项的范围内加以理解,除了上述详细的描述外,本发明还可以广泛地在其它的实施例中施行。上述仅为本发明的较佳实施例而已,并非用以限定本发明的权利要求;凡其它未脱离本发明所揭示的精神下所完成的等效改变或修饰,均应包含在下述权利要求范围内。

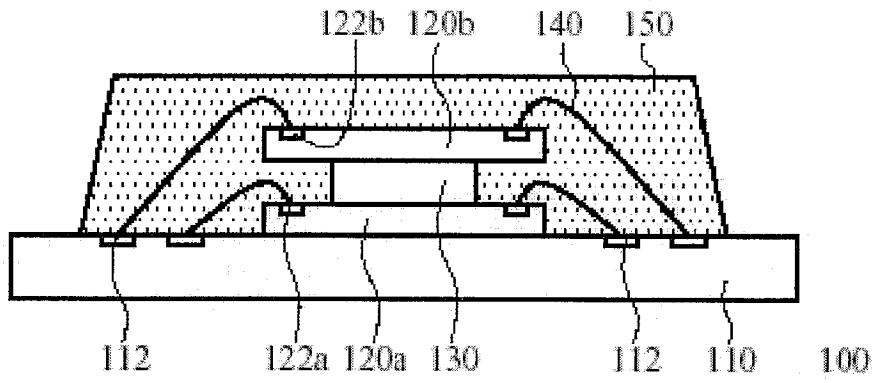


图 1A

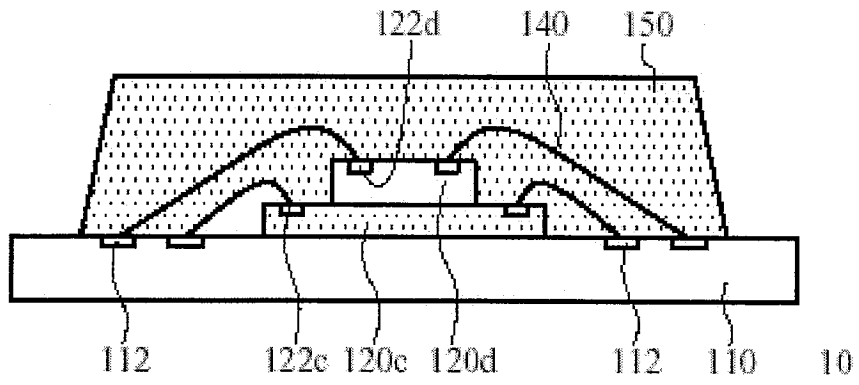


图 1B

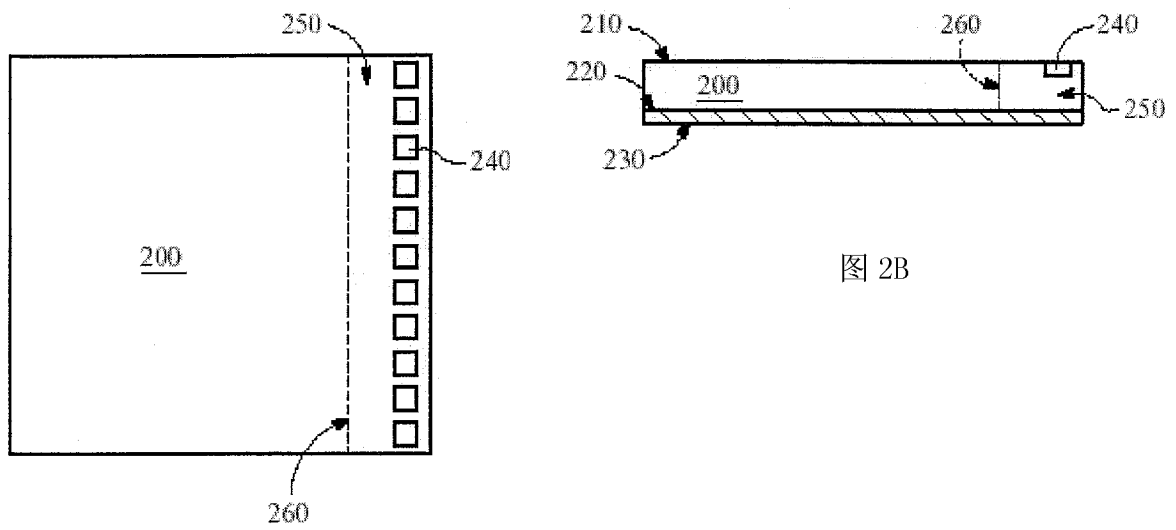


图 2B

图 2A

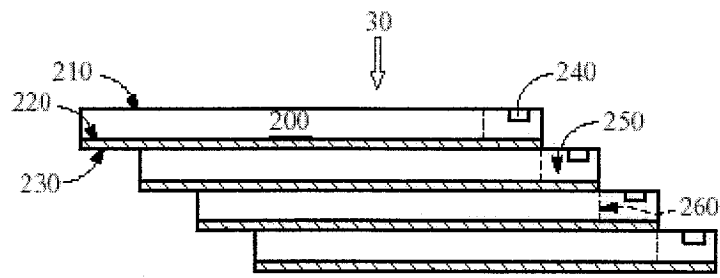


图 2C

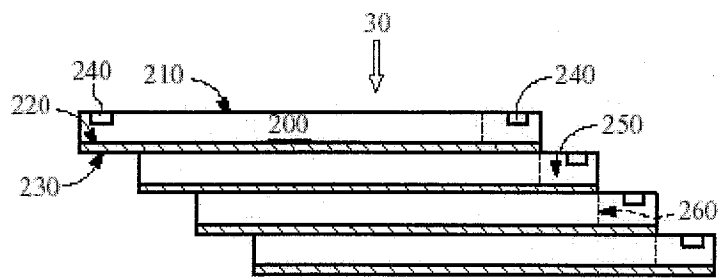


图 2D

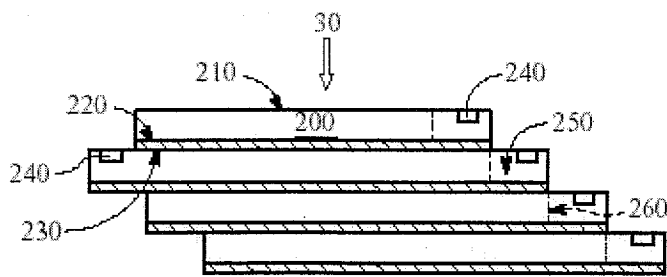


图 2E

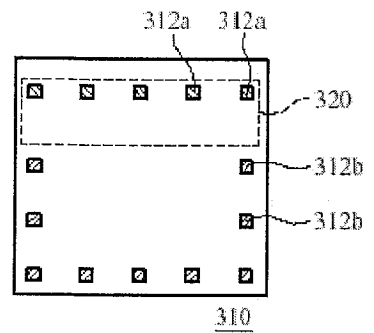


图 3A

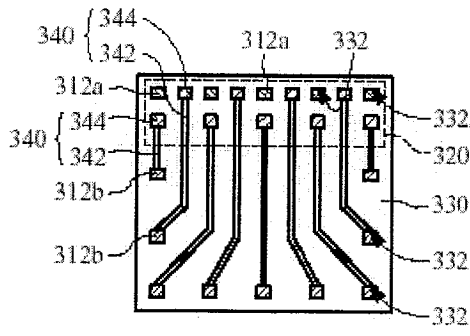


图 3B

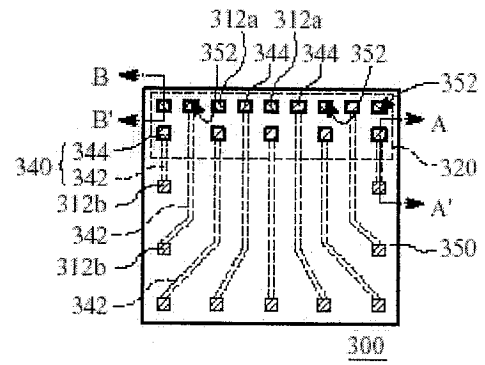


图 3C

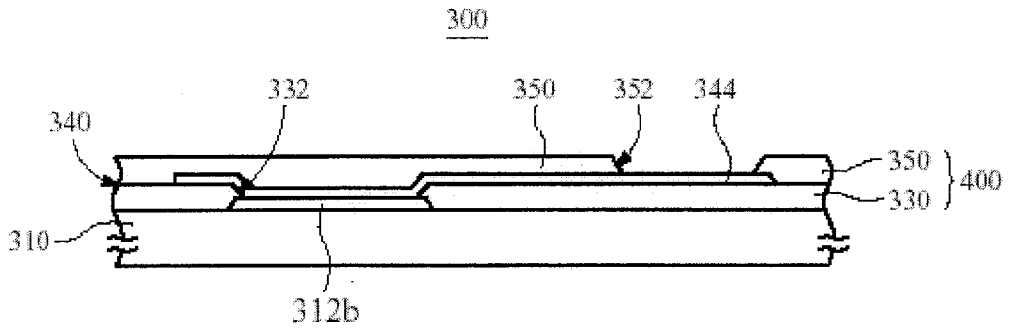


图 4A

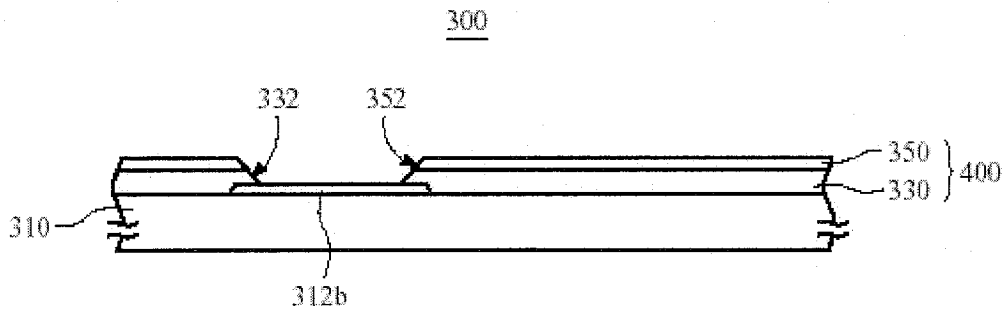


图 4B

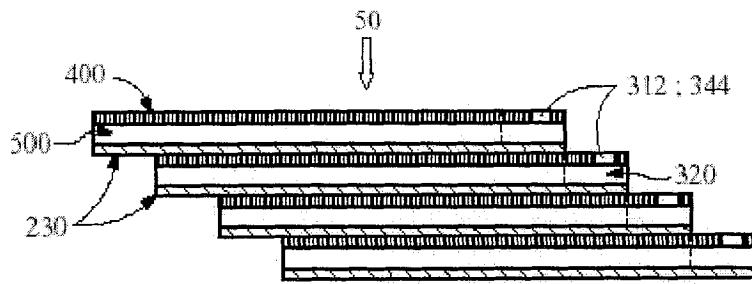


图 5A

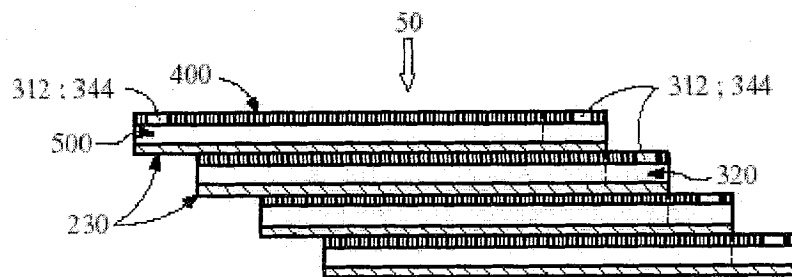


图 5B

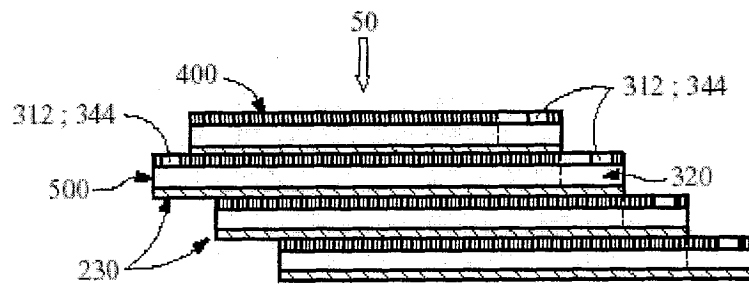


图 5C



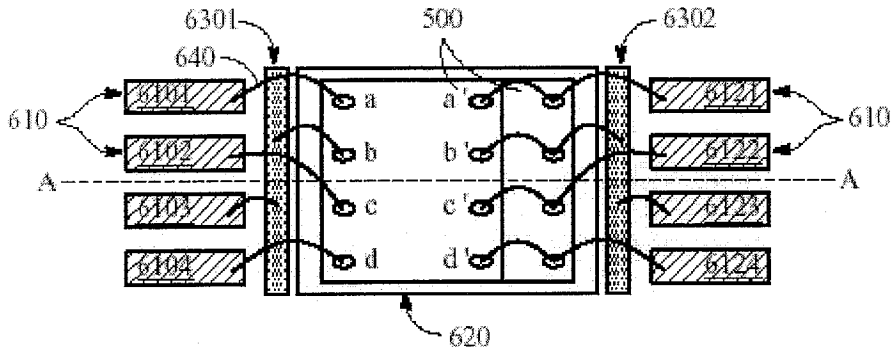


图 6A

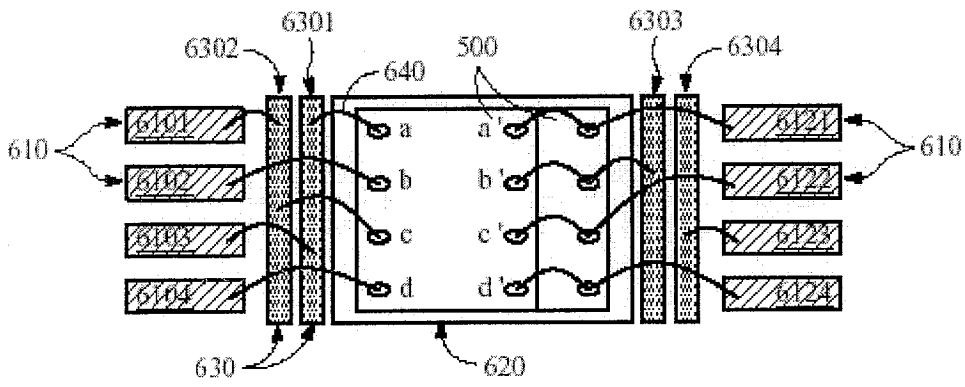


图 6B

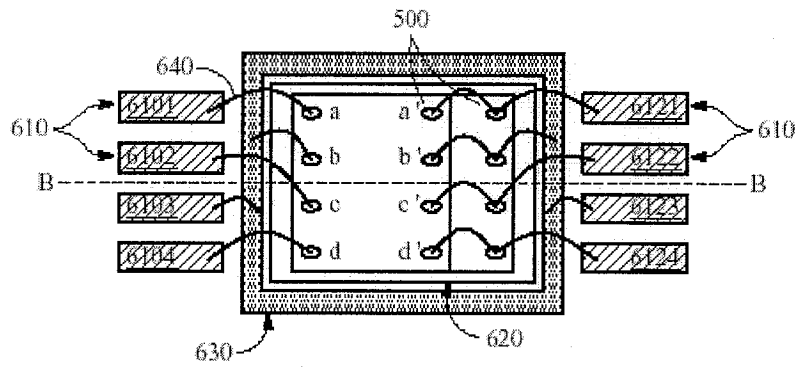


图 7A

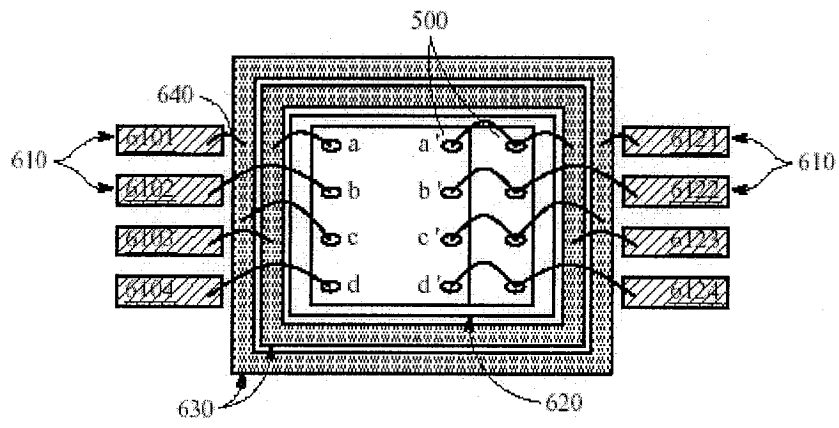


图 7B

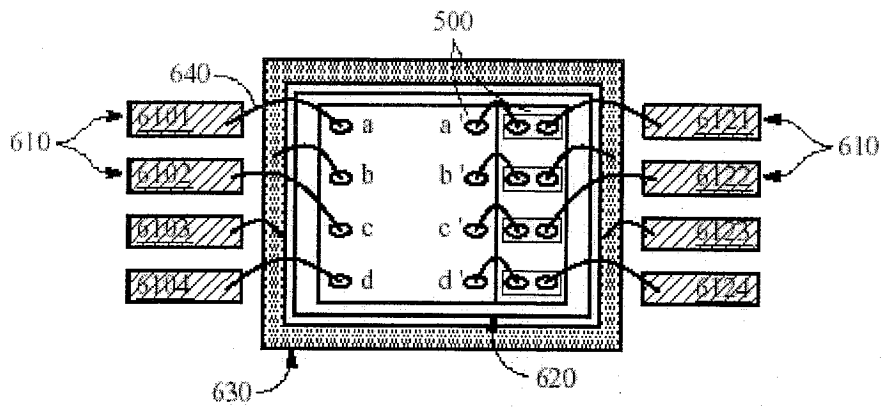


图 8A

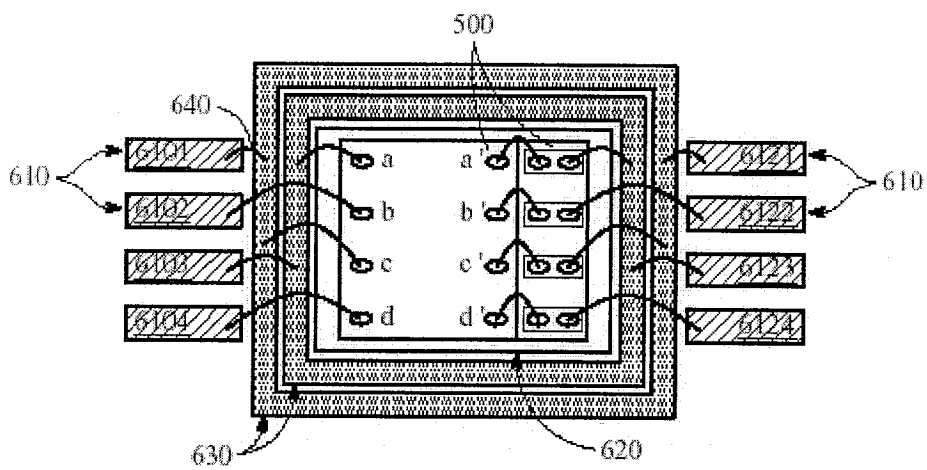


图 8B

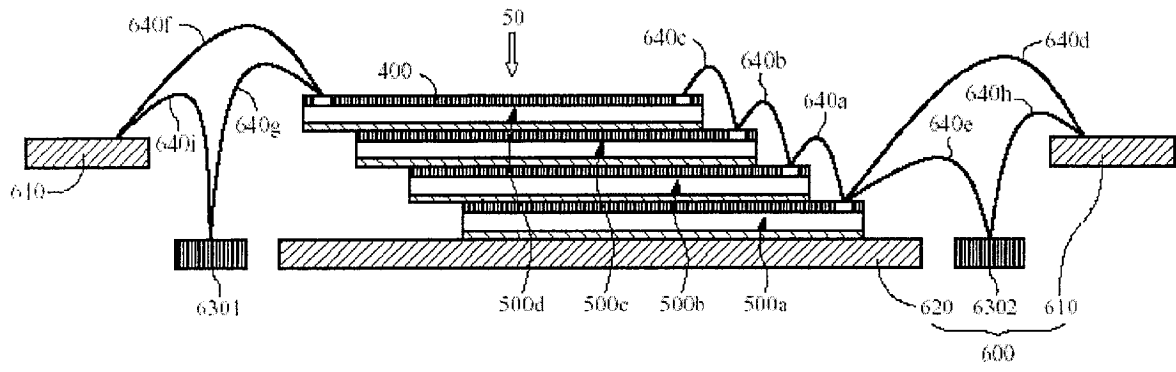


图 9

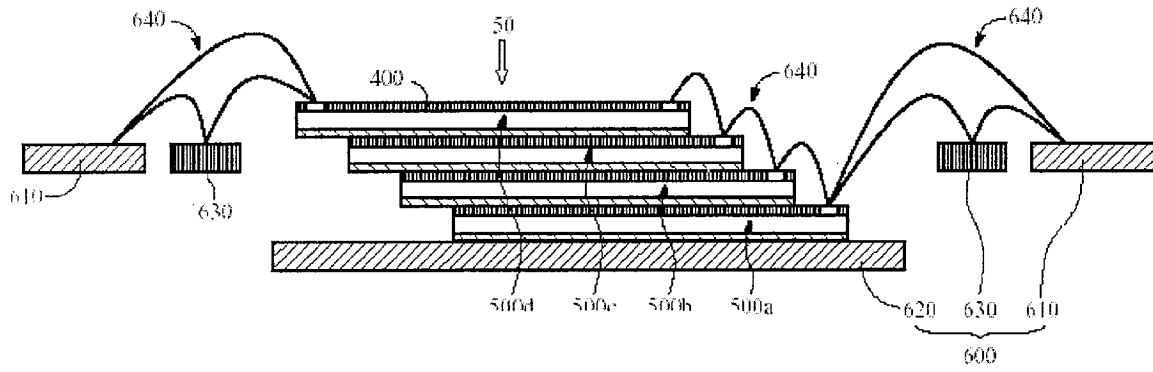


图 10

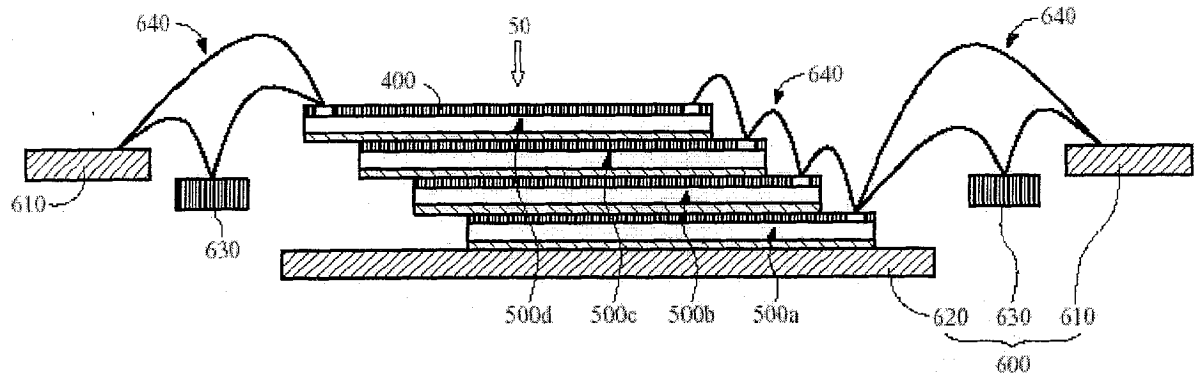


图 11

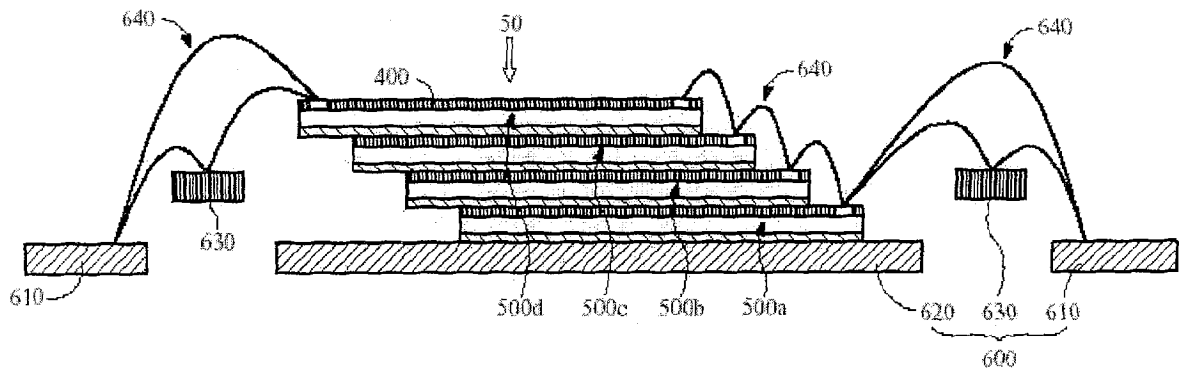


图 12

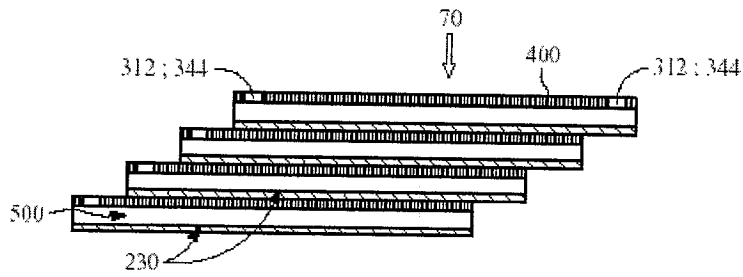


图 13

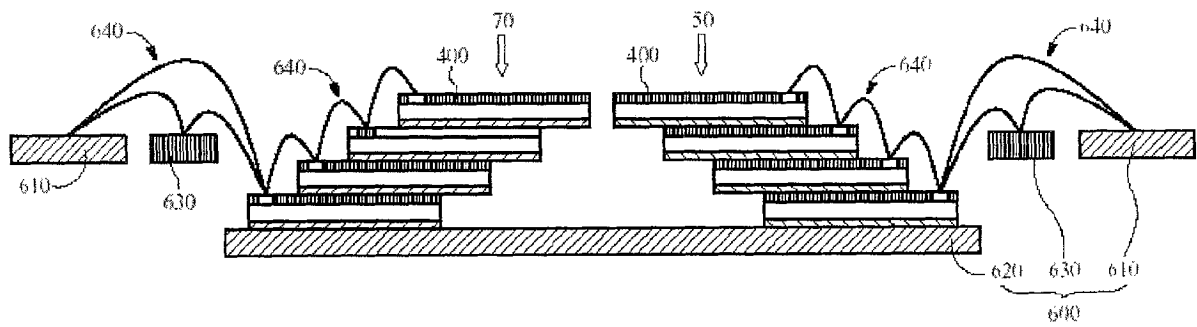


图 14