



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I689023 B

(45) 公告日：中華民國 109 (2020) 年 03 月 21 日

(21) 申請案號：108126395

(22) 申請日：中華民國 108 (2019) 年 07 月 25 日

(51) Int. Cl. : H01L21/60 (2006.01)

H01L23/48 (2006.01)

(71) 申請人：力成科技股份有限公司 (中華民國) POWERTECH TECHNOLOGY INC. (TW)

新竹縣湖口鄉新竹工業區大同路 10 號

(72) 發明人：程政宇 CHEN, CHEN-YU (TW) ; 游舜名 YU, SHUN-MING (TW)

(74) 代理人：胡書慈

(56) 參考文獻：

TW 201409588A

TW 201515125A

TW 201519404A

TW 201633497A

TW 201806039A

審查人員：張錦昇

申請專利範圍項數：10 項 圖式數：9 共 21 頁

(54) 名稱

堆疊式半導體封裝結構

(57) 摘要

本發明係一種堆疊式半導體封裝結構，包含線路基板、第一及第二晶片及包晶膠層；線路基板的一側包含有一晶片區及多個位在晶片區周圍且凸出於該側的凸件，且該晶片區內包含有多個接點；該第一晶片設置在該線路基板的晶片區，並電性連接至該些接點；該包晶膠層貼合並包覆位於該線路基板上的該些凸件及該第一晶片；該第二晶片係設置在該包晶膠層上，且該第二晶片的尺寸大於該第一晶片尺寸，令該第二晶片向下對應有第一晶片及該些凸件；由於本發明於晶片區外設置有多個凸件，當包晶膠層平貼後，其自對應晶片區至其周圍的高度落差有效減緩。

The present invention relates to a stacked semiconductor package and has a substrate, a first chip, a second chip and an adhesive layer. The substrate has a chip area and multiple projections formed around the chip area. Multiple pads are formed on the chip area. The first chip is mounted on the chip area and electrically connected to the pads. The adhesive layer encapsulates the first chip and the projections. The second chip is mounted on the adhesive layer and a size of the second chip is larger than that of the first chip, so the second chip corresponds the first chip and the projections. Since the projections formed around the chip area, a top surface of the adhesive layer is flatter.

指定代表圖：

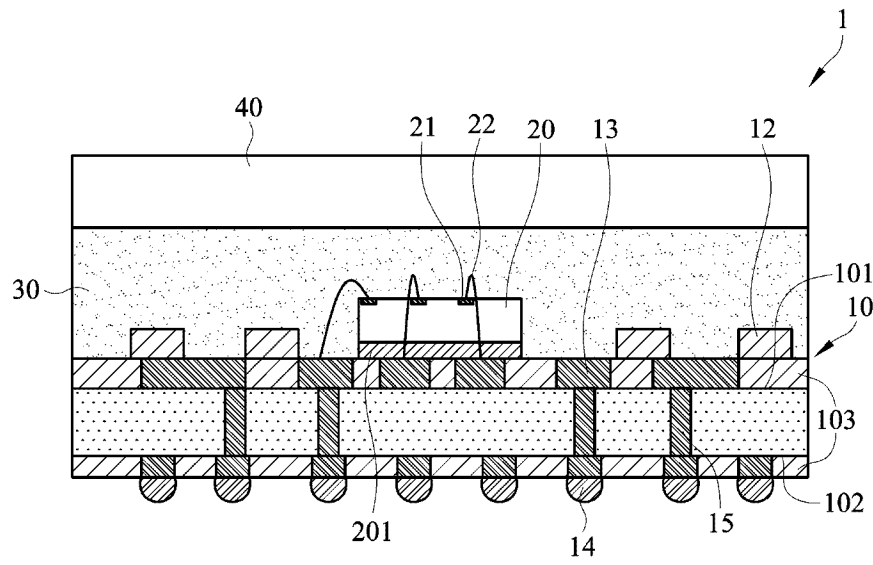


圖 1

符號簡單說明：

1:堆疊式半導體封裝結構

10:線路基板

101:第一表面

102:第二表面

103:絕緣保護層

12:凸件

13:接點

14:錫球

15:線路

20:第一晶片

201:黏膠

21:接墊

22:連接線

30:包晶膠層

40:第二晶片



I689023

【發明摘要】

【中文發明名稱】 堆疊式半導體封裝結構

【英文發明名稱】 STACKED SEMICONDUCTOR PACKAGE

【中文】

本發明係一種堆疊式半導體封裝結構，包含線路基板、第一及第二晶片及包晶膠層；線路基板的一側包含有一晶片區及多個位在晶片區周圍且凸出於該側的凸件，且該晶片區內包含有多個接點；該第一晶片設置在該線路基板的晶片區，並電性連接至該些接點；該包晶膠層貼合並包覆位於該線路基板上的該些凸件及該第一晶片；該第二晶片係設置在該包晶膠層上，且該第二晶片的尺寸大於該第一晶片尺寸，令該第二晶片向下對應有第一晶片及該些凸件；由於本發明於晶片區外設置有多個凸件，當包晶膠層平貼後，其自對應晶片區至其周圍的高度落差有效減緩。

【英文】

The present invention relates to a stacked semiconductor package and has a substrate, a first chip, a second chip and an adhesive layer. The substrate has a chip area and multiple projections formed around the chip area. Multiple pads are formed on the chip area. The first chip is mounted on the chip area and electrically connected to the pads. The adhesive layer encapsulates the first chip and the projections. The second chip is mounted on the adhesive layer and a size of the second chip is larger than that of the first chip, so the second chip corresponds the first chip and the projections. Since the projections formed around the chip area, a top surface of the adhesive layer is flatter.

【指定代表圖】 圖1

【代表圖之符號簡單說明】

1 堆疊式半導體封裝結構	10 線路基板
101 第一表面	102 第二表面
103 絕緣保護層	12 凸件
13 接點	14 錫球
15 線路	20 第一晶片
201 黏膠	21 接墊
22 連接線	30 包晶膠層
40 第二晶片	

【發明說明書】

【中文發明名稱】 堆疊式半導體封裝結構

【英文發明名稱】 STACKED SEMICONDUCTOR PACKAGE

【技術領域】

【0001】 本發明係關於一種堆疊式半導體封裝結構，尤指一種使用改良線路基板的堆疊式半導體封裝結構。

【先前技術】

【0002】 在半導體封裝技術可使用堆疊式半導體封裝結構，將多顆晶片以堆疊方式進行封裝，來縮減封裝體的橫向尺寸。

【0003】 請參閱圖8A及圖8B所示，一種堆疊式半導體封裝結構包含有一線路基板50、一第一晶片60、一包晶膠層70(Film-On-Die adhesive；FOD)及一第二晶片80；其中該第一晶片60係電性連接在線路基板50上，再將貼附有第二晶片80的包晶膠層70加熱後平壓貼合至線路基板50上，以覆蓋第一晶片60，如圖8B所示，據以構成堆疊式半導體封裝結構。

【0004】 由圖8B可知，上述包晶膠層70為了完整包覆該第一晶片60，會預先加熱後呈黏稠狀再平貼至線路基板50上；然而，因為第一晶片60有一定厚度，所以包晶膠層70在平貼過程中，其對應第一晶片60的部分膠體會被向上、向外排擠，再由於包晶膠層70呈黏稠狀，故在給予包晶膠層70均勻下壓的平貼過程中，被排擠的部分膠體是無法被均勻地推擠到整個包晶膠層70，而造成對應第一晶片50位置的包晶膠層70部分向上拱起，再如圖9A及圖9B所示，包晶膠層70中間對應第一晶片60位置的高度至其周圍的高度之間落差大(在本例示中包含有9段高度差H1~H9)，使得後續第二晶片80無法堆疊在平坦的包晶膠層70上，

待堆疊式半導體封裝結構完成後，則易有脫層的現象，故而有必要進一步改良之。

【發明內容】

【0005】 有鑑於上述堆疊式半導體封裝結構因使用包晶膠層而易有脫層之缺陷，本發明主要目的係提供一種堆疊式半導體封裝結構及其線路基板，以改善脫層缺陷。

【0006】 欲達上述目的所使用的主要技術手段係令該堆疊式半導體封裝結構包含有：

一線路基板，其第一表面上形成有一絕緣保護層，且包含有一晶片區及多個位在該晶片區周圍且凸出於該絕緣保護層的凸件；其中該晶片區內包含有多個接點；

一第一晶片，係設置在該線路基板的該晶片區，並電性連接至該些接點；

一包晶膠層，係貼合並包覆位於該線路基板的該絕緣保護層上的凸件及該第一晶片；以及

一第二晶片，係設置在該包晶膠層上；其中該第二晶片的尺寸大於該第一晶片尺寸，且該第二晶片向下對應該些凸件。

【0007】 由上述說明可知，本發明主要在線路基板的晶片區外形成有多個凸件，當加熱後呈黏稠狀的包晶膠層平貼於該第一表面的絕緣保護層時，由於多個凸件位在晶片區外圍，包晶膠層的膠體可均勻地被排擠，以減縮晶片區至周圍的高度落差，使該第二晶片較平坦地設置在該包晶膠層上。

【圖式簡單說明】

【0008】

圖1：係本發明一堆疊式半導體封裝結構的側視剖面圖。

圖2A及圖2B：係本發明堆疊式封裝製程中不同步驟下的半成品側視剖面圖。

圖3A：係本發明堆疊式封裝製程的第一實施例的上視平面圖。

圖3B：係圖3B的包晶膠層高度變化圖。

圖4A：係本發明堆疊式封裝製程的第二實施例的上視平面圖。

圖4B：係圖4A的包晶膠層高度變化圖。

圖5A：係本發明堆疊式封裝製程的第三實施例的上視平面圖。

圖5B：係圖5A的包晶膠層高度變化圖。

圖6A：係本發明堆疊式封裝製程的第四實施例的上視平面圖。

圖6B：係圖6A的包晶膠層高度變化圖。

圖7A：係本發明堆疊式封裝製程的第五實施例的上視平面圖。

圖7B：係圖7A的包晶膠層高度變化圖。

圖8A及圖8B：係既有堆疊式封裝製程中不同步驟下的半成品側視剖面圖。

圖9A：係圖8B上視平面圖。

圖9B：係圖9A的包晶膠層高度變化圖。

【實施方式】

【0009】 本發明係針對堆疊式半導體封裝結構進行改良，以下配合多個不同實施例及圖式詳加說明本案技術內容。

【0010】 首先請參閱圖1所示，本發明堆疊式半導體封裝結構1的一實施例，其包含有線路基板10、第一晶片20、包晶膠層30及第二晶片40。

【0011】 上述線路基板10包含有一第一表面101及一相對第一表面101的第

二表面102；請配合圖3A所示，第一表面101上包含有一晶片區11及多個凸件12，第二表面102形成有多個錫球14或凸塊。線路基板10內形成有線路15，第一表面101上的晶片區11內包含有多個接點13，且多個凸件12係位在晶片區11外圍並且凸出於第一表面101，線路15用以電性連接第一表面101上的接點13及第二表面102的錫球14或凸塊。於本實施例，線路基板10為玻璃纖維板(FR4板或FR5板)，且玻璃纖維板的第一表面101及第二表面102分別塗佈有絕緣保護層103(如：綠漆)，故凸件12係凸出於第一表面101上的絕緣保護層103，但絕緣保護層103不覆蓋第一表面101上的接點13及第二表面102上的錫球14或凸塊，即錫球14或凸塊係凸出於該第二表面102上的絕緣保護層103。較佳地，凸件12係為絕緣材質，例如綠漆或樹脂；由於凸件12係凸出於絕緣保護層103，故凸件12可與絕緣保護層為相同材質，但均不以此為限。

【0012】 上述第一晶片20係設置在線路基板10的晶片區11，並電性連接至接點13；於本實施例，如圖2A所示，第一晶片20透過黏膠201固定在线路基板10的絕緣保護層103上，且第一晶片20的多個接墊21朝上，並以打線製程將連接線22一端連接於接墊21，另一端連接至接點13上，使第一晶片20與線路基板10電性連接。

【0013】 上述第二晶片40係設置在包晶膠層30上，包晶膠層30連同其上的第二晶片40均勻平壓並貼合於線路基板10的第一表面101上的絕緣保護層103，由於包晶膠層30的厚度大於第一晶片20、凸件12及連接線22的高度，故可包覆第一晶片20、凸件12及連接線22於其中。於本實施例，包晶膠層30為一雙面膠帶(Die-Attach Film；DAF)，可於加熱後呈黏稠狀，如圖2B所示，故於加熱後貼合至線路基板10之第一表面101的絕緣保護層103。

【0014】 如圖2B所示，上述第二晶片40透過包晶膠層30間隔疊設在第一晶片20上，且第二晶片40的尺寸大於第一晶片20尺寸，令第二晶片40向下對應有

第一晶片20、連接線22及凸件12。即第二晶片40的大小範圍可覆蓋第一晶片20、連接線22及凸件12。

【0015】 線路基板10上有多個凸件12，當包晶膠層30能均勻平壓至線路基板10的第一表面101時，由於凸件12位在晶片區11外圍，包晶膠層30的膠體可均勻地被排擠，使得包晶膠層30自對應線路基板10位在中間晶片區11至其外圍區域的高度落差呈現緩減現象；再者，本實施例具有數量較多的柱狀凸件12之間間隔通道多，亦有助於減少包晶膠層30於貼合後不易生成氣泡。

【0016】 請參閱圖3A所示，為本發明堆疊式半導體封裝結構1的第一實施例的上視平面；於本實施例，線路基板10的各凸件12係呈柱狀，且多個凸件矩陣地排列在晶片區11之外圍；於本實施例，多個凸件12排列在晶片區11的四周外圍。再如圖3B所示，為對應圖3A包晶膠層30之高度分佈圖，與圖9B相較，相鄰段的高度差 $H1/H2$ 、 $H2/H3$ 、 $H3/H4$ 、 $H4/H5$ 、 $H5/H6$ 、 $H6/H7$ 、 $H7/H8$ 、 $H8/H9$ 間隔變寬，且最低高度差 $H9$ 的範圍明顯減少許多，配合圖1所示，代表本發明堆疊式半導體封裝結構的包晶膠層30自對應晶片區11至其外圍區域的高度落差已緩減，如此第二晶片40即可較平坦地設置在包晶膠層30上。

【0017】 請參閱圖4A所示，為本發明堆疊式半導體封裝結構1a的第二實施例的上視平面。於本實施例，線路基板10上各凸件12a係呈片狀，且些凸件12a係相互平行地排列在晶片區11之外；於本實施例，多個片狀凸件12a係平行地排列在晶片區11的四周外圍；其中位在晶片區11外之二相對第一外側區S1的各凸件12a長度相較位在晶片區11外之二相對第二外側區S2的各凸件12a長度長，且位在晶片區11外之各第二外側區S2的凸件12a數量相較位在晶片區11外之各第一外側區S1的凸件12a數量多，又位在各第二外側區S2的凸件12a係呈雙排並列。再如圖1及圖4B所示，為對應圖4A包晶膠層30之高度分佈圖，與圖9B相較，相鄰段的高度差 $H1/H2$ 、 $H2/H3$ 、 $H3/H4$ 、 $H4/H5$ 、 $H5/H6$ 、 $H6/H7$ 、 $H7/H8$ 、 $H8/H9$ 間隔

同樣拉寬，且最低高度差H9的範圍也明顯減少許多，代表包晶膠層30自對應晶片區11至其外圍區域的高度落差已緩減，第二晶片40可較平坦地設置在包晶膠層30上。

【0018】 請參閱圖5A所示，為本發明堆疊式半導體封裝結構1b的第三實施例，其與第二實施例大致相同，惟於本實施例，位在各第二外側區S2的凸件12a係呈三排並列。再如圖5B所示，為對應圖5A包晶膠層30之高度分佈圖，與圖9B相較，相鄰段的高度差H1/H2、H2/H3、H3/H4、H4/H5、H5/H6、H6/H7、H7/H8、H8/H9間隔同樣拉寬，且最低高度差H9的範圍也明顯減少許多，代表包晶膠層30自對應晶片區11至其外圍區域的高度落差已緩減，第二晶片40可較平坦地設置在包晶膠層30上，如圖1所示。

【0019】 請參閱圖6A所示，為本發明堆疊式半導體封裝結構1c的第四實施例；於本實施例，線路基板10上各凸件12b係呈塊狀。於本實施例，位在晶片區11外之二相對第一外側區S1的各凸件12b長度相較位在晶片區11外之二相對第二外側區S2的各凸件12b長度短，且位在各第二外側區S2的凸件12b數量與位在各第一外側區S1的凸件12b數量相同。再如圖6B所示，為對應圖6A包晶膠層30之高度分佈圖，與圖9B相較，相鄰段的高度差H1/H2、H2/H3、H3/H4、H4/H5、H5/H6、H6/H7、H7/H8、H8/H9間隔同樣拉寬，且最低高度差H9的範圍也明顯減少許多，代表包晶膠層30自對應晶片區11至其外圍區域的高度落差已緩減，第二晶片40可較平坦地設置在包晶膠層30上，如圖1所示。

【0020】 請參閱圖7A所示，為本發明堆疊式半導體封裝結構1d的第五實施例，其與第四實施例大致相同，惟於本實施例，僅於二第二外側區S2分別設置有一塊狀凸件12b。再如圖7B所示，為對應圖7A包晶膠層30之高度分佈圖，與

圖9B相較，相鄰段的高度

差H1/H2、H2/H3、H3/H4、H4/H5、H5/H6、H6/H7、H7/H8、H8/H9間隔同樣拉寬，且最低高度差H9的範圍也明顯減少許多，代表包晶膠層30自對應晶片區11至其外圍區域的高度落差已緩減，第二晶片40可較平坦地設置在包晶膠層30上，如圖1所示。

【0021】 綜上所述，本發明主要在線路基板的第一表面的晶片區外形成有多個凸件，當加熱後呈黏稠狀的包晶膠層平貼於第一表面時，對應各凸件位置的部分膠體同樣被向外及向上推擠，以減縮晶片區至周圍的高度落差，使第二晶片較平坦地設置在包晶膠層上，消除封裝後脫層或存在氣泡等疑慮。

【0022】 以上所述僅是本發明的實施例而已，並非對本發明做任何形式上的限制，雖然本發明已以實施例揭露如上，然而並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明技術方案的範圍內，當可利用上述揭示的技術內容作出些許更動或修飾為等同變化的等效實施例，但凡是未脫離本發明技術方案的內容，依據本發明的技術實質對以上實施例所作的任何簡單修改、等同變化與修飾，均仍屬於本發明技術方案的範圍內。

【符號說明】

【0023】

1、1a、1b、1c、1d 堆疊式半導體封裝結構

10 線路基板

101 第一表面

102 第二表面

103 絕緣保護層

11 晶片區

12、12a、12b 凸件

13 接點

14 錫球

15 線路

20 第一晶片

201 黏膠

21 接墊

22 連接線

30 包晶膠層

40 第二晶片

S1 第一外側區

S2 第二外側區

50 線路基板

60 第一晶片

70 包晶膠層

80 第二晶片

【發明申請專利範圍】

【第1項】一種堆疊式半導體封裝結構，包括：

一線路基板，其第一表面上形成有一絕緣保護層，且包含有一晶片區及多個位在該晶片區周圍且凸出於該絕緣保護層的凸件；其中該晶片區內包含有多個接點；

一第一晶片，係設置在該線路基板的該晶片區，並電性連接至該些接點；

一包晶膠層，係貼合並包覆位於該線路基板的該絕緣保護層上的該凸件及該第一晶片；以及

一第二晶片，係設置在該包晶膠層上；其中該第二晶片的尺寸大於該第一晶片尺寸，且該第二晶片向下對應該些凸件。

【第2項】如請求項1所述之堆疊式半導體封裝結構，其中各該凸件係呈柱狀，且該些凸件係矩陣地排列在該晶片區之外。

【第3項】如請求項1所述之堆疊式半導體封裝結構，其中各該凸件係呈片狀，且該些凸件係相互平行地排列在該晶片區之外。

【第4項】如請求項3所述之堆疊式半導體封裝結構，其中位在該晶片區之外之二相對第一外側區之各該凸件長度相較位在該晶片區之外之二相對第二外側區之各該凸件長度長；其中位在該晶片區外之各該第二外側區的該些凸件數量相較位在該晶片區外之各該第一外側區的該些凸件數量多。

【第5項】如請求項1所述之堆疊式半導體封裝結構，其中：

位在該晶片區外之二相對第一外側區之各該凸件係呈塊狀；以及

位在該晶片區外之二相對第二外側區之各該凸件係呈塊狀；其中位在各該第一外側區的該凸件長度相較位在各該第二外側區的該凸件長度短。

【第6項】如請求項5所述之堆疊式半導體封裝結構，其中位在該晶片區之各該第二外側區的該凸件與位在該晶片區之各該第一外側區的該凸件數量相

同。

【第7項】如請求項1所述之堆疊式半導體封裝結構，各該凸件係塊狀，分別排列在該晶片區外之二相對第二外側區。

【第8項】如請求項1至7中任一項所述之堆疊式半導體封裝結構，其中該線路基板進一步包括：

一第二表面，其上形成有一保護絕緣層，並於該保護絕緣層外凸出有多個錫球或凸塊；以及

複數線路，係形成於該線路基板內，以電性連接該些接點及該些錫球或凸塊。

【第9項】如請求項1至7中任一項所述之堆疊式半導體封裝結構，其中各該凸件材質與該保護絕緣層相同。

【第10項】如請求項1至7中任一項所述之堆疊式半導體封裝結構，其中各該凸件材質為樹脂。

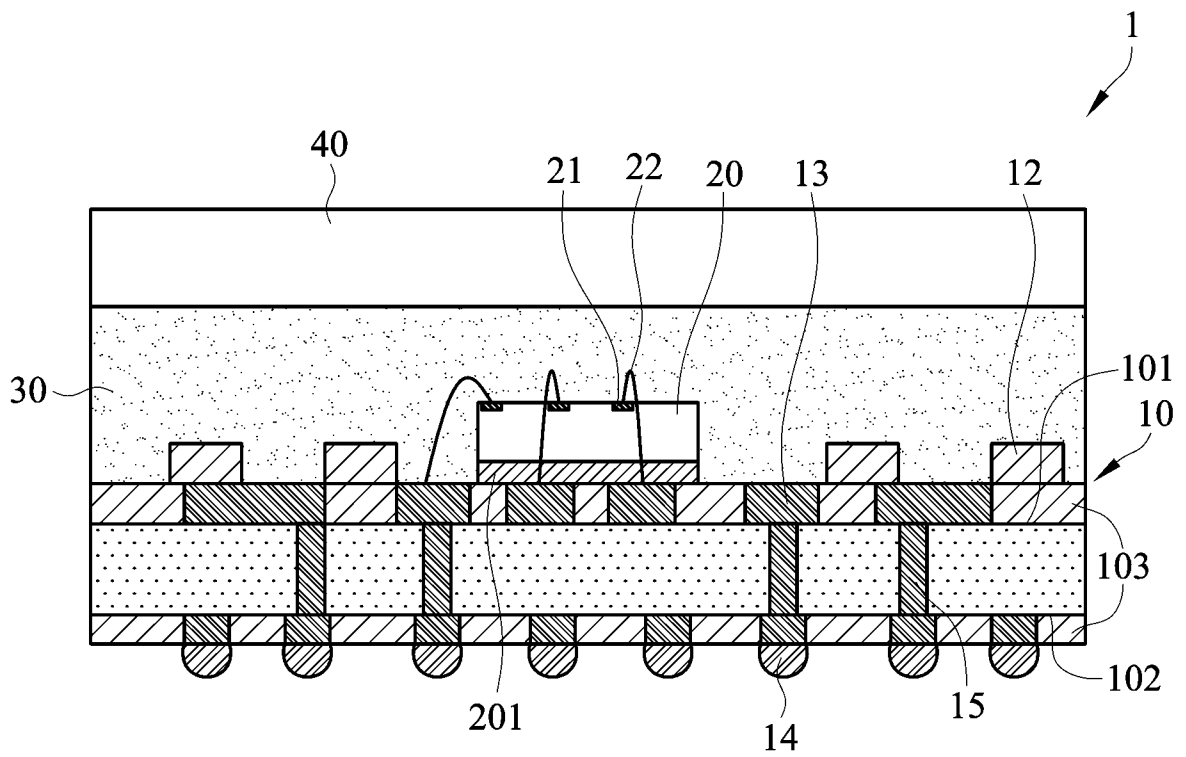


圖 1

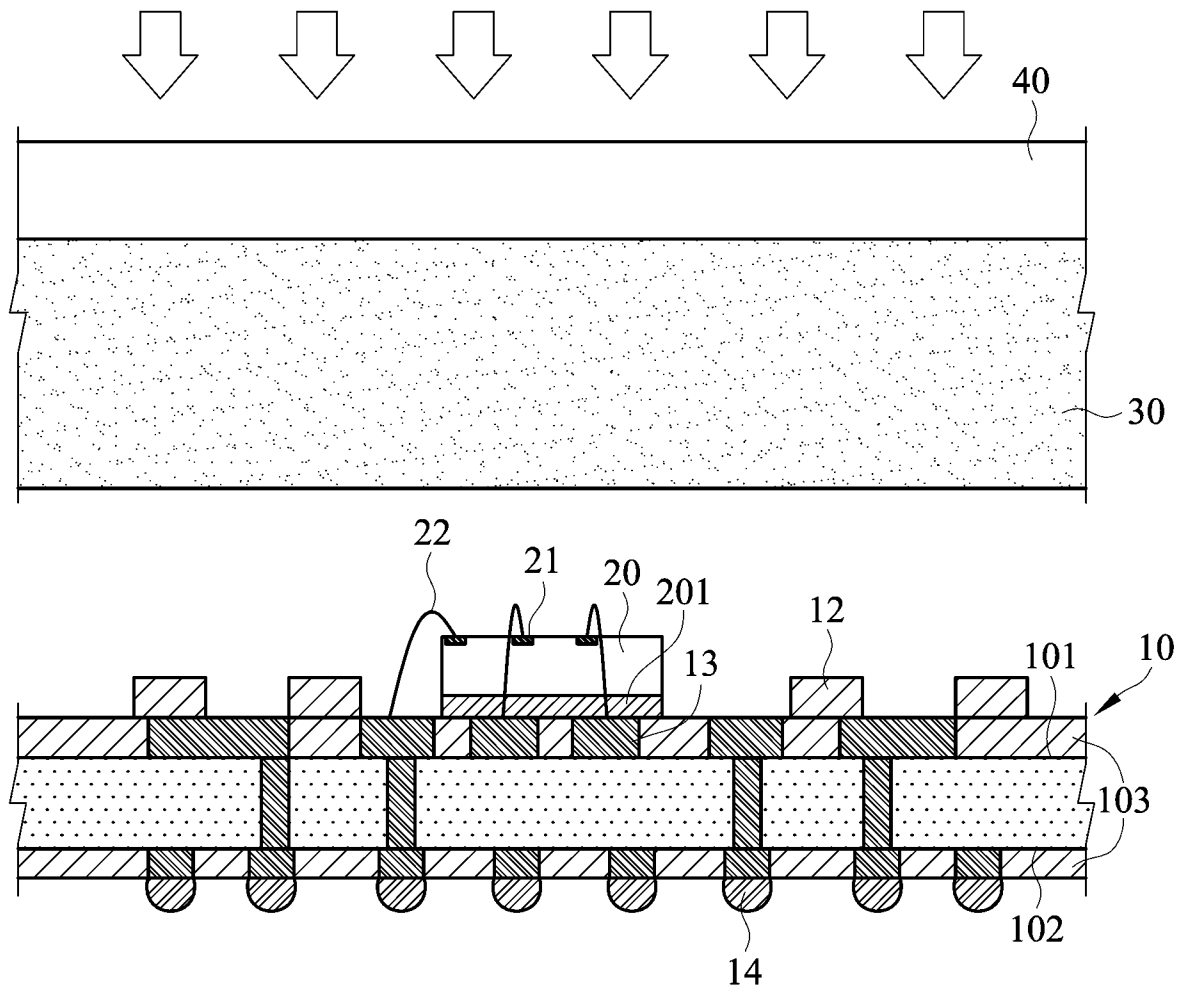


圖 2A

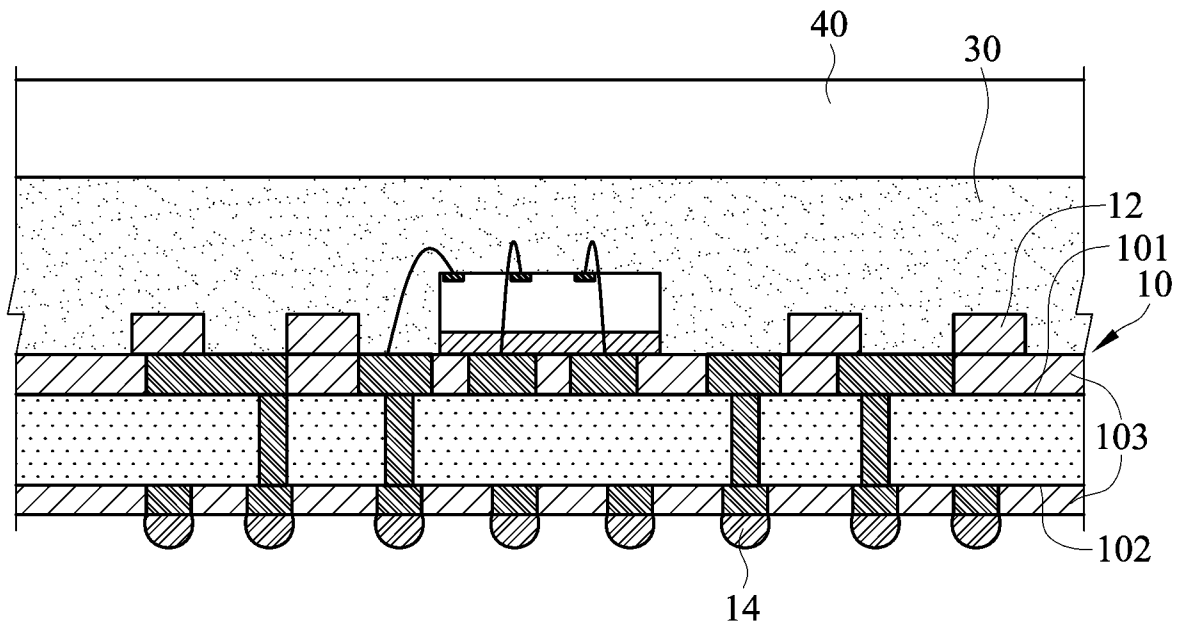


圖 2B

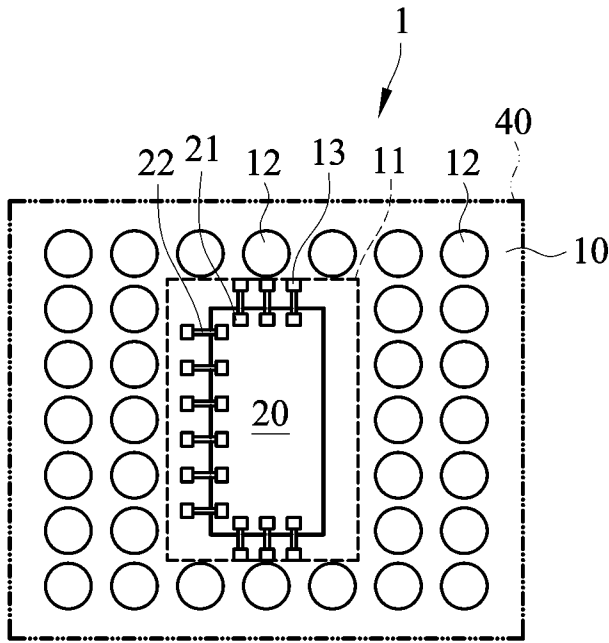


圖 3A

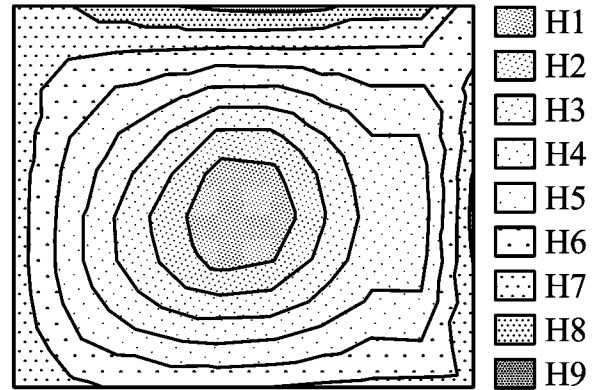


圖 3B

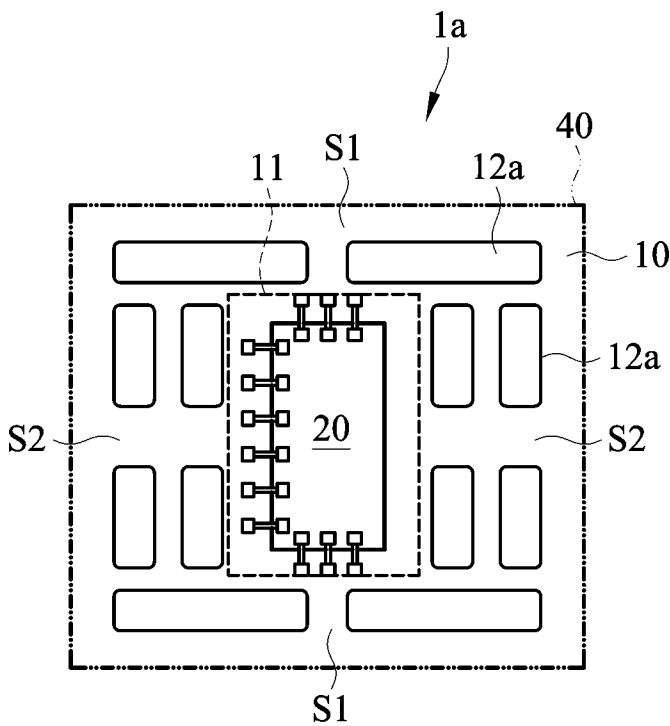


圖 4A

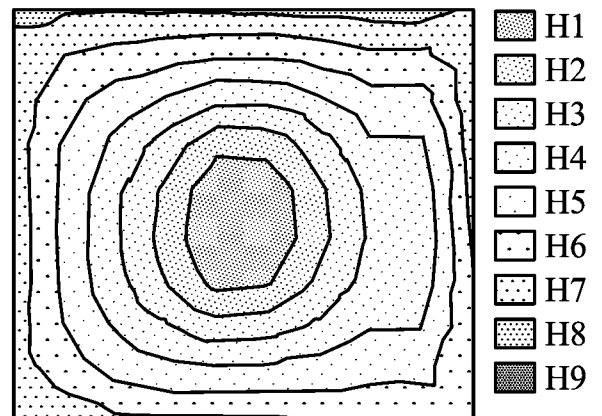


圖 4B

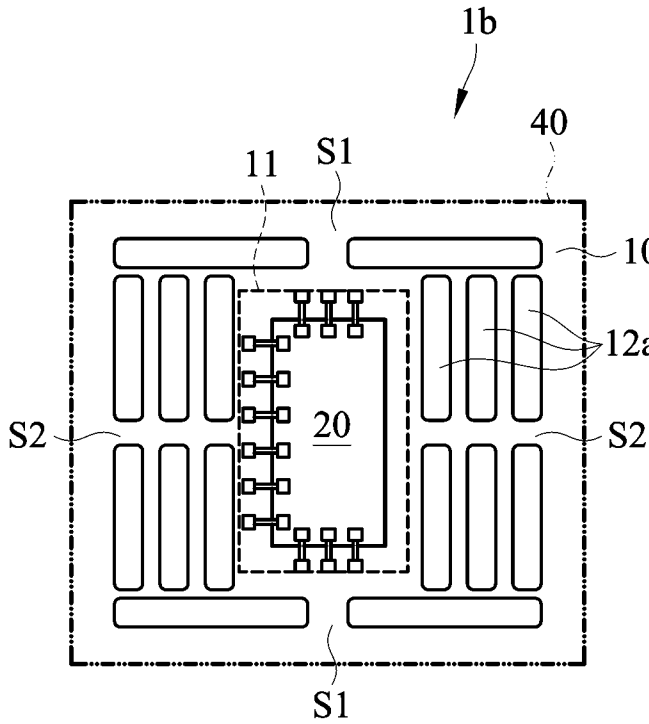


圖 5A

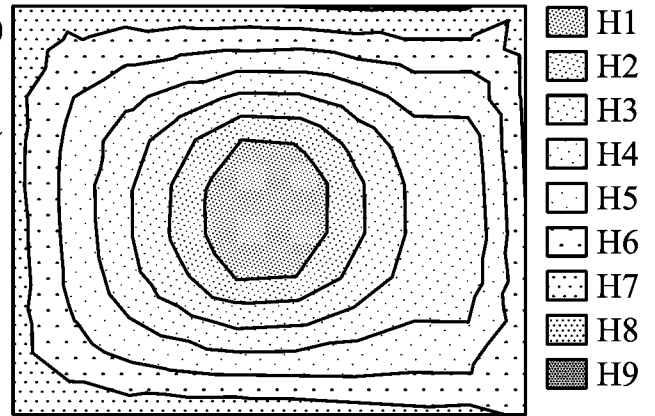


圖 5B

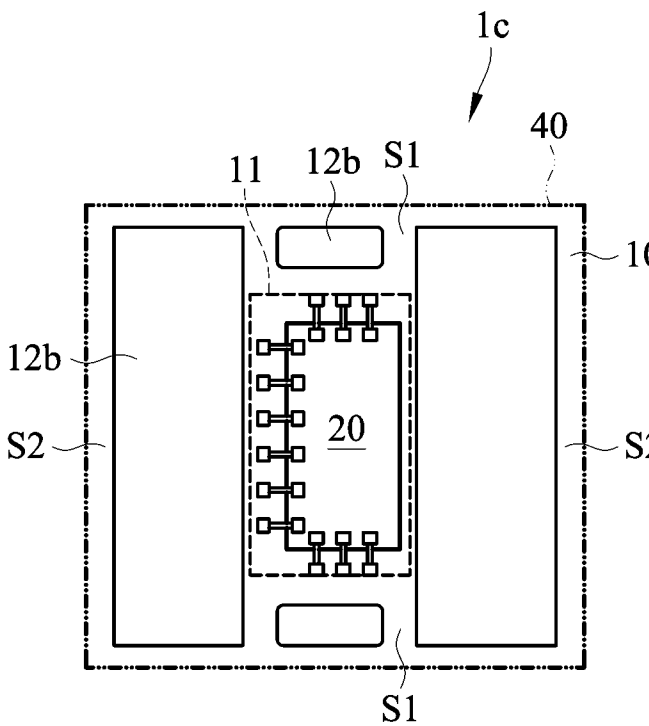


圖 6A

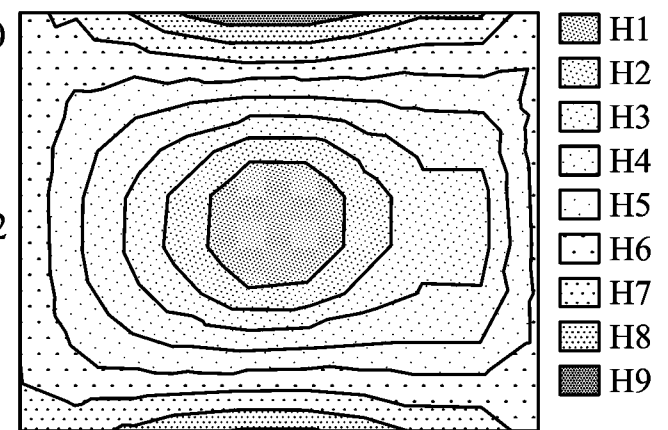


圖 6B

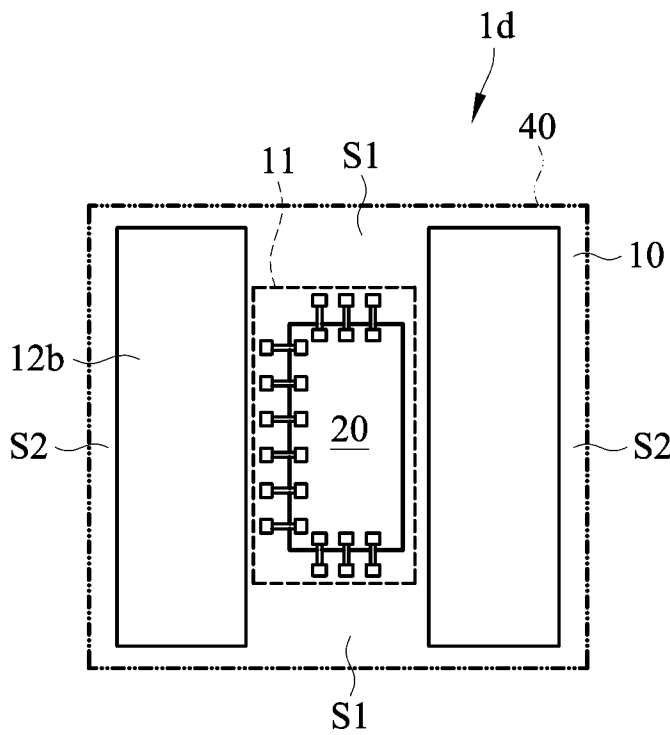


圖 7A

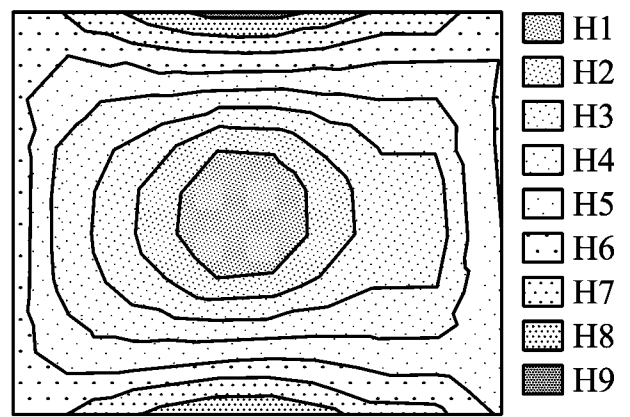


圖 7B

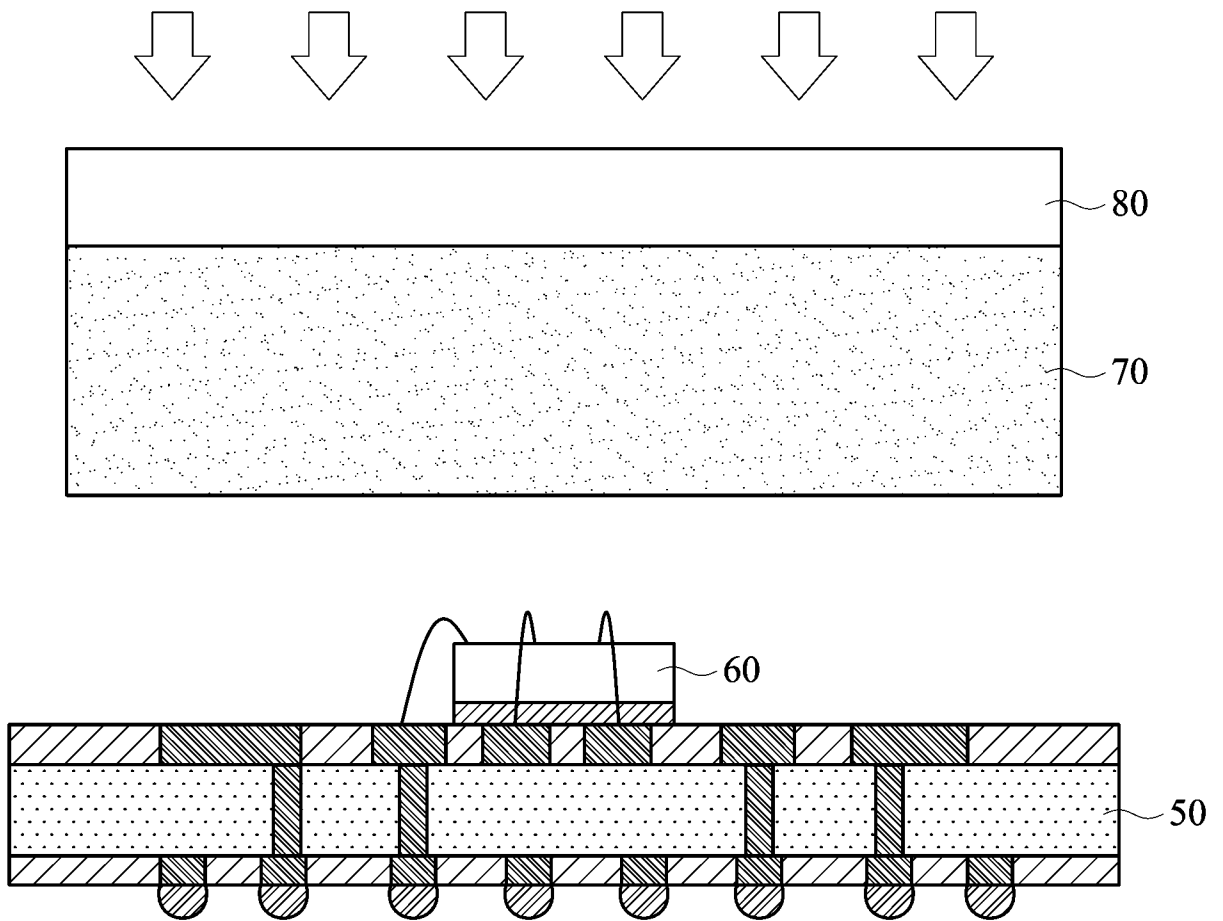


圖 8A

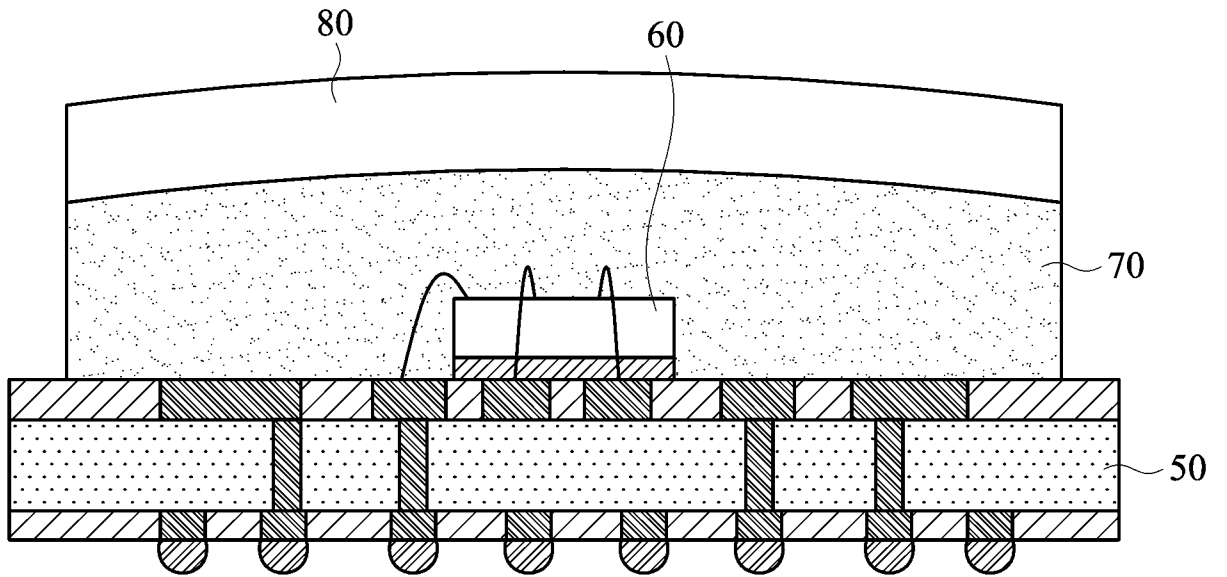


圖 8B

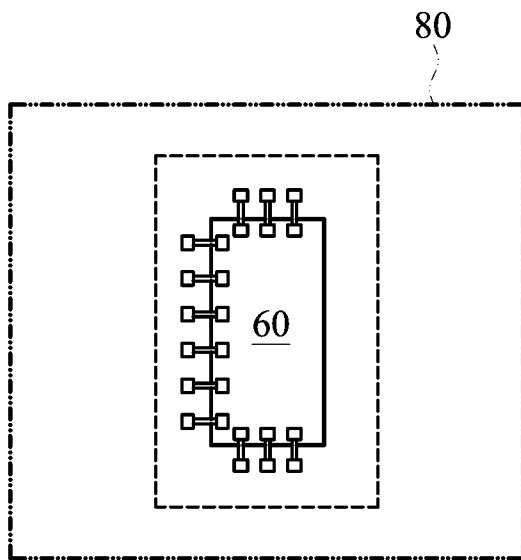


圖 9A

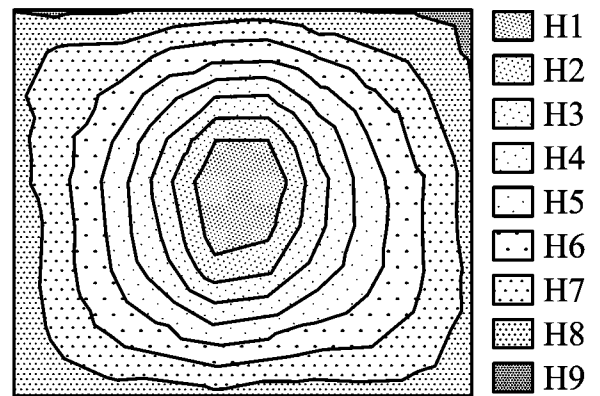


圖 9B