



(12)发明专利申请

(10)申请公布号 CN 108694919 A

(43)申请公布日 2018.10.23

(21)申请号 201711119477.1

(22)申请日 2017.11.14

(30)优先权数据

106110491 2017.03.29 TW

(71)申请人 凌巨科技股份有限公司

地址 中国台湾苗栗县头份镇芦竹里4邻工业路15号

(72)发明人 林囿延 李俊宏

(74)专利代理机构 北京派特恩知识产权代理有限公司 11270

代理人 康艳青 姚开丽

(51)Int.Cl.

G09G 3/36(2006.01)

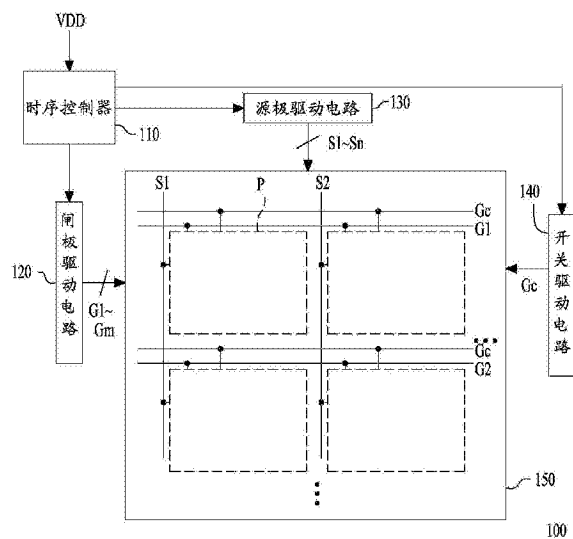
权利要求书2页 说明书7页 附图11页

(54)发明名称

显示面板的驱动方法

(57)摘要

本发明提出一种显示面板的驱动方法。所述显示面板具有阵列排列的多个像素电路。所述多个像素电路各别包括串联耦接的第一开关以及第二开关。所述显示面板的驱动方法包括以下步骤：借由所述多个像素电路各别的所述第一开关的控制端在更新期间中接收第一驱动信号，以使所述多个像素电路各别的所述第一开关在所述更新期间持续开启；以及借由所述多个像素电路各别的所述第二开关的控制端在所述更新期间中依序接收第二驱动信号。因此，本发明的驱动方法具有可有效避免开关组件的偏压应力累积所造成的老化效应的功效。



1. 一种显示面板的驱动方法,其特征在于,所述显示面板具有阵列排列的多个像素电路,并且所述多个像素电路各别包括串联耦接的至少一个第一开关以及至少一个第二开关,其中所述驱动方法包括:

借由所述多个像素电路各别的所述至少一个第一开关的控制端在更新期间中接收第一驱动信号,以使所述多个像素电路各别的所述至少一个第一开关在所述更新期间持续开启;以及

借由所述多个像素电路各别的所述第二开关的控制端在所述更新期间中依序接收第二驱动信号。

2. 根据权利要求1所述的驱动方法,还包括:

借由所述多个像素电路各别的所述第二开关的控制端在等待期间中周期性地接收多个第一脉冲信号,其中所述多个第一脉冲信号具有第一脉冲宽度,并且所述多个第一脉冲信号具有第一高位准电压以及第一低位准电压。

3. 根据权利要求2所述的驱动方法,其中借由每个所述多个像素电路各别的所述第二开关的控制端在所述等待期间中周期性地接收所述多个第一脉冲信号的步骤更包括:

调整所述多个第一脉冲信号的所述第一高位准电压以及所述第一低位准电压的至少其中之一。

4. 根据权利要求2所述的驱动方法,其中所述多个像素电路的所述第二开关的控制端在所述等待期间中分别间隔第一时间长度,以依序接收所述多个第一脉冲信号。

5. 根据权利要求2所述的驱动方法,其中所述显示面板的多个奇数列像素电路与多个偶数列像素电路各别的所述第二开关的控制端分别间隔第一时间长度,以交替接收所述多个第一脉冲信号。

6. 根据权利要求2所述的驱动方法,其中所述多个像素电路各别的所述第二开关的控制端在所述等待期间中同时接收所述多个第一脉冲信号。

7. 根据权利要求2所述的驱动方法,还包括:

借由所述多个像素电路各别的所述至少一个第一开关的控制端在所述等待期间中接收多个第二脉冲信号,并且所述多个第二脉冲信号具有第二脉冲宽度,

其中所述多个像素电路各别于不同时间接收所述多个第二脉冲信号与所述多个第一脉冲信号,并且所述多个像素电路接收的所述多个第一脉冲信号与所述多个像素电路的至少其中之一接收的所述多个第二脉冲信号间隔第二时间长度。

8. 根据权利要求7所述的驱动方法,其中所述多个第二脉冲信号具有第二高位准电压以及第二低位准电压,并且借由所述多个像素电路各别的所述至少一个第一开关的控制端在所述等待期间中接收所述多个第二脉冲信号的步骤还包括:

调整所述多个第二脉冲信号的所述第二高位准电压以及所述第二低位准电压的至少其中之一。

9. 根据权利要求1所述的驱动方法,其中所述显示面板的所述多个像素电路各别的所述至少一个第一开关包括两个第一开关,并且所述两个第一开关的其中之一、所述第二开关以及所述两个第一开关的其中的另一依序串联耦接,其中所述两个第一开关的其中之一控制端耦接所述两个第一开关的其中的另一的控制端。

10. 根据权利要求1所述的驱动方法,其中所述显示面板的画面更新率小于或等于30赫

兹。

## 显示面板的驱动方法

### 技术领域

[0001] 本发明是有关于一种驱动技术,且特别是有关于一种显示面板的驱动方法。

### 背景技术

[0002] 随着显示科技的日益进步,人们借着显示装置的辅助可使生活更加便利,为求显示装置轻、薄的特性,因此平面显示器(Flat Panel Display,FPD)成为目前的主流。并且,由于液晶显示器(Liquid Crystal Display,LCD)具有高空间利用效率、低消耗功率、无辐射以及低电磁干扰等优越特性,因此液晶显示器深受消费者欢迎。

[0003] 因应现在省电的需求,在部分的显示应用下,显示装置的更新频率会降低至30赫兹(Hz)以下,亦即显示面板的像素将有一段时间不进行画面更新,此时像素中的电晶体的闸极电压会在此段时间维持于关闭的电压准位。然而,由于电晶体的闸极电压长时间维持同样的电压准位,会造成电晶体的老化(stress),进而影响显示面板的显示品质。因此,上述老化问题须被克服,以改善显示面板的显示品质。

### 发明内容

[0004] 本发明提供一种显示面板的驱动方法可有效抑制像素电路中的开关元件的老化效应(Aging Effects)。

[0005] 本发明的驱动方法适用于驱动显示面板。所述显示面板具有阵列排列的多个像素电路,并且所述多个像素电路各别包括串联耦接的至少一个第一开关以及第二开关,其中所述驱动方法包括:借由所述多个像素电路各别的所述至少一个第一开关的控制端在更新期间中接收第一驱动信号,以使所述多个像素电路各别的所述至少一个第一开关在所述更新期间持续开启;以及借由所述多个像素电路各别的所述第二开关的控制端在所述更新期间中依序接收第二驱动信号。

[0006] 在本发明的实施例中,上述的驱动方法更包括以下步骤:借由所述多个像素电路各别的所述第二开关的控制端在等待期间中周期性地接收多个第一脉冲信号,其中所述多个第一脉冲信号具有第一脉冲宽度,并且所述多个第一脉冲信号具有第一高位准电压以及第一低位准电压。

[0007] 在本发明的实施例中,上述借由每个所述多个像素电路各别的所述第二开关的控制端在所述等待期间中周期性地接收所述多个第一脉冲信号的步骤还包括以下步骤:调整所述多个第一脉冲信号的所述第一高位准电压以及所述第一低位准电压的至少其中之一。

[0008] 在本发明的实施例中,上述的多个像素电路的所述第二开关的控制端在所述等待期间中分别间隔第一时间长度,以依序接收所述多个第一脉冲信号。

[0009] 在本发明的实施例中,上述的显示面板的多个奇数列像素电路与多个偶数列像素电路各别的所述第二开关的控制端分别间隔第一时间长度,以交替接收所述多个第一脉冲信号。

[0010] 在本发明的实施例中,上述的多个像素电路各别的所述第二开关的控制端在所述

等待期间中同时接收所述多个第一脉冲信号。

[0011] 在本发明的实施例中,上述的驱动方法还包括以下步骤:借由所述多个像素电路各别的所述至少一个第一开关的控制端在所述等待期间中接收多个第二脉冲信号,并且所述多个第二脉冲信号具有第二脉冲宽度,其中所述多个像素电路各别于不同时间接收所述多个第二脉冲信号与所述多个第一脉冲信号,并且所述多个像素电路接收的所述多个第一脉冲信号与所述多个像素电路的至少其中之一接收的所述多个第二脉冲信号间隔第二时间长度。

[0012] 在本发明的实施例中,上述的多个第二脉冲信号具有第二高位准电压以及第二低位准电压,并且借由所述多个像素电路各别的所述至少一个第一开关的控制端在所述等待期间中接收所述多个第二脉冲信号的步骤还包括以下步骤:调整所述多个第二脉冲信号的所述第二高位准电压以及所述第二低位准电压的至少其中之一。

[0013] 在本发明的实施例中,上述的显示面板的所述多个像素电路各别的所述至少一个第一开关包括两个第一开关,并且所述两个第一开关的其中之一、所述第二开关以及所述两个第一开关的其中的另一依序串联耦接,其中所述两个第一开关的其中之一控制端耦接所述两个第一开关的其中的另一的控制端。

[0014] 在本发明的实施例中,上述的显示面板的画面更新率小于或等于30赫兹。

[0015] 基于上述,本发明的显示面板的驱动方法可有效避免像素电路当中的开关元件长时间维持在某个偏压准位下,进而避免开关元件的偏压应力累积所造成的老化效应。

[0016] 为让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合所附图式作详细说明如下。

## 附图说明

[0017] 图1是依照本发明一实施例的显示装置的系统示意图。

[0018] 图2是依照本发明一实施例的像素电路的电路示意图。

[0019] 图3是依照本发明另一实施例的像素电路的电路示意图。

[0020] 图4是依照本发明一实施例的一般模式的信号波形图。

[0021] 图5是依照本发明一实施例的第一去偏压应力模式的信号波形图。

[0022] 图6是依照本发明另一实施例的第一去偏压应力模式的信号波形图。

[0023] 图7是依照本发明又一实施例的第一去偏压应力模式的信号波形图。

[0024] 图8是依照本发明一实施例的第二去偏压应力模式的信号波形图。

[0025] 图9是依照本发明另一实施例的第二去偏压应力模式的信号波形图。

[0026] 图10是依照本发明又一实施例的第二去偏压应力模式的信号波形图。

[0027] 图11是依照本发明一实施例的显示面板的驱动方法的步骤流程图。

[0028] 附图标记说明

[0029] 100:显示装置;

[0030] 110:时序控制器;

[0031] 120:闸极驱动电路;

[0032] 130:源极驱动电路;

[0033] 140:开关驱动电路;

- [0034] 150:显示面板;
- [0035] 410、510、610、710、810、910、1010:第一驱动信号;
- [0036] 421、422、423、521、522、523、621、622、623、721、722、723、821、822、823、921、922、923、1021、1022、1023:第二驱动信号;
- [0037] 531、532、533、631、632、633、731、732、773、831、832、833、931、932、933、1031、1032、1033:第一脉冲信号;
- [0038] 840、940、1040:第二脉冲信号;
- [0039] Cst:储存电容;
- [0040] Clc:液晶电容;
- [0041] FS:图框信号;
- [0042] FP1:图框写入期间;
- [0043] FP2:非图框写入期间;
- [0044] Gc:共闸极信号线;
- [0045] G1、G2、G3~Gm:闸极信号线;
- [0046] M1、M1'、M2:开关;
- [0047] P:像素电路;
- [0048] P1:更新期间;
- [0049] P2:等待期间;
- [0050] S1、S2~Sn:源极信号线;
- [0051] S1110、S1120:步骤;
- [0052] T1、T2:时间长度;
- [0053] VDD:工作电压;
- [0054] VCOM:接地端;
- [0055] W1、W2:脉冲宽度。

### 具体实施方式

[0056] 以下提出多个实施例来说明本发明,然而本发明不限于所例示的多个实施例。并且实施例之间也允许有适当的结合。在本案说明书全文(包括权利要求书)中所使用的“耦接”一词可指任何直接或间接的连接手段。举例而言,若文中描述第一装置耦接至第二装置,则应该被解释成所述第一装置可以直接连接于所述第二装置,或者所述第一装置可以透过其他装置或某种连接手段而间接地连接至所述第二装置。此外,“信号”一词可指至少一电流、电压、电荷、温度、资料、或任何其他一个或多个信号。

[0057] 图1是依照本发明一实施例的显示装置的系统示意图。参照图1,显示装置100包括时序控制器110、闸极驱动电路120、源极驱动电路130、开关驱动电路140及显示面板150。显示面板150包括阵列排列的多个像素电路P。显示装置100可为一种薄膜电晶体液晶显示器(Thin Film Transistor Liquid-Crystal Display, TFT-LCD)。在本实施例中,这些像素电路P的每一行配置一条源极信号线,以及这些像素电路P的每一列配置一条闸极信号线以及一条共闸极信号线Gc。在本实施例中,像素电路P的各开关元件可为薄膜电晶体(Thin film transistor)。

[0058] 在本实施例中,时序控制器110用以接收工作电压VDD,并且致能闸极驱动电路120、源极驱动电路130以及开关驱动电路140。开关驱动电路140借由多个共闸极信号线Gc输出第一驱动信号至显示面板150当中的每个像素电路P。闸极驱动电路120借由多个闸极信号线G1~Gm输出多个第二驱动信号至显示面板150当中的每个像素电路P,其中m为大于0的正整数。源极驱动电路130借由多个源极信号线S1~Sn输出多个图框信号至显示面板150当中的每个像素电路P,其中n为大于0的正整数。在本实施例中,显示面板150可例如是操作在画面更新率小于或等于30赫兹(Hz)的频率,但本发明并不限于此。

[0059] 以下图2、图3说明本发明各实施例所述的显示面板当中的两种像素电路的实施方式。

[0060] 图2是依照本发明一实施例的像素电路的电路示意图。参照图2,本实施例的像素电路P为一种双闸极薄膜晶体管(Dual-gate TFT)。像素电路P包括储存电容Cst以及液晶电容C1c、串联耦接的第一开关M1以及第二开关M2,其中第一开关M1以及第二开关M2可为薄膜晶体管。在本实施例中,第一开关M1的第一端耦接源极信号线Sn。第一开关M1的控制端耦接共闸极信号线Gc。第一开关M1的第二端耦接第二开关M2的第一端。第二开关M2的控制端耦接闸极信号线Gm。储存电路Cst以及液晶电容C1c并联的一端耦接于第二开关M2的第二端,且并联的另一端耦接于接地端VCOM。在本实施例中,第一开关M1的第一端可透过源极信号线Sn接收图框信号。第一开关M1的控制端可透过共闸极信号线Gc接收第一驱动信号。第二开关M2的控制端可透过闸极信号线Gm接收第二驱动信号。

[0061] 图3是依照本发明另一实施例的像素电路的电路示意图。参照图3,本实施例的像素电路P为一种三闸极薄膜晶体管(Triple-gate TFT)。像素电路P包括储存电路Cst以及液晶电容C1c、串联耦接的两个第一开关M1、M1'以及第二开关M2,其中第一开关M1、M1'以及第二开关M2可为薄膜晶体管。此外,相较于两个串联耦接的开关元件的像素电路,本实施例的三个串联耦接的开关元件的像素电路可降低漏电流的大小。

[0062] 在本实施例中,第一开关M1的第一端耦接源极信号线Sn。第一开关M1的控制端耦接共闸极信号线Gc。第一开关M1的第二端耦接第二开关M2的第一端。第二开关M2的控制端耦接闸极信号线Gm。第二开关M2的第二端耦接另一第一开关M1'。另一第一开关M1'的控制端同样耦接共闸极信号线Gc。储存电路Cst以及液晶电容C1c并联的一端耦接于另一第一开关M1'的第二端,且并联的另一端耦接于接地端VCOM。在本实施例中,第一开关M1的第一端可透过源极信号线Sn接收图框信号。两个第一开关M1、M1'的控制端分别可透过共闸极信号线Gc接收第一驱动信号。第二开关M2的控制端可透过闸极信号线Gm接收第二驱动信号。

[0063] 以下图4至图10分别举例说明本发明的显示面板的去偏压应力的多个时序控制方法的实施方式,并且图4至图10的实施方式可例如应用图2以及图3实施例所述的像素电路,但本发明并不限于此。

[0064] 图4是依照本发明一实施例的一般模式的信号波形图。参照图1、图3以及图4,图4的信号波形可例如用于驱动图1的显示面板150,以及可例如用于图3的像素电路P。在本实施例中,显示面板150的每一行(column)的像素电路P可透过源极信号线Sn接收图框信号FS。值得注意的是,本实施例的信号波形描述是举三个列(row)的像素电路P来说明,但本实施例的像素电路P的行列数并不限于此。并且,本实施例的像素电路P可操作在图框写入期间FP1以及非图框写入期间FP2。

[0065] 在更新期间P1中,显示面板150的每一个像素电路P的第一开关M1、M1'的控制端可透过共闸极信号线Gc接收第一驱动信号410,以使每一个像素电路P的第一开关M1、M1'在更新期间P1持续开启。并且,本实施例的显示面板150的每一列的像素电路P的第二开关M2的控制端可透过闸极信号线G1、G2、G3依序接收第二驱动信号421、422、423。也就是说,在更新期间P1中,显示面板150当中的各个像素电路P可透过各别的第二开关M2依序接收驱动信号的方式来进行图框信号FS的写入操作。在等待期间P2中,显示面板150的每一个的像素电路P的第一开关M1、M1'以及第二开关M2的控制端未接收信号。另外,在非图框写入期间FP2,显示面板150也可如同于图框写入期间FP1接收相同的驱动信号波形,但本发明并不加以限制。

[0066] 图5是依照本发明一实施例的第一去偏压应力模式的信号波形图。参照图1、图3以及图5,本实施例的显示面板150的每一个像素电路P的第一开关M1、M1'在更新期间P1可透过共闸极信号线Gc接收第一驱动信号510,并且每一列的像素电路P的第二开关M2依序接收周期性地第二驱动信号521、522、523。

[0067] 相较于上述实施例,在等待期间P2中,本实施例的显示面板150的每一列的像素电路P的第二开关M2的控制端可依序接收周期性地多个第一脉冲信号531、532、533。举例来说,第一脉冲信号531、532、533的脉冲宽度W1可例如是0.5毫秒(ms),并且第一脉冲信号531、532、533分别间隔的时间长度T1可例如是1.5毫秒(ms),但本发明并不限于此。另外,在非图框写入期间FP2,显示面板150也可如同于图框写入期间FP1接收相同的驱动信号波形以及脉冲信号波形,但本发明并不加以限制。

[0068] 图6是依照本发明另一实施例的第一去偏压应力模式的信号波形图。参照图1、图3以及图6,本实施例的显示面板150的每一个像素电路P的第一开关M1、M1'在更新期间P1可透过共闸极信号线Gc接收第一驱动信号610,并且每一列的像素电路P的第二开关M2依序接收周期性地第二驱动信号621、622、623。

[0069] 相较于上述实施例,在等待期间P2中,本实施例的显示面板150的奇数列以及偶数列的像素电路P的第二开关M2的控制端可分别间隔时间长度T1交替接收周期性地多个第一脉冲信号631、632、633。举例来说,第一脉冲信号631、632、633的脉冲宽度W1可例如是0.5毫秒(ms),并且第一脉冲信号631、632、633交替间隔的时间长度可例如是1.5毫秒(ms),但本发明并不限于此。另外,在非图框写入期间FP2,显示面板150也可如同于图框写入期间FP1接收相同的驱动信号波形以及脉冲信号波形,但本发明并不加以限制。

[0070] 图7是依照本发明又一实施例的第一去偏压应力模式的信号波形图。参照图1、图3以及图7,本实施例的显示面板150的每一个像素电路P的第一开关M1、M1'在更新期间P1可透过共闸极信号线Gc接收第一驱动信号710,并且每一列的像素电路P的第二开关M2依序接收周期性地第二驱动信号721、722、723。

[0071] 相较于上述实施例,在等待期间P2中,本实施例的显示面板150的奇数列以及偶数列像素电路P的第二开关M2的控制端可同时接收周期性地多个第一脉冲信号731、732、733。另外,在非图框写入期间FP2中,显示面板150也可如同于图框写入期间FP1接收相同的驱动信号波形以及脉冲信号波形,但本发明并不加以限制。

[0072] 图8是依照本发明一实施例的第二去偏压应力模式的信号波形图。参照图1、图3以及图8,本实施例的显示面板150的每一个像素电路P的第一开关M1、M1'在更新期间P1可透



过共闸极信号线Gc接收第一驱动信号810,并且每一列的像素电路P的第二开关M2依序接收周期性地第二驱动信号821、822、823。

[0073] 相较于上述实施例,在等待期间P2中,本实施例的显示面板150的每一列的像素电路P的第二开关M2的控制端可依序接收周期性地多个第一脉冲信号831、832、833。举例来说,第一脉冲信号831、832、833的脉冲宽度W1可例如是0.5毫秒(ms),并且第一脉冲信号831、832、833分别间隔的时间长度T1可例如是1.5毫秒(ms),但本发明并不限于此。

[0074] 并且,在等待期间P2中,本实施例的显示面板150的每一个的像素电路P的第一开关M1、M1'可接收周期性地多个第二脉冲信号840。举例来说,第二脉冲信号840的脉冲宽度W2可相同或不不同于脉冲宽度W1,并且第二脉冲信号840与第一脉冲信号831可间隔时间长度T2,本发明并不加以限制。另外,在非图框写入期间FP2中,显示面板150也可如同于图框写入期间FP1接收相同的驱动信号波形以及脉冲信号波形,但本发明并不加以限制。

[0075] 图9是依照本发明另一实施例的第二去偏压应力模式的信号波形图。参照图1、图3以及图9,本实施例的显示面板150的每一个像素电路P的第一开关M1、M1'在更新期间P1可透过共闸极信号线Gc接收第一驱动信号910,并且每一列的像素电路P的第二开关M2依序接收周期性地第二驱动信号921、922、923。

[0076] 相较于上述实施例,在等待期间P2中,本实施例的显示面板150的奇数列以及偶数列的像素电路P的第二开关M2的控制端可分别间隔时间长度T1交替接收周期性地多个第一脉冲信号931、932、933。举例来说,第一脉冲信号931、932、933的脉冲宽度W1可例如是0.5毫秒(ms),并且第一脉冲信号931、932、933交替间隔的时间长度T1可例如是1.5毫秒(ms),但本发明并不限于此。

[0077] 并且,在等待期间P2中,本实施例的显示面板150的每一个的像素电路P的第一开关M1、M1'可接收周期性地多个第二脉冲信号940。举例来说,第二脉冲信号940的脉冲宽度W2可相同或不不同于脉冲宽度W1,并且第二脉冲信号940与第一脉冲信号931可间隔时间长度T2,本发明并不加以限制。另外,在非图框写入期间FP2,显示面板150也可如同于图框写入期间FP1接收相同的驱动信号波形以及脉冲信号波形,但本发明并不加以限制。

[0078] 图10是依照本发明又一实施例的第二去偏压应力模式的信号波形图。参照图1、图3以及图10,本实施例的显示面板150的每一个像素电路P的第一开关M1、M1'在更新期间P1可透过共闸极信号线Gc接收第一驱动信号1010,并且每一列的像素电路P的第二开关M2依序接收周期性地第二驱动信号1021、1022、1023。

[0079] 相较于上述实施例,在等待期间P2中,本实施例的显示面板150的奇数列以及偶数列像素电路P的第二开关M2的控制端可同时接收周期性地多个第一脉冲信号1031、1032、1033。举例来说,第一脉冲信号1031、1032、1033的脉冲宽度W1可例如是0.5毫秒(ms)。

[0080] 并且,在等待期间P2中,本实施例的显示面板150的每一个的像素电路P的第一开关M1、M1'可接收周期性地多个第二脉冲信号1040。举例来说,第二脉冲信号1040的脉冲宽度W2可相同或不不同于脉冲宽度W1,并且第二脉冲信号1040与第一脉冲信号1031可间隔时间长度T2,本发明并不加以限制。另外,在本实施例中,在非图框写入期间FP2,显示面板150也可如同于图框写入期间FP1接收相同的驱动信号波形以及脉冲信号波形,但本发明并不加以限制。

[0081] 值得注意的是,以图3的像素电路P为例,上述图4至图10实施例所述的各模式的时

序控制方法可有效避免第一开关M1、M1'以及第二开关M2长时间维持在某个偏压准位下,进而改善偏压应力所造成薄膜电晶体的老化效应。

[0082] 此外,上述各实施例的第一脉冲信号具有第一高位准电压以及第一低位准电压,并且第二脉冲信号具有第二高位准电压以及第二低位准电压。在一实施例中,像素电路可进一步包括多工器或其他电路元件,并且用以依据面板规格或使用者需求等条件来调整脉冲信号的高、低位准电压,而不限于图4至图10所示的脉冲信号波形。

[0083] 图11是依照本发明一实施例的显示面板的驱动方法的步骤流程图。本实施例的驱动方法可至少适用于图1的显示面板150以及图2、图3的像素电路P。请参照图1、11,在本实施例中,显示面板150具有阵列排列的多个像素电路P,并且这些像素电路P各别包括串联耦接的至少一个第一开关以及第二开关。本实施例的驱动方法可包括以下步骤。在步骤S1110中,显示面板150可借由这些像素电路的至少一个第一开关的控制端在更新期间中接收第一驱动信号,以使这些像素电路的至少一个第一开关在更新期间持续开启。在步骤S1120中,显示面板150可借由这些像素电路P的第二开关的控制端在更新期间中依序接收第二驱动信号。

[0084] 此外,本实施例的显示面板的驱动方法的其他相关实施方式可依据上述图1~图10实施例中获致足够的教示、建议与实施说明,因此不再赘述。

[0085] 综上所述,本发明的显示面板的驱动方法可有效避免或减缓操作在低频模式(例如,操作频率等于或小于30赫兹)下的显示面板当中的多个像素电路的开关元件的老化效应。也就是说,本发明的显示面板的各像素电路可借由在等待期间中提供周期性地脉冲信号至开关元件,以使有效避免开关元件长时间维持在某个偏压准位,进而改善偏压应力所造成薄膜电晶体的老化效应。

[0086] 虽然本发明已以实施例揭露如上,然其并非用以限定本发明,任何所属技术领域中具有通常知识者,在不脱离本发明的精神和范围内,当可作些许的更动与润饰,故本发明的保护范围当视权利要求所界定的为准。

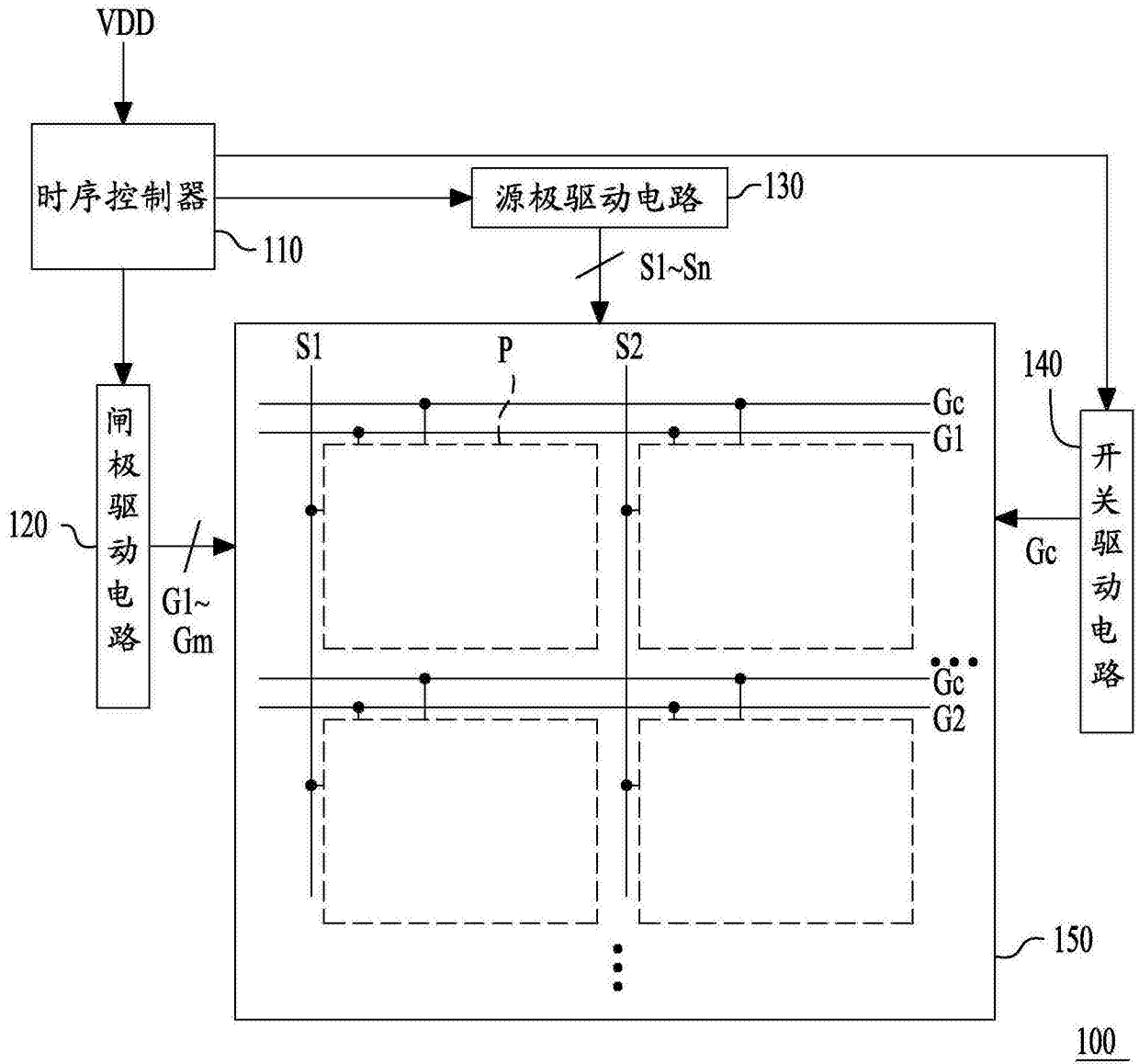


图1

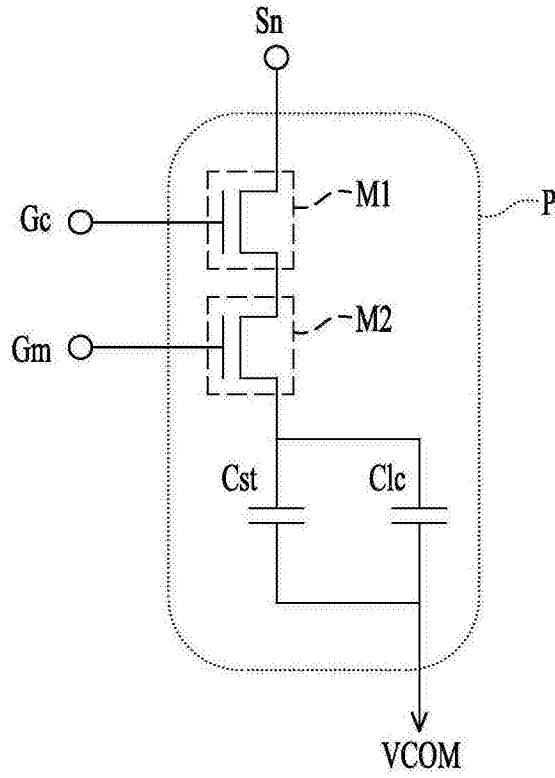


图2

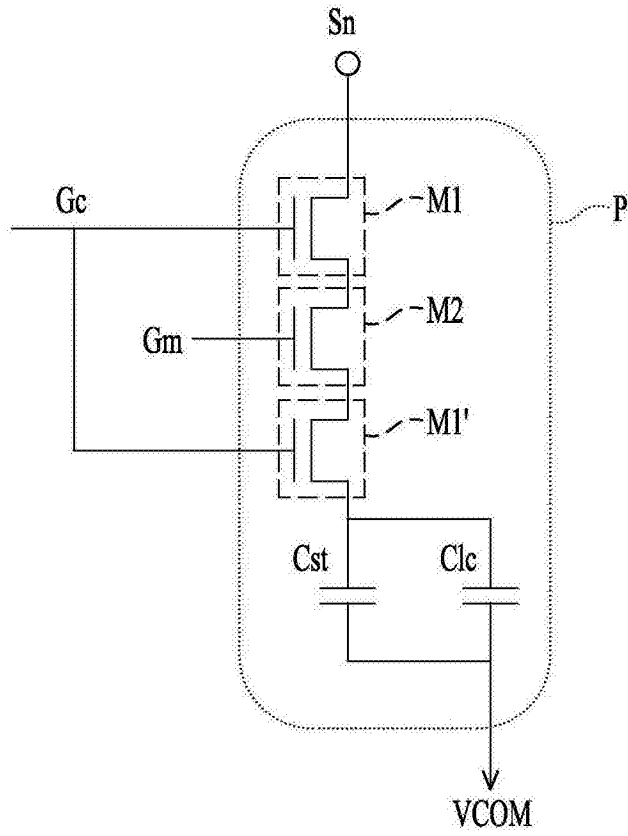


图3

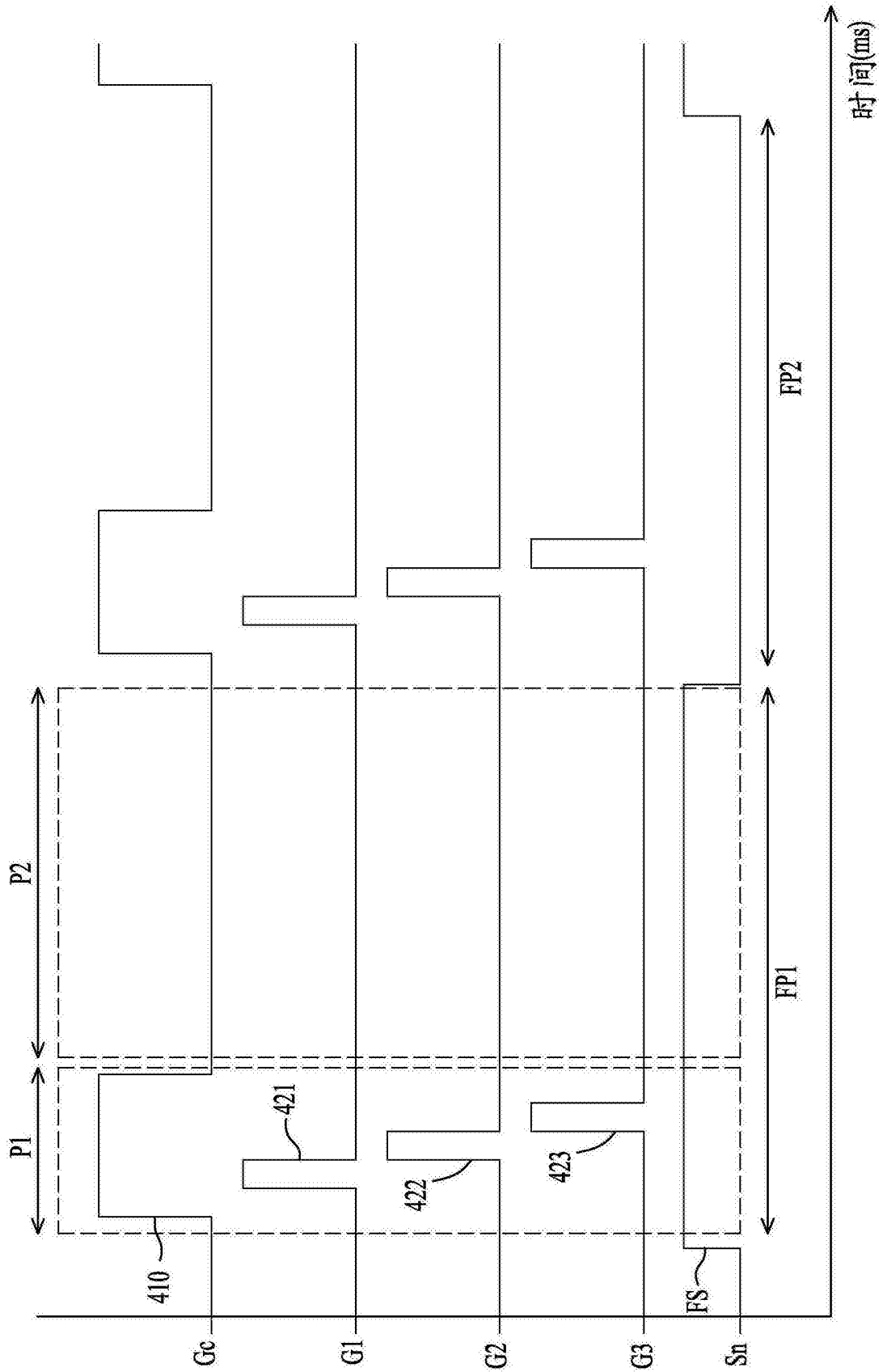


图4

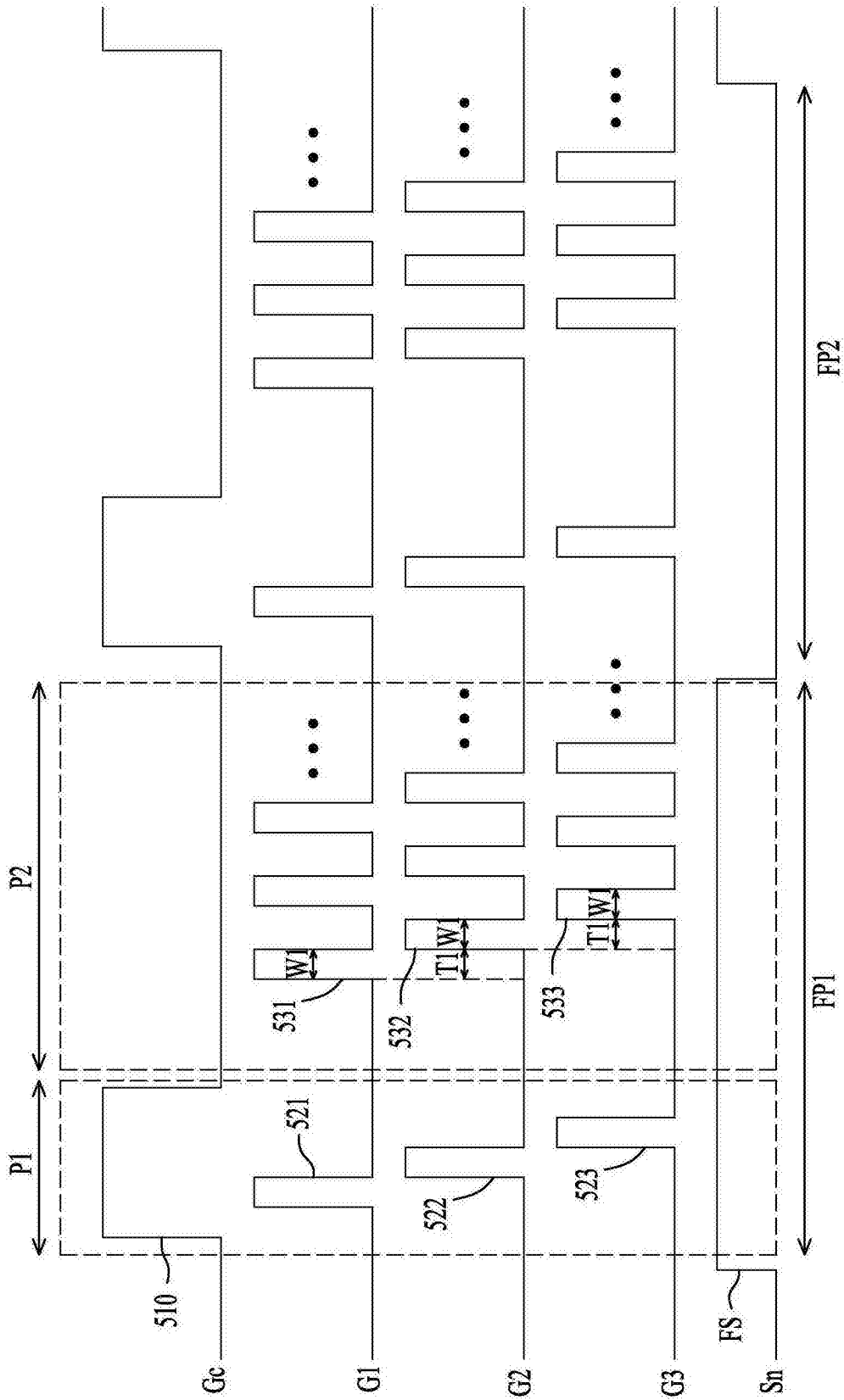


图5

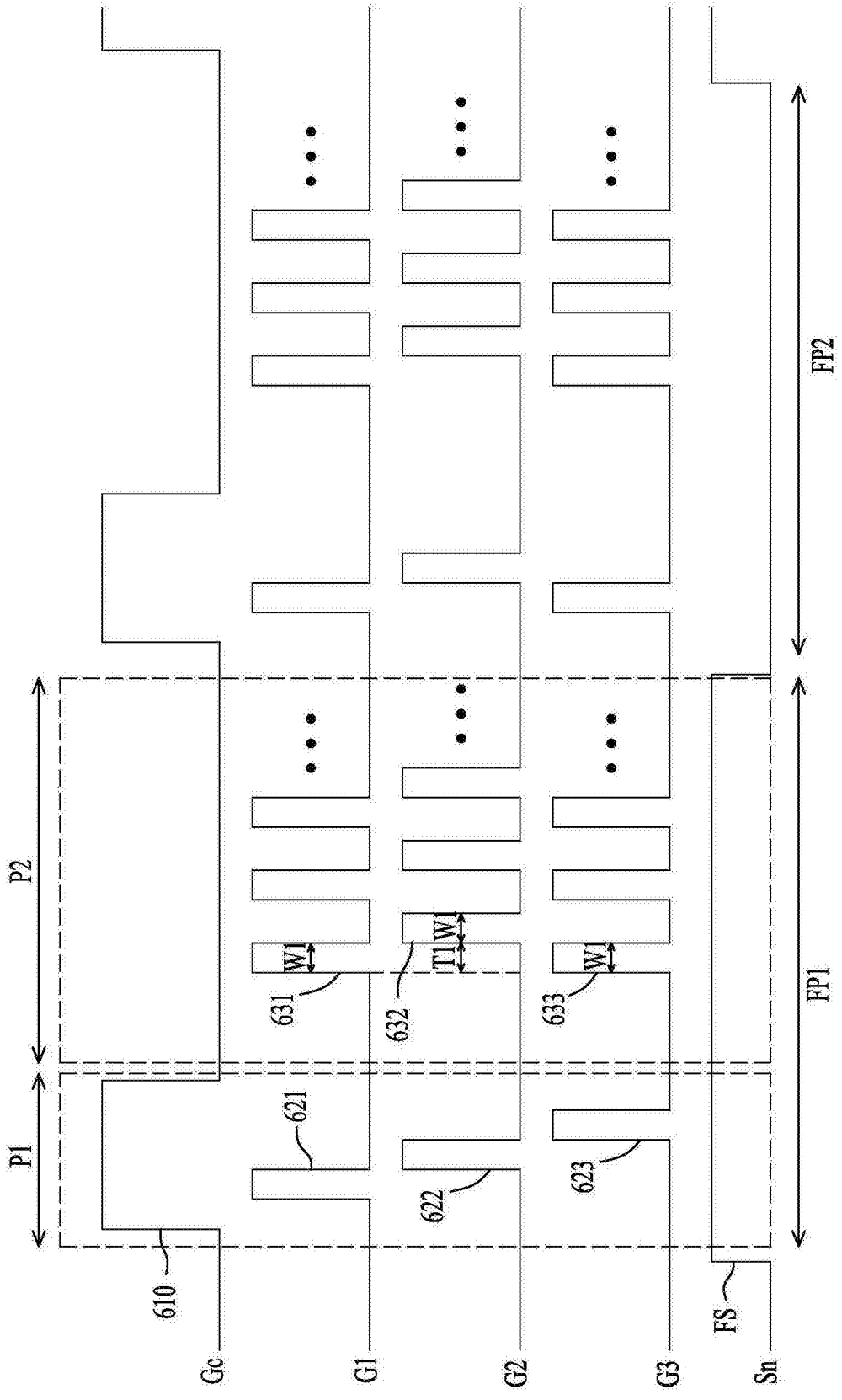


图6



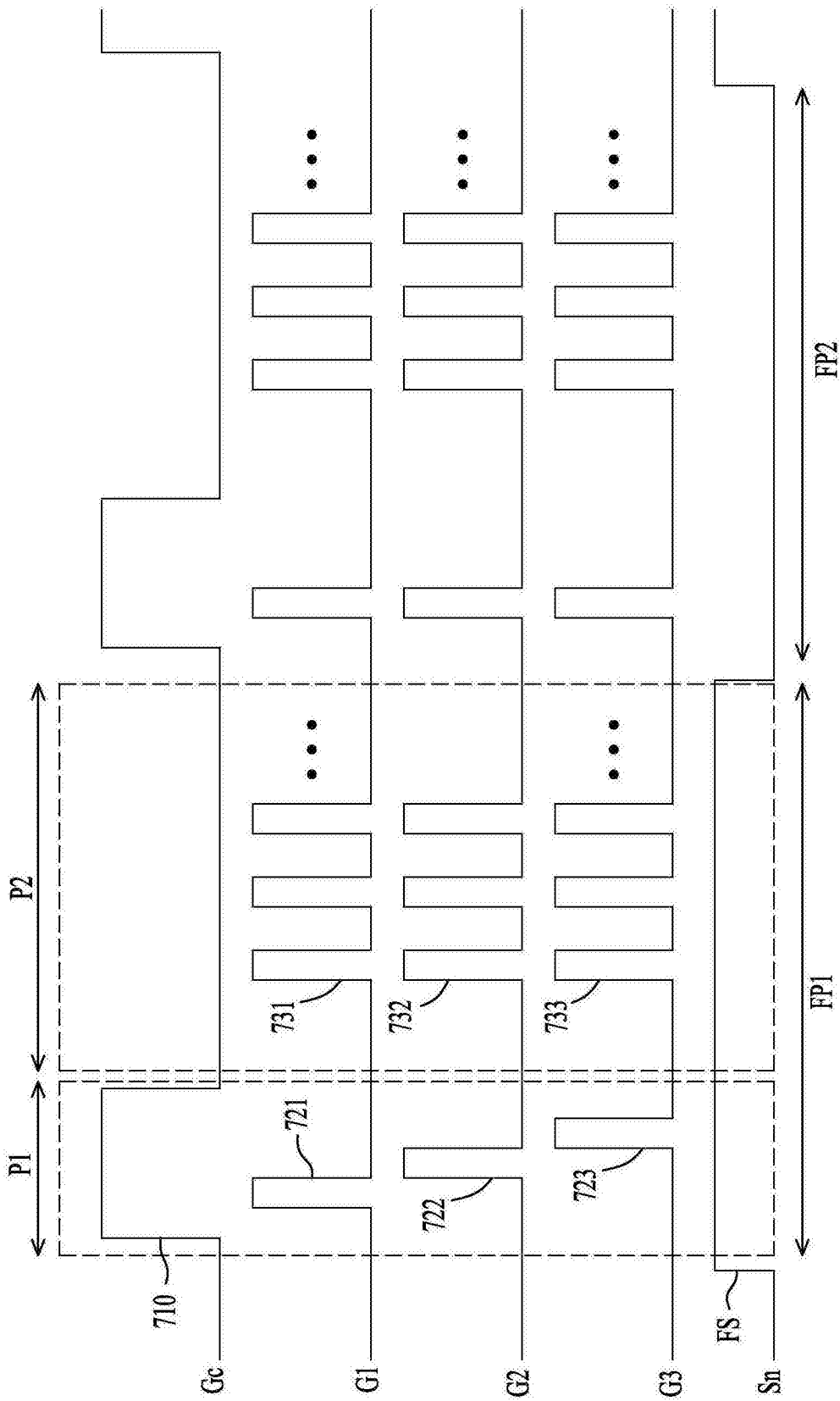


图7

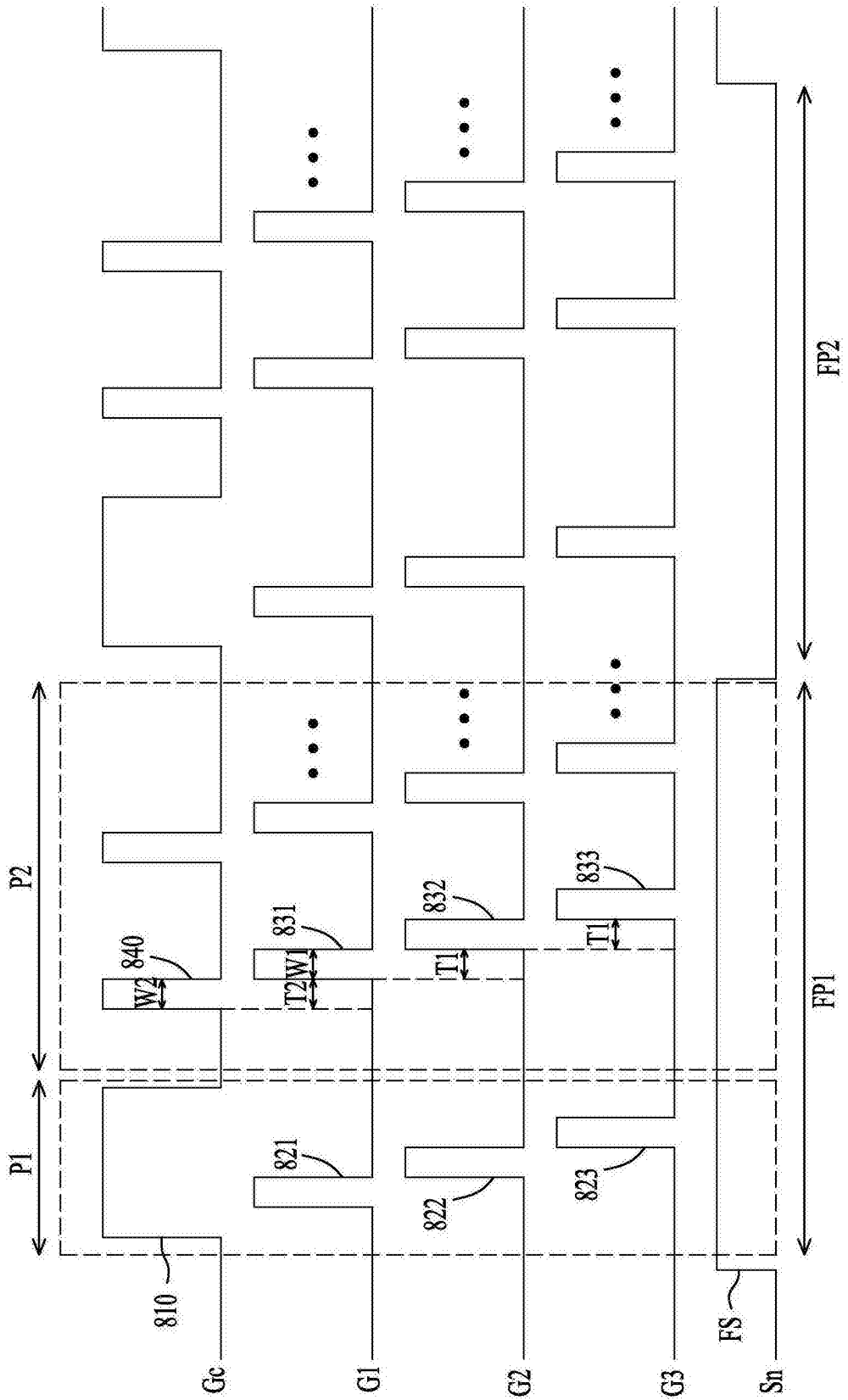


图8

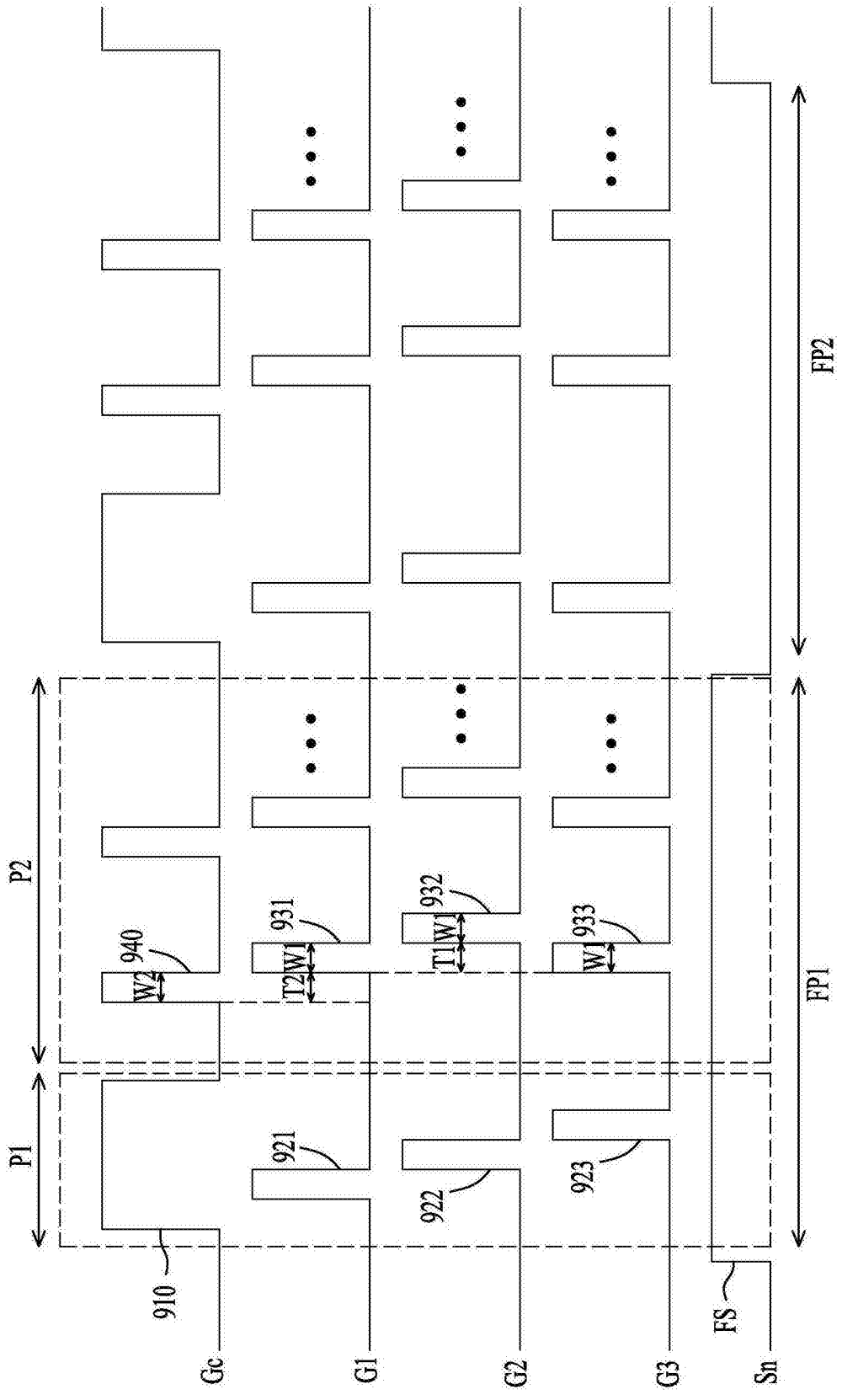


图9

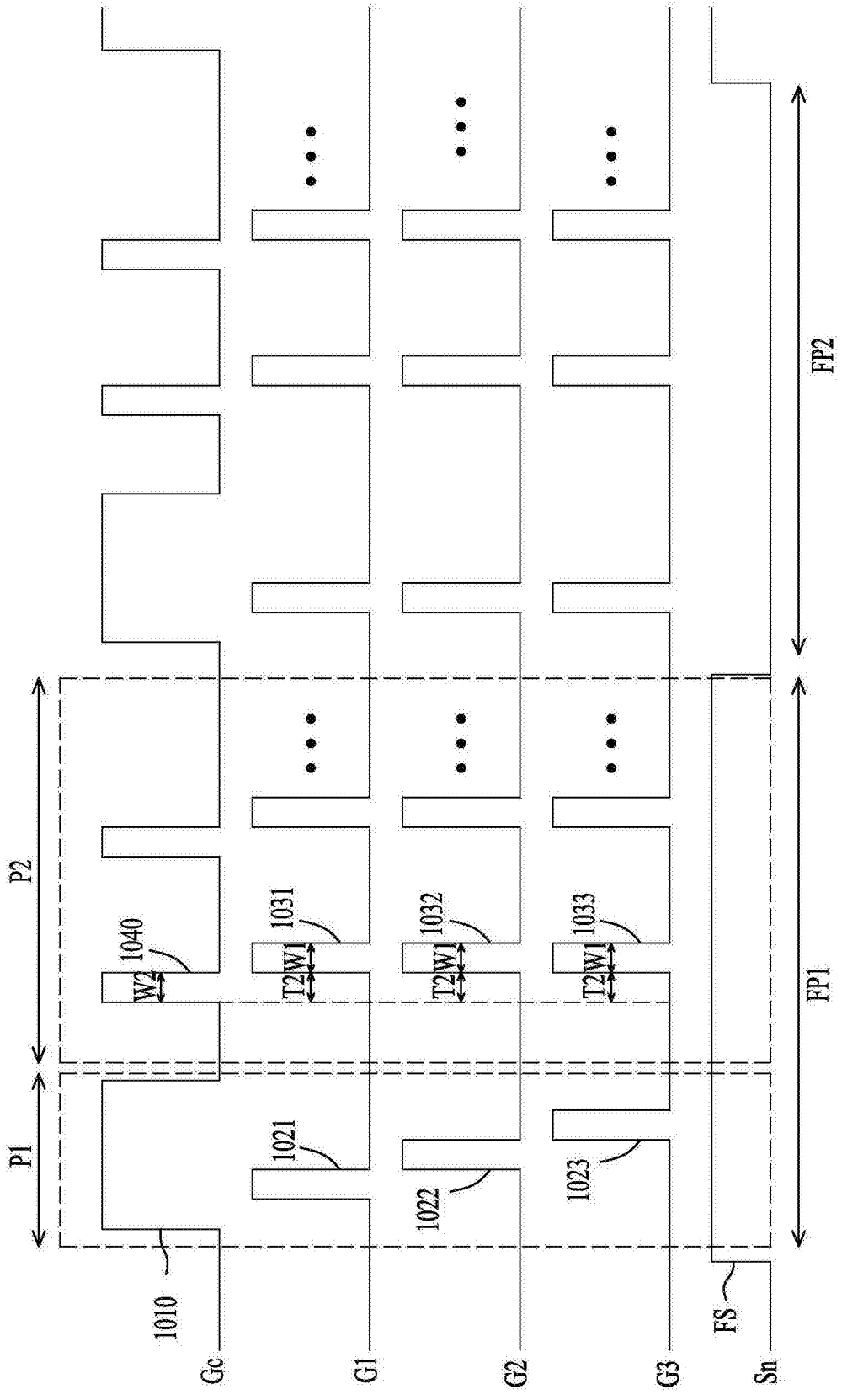


图10

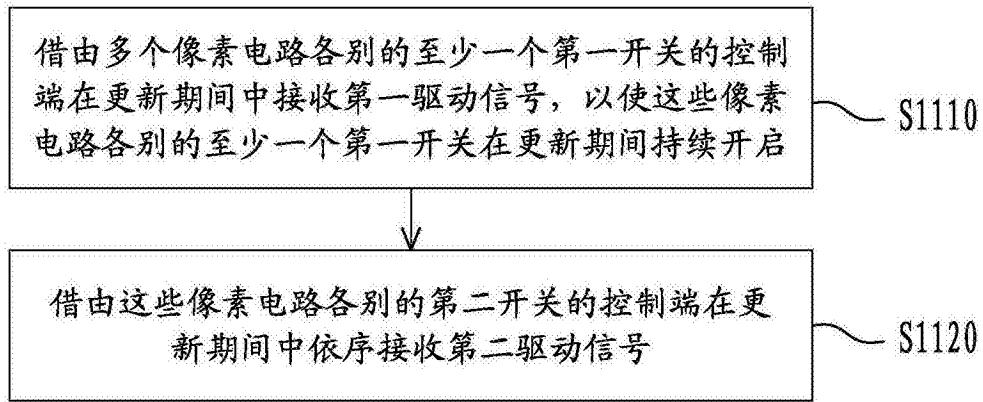


图11