



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 10 2005 004 160 A1** 2006.08.10

(12)

## Offenlegungsschrift

(21) Aktenzeichen: **10 2005 004 160.4**

(22) Anmeldetag: **28.01.2005**

(43) Offenlegungstag: **10.08.2006**

(51) Int Cl.<sup>8</sup>: **H01L 23/482** (2006.01)

(71) Anmelder:

**Infineon Technologies AG, 81669 München, DE**

(74) Vertreter:

**Schoppe, Zimmermann, Stöckeler & Zinkler, 82049 Pullach**

(72) Erfinder:

**Lohninger, Gerhard, 81825 München, DE;  
Krumbein, Ulrich, Dr., 83026 Rosenheim, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:

**DE 103 51 028 A1**

**DE 101 07 142 A1**

**US2004/02 03 237 A1**

**US 61 21 119 A**

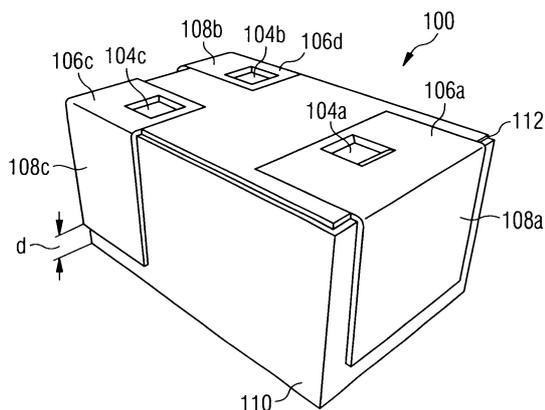
**WO 03/0 73 505 A1**

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Halbleiterbaustein und Verfahren zum Herstellen desselben**

(57) Zusammenfassung: Der Halbleiterbaustein (100) umfasst einen Halbleiterkörper (102) mit einer ersten und einer gegenüberliegenden zweiten Hauptoberfläche (102a, 102b) und mit die Hauptoberflächen verbindenden Seitenflächen (102c-f), einen Schaltungsbereich (104) in dem Halbleiterkörper (102), angrenzend an die erste Hauptoberfläche (102a), der einen Schaltungskontaktanschluss (104a) aufweist, einen Metallisierungsbereich (106a-c), der sich von dem Schaltungskontaktanschluss (104a) auf der ersten Hauptoberfläche (102a) auf eine Seitenfläche des Halbleiterkörpers (102) erstreckt, um an der Seitenfläche des Halbleiterkörpers (102) einen freiliegenden Kontaktierungsbereich (108a-c) bereitzustellen, und eine Isolationsschicht, die zwischen dem Metallisierungsbereich (106) und dem Halbleiterkörper (102) angeordnet ist, wobei die Isolationsschicht (110) eine Öffnung zum elektrischen Verbinden des Schaltungskontaktanschlusses (104a) mit dem Metallisierungsbereich (106) aufweist.



## Beschreibung

**[0001]** Die vorliegende Erfindung bezieht sich auf Halbleiterbausteine und deren Herstellungsverfahren, und insbesondere auf eine Platz sparende Unterbringung eines Halbleiterbausteins in einem Gehäuse bzw. auf einen Halbleiterbaustein mit äußerst geringen Abmessungen, der äußerst Platz sparend auf einer Schaltungsplatine, beispielsweise mittels Lötmittel, aufgebracht werden kann, wobei die vorliegende Erfindung insbesondere auf eine neuartige, standardisierte Bauform für diskrete Bauelemente, wie Dioden, Transistoren, Schalter und Filter, aber auch komplexere integrierte Schaltungsanordnungen, anwendbar ist.

### Stand der Technik

**[0002]** Die gegenwärtig verwendeten Gehäuseformen für Halbleitereinzelbauelemente bzw. Halbleiterbausteine lassen sich im Allgemeinen in zwei Gruppen unterteilen, nämlich in verdrahtete Gehäusetyphen und in Gehäusetyphen mit Lötmitelhöckern (Bumps). Gemäß der oben angegebenen ersten Gruppe von Gehäuseformen für Halbleiterbausteine werden gegenwärtig diskrete Halbleiterbauelemente größtenteils in so genannten SMD-Gehäusen (SMD = surface mounted device) hergestellt und angeboten. Bei dieser Gehäuseform wird ein Halbleiterchip auf einen metallischen Träger (lead) bzw. Anschlussleitungsrahmen (lead frame) angebracht bzw. montiert, wobei so genannte Bonddrähte (Verbindungsdrähte) die Kontaktanschlussflächen (Pads bzw. Halbleiterkontakte) des Halbleiterchips mit dem metallischen Träger bzw. Anschlussleiterrahmen verbunden werden. Dabei werden Träger oder Anschlussleitungsrahmen in der Applikation elektrisch und/oder thermisch leitend mit den zugeordneten Leiterbahnen auf der Schaltungsplatine mittels Lötmittel verbunden. Der Rückseitenkontakt des Halbleiterchips kann hierbei auch einen elektrischen und/oder thermischen Kontakt zu dem Anschlussleiterrahmen bilden. Nach dem Verbinden des Halbleiterchips mit dem Anschlussleitungsrahmen wird dieses System mit einer Vergussmasse (mould) vergossen und damit verschlossen. Die metallischen Träger befinden sich dabei nun alle an einer Seite des resultierenden Gehäuses (z. B. TSLP-Bauformen) oder werden seitlich flach oder gebogen aus dem Gehäuse bzw. der Vergussmasse herausgeführt (z. B. TSFP-, SOT-Bauformen).

**[0003]** Die zweite Gruppe von Bauformen für Halbleiterbausteingehäusen sind so genannte WLP-Bausteingehäuse (WLP = Wafer level package) oder CSP-Bausteingehäuse (CSP = chip size package). Bei dieser zweiten Gruppe von Gehäuseformen werden metallische Lötmitelhöcker (Bumps) auf die Anschlussflächen bzw. Kontakte (Pads) des Halbleiterchips aufgebracht und daraufhin mit einer Halbleiter-

passivierung, d. h. einem Isolations- bzw. Schutzmaterial, versehen. Derartige Halbleiterbausteine mit einem WLP- bzw. CSP-Gehäuse werden nun mittels eines Flip-Chip-Prozesses mit den Leiterbahnen bzw. Kontaktanschlussflächen zu den Leiterbahnen der Applikationsplatinen verbunden, so dass diese Lötmitelhöcker dann in der Applikation den elektrischen Kontakt von dem Halbleiterbaustein zu den Leiterbahnen der Schaltungsplatine herstellen.

**[0004]** Bezüglich dieser WLP- bzw. CSP-Gehäuseformen für Halbleiterbausteine wird beispielsweise auf einen Herstellungsprozessablauf zur Herstellung einer Shell BGA-Gehäuseform durch die Firma Shellcass-Wafer Level Packaging verwiesen, der beispielsweise über den nachfolgend genannten Internet-Link ([http://www.xintec.com.tw/product/ShellBGA\\_Process\\_Flow\\_New%200422'04.pdf](http://www.xintec.com.tw/product/ShellBGA_Process_Flow_New%200422'04.pdf)) veröffentlicht ist.

**[0005]** Bei dem im vorhergehenden erwähnten Herstellungsprozess von „Shellcase“ sollte beachtet werden, dass bei den dort dargestellten Herstellungsverfahren für WLP-Gehäuseformen mit BGA-Strukturen (BGA = ball grid array) metallische Verbindungen zwischen den Kontaktanschlussflächen eines Halbleiterchips und den Lötmitelhöckern (Bumps) an der Oberseite des Halbleiterbausteins vorgesehen werden, um so eine Umverdrahtung der Verbindungsleitungen zu ermöglichen.

**[0006]** Bezüglich der im vorhergehenden beschriebenen Lötmitelhöcker für WLP- und CSP-Gehäuseformen sollte allgemein beachtet werden, dass diese bedingt durch die Herstellung und die Anforderungen des Montageprozesses auf der Applikationsplatine eine Mindestgröße und einen Mindestabstand zueinander haben, der dazu führt, dass der resultierende Halbleiterchip, d. h. der in einem WLP- bzw. CSP-Gehäuse untergebrachte Halbleiterchip, wesentlich größer sein muss als die aktive Fläche des Halbleiterbauelements selbst, wie z. B. die aktive Fläche einer Diode oder eines Transistors.

**[0007]** Aus den obigen Ausführungen wird deutlich, dass eine wesentliche Problematik konventioneller Gehäusebauformen für Halbleiterbausteine darin besteht, dass die resultierende Gesamtgröße des in dem Gehäuse untergebrachten Halbleiterbausteins deutlich größer als der aktive Bereich auf dem Halbleiterchip ist, wobei dies insbesondere bei Kleinsignaltransistoren und Dioden deutlich wird, bei denen die Kontaktanschlussflächen und die dazwischen liegenden frei bleibenden, ungenutzten Flächen aufgrund des Mindestabstands der Kontaktflächen einen wesentlichen Anteil der Bausteing Gesamtfläche ausmachen. So besitzen beispielsweise Hochfrequenzdioden oder Hochfrequenztransistoren bzw. deren Halbleiterchips beispielsweise Längen und Breiten in der Größenordnung von 0,2 mm bis 0,4

mm und eine Höhe von etwa 0,1 mm. Werden diese Halbleiterchips nun in die oben angegebenen verdrahteten Gehäuse untergebracht, so weisen die zur Zeit kleinsten Gehäuseformen Abmessungen in der Größenordnung eines halben Millimeters (0,5 mm) pro Seitenlänge auf.

**[0008]** Um diese Abmessungen in der angegebenen Größenordnung zu erreichen, wird insbesondere die Höhe eines herkömmlichen Halbleiterchips auf einen Wert von 0,1 mm reduziert, um mit den erforderlichen Bonddrähten und der Vergussmasse eine letztendlich resultierende Bauhöhe von unter einem halben Millimeter zu erreichen. Ferner sollte beachtet werden, dass die bei den CSP- und WLP-Gehäuseformen verwendeten Lötmitelhöcker (Bumps) einen Durchmesser in der Größenordnung von 0,4 mm aufweisen, so dass daher für den Einzelhalbleiterbaustein relativ große Chipabmessungen erforderlich sind.

**[0009]** Damit ergibt sich bezüglich der bisher im Stand der Technik bekannten Gehäuseausführungen bzw. Gehäuseformen für Halbleiterbausteine dahingehend eine Problematik, dass diese Gehäuseformen eine deutlich größere Fläche benötigen, als es die Ausdehnung der aktiven Bereiche des Einzelhalbleiters erfordern würde. Außerdem weisen die im vorhergehenden erörterten standardisierten Bauformen für Halbleiterbausteine eine aufgrund der Unterbringung in einem Gehäuse relativ große Bauhöhe auf, wobei dies insbesondere in Modulen, die aus einer Mehrzahl von Halbleiterbausteinen bestehen, äußerst kritische Maße sind. Ferner sollte beachtet werden, dass das Assemblieren des Halbleiterchips (d.h. das Unterbringen der einzelnen Halbleiterchips in einem Gehäuse), das zu einem großen Teil durch Materialkosten bestimmt wird, häufig der kostenintensivste Herstellungsabschnitt des Einzelhalbleiterproduktes ist.

**[0010]** Bezüglich der Assemblierungskosten für Halbleiterbausteine sollte ferner beachtet werden, dass sich beispielsweise bei einem gegenwärtigen 6-Zoll-Halbleiterwafer etwa 100.000 bis 200.000 Einzelbauelemente auf dem Halbleiterwafer befinden, so dass sich das Unterbringen der vereinzelt Halbleiterchips in einem der oben beschriebenen Gehäuseformen in Einzelchippzessen bei der Halbleiterbausteinherstellung ein äußerst aufwendiges und damit kostspieliges Unterfangen darstellt.

**[0011]** Ferner sollte bezüglich der im vorhergehenden erläuterten WLP- und CSP-Gehäuseformen beachtet werden, dass diese mit metallischen Lötmitelhöckern (Bumps) arbeiten, die jedoch Qualitätsmängel bei Temperaturzyklen zeigen und insgesamt nur eine sehr schlechte Wärmeleitfähigkeit aufweisen. Diese Lötmitelhöcker können nur einen begrenzten thermischen Kontakt bereitstellen, so dass häufig

Probleme von Halbleiterbausteinen mit diesen Gehäuseformen insbesondere bezüglich der Temperaturzyklenfestigkeit nicht vermieden werden können.

**[0012]** Dies resultiert daraus, dass CSP- bzw. WLP-Halbleiterbausteine über die metallischen Bumps mit der Schaltungsplatine verbunden sind, so dass thermische Unterschiede zwischen dem Halbleiterbaustein und der Schaltungsplatine nur über die Lötmittelverbindungen ausgeglichen werden können. Da diese Lötmitelhöcker jedoch eine relativ schlechte Wärmeleitfähigkeit aufweisen, kann dies bei einem Betrieb des Halbleiterbausteins, der aufgrund der Verlustleistung thermisch erwärmt wird, zu einem Temperaturunterschied zwischen der Schaltungsplatine und dem Halbleiterbaustein führen, der über die metallischen Lötmitelhöcker häufig nur relativ unzureichend ausgeglichen werden kann. Dies kann auch zu mechanischen Spannungen zwischen der Schaltungsplatine und dem Halbleiterbaustein führen, so dass sich die oben angesprochenen Qualitätsmängel bei Temperaturzyklen bezüglich WLP- oder CSP-Halbleiterbausteinen ergeben können.

**[0013]** Darüber hinaus sollte bezüglich der im Stand der Technik bekannten TSLP-Gehäuseformen und der Flip-Chip-Gehäuseformen mit Bumps, die derzeit die kleinsten Bauformen für Halbleiterbausteine darstellen, beachtet werden, dass nach dem Verbauen dieser Halbleiterbausteine in der Applikation die elektrischen Kontakte dieser Halbleiterbausteine keiner optischen Kontrolle nach der Verlötung in der Anwendungsschaltung unterzogen werden können, da bei diesen Gehäuseformen der Kontakt (Lötkontakt) mit den Leiterbahnen der Anwendungsschaltung durch das Gehäuse bzw. den Halbleiterbaustein verdeckt wird.

#### Aufgabenstellung

**[0014]** Ausgehend von diesem Stand der Technik besteht die Aufgabe der vorliegenden Erfindung darin, ein verbessertes Konzept zum Bereitstellen von Halbleiterbausteinen mit verringerten Abmessungen zu schaffen, wobei darüber hinaus der Herstellungsaufwand zum Bereitstellen standardisierter Halbleiterbausteine deutlich verringert werden kann.

**[0015]** Diese Aufgabe wird durch einen Halbleiterbaustein gemäß Patentanspruch 1, durch eine Halbleiterschaltungsanordnung gemäß Patentanspruch 16 und durch ein Verfahren zum Herstellen eines Halbleiterbausteins gemäß Patentanspruch 18 gelöst.

**[0016]** Der vorliegenden Erfindung liegt die Erkenntnis zugrunde, dass einerseits eine geeignete standardisierte Bauform für äußerst kleine Halbleiterbausteine und ein entsprechendes vorteilhaftes Herstellungsverfahren für einen resultierenden Halbleiter-

baustein mit deutlich verringerten Abmessungen erhalten werden kann, indem bei dem Halbleiterbaustein eine metallische Fläche bzw. mehrere metallischen Flächen von der aktiven Hauptoberfläche des Halbleiterchips, d. h. von den dort angeordneten Kontaktanschlussflächen des Halbleiterchips auf der aktiven Vorderseite bzw. aktiven Rückseite des Halbleiterchips, auf eine oder mehrere Seitenflächen des Halbleiterchips geführt werden und hauptsächlich dort der elektrische und/oder thermische Kontakt zur Applikationsschaltung, d. h. beispielsweise zur Schaltungsplatine, hergestellt wird.

**[0017]** Dies wird erfindungsgemäß dadurch erreicht, dass diese auf die Seitenfläche geführte Metallisierungsfläche auf der Seitenfläche des Halbleiterchips frei liegend ist und somit die Kontaktflächen des Halbleiterbausteins für eine elektrische und/oder thermische Verbindung desselben nach außen bilden kann, wobei diese metallischen Kontaktflächen lediglich durch eine Isolationsschichtanordnung, d. h. eine Isolationsschicht oder ein Schichtstapel aus mehreren Isolationsschichten, auf dem Halbleitermaterial des Halbleiterchips von diesem Halbleitermaterial des Halbleiterchips elektrisch getrennt sind.

**[0018]** Gemäß dem erfindungsgemäßen Konzept zum Herstellen von Halbleiterbausteinen können die verschiedenen Herstellungsschritte zum Erhalten der erfindungsgemäßen, einzelnen Halbleiterbausteine mit relativ unaufwendigen Halbleiterherstellungsschritten im wesentlichen vollständig auf Waferebene durchgeführt werden, wobei nach der letztendlichen Vereinzelung der einzelnen Halbleiterchips auf Waferebene bereits die vollständigen, einzelnen Halbleiterbausteine mit den an den Seitenflächen der Halbleiterchips frei liegenden Kontaktflächen erhalten werden können.

**[0019]** Das erfindungsgemäße Konzept zur Herstellung von Halbleiterbausteinen bzw. die durch das erfindungsgemäße Herstellungsverfahren erhaltenen einzelnen Halbleiterbausteine weisen eine Reihe von Vorteilen gegenüber den bisher im Stand der Technik bekannten, in einem herkömmlichen Gehäuse untergebrachten Halbleiterchips auf.

**[0020]** Die Vorteile der vorliegenden Erfindung sind beispielsweise sehr deutlich bei Einzelhalbleiterbausteinen, insbesondere bei Hochfrequenz-einzelhalbleiterbausteinen, bei denen häufig die nicht-aktiven Flächen, wie die Kontaktanschlussflächen und ungenutzte Flächen, einen wesentlichen Anteil der Chipfläche ausmachen. Daher ist das Beispiel einer Hochfrequenzdiode oder eines Hochfrequenztransistors ein guter Ausgangspunkt, um die Vorteile der vorliegenden Erfindung gegenüber dem Stand der Technik darzustellen.

**[0021]** Gegenwärtig werden mittels herkömmlicher

Halbleiterwaferbearbeitungs- und Halbleitervereinzelungsschritte Halbleiterchips hergestellt, deren Länge und Breite in der Größenordnung von 0,2 mm bis 0,4 mm und deren Höhe in einem Bereich von 0,1 mm liegt.

**[0022]** Gemäß den eingangs bezüglich des Stands der Technik dargestellten gegenwärtigen Gehäuseformen für Halbleiterchips, sind Aufschläge für die verdrahteten Gehäuse erforderlich, um den resultierenden vollständigen Halbleiterbaustein zu erhalten, so dass die gegenwärtig bezüglich der Abmessungen kleinsten Gehäuse Abmessungen in einer Größenordnung mindestens eines halben Millimeters pro Seitenfläche (Länge, Breite und Höhe) aufweisen.

**[0023]** Im Vergleich zu den im Stand der Technik bekannten, verdrahteten Gehäuseformen zeichnet sich das erfindungsgemäße Konzept dadurch aus, dass es nicht notwendig ist, die durch die verschiedenen Halbleiterwafer-Verarbeitungsprozesse erhaltenen Halbleiterchips wesentlich dünner zu schleifen als die endgültige Bausteindicke, die gemäß der vorliegenden Erfindung somit im Wesentlichen die resultierende Gehäusehöhe bzw. Bausteinhöhe darstellt.

**[0024]** Wenn beispielsweise eine Bauhöhe für den Halbleiterbaustein von 0,4 mm gefordert wird, muss gemäß der vorliegenden Erfindung die Halbleiterscheibe (Wafer) nicht wie bei den verdrahteten Gehäusen gemäß dem Stand der Technik auf etwa 0,1 mm oder darunter gedünnt werden, um einen ausreichenden Spielraum für den Anschlussleitungsrahmen, Bonddrähte und die Vergussmasse bereitzustellen. Insbesondere sollte beachtet werden, dass dieses gemäß dem Stand der Technik erforderliche Dünnen der Halbleiterscheiben auf Dicken von etwa 0,1 mm oder darunter und das weitere Handling der Halbleiterscheibe einen wesentlich höheren technischen Aufwand erfordern, als dies bei Scheibendicken des zu verarbeitenden Halbleiterwafers im Bereich von 0,3 mm bis 0,4 mm gemäß der vorliegenden Erfindung möglich ist, so dass die gesamte Waferprozessierung und Waferhandhabung deutlich vereinfacht werden kann.

**[0025]** Andererseits ist es gemäß dem erfindungsgemäßen Konzept dadurch möglich, Bauhöhen für die resultierenden Halbleiterbausteine zu liefern, die für verdrahtete Gehäuse gemäß dem heutigen Stand der Technik nicht realisierbar sind. So sollte insbesondere beachtet werden, dass sich so niedrige Bauhöhen um etwa 0,1 mm, wie sie gemäß dem erfindungsgemäßen Konzept erhalten werden können, als äußerst vorteilhaft bei Schaltungsmodulen für mobile Consumer-Geräte, wie Mobiltelefone usw., erweisen, um nur eines einer Vielzahl von Anwendungsbeispielen zu nennen.

**[0026]** Ein weiterer Vorteil der erfindungsgemäßen

Halbleiterbausteine und des Herstellungsverfahrens derselben besteht in einer verringerten Bausteinfläche gegenüber im Stand der Technik bekannten Halbleiterbausteinen. Bei den verdrahteten Gehäuseformen und auch bei den Gehäuseformen mit Lötmitelhöckern, wie z. B. CSP- und WLP-Gehäuseformen, gemäß dem Stand der Technik ist die endgültige Bauform des Halbleiterbausteins insbesondere für Einzelhalbleiter und Hochfrequenzhalbleiter aufgrund der Unterbringung in den im Stand der Technik dargestellten Gehäuseformen signifikant größer als die aktive Fläche der Halbleiterschaltungen auf dem Halbleiterchip. Insbesondere für solche Halbleiterbauelemente zeichnet sich die vorliegenden, erfindungsgemäßen Halbleiterbausteine dadurch aus, dass der resultierende Halbleiterbaustein mit dem Halbleiterchip nicht wesentlich größer ausgeführt sein muss als die aktive Fläche der auf dem Halbleiterchip angeordneten Halbleiterschaltung. Diese reduzierte Größe des resultierenden Halbleiterbausteins ist insbesondere bei Bauelementen für mobile Consumer-Produkte ein wesentlicher Vorteil.

**[0027]** Ferner können gemäß dem erfindungsgemäßen Konzept für Halbleiterbausteine und deren Herstellung ein besserer thermischer Kontakt zwischen dem Halbleiterbaustein und der Applikation (Schaltungsplatine) und dadurch eine verbesserte Zuverlässigkeit einer resultierenden Schaltungsanordnung oder Schaltungsmoduls erhalten werden.

**[0028]** Im Gegensatz dazu bietet das erfindungsgemäße Konzept dagegen den Vorteil, dass die erfindungsgemäßen Halbleiterbausteine die bei den Gehäuseformen gemäß dem Stand der Technik ungenutzten Seitenflächen für einen thermischen und/oder elektrischen Kontakt nutzen können. Ferner sollte offensichtlich sein, dass die im Wesentlichen ebenen Kontaktflächen der erfindungsgemäßen Halbleiterbausteine auch erheblich zuverlässiger gegenüber thermischen und/oder elektrischen Zyklentests sind.

**[0029]** Ein weiterer Vorteil der erfindungsgemäßen Halbleiterbausteine und deren Herstellungsverfahren besteht darin, dass bei den erfindungsgemäßen Halbleiterbausteinen der Halbleiterbaustein, an dessen Seitenflächen die Kontaktbereiche nach außen angeordnet sind, so in die vorbereiteten Lötstellen, beispielsweise auf einer Schaltungsplatine, gesetzt werden können, dass das Lötmedium sich an den Seitenflächen des Halbleiterbausteins „hochziehen“ können. Damit befinden sich gemäß der vorliegenden Erfindung die elektrischen und/oder thermischen Kontakte einsehbar an den Seitenflächen der erfindungsgemäßen Halbleiterbausteine und können somit nach dem Einbau in die Applikation einem optischen Endtest zur Untersuchung der Kontaktstellen unterzogen werden.

**[0030]** Ein weiterer bedeutender Vorteil des erfindungsgemäßen Konzepts zur Herstellung von neuartigen Halbleiterbausteinen besteht darin, dass dieses Herstellungsverfahren auf Wafer Ebene als so genannter Ganzscheibenprozess durchgeführt werden kann, d. h. die Realisierung der erfindungsgemäßen Halbleiterbausteine kann im Wesentlichen vollständig während der Halbleiterwaferbearbeitungsschritte durchgeführt werden, d. h. es sind keine Einzelchipprozesse zur Unterbringung in einem Gehäuse wie im Stand der Technik erforderlich. Geht man derzeit beispielsweise von etwa 100.000 bis 200.000 Halbleiterchips pro Halbleiterwafer (z.B. bei einem 6-Zoll-Halbleiterwafer) aus, ergeben sich offensichtlich äußerst umfangreiche Vereinfachungen bei der Herstellung der erfindungsgemäßen Halbleiterbausteine, da gemäß der vorliegenden Erfindung die im Wesentlichen fertig gestellten einzelnen Halbleiterbausteine bereits nach dem Vereinzeln des Halbleiterwafers vorliegen.

#### Ausführungsbeispiel

**[0031]** Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend unter Bezugnahme auf die beiliegenden Zeichnungen näher erläutert. Es zeigen:

**[0032]** [Fig. 1a–b](#) eine beispielhafte Ausführungsform eines erfindungsgemäßen CSP-Halbleiterbausteins (Einzeltransistor) gemäß einem ersten Ausführungsbeispiel der vorliegenden Erfindung;

**[0033]** [Fig. 2](#) eine Halbleiterschaltungsanordnung aus einer Schaltungsplatine mit Kontaktanschlussflächen und einem mit der Schaltungsplatine elektrisch und/oder thermisch verbundenem Halbleiterbaustein gemäß der vorliegenden Erfindung.

**[0034]** [Fig. 3a–e](#) weitere mögliche Ausführungsformen des erfindungsgemäßen CSP-Halbleiterbausteins mit zwei externen Kontaktanschlussbereichen;

**[0035]** [Fig. 4a–b](#) weitere mögliche Ausführungsformen des erfindungsgemäßen CSP-Halbleiterbausteins mit drei externen Kontaktanschlussflächen;

**[0036]** [Fig. 5a–b](#) weitere mögliche Ausführungsformen des erfindungsgemäßen CSP-Halbleiterbausteins mit vier externen Kontaktanschlussflächen; und

**[0037]** [Fig. 6a–g](#) bevorzugte Verfahrensschritte des erfindungsgemäßen Herstellungsverfahrens zur Herstellung eines CSP-Halbleiterbausteins; und

**[0038]** [Fig. 7a–e](#) optionale zusätzliche Verfahrensschritte des erfindungsgemäßen Herstellungsverfahrens zur Herstellung eines CSP-Halbleiterbausteins.

[0039] Im Folgenden wird nun Bezug nehmend auf [Fig. 1a–b](#) eine bevorzugte Ausführungsform eines erfindungsgemäßen CSP-Halbleiterbausteins **100** (CSP = chip size package) beispielhaft für einen Einzelbipolartransistor beschrieben, wobei in [Fig. 1a](#) eine 3-dimensionale Komplettdarstellung des erfindungsgemäßen CSP-Halbleiterbausteins **100** und in [Fig. 1b](#) eine 3-dimensionale Schnittdarstellung des erfindungsgemäßen CSP-Halbleiterbausteins **100**, bei der zur Verdeutlichung des Aufbaus ein Quadrant geöffnet ist, gezeigt sind. Im Zusammenhang der vorliegenden Erfindung sollte jedoch deutlich werden, dass das erfindungsgemäße Konzept im Wesentlichen auf alle möglichen Halbleiterchipanordnungen anwendbar ist, die im Wesentlichen eine beliebige Anzahl von Kontaktanschlussflächen für eine externe Kontaktierung, vorzugsweise mit einer Schaltungsplatine, aufweisen, wobei zur Verdeutlichung des erfindungsgemäßen Konzepts im Folgenden die erfindungsgemäßen Halbleiterbausteine und deren Herstellung lediglich beispielhaft anhand eines Einzelbipolartransistors mit drei externen Anschlüssen dargestellt werden.

[0040] Wie in [Fig. 1a–b](#) dargestellt ist, weist der erfindungsgemäße CSP-Halbleiterbaustein **100** einen Halbleiterchip **102** mit einer ersten Hauptoberfläche **102a**, einer zweiten Hauptoberfläche **102b** und vier Seitenflächen **102c**, **102d**, **102e**, **102f**, die die beiden Hauptoberflächen **102a**, **102b** miteinander verbinden, auf. In dem Halbleiterkörper **102** befindet sich angrenzend an die erste Hauptoberfläche **102a** ein aktiver Schaltungsbereich **104** bei dem vorliegenden Ausführungsbeispiel mit dem Einzelbipolartransistor. Wie in [Fig. 1a–b](#) dargestellt ist, weist der aktive Schaltungsbereich **104** mit dem Einzelbipolartransistor drei Schaltungskontaktanschlüsse **104a**, **104b** und **104c** als Kollektoranschluss, Emitteranschluss und Basisanschluss auf. Der in [Fig. 1a–b](#) dargestellte CSP-Halbleiterbaustein **100** weist ferner drei Metallisierungsbereiche **106a**, **106b** und **106c** auf, wobei der erste Metallisierungsbereich **106a** dem ersten Schaltungskontaktanschluss **104a** (Kollektoranschluss), der zweite Metallisierungsbereich **106b** dem zweiten Schaltungskontaktanschluss **104b** (Emitteranschluss) und der dritte Metallisierungsbereich **106c** dem dritten Schaltungskontaktanschluss **104c** (Basisanschluss) zugeordnet ist.

[0041] Wie in [Fig. 1a–b](#) dargestellt ist, erstreckt sich der erste Metallisierungsbereich **106a** von dem ersten Schaltungskontaktanschluss **104a**, d. h. von dem Kollektoranschluss, auf der ersten Hauptoberfläche **102a** des Halbleiterchips **102** auf die erste Seitenfläche **102c** des Halbleiterchipkörpers **102**, wobei sich der zweite Metallisierungsbereich **106b** von dem zweiten Schaltungskontaktanschluss **104b** (Emitteranschluss) auf der ersten Hauptoberfläche **102a** des Halbleiterkörpers **102** auf die Seitenflächen **102d** und **102f** des Halbleiterkörpers **102** erstreckt. Der dritte

Metallisierungsbereich **106c** erstreckt sich von dem dritten Schaltungskontaktanschluss **104c** (Basisanschluss) auf der ersten Hauptoberfläche **102a** des Halbleiterkörpers **102** auf die Seitenflächen **102d** und **102e** des Halbleiterkörpers **102**. Somit bilden diese Metallisierungsbereiche **106a–c** angrenzend an die Seitenflächen **102c–f** des Halbleiterkörpers **102** einen ersten, zweiten und dritten frei liegenden Kontaktierungsbereich **108a**, **108b** und **108c** des CSP-Halbleiterbausteins gemäß der vorliegenden Erfindung.

[0042] Wie nun in [Fig. 1a–b](#) ferner dargestellt ist, ist eine Isolationsschicht **110** zumindest zwischen den Metallisierungsbereichen **106a**, **106b**, **106c** und dem Halbleiterkörper **102** angeordnet, wobei die Isolationsschicht **110** jeweils zumindest eine Durchgangsöffnung zum elektrischen Verbinden des ersten Schaltungskontaktanschlusses **104a** mit dem Metallisierungsbereich **106a**, des zweiten Schaltungskontaktanschlusses **104b** mit dem zweiten Metallisierungsbereich **106b** und des dritten Schaltungskontaktanschlusses **104c** mit dem dritten Metallisierungsbereich **106c** aufweist. Wie in [Fig. 1a–b](#) beispielhaft dargestellt ist, kann die Isolationsschicht **110** beispielsweise die erste Hauptoberfläche **102a** und die Seitenflächen **102c–f** des Halbleiterbausteins **100** im wesentlichen vollständig bedecken. Optional kann eine weitere Isolationsschicht bzw.

[0043] Schutzschicht **112** vorgesehen sein, die beispielsweise über der Isolationsschicht **110** auf der ersten Hauptoberfläche **102a** des Halbleiterbausteins **100** zwischen den Metallisierungsbereichen **106a–c** angeordnet ist und mit den Metallisierungsbereichen **106a–c** beispielsweise bündig abschließt, wie dies in [Fig. 1a–b](#) gezeigt ist.

[0044] Bezüglich des in [Fig. 1a–b](#) dargestellten Aufbaus eines erfindungsgemäßen CSP-Halbleiterbausteins für einen Einzelbipolartransistor sollte beachtet werden, dass das erfindungsgemäße Prinzip für einen CSP-Baustein auch auf beliebig andere Halbleiterbauelemente mit im Wesentlichen einer beliebigen Anzahl von Schaltungskontaktanschlüssen angewendet werden kann, wie dies im Nachfolgenden noch deutlich dargestellt wird.

[0045] Wie bei dem in [Fig. 1a–b](#) dargestellten erfindungsgemäßen CSP-Halbleiterbaustein dargestellt ist, erstrecken sich die Metallisierungsbereiche **106a–c** von der ersten Hauptoberfläche **102a** des Halbleiterchipkörpers **102** über jeweils zwei Seitenflächen **102d** und **102f** bzw. **102d** und **102e** im Wesentlichen vollständig bis zu der zweiten Hauptoberfläche **102b** des Halbleiterchipkörpers **102**. Bezüglich der vorliegenden Erfindung sollte aber offensichtlich sein, dass sich die jeweiligen Metallisierungsbereiche **106a**, **106b** und **106c** jedoch auch nur teilweise über die jeweiligen Seitenflächen **102c–f** zu der zweiten Hauptoberfläche **102b** erstrecken können,

wobei ein Abstand  $d$  der Metallisierungsbereiche **106a–c** auf den Seitenflächen **102c–f** des Halbleiterchipkörpers **102** zu der zweiten Hauptoberfläche **102b** desselben einstellbar ist. Ferner können die Metallisierungsflächen **106a**, **106b** und **106c** auch so ausgeführt sein, dass sich dieselben auf lediglich eine Seitenfläche oder auch mehrere angrenzende Seitenflächen **102c–102f** des Halbleiterchipkörpers **102** erstrecken. Ferner können sich die Metallisierungsbereiche **106a**, **106b** und/oder **106c** auch noch auf die zweite Hauptoberfläche **102b** des Halbleiterchipkörpers erstrecken, wobei auch in diesen Fällen immer eine Isolationsschicht (z.B. ein Dielektrikum) **110** zwischen den Metallisierungsbereichen und dem Halbleitermaterial des Halbleiterchipkörpers **102** angeordnet ist.

**[0046]** Die im vorhergehenden dargestellten unterschiedlichen Ausführungsformen der Metallisierungsbereiche **106a–c** können sich dabei jeweils auf nur einen der Metallisierungsbereiche **106a–c**, auf mehrere oder alle derselben beziehen, so dass beispielsweise auch jeder Metallisierungsbereich **106a–c** eine unterschiedliche Form aufweisen kann, wobei lediglich zu beachten ist, dass, wenn eine Mehrzahl von Metallisierungsbereichen verwendet wird, sich diese auf zumindest eine Seitenfläche des Halbleiterchipkörpers **102** erstrecken und dort einen frei liegenden Kontaktierungsbereich bereitstellen.

**[0047]** Die einzelnen Metallisierungsbereiche **106a–c** können also bezüglich ihrer letztendlichen spezifischen Ausführungsform beliebige Kombinationen der oben angegebenen, möglichen Ausführungsformen annehmen.

**[0048]** Bezüglich dem in [Fig. 1a–b](#) dargestellten erfindungsgemäßen CSP-Halbleiterbaustein sollte ferner beachtet werden, dass sich beispielsweise die Isolationsschicht **110** durchgehend von der ersten Hauptoberfläche **102a** des Halbleiterchipkörpers **102** auf zumindest eine der Seitenflächen **102c–f** des Halbleiterchipkörpers **102** erstreckt, um den zumindest einen Metallisierungsbereich **106a–c** von dem Halbleitermaterial des Halbleiterchipkörpers **102** elektrisch zu trennen. Es sollte ferner beachtet werden, dass die in [Fig. 1a–b](#) dargestellte Isolationsschicht **110** eine Mehrzahl von einzelnen Isolationsschichten aufweisen kann, um einen so genannten Isolationsschichtstapel zu bilden. Die jeweilige Dicke der Isolationsschicht **110** bzw. des Isolationsschichtstapels ist nun so ausgelegt, um bei Betrieb des Halbleiterbausteins abhängig von den an den externen, frei liegenden Kontaktierungsbereichen **108a–c** auftretenden Spannungs- bzw. Strombeauschlagungen eine ausreichende elektrische Durchschlagsfestigkeit zwischen den Metallisierungsbereichen **106a–c** und dem darunter angeordneten Halbleitermaterial des Halbleiterchipkörpers **102** bereitzustellen.

**[0049]** Ein mögliche Realisierung der Isolationsschicht **110** bzw. des Isolationsschichtstapels könnte nun gemäß der vorliegenden Erfindung darin bestehen, eine Schicht aus einem Nitridmaterial (z.B.  $\text{Si}_3\text{N}_4$ ) mit einer Dicke in einem Bereich von etwa 300nm bis 1000nm und vorzugsweise in einem Bereich um etwa 600nm vorzusehen. Alternativ kann auch ein Schichtstapel aus einem Oxidmaterial mit einer Dicke in einem Bereich von 300nm bis 1000nm und vorzugsweise in einem Bereich um etwa 550nm und aus einem Nitridmaterial (z.B.  $\text{Si}_3\text{N}_4$ ) mit einer Dicke in einem Bereich von 150nm bis 450nm und vorzugsweise in einem Bereich um etwa 300nm vorgesehen werden.

**[0050]** Optional kann zusätzlich auf die Isolationsschicht **110** bzw. den Isolationsschichtstapel eine Schicht aus einem  $5\mu\text{m}$  bis  $15\mu\text{m}$  und vorzugsweise  $10\mu\text{m}$  dicken Iridium-Material oder eine Schicht aus einem  $1\mu\text{m}$  bis  $15\mu\text{m}$  und vorzugsweise  $5\mu\text{m}$  dicken BCB-Material (Benzocyclobutene) vorgesehen werden.

**[0051]** Ferner sollte beachtet werden, dass auch die Metallisierungsbereiche **106a–106c** aus einer Mehrzahl von leitenden Schichten bestehen können, um einen Leitungsschichtstapel bestehen können, um einen möglichst geringen Kontaktwiderstand für eine externe Kontaktierung des erfindungsgemäßen CSP-Halbleiterbausteins **100** zu ermöglichen.

**[0052]** Eine mögliche Realisierung eines Schichtstapels für die Metallisierungsbereiche **106a–106c** könnte nun erfindungsgemäß darin bestehen, eine Schicht aus einem  $0,1\mu\text{m}$  bis  $3\mu\text{m}$  und vorzugsweise  $0,5\mu\text{m}$  dicken Al-Material (Al = Aluminium) als „Seed layer“ (metallische Keimschicht) und eine Schicht aus einem  $10\mu\text{m}$  bis  $50\mu\text{m}$  und vorzugsweise  $20\mu\text{m}$  dicken Ni-Material (Ni = Nickel) mit einer vorzugsweise wenige Atomlagen dicken Au-Auflage oder Kappe (Au = Gold), die auf dem Ni-Material aufgebracht ist, vorzusehen.

**[0053]** In [Fig. 1a–b](#) ist ferner dargestellt, dass der erfindungsgemäße CSP-Halbleiterbaustein einen Halbleiterkörper **102** aus einem durchgehenden Halbleitermaterial aufweist, wobei bezüglich der vorliegenden Erfindung natürlich offensichtlich werden sollte, dass auch verschiedene Halbleiter-schichtstrukturen für den Halbleiterkörper **102** und insbesondere für die in dem aktiven Schaltungs-bereich **104** angeordneten aktiven und/oder passiven Einzelhalbleiterbauelemente in Betracht kommen, wobei der Schaltungsbereich **104** in dem Halbleiterchipkörper **102** im einfachsten Fall ein aktives oder passives Einzelhalbleiterbauelement ist, aber auch eine integrierte Schaltung mit einer Mehrzahl von aktiven und/oder passiven Halbleiterbauelementen aufweisen kann.

[0054] In [Fig. 2](#) ist nun beispielhaft dargestellt, wie der beispielhaft in [Fig. 1a–b](#) dargestellte, erfindungsgemäße CSP-Halbleiterbaustein eine Halbleiterschaltungsanordnung **200** bildet, wobei als Halbleiterschaltungsanordnung eine Anordnung bezeichnet wird, bei der der CSP-Halbleiterbaustein **100** auf einer Schaltungsplatine **202** mit Kontaktanschlussflächen **204a–c** angeordnet ist, wobei die frei liegenden Metallisierungsbereiche **108a–c** an den Seitenflächen des Halbleiterbausteins **100** mittels elektrischer Verbindungsmittel und vorzugsweise Lötmitel **206** mit den Kontaktanschlussflächen **202a–c** der Schaltungsplatine **200** verbunden sind. Bezüglich der in [Fig. 2](#) dargestellten Schaltungsanordnung sollte ferner beachtet werden, dass der erfindungsgemäße CSP-Halbleiterbaustein **100** beispielsweise bezüglich der ersten Hauptoberfläche **102a** des Halbleiterkörpers **102** auf der Schaltungsplatine **200** möglichst eben aufliegt.

[0055] Vorzugsweise ist die erste Hauptoberfläche **102a** des Halbleiterkörpers **102** des CSP-Halbleiterbausteins **100** der Applikation, d.h. der Schaltungsplatine **202**, zugewandt. Dann benetzt das Lot bzw. Lötmitel **206**, das in der Applikation aufgebracht ist, nicht nur die freiliegenden Kontaktflächen bzw. Metallisierungsbereiche **108a–c** an den Seitenflächen des Halbleiterbausteins **100**, sondern auch die Metallisierungsbereiche auf der ersten Hauptoberfläche **102a** des Halbleiterbausteins **100**. Es sollte aber beachtet werden, dass für den Fall, wenn sich die Metallisierungsbereiche **108a–c** auch bis zu der zweiten Hauptoberfläche **102b** bzw. auf die zweite Hauptoberfläche **102b** des Halbleiterbausteins **102** erstrecken, die zweite Hauptoberfläche **102b** des Halbleiterkörpers **102** des CSP-Halbleiterbausteins **100** der Applikation, d.h. der Schaltungsplatine **202**, zugewandt sein kann und die frei liegenden Metallisierungsbereiche **108a–c** an den Seitenflächen des Halbleiterbausteins **100** mittels elektrischer Verbindungsmittel **206** mit den Kontaktanschlussflächen **202a–c** der Schaltungsplatine **200** verbunden werden können.

[0056] Bezüglich der in [Fig. 2](#) dargestellten Halbleiterschaltungsanordnung **200**, sollte beachtet werden, dass bei der Herstellung des erfindungsgemäßen CSP-Halbleiterbausteins **100** (wie dies nachfolgend noch erläutert wird) nach dem Dünnen der Halbleiterscheibe (des Wafers), die Chiprückseite, d.h. die zweite Hauptoberfläche **102b** des CSP-Halbleiterbausteins **100** vorzugsweise noch passiviert werden kann, um zuverlässig zu vermeiden, dass keine elektrischen Kurzschlüsse zwischen den Kontakten auf der Applikationsschaltung und dem Substratmaterial **102** des CSP-Halbleiterbausteins **100** auftreten können.

[0057] Die nachfolgenden [Fig. 3a–e](#), [Fig. 4a–b](#) und [Fig. 5a–b](#) sind exemplarisch für CSP-Halbleiterbau-

steine mit zwei, drei oder vier Kontaktanschlussbereichen, wobei anhand dieser Figuren lediglich die Ausgestaltung bzw. Form der frei liegenden Kontaktierungsbereiche des erfindungsgemäßen CSP-Halbleiterbausteins erläutert werden sollen. Gemäß der vorliegenden Erfindung ist dabei zu beachten, dass diese frei liegenden Kontaktierungsbereiche immer zumindest eine Seitenfläche des Halbleiterbausteins zumindest teilweise belegen.

[0058] Im Folgenden werden nun Bezug nehmend auf [Fig. 3a–e](#) bevorzugte Ausführungsformen des erfindungsgemäßen CSP-Halbleiterbausteins mit zwei frei liegenden Kontaktierungsbereichen **108a**, **108b** des erfindungsgemäßen CSP-Halbleiterbausteins **100** beispielhaft erläutert. Diese beispielhaft dargestellte Ausführungsform des erfindungsgemäßen CSP-Halbleiterbausteins ist insbesondere für Halbleiterdioden, wie z.B. für den jeweiligen Kathoden- und Anodenanschluss einer Diode, anwendbar. Zur Vereinfachung der Beschreibung der jeweiligen Ausführungen der Metallisierungsbereiche **106a**, **106b** bzw. der frei liegenden Kontaktierungsbereiche **108a**, **108b** ist in den [Fig. 3a–e](#) der erfindungsgemäße CSP-Halbleiterbaustein lediglich schematisch dargestellt, d. h. es sind lediglich der Halbleiterchipkörper **102** mit den Seitenflächen **102c–f** und die Metallisierungsbereiche **106a**, **106b** dargestellt, wobei ansonsten die zu dem in [Fig. 1a–b](#) dargestellten CSP-Halbleiterbaustein getroffenen Angaben auch auf die in den [Fig. 3a–e](#) dargestellten Halbleiterbausteine anzuwenden sind. Insbesondere wird weiterhin auf die in [Fig. 1a–b](#) schematisch dargestellte Definition der Hauptoberflächen **102a–b** und Seitenflächen **102c–f** verwiesen.

[0059] Bei der in [Fig. 3a](#) dargestellten Ausführungsform erstrecken sich die beiden Metallisierungsbereiche **106a** und **106b** von der ersten Hauptoberfläche **102a** des Halbleiterchipkörpers **102** auf die erste Seitenfläche **102c** bzw. auf die zweite Seitenfläche **102b** des Halbleiterchipkörpers **102**, wobei die erste bzw. zweite Seitenfläche **102c**, **102d** lediglich teilweise durch die Metallisierungsbereiche **106a**, **106b** bedeckt sind und sich die Metallisierungsbereiche **106a**, **106b** nicht vollständig auf den beiden Seitenflächen von der ersten Hauptoberfläche **102a** zu der gegenüberliegenden zweiten Hauptoberfläche **102b** erstrecken. Bezüglich der in [Fig. 3a](#) dargestellten Anordnung sollte beachtet werden, dass sich die Metallisierungsbereiche **106a**, **106b** nicht unbedingt auf zwei gegenüberliegende Seitenflächen erstrecken müssen, sondern auch auf benachbarten Seitenflächen angeordnet sein können. Dies gilt natürlich auch für die weiteren [Fig. 3b–e](#).

[0060] Eine weitere mögliche Ausführung der Metallisierungsbereiche **106a**, **106b** ist in [Fig. 3b](#) dargestellt, wobei sich die Metallisierungsbereiche dort von der ersten Hauptoberfläche **102** über jeweils eine

Seitenfläche zu der gegenüberliegenden zweiten Hauptoberfläche **102b** erstrecken.

[0061] Bei der in [Fig. 3c](#) dargestellten Anordnung der Metallisierungsbereiche **106a** und **106b** erstrecken sich diese von der ersten Hauptoberfläche **102a** auf zwei benachbarte Seitenflächen des Halbleiterchipkörpers, jedoch nicht vollständig bis zu der zweiten Hauptoberfläche **102b**.

[0062] In der [Fig. 3d](#) erstrecken sich die Metallisierungsbereiche **106a**, **106b** von der ersten Hauptoberfläche **102a** über jeweils drei Seitenflächen des Halbleiterchipkörpers, jedoch nicht vollständig bis zu der zweiten Hauptoberfläche **102b**.

[0063] [Fig. 3e](#) zeigt eine Anordnung der Metallisierungsbereiche **106a**, **106b**, bei der sich diese Metallisierungsbereiche von der ersten Hauptoberfläche **102a** des Halbleiterchipkörpers **102** bis zu der gegenüberliegenden zweiten Hauptoberfläche **102b** erstrecken bzw. sich auf die zweite Hauptoberfläche **102b** erstrecken.

[0064] Die in den [Fig. 3a–e](#) dargestellten möglichen Ausführungsformen der Metallisierungsbereiche des erfindungsgemäßen CSP-Halbleiterbausteins zeigen eine Auswahl möglicher Ausführungsformen für die Anordnung der Metallisierungsbereiche, wobei diese in den [Fig. 3a–e](#) dargestellten Ausführungsformen als nicht abschließend anzusehen sind. Es sind im wesentlichen beliebige Ausführungsformen denkbar, bei denen sich ein Metallisierungsbereich von der ersten Hauptoberfläche des Halbleiterchipkörpers über mindestens eine Halbleiterchipkörperkante auf mindestens eine Seitenfläche des Halbleiterchipkörpers erstreckt. Die durch die Metallisierungsbereiche definierten frei liegenden Kontaktierungsbereiche des erfindungsgemäßen CSP-Halbleiterbausteins befinden sich vorzugsweise an für das jeweilige Halbleiterbauelement bzw. den jeweiligen Halbleiterbaustein fest definierten Positionen, um somit standardisierte CSP-Halbleiterbausteine bereitstellen zu können.

[0065] Anhand der [Fig. 4a–b](#) werden nun beispielhaft verschiedene mögliche Realisierungen für erfindungsgemäße CSP-Halbleiterbausteine **100** mit drei Metallisierungsbereichen **106a–c** und entsprechend drei frei liegenden Kontaktierungsbereichen **108a–c** dargestellt (Bauformen für Trioden), wie z. B. CSP-Halbleiterbausteine für Transistoren mit drei Kontaktanschlüssen.

[0066] Wie in [Fig. 4a](#) dargestellt ist, erstreckt sich ein erster Metallisierungsbereich **106a** von der ersten Hauptoberfläche **102a** auf die erste Seitenfläche **102d**, wobei sich der zweite Metallisierungsbereich **106b** von der ersten Hauptoberfläche **102a** auf die dritte Seitenfläche **102c** und der dritte Metallisie-

rungsbereich **106c** auf die vierte Seitenfläche **102f** erstrecken. Auch bei den CSP-Halbleiterbausteinen **100** mit drei Metallisierungsflächen **106a–c** ist es natürlich möglich, dass sich die einzelnen Metallisierungsflächen **106a–c** auch auf zwei oder mehr benachbarte Seitenflächen des Halbleiterchipkörpers **102** erstrecken, wie dies beispielsweise in [Fig. 4b](#) dargestellt ist, wobei es bei den CSP-Halbleiterbausteinen **100** mit drei Metallisierungsbereichen **106a–c** gemäß der vorliegenden Erfindung natürlich auch möglich ist, dass sich diese zusätzlich auch noch auf die gegenüberliegende, zweite Hauptoberfläche **102b** erstrecken und die frei liegenden Kontaktierungsbereiche **108a–c** bilden.

[0067] Bei allen Ausführungsbeispielen der vorliegenden Erfindung ist es bezüglich der Anordnung der Metallisierungsbereiche auf den Oberflächen des Halbleiterbausteins lediglich wichtig, dass die Metallisierungsbereiche **106a–c** untereinander keinen unerwünschten elektrischen Kurzschluss hervorrufen, wobei dies natürlich auch zutreffen soll, wenn die frei liegenden Kontaktierungsbereiche **108a–c** mittels Lötmitte mit den Applikationen verbunden sind.

[0068] Die im vorhergehenden getroffenen Ausführungen bezüglich der Metallisierungsbereiche lassen sich natürlich auch noch auf CSP-Halbleiterbausteine **100** mit vier oder mehr Metallisierungsbereichen anwenden, wobei die [Fig. 5a–b](#) Bauformen für die erfindungsgemäßen CSP-Halbleiterbausteine **100** für Tetroden (CSP-Halbleiterbausteine mit vier Kontaktierungsbereichen) anwenden lassen.

[0069] Wie in [Fig. 5a](#) dargestellt ist, weist der erfindungsgemäße CSP-Halbleiterbaustein **100** vier Metallisierungsbereiche **106a–d** und entsprechend vier freiliegende Metallisierungskontakte **108a–d** auf, wobei sich die vier Metallisierungsbereiche **106a–d** von der ersten Hauptoberfläche **102a** des Halbleiterchipkörpers **102** auf jeweils eine Seitenfläche **102c–f** des Halbleiterchipkörpers **102** erstrecken.

[0070] In [Fig. 5b](#) ist eine Anordnung eines erfindungsgemäßen CSP-Halbleiterbausteins **100** dargestellt, bei der sich jeder Metallisierungsbereich **106a–d** von der ersten Hauptoberfläche **102a** des Halbleiterchipkörpers **102** auf zwei benachbarte Seitenflächen erstreckt, wobei die Metallisierungsbereiche **106a–d** symmetrisch bezüglich der Ecken (die die Seitenflächen **102c–f** miteinander verbinden) des Halbleiterchipkörpers **102** angeordnet sind.

[0071] Bezüglich der in den [Fig. 5a–b](#) dargestellten CSP-Halbleiterbausteine sollte ferner beachtet werden, dass diese Darstellungen nur beispielhaft gewählt sind, wobei sich auch bei den dort gezeigten Darstellungen die Metallisierungsbereiche **106a–d** nur teilweise über die Seitenflächen, vollständig bis zu der zweiten Hauptoberfläche **102b** und/oder bis

auf die zweite Hauptoberfläche **102b** erstrecken können, und sich ferner beispielsweise auch über zwei oder drei benachbarte Seitenflächen des Halbleiterchipkörpers **102** erstrecken können, um die vier frei liegenden Kontaktierungsbereiche **108a–d** zu bilden.

**[0072]** Bezüglich der im vorhergehenden dargestellten Ausführungsformen der erfindungsgemäßen CSP-Halbleiterbausteine **100** kann zusammenfassend festgestellt werden, dass sich mindestens ein Metallisierungsbereich von der ersten Hauptoberfläche **102a** des Halbleiterchipkörpers **102** über mindestens eine Hauptkante des Halbleiterchipkörpers **102** auf mindestens eine Seitenfläche des Halbleiterchipkörpers **102** erstreckt, um auf der Seitenfläche des Halbleiterchipkörpers zumindest einen frei liegenden Kontaktierungsbereich bereitzustellen. Vorzugsweise sind die Kontakte an für das jeweilige Halbleiterbauelement bzw. den jeweiligen CSP-Halbleiterbaustein fest definierten Positionen angeordnet, um somit standardisierte CSP-Halbleiterbausteine zu erhalten.

**[0073]** Bei den CSP-Halbleiterbausteinen mit zwei Metallisierungsbereichen **106a–b**, beispielsweise für eine Halbleiterdiode, sind diese beispielsweise an zwei gegenüberliegenden Seitenflächen und vorzugsweise an den kleineren Seitenflächen des Halbleiterchipkörpers angeordnet (vergleiche [Fig. 3a–e](#)). Dabei können auch benachbarte Seitenflächen oder die Rückseite des Halbleiterchipkörpers belegt sein, ohne dass dadurch Kurzschlüsse zwischen den frei liegenden Kontaktierungsbereichen auftreten werden.

**[0074]** Für den CSP-Halbleiterbaustein mit drei Metallisierungsbereichen **106a–c** (Triode) befinden sich diese Metallisierungsbereiche bis auf einer Seitenfläche auf allen Seitenflächen des Halbleiterchipkörpers, wobei auch hier benachbarte Seitenflächen oder die Rückseite des Halbleiterchipkörpers durch Metallisierungsbereiche belegt sein können, ohne dass Kurzschlüsse zwischen den Metallisierungsbereichen bzw. den frei liegenden Kontaktierungsbereichen auftreten.

**[0075]** Für den CSP-Halbleiterbaustein mit vier Metallisierungsbereichen bzw. vier frei liegenden Kontaktierungsbereichen **106a–d** (Tetroden) befinden sich die frei liegenden Kontaktierungsbereiche **108a–d** vorzugsweise an den vier Seitenflächen (siehe [Fig. 5a](#)), oder an den vier Seitenkanten des Halbleiterchipkörpers (siehe [Fig. 5b](#)).

**[0076]** Der Halbleiterchipkörper weist beispielsweise eine Form auf, die einem Quader nahe kommt und ein Seitenverhältnis der Vorderseite mit dem aktiven Gebiet von 2:1 aufweist, wobei deutlich werden sollte, dass die erfindungsgemäßen CSP-Halbleiterbausteine im Wesentlichen beliebige räumliche Formen

aufweisen können, wobei sich die bevorzugten Ausführungen und Ausgestaltungen der Halbleiterchipkörper **102** an möglichst einfachen Herstellungsschritten auf Wafer Ebene ausrichten, wie dies im Nachfolgenden noch detailliert erläutert wird.

**[0077]** Im Folgenden wird nun Bezug nehmend auf [Fig. 6a–g](#) ein bevorzugtes Verfahren bzw. eine bevorzugte Vorgehensweise zum Herstellen des Halbleiterbausteins **100** mit einem an einer Seitenfläche des Halbleiterbausteins angeordneten frei liegenden Metallisierungsbereich beschrieben.

**[0078]** Bezüglich der nachfolgenden Beschreibung des erfindungsgemäßen Herstellungsverfahrens des Halbleiterbausteins **100** wird darauf hingewiesen, dass in den das Herstellungsverfahren beschreibenden [Fig. 6a–g](#) gleiche Elemente wieder die gleichen Bezugszeichen wie in den vorhergehenden Figuren aufweisen, wobei auf eine erneute detaillierte Erläuterung dieser Elemente und deren Funktionsweise verzichtet wird.

**[0079]** Wie in [Fig. 6a](#) dargestellt ist, wird zunächst ein Halbleiterwafer **300** mit einer ersten Hauptoberfläche **300a** und einer zweiten Hauptoberfläche **300b** bereitgestellt, wobei angrenzend an die erste Hauptoberfläche **300a** des Halbleiterwafers **300** eine Mehrzahl von (aktiven und/oder passiven) Schaltungsbereichen **104** angeordnet sind. Zur Vereinfachung der Erläuterung des erfindungsgemäßen Herstellungsverfahrens des Halbleiterbausteins **100** sind bezüglich des in [Fig. 6a](#) dargestellten Halbleiterwafers nur zwei Schaltungsbereiche **104** dargestellt, wobei bezüglich der vorliegenden Erfindung jedoch deutlich werden sollte, dass auf einem derzeit technisch realisierbaren Halbleiterwafer in der Größenordnung von bis zu  $10^6$  aktiven und/oder passiven Schaltungsbereichen **104** angeordnet sein können.

**[0080]** Wie in [Fig. 6a](#) ferner dargestellt ist, weist jeder Schaltungsbereich **104** zumindest einen Schaltungskontaktanschluss **104a** an der ersten Hauptoberfläche **300a** des Halbleiterwafers **300** auf.

**[0081]** Somit dient der Halbleiterwafer **300** als Ausgangspunkt des erfindungsgemäßen Herstellungsverfahrens des Halbleiterbausteins **100**, der mittels Standardvorderseitenbearbeitungsprozessen erhalten wurde, wobei im vorliegenden Fall beispielsweise noch keine Passivierung der ersten Hauptoberfläche **300a** des Halbleiterwafers **300** durchgeführt wurde.

**[0082]** Wie nun in [Fig. 6b](#) dargestellt ist, wird daraufhin benachbart zu dem jeweiligen Schaltungsbereich **104** ein Graben **302** in der Hauptoberfläche **300a** des Halbleiterwafers **300** benachbart zu den Schaltungsbereichen **104** erzeugt. Die Gräben **302** werden üblicherweise zwischen den einzelnen Halbleiterchipkörpern **102** der herzustellenden Halbleiter-

bausteine **100** gebildet. Wie nachfolgend noch erläutert wird, werden durch die Gräben **302** die Seitenflächen des Halbleiterchipkörpers **102** der herzustellenden Halbleiterbausteine **100** erzeugt. Die Gräben **302** in der ersten Hauptoberfläche **300a** des Halbleiterwafers **300** werden vorzugsweise durch herkömmliche Sägeverfahren des Halbleiterwafers **300** oder durch Lasersägen oder durch eine anisotrope Ätzung oder durch beliebige andere geeignete Verfahren zur Herstellung der Gräben **302** erzeugt. Die Tiefe der Gräben ist dabei vorzugsweise an die Dicke des zu erhaltenden Halbleiterchipkörpers **102** des Halbleiterbausteins **100** angepasst, wobei beispielsweise bei üblichen Einzelhalbleiterbausteinen eine Tiefe der Gräben **302** in einem Bereich von 100 bis 600 µm und vorzugsweise von 200 bis 400 µm bevorzugt wird. Die Tiefe der Gräben **302** kann beispielsweise von der Tiefe des aktiven Bereichs **104**, wie z. B. der Einzelhalbleiterbausteine, der komplexen integrierten Schaltungen usw., in dem Halbleiterkörper **102** abhängen und ferner der resultierenden Höhe der erzeugten Halbleiterbausteine **100** entsprechen.

**[0083]** Falls ein anisotropes Ätzverfahren zur Herstellung der Gräben **302** in der Hauptoberfläche **300a** des Halbleiterwafers **300** verwendet wird, kann optional eine so genannte Überätzung der Gräben **302** vorgenommen werden, um eine Abrundung der Kanten der Gräben **302** zu erreichen, wie dies in [Fig. 6c](#) angedeutet ist. Dies kann beispielsweise bei den nachfolgend noch erläuterten weiteren Bearbeitungsschritten eine Vereinfachung darstellen bzw. dadurch kann der weitere Aufbau des erfindungsgemäßen Halbleiterbausteins häufig zuverlässiger vorgenommen werden.

**[0084]** Der Schritt des Ätzens oder der optionale Schritt des Überätzens der Gräben **302** kann beispielsweise mit abgedeckten aktiven Gebieten **104** zu deren Schutz durchgeführt werden. Die Abrundung der Kanten der Gräben **302** ermöglicht beispielsweise ein vereinfachtes Aufbringen von verschiedenen Materialstrukturen auf bzw. in die Gräben. Wie nachfolgend noch erläutert wird, können die Gräben **302** nachfolgend noch als so genannte Sägestraßen zum Vereinzelnen der einzelnen Halbleiterbausteine **100** dienen.

**[0085]** Bei dem in [Fig. 6d](#) dargestellten weiteren Verfahrensschritt wird nun eine (vorzugsweise durchgehende bzw. zusammenhängende) Isolationsschicht auf dem Schaltungsbereich und zumindest teilweise in den Gräben **302** erzeugt, wobei die Schaltungskontaktbereiche **104a** zumindest teilweise frei gelassen sind. Bei diesem Verfahrensschritt wird also eine Seitenflächenpassivierung mit Standardverfahren wie Oxidation oder Abscheidung von passivierenden Schichten durchgeführt.

**[0086]** Gemäß dem erfindungsgemäßen Herstell-

ungsverfahren von Halbleiterbausteinen können beispielsweise folgende Vorgehensweisen zur Passivierung von integrierten Schaltungen angewendet werden. Um integrierte Schaltungen beispielsweise gegen Korrosion, mechanische Beschädigungen und äußere Umgebungseinflüsse zu schützen, wird nach der Strukturierung der ersten Hauptoberfläche **300a** des Halbleiterwafers **300** die Passivierungsschicht **110** auf die zu schützenden Bereiche aufgebracht, wobei die Passivierungsschicht **110** üblicherweise lediglich an denjenigen Stellen geöffnet wird, an denen die Anschlussdrähte bzw. Kontaktierungen zu den Schaltungskontaktanschlüssen der aktiven Schaltungsbereiche (Pads) angebracht werden. Die Passivierungsschicht **110** kann beispielsweise aus einer Doppelschicht aus Plasmaoxid und Plasmanitrid bestehen, die jeweils eine Dicke von beispielsweise 0,2 bis 2,0 µm und vorzugsweise 0,5 bis 1 µm aufweisen können.

**[0087]** Die Dicke der Isolations-/Passivierungsschicht **110** bzw. des Isolations-/Passivierungsschichtstapels **110** sollte abhängig von den Abmessungen bzw. der Struktur der zu überdeckenden Oberfläche eine ausreichende Schichtdicke aufweisen, um ausgelöst durch mechanische Spannungsunterschiede in den Schichten, durch ungenügende Schichthaftung oder durch Spannungen in dem Halbleitermaterial Risse in der Passivierungsschicht zu vermeiden. Ferner ist die Dicke der Passivierungsschicht **110** bzw. des Passivierungsschichtstapels so zu wählen, dass diese eine ausreichende elektrische Durchschlagfestigkeit bzw. Durchschlagsicherheit zwischen der Metallisierungsschicht **106** und dem Halbleitermaterial der Halbleiterchipkörpers **102** erhalten, wie dies im Nachfolgenden noch deutlich erläutert wird.

**[0088]** Mögliche Realisierung der Isolationsschicht **110** bzw. des Isolationsschichtstapels bestehen gemäß der vorliegenden Erfindung nun darin, wie dies bereits im Vorhergehenden bezüglich [Fig. 1a–b](#) erläutert wurde, eine Schicht aus einem Nitridmaterial (z.B. Si<sub>3</sub>N<sub>4</sub>) mit einer Dicke in einem Bereich um etwa 600nm vorzusehen. Alternativ kann auch ein Schichtstapel aus einem Oxidmaterial mit einer Dicke in einem Bereich um etwa 550nm und aus einem Nitridmaterial (z.B. Si<sub>3</sub>N<sub>4</sub>) mit einer Dicke in einem Bereich um etwa 300nm vorgesehen werden. Optional kann zusätzlich auf die Isolationsschicht **110** bzw. den Isolationsschichtstapel eine Schicht aus einem etwa 10µm dicken Irid-Material oder eine Schicht aus einem etwa 5µm dicken BCB-Material (Benzocyclobutene) vorgesehen werden.

**[0089]** Wie in [Fig. 6e](#) gezeigt ist, werden nun auf die Isolations- bzw. Passivierungsschicht Metallisierungsbereiche **106** auf der Isolationsschicht **110** und dem Schaltungskontaktbereich **104a** aufgebracht, so dass die Metallisierungsbereiche **106** mit den Schal-

tungskontaktanschlüssen **104a** verbunden sind und sich die Metallisierungsbereiche **106** von den Schaltungskontaktanschlüssen **104a** der Schaltungsbereiche **104** zumindest teilweise in die angrenzenden Gräben **302** erstrecken. Wie in [Fig. 6e](#) dargestellt ist, können die Gräben **302** durch die Metallisierungsbereiche **106** teilweise bedeckt oder vollständig bedeckt sein. Die Metallisierungsbereiche **106** können mittels üblicher Bearbeitungsschritte strukturiert werden, damit dieselben die gewünschte Form bzw. Ausdehnung auf der Isolationsschicht **110** zu erhalten.

**[0090]** Gemäß der vorliegenden Erfindung wird beispielsweise (optional) zur Erzeugung der Metallisierungsbereiche **106** eine so genannte metallische Keimschicht (seed layer) auf der Isolationsschicht **110** aufgebracht, wobei diese Keimschicht Ausgangspunkt für einen optionalen, nachfolgend durchzuführenden Galvanikvorgang darstellt. Beispielsweise werden die Keimschicht bzw. die Keimschichtbereiche auf der ersten Hauptoberfläche **300a** des Halbleiterchips **300** und an den Seitenflächen der Gräben **302** entsprechend der später zu erhaltenden Metallisierungsbereiche **106** mittels üblicher Bearbeitungsschritte strukturiert. Mittels eines nachfolgend durchgeführten Metallgalvanikvorgangs wird vorzugsweise eine Kupferschicht oder eine Aluminiumschicht auf der strukturierten Keimschicht bzw. den strukturierten Keimschichtbereichen aufgebracht.

**[0091]** Eine mögliche Realisierung eines Schichtstapel für die Metallisierungsbereiche **106** besteht nun erfindungsgemäß darin, eine Schicht aus einem vorzugsweise 0,5µm dicken Al-Material als Keimschicht und eine Schicht aus einem vorzugsweise 20µm dicken Ni-Material (Ni = Nickel) mit einer vorzugsweise wenige Atomlagen dicken Au-Kappe (Au = Gold) vorzusehen. Die Metallisierungsbereiche **106** können aber auch andere Metallmaterialien, wie beispielsweise Kupfer (Cu), Titan (Ti), Wolfram (W), Zinn (Sn), Silber (Ag) usw., aufweisen.

**[0092]** Die Metallisierungsbereiche **106** werden bezüglich Ausdehnung und Oberflächenbeschaffenheit erfindungsgemäß nun so gewählt, dass sie für die spätere Weiterverarbeitung in der Applikation beispielsweise als standardisierte Kontaktanschlussbereiche tauglich sind, so dass beispielsweise als abschließender Galvanikschritt eine Verzinnung der Metallisierungsbereiche **106** vorzuziehen ist. Die galvanisch aufgetragenen Metallschichten können nun erfindungsgemäß die Seitenflächen der Gräben teilweise oder ganz bedecken, sowie es die jeweilige Bauform erfordert, wie dies beispielsweise anhand der Halbleiterbausteine in den [Fig. 1 bis 5](#) dargestellt wurde. Gemäß der vorliegenden Erfindung können die Gräben **302** entweder teilweise oder auch vollständig mit den Metallschichten gefüllt werden.

**[0093]** In [Fig. 6f](#) ist nun ein weiterer Bearbeitungs-

schritt des Halbleiterwafers **300** dargestellt, wobei optional auf den Halbleiterwafer, d. h. auf die erste Hauptoberfläche **300a** des Halbleiterwafers **300**, eine Folie aufgebracht wird, und das Halbleitermaterial des Halbleiterwafers auf eine vorgegebene Restdicke von beispielsweise 0 µm bis 300 µm in den Gräben dünn geschliffen wird. Bei einer Grabentiefe von 100µm und einer Enddicke von 400µm ist beispielsweise eine Restdicke von 300µm als sinnvoll anzusehen. Bei einer Grabentiefe von 100µm und einer Enddicke von 100µm ist beispielsweise eine Restdicke von 0µm als sinnvoll anzusehen, so dass deutlich wird, dass die jeweilige Restdicke abhängig vom Einzelfall eingestellt werden kann. Der Halbleiterwafer wird vorzugsweise auf die Folie aufgebracht, um diesen Bearbeitungsschritt und die nachfolgenden Bearbeitungsschritte einfacher handhaben zu können.

**[0094]** Optional kann nun auch die Rückseite des gedünnten Halbleiterwafers **300** und somit die zweite Hauptoberfläche **102b** der herzustellenden Halbleiterbausteine **100** noch mit einer Passivierungsschicht zum Schutz gegen Korrosion, mechanische Beschädigungen und äußere Umgebungseinflüsse versehen werden. Diese Passivierung der Chiprückseite, d.h. der zweiten Hauptoberfläche **102b** des CSP-Halbleiterbausteins **100**, ist vorzugsweise ferner dafür vorgesehen, um zuverlässig zu vermeiden, dass keine elektrischen Kurzschlüsse zwischen den Kontakten auf einer Applikationsschaltung und dem Substratmaterial **102** des CSP-Halbleiterbausteins **100** auftreten können. Diese Passivierungsschicht kann beispielsweise aus einer Doppelschicht aus Plasmaoxid und Plasmanitrid bestehen, die jeweils eine Dicke von beispielsweise 0,2 bis 2,0 µm und vorzugsweise 0,5 bis 1 µm aufweisen können.

**[0095]** In dem in [Fig. 6g](#) nachfolgend dargestellten Verfahrensschritt gemäß dem erfindungsgemäßen Herstellungsverfahren des Halbleiterbausteins **100** wird nun der Halbleiterwafer **300** vereinzelt, um eine Mehrzahl von vereinzelt Halbleiterbausteinen **100** mit dem an einer der Seitenflächen des Halbleiterbausteins **100** angeordneten, frei liegenden Metallisierungsbereich **106a** zu erhalten.

**[0096]** Um den Halbleiterwafer **300** zu vereinzeln wird gemäß der vorliegenden Erfindung beispielsweise ein Teil des Metallmaterials in den Gräben **302** entfernt, um die Vereinzelung des Halbleiterwafers und damit die einzelnen Halbleiterbausteine **100** zu erhalten. Dies kann beispielsweise durch Ätzschritte, mechanische Sägeschritte, Lasersägeschritte oder auch durch CMP-Schritte geschehen.

**[0097]** Beispielsweise kann zur Vereinzelung des Halbleiterwafers **300** eine Damageätzung des restlichen Halbleitermaterials unterhalb der Gräben **302** vorgenommen werden. Beim mechanischen Dünnschleifen der Scheibe werden in einer Schicht auf der

Rückseite des Halbleiterwafers viele Versetzungen erzeugt („Damages“). Diese Schicht mit den Versetzungen wird in der Damageätzung weggeätzt

**[0098]** Die verbleibende Metallisierung in den Gräben **302** des Halbleiterwafers **300** kann dann durch mechanische Sägevorgänge oder Lasersägevorgänge oder CMP-Verfahren (CMP = chemical mechanical polishing) behandelt werden, wodurch der Halbleiterwafer **300** letztendlich vereinzelt und die einzelnen Halbleiterbausteine **100** erhalten werden. Zur weiteren Handhabung, wie z. B. Messung, Verpackung usw., der vereinzelt Halbleiterbausteine **100** kann die Folie **304**, auf der sich die Halbleiterbausteine in den letzten Verfahrensschritten optional befinden, so weit expandiert werden, wie es die Weiterverarbeitung und Zugänglichkeit der einzelnen Halbleiterbausteine **100** erfordert.

**[0099]** Bezüglich der in den [Fig. 6f](#) und [Fig. 6g](#) dargestellten Vorgehensweise zur Vereinzelung des Halbleiterwafers **300** mittels Säge- oder Ätztvorgängen sollte beachtet werden, dass diese Vereinzelungsvorgänge dahin gehend problematisch sein können, dass beispielsweise bei einem Sägevorgang zur Vereinzelung häufig Grate an den Metallisierungsbereichen **106** zurückbleiben können, wobei bei Ätztvorgängen zur Vereinzelung eine Anätzung der Metallisierungsbereiche **106** an den Seitenflächen der Gräben **302** häufig relativ schwierig zu kontrollieren ist.

**[0100]** Im Folgenden werden nun Bezug nehmend auf die [Fig. 7a–e](#) optionale bzw. zusätzliche Verfahrensschritte des erfindungsgemäßen Herstellungsverfahrens zur Herstellung eines CSP-Halbleiterbausteins **100** erläutert, die zusätzlich bzw. optional zu den anhand der [Fig. 6f–Fig. 6g](#) dargestellten Verfahrensschritte durchgeführt werden können, um der oben dargelegten Problematik bei der Vereinzelung des Halbleiterwafers **300** mittels Säge- oder Ätztvorgängen entgegenwirken zu können.

**[0101]** Wie nun in [Fig. 7a](#) gezeigt ist, kann nun anschließend auf das Aufbringen der Metallisierungsbereiche **106** auf die Isolations- bzw. Passivierungsschicht **110** (Verfahrensschritte von [Fig. 6e](#)) eine zusätzliche Schutzschicht **112** aufgebracht werden, die zumindest die Metallisierungsbereiche **106** auf den Seitenflächen in den Gräben **302** bedecken sollten, wobei, wie dies in [Fig. 7a](#) dargestellt ist, die Gräben **302** beispielsweise vollständig mit der zusätzlichen Schutzschicht **112** gefüllt sein können. Ferner kann die zusätzliche Schutzschicht **112** beispielsweise über der gesamten ersten Hauptoberfläche **300a** des Halbleiterwafers **300** aufgebracht werden, so dass sich die zusätzliche Schutzschicht **112** auch über die Metallisierungsbereiche **106** bzw. die dazwischenliegenden Bereiche erstrecken kann. Diese zusätzliche Schutzschicht **112** kann beispielsweise aus einem

BCB-Material (BCB = Benzocyclobuten) mittels Standardaufbringungsverfahren auf den Halbleiterwafer **300** und zumindest in die Gräben **302** desselben abgedichtet werden. Falls sich diese zusätzliche Schutzschicht **102** auch über die erste Hauptoberfläche **300a** des Halbleiterwafers **300** erstreckt, ist es erforderlich, diese zusätzliche Schutzschicht **112** beispielsweise mittels Standardverfahren, wie z. B. CMP-Vorgängen, derart zurückzuschleifen bzw. zurückzuätzen, dass lediglich die Gräben **302** des Halbleiterwafers **300** gefüllt sind und die Kontaktierungsbereiche **104a** auf der ersten Hauptoberfläche **300a** des Halbleiterwafers **300** für eine spätere Kontaktierung wieder freiliegend sind. Dabei ist es nun vorteilhaft, wenn die zusätzliche Schutzschicht **102** zwischen den Metallisierungsbereichen **106** und bündig an diese angrenzend auf der ersten Hauptoberfläche **300a** verbleiben kann (vgl. Isolationsschicht **110** und Schutzschicht **112** auf der ersten Hauptoberfläche **102a** des Halbleiterchips **100** von [Fig. 1a–b](#)). Diese zusätzliche Schutzschicht **112** ist nun dahin gehend wirksam, um die Metallisierungsbereiche **106** an den Seitenflächen der Gräben **302** bei den nachfolgenden Vereinzelungsschritten zu schützen.

**[0102]** Wie nun in [Fig. 7b](#) als ein weiterer optionaler Bearbeitungsschritt des Halbleiterwafers **300** dargestellt ist, kann nun auf die erste Hauptoberfläche **300a** des Halbleiterwafers **300** eine Folie **304** aufgebracht werden, wobei nun das Halbleitermaterial des Halbleiterwafers **300** an der zweiten Hauptoberfläche **300b** desselben auf eine vorgegebene Restdicke von beispielsweise 0 µm bis 300 µm in den Gräben zurückgeschleift bzw. zurückgeätzt werden kann (vgl. auch die bezüglich [Fig. 6f](#) beschriebene Vorgehensweise). Wenn nun bei dem Dünnen des Halbleiterwafers **300** an der zweiten Hauptoberfläche **300b** desselben nach dem Schleifvorgang noch ein Ätztvorgang durchgeführt wird, kann vermieden werden, bis zu den Metallisierungsbereichen **106** an der Unterseite der Gräben **302** schleifen zu müssen. Dadurch wird es ferner ermöglicht, mögliche Versetzungen, die bei mechanischen Schleifvorgängen entstehen können, wieder zu entfernen. Die angesprochenen Ätztvorgänge der zweiten Hauptoberfläche **300b** des Halbleiterwafers **300** sind also sehr schonend und auch heilend für das spätere Produkt, d.h. den vereinzelt Halbleiterbaustein **100**. Wie nun in [Fig. 7c](#) dargestellt ist, kann nun anschließend die Passivierungsschicht **110**, wenn diese in den Gräben **302** zur der zweiten Hauptoberfläche **300b** des Halbleiterwafers **300** hin freiliegt, mit Standardverfahren entfernt bzw. weggeätzt werden, wie dies in [Fig. 7c](#) dargestellt ist.

**[0103]** Im Bedarfsfall können nun auch mittels Standardverfahren die Metallisierungsbereiche **106** noch in eine gewünschte Form gebracht werden. Dabei ist es aufgrund der aufgetragenen zusätzlichen Schutzschicht **112** in den Gräben **302**, d.h. bei einer vor-

zugsweise vollständigen Füllung der Gräben **302**, möglich, die Metallisierungsbereiche **106** nicht nur an der Unterseite der Gräben **302** zu entfernen und wegzuzüßen, sondern auch optional kontrolliert an den Seitenflächen der Gräben **302**, d.h. an den Seitenflächen des resultierenden Halbleiterbausteins **100**, zu entfernen bzw. wegzuzüßen, wie dies beispielhaft in [Fig. 7d](#) dargestellt ist.

**[0104]** Dadurch wird es ermöglicht, einen Abstand  $d$  zwischen der zweiten Hauptoberfläche **300b** des einzelnen Halbleiterwafers **300** und den Metallisierungsbereichen **106** geeignet einzustellen (vgl. Abstand  $d$  zwischen den Metallisierungsbereichen **106a-c** und der zweiten Hauptoberfläche **102b** des Halbleiterbausteins **100** von [Fig. 1a-b](#)), so dass dieser Abstand  $d$  einen möglichen Schutz vor elektrischen Durchbrüchen zwischen den Seitenflächenmetallisierungen **106** und der Rückseite bzw. zweiten Hauptoberfläche **102b** des Halbleiterbausteins **100** ermöglicht. Dieser Abstand  $d$  kann dabei je nach den Anforderungen an die elektrische Durchschlagsfestigkeit, d.h. je nach den Betriebsspannungsanforderungen, beispielsweise in einem Bereich von 0 bis 200  $\mu\text{m}$  und vorzugsweise in einem Bereich um etwa 50  $\mu\text{m}$  liegen.

**[0105]** Bezüglich der in [Fig. 7c](#) und [Fig. 7e](#) dargestellten Vorgehensweise zur Bearbeitung und Ausbildung der Metallisierungsbereiche **106** sollte ferner beachtet werden, dass es alternativ auch möglich ist, die in [Fig. 7c](#) dargestellten Abschnitte der Metallisierungsbereiche **106** an der Unterseite der Gräben **302** zu entfernen, und nach Aufbringen einer optionalen Isolationsschicht auf der Rückseite des der Halbleitersubstratbereiche **102** eine mit den Metallisierungsbereichen **106** verbundene Rückseitenmetallisierung zu erzeugen, um die beispielsweise in den [Fig. 3b](#) und [Fig. 3e](#) dargestellten Ausführungsformen zu erhalten, bei denen sich die Metallisierungsbereiche von der ersten Hauptoberfläche bis auf die zweite Hauptoberfläche (Rückseite) des Halbleiterbausteins erstrecken.

**[0106]** Schließlich wird nun, wie dies in [Fig. 7e](#) dargestellt ist, die zusätzlich angeordnete, optionale Schutzschicht **112** bzw. das Schutzmaterial, das vorzugsweise die Gräben **302** füllt, mittels Standardverfahren aus den Gräben **302** entfernt, um die einzelnen Halbleiterbausteine **100** zu erhalten. In [Fig. 7e](#) ist auch der oben angegebene (optionale) Abstand  $d$  der Metallisierungsbereiche **106** von der zweiten Hauptoberfläche des Halbleiterbausteins **100** nochmals dargestellt.

**[0107]** Bezüglich der vorliegenden Erfindung sollte ferner beachtet werden, dass das erfindungsgemäße Konzept bezüglich eines Halbleiterbausteins bzw. das erfindungsgemäße Verfahren zum Herstellen desselben auch auf solche Halbleiterbauelemente in

den Halbleiterbausteinen angewendet werden kann, die beispielsweise einen Rückseitenkontakt aufweisen, wie z. B. einen Kollektor, wobei in diesem Fall durch bekannte Vorgehensweisen, wie beispielsweise eine vergrabene Schicht (buried layer) mit Sink-Implantationen oder Substratvias, an die Vorderseite, d. h. die erste Hauptoberfläche **300a** des Halbleiterwafers bzw. des Halbleiterchipkörpers **102**, geführt werden und somit für die erfindungsgemäßen Metallisierungsbereiche **106** zugänglich sind.

**[0108]** Ferner sollte bezüglich der erfindungsgemäßen Halbleiterbausteine **100** beachtet werden, dass beispielsweise der gesamte Metallisierungsbereich **106** frei liegend sein kann. Ferner ist es möglich, dass der Metallisierungsbereich **106** auf der Hauptoberfläche **102a** des Halbleiterkörpers **102** eine zusätzliche Passivierungs- bzw. Schutzschicht (nicht gezeigt in den Figuren) aufweist, wobei der Metallisierungsbereich **106** an der Seitenfläche des Halbleiterkörpers **102** aber weiterhin einen frei liegenden Kontaktierungsbereich **108** bereitstellt.

**[0109]** Die vorhergehenden Ausführungen bezüglich des erfindungsgemäßen Herstellungsverfahrens eines Halbleiterbausteins mit einem an einer Seitenfläche des Halbleiterbausteins angeordneten frei liegenden Metallisierungsbereich machen deutlich, dass das erfindungsgemäße Herstellungsverfahren als Ganzscheibenprozess durchführbar ist, d. h. auf Waferebene die Herstellung vollständiger Halbleiterbausteine **100**, die unmittelbar in Applikationen eingefügt werden können, möglich ist.

**[0110]** Bezüglich des im vorhergehenden erläuterten, erfindungsgemäßen CSP-Halbleiterbausteins **100**, dessen Herstellungsverfahren und der erfindungsgemäßen Schaltungsanordnung **200** kann somit festgestellt werden, dass die frei liegenden Kontaktierungsbereiche des erfindungsgemäßen CSP-Halbleiterbausteins nur durch eine Isolationsschicht bzw. ein Dielektrikum getrennt von dem Halbleiterchipkörper an demselben angeordnet sind, und insbesondere an den Seitenflächen des Halbleiterchipkörpers (auf der Isolationsschicht **110**) des CSP-Halbleiterbausteins angeordnet ist. Somit braucht gemäß der vorliegenden Erfindung keine zusätzliche Chipfläche für die frei liegenden Kontaktierungsbereiche bzw. Kontaktbereiche zur externen Kontaktierung bereitgestellt werden, wie dies bei den Gehäuseformen gemäß dem Stand der Technik erforderlich ist.

**[0111]** Daher hinaus ist der erfindungsgemäße CSP-Halbleiterbaustein bezüglich der Fläche des aktiven Schaltungsbereichs auf dem Halbleiterchipkörper nicht größer als erforderlich und nimmt daher sehr wenig Platz bei der Anordnung auf einer Schaltungsplatine ein. Darüber hinaus ist die resultierende Bauhöhe des erfindungsgemäßen CSP-Halbleiter-

bausteins äußerst gering, d. h. in der Größenordnung des Halbleiterchipkörpers, wobei die Abmessungen eines Halbleiterbausteins insbesondere in Schaltungsmodulen äußerst kritische Parameter darstellen.

**[0112]** Somit kann der erfindungsgemäße Halbleiterbaustein mit dem Halbleiterchipkörper mit derart kleinen Abmessungen ausgebildet werden, die lediglich durch die Fläche des (aktiven) Schaltungsbereichs in dem Halbleiterkörper vorgegeben ist. Damit können die erforderlichen Materialkosten für das Assemblieren des erfindungsgemäßen CSP-Halbleiterbausteins **100** bis auf eine vorzugsweise verstärkte, letzte Metalllage für die Metallisierungsbereiche **106a–c** vermieden werden. Somit ist die gemäß der vorliegenden Erfindung vorgeschlagene Bauform für einen CSP-Halbleiterbaustein wesentlich günstiger herzustellen als die bisher im Stand der Technik bekannten und bestehenden Gehäusebauformen für Halbleiterbausteine.

**[0113]** Darüber hinaus sollte bezüglich des erfindungsgemäßen CSP-Halbleiterbausteins beachtet werden, dass das Assemblieren der Halbleiterchips, das zu einem großen Teil durch die Materialkosten bestimmt wird, häufig der kostenintensivste Herstellungsabschnitt der Einzelhalbleiterproduktion ist. Dieser Herstellungsabschnitt kann durch den erfindungsgemäßen CSP-Halbleiterbaustein wesentlich vereinfacht werden. Ferner ist es bei dem erfindungsgemäßen CSP-Halbleiterbaustein äußerst vorteilhaft, dass die Anschlusskontakte, d. h. die Lötmittelverbindung zwischen den frei liegenden Kontaktierungsbereichen des Halbleiterbausteins mit den Kontaktanschlussflächen auf einer Schaltungsplatine nach dem Verbauen des erfindungsgemäßen CSP-Halbleiterbausteins in der Applikation noch optisch kontrolliert werden können, da die Lötmittelverbindungsbereiche durch den erfindungsgemäßen CSP-Halbleiterbaustein nicht verdeckt werden. Ferner ist bezüglich des erfindungsgemäßen CSP-Halbleiterbausteins anzumerken, dass aufgrund der Anordnung des erfindungsgemäßen CSP-Halbleiterbausteins auf einer Schaltungsplatine, indem die zweite Hauptoberfläche des Halbleiterbausteins auf der Oberfläche der Schaltungsplatine aufliegt, auch eine erhöhte Zuverlässigkeit und Festigkeit gegenüber thermischen und/oder elektrischen Zyklen aufweist.

**[0114]** Bezüglich des erfindungsgemäßen CSP-Halbleiterbausteins sollte ferner beachtet werden, dass die damit erhaltenen Vorteile am augenscheinlichsten für Einzelhalbleiter und Hochfrequenz-einzelhalbleiter auftreten, wobei die vorliegende Erfindung jedoch nicht auf diese Anwendungen beschränkt ist, sondern gemäß der vorliegenden Erfindung der erfindungsgemäße CSP-Halbleiterbaustein im Wesentlichen beliebig viele externe, frei liegende Kontaktbereiche aufweisen kann und somit auch für

integrierte Schaltungen anwendbar und vorteilhaft ist.

#### Bezugszeichenliste

<b>100</b>	Halbleiterbaustein
<b>102</b>	Halbleiterkörper
<b>102a–b</b>	erste und zweite Hauptoberfläche des Halbleiterkörpers
<b>102c–f</b>	Seitenflächen des Halbleiterkörpers
<b>104</b>	Schaltungsbereich
<b>104a–d</b>	Schaltungskontaktanschluss
<b>106a–d</b>	Metallisierungsbereich
<b>108a–d</b>	frei liegender Kontaktierungsbereich
<b>110</b>	Isolationsschicht
<b>112</b>	zusätzliche Schutzschicht
<b>200</b>	Halbleiterschaltungsanordnung
<b>202</b>	Schaltungsplatine
<b>204</b>	Kontaktanschlussfläche
<b>206</b>	Lötmittel
<b>300</b>	Halbleiterwafer
<b>300a–b</b>	erste bzw. zweite Hauptoberfläche des Halbleiterwafers
<b>302</b>	Graben
<b>304</b>	Folie

#### Patentansprüche

1. Halbleiterbaustein (**100**) mit folgenden Merkmalen  
 einem Halbleiterkörper (**102**) mit einer ersten und einer gegenüberliegenden zweiten Hauptoberfläche (**102a**, **102b**) und mit die Hauptoberflächen verbindenden Seitenflächen (**102c–f**),  
 einem Schaltungsbereich (**104**) in dem Halbleiterkörper (**102**) angrenzend an die erste Hauptoberfläche (**102a**), der einen Schaltungskontaktanschluss (**104a**) aufweist,  
 einem Metallisierungsbereich (**106**; **106a–b**; **106a–c**; **106a–d**), der sich von dem Schaltungskontaktanschluss (**104a**) auf der ersten Hauptoberfläche (**102a**) auf eine Seitenfläche des Halbleiterkörpers (**102**) erstreckt, um an der Seitenfläche des Halbleiterkörpers (**102**) einen frei liegenden Kontaktierungsbereich (**108**; **108a–b**; **108a–c**; **108a–d**) bereitzustellen, und  
 einer Isolationsschicht, die zwischen dem Metallisierungsbereich (**106**) und dem Halbleiterkörper (**102**) angeordnet ist, wobei die Isolationsschicht (**110**) eine Öffnung zum elektrischen Verbinden des Schaltungskontaktanschlusses (**104a**) mit dem Metallisierungsbereich (**106**) aufweist.

2. Halbleiterbaustein nach Anspruch 1, wobei sich die Isolationsschicht (**110**) vorzugsweise durchgehend von der ersten Hauptoberfläche (**102a**) des Halbleiterkörpers (**102**) auf eine der Seitenflächen (**102a–d**) des Halbleiterkörpers (**102**) erstreckt.

3. Halbleiterbaustein gemäß Anspruch 1 oder 2, wobei sich der Metallisierungsbereich (106) auf zwei oder drei benachbarte Seitenflächen des Halbleiterkörpers (102) erstreckt.

4. Halbleiterbaustein nach einem der vorhergehenden Ansprüche, wobei sich der Metallisierungsbereich (106) auf die gegenüberliegende, zweite Hauptoberfläche (102b) des Halbleiterkörpers (102) erstreckt.

5. Halbleiterbaustein nach einem der vorhergehenden Ansprüche, wobei der Halbleiterbaustein (100) ein vereinzelter Halbleiterbaustein ist.

6. Halbleiterbaustein nach einem der vorhergehenden Ansprüche, wobei der gesamte Metallisierungsbereich (106) frei liegend ist.

7. Halbleiterbaustein nach einem der Ansprüche 1 bis 6, wobei der Metallisierungsbereich (106) auf der Hauptoberfläche (102a) des Halbleiterkörpers (102) eine Passivierungsschicht aufweist, und der Metallisierungsbereich (106) an der Seitenfläche des Halbleiterkörpers (102) einen frei liegenden Kontaktierungsbereich (108) bereitstellt.

8. Halbleiterbaustein nach einem der vorhergehenden Ansprüche, wobei der Schaltungsbereich (104) in dem Halbleiterkörper (102) eine Mehrzahl von Schaltungskontaktanschlüssen (104a; 104a-b; 104a-c; 104a-d) aufweist.

9. Halbleiterbaustein nach Anspruch 8, wobei der Halbleiterbaustein eine Mehrzahl von Metallisierungsbereichen (106; 106a-b; 106a-c; 106a-d) aufweist, der sich von der Mehrzahl von Schaltungskontaktanschlüssen auf der ersten Hauptoberfläche (102a) auf eine oder mehrere Seitenflächen des Halbleiterkörpers (102) erstrecken.

10. Halbleiterbaustein nach einem der vorhergehenden Ansprüche, wobei der Schaltungsbereich (104) ein aktives und/oder passives Einzelhalbleiterbauelement aufweist.

11. Halbleiterbaustein nach einem der vorhergehenden Ansprüche, wobei der Schaltungsbereich (104) in dem Halbleiterkörper (102) ein Einzelhalbleiterbauelement oder eine integrierte Schaltungsanordnung mit einer Mehrzahl von Halbleiterbauelementen aufweist.

12. Halbleiterbaustein nach einem der vorhergehenden Ansprüche, wobei die Isolationsschicht (110) zumindest eines der folgenden Materialien aufweist, wobei die Materialien Plasmaoxid und/oder Plasmanitrid und/oder Irid aufweisen.

13. Halbleiterbaustein nach einem der vorherge-

henden Ansprüche, wobei die Isolationsschicht (110) eine Dicke von 1µm bis 10µm aufweist.

14. Halbleiterbaustein nach einem der vorhergehenden Ansprüche, wobei der Metallisierungsbereich (106) Kupfer, Aluminium, Gold, Silber, Zinn, Titan und/oder Wolfram aufweist.

15. Halbleiterbaustein nach einem der vorhergehenden Ansprüche, wobei der Metallisierungsbereich eine Dicke von 1µm bis 50µm aufweist.

16. Halbleiterschaltungsanordnung mit folgenden Merkmalen:

einem Halbleiterbaustein (100), und einer Schaltungsplatine (200) mit einer Kontaktanschlussfläche (202; 202a-c), wobei der Halbleiterbaustein (100) einen Halbleiterkörper (102) mit einer ersten und einer gegenüberliegenden zweiten Hauptoberfläche (102a, 102b) und mit der Hauptoberfläche verbindenden Seitenflächen (102c-f), einen Schaltungsbereich (104) in dem Halbleiterkörper (102) angrenzend an die erste Hauptoberfläche (102a), der zumindest einen Schaltungskontaktanschluss (104a) aufweist, einen Metallisierungsbereich (106), der sich von dem Schaltungskontaktanschluss (104a) auf der ersten Hauptoberfläche (102a) auf eine Seitenfläche des Halbleiterkörpers (102) erstreckt, um an der Seitenfläche des Halbleiterkörpers (102) einen frei liegenden Kontaktierungsbereich (108) bereitzustellen, und eine Isolationsschicht (110) aufweist, die zwischen dem Metallisierungsbereich (106) und dem Halbleiterkörper (102) angeordnet ist, wobei der Isolationsbereich (110) eine Öffnung zum elektrischen Verbinden des Schaltungskontaktanschlusses (104a) mit dem Metallisierungsbereich (106) aufweist, und wobei der frei liegende Metallisierungsbereich (108) an der Seitenfläche des Halbleiterbausteins mittels elektrischer Verbindungsmittel (206) und vorzugsweise Lötmitte (204) mit der Kontaktanschlussfläche (202; 202a-c) der Schaltungsplatine (200) verbunden ist.

17. Halbleiterschaltungsanspruch nach Anspruch 16, wobei der Halbleiterbaustein (100) mit der ersten Hauptoberfläche (102a) des Halbleiterkörpers (102) auf der Schaltungsplatine (200) aufliegt.

18. Verfahren zum Herstellen eines Halbleiterbausteins mit einem an einer Seitenfläche des Halbleiterbausteins angeordneten frei liegenden Metallisierungsbereich, mit folgenden Schritten: Bereitstellen eines Halbleiterwafers mit einer Hauptoberfläche, wobei angrenzend an die Hauptoberfläche eine Mehrzahl von Schaltungsbereichen in dem Halbleiterwafer angeordnet sind, wobei ein Schaltungsbereich einen Schaltungskontaktanschluss aufweist,

Erzeugen eines Grabens in der Hauptoberfläche des Halbleiterwafers benachbart zu dem Schaltungsbereich,

Erzeugen einer Isolationsschicht auf dem Schaltungsbereich und zumindest teilweise in dem Graben, wobei der Schaltungskontaktanschluss freigelassen wird,

Erzeugen eines Metallisierungsbereichs auf der Isolationsschicht und dem Schaltungskontaktanschluss, so dass der Metallisierungsbereich mit dem Schaltungskontaktanschluss verbunden ist und sich der Metallisierungsbereich von dem Schaltungskontaktanschluss des Schaltungsbereichs zumindest teilweise in den angrenzenden Graben erstreckt, und Vereinzeln des Halbleiterwafers, um eine Mehrzahl von vereinzelt Halbleiterbausteinen mit dem an einer der Seitenflächen des Halbleiterbausteins angeordneten, frei liegenden Metallisierungsbereich zu erhalten.

19. Verfahren nach Anspruch 18, ferner mit folgendem Schritt:

Aufbringen einer Schutzschicht (**112**) zumindest auf den sich in den angrenzenden Graben (**302**) erstreckenden Abschnitt des Metallisierungsbereichs.

20. Verfahren nach Anspruch 18 oder 19, wobei der frei liegende Metallkontaktierungsbereich des Halbleiterbausteins für eine externe Kontaktierung des Halbleiterbausteins vorgesehen ist.

21. Verfahren nach einem der Ansprüche 18 bis 20, ferner mit folgenden Unterschritten:

Dünnschleifen des Halbleiterwafers; und  
Aufbringen einer Folie auf die erste Hauptoberfläche des Halbleiterwafers.

Es folgen 9 Blatt Zeichnungen

Anhängende Zeichnungen

FIG 1A

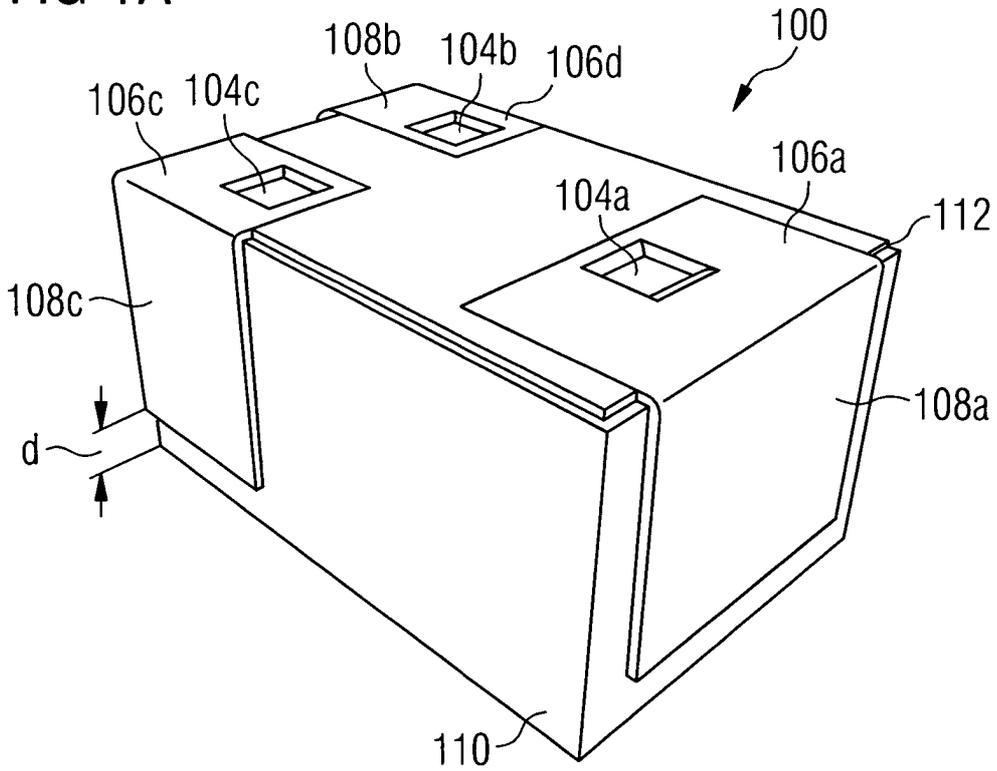


FIG 1B

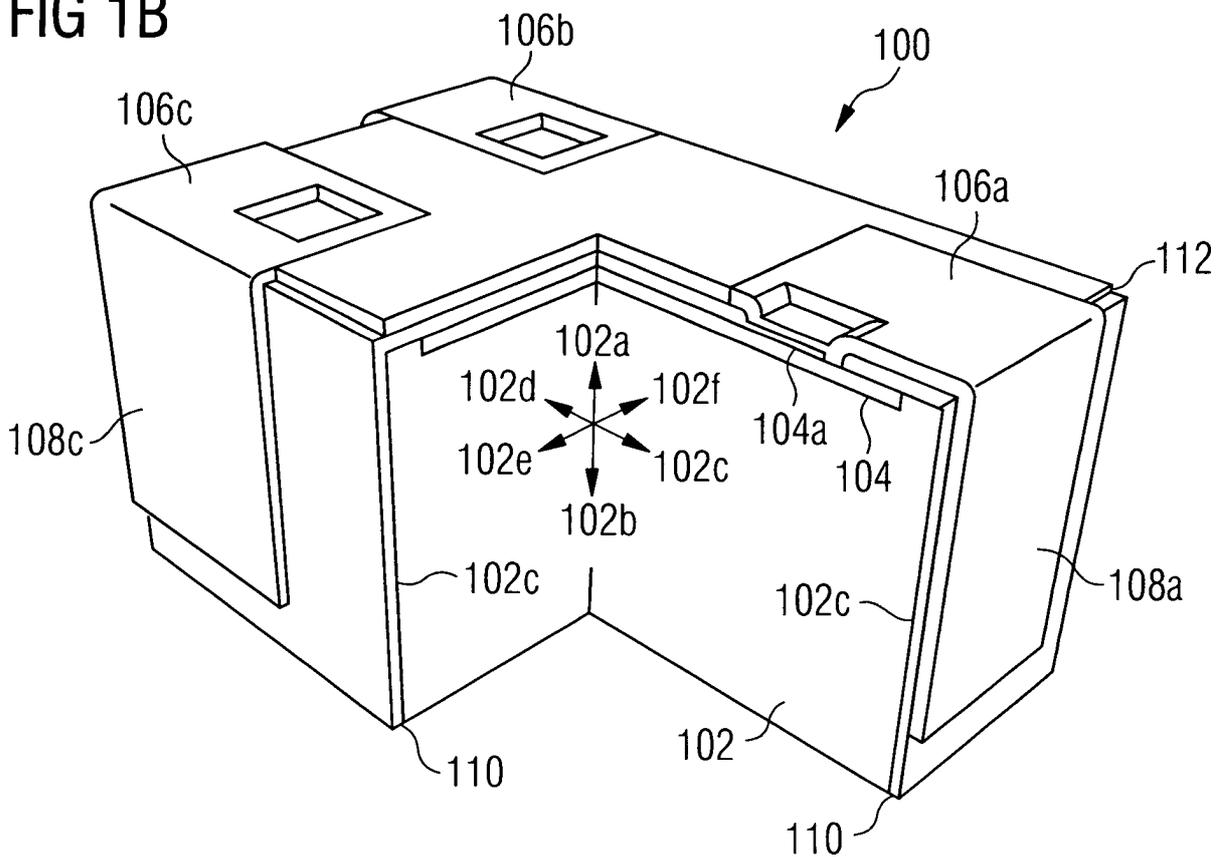


FIG 2

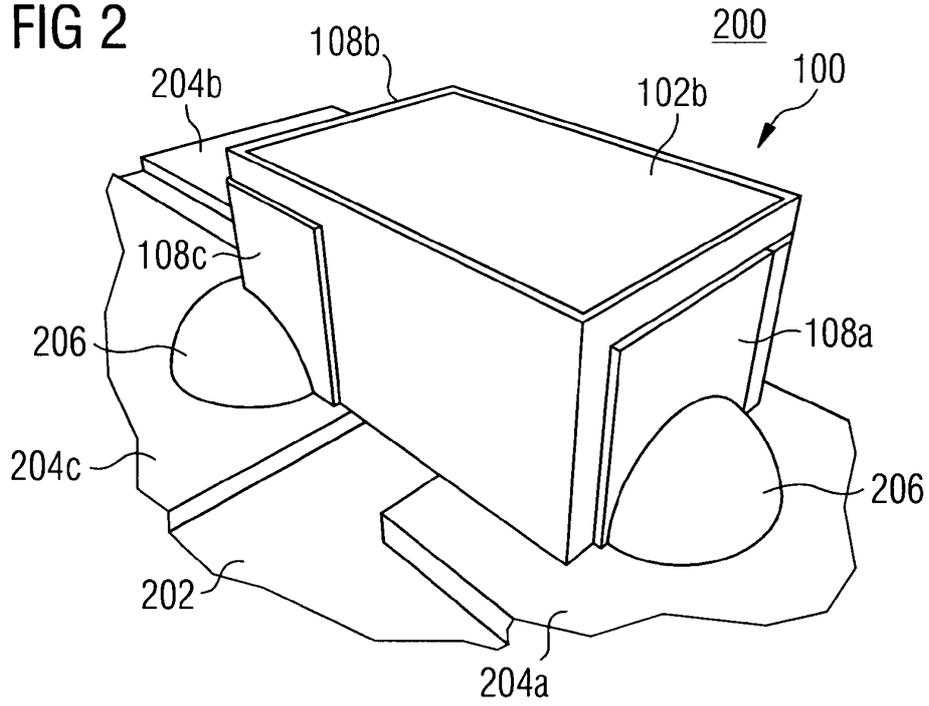


FIG 3A

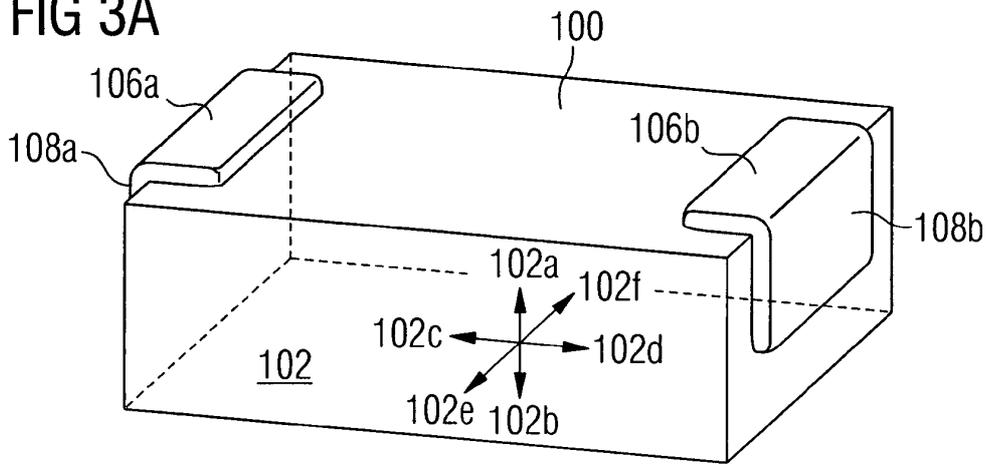


FIG 3B

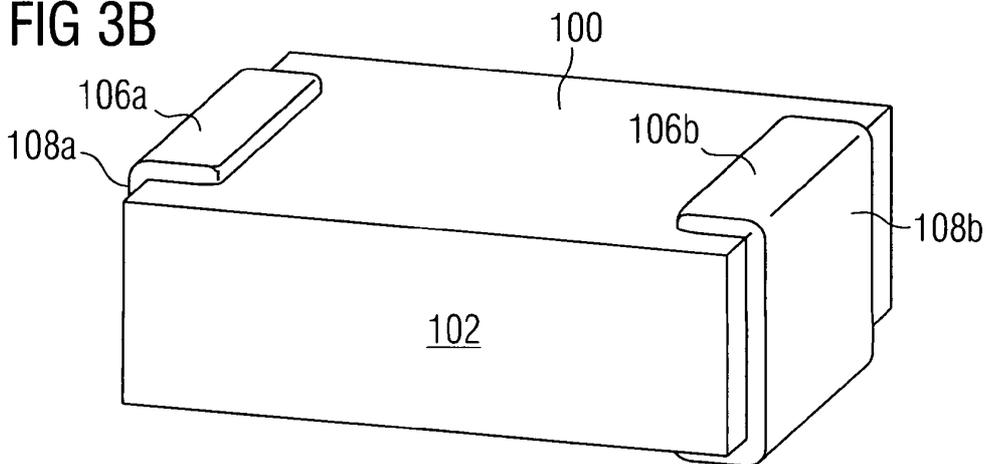


FIG 3C

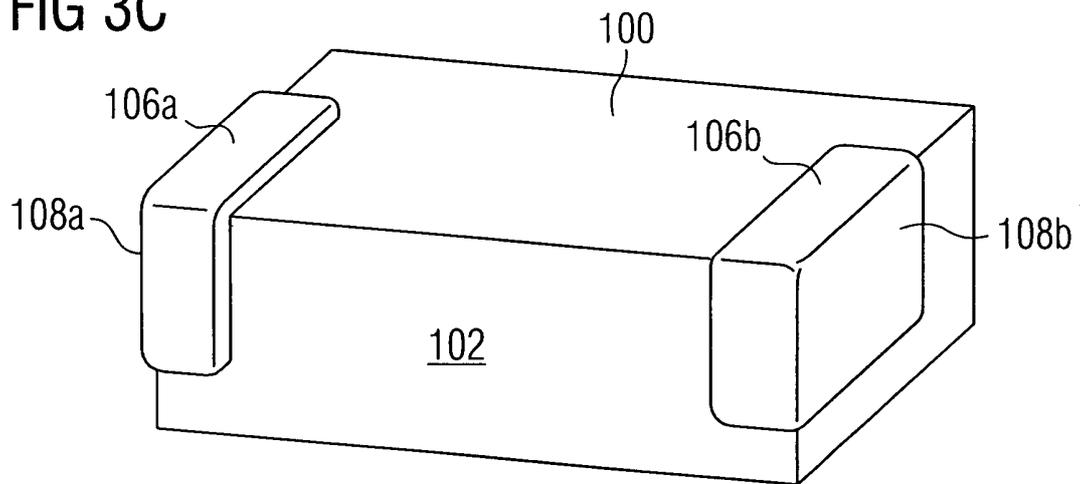


FIG 3D

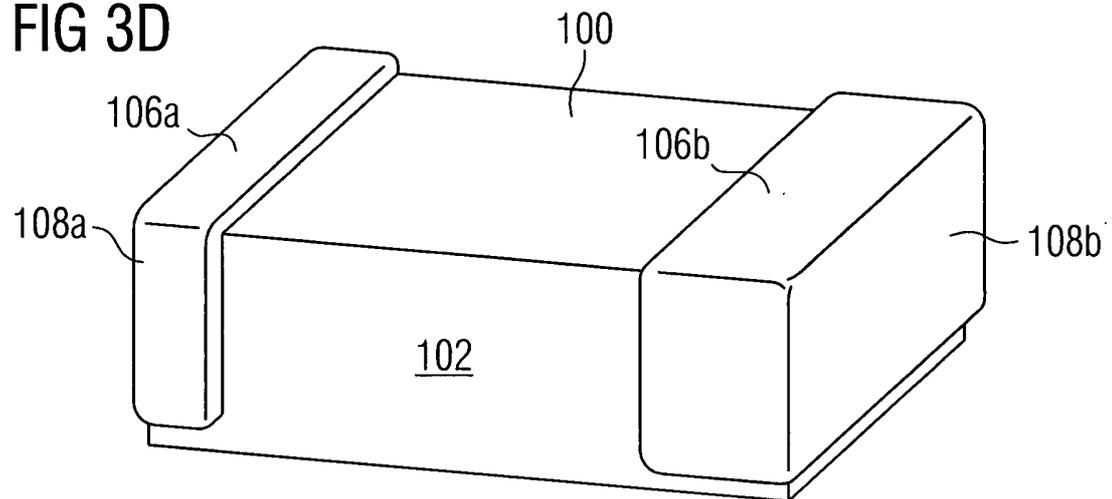


FIG 3E

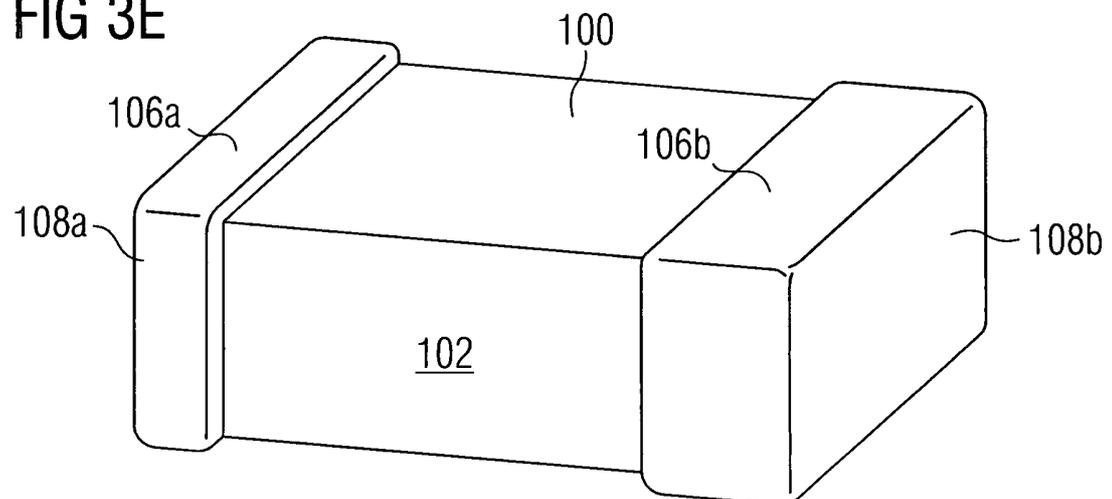


FIG 4A

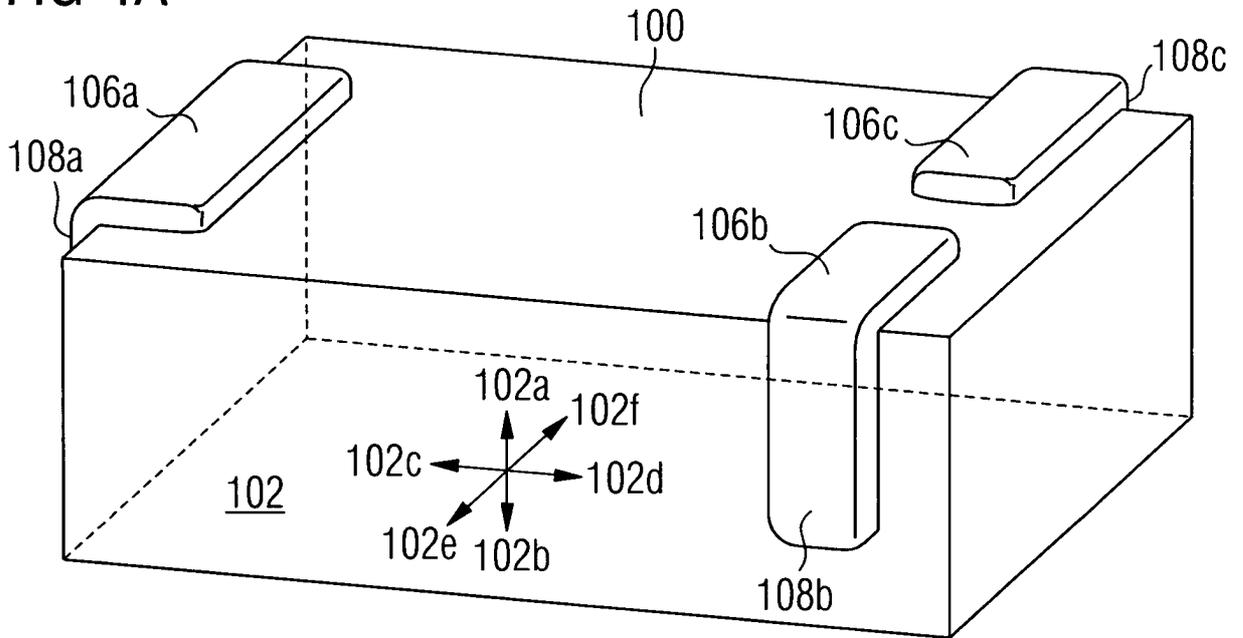


FIG 4B

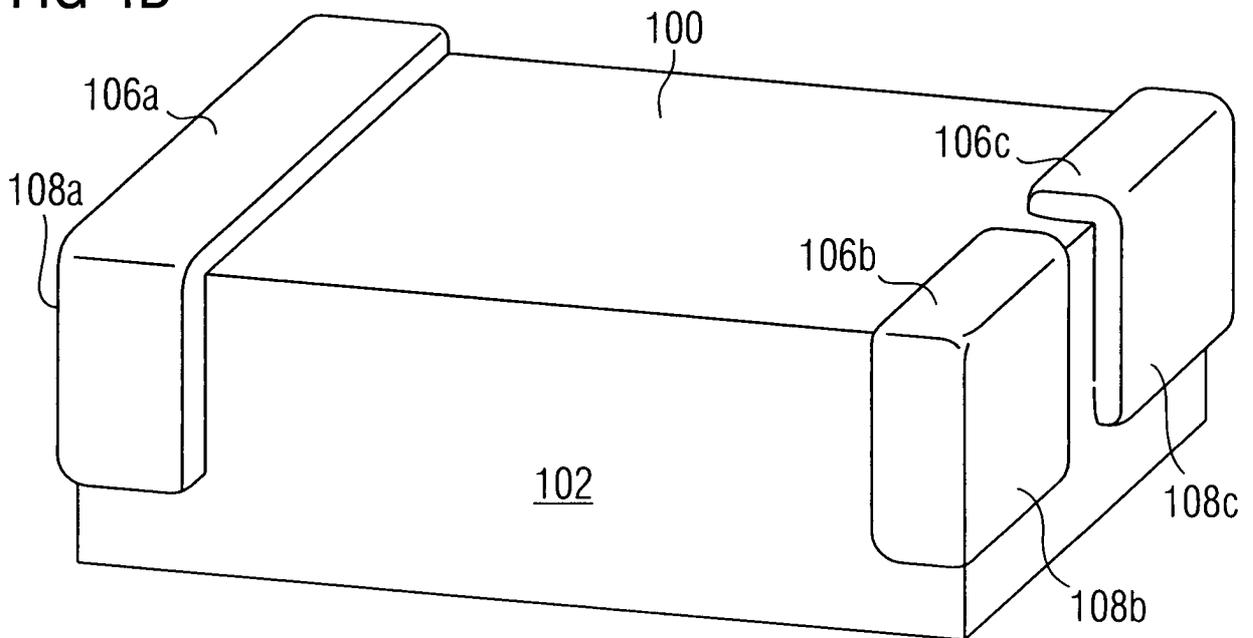


FIG 5A

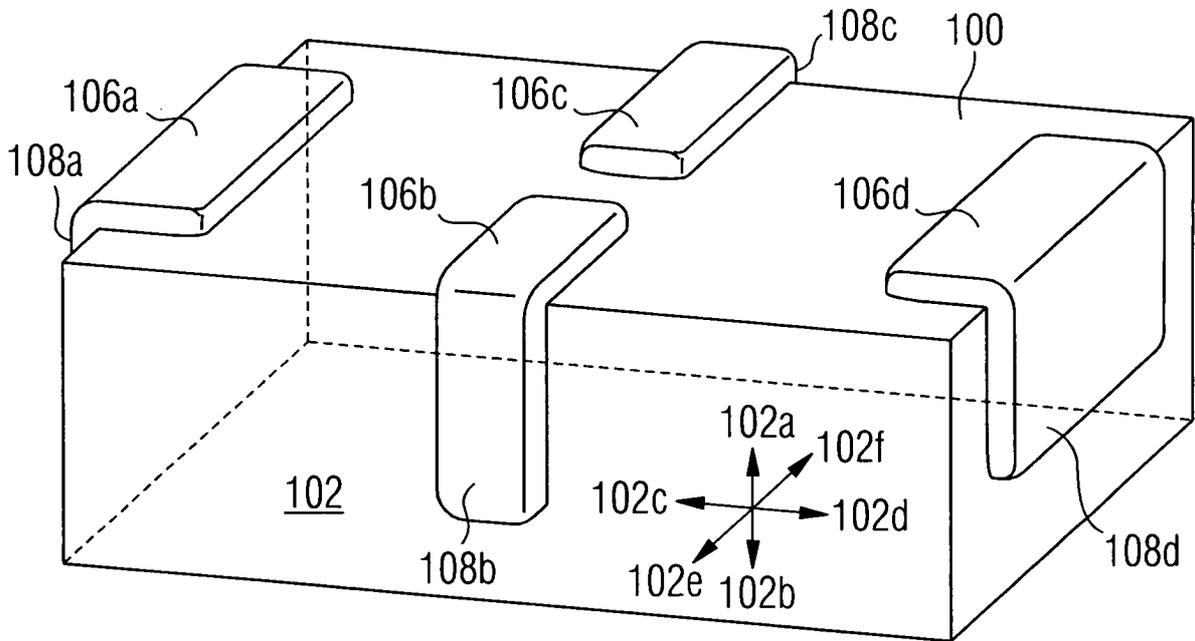


FIG 5B

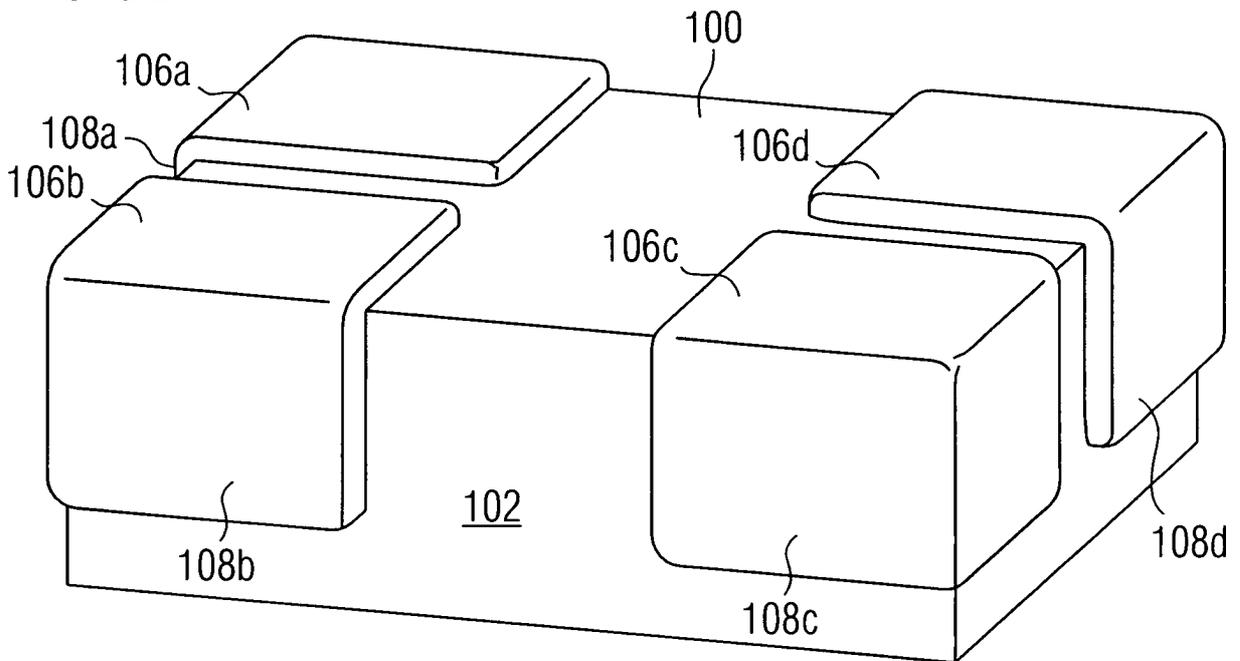


FIG 6A

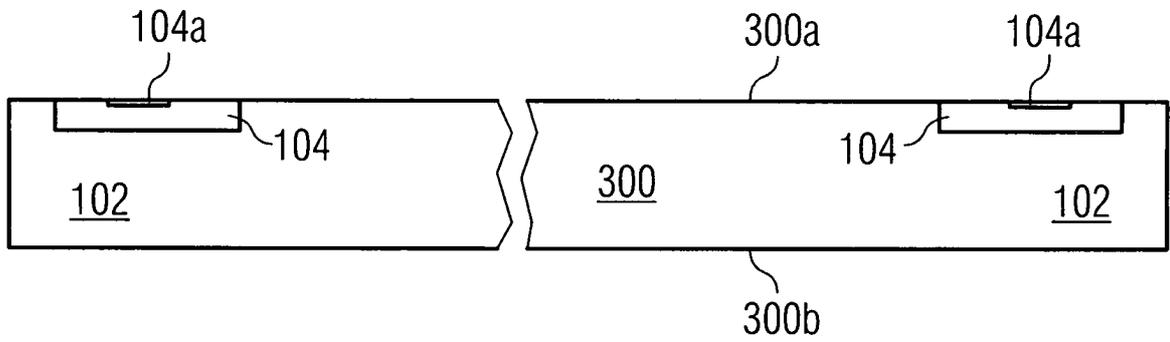


FIG 6B

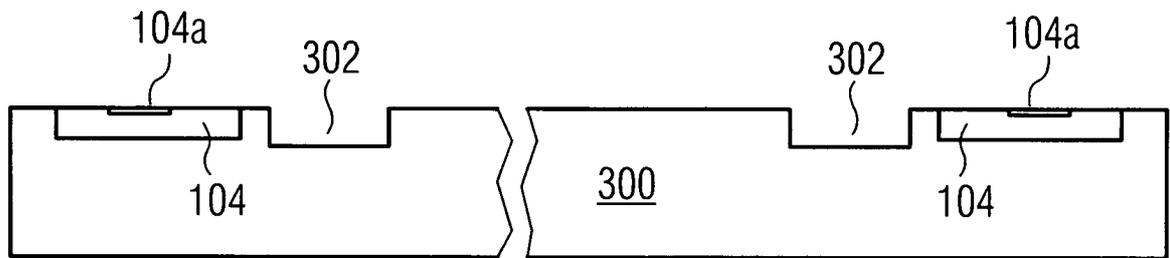


FIG 6C

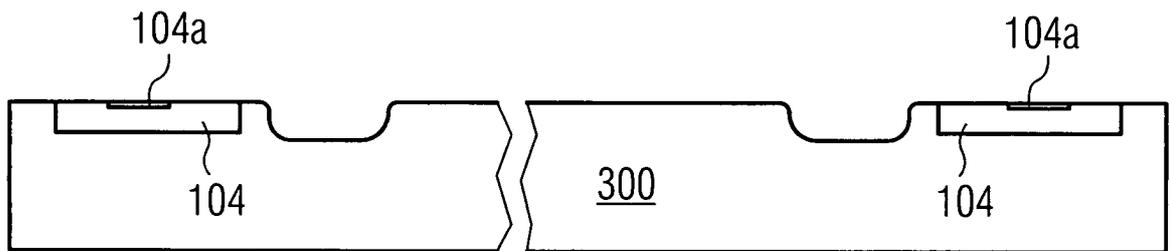


FIG 6D

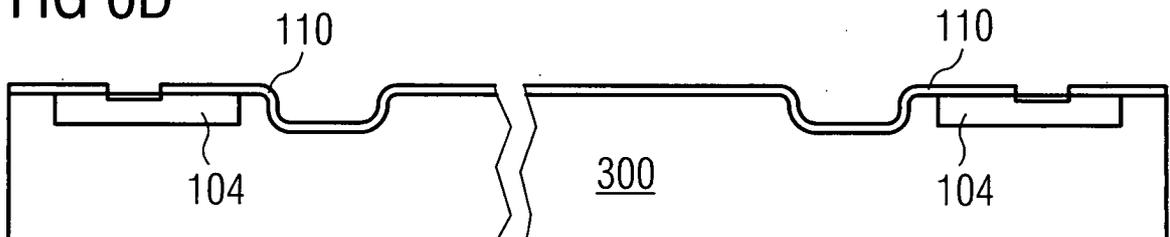


FIG 6E

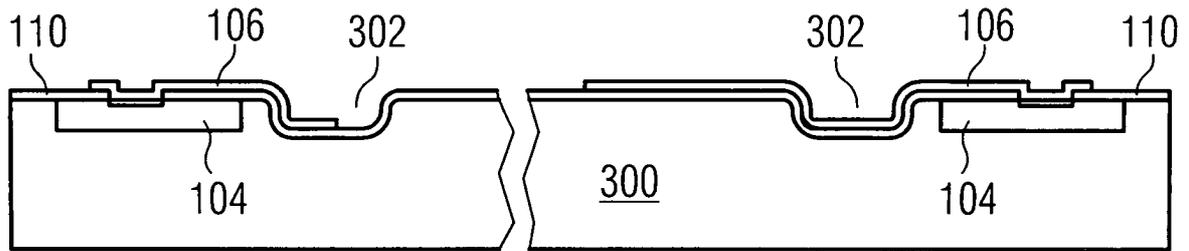


FIG 6F

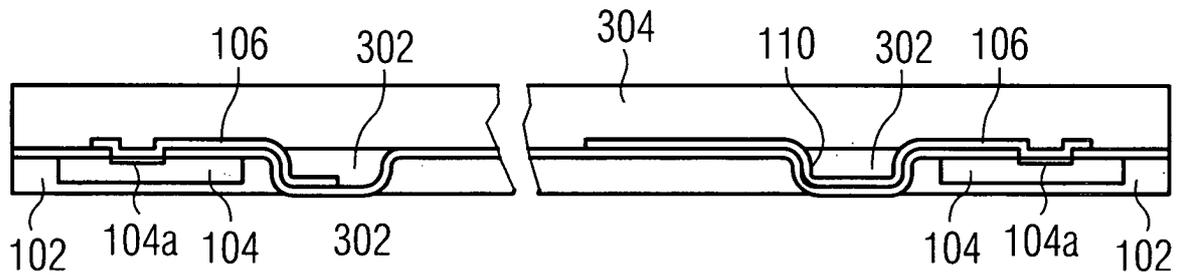


FIG 6G

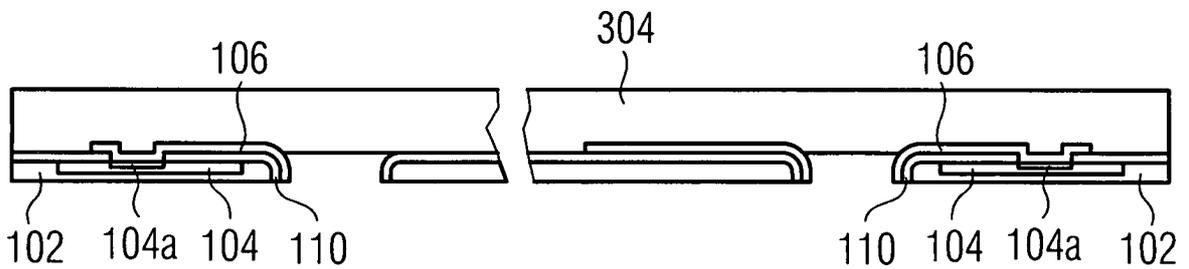


FIG 7A

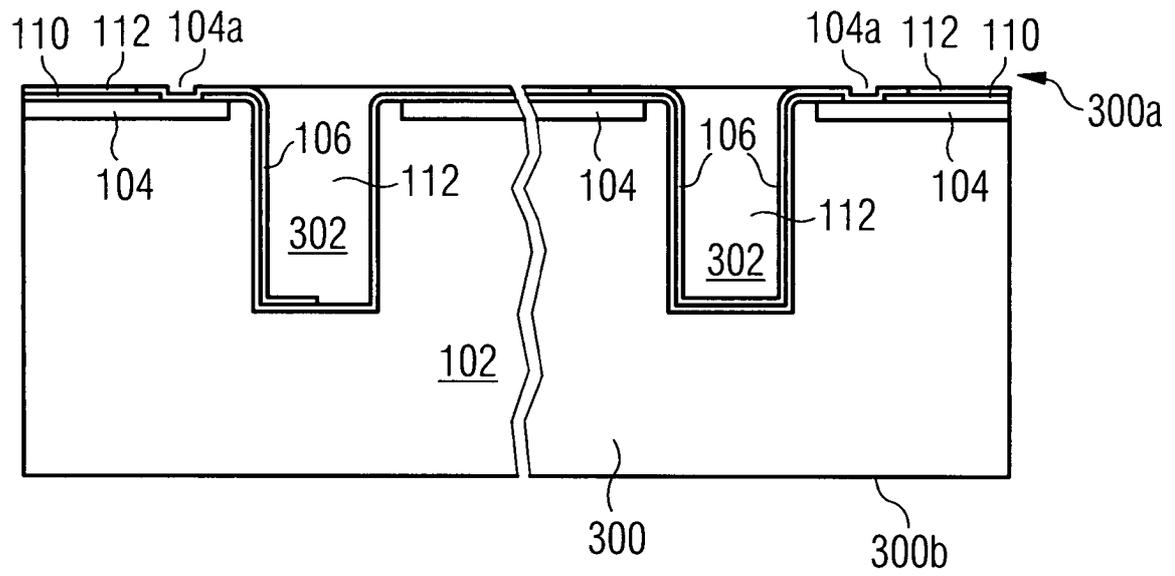


FIG 7B

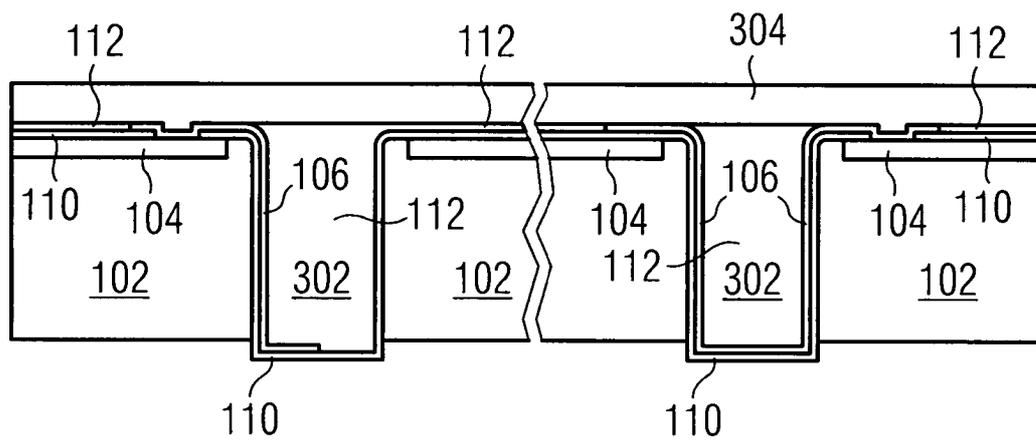


FIG 7C

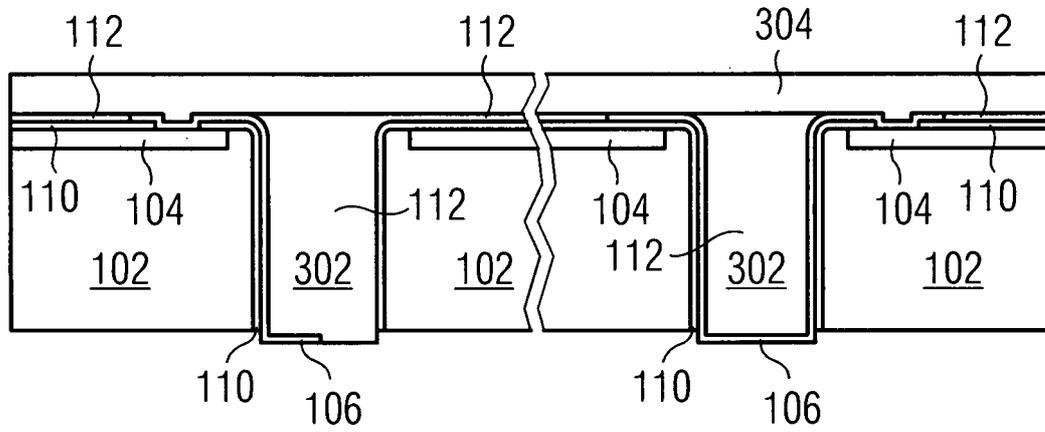


FIG 7D

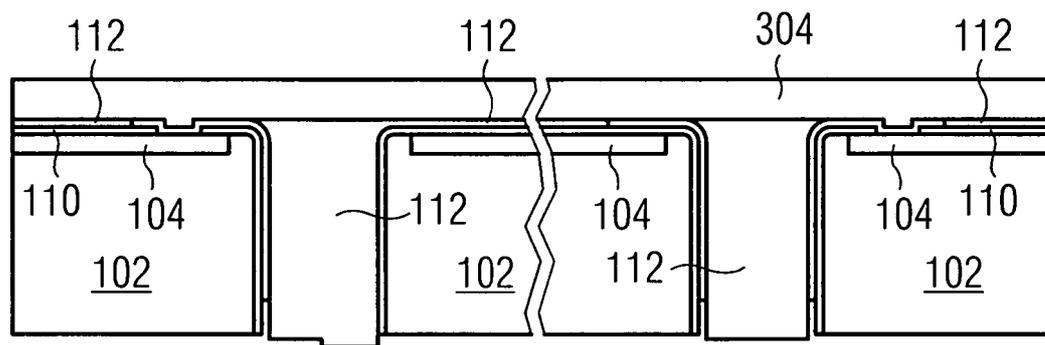


FIG 7E

