



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I616764 B

(45)公告日：中華民國 107 (2018) 年 03 月 01 日

(21)申請案號：101143703

(22)申請日：中華民國 101 (2012) 年 11 月 22 日

(51)Int. Cl. : **G06F17/50 (2006.01)**

(30)優先權：2011/11/22 美國 61/563,001

2012/11/19 美國 13/680,530

(71)申請人：邁威爾世界貿易有限公司(巴貝多) MARVELL WORLD TRADE LTD. (BB)
巴貝多(72)發明人：荷特 喬瑟夫 HOLT, JOSEPH (US)；邁迪爾 羅伊 MADER, ROY (US)；古尼爾
布蘭登 GREINER, BRANDON (US)；安德森 史考特 B ANDERSON, SCOTT B.
(US)

(74)代理人：洪堯順；侯德銘

(56)參考文獻：

TW 525184

TW 200423404A

TW 200511035A

TW 200527207A

TW 200636466A

TW 200743976A

TW 200933873A

TW 200935559A

審查人員：陳聖

申請專利範圍項數：18 項 圖式數：8 共 25 頁

(54)名稱

系統晶片上記憶體電路及邏輯電路的佈局

LAYOUTS FOR MEMORY AND LOGIC CIRCUITS IN A SYSTEM-ON-CHIP

(57)摘要

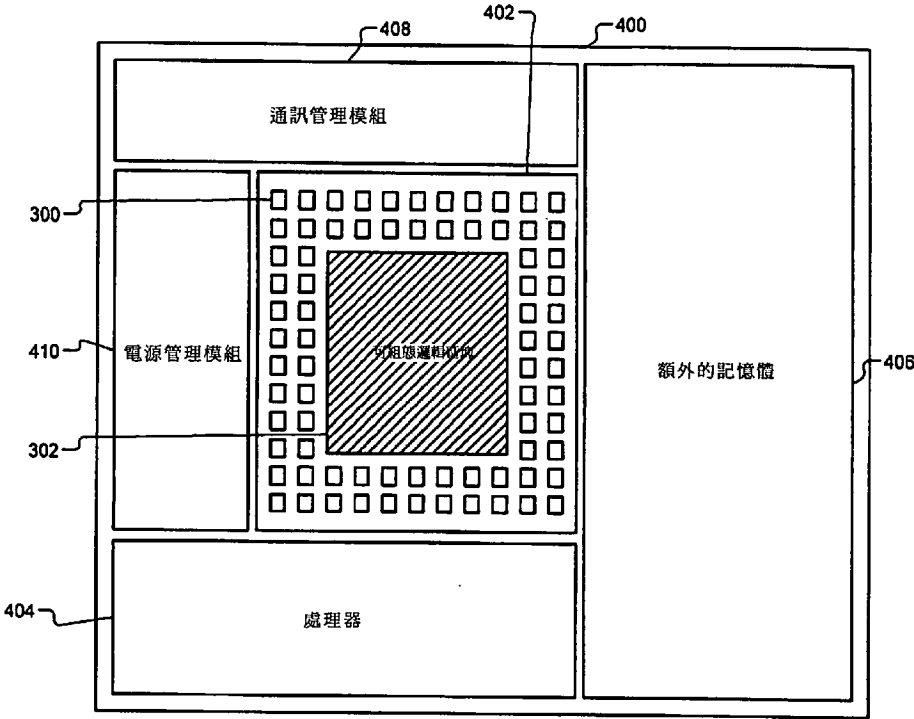
本發明揭露一種積體電路，包括複數個記憶體電路與複數個邏輯電路。該等記憶體電路在一晶粒上沿著複數個行與複數個列設置。每個記憶體電路包括複數個記憶體單元。該等邏輯電路設置在沿著該等行與該等列的該等記憶體電路之間的該晶粒上。該等邏輯電路配置以與該等記憶體電路的一個或多個通訊。

An integrated circuit including a plurality of memory circuits and a plurality of logic circuits. The plurality of memory circuits is arranged on a die along a plurality of rows and a plurality of columns. Each memory circuit includes a plurality of memory cells. The plurality of logic circuits is arranged on the die between the plurality of memory circuits along the plurality of rows and the plurality of columns. The plurality of logic circuits is configured to communicate with one or more of the memory circuits.

指定代表圖：

符號簡單說明：

- 300 . . . 記憶體電路
- 302 . . . 可組態邏輯區塊
- 400 . . . 系統晶片
- 402 . . . 佈局
- 404 . . . 處理器
- 406 . . . 記憶體
- 408 . . . 通訊模組
- 410 . . . 電源管理模組



第4圖

發明專利說明書

【發明名稱】 (中文/英文)

系統晶片上記憶體電路及邏輯電路的佈局/ LAYOUTS FOR MEMORY AND LOGIC CIRCUITS IN A SYSTEM-ON-CHIP

【技術領域】

【0001】 本發明通常涉及積體電路 (IC, Integrated Circuit), 尤其涉及系統晶片 (SOC, System On Chip) 中的記憶體電路與邏輯電路的佈局。

【先前技術】

【0002】 本文提供的先前技術描述是為了一般性地呈現出本發明背景的目的。發明人所做的工作, 即已在此先前技術部分中作出描述的工作, 以及說明書方面不應作為申請時的現有技術的內容, 這些均不應被明確或隱含地承認為相對於本發明的現有技術。

【0003】 一 SOC 典型地包括處理器以及記憶體, 用以處理資料。SOC 在很多裝置中都可以用來處理資料。例如, SOC 在儲存裝置中可以用來處理資料, 所述儲存裝置包括硬碟 (HDD, Hard Disk Drive)、光碟以及固態硬碟。此外, SOC 在通訊裝置中可以用來處理資料, 所述通訊裝置包括智慧手機、路由器、網路交換器等等。

【0004】 現在參閱第 1 圖, HDD 100 包括硬碟控制器 (HDC, Hard Disk Controller) SOC 102、複數個讀/寫磁頭 104 以及磁介質 106。HDC SOC 102 控制 HDD 100 的運行。讀/寫磁頭 104 在磁介質 106 上讀取/寫入資料。HDC SOC 102 包括處理器 108、記憶體 110 以及讀/寫通道模組 (通常稱為讀取通道模組) 112。處理器 108 處理與 HDD 100 有關的資料。處理器 108 利用記憶體 110 來處理資料。讀取通道模組 112 利用讀/寫磁頭 104 在磁介質 106 上讀取以及寫入資料。讀取通道模組 112 可以編碼與調變即將寫入磁介質 106 上的資料, 並且可以解調與解碼從磁介質 106 讀取的資料。讀取通道模組 112 還可以對讀取的資料執行錯誤校正(error correction)。

【0005】 現在參閱第 2 圖, 通訊裝置 200 包括 SOC 202, 用以控制通訊裝置 200 的運行。如果通訊裝置 200 是無線通訊裝置, 那麼通訊裝置

200 還可包括一個或多個天線 204。SOC 202 包括處理器 206、記憶體 208 以及通訊模組 210。處理器 206 處理與通訊裝置 200 有關的資料。處理器 206 利用記憶體 208 來處理資料。通訊模組 210 包括用來發送資料的發射器模組 212 以及用來接收資料的接收器模組 214。通訊模組 210 可以編碼與調變即將發送的資料，並且可以解調與解碼接收的資料。通訊模組 210 還可以對接收的資料執行錯誤校正。

【發明內容】

【0006】 一積體電路包括複數個記憶體電路與複數個邏輯電路。該等記憶體電路在一晶粒上沿著複數行與複數列設置。每個記憶體電路包括複數個記憶體單元。該等邏輯電路設置在沿著該等行與該等列的該等記憶體電路之間的該晶粒上。該等邏輯電路配置成與該等記憶體電路的一個或多個通訊。

【0007】 在其他特徵中，該等行與該等列設置在遠離該晶粒的一邊緣的一區域中。

【0008】 在其他特徵中，該等記憶體單元包括基於鎖存器的隨機存取記憶體單元。

【0009】 在其他特徵中，該等邏輯電路包括組合邏輯電路與時序邏輯電路的至少其中之一。

【0010】 在其他特徵中，該等記憶體電路具有一預定的記憶體容量。

【0011】 在其他特徵中，該等記憶體電路的至少其中之一具有與其他記憶體電路不同的記憶體容量。

【0012】 在其他特徵中，該等邏輯電路的至少其中之一配置以在儲存裝置的讀取或寫入操作期間處理訊號，並且將通過處理而產生的資料儲存到該等記憶體電路的一個或多個中，其中該儲存裝置包括硬碟、光碟或固態硬碟。

【0013】 在其他特徵中，該等邏輯電路的至少其中之一配置以在通訊裝置的發送或接收操作期間處理訊號，並且將通過處理而產生的資料儲存到該等記憶體電路的一個或多個中。

【0014】 在其他特徵中，該等邏輯電路中的一第一個被配置以（ i ）從該等記憶體電路中的一第一個中檢索一第一資料，（ ii ）通過處理該第一資料而產生一第二資料，以及（ iii ）將該第二資料儲存於該等記憶體電路中的一第二個。該等邏輯電路中的一第二個被配置以（ i ）從該等記憶體電路中的該第二個中檢索該第二資料，（ ii ）通過處理該第二資料而產生一第三資料，以及（ iii ）將該第三資料儲存於該等記憶體電路中的該第一個。該等邏輯電路中的該第一個被配置以處理該第三資料。

【0015】 仍就在其他特徵中，一系統包括一輸入模組以及一處理模組。該輸入模組被配置以接收資料，該資料包括（ i ）將要設置在晶粒上的記憶體電路與邏輯電路的列表，（ ii ）該等記憶體電路與該等邏輯電路的輸入訊號及輸出訊號的時序，以及（ iii ）該晶粒的面積。該處理模組被配置以處理該資料；確定被配置以與複數個該等記憶體電路通訊的複數個該等邏輯電路的面積是否大於或等於一預定比例的該等記憶體電路的面積；以及以一陣列式佈局將該等記憶體電路與該等邏輯電路設置於該晶粒的面積上，以響應該複數個該等邏輯電路的該面積大於或等於該預定比例的該複數個該等記憶體電路的該面積。

【0016】 在其他特徵中，該處理模組被配置以確定包括該陣列式佈局的行與列之間間距的參數。

【0017】 在其他特徵中，該處理模組被配置以依據該等記憶體電路與該等邏輯電路的輸入訊號及輸出訊號的時序來以陣列式佈局分配該等邏輯電路。

【0018】 在其他特徵中，該處理模組被配置以依據該等記憶體電路與該等邏輯電路的連接來以陣列式佈局分配該等邏輯電路。

【0019】 仍就在其他特徵中，一種方法包括接收資料，該資料包括（ i ）將要設置在晶粒上的記憶體電路與邏輯電路的列表，（ ii ）該等記憶體電路與該等邏輯電路的輸入訊號及輸出訊號的時序，以及（ iii ）該晶粒的面積。該方法進一步包括處理該資料以及確定被配置以與複數個該等記憶體電路通訊的複數個該等邏輯電路的面積是否大於或等於一預定比例的該等記憶體電路的面積。該方法進一步包括以陣列式佈局將該等記憶體電路與該等邏輯電路設置於該晶粒的面積上，以響應該複數個該等邏輯電路

的該面積大於或等於該預定比例的該複數個該等記憶體電路的該面積。

【0020】 在其他特徵中，該方法進一步包括確定包含該陣列式佈局的行與列之間間距的參數。

【0021】 在其他特徵中，該方法進一步包括依據該等記憶體電路與該等邏輯電路的輸入訊號及輸出訊號的時序來以陣列式佈局分配該等邏輯電路。

【0022】 在其他特徵中，該方法進一步包括依據該等記憶體電路與該等邏輯電路的連接來以陣列式佈局分配該等邏輯電路。

【0023】 本發明進一步的適用範圍將從詳細描述、申請專利範圍以及圖式中顯而易見。詳細描述與具體示例僅僅是爲了舉例說明的目的，而並非意圖限制本發明的範圍。

【圖式簡單說明】

【0024】

從詳細描述與所述圖式中將更加全面地理解本發明，其中：

第 1 圖爲 HDD 的功能方塊圖；

第 2 圖爲通訊裝置的功能方塊圖；

第 3 圖爲第 1 圖 HDD 的讀取通道模組或者第 2 圖通訊裝置的通訊模組的功能方塊圖；

第 4 圖描述包括記憶體電路與可組態邏輯區塊（CLB，Configurable Logic Block）佈局的系統晶片，其中記憶體電路沿著佈局的邊緣設置，CLB 設置在佈局的中心。

第 5 圖描述包括記憶體電路與 CLB 佈局的 SOC，其中第一組記憶體電路與第二組記憶體電路分別沿著佈局的邊緣與中心設置，CLB 設置在第一組記憶體電路與第二組記憶體電路之間；

第 6 圖描述包括記憶體電路與陣列式設置的 CLB 的佈局的 SOC；

第 7 圖爲佈局裝置的功能方塊圖，該佈局裝置確定第 6 圖的佈局的可行性與參數；以及

第 8 圖爲確定第 6 圖的佈局的可行性與參數的方法流程圖。

【實施方式】

【0025】 記憶體電路與邏輯電路（例如，讀取通道模組 112 或者通訊模組 210 的邏輯電路）能夠以不同的方式設置在晶粒上。例如，在第一種配置中，記憶體電路可以沿著晶粒的邊緣設置，邏輯電路可以設置在晶粒的中心。在第二種配置中，記憶體電路的第一部分可以沿著邊緣設置，記憶體電路的第二部分可以設置在中心，邏輯電路可以設置在第一部分與第二部分之間。

【0026】 本發明涉及以陣列型佈局將記憶體電路與邏輯電路設置在晶粒上。以陣列型佈局設置記憶體電路與邏輯電路提供了多個好處。例如，該陣列型佈局比第一種配置與第二種配置更加有效地利用晶粒區。也就是說，當利用陣列型佈局時與當利用第一種配置或第二種配置時相比，可以在給定的晶粒區上設置更多的記憶體電路與邏輯電路。換言之，對於給定數量的記憶體電路與邏輯電路而言，陣列型佈局使用的晶粒少於第一種或第二種配置。另外，當利用陣列型佈局時與當利用第一種配置或第二種配置時相比，記憶體電路與邏輯電路之間的通訊可以更快。

【0027】 現在參閱第 3 圖，讀取通道模組 112 或通訊模組 210 可以利用複數個記憶體電路 300-1、300-2、300-3（統稱為記憶體電路 300）以及複數個可組態邏輯區塊（CLB，Configurable Logic Block）302-1、302-2、302-3（統稱為 CLB 302）實施在 SOC 中。每個 CLB 302 可包括組合邏輯電路及/或時序邏輯電路。每個 CLB 302 可被配置成執行一個或多個不同的操作。每個記憶體電路 300 可包括複數個記憶體單元。例如，每個記憶體電路 300 可包括複數個基於鎖存器的隨機存取記憶體（LBRAM，Latch-Based Random Access Memory）的記憶體單元。每個記憶體電路 300 可具有一預定的記憶體容量（大約幾 KB、MB 或 GB）。有些記憶體電路 300 可具有不同於其他記憶體電路 300 的記憶體容量。儘管只顯示了三個記憶體電路 300 與三個 CLB 302，但是可以使用 N 個記憶體電路 300 與 N 個 CLB 302，其中 N 為大於 1 的整數。

【0028】 一個 CLB 302 可與一個或多個記憶體電路 300 通訊。一個 CLB 302 可與一個或多個 CLB 302 通訊。一個記憶體電路 300 可與一個或

多個記憶體電路 300 通訊。由第一 CLB 302 處理的資料可儲存於第一記憶體電路 300 中；由第二 CLB 302 處理的資料可儲存於第二記憶體電路 300 中，以此類推。另外，第一 CLB 302 可處理儲存於第二記憶體電路 300 中的資料，以此類推。因此，當校正錯誤時（例如，採用遞迴處理(iterative processing)），第一 CLB 302 可以更新由第二 CLB 302 處理的資料，並且被第一 CLB 302 更新的資料可以再次被第二 CLB 302 及/或第三 CLB 302 處理，以此類推。

【0029】 現在參閱第 4 圖，顯示了包含記憶體電路 300 與 CLB 302 的佈局 402 的 SOC 400。SOC 400 可包括其他組件。例如，SOC 400 可包括：處理器 404 以及附加的記憶體 406，用以處理與 SOC 400 有關的資料；通訊模組 408，用以與位於 SOC 400 外部的部件通訊；以及電源管理模組 410，用以管理 SOC 400 的一個或多個元件的電力消耗。

【0030】 在佈局 402 中，記憶體電路 300 沿著佈局 402 的邊緣（即，平行於 SOC 400 的邊緣）設置，並且 CLB 302 設置在佈局 402 的中心。因此，記憶體電路 300 包圍 CLB 302。CLB 302 與記憶體電路 300 之間的訊號路徑可能比兩個 CLB 302 之間的訊號路徑長。據此，CLB 到記憶體電路的通訊可能比 CLB 到 CLB 的通訊緩慢。因此，記憶密集式處理（例如，在錯誤校正時牽涉的遞迴處理）的速度可能是不夠的。此外，佈局 402 往往不能充分利用，從而浪費了晶粒區。

【0031】 或者，儘管未顯示，但是記憶體電路 300 與 CLB 302 的位置可以調換。也就是說，CLB 302 可以沿著佈局 402 的邊緣設置，而記憶體電路 300 可以設置在佈局 402 的中心。因此，CLB 302 將包圍記憶體電路 300。在這種配置中，儘管 CLB 到記憶體電路的通訊速度與佈局 402 相比可能提高，但是 CLB 到 CLB 的通訊速度與佈局 402 相比可能降低。

【0032】 現在參閱第 5 圖，顯示了包括記憶體電路 300 與 CLB 302 的佈局 502 的 SOC 500。除了佈局 402 之外，SOC 500 還可包括一個或多個 SOC 400 的元件。在佈局 502 中，第一組記憶體電路 300 沿著 SOC 500 的邊緣設置，第二組記憶體電路 300 設置在佈局 502 的中心。CLB 302 設置在第一組記憶體電路 300 與第二組記憶體電路 300 之間。第二組記憶體電路 300 可以使用與第一組記憶體電路 300 類型不同的記憶體。然而，佈局

502 與佈局 402 相比可能沒有顯著提高 CLB 到記憶體電路的通訊速度。

【0033】 現在參閱第 6 圖，顯示了包括記憶體電路 300 與 CLB 302 的佈局 602 的 SOC 600。除了佈局 402 之外，SOC 500 還可包括一個或多個 SOC 400 的元件。在佈局 602 中，記憶體電路 300 不沿著 SOC 600 的邊緣設置。而是，記憶體電路 300 沿著複數個行與列設置成一個陣列。該等行與列平行於 SOC 600 的側邊。CLB 302 設置在記憶體電路 300 之間，也是沿著該等行與列呈陣列狀。該陣列位於遠離 SOC 600 邊緣的區域中。

【0034】 因此，第一 CLB 302 可沿著一行設置在兩個記憶體電路 300 之間，第二 CLB 302 可沿著一列設置在兩個記憶體電路 300 之間。第三 CLB 302 可設置在一矩形對角線的交叉點，該矩形的四個頂點為沿著第一列（或第一行）設置的兩個相鄰記憶體電路 300 與沿著第二列（或第二行）的兩個相鄰記憶體電路 300，其中該第一列（或第一行）相鄰於該第二列（或第二行）。

【0035】 利用下面描述的佈局裝置，可以將 CLB 302 設置成使 CLB 302 與記憶體電路 300 之間的訊號路徑最優化。從而，佈局 602 與佈局 402 與 502 相比顯著地提高了 CLB 到記憶體電路的通訊速度。並且，佈局 602 比佈局 402 與 502 更加有效地利用了 SOC 600 的晶粒區。因此，對於給定的晶粒區，佈局 602 與佈局 402 與 502 相比可以利用更多的 CLB 302 及/或記憶體電路 300。或者，對於給定數量的 CLB 302 與記憶體電路 300，佈局 602 與佈局 402 與 502 相比佔用的晶粒區更少。因此，對於給定數量的 CLB 302 與記憶體電路 300，使用佈局 602 的 SOC 600 的晶粒尺寸可分別小於使用佈局 402 與 502 的 SOC 400 與 500 的晶粒尺寸。

【0036】 現在參閱第 7 圖，佈局裝置 700 包括輸入模組 702、處理模組 704 以及輸出模組 706。佈局裝置 700 確定佈局 602 是否可以用於給定的電路設計或者該電路設計的一部分（即，確定佈局 602 的可行性），以及確定包含行/列間距和該等行與列組成的佈局 602 的參數。

【0037】 如下面所解釋的，輸入模組 702 接收複數個輸入。處理模組 704 執行軟體程式，該軟體程式處理該等輸入以及確定佈局 602 的可行性與參數。輸出模組 706 輸出處理結果，該處理結果包括佈局 602 的可行性與參數。

【0038】 現在參閱第 8 圖，顯示了確定佈局 602 的可行性與參數的方法 800。在步驟 802，控制項接收複數個輸入，該等輸入包括電路的互連(interconnection) (例如，網路列表(netlist))、時序限制 (例如，時脈定義等) 以及晶粒面積。在步驟 804，控制項確定多個與每個記憶體電路 300 通訊的 CLB 302 以及彼此相互通訊的 CLB 302。在步驟 806，控制項確定與一組記憶體電路 300 通訊的 CLB 302 的面積。在步驟 808，控制項確定與多個記憶體電路 300 通訊的 CLB 302 的面積是否能夠與和 CLB 302 通訊的記憶體電路 300 的面積相比 (例如，與多個記憶體電路 300 通訊的 CLB 302 的面積為與 CLB 302 通訊的記憶體電路 300 的面積的一預定比例)。

【0039】 在步驟 810，如果 CLB 302 的面積不能與記憶體電路 300 的面積相比，那麼控制項確定陣列型佈局對於 CLB 302 與記憶體電路 300 是不可行的。在步驟 812，如果 CLB 302 的面積可以與記憶體電路 300 的面積相比，那麼控制項確定陣列型佈局對於 CLB 302 與記憶體電路 300 是可行的，並且確定關於該陣列型佈局的參數。關於該陣列型佈局的參數包括行/列間距以及圍繞記憶體電路 300 的 CLB 302 的分組、分佈以及位置，等等。

【0040】 在步驟 814，控制項首先根據時序限制其次再根據 CLB 302 與記憶體電路 300 之間的互連，來分配圍繞記憶體電路 300 的 CLB 302。例如，在與一組記憶體電路 300 通訊的一組 CLB 302 中，如果 CLB 302 使用具有寬鬆的時序要求的訊號路徑 (即，較長的訊號路徑)，那麼控制項可以定位 CLB 302 離該組 CLB 302 及/或該組記憶體電路 300 比離在該組中的剩餘 CLB 302 更遠。

【0041】 在一個實施例中，該等輸入可包括電路連接資訊 (例如，網路列表，典型地基於 Verilog)、時序限制 (例如，時脈定義、時延等) 等等。該等輸入還可包括電路的時序模型 (例如，程式館檔案、Spice 資料等)。如果面積沒有包含在該時序模型中，那麼該等輸入還可包括電路的物理資訊 (例如，使用 Milkway 資料庫)。

【0042】 在靜態時序分析 (STA, Static Timing Analysis) 環境中，該軟體程式確定與每個記憶體電路 300 通訊的 CLB 302 的面積與數量。特別地，該軟體程式產生具有到每個記憶體電路 300 的有效時序路徑的 CLB

302 的集合(collection)。集合受時序間隙(slack)閾值以及傳輸管線深度(即, 時序路徑的等級的數目)的驅使。並且, 該軟體程式獲得記憶體電路與 CLB 集合的交集。

【0043】 該軟體程式可以使用不同基準來確定 CLB 302 與記憶體電路 300 的陣列型佈局是否有利以及確定該陣列的參數。例如, 第一基準可以為 CLB 面積的最大交集與相交的記憶體面積的比。第二基準可以為 CLB 交集的絕對面積以及相交的記憶體的絕對面積。該軟體程式可確定 CLB 互連的密度(即, 與一般 CLB 302 通訊的 CLB 302 的個數)。對於每個時序起始點(典型地, CLB 302 中的正反器), 該軟體程式可以從該起始點產生間隙小於閾值的一個時序路徑集合, 以及可以儲存包含在該等時序路徑中的所有 CLB 扇出(fanout)。該軟體程式可以發現集合的交集, 以確定 CLB 互連比。第三基準可以為 STA 驅動的絕對大小, 即, 相交的 CLB。這些基準為記憶體電路 300 與 CLB 302 之間的交叉耦合與時序驅動的互連。這些值用來確定 CLB 302 與記憶體電路 300 的陣列型佈局是否有利, 以及確定該陣列的參數(例如, 行/列間距等)。

【0044】 因此, 該軟體程式考慮到元件之間的互連以及該等元件之間的訊號路徑的時序而執行分析。基於該分析, 該軟體程式產生關於在陣列中放置該等元件的可行性以及該陣列參數(例如, 該陣列中該等元件的位置、間距等)的資料, 而不需使用者提供電路列表以及在陣列中設置該等元件所需的參數(例如, 在該陣列中放置該等電路的位置)。

【0045】 前面的描述實質上僅僅是舉例說明, 而絕非意圖限制本發明、本發明的應用或用途。本發明的廣泛教導可以各種形式實現。因此, 儘管本發明包括特別示例, 但是不應當因為基於圖示、說明書以及所述申請專利範圍的研究, 其他的改變將顯而易見, 而限制本發明的實際範圍。為了清楚的目的, 圖示中將使用相同的參考數字來表示同樣的元件。如本文中使用的, A、B 及 C 的至少其中之一這樣的片語應採用非排他的邏輯“或”來表示一個邏輯(A 或 B 或 C)。應該理解的是在不改變本發明原理的基礎上, 方法中的一個或多個步驟可以不同的順序(或同時地)被執行。

【0046】 如本文中使用的, 詞語“模組”可以指下列元件、可以是下列元件的一部分, 或者可以包括下列元件, 所述的元件包括專用積體電路

(ASIC, Application Specific Integrated Circuit)、分立電路、積體電路、組合邏輯電路、場效可編程閘陣列(FPGA, Field Programmable Gate Array)、執行代碼的處理器(共用的、專用的或集群的)、提供所述功能的其他適合的硬體元件、或者上述元件某些或全部的組合,例如在系統晶片中。詞語“模組”可以包括儲存被處理器執行的代碼的記憶體(共用的、專用的或集群的)。

【0047】 上述使用的詞語“代碼”可以包括軟體、固件及/或微代碼,並且可以表示程式、例行程式、功能、等級及/或客體。上述使用的詞語“共用的”表示來自多個模組的某些代碼或全部代碼可以使用單個(共用的)處理器來執行。另外,來自多個模組的某些代碼或全部代碼可以由單個(共用的)記憶體儲存。上述使用的詞語“集群的”表示來自單個模組的某些代碼或全部代碼可以使用一組處理器來執行。另外,來自單個模組的某些代碼或全部代碼可以使用一組記憶體來儲存。

【0048】 本文描述的設備與方法可以由被一個或多個處理器執行的一個或多個電腦程式來部分地或全部地實現。所述電腦程式包括處理器可執行指令,該處理器可執行指令儲存在至少一個非暫時性的具體電腦可讀介質上。所述電腦程式還可以包括及/或依賴儲存的資料。非暫時性的具體電腦可讀介質的非限制示例包括非揮發性記憶體、揮發性記憶體、磁記憶體以及光記憶體。

【0049】 本申請案主張於 2011 年 11 月 22 日提出之美國臨時專利申請第 61/563,001 號的利益,上述申請的全部發明內容作為參考納入到本文。

【符號說明】

【0050】

100	硬碟
102	硬碟控制器系統晶片
104	讀/寫磁頭
106	磁介質
108、206、404	處理器

110、208、406	記憶體
112	讀取通道模組
200	通訊裝置
202、400、500、600	系統晶片
204	天線
210、408	通訊模組
212	發射器模組
214	接收器模組
300、300-1、300-2、300-3	記憶體電路
302、302-1、302-2、300-3	可組態邏輯區塊
402、502、602	佈局
410	電源管理模組
700	佈局裝置
702	輸入模組
704	處理模組
706	輸出模組
800	方法
802、804、806、808、810、812、814	步驟

發明摘要

※ 申請案號：101143703

※ 申請日：101/11/22

※IPC 分類：G06F 17/50 (2006.01)

【發明名稱】 (中文/英文)

系統晶片上記憶體電路及邏輯電路的佈局/ LAYOUTS FOR MEMORY AND LOGIC CIRCUITS IN A SYSTEM-ON-CHIP

【中文】

本發明揭露一種積體電路，包括複數個記憶體電路與複數個邏輯電路。該等記憶體電路在一晶粒上沿著複數個行與複數個列設置。每個記憶體電路包括複數個記憶體單元。該等邏輯電路設置在沿著該等行與該等列的該等記憶體電路之間的該晶粒上。該等邏輯電路配置以與該等記憶體電路的一個或多個通訊。

【英文】

An integrated circuit including a plurality of memory circuits and a plurality of logic circuits. The plurality of memory circuits is arranged on a die along a plurality of rows and a plurality of columns. Each memory circuit includes a plurality of memory cells. The plurality of logic circuits is arranged on the die between the plurality of memory circuits along the plurality of rows and the plurality of columns. The plurality of logic circuits is configured to communicate with one or more of the memory circuits.

【代表圖】

【本案指定代表圖】：第（ 4 ）圖。

【本代表圖之符號簡單說明】：

300	記憶體電路
302	可組態邏輯區塊
400	系統晶片
402	佈局
404	處理器
406	記憶體
408	通訊模組
410	電源管理模組

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

申請專利範圍

1. 一種積體電路，包括：

複數個記憶體電路，沿著複數個行與複數個列設置在一晶粒上，其中該等記憶體電路的每一個皆包括複數個記憶體單元，以及其中該等行與該等列係設置在該晶粒的一區域中；以及

複數個邏輯電路，設置在沿著該等行與該等列的該等記憶體電路之間的該晶粒上，

其中該等邏輯電路配置以與該等記憶體電路的一個或多個通訊，

其中該等邏輯電路的一第一邏輯電路與該等記憶體電路的其中兩個共用該等行的其中之一，

其中該等邏輯電路的一第二邏輯電路與該等記憶體電路的其中兩個共用該等列的其中之一，以及

其中該積體電路之一處理器、一附加的記憶體、一通訊模組、以及一電源管理模組的其中之一個或多個係（ i ）沿著該晶粒的一邊緣設置以及（ ii ）設置在該區域的周圍。

2. 依據申請專利範圍第 1 項所述的積體電路，其中該等記憶體單元包括基於鎖存器的隨機存取記憶體單元。

3. 依據申請專利範圍第 1 項所述的積體電路，其中該等邏輯電路包括組合邏輯電路與時序邏輯電路的至少其中之一。

4. 依據申請專利範圍第 1 項所述的積體電路，其中該等記憶體電路具有一預定的記憶體容量。

5. 依據申請專利範圍第 1 項所述的積體電路，其中該等記憶體電路的至少其中之一具有與其他記憶體電路不同的一記憶體容量。

6. 依據申請專利範圍第 1 項所述的積體電路，其中該等邏輯電路的至少其中之一配置以：

在一儲存裝置的一讀取操作或一寫入操作期間處理訊號，其中該儲存裝置包括一硬碟、一光碟或一固態硬碟；以及
將通過處理而產生的資料儲存到該等記憶體電路的一個或多個中。

7. 依據申請專利範圍第 1 項所述的積體電路，其中該等邏輯電路的至少其中之一配置以：

在一通訊裝置的一發送操作或一接收操作期間處理訊號；以及
將通過處理而產生的資料儲存到該等記憶體電路的一個或多個中。

8. 一種積體電路，包括：

複數個記憶體電路，沿著複數個行與複數個列設置在一晶粒上，其中該等記憶體電路的每一個皆包括複數個記憶體單元，以及其中該等行與該等列係設置在該晶粒的一區域中；以及

複數個邏輯電路，設置在沿著該等行與該等列的該等記憶體電路之間的該晶粒上，

其中該等邏輯電路配置以與該等記憶體電路的一個或多個通訊，

其中該積體電路之一處理器、一附加的記憶體、一通訊模組、以及一電源管理模組的其中之一個或多個係（ i ）沿著該晶粒的一邊緣設置以及（ ii ）設置在該區域的周圍，

其中該等邏輯電路中的一第一個被配置以（ i ）從該等記憶體電路中的一第一個中檢索一第一資料，（ ii ）通過處理該第一資料而產生一第二資料，以及（ iii ）將該第二資料儲存於該等記憶體電路中的一第二個，

其中該等邏輯電路中的一第二個被配置以（ i ）從該等記憶體電路中的該第二個中檢索該第二資料，（ ii ）通過處理該第二資料而產生一第三資料，以及（ iii ）將該第三資料儲存於該等記憶體電路中的該第一個，以及

其中該等邏輯電路中的該第一個被配置以處理該第三資料。

9. 一種系統，包括：

一輸入模組，配置以接收資料，該資料包括（ i ）將要設置在一晶粒上的複數個記憶體電路與複數個邏輯電路的一列表，（ ii ）該等記憶體電路與該等邏輯電路的複數個輸入訊號及複數個輸出訊號的時序，以及（ iii ）該晶粒的面積；以及

一處理模組，配置以
處理該資料，

確定被配置以與複數個該等記憶體電路通訊的複數個該等邏輯電路的面積是否大於或等於一預定比例的該等記憶體電路的面積，以及

以一陣列式佈局將該等記憶體電路與該等邏輯電路設置於該晶粒的該面積上，以響應該複數個該等邏輯電路的該面積大於或等於該預定比例的該複數個該等記憶體電路的該面積，

其中，該等邏輯電路係設置在沿著複數個行與複數個列的該等記憶體電路之間的該晶粒上。

10. 依據申請專利範圍第 9 項所述的系統，其中該處理模組被配置以確定包括該陣列式佈局的行與列之間間距的參數。

11. 依據申請專利範圍第 9 項所述的系統，其中該處理模組被配置成依據該等記憶體電路與該等邏輯電路的該等輸入訊號及該等輸出訊號的該時序來以該陣列式佈局分配該等邏輯電路。

12. 依據申請專利範圍第 9 項所述的系統，其中該處理模組被配置以依據該等記憶體電路與該等邏輯電路的連接來以該陣列式佈局分配該等邏輯電路。

13. 一種方法，包括：

接收資料，該資料包括（ i ）將要設置在一晶粒上的複數個記憶體電路與複數個邏輯電路的一列表，（ ii ）該等記憶體電路與該等邏輯電路的複數個輸入訊號及複數個輸出訊號的時序，以及（ iii ）該晶粒的面積；

處理該資料；

確定被配置以與複數個該等記憶體電路通訊的複數個該等邏輯電路的面積是否大於或等於一預定比例的該等記憶體電路的面積；以及

以一陣列式佈局將該等記憶體電路與該等邏輯電路設置於該晶粒的該面積上，以響應該複數個該等邏輯電路的該面積大於或等於該預定比例的該複數個該等記憶體電路的該面積，

其中，該等邏輯電路係設置在沿著複數個行與複數個列的該等記憶體電路之間的該晶粒上。

14. 依據申請專利範圍第 13 項所述的方法，進一步包括確定包含該陣列式佈局的行與列之間間距的參數。

15. 依據申請專利範圍第 13 項所述的方法，進一步包括依據該等記憶體電路與該等邏輯電路的該等輸入訊號及該等輸出訊號的該時序來以該陣列式佈局分配該等邏輯電路。

16. 依據申請專利範圍第 13 項所述的方法，進一步包括依據該等記憶體電路與該等邏輯電路的連接來以該陣列式佈局分配該等邏輯電路。

17. 一種積體電路，包括：

複數個記憶體電路，沿著複數個行與複數個列設置在一晶粒上，其中該等記憶體電路的每一個皆包括複數個記憶體單元，以及其中該等行與該等列係設置在該晶粒的一區域中；以及

複數個邏輯電路，設置在沿著該等行與該等列的該等記憶體電路之間的該晶粒上，

其中該等邏輯電路配置以與該等記憶體電路的一個或多個通訊，

其中該積體電路之一處理器、一附加的記憶體、一通訊模組、以及一電源管理模組的其中之一個或多個係 (i) 沿著該晶粒的一邊緣設置以及 (ii) 設置在該區域的周圍，以及

其中該等邏輯電路的其中之一係設置在一矩形的對角線的一交叉點，該矩形的四個頂點為沿著一第一列設置的該等記憶體電路中之相鄰的兩

個與沿著一第二列設置的該等記憶體電路中之相鄰的兩個，其中該第一列相鄰於該第二列。

18. 一種積體電路，包括：

複數個記憶體電路，沿著複數個行與複數個列設置在一晶粒上，其中該等記憶體電路的每一個皆包括複數個記憶體單元，以及其中該等行與該等列係設置在該晶粒的一區域中；以及

複數個邏輯電路，設置在沿著該等行與該等列的該等記憶體電路之間的該晶粒上，

其中該等邏輯電路配置以與該等記憶體電路的一個或多個通訊，

其中該積體電路之一處理器、一附加的記憶體、一通訊模組、以及一電源管理模組的其中之一個或多個係（ i ）沿著該晶粒的一邊緣設置以及（ ii ）設置在該區域的周圍，以及

其中該等邏輯電路的其中之一係設置在一矩形的對角線的一交叉點，該矩形的四個頂點為沿著一第一行設置的該等記憶體電路中之相鄰的兩個與沿著一第二行設置的該等記憶體電路中之相鄰的兩個，其中該第一行相鄰於該第二行。