

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2010 年 8 月 12 日(12.08.2010)

PCT

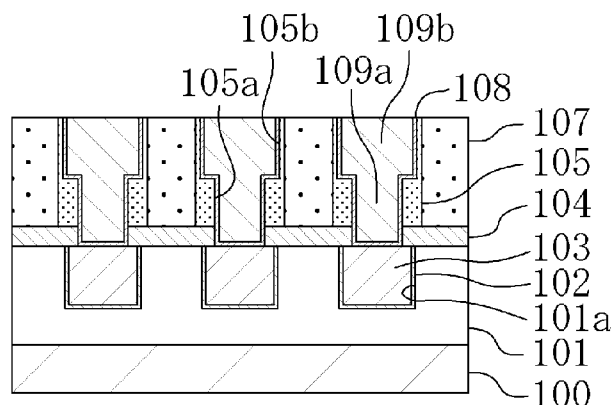
(10) 国際公開番号  
WO 2010/089818 A1

- (51) 国際特許分類:  
H01L 21/768 (2006.01) H01L 23/52 (2006.01)  
H01L 21/316 (2006.01) H01L 23/522 (2006.01)  
H01L 21/3205 (2006.01)
- (21) 国際出願番号: PCT/JP2009/005681
- (22) 国際出願日: 2009 年 10 月 28 日(28.10.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2009-026384 2009 年 2 月 6 日(06.02.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 瀬尾光平 (SEO, Kouhei).
- (74) 代理人: 前田弘, 外 (MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町 2 丁目 5 番 7 号 大阪丸紅ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置及びその製造方法

[図1]



(57) Abstract: Disclosed is a semiconductor device which comprises an insulating film that is formed on a substrate and has a low porosity region in which the porosity is low and a high porosity region in which the porosity is higher than that in the low porosity region, and a copper wiring line that is formed in a wiring groove in the insulating film. The insulating film is formed below the wiring groove and around the side wall of the wiring groove.

(57) 要約: 半導体装置は、基板上に形成された空孔率が低い低空孔率領域である絶縁膜と低空孔率領域よりも空孔率が高い高空孔率領域とを有し、絶縁膜における配線溝に形成された銅配線とを備える。絶縁膜は、配線溝の下部に形成されており、絶縁膜は、配線溝の側壁の周辺部に形成されている。

WO 2010/089818 A1

## 明 細 書

**発明の名称：**半導体装置及びその製造方法

### 技術分野

[0001] 本発明の開示する技術は、半導体装置及びその製造方法に関し、特に、多孔質絶縁膜に銅配線を形成する配線技術に関するものである。

### 背景技術

[0002] 近年の半導体装置の高集積化に伴う配線寸法の減少により、配線間容量が増加し、その結果、配線のRC遅延が問題となっている。これに対し、層間絶縁膜の低誘電率化が要求されている。低誘電率化された層間絶縁膜としては、絶縁膜中に空孔が形成された多孔質絶縁膜が有効とされている。しかしながら、多孔質絶縁膜は、空孔の存在によってドライエッチング時又はアッシング時のプラズマダメージを受けやすく、また、洗浄時において膜中に洗浄液が染み込み易い。その結果、多孔質絶縁膜の特性が低下することにより、半導体装置の電気的特性又は信頼性が低下するという問題があった。

[0003] 上記問題に対しては、次のような方法が提案されている（例えば、特許文献1参照）。すなわち、シリコンウェハ上に空孔形成材料を含む非多孔質絶縁膜を堆積した後、該非多孔質絶縁膜上に形成したレジストパターンをマスクに用いたドライエッチングにより、非多孔質絶縁膜に配線溝及びビア孔を形成する。続いて、不要となったレジストパターンをアッシングにより除去した後、非多孔質絶縁膜表面の洗浄を行う。続いて、加熱処理により、非多孔質絶縁膜から空孔形成材料を除去して多孔質絶縁膜を形成する。その後、配線溝及びビア孔に、バリアメタル膜を介して銅配線及びビアを形成する。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：特開2005-142473号公報

### 発明の概要

#### 発明が解決しようとする課題

[0005]     ところで、本件発明者は、鋭意検討を重ねた結果、上記背景技術によると、配線直下の絶縁膜が多孔質絶縁膜で構成されてしまう。このため、多孔質絶縁膜と該多孔質絶縁膜の下層に形成されている絶縁膜との膜剥がれが生じてしまうという課題が発生することを見出した。

[0006]     前記に鑑み、本発明は、銅配線を備えた半導体装置及びその製造方法において、高歩留り又は高信頼性を実現し得るものである。

### 課題を解決するための手段

[0007]     前記に鑑み、本発明の例示的手段を以下に挙げる。

[0008]     半導体装置は、本発明の例示基板上に形成された絶縁膜と、絶縁膜に設けた配線溝に形成された銅からなる配線とを備え、絶縁膜は、空孔率が低い低空孔率領域と、低空孔率領域よりも空孔率が高い高空孔率領域とを有しており、低空孔率領域は、配線溝の下部に形成されており、高空孔率領域は、配線溝の側壁の周辺部に形成されている。

[0009]     半導体装置において、低空孔率領域の上面は、配線溝の底部に接していてもよい。

[0010]     半導体装置において、低空孔率領域の上面は、配線溝の底部全体と実質的に接していてもよい。

[0011]     半導体装置において、低空孔率領域の下面の幅は、低空孔率領域の上面の幅及び配線溝の底部の幅と実質的に等しくてもよい。

[0012]     半導体装置において、低空孔率領域の下面の位置は、絶縁膜の下面の位置と一致していてもよい。

[0013]     半導体装置において、低空孔率領域は、配線溝の側壁と高空孔率領域との間にさらに形成されていてもよい。

[0014]     半導体装置において、絶縁膜における配線溝の底部に設けられたビア孔に形成され、配線と電氣的に接続するビアをさらに備えており、低空孔率領域は、ビアの周縁部を覆っていてもよい。

[0015]     半導体装置において、高空孔率領域の上面の位置は、絶縁膜の上面の位置と一致しており、高空孔率領域の下面の位置は、絶縁膜の下面の位置と一致

していてもよい。

- [0016] 半導体装置において、低空孔率領域の空孔率が10%未満であり、高空孔率領域の空孔率が10%以上であってもよい。
- [0017] 半導体装置において、低空孔率領域の炭素濃度が20%以上であり、高空孔率領域の炭素濃度が20%未満であってもよい。
- [0018] 半導体装置において、低空孔率領域に存在する空孔の空孔径が0.8 nm未満であり、高空孔率領域に存在する空孔の空孔径が0.8 nm以上であつて且つ3.0 nm未満であってもよい。
- [0019] 半導体装置において、低空孔率領域の比誘電率が2.8以上であり、高空孔率領域の比誘電率が2.8未満であってもよい。
- [0020] 半導体装置において、低空孔率領域の弾性率が10 GPa以上であり、高空孔率領域の弾性率が10 GPa未満であってもよい。
- [0021] 半導体装置において、絶縁膜は、空孔形成材料を含んでいてもよい。
- [0022] 半導体装置において、空孔形成材料は、ポロジェンであってもよい。
- [0023] 半導体装置において、配線は、複数形成されており、隣り合う配線間には、高空孔率領域のみが形成されている場合であってもよい。
- [0024] 半導体装置の製造方法は、基板上に、空孔形成材料を含み、第1の領域及び第2の領域を有する絶縁膜を形成する工程（a）と、第1の領域に含まれる空孔形成材料を除去することにより、第1の領域を空孔率が高い高空孔率領域とすると共に、第2の領域を高空孔率領域よりも空孔率が低い低空孔率領域とする工程（b）と、低空孔率領域中に、銅からなる配線を形成する工程（c）とを備える。
- [0025] 半導体装置の製造方法において、工程（c）の後に、低空孔率領域における配線の側壁の周辺に存在している部分に含まれる空孔形成材料を除去する工程（d）をさらに備えてもよい。
- [0026] 半導体装置の製造方法において、工程（d）は、電子線又は紫外線を照射することにより、空孔形成材料を除去する工程であってもよい。
- [0027] 半導体装置の製造方法において、工程（b）は、第1の領域上を開口する

開口部を有する一方で第２の領域上を覆うマスクを形成した後に、第１の領域に含まれる空孔形成材料を除去する工程であってもよい。

[0028] 半導体装置の製造方法において、工程（ｂ）は、開口部に、電子線又は紫外線を照射することにより、第１の領域に含まれる空孔形成材料を除去する工程であってもよい。

[0029] 半導体装置の製造方法において、マスクは、メタルハードマスクであってもよい。

[0030] 半導体装置の製造方法において、空孔形成材料は、ポロジェンであってもよい。

### 発明の効果

[0031] 本発明の上記例示的形態によると、銅配線を備えた半導体装置及びその製造方法において、空孔を有する絶縁膜中への銅の拡散による配線間ショート又は配線間耐圧の劣化を抑制して、高歩留り又は高信頼性を実現し得るものである。

### 図面の簡単な説明

[0032] [図１]図１は、本発明の例示的一実施形態における半導体装置の構造を示す断面図である。

[図２]図２（ａ）～（ｄ）は、本発明の例示的一実施形態における半導体装置の製造方法を工程順に示す断面図である。

[図３]図３（ａ）～（ｃ）は、本発明の例示的一実施形態における半導体装置の製造方法を工程順に示す断面図であり、図３（ａ）においては対応する平面図も合わせて示している。

[図４]図４は、本発明の例示的一実施形態の変形例における半導体装置の構造を示す断面図である。

### 発明を実施するための形態

[0033] 以下では、図面及び詳細な説明をもって本発明の技術的思想を明確に説明するものであり、当該技術分野におけるいずれの当業者であれば、本発明の好ましい実施例を理解した後に、本発明が開示する技術により、変更及び付

加を加えることが可能であり、これは本発明の技術的思想及び範囲を逸脱するものではない。

[0034] 図1は、本発明の例示的一実施形態における半導体装置の構造を示している。

[0035] 図1に示すように、例えばシリコン基板などからなる基板100の上に形成された例えば膜厚80～150nmのSiOC膜又はSiO<sub>2</sub>膜などからなる絶縁膜101には、配線溝101aが形成されている。配線溝101aの底部及び側壁には、例えば膜厚5～15nmのTiN膜、Ta<sub>2</sub>N膜、又はTa/Ta<sub>2</sub>N膜などからなるバリアメタル膜102が形成されている。バリアメタル膜102の上には、配線溝101aを埋め込む銅膜からなる銅配線103が形成されている。絶縁膜101、バリアメタル膜102及び銅配線103の上には、例えば膜厚30～60nmのSiOC膜、SiCN膜、及びSiCO膜のうちから選択される1種類からなる単層膜又は複数種類からなる積層膜などからなるライナー膜104が形成されている。

[0036] ライナー膜104の上には、例えば膜厚150～250nmのSiOC膜などからなり、空孔形成材料として例えばポロジェンを含む絶縁膜105（非多孔質絶縁膜：低空孔率領域に相当する）と、例えば膜厚150～250nmのSiOC膜などからなり、多数の空孔を有する絶縁膜107（多孔質絶縁膜：高空孔率領域に相当する）とを有している。ライナー膜104及び絶縁膜105には、底部に銅配線103の表面を露出するビア孔105aが形成されていると共に、絶縁膜105には、該ビア孔105aに連通する配線溝105bとが形成されている。ビア孔105a及び配線溝105bの各々の底部及び側壁の各々には、例えば膜厚5～15nmのTiN膜、Ta<sub>2</sub>N膜、又はTa/Ta<sub>2</sub>N膜などからなるバリアメタル膜108が形成されている。ビア孔105aでは、バリアメタル膜108の上にビア孔105aを埋め込む銅膜からなるビア109aが形成されており、配線溝105bでは、バリアメタル膜108の上に配線溝105bを埋め込む銅膜からなる銅配線109bが形成されている。

[0037] ここで、絶縁膜 105（非多孔質絶縁膜）は、空孔率が 10%未満、炭素濃度が 20%以上、空孔径が 0.8 nm 未満、比誘電率が 2.8 以上、及び、弾性率が 10 GPa 以上、のうちのいずれかを満たすものである。また、絶縁膜 107（多孔質絶縁膜）は、空孔率が 10%以上、炭素濃度が 20%未満、空孔径が 0.8 nm 以上であって且つ 3.0 nm 未満、比誘電率が 2.8 未満、弾性率が 10 GPa 未満、のうちのいずれかを満たすものである。

[0038] 図 2（a）～（d）及び図 3（a）～（c）は、本発明の例示的一実施形態における半導体装置の製造方法を工程順に示している。

[0039] まず、図 2（a）に示すように、例えばシリコン基板などからなる基板 100 の上に、例えばプラズマ CVD 法を用いて、例えば膜厚 80～150 nm の SiOC 膜、又は SiO<sub>2</sub> 膜などからなる絶縁膜 101 を形成する。続いて、通常のリソグラフィ法及びエッチング法を用いて、絶縁膜 101 に配線溝 101a を形成する。続いて、絶縁膜 101 の上と配線溝 101a の底部及び側壁とに、例えば膜厚 5～15 nm の TiN 膜、Ta<sub>2</sub>N<sub>5</sub> 膜、又は Ta/Ta<sub>2</sub>N<sub>5</sub> 膜などの導電膜を成膜した後、シード層（図示せず）を堆積し、電解メッキ法により銅膜を堆積する。続いて、CMP 法を用いて、配線溝 101a の外部にはみ出している上記導電膜及び銅膜を研磨除去して表面を平坦化することにより、配線溝 101a の底部及び側壁とに、上記導電膜からなるバリアメタル膜 102、並びにシード層及び銅膜からなる銅配線 103 を形成する。続いて、絶縁膜 101、バリアメタル膜 102 及び銅配線 103 の上に、例えば膜厚 30～60 nm の SiOC 膜、SiCN 膜、及び SiCO 膜のうちから選択される 1 種類からなる単層膜又は複数種類からなる積層膜などからなるライナー膜 104 を堆積する。

[0040] 続いて、プラズマ CVD 法を用いて、ライナー膜 104 の上に、例えば膜厚 200～350 nm の SiOC 膜などからなり、空孔形成材料として例えばポロジェンを含む絶縁膜 105（非多孔質絶縁膜：低空孔率領域に相当する）を堆積する。ここで、絶縁膜 105（非多孔質絶縁膜）は、上述のよう

に、空孔率が10%未満、炭素濃度が20%以上、空孔径が0.8nm未満、比誘電率が2.8以上、及び、弾性率が10GPa以上、のうちのいずれかを満たすものである。

[0041] 次に、図2(b)に示すように、絶縁膜105(非多孔質絶縁膜)上に例えば膜厚5~20nmのTiN膜を堆積した後、通常の写真リソグラフィ法及びエッチング法を用いて、後に形成されるビア孔105a及び配線溝105b上の領域を覆うように、例えばTiN膜からなるメタルハードマスク106を形成する。

[0042] 次に、図2(c)に示すように、メタルハードマスク106をマスクとして電子線又は紫外線を照射することにより、絶縁膜105(非多孔質絶縁膜)におけるメタルハードマスク106に覆われていない部分に含まれるポロジェンを除去する。これにより、絶縁膜105(非多孔質絶縁膜)におけるメタルハードマスク106に覆われていない部分(メタルハードマスクの開口部分)、すなわち、絶縁膜105(非多孔質絶縁膜)における後に形成される配線溝間の領域となる部分を、上記ポロジェンが除去されて生じる多数の空孔を有する絶縁膜107(多孔質絶縁膜: 高空孔率領域に相当する)とする。

[0043] 次に、図2(d)に示すように、CMP法により、メタルハードマスク106を除去すると共に、絶縁膜105(非多孔質絶縁膜)及び絶縁膜107(多孔質絶縁膜)の膜厚を150~250nmとする。このとき、絶縁膜107(多孔質絶縁膜)によって挟まれた絶縁膜105(非多孔質絶縁膜)の幅(基板100の主面に水平な方向における幅)は、70~110nmである。また、絶縁膜105(非多孔質絶縁膜)によって挟まれた絶縁膜107(多孔質絶縁膜)の幅(基板100の主面に水平な方向における幅)は、40~80nmである。さらに、絶縁膜107(多孔質絶縁膜)は、空孔率が10%以上、炭素濃度が20%未満、空孔径が0.8nm以上であって且つ3.0nm未満、比誘電率が2.8未満、弾性率が10GPa未満、のうちのいずれかを満たすものである。

- [0044] 次に、図3（a）に示すように、通常のマスク材形成工程、リソグラフィ工程、及びドライエッチング工程を経ることにより、ライナー膜104及び絶縁膜105（非多孔質絶縁膜）に、底部に銅配線103の表面を露出するビア孔105aを形成すると共に、絶縁膜105（非多孔質絶縁膜）に、ビア孔105aに連通する配線溝105bを形成する。ここで、ビア孔105a及び配線溝105bを形成する手法としては、レジストマスクを用いたプロセス、絶縁膜からなるハードマスクを用いたプロセス、及びメタルからなるハードマスクを用いたプロセスのうちのいずれかのプロセスを用いることができる。また、このとき、配線溝105bの幅（同図の平面図部分における幅Aに相当する）は、60～90nmである。また、絶縁膜105（非多孔質絶縁膜）における配線溝105bの側壁と絶縁膜107との間に存在する部分の幅（同図の平面図部分における幅Bに相当する）は、5～10nmである。よって、上記空孔径（0.8nm以上であって且つ3.0nm未満）に対する幅Bの割合は、約1.5～12.5倍であることが好ましい。
- [0045] 次に、図3（b）に示すように、絶縁膜105（非多孔質絶縁膜）及び絶縁膜107（多孔質絶縁膜）の上と、ビア孔105a並びに配線溝105bの底部及び側壁とに、例えば膜厚5～15nmのTa<sub>2</sub>N膜及びTa膜の積層膜からなる導電膜108aを成膜する。
- [0046] 次に、図3（c）に示すように、シード層（図示せず）を堆積した後に、電解メッキ法により銅膜を成膜し、アニール処理を行う。続いて、CMP法を用いて、配線溝101aの外部にはみ出している導電膜108a及び銅膜を研磨除去して表面を平坦化することにより、ビア孔105a並びに配線溝105bの底部及び側壁に、上記導電膜108aからなるバリアメタル膜108を形成する。同時に、ビア孔105aを埋め込むように、バリアメタル膜108の上に銅膜からなるビア109aを形成すると共に、配線溝105bを埋め込むように、バリアメタル膜108の上に銅膜からなる銅配線109bを形成する。
- [0047] 以上の本発明の例示的一実施形態における半導体装置の製造方法によると

、上記図 3 (a) に示す工程にて形成されるビア孔 105 a 及び配線溝 105 b は、多数の空孔を有する絶縁膜 107 (多孔質絶縁膜) に形成されたものではなく、絶縁膜 105 (非多孔質絶縁膜) に形成されたものであるため、ビア孔 105 a の側壁並びに配線溝 105 b の底部及び側壁の表面には空孔が露出することがない。

[0048] この点、上記背景技術によると、多孔質絶縁膜に形成された配線溝の側壁及び底部並びにビア孔の側壁の表面には、空孔形成材料が除去されて生じる空孔が露出してしまう。このため、配線を構成する銅は、バリアメタル膜を介し、配線溝の表面に露出する上記空孔部分を通じて、多孔質絶縁膜中へ拡散しやすくなる。このことは、近年の微細化傾向又は配線間容量の抑制とのトレードオフからバリアメタル膜が薄膜化され、バリア性が十分ではない場合により顕著である。その上、配線溝及びビア孔にバリアメタル膜を形成する際、上記露出した空孔の影響により、バリアメタル膜のカバレッジ率が低下する。このため、配線溝の側壁及びビア孔の側壁の表面に露出する空孔部分では、バリアメタル膜が薄膜化して堆積されたり、バリアメタル膜が形成されない場合も出てくる。その結果、特に配線溝の側壁の表面に露出する空孔部分において、バリアメタル膜が有する銅に対するバリア性が低下して、多孔質絶縁膜中への銅の拡散が生じやすくなる。以上のように、上記背景技術によると、配線溝に露出する空孔部分を通じて、配線中の銅が多孔質絶縁膜へ拡散しやすい構成となっており、これにより、銅の拡散による配線間ショートが発生するため、半導体装置の歩留り又は信頼性が大きく低下するという問題があった。

[0049] これに対し、本発明の例示的一実施形態における半導体装置の製造方法によると、上記のように、ビア孔 105 a の側壁並びに配線溝 105 b の底部及び側壁の表面には空孔が露出していない。これにより、配線溝 105 b の表面に露出する空孔部分を通じて絶縁膜 105 (非多孔質絶縁膜) 及び絶縁膜 107 (多孔質絶縁膜) 中へ銅が拡散しやすくなるという事態が防止される。さらに、バリアメタル膜 108 は、ビア孔 105 a の底部及び側壁並び

に配線溝 105b の底部及び側壁の全体に、カバレッジ良く形成される。このため、配線溝 105b の表面に露出する空孔部分においてバリアメタル膜 108 の薄膜化が防止される。その結果、絶縁膜 105（非多孔質絶縁膜）及び絶縁膜 107（多孔質絶縁膜）中への銅配線 109b 及びビア 109a を構成する銅の拡散を抑制できる。以上により、配線間ショートの劣化及び配線間耐圧の劣化が防止されるため、半導体装置の歩留り及び信頼性が向上する。

[0050] また、配線溝 105b の底部の全体には、膜強度に優れた絶縁膜 105（非多孔質絶縁膜）が存在しているため、下層のライナー膜 104 との膜剥がれの発生を抑制できる。さらに、ビア孔 105a の周辺部にも、絶縁膜 107（多孔質絶縁膜）ではなく絶縁膜 105（非多孔質絶縁膜）が存在しているため、空孔中に包含された水分などがビアに付着して酸化するという事態を抑制できる。一方で、配線 109b 間の大部分には、誘電率の低い絶縁膜 107（多孔質絶縁膜）が存在しているため、寄生容量の増加を抑制できる。さらに、配線 109b と絶縁膜 107（多孔質絶縁膜）との間には、絶縁膜 105（非多孔質絶縁膜）が存在している。このため、絶縁膜 107（多孔質絶縁膜）に形成するような空孔部分を通じた銅の拡散という事態をより抑制できると共に、配線 109b 間の距離が長い場合など配線 109b の側壁の膜強度を高めておきたい場合に有効である。

[0051] 一本発明の例示的一実施形態の変形例一

図 4 は、本発明の例示的一実施形態の変形例における半導体装置の構造及び製造方法を示している。

[0052] 図 4 に示すように、本発明の例示的一実施形態の変形例における半導体装置の構造は、バリアメタル膜 108 における配線溝 10b の側壁に形成されている部分と絶縁膜 107（多孔質絶縁膜）とが隣接して形成されている点で、上記図 1 に示した半導体装置の構造と異なっているがその他の構造は同様である。より具体的には、図 4 に示した半導体装置の構造では、図 1 の半導体装置の構造に示したバリアメタル膜 108 における配線溝 10b の側壁

に形成されている部分と絶縁膜 107（多孔質絶縁膜）との間に存在する絶縁膜 105（非多孔質絶縁膜）の領域がなく、その代わりに、該領域が絶縁膜 107（多孔質絶縁膜）の一部となっている。加えて、該領域の膜厚分だけ、絶縁膜 105 におけるビア孔 15a の側壁に形成されている部分の膜厚が、絶縁膜 107（多孔質絶縁膜）に隣接する部分において薄くなるように形成されている。すなわち、図 4 に示した半導体装置の構造では、絶縁膜 105（非多孔質絶縁膜）の上部から下部にわたって配線溝 10b の側壁の外側に存在している部分も、絶縁膜 107（多孔質絶縁膜）を構成するように形成されている。

[0053] 本発明の例示的一実施形態の変形例における半導体装置の製造方法では、上記図 2（a）～（d）及び図 3（a）～（c）に示した工程を行った後に、電子線又は紫外線を用いて、絶縁膜 105（非多孔質絶縁膜）の上部から下部にわたって配線溝 105b の側壁よりも外側に存在している部分に含まれるポロジェンを除去することにより、該部分も絶縁膜 107 の一部とする。このようにして、図 4 に示した半導体装置の構造が形成される。ここで、電子線又は紫外線の照射により絶縁膜 105 から絶縁膜 107 へとなる部分は、配線溝 10b の側壁のバリアメタル膜 108 の上部から下部にわたって外側に存在している部分だけに限らず、ビア孔 105a 周辺の絶縁膜 105（非多孔質絶縁膜）における配線溝 10b の側壁の内側に存在している部分についても絶縁膜 107 の一部となる場合があることは言うまでもない。よって、本発明の例示的一実施形態の変形例における半導体装置の構造及びその製造方法において、ビア孔 105a の側壁に残存する絶縁膜 105（非多孔質絶縁膜）の幅（基板 100 の主面に水平な方向の幅）は、0～10nm の範囲にあることが好ましい。

[0054] 以上の本発明の例示的一実施形態における半導体装置の構造及びその製造方法によると、上記図 1～図 3（c）を用いて説明した効果を同様に奏することができる。

[0055] さらに、隣り合う銅配線 109b 間には、絶縁膜 105（非多孔質絶縁膜

）は形成されておらず、絶縁膜 107（多孔質絶縁膜）のみが存在しているので、図 1 に示した半導体装置の構造の場合と比較して配線間容量がより低減され、より高性能な半導体装置が実現される。

[0056] なお、以上の例示的一実施形態では、デュアルダマシンプロセスを用いてビア 109 a 及び銅配線 109 b を形成する場合について説明したが、シングルダマシンプロセスを用いる場合であっても、上述した効果は同様に実現される。

[0057] また、以上の例示的一実施形態で記述した材料及び数値は好ましい例としてあげたものであり、本発明がこれらに限定されるものではないことは言うまでもない。

### 産業上の利用可能性

[0058] 以上説明したように、本発明は、半導体装置における銅配線を形成する方法などにとって有用である。

### 符号の説明

- [0059] 100 基板  
101 絶縁膜  
101 a 配線溝  
102 バリアメタル膜  
103 銅配線  
104 ライナー膜  
105 絶縁膜（非多孔質絶縁膜）  
105 a ビア孔  
105 b 配線溝  
106 メタルハードマスク  
107 絶縁膜（多孔質絶縁膜）  
108 バリアメタル膜  
108 a 導電膜  
109 a ビア

1 0 9 b 銅配線

## 請求の範囲

- [請求項1]           基板上に形成された絶縁膜と、  
                  前記絶縁膜に設けた配線溝に形成された銅からなる配線とを備え、  
                  前記絶縁膜は、空孔率が低い低空孔率領域と、前記低空孔率領域よりも空孔率が高い高空孔率領域とを有しており、  
                  前記低空孔率領域は、前記配線溝の下部に形成されており、  
                  前記高空孔率領域は、前記配線溝の側壁の周辺部に形成されている、半導体装置。
- [請求項2]           前記低空孔率領域の上面は、前記配線溝の底部に接している、請求項1に記載の半導体装置。
- [請求項3]           前記低空孔率領域の上面は、前記配線溝の底部全体と実質的に接している、請求項1に記載の半導体装置。
- [請求項4]           前記低空孔率領域の下面の幅は、前記低空孔率領域の上面の幅及び前記配線溝の底部の幅と実質的に等しい、請求項1に記載の半導体装置。
- [請求項5]           前記低空孔率領域の下面の位置は、前記絶縁膜の下面の位置と一致している、請求項1に記載の半導体装置。
- [請求項6]           前記低空孔率領域は、前記配線溝の側壁と前記高空孔率領域との間にさらに形成されている、請求項1に記載の半導体装置。
- [請求項7]           前記絶縁膜における前記配線溝の底部に設けられたビア孔に形成され、前記配線と電氣的に接続するビアをさらに備えており、  
                  前記低空孔率領域は、前記ビアの周縁部を覆っている、請求項1に記載の半導体装置。
- [請求項8]           前記高空孔率領域の上面の位置は、前記絶縁膜の上面の位置と一致しており、  
                  前記高空孔率領域の下面の位置は、前記絶縁膜の下面の位置と一致している、請求項1に記載の半導体装置。
- [請求項9]           前記低空孔率領域の空孔率が10%未満であり、

前記高空孔率領域の空孔率が10%以上である、請求項1に記載の半導体装置。

[請求項10] 前記低空孔率領域の炭素濃度が20%以上であり、  
前記高空孔率領域の炭素濃度が20%未満である、請求項1に記載の半導体装置。

[請求項11] 前記低空孔率領域に存在する空孔の空孔径が0.8nm未満であり、  
前記高空孔率領域に存在する空孔の空孔径が0.8nm以上であって且つ3.0nm未満である、請求項1に記載の半導体装置。

[請求項12] 前記低空孔率領域の比誘電率が2.8以上であり、  
前記高空孔率領域の比誘電率が2.8未満である、請求項1に記載の半導体装置。

[請求項13] 前記低空孔率領域の弾性率が10GPa以上であり、  
前記高空孔率領域の弾性率が10GPa未満である、請求項1に記載の半導体装置。

[請求項14] 前記絶縁膜は、空孔形成材料を含んでいる、請求項1に記載の半導体装置。

[請求項15] 前記空孔形成材料は、ポロジェンである、請求項14に記載の半導体装置。

[請求項16] 前記配線は、複数形成されており、  
隣り合う前記配線間には、前記高空孔率領域のみが形成されている、請求項1に記載の半導体装置。

[請求項17] 基板上に、空孔形成材料を含み、第1の領域及び第2の領域を有する絶縁膜を形成する工程(a)と、  
前記第1の領域に含まれる前記空孔形成材料を除去することにより、前記第1の領域を空孔率が高い高空孔率領域とすると共に、前記第2の領域を前記高空孔率領域よりも空孔率が低い低空孔率領域とする工程(b)と、

前記低空孔率領域中に、銅からなる配線を形成する工程（c）とを備える、半導体装置の製造方法。

[請求項18]

前記工程（c）の後に、

前記低空孔率領域における前記配線の側壁の周辺に存在している部分に含まれる前記空孔形成材料を除去する工程（d）をさらに備える、請求項17に記載の半導体装置の製造方法。

[請求項19]

前記工程（d）は、電子線又は紫外線を照射することにより、前記空孔形成材料を除去する工程である、請求項18に記載の半導体装置の製造方法。

[請求項20]

前記工程（b）は、前記第1の領域上を開口する開口部を有する一方で前記第2の領域上を覆うマスクを形成した後に、前記第1の領域に含まれる前記空孔形成材料を除去する工程である、請求項17に記載の半導体装置の製造方法。

[請求項21]

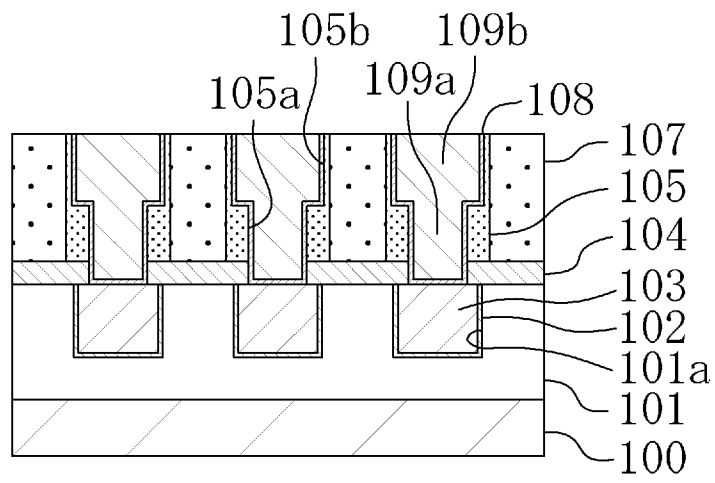
前記工程（b）は、前記開口部に、電子線又は紫外線を照射することにより、前記第1の領域に含まれる前記空孔形成材料を除去する工程である、請求項20に記載の半導体装置の製造方法。

[請求項22]

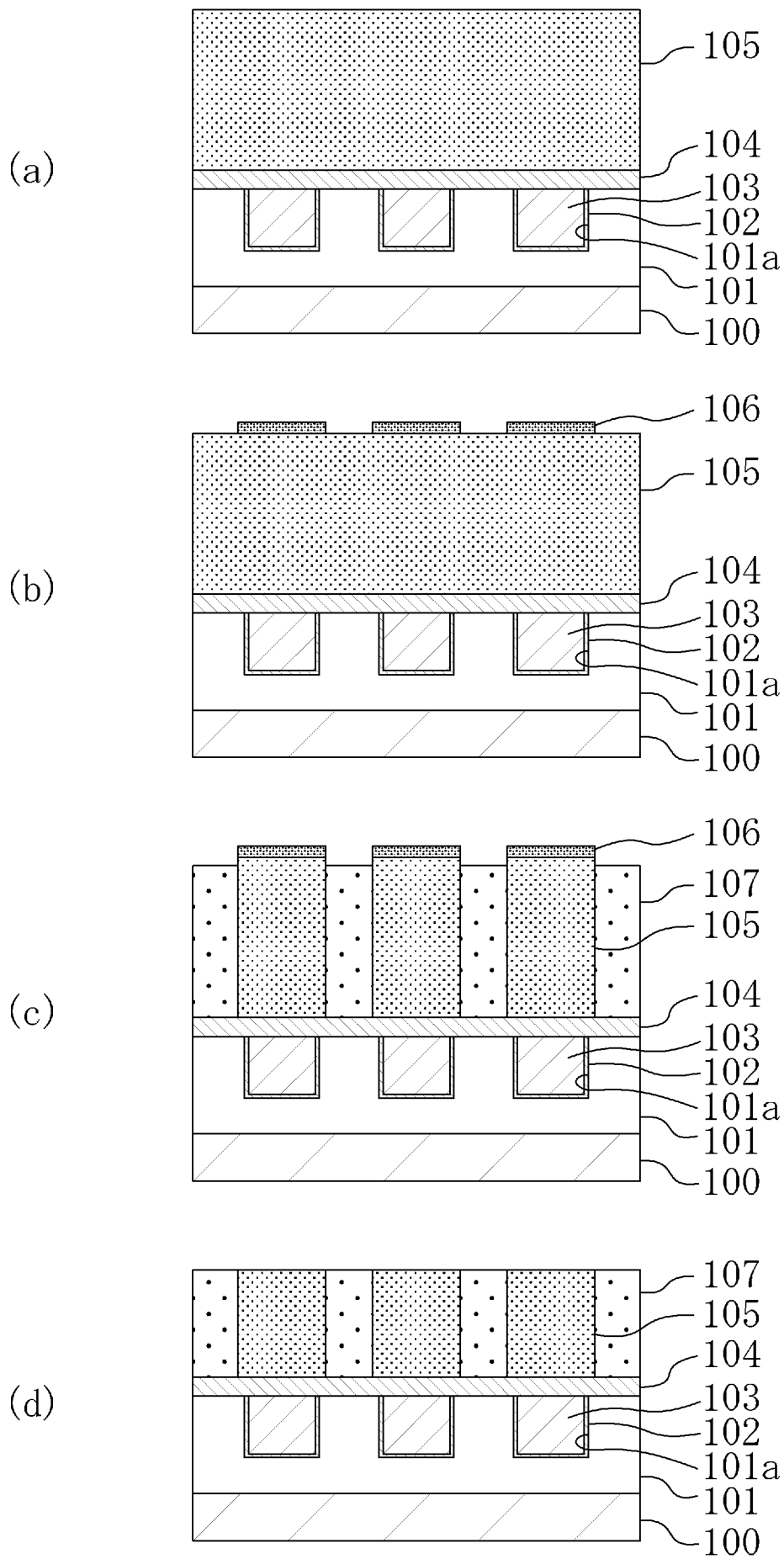
前記マスクは、メタルハードマスクである、請求項20に記載の半導体装置の製造方法。

[請求項23]

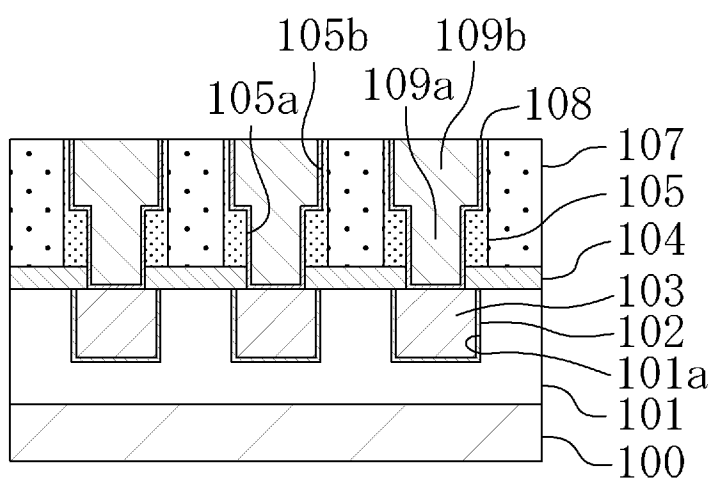
前記空孔形成材料は、ポロジェンである、請求項17に記載の半導体装置の製造方法。



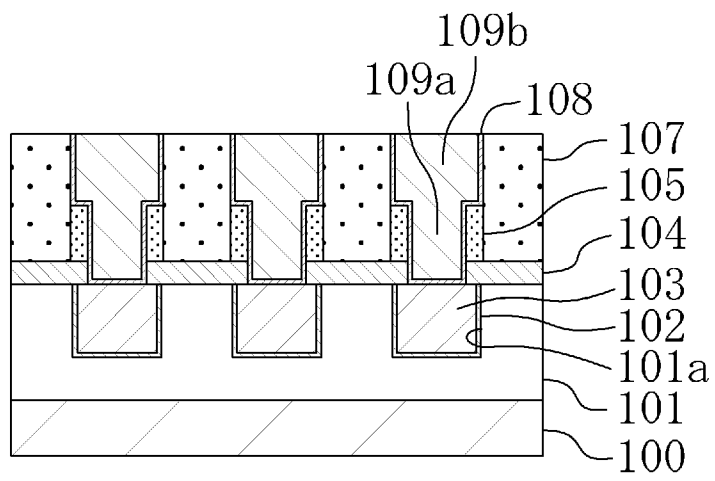
[図2]



(a)



[図4]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/005681

## A. CLASSIFICATION OF SUBJECT MATTER

H01L21/768(2006.01)i, H01L21/316(2006.01)i, H01L21/3205(2006.01)i,  
H01L23/52(2006.01)i, H01L23/522(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/768, H01L21/316, H01L21/3205, H01L23/52, H01L23/522

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2010 |
| Kokai Jitsuyo Shinan Koho | 1971-2010 | Toroku Jitsuyo Shinan Koho | 1994-2010 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                           | Relevant to claim No.                   |
|-----------|------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------|
| X<br>A    | WO 2006/100632 A1 (KONINKLIJKE PHILIPS ELECTRONICS N.V.),<br>28 September 2006 (28.09.2006),<br>fig. 2<br>& JP 2008-535212 A | 1-3, 5-15<br>4, 16-23                   |
| X<br>A    | JP 2003-068851 A (Toshiba Corp.),<br>07 March 2003 (07.03.2003),<br>fig. 3 to 27<br>& US 2002/0187625 A1<br>fig. 3 to 27     | 1-5, 7-13, 16<br>6, 14, 15,<br>17-23    |
| X<br>A    | JP 2008-159835 A (Sony Corp.),<br>10 July 2008 (10.07.2008),<br>fig. 5 to 8<br>(Family: none)                                | 1-4, 7-13, 16<br>5, 6, 14, 15,<br>17-23 |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
07 January, 2010 (07.01.10)

Date of mailing of the international search report  
19 January, 2010 (19.01.10)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2009/005681

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                | Relevant to claim No.                |
|-----------|---------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------|
| X<br>A    | WO 2002/091450 A2 (INTERNATIONAL BUSINESS MACHINES CORP.),<br>14 November 2002 (14.11.2002),<br>fig. 2<br>& US 2002/0164891 A1 & JP 2005-507154 A | 1-5, 7-13, 16<br>6, 14, 15,<br>17-23 |
| X<br>A    | JP 2003-273216 A (Sony Corp.),<br>26 September 2003 (26.09.2003),<br>fig. 3, 6<br>(Family: none)                                                  | 1-13<br>14-23                        |

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/005681

## Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The technical features common to claims 1-23 are a low-porosity region below a wiring groove and a high-porosity region in the side wall of the wiring groove. These common technical features, however, are not novel since they are disclosed in document 1 (WO 2006/100632 A1 (KONINKLIJKE PHILIPS ELECTRONICS N.V.), 28 September 2006 (28.09.2006), fig. 2), document 2 (JP 2003-068851 A, (Toshiba Corp.), 7 March 2003 (07.03.2003), fig. 3-27), document 3 (JP 2008-159835 A, (Sony Corp.), 10 July 2008 (10.07.2008), fig. 5-8), document 4 (WO 2002/091450 A2 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 14 November 2002 (14.11.2002), fig. 2), and document 5 (JP 2003-273216 A (Sony Corp.), (continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

### Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2009/005681

Continuation of Box No.III of continuation of first sheet (2)

26 September 2003 (26.09.2003), fig. 3 and 6).

Consequently, there is no technical feature which is common to claims 1-23 and can be considered as a special technical feature within the meaning of PCT Rule 13.2, second sentence, and thus claims 1-23 do not satisfy the requirement of unity of invention.

## A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/768 (2006.01) i, H01L21/316 (2006.01) i, H01L21/3205 (2006.01) i, H01L23/52 (2006.01) i, H01L23/522 (2006.01) i

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/768, H01L21/316, H01L21/3205, H01L23/52, H01L23/522

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 0 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 0 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 0 年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                    | 関連する<br>請求項の番号                       |
|-----------------|------------------------------------------------------------------------------------------------------|--------------------------------------|
| X<br>A          | WO 2006/100632 A1 (KONINKLIJKE PHILIPS ELECTRONICS N.V.)<br>2006.09.28, Fig. 2<br>& JP 2008-535212 A | 1-3, 5-15<br>4, 16-23                |
| X<br>A          | JP 2003-068851 A (株式会社東芝) 2003.03.07, 図 3-27<br>& US 2002/0187625 A1, Fig. 3-27                      | 1-5, 7-13, 16<br>6, 14, 15,<br>17-23 |

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

0 7 . 0 1 . 2 0 1 0

国際調査報告の発送日

1 9 . 0 1 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)  
郵便番号 1 0 0 - 8 9 1 5  
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

村岡 一磨

4 L

3 4 4 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

| C (続き) . 関連すると認められる文献 |                                                                                                                                 |                                         |
|-----------------------|---------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                               | 関連する<br>請求項の番号                          |
| X<br>A                | JP 2008-159835 A (ソニー株式会社) 2008.07.10, 図 5-8 (ファミリーなし)                                                                          | 1-4, 7-13, 16<br>5, 6, 14, 15,<br>17-23 |
| X<br>A                | WO 2002/091450 A2 (INTERNATIONAL BUSINESS MACHINES CORPORATION)<br>2002.11.14, Fig.2<br>& US 2002/0164891 A1 & JP 2005-507154 A | 1-5, 7-13, 16<br>6, 14, 15,<br>17-23    |
| X<br>A                | JP 2003-273216 A (ソニー株式会社) 2003.09.26, 図 3,6 (ファミリーなし)                                                                          | 1-13<br>14-23                           |

## 第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。  
つまり、
2. ☐ 請求項 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項1-23の共通事項は、配線溝下部の低空孔率領域と、配線溝側壁の高空孔率領域であるが、それらの共通事項は、文献1（WO 2006/100632 A1（KONINKLIJKE PHILIPS ELECTRONICS N.V.）2006.09.28, Fig.2）、文献2（JP 2003-068851 A（株式会社東芝）2003.03.07, 図3-27）、文献3（JP 2008-159835 A（ソニー株式会社）2008.07.10, 図5-8）、文献4（WO 2002/091450 A2（INTERNATIONAL BUSINESS MACHINES CORPORATION）2002.11.14, Fig.2）、文献5（JP 2003-273216 A（ソニー株式会社）2003.09.26, 図3,6）に記載されており、新規なものではない。

したがって、請求項1-23には、PCT規則13.2の第2文における意味において、特別な技術的特徴である共通事項は存在せず、よって、発明の単一性の要件を満たしていない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

## 追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。