



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년05월09일
(11) 등록번호 10-1033365
(24) 등록일자 2011년04월28일

(51) Int. Cl.
G09G 3/30 (2006.01) H05B 33/08 (2006.01)
H01L 51/50 (2006.01)
(21) 출원번호 10-2009-0011434
(22) 출원일자 2009년02월12일
심사청구일자 2009년02월12일
(65) 공개번호 10-2009-0087831
(43) 공개일자 2009년08월18일
(30) 우선권주장
JP-P-2008-031284 2008년02월13일 일본(JP)
(뒷면에 계속)
(56) 선행기술조사문헌
W002075709 A1
KR1020060117196 A
JP2005338591 A
JP09330060 A
전체 청구항 수 : 총 18 항

(73) 특허권자
도시바 모바일 디스플레이 가부시키키가이사
일본국 사이타마켄 후카야시 하타라초 1초메 9반
치 2
(72) 발명자
다카하라 히로시
일본 도쿄도 미나토꾸 고난 4쵸메 1-8 도시바 마
쓰시마 디스플레이 테크놀로지 컴퍼니, 리미티드
지적재산부 내
즈게, 히토시
일본 도쿄도 미나토꾸 고난 4쵸메 1-8 도시바 마
쓰시마 디스플레이 테크놀로지 컴퍼니, 리미티드
지적재산부 내
(74) 대리인
이중희, 장수길

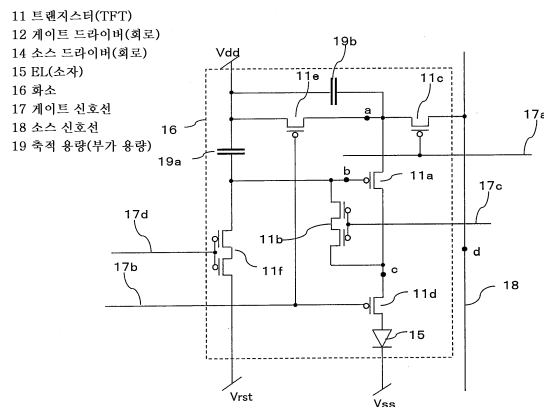
심사관 : 김홍섭

(54) EL 표시 장치

(57) 요약

EL 표시 장치는, 영상 신호 전압을 출력하는 소스 드라이버 회로와, 상기 표시 화면 중의 화소를 선택하는 게이트 드라이버 회로와, 상기 영상 신호 전압을 유지하는 제1 커패시터와, 화소의 상기 EL 소자에 전류를 공급하는 구동 트랜지스터를 갖고, 상기 영상 신호 전압을 상기 구동 트랜지스터에 인가하여 소정 동작을 행함과 함께, 상기 제1 커패시터에 상기 영상 신호 전압을 기입하고, 상기 제1 커패시터에 유지된 상기 영상 신호 전압에 의해, 오프셋 캔슬 동작을 행한다.

대표도 - 도1



(30) 우선권주장

JP-P-2008-033399 2008년02월14일 일본(JP)

JP-P-2008-105475 2008년04월15일 일본(JP)

JP-P-2009-011791 2009년01월22일 일본(JP)

특허청구의 범위

청구항 1

EL 소자를 갖는 화소가 매트릭스 형상으로 복수 배치된 표시 화면을 갖는 EL 표시 장치로서,
영상 신호 전압을 출력하는 소스 드라이버 회로와,
상기 표시 화면 중의 화소를 선택하는 게이트 드라이버 회로와,
상기 영상 신호 전압을 유지하는 제1 커패시터와,
상기 화소의 상기 EL 소자에 전류를 공급하는 구동 트랜지스터를 갖고,
상기 영상 신호 전압을 상기 구동 트랜지스터에 인가하여 소정 동작을 행함과 함께, 상기 제1 커패시터에 상기 영상 신호 전압을 기입하고,
상기 제1 커패시터에 유지된 상기 영상 신호 전압에 의해, 오프셋 캔슬 동작을 행하는 EL 표시 장치.

청구항 2

EL 소자를 갖는 화소가 매트릭스 형상으로 복수 배치된 표시 화면을 갖는 EL 표시 장치로서,
영상 신호 전압을 출력하는 소스 드라이버 회로와,
상기 표시 화면 중의 화소를 선택하는 게이트 드라이버 회로와,
동작용 신호 전압을 유지하는 제1 커패시터와,
상기 화소의 상기 EL 소자에 전류를 공급하는 구동 트랜지스터를 갖고,
상기 동작용 신호 전압을, 상기 구동 트랜지스터를 통하여 상기 화소에 인가하여 소정 동작을 행함과 함께, 상기 제1 커패시터에 상기 동작용 신호 전압을 기입하고,
상기 동작용 신호 전압의 인가를 정지한 후, 상기 제1 커패시터에 기입된 상기 동작용 신호 전압에 의해, 상기 소정 동작을 계속하는 EL 표시 장치.

청구항 3

제1항 또는 제2항에 있어서,
상기 각 화소에 리셋 전압을 인가하는 제1 스위치 트랜지스터가 형성되고, 상기 제1 스위치 트랜지스터는 멀티 게이트 구조인 EL 표시 장치.

청구항 4

제1항 또는 제2항에 있어서,
상기 EL 소자에 흐르는 전류 경로에, 제2 스위치 트랜지스터가 형성되고,
상기 제2 스위치 트랜지스터를 온/오프 제어함으로써, 상기 표시 화면에 락업상의 비표시 영역을 발생시키고,
상기 비표시 영역이 1프레임 주기로 상기 표시 화면을 이동시키는 EL 표시 장치.

청구항 5

제1항 또는 제2항에 있어서,
상기 각 화소에 상기 영상 신호 전압을 인가하는 제3 스위치 트랜지스터가 형성되고,
상기 제3 스위치 트랜지스터의 게이트 단자와, 상기 제3 스위치 트랜지스터의 드레인 단자 사이에, 제2 커패시터가 형성되어 있는 EL 표시 장치.

청구항 6

제1항 또는 제2항에 있어서,

상기 게이트 드라이버 회로, 또는 상기 게이트 드라이버 회로의 입력단에 레벨 시프트 회로가 형성되고,
상기 소스 드라이버 회로로부터 출력된 신호가, 상기 레벨 시프트 회로에서 레벨 시프트하여 상기 게이트 드라이버 회로에 입력되는 EL 표시 장치.

청구항 7

제1항 또는 제2항에 있어서,
상기 게이트 드라이버 회로는, P채널 트랜지스터 또는 N채널 트랜지스터로 구성되어 있는 EL 표시 장치.

청구항 8

제1항 또는 제2항에 있어서,
상기 소스 드라이버 회로는, 반도체 IC이고,
상기 소스 드라이버 회로는, 상기 표시 화면이 형성된 기판에 실장되고,
상기 소스 드라이버 회로와 상기 기판 사이에 차광막이 형성되어 있는 EL 표시 장치.

청구항 9

제1항 또는 제2항에 있어서,
매트릭스 형상의 동일 열에 배치된 복수의 상기 화소에 대하여, 제1 소스 신호선과 제2 소스 신호선이 형성되고,
상기 제1 소스 신호선에 의해 제1 영상 신호 전압이 인가되는 상기 화소와, 상기 제2 소스 신호선에 의해 제2 영상 신호 전압이 인가되는 상기 화소가 상이한 EL 표시 장치.

청구항 10

제1항 또는 제2항에 있어서,
온도 센서와, 상기 EL 소자에 인가하는 전압을 발생하는 전압 발생 회로를 더 갖고,
상기 온도 센서의 출력에 기초하여 상기 전압 발생 회로가 상기 전압을 가변하는 EL 표시 장치.

청구항 11

제1항 또는 제2항에 있어서,
온도 센서를 더 갖고,
상기 온도 센서의 출력에 기초하여, 상기 표시 화면에서 사용하는 최대 표시 계조를 가변하는 EL 표시 장치.

청구항 12

제10항에 있어서,
상기 온도 센서가 상기 소스 드라이버 회로에 내장되어 있는 EL 표시 장치.

청구항 13

제1항 또는 제2항에 있어서,
상기 소스 드라이버 회로는, 소스 신호선을 선택하는 선택 스위치 회로가 복수 내장되어 있는 EL 표시 장치.

청구항 14

제1항 또는 제2항에 있어서,
외광의 밝기를 검출하는 포토 센서를 더 갖고,
상기 포토 센서의 출력에 기초하여, 상기 표시 화면의 밝기를 가변하는 EL 표시 장치.

청구항 15

제1항 또는 제2항에 있어서,
상기 화소에 인가하는 리세트 전압의 발생 회로를 더 갖고,
상기 리세트 전압은, 상기 영상 신호 전압에 기초하여 가변하는 EL 표시 장치.

청구항 16

제1항 또는 제2항에 있어서,
상기 화소가 복수의 색으로 구성되고, 상기 화소의 화소 전극의 면적이 색에 따라서 상이한 EL 표시 장치.

청구항 17

제2항에 있어서,
상기 동작용 신호 전압이 상기 영상 신호 전압이고, 상기 소정의 동작이 오프셋 캔셀 동작인 EL 표시 장치.

청구항 18

제2항에 있어서,
상기 동작용 신호 전압이 리세트 신호 전압이고, 상기 소정의 동작이 리세트 동작인 EL 표시 장치.

청구항 19

삭제

청구항 20

삭제

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은, 유기 또는 무기 반도체로 루미네센스(EL) 소자 등을 이용하는 EL 표시 패널(표시 장치) 등의 자발광 표시 패널(표시 장치)을 이용한, EL 표시 장치(유기 발광 표시 장치)에 관한 것이다. 또한, 영상 신호 전압(영상 신호 데이터) V_{sig} 를 화소에 소정 기간 유지하는 컨덴서(용량, 부가 컨덴서)를 갖는 표시 패널, 표시 장치에 관한 것이다.

배경 기술

[0002] 전기 광학 변환 물질로서 유기 반도체로 루미네센스(EL) 재료 혹은 무기 EL 재료를 이용한 액티브 매트릭스형의 화상 표시 장치는, 화소에 기입되는 전류에 따라서 발광 휘도가 변화한다. EL 표시 장치는, 각 화소에 발광 소자를 갖는 자발광형이다. EL 표시 장치는, 액정 표시 패널에 비하여 화상의 시인성이 높고, 발광 효율이 높고, 백라이트가 불필요하며, 응답 속도가 빠르다는 등의 이점을 갖는다.

[0003] 유기 EL(PLED, OLED, OEL) 패널은, 액티브 매트릭스 방식의 개발이 활발히 행하여지고 있다. 이 방식은, 각 화소 회로 내부의 발광 소자에 흐르는 전류를, 화소 회로 내부에 형성한 능동 소자(일반적으로는 박막 트랜지스터, TFT, FET, MOS 트랜지스터)에 의해 제어하는 것이다(일본 특허 공개 2003-255856 공보, 일본 특허 공개 2003-271095 공보 참조).

[0004] 유기 EL 표시 패널은, 저온 혹은 고온 폴리실리콘으로 이루어지는 트랜지스터 어레이를 이용하여 패널을 구성한다. 그러나, 유기 EL 소자는, 폴리실리콘 트랜지스터 어레이의 트랜지스터 특성에 변동이 있으면, 표시 불균일이 발생한다.

[0005] EL 소자(15)에 전류를 공급하는 구동 트랜지스터(11a)에 특성 변동이 있으면, 변환되는 전류 신호에도 변동이

발생한다. 통상적으로, 트랜지스터(11a)는 50% 이상의 특성 변동이 있다. 그 때문에, 구동 트랜지스터의 특성 변동이 표시 불균일으로서 표시되어, 화상 표시 품질을 저하시키고 있었다.

발명의 내용

해결 하고자하는 과제

[0006] 그래서 본 발명은, 충분한 오프셋 캔슬 기간을 확보하여, 구동 트랜지스터의 특성 변동을 보상하고, 특성 표시 불균일이 없는 화상 표시를 실현할 수 있는 EL 표시 장치를 제공한다.

과제 해결수단

[0007] 본 발명은, EL 소자를 갖는 화소가 매트릭스 형상으로 복수 배치된 표시 화면을 갖는 EL 표시 장치로서, 영상 신호 전압을 출력하는 소스 드라이버 회로와, 상기 표시 화면 내의 화소를 선택하는 게이트 드라이버 회로와, 상기 영상 신호 전압을 유지하는 제1 커패시터와, 상기 화소의 상기 EL 소자에 전류를 공급하는 구동 트랜지스터를 갖고, 상기 영상 신호 전압을 상기 구동 트랜지스터에 인가하여 소정 동작을 행함과 함께, 상기 제1 커패시터에 상기 영상 신호 전압을 기입하고, 상기 제1 커패시터에 유지된 상기 영상 신호 전압에 의해, 오프셋 캔슬 동작을 행하는 것을 특징으로 하는 EL 표시 장치이다.

[0008] 또한, 본 발명은, EL 소자를 갖는 화소가 매트릭스 형상으로 복수 배치된 표시 화면을 갖는 EL 표시 장치로서, 영상 신호 전압을 출력하는 소스 드라이버 회로와, 상기 표시 화면 내의 화소를 선택하는 게이트 드라이버 회로와, 신호 전압을 유지하는 제1 커패시터와, 상기 화소의 상기 EL 소자에 전류를 공급하는 구동 트랜지스터를 갖고, 상기 신호 전압을 상기 구동 트랜지스터를 통하여 상기 화소에 인가하여 소정 동작을 행함과 함께, 상기 제1 커패시터에 상기 신호 전압을 기입하고, 상기 신호 전압의 인가를 정지한 후, 상기 제1 커패시터에 기입된 상기 신호 전압에 의해, 상기 소정 동작을 계속하는 것을 특징으로 하는 EL 표시 장치이다.

효 과

[0009] 본 발명에 따르면, 충분한 오프셋 캔슬 기간을 확보할 수 있으므로, 양호하게 구동 트랜지스터를 오프셋 캔슬할 수 있다. 따라서, 구동 트랜지스터의 특성 변동을 보상하여, 특성 표시 불균일이 없는 화상 표시를 실현할 수 있다.

발명의 실시를 위한 구체적인 내용

[0010] 본 발명의 실시예의 EL 표시 장치는, 각 화소에 오프셋 캔슬 동작에 사용하는 소정 전압을 유지하는 커패시터(오프셋 캔슬 커패시터)를 구비한다. 오프셋 캔슬 커패시터는, 화소가 선택되었을 때에, 화소에 인가된 영상 신호 등의 소정 전압을 유지한다. 구동 트랜지스터 화소가 비선택으로 된 후에도, 오프셋 캔슬 커패시터에 유지된 소정 전압을 이용하여, 구동 트랜지스터에 오프셋 캔슬 동작을 계속시킨다.

[0011] 종래의 화소 구성에서는, 화소가 선택되었을 때에 오프셋 캔슬 동작을 실시하고 있었다. 따라서, 오프셋 캔슬 동작은 화소행의 선택 기간 이내에 한정되기 때문에, 충분한 오프셋 캔슬 동작 시간을 확보할 수 없어, 충분히 오프셋 캔슬을 실현할 수 없었다.

[0012] 본 실시예에 따르면, 오프셋 캔슬 동작을 계속시키는 오프셋 캔슬 커패시터를 각 화소에 갖고 있기 때문에, 화소가 비선택 상태이어도, 오프셋 캔슬 동작을 계속할 수 있다. 따라서, 구동 트랜지스터는 충분히 오프셋 캔슬 기간을 확보할 수 있으므로, 구동 트랜지스터 구동 트랜지스터(11a)의 특성 변동을 보상하여, 특성 표시 불균일이 없는 화상 표시를 실현할 수 있다.

[0013] <실시예 1>

[0014] 본 발명의 실시예 1에 대하여 설명한다.

[0015] 또한, 각 도면에서 설명에 필요없는 개소, 부분은 생략하고 있다. 따라서, 각 도면에서 도시하고 있지 않아도, 다른 도면에 도시한 사항을 적용 혹은 조합할 수 있다. 또한, 각 도면에는 확대 혹은 축소된 개소, 부분이 있다. 또한, 실시예 1~실시예 7은 상호 조합할 수 있는 것은 물론이다.

[0016] 도 1은, 실시예 1의 EL 표시 장치의 화소 구성이다. 또한, 도 3은, 화소(16)가 매트릭스 형상으로 배치된 표시

영역(31)에, 게이트 드라이버 회로(12) 및 소스 드라이버 IC(14)가 접속된 구성도이다.

- [0017] 도 3에 도시하는 바와 같이, 게이트 드라이버 회로(12)에는, 클럭 신호(CLK), 스타트 신호(ST1, ST2) 등은, 업다운 신호(UD)가 인가된다. 클럭 신호(CLK)는, 수평 동기 신호(HD)에 동기하고 있다. 또한, 필요에 따라서, EL 표시 장치 내에 내장하는 발진 모듈에 의해 클럭 신호(CLK)를 발생시킨다. 스타트 신호(ST2)를 제어함으로써, Duty 구동을 실현할 수 있다.
- [0018] 클럭 신호(CLK), 스타트 신호(ST1, ST2), 업다운 신호(UD) 등 게이트 드라이버 회로(12)에 인가하는 신호는, 소스 드라이버 IC(14)에서 발생하고, 어레이 기판에 형성한 레벨 시프터 회로에서 레벨 시프트하여 게이트 드라이버 회로(12)에 인가된다. 게이트 드라이버 회로(12)에서 사용하는 클럭 신호 등은, 소스 드라이버 IC(14)로부터 공급한다.
- [0019] 레벨 시프트하는 전압(예를 들면, VGH, VGL)은, 소스 드라이버 IC(14)에서 발생하고, 각 신호(CLK, UD, ST 등) 소스 드라이버 IC(14) 내에 내장된 레벨 시프터 회로에서 레벨 시프트하여 게이트 드라이버 회로(12)에 인가해도 된다.
- [0020] 레벨 시프트 회로는, 소스 드라이버 IC(14)로부터 출력되는 로직 레벨 전압(예를 들면, 3V)을 게이트 드라이버 회로(12)에서 사용하는 전압(예를 들면, VGH, VGL 전압)으로 변환하는 것이다. 레벨 시프트 회로는, 게이트 드라이버 회로(12) 내 또는 게이트 드라이버 회로(12)의 입력단 혹은 소스 드라이버 IC(14)의 출력단에 형성 또는 배치된다.
- [0021] 클럭 신호(CLK)는, 선택하는 화소행을 순차 이동시키기 위한 신호이다. 스타트 펄스 신호(ST)는, 선택하는 화소행을 지정하기 위한 신호이다. 스타트 펄스 신호(ST)는 클럭 신호(CLK)에 의해, 게이트 드라이버 회로(12)의 시프트 레지스터 회로 내를 이동한다. 업다운 신호(UD)는, 화면의 상하 반전 전환 신호이다. 시프트 레지스터 회로 내의 스타트 펄스 위치에 따라서, 게이트 신호선(17)이 선택된다(게이트 신호선(17)에 온 전압(VGL)이 인가됨).
- [0022] 본 발명의 실시예 1은, 화소(16)의 트랜지스터(11)를 P채널 트랜지스터로 형성하고, 게이트 드라이버 회로(12)를 P채널 트랜지스터로 형성한다. 화소(16)의 트랜지스터(11)와 게이트 드라이버 회로(12)의 양방을 P채널 트랜지스터로 형성함으로써, EL 표시 패널의 제조 코스트는 저코스트로 할 수 있다.
- [0023] 소스 드라이버 IC(14)로서는, 영상 신호를 전압 신호로서 출력하는 것, 영상 신호를 전류 신호로서 출력하는 것이 예시된다. 본 명세서에서는, 설명을 용이하게 하기 위하여, 소스 드라이버 IC(14)는, 전압 신호를 출력하는 것으로서 설명을 한다. 또한, 도 2, 도 111은 본 실시예의 EL 표시 장치의 구동 방법의 설명도이다.
- [0024] 본 실시예의 표시 패널은, R(적), G(녹), B(청)색의 화소가 매트릭스 형상으로 배치되어 있다. 또한, RGB 외에, W(백)색의 화소를 배치해도 된다. 백색 발광의 화소를 형성함으로써, 표시 화상이 높은 휘도를 실현할 수 있다. 따라서, 빛나는 감이 있는 화상 표시를 실현할 수 있다. 특히 W(백) 화소를 갖는 패널 구성은, 도 84, 도 99 등의 duty 구동 방식, 최대 사용 계조 표시 구동 방식과 조합하는 것이 바람직하다.
- [0025] 또한, 백색의 화소를 표시 영역의 전체면에 형성하고, 컬러 필터에 의해, RGB 화소를 매트릭스 형상으로 형성해도 된다.
- [0026] R, G, B의 화소 개구율(혹은 화소 전극 면적)은, 서로 다르게 해도 된다. 개구율을 서로 다르게 함으로써, 각 RGB의 EL 소자(15)에 흐르는 전류 밀도를 서로 다르게 할 수 있다. 전류 밀도를 서로 다르게 함으로써, RGB의 EL 소자(15)의 열화 속도를 동일하게 할 수 있다. RGB의 열화 속도를 동일하게 하면, 장기간, EL 표시 장치를 사용해도, EL 표시 장치의 표시 화면의 화이트 밸런스 어긋남이 발생하지 않는다.
- [0027] 또한, 인접한 화소행에서, 3원색의 배치가 서로 다르도록 배치하는 것이 바람직하다. 예를 들면, 짝수행째가, 좌측으로부터 R, G, B의 배치이면, 홀수행째는 B, G, R의 배치로 한다. 이와 같이 배치함으로써, 적은 화소수라도, 화상의 경사 방향의 해상도가 개선된다. 또한, 화소를 델타 배치로 해도 된다. 외광 또는 EL 표시 패널 등으로부터 방사되는 광(EL 소자(15)로부터 출사되는 광)이, 소스 드라이버 IC(소스 드라이버 회로)(14)에 조사되면, 포토 컨덕터 현상(포토콘)에 의해 오동작을 야기한다. 이 과제에 대응하기 위하여, 소스 드라이버 IC 칩의 아래 또는, 소스 드라이버 회로(14)의 하층에 차광막을 형성한다. 즉, 소스 드라이버 IC와 어레이 기판 사이에, 차광막을 형성 또는 배치한다. 차광막은, 패널 기판의 표면에 금속 박막, 유기 재료 혹은 무기 재료 등으로 이루어지는 광 흡수막으로서 형성한다. 바람직하게는, 차광막은, EL 소자(15)에 전류를 공급하는 애노드 배선, 캐소드 배선을 사용한다(소스 드라이버 IC 칩 아래에 형성함). 차광막을 애노드 배선, 캐소드 배선으로

형성하면 전류(전압) 공급 배선과 차광막을 겸용할 수 있다. 따라서, 차광막 형성이 용이하고, 저코스트화할 수 있다. 이 구성은, 소스 드라이버 회로(14)가 IC 칩의 경우에 한정되는 것은 아니다. 소스 드라이버 회로(14)가, 저온 폴리실리콘, 고온 폴리실리콘 혹은 고상 성장에 의해 형성된 반도체막(CGS), 아몰퍼스 실리콘 기술을 이용한 경우에도 적용된다. 즉, 이 소스 드라이버 회로(14)의 이면 혹은 하층에 차광막을 형성한다.

[0028] 이상과 같이, 본 실시예의 EL 표시 장치에서, 소스 드라이버 회로(14)는, 반도체 IC(IC chip)이고, 상기 소스 드라이버 회로(14)는, 상기 표시 화면이 형성된 기판에 실장되어 있고, 상기 소스 드라이버 회로의 아래이며, 또한 상기 기판 위에, 차광막이 형성되어 있는 것을 하나의 특징으로 하는 것이다. 소스 드라이버 IC(14)에는, 게이트 드라이버 회로(12)에서 사용하는 전압 VGH, VGL을 발생시키는 차지 펌프 회로를 구성해 두는 것이 바람직하다. 전압 VGH는, 트랜지스터(11)를 오프시키는 전압이고, 전압 VGL은 트랜지스터(11)를 온시키는 전압이다. 단, 이 온/오프 전압은, 트랜지스터(11)가 P채널 트랜지스터인 경우이며, 트랜지스터(11)가 N채널인 경우에는, 전압 VGH는, 트랜지스터(11)를 온시키는 전압이고, 전압 VGL은 트랜지스터(11)를 오프시키는 전압으로 된다. 또한, VGH, VGL은 게이트 드라이버 회로(12)의 전원 전압이다.

[0029] 도 3에서, 게이트 드라이버 회로(12a)는, VGH1, VGL1 전압을 인가하고, 게이트 드라이버 회로(12a)는, VGH2, VGL2 전압을 인가한다. 스위치 트랜지스터(11)가, P채널 트랜지스터인 경우에는, VGL1과 VGL2를 서로 다르게 한다. VGH1과 VGH2는, 공통의 전압으로 한다(VGH1=VGH2). 스위치 트랜지스터(11)가, N채널 트랜지스터인 경우에는, VGH1과 VGH2를 서로 다르게 한다. VGL1과 VGL2는, 공통의 전압으로 한다(VGL1=VGL2).

[0030] 도 1의 화소 구성이면, 스위치 트랜지스터(11d)의 온 전압(VGL)은, 스위치 트랜지스터(11c)의 온 전압(VGL)보다도 높게 한다. 혹은, 스위치 트랜지스터(11d)의 오프 전압(VGH)-온 전압(VGL)의 전위차는, 스위치 트랜지스터(11c)의 오프 전압(VGH)-온 전압(VGL)의 전위차보다도 작게 한다. 스위치 트랜지스터(11d)의 온 저항을 비교적 높게 하여, EL 소자(15)의 단자간(애노드-캐소드) 전압의 변화가 구동 트랜지스터(11a)의 채널간 전압에 영향을 주지 않도록 하기 위해서이다. 또한, 스위치 트랜지스터(11b)의 오프 리크 전류의 저감에도 효과가 있다. 스위치 트랜지스터(11c)는, 충분히 온시켜 온 저항을 저하시키는 것이 바람직하다.

[0031] 예를 들면, 오프 전압(VGH1=VGH2)=6.0(V)으로 하면, 스위치 트랜지스터(11c)의 온 전압(VGL1)=-4.0(V), 스위치 트랜지스터(11d)의 온 전압(VGL2)=-2.0(V)으로 설정한다. 오프 전압 스위치 트랜지스터(11c)의 오프 전압(VGH1)=6.0(V), 스위치 트랜지스터(11d)의 오프 전압(VGH2)=5.5(V)로 하면, 스위치 트랜지스터(11c)의 오프 전압(VGH1)-온 전압(VGL1)=-10.0(V), 스위치 트랜지스터(11d)의 오프 전압(VGH2)-온 전압(VGL2)=-8.0(V)으로 설정한다. 또한, 스위치 트랜지스터(11c)의 오프 전압(VGH1)-온 전압(VGL1)은, 스위치 트랜지스터(11d)의 오프 전압(VGH2)-온 전압(VGL2)보다도 1V 이상 4V 이하의 전위차이도록 설정한다. 이상의 사항은 본 발명의 다른 실시예에서도 마찬가지이다.

[0032] 본 실시예는, 트랜지스터(11)를 기본적으로는 P채널로 하여 설명하지만 이것에 한정되는 것은 아니다. 예를 들면, 구동 트랜지스터(11a)를 P채널 트랜지스터로 하고, 다른 스위치 트랜지스터는 N채널 트랜지스터로 해도 된다. 스위치 트랜지스터(11)의 오프 리크 전류가 저감하여, 양호한 콘트라스트를 실현할 수 있다.

[0033] 예를 들면, 도 112에 도시하는 바와 같이, 구동 트랜지스터(11a)를 N채널 트랜지스터로 형성해도 된다. 또한, 스위치 트랜지스터(11c), 스위치 트랜지스터(11b)를 N채널 트랜지스터로 형성해도 된다. 또한, 도 1 등에서, 스위치 트랜지스터(11b, 11f, 11c)는 트랜지스터의 복수의 채널이 직렬로 접속된 구성(멀티 게이트 구조: 듀얼 게이트, 트리플 게이트 등)으로 하는 것이 바람직하다. 특히, 영상 신호 전압 Vsig를 화소(16)에 인가하는 스위치 트랜지스터(11c), 리세트 전압 Vrst를 인가하는 스위치 트랜지스터(11f), 구동 트랜지스터(11a)의 게이트 단자와 다른 단자 사이를 단락 상태로 하는 스위치 트랜지스터(11b)는 멀티 게이트 구성으로 하는 것이 바람직하다. 또한, 스위치 트랜지스터(11b, 11f, 11c)는, N채널 트랜지스터로 구성함으로써 오프 리크 전류가 저감하여 바람직하다.

[0034] 여기서 duty 구동(혹 삽입 구동)에 대하여 설명을 행하여 둔다.

[0035] 도 1 등의 본 발명의 실시예에서, 트랜지스터(11e), 트랜지스터(11d) 중 적어도 한 쪽을 온/오프 제어함으로써, 도 12의 (b)에 도시하는 바와 같은 duty 구동을 실현할 수 있다. 도 12에서, 참조 부호 121은 프로그램 화소행(영상 신호를 기입하고 있는 화소행)이고, 참조 부호 123은 비표시 영역(트랜지스터(11e)와 트랜지스터(11d) 중, 적어도 한 쪽을 오프시킴으로써, 비표시(EL 소자(15)에 전류가 흐르고 있지 않거나, 또는 흘러도 작은 상태)로 한 화소행 또는 화소행의 군)이다. 참조 부호 122는 표시 영역(트랜지스터(11e)와 트랜지스터(11d)의 양방을 온시키고, EL 소자(15)에 전류가 공급되고 있는 화소행 또는 화소행의 군)이다. 비표시 영역(123) 및

표시 영역(122)은 프레임 주기 또는 수평 동기 신호에 동기하여, 표시 화면(31)의 상하 방향에 주사된다.

- [0036] 도 13의 (a)의 표시에서는, 1개의 표시 영역(122)이 화면 위로부터 아래 방향으로 이동한다. 프레임 레이트가 낮으면, 표시 영역(122)이 이동하는 것이 시각적으로 인식된다. 특히, 눈꺼풀을 닫았을 때, 혹은 얼굴을 상하로 이동시켰을 때 등에 인식되기 쉬워진다.
- [0037] 이 과제에 대해서는, 도 12의 (b)(c)에 도시하는 바와 같이, 표시 영역(122)을 복수로 분할하면 된다. 분할된 표시 영역(122)은 동등하게(등분으로) 할 필요는 없다. 예를 들면, 표시 영역을 4개의 영역으로 분할하여, 분할된 표시 영역(122a)이 면적1이고, 분할된 표시 영역(122b)이 면적2이고, 분할된 표시 영역(122c)이 면적3이고, 분할된 표시 영역(122d)이 면적4이어도 된다.
- [0038] 수 프레임(필드)에서의 표시 영역(122)의 면적이 평균하여 목표의 크기로 되도록 제어해도 되는 것은 물론이다. 예를 들면, 표시 화면(31)에서 차지하는 표시 영역(122)의 면적을 1/10로 한다고 하였을 때, 1프레임(필드)째는 표시 영역(122)의 면적을 1/10로 하고, 2프레임(필드)째는 표시 영역(122)의 면적을 1/20로 하고, 3프레임(필드)째는 표시 영역(122)의 면적을 1/20로 하고, 4프레임(필드)째는 표시 영역(122)의 면적을 1/5로 하여, 이상의 4프레임(필드)에서 소정의 표시 면적(표시 휘도)의 1/10을 얻는 구동 방법이 예시된다.
- [0039] 또한, R, G, B의 각각이, 수 프레임(필드)에서 L의 기간의 평균이 동등하게 되도록 구동해도 된다. 그러나, 상기 수 프레임(필드)은 4프레임(필드) 이하로 하는 것이 바람직하다. 표시 화상에 따라서는 플리커가 발생하는 경우가 있기 때문이다.
- [0040] 또한, 본 실시예에서의 1프레임 혹은 1필드란, 화소(16)의 화상 재기입 주기 또는 표시 화면(31)이 위에서부터 아래까지(아래에서부터 위까지)주사되는 주기와 동의 혹은 유사한 의미라고 생각해도 된다.
- [0041] 또한, R, G, B에서, 수 프레임(필드)에서 L의 기간의 평균을 서로 다르게 하여, 적절한 화이트 밸런스가 취해지도록 구동해도 된다. 이 구동 방법은, RGB의 발광 효율이 서로 다를 때에 특히 유효하다. 또한, RGB에서 분할 수 K(표시 영역(122)을 복수로 분할하는 수)를 서로 다르게 해도 된다. 특히 G에서는 시각적으로 눈에 띄기 때문에, G에서는 분할수를 RB에 대하여 많게 하는 것이 유효하다.
- [0042] 또한, 이상의 실시예에서는 이해를 용이하게 하기 위하여 표시 영역(122)의 면적을 분할하는 것으로서 설명하고 있다. 그러나, 면적을 분할한다는 것은, 기간(시간)을 분할하는 것이다. 따라서, 도 1에서는 트랜지스터(11d)의 온 기간을 분할하게 되기 때문에, 면적을 분할하는 것은, 기간(시간)을 분할하는 것과 동의 혹은 유사하다.
- [0043] 이상과 같이, 표시 영역(122)을 복수로 분할함으로써 화면의 깜박거림은 감소한다. 따라서, 플리커의 발생은 없어, 양호한 화상 표시를 실현할 수 있다. 또한, 분할은 더욱 미세하게 해도 된다. 그러나, 분할할수록 동화상 표시 성능은 저하한다. 또한, 화상 표시의 프레임 레이트를 저감할 수 있어, 저소비 전력화를 실현할 수 있다. 예를 들면, 비점등 영역(123)을 일괄로 한 경우에는, 프레임 레이트 45Hz 이하로 되면 플리커가 발생한다. 그러나, 비점등 영역(123)을 6분할 이상으로 한 경우에는, 20Hz 이하까지 플리커가 발생하지 않는다.
- [0044] 도 13의 (a)는 도 13과 같이 표시 영역(122)이 연속하고 있는 경우의 밝기 조정 방식이다. 도 13의 (a1)의 표시 화면(31)의 표시 휘도가 가장 밝다. 도 13의 (a2)의 표시 화면(31)의 표시 휘도가 다음으로 밝고, 도 13의 (a3)의 표시 화면(31)의 표시 휘도가 가장 어둡다. 도 13의 (a1)부터 도 13의 (a3)으로의 변화(혹은 그 반대)는, 앞서도 기재한 바와 같이 게이트 드라이버 회로(12)의 시프트 레지스터 회로(61) 등의 제어에 의해 용이하게 실현할 수 있다. 이 때, 도 1의 Vdd 전압(애노드 전압 등)은 변화시킬 필요가 없다. 또한, 소스 드라이버 회로(14)가 출력하는 프로그램 전류 혹은 프로그램 전압의 크기도 변화시킬 필요가 없다. 즉, 전원 전압을 변화시키지 않고, 또한, 영상 신호를 변화시키지 않고 표시 화면(31)의 휘도 변화를 실시할 수 있다.
- [0045] 또한, 도 13의 (a1)로부터 도 13의 (a3)으로의 변화 시, 화면의 감마 특성은 전혀 변화하지 않는다. 따라서, 표시 화면(31)의 휘도에 상관없이, 표시 화상의 콘트라스트, 계조 특성이 유지된다. 이것은 본 실시예의 효과적인 특징이다.
- [0046] 종래의 화면의 휘도 조정에서는, 표시 화면(31)의 휘도가 낮을 때에는, 계조 성능이 저하한다. 즉, 고휘도 표시일 때에는 64계조 표시를 실현할 수 있어도, 저휘도 표시일 때에는, 절반 이하의 계조수밖에 표시할 수 없다. 이것과 비교하여, 본 실시예의 구동 방법에서는, 화면의 표시 휘도에 의존하지 않고, 최고의 64계조 표시를 실현할 수 있다.
- [0047] 도 13의 (b)는, 도 12에서 설명한 바와 같이 표시 영역(122)이 분산되어 있는 경우의 밝기 조정 방식이다. 도

13의 (b1)의 표시 화면(31)의 표시 휘도가 가장 밝다. 도 13의 (b2)의 표시 화면(31)의 표시 휘도가 다음으로 밝고, 도 13의 (b3)의 표시 화면(31)의 표시 휘도가 가장 어둡다. 도 13의 (b1)로부터 도 13의 (b3)으로의 변화(혹은 그 반대)는, 앞서도 기재한 바와 같이 게이트 드라이버 회로(12)의 시프트 레지스터 회로(61) 등의 제어에 의해, 용이하게 실현할 수 있다. 도 13의 (b)와 같이 표시 영역(122)을 분산시키면, 저프레임 레이트에서도 플리커가 발생하지 않는다.

[0048] 또한, 저프레임 레이트에서도, 플리커가 발생하지 않도록 하기 위해서는, 도 13의 (c)와 같이 표시 영역(122)을 미세하게 분산시키면 된다. 그러나, 동화상의 표시 성능은 저하한다. 따라서, 동화상을 표시하기 위해서는, 도 13의 (a)의 구동 방법이 적합하다. 정지 화상을 표시하고, 저소비 전력화를 요망할 때에는, 도 13의 (c)의 구동 방법이 적합하다. 도 13의 (a)로부터 도 13의 (c)의 구동 방법의 전환도, 시프트 레지스터(61)의 제어에 의해 용이하게 실현할 수 있다.

[0049] 도 13은 비표시 영역(123)이 등간격으로 구성되어 있지만, 이것에 한정되는 것은 아니다. 표시 화면(31)의 1/2의 면적이 연속하여 표시 영역(122)으로 되고, 남은 면적(50)이 도 13의 (c1)과 같이 등간격으로 표시 영역(122)과 비표시 영역(123)이 반복되도록 구동해도 되는 것은 물론이다.

[0050] 또한, 도 83에 도시한 회로 구성을 이용하여, EL 표시 장치에 입력되는 영상 신호를 가산 혹은 가중치 부여 처리를 행하는 것이 바람직하다. 도 83의 회로 구성을 이용함으로써, 표시 화면에 흐르는 전류를 구하거나 또는 예측하고, 상기 구한 전류 등에 의해 화상 화면에 검은 띠형상의 비점등 영역을 발생시키고, 이 검은 띠형상의 비점등 영역의 크기를 변화시킨다. 또는, 검은 띠형상의 비점등 영역의 폭을 일정하게 하고, 영상 신호의 진폭을 변화시킴으로써, 표시 화면에 흐르는 전류의 크기가 일정 이상으로 되지 않도록 제어한다. 또한, 이 제어에 의해, 전원 회로로부터 표시 화면에 흐르는 전류를 일정 이하로 되도록 할 수 있어, EL 표시 장치의 발열을 억제할 수 있다. 또한, 도 98, 도 99에 도시하여 설명을 행하고 있는 바와 같이, 전원 회로(전원 IC)가 출력하는 전압을 가변함으로써, EL 표시 장치의 발열을 억제할 수 있다. 또한, 본 발명의 화소 구성을 이용함으로써, 더욱 양호한 화상 표시를 실현할 수 있는 것은 물론이다.

[0051] 점등률 제어 구동(duty 구동), 피크 전류 억제 구동, 최대 표시 계조수 제어 구동(도 12, 도 13, 도 84, 도 98, 도 99, 도 130 등)에 의해, 고화질화, 전류 억제를 실현할 수 있다. 또한, 각 스위치 트랜지스터(1)의 동작에 대응시켜 각 게이트 신호선(17)의 온/오프 전압을 인가하는 제어 타이밍을 제어한다. 게이트 드라이버 회로(12)의 제어는 도 3과 같이, 소스 드라이버 IC(14)로부터의 신호를 레벨 시프트 회로(32)에서 레벨 시프트시켜 인가함으로써 실현한다.

[0052] 본 명세서에서, 점등률에 따라서 duty비 등을 변화시키는 것으로서 설명한다. 그러나, 점등률이란, 일정한 의미는 아니다. 예를 들면, 저점등률이란, 화면(31)에 흐르는 전류가 작은 것을 의미하고 있지만, 화상을 구성하는 저계조 표시의 화소가 많은 것도 의미한다. 즉, 화면(31)을 구성하는 영상은, 어두운 화소(저계조의 화소)가 많다.

[0053] 따라서, 저점등률이란, 화면을 구성하는 영상 데이터의 히스토그램 처리를 하였을 때, 저계조의 영상 데이터가 많은 상태라고 바꿔 말할 수 있다. 고점등률이란, 화면(31)에 흐르는 전류가 큰 것을 의미하고 있지만, 화상을 구성하는 고계조 표시의 화소가 많은 것도 의미한다. 즉, 화면(31)을 구성하는 영상은, 밝은 화소(고계조의 화소)가 많다. 고점등률이란, 화면을 구성하는 영상 데이터의 히스토그램 처리를 하였을 때, 고계조의 영상 데이터가 많은 상태라고 바꿔 말할 수 있다. 즉, 점등률에 대응하여 제어한다는 것은, 화소의 계조 분포 상태 혹은 히스토그램 분포에 대응하여 제어하는 것과 동의 혹은 유사한 상태를 의미하는 경우가 있다.

[0054] 이상의 점으로부터, 점등률에 기초하여 제어한다는 것은, 경우에 따라서 화상의 계조 분포 상태(저점등률=저계조 표시의 화소가 많음. 고점등률=고계조 표시의 화소가 많음)에 기초하여 제어한다고 바꿔 말할 수 있다.

[0055] 또한, 통상 표시 상태에서는, duty비 1/1로 구동하고, 소정의 고점등률 이상에서 단계적으로 혹은 스무스하게 duty비를 저하시킨다는 것은, 저계조 혹은 고계조의 화소수가 일정한 범위 이내일 때에, duty비 1/1로 구동하고, 고계조의 화소수가 일정한 범위 이상의 수로 되었을 때에, 단계적으로 혹은 스무스하게 duty비를 저하시키는 것과 동일 혹은 유사한 동작 혹은 제어이다.

[0056] duty비 제어는, 점등률이 1/10 이상 1/1의 범위에서 실시한다. duty비 1/1에서, 백 래스터 표시이면, 점등률 100%이다(최대의 백 래스터 표시 시). 흑 래스터이면, 점등률 0%이다(완전 흑 래스터 표시 시).

[0057] 점등률이란, 패널의 애노드 또는 캐소드에 흐르는 최대 전류에 대한 비율이기도 하다(단, duty비는 1/1로 함). 예를 들면, 캐소드에 흐르는 최대 전류를 100mA로 하면, duty비 1/1에서, 30mA의 전류가 흐르고 있으면 점등률

은 $30/100=30\%(0.3)$ 이다.

- [0058] 캐소드에 흐르는 최대 전류를 100mA로 하고, 이 때, 영상 데이터의 총합의 최대값으로 하면, 점등률 50%란, 캐소드(애노드)에 흐르는 전류는, 최대 전류의 50%이다. 또한, 점등률 20%란, 캐소드에 흐르는 전류는, 최대 전류의 20%이다. 앞으로는, 주로 점등률이란 용어를 이용한다. 점등률은, 패널의 애노드 또는 캐소드에 흐르는 최대 전류에 대한 비율이라고 하였지만, 패널의 전체 EL 소자에 흐르는 최대 전류의 비율이라고도 바꿔 말할 수 있는 것은 물론이다.
- [0059] 본 명세서에서는, 점등률이라고 별다른 언급없이 기재할 때에는, duty비 1/1로 하고 있다. 만일 duty비 1/3에서, 20mA의 전류가 흐르고 있으면, 점등률은 $(20\text{mA} \cdot 3)/100\text{mA}=60\%(0.6)$ 이다. 즉, 점등률이 100%에서도, duty비가 1/2이면, 애노드(캐소드) 단자에 흐르는 전류는 최대의 전류값의 1/2이다. 점등률 50%, 애노드 전류가 20mA, duty비 1/1이면, duty비 1/2로 되면, 애노드 전류는 10mA로 된다. 애노드 전류가 100mA, 점등률 40%, duty비 1/1이면, 애노드 전류가 200mA로 변화하였다고 하면, 점등률은 80%로 변화한 것을 의미한다.
- [0060] 이상과 같이, 점등률은, 1화면을 구성하는 영상 데이터의 크기에 대한 비율, EL 표시 패널의 소비 전류(전력) 혹은 그 비율을 나타내고 있다.
- [0061] 일례로서 점등률(점등률)은, 영상 데이터의 합으로부터 구한다(도 83). 즉, 영상 데이터로부터 산출한다. 입력 영상 신호가 Y, U, V인 경우에는, Y(휘도) 신호로부터 구해도 된다. 그러나, EL 표시 패널의 경우에는, R, G, B에서 발광 효율이 상이하기 때문에, Y신호로부터 구한 값이 소비 전력으로 되지 않는다. 따라서, Y, U, V 신호의 경우도, 한번 R, G, B신호로 변환하고, R, G, B에 따라서 전류로 환산하는 계수를 곱하여, 소비 전류(소비 전력)를 구하는 것이 바람직하다. 그러나, 간이적으로 Y신호로부터 소비 전류를 구하는 것은 회로 처리가 용이하게 되는 것도 고려해도 된다(도 82, 도 83 등을 참조). 또한, 점등률은, 캐소드(애노드)에 흐르는 전류를 측정하고, 측정한 전류로부터 구해도 된다.
- [0062] 점등률은, 패널에 흐르는 전류에 의해 환산한다. 왜냐하면, EL 표시 패널에서는 청(B)의 발광 효율이 나쁘기 때문에, B가 많은, 해(海)의 표시 등이 표시되면, 소비 전력이 한번에 증가하기 때문이다. 또한, 데이터 합이란 단순한 영상 데이터의 가산값이 아니라, 영상 데이터를 소비 전류로 환산한 것으로 하고 있다. 따라서, 점등률도 최대 전류에 대한 각 화상의 사용 전류로부터 구해진 것이다. 또한, 데이터 합은 가산하여 구하는 것만을 의미하는 것은 아니다. 입력되는 영상 데이터를 RGB로 가중치 부여하고, 가산하는 방식이 예시된다. 또한, 화상의 특징을 나타내는 데이터를 추출하고, 추출한 데이터를 처리하여 구해도 된다. 또한, 입력된 영상 데이터를 히스토그램 처리를 행하고, 히스토그램 처리의 특정 범위(예를 들면, 평균값을 중심으로 하여 1σ 의 범위)의 데이터를 추출하여 데이터 합을 구해도 된다. 즉, 데이터 합은 처리를 행한 데이터의 집합 혹은 처리를 행한 결과이다.
- [0063] 또한, 입력되는 영상 데이터는, EL 표시 장치에 입력되는 영상 데이터를 의미하지만, EL 표시 장치의 화소에 입력되는 영상 데이터를 의미하는 경우도 있다. 즉, 소스 드라이버 IC(14)로부터 출력된 영상 데이터이다.
- [0064] 점등률에 맞추어 EL 표시 장치에서 표시하는 계조수를 변화시키는 것이 바람직하다. 예를 들면, 점등률이 50% 이상에서는, 풀 계조의 1/2의 범위(1024계조의 경우에는, 512계조)에서 화상을 표시하고, 50% 이하에서는, 풀 계조의 범위에서 화상을 표시한다. 이 실시예는, 도 98, 도 99, 도 130 등을 이용하여 설명을 행하고 있다.
- [0065] 또한, 점등률이란, duty 구동 등 피크 전류를 억제하지 않는 노멀의 구동 방식에서, 최대 계조에서의 백 래스터 표시를 100%로 한 비율이다. 따라서, 흑 래스터 표시에서는 점등률은 0%이다.
- [0066] 도 83은 본 실시예의 구동 회로의 블록도이다. 이하, 본 실시예의 구동 회로에 대하여 설명을 한다. 도 83에서는, 외부로부터 Y/UV 영상 신호와, 콤포지트(COMP) 영상 신호를 입력할 수 있게 구성되어 있다. 어느 쪽에 영상 신호를 입력할지는, 스위치 회로(831)에 의해 선택된다.
- [0067] 스위치 회로(831)에서 선택된 영상 신호는, 디코더 및 A/D 회로에 의해 디코드 및 AD 변환되고, 디지털의 RGB 화상 데이터로 변환된다. RGB 화상 데이터는 각 8비트이다. 또한, RGB 화상 데이터는 감마 회로(834)에서 감마 처리된다. 동시에 휘도(Y) 신호가 구해진다. 감마 처리에 의해, RGB 화상 데이터는 각 10비트의 화상 데이터로 변환된다.
- [0068] 감마 처리 후, 화상 데이터는 FRC 처리 또는 오차 확산 처리가 처리 회로(835)에서 행하여진다. FRC 처리 또는 오차 확산 처리에 의해 RGB 화상 데이터는 6비트로 변환된다. 이 화상 데이터는 AI 처리 회로(836)에서 AI 처리(최적화 화상 표시 처리) 데이터, duty 구동을 위한 점등률 연산, 최대 표시 계조수 연산 등이 실시된다. 또

한, 동화상 검출 회로(837)에서 동화상 검출이 행하여진다. 동화상 검출 처리의 결과에 기초하여, 도 13 등에서 설명한, 표시 영역(122), 비표시 영역(123)의 분할 구동이 실시된다. 또한, 컬러 매니지먼트 회로(838)에서 컬러 매니지먼트 처리가 행하여진다.

- [0069] AI 처리 회로(836), 동화상 검출 회로(837), 컬러 매니지먼트 회로(838)의 처리 결과는 연산 회로(839)에 보내지고, 연산 처리 회로(839)에서 duty비 제어, 기준 전류 제어 데이터로 변환되고, 변환된 결과가, 소스 드라이버 회로(14) 및 게이트 드라이버 회로(12)에 제어 데이터로서 송출된다.
- [0070] duty비 제어 데이터는 게이트 드라이버 회로(12b)에 보내지고, duty비 제어가 실시된다. 사용 계조 제어 데이터는 소스 드라이버 IC(14)에 보내지고, 사용 계조수 제어가 실시된다. 한편, 기준 전류 제어 데이터는 소스 드라이버 회로(14)에 보내지고, 기준 전류 제어가 실시된다. 감마 보정되고, 프레임 레이트 컨트롤(FRC) 또는 오차 확산 처리된 화상 데이터도 소스 드라이버 회로(14)에 보내진다.
- [0071] EL 표시 패널은, 흑 표시는, EL 소자(15)에 흐르는 전류가 0인 상태이다. 따라서, 본 실시예의 duty비 구동과 같이 화면(31)에 비표시 영역(123)을 발생시켜도, 흑 표시의 휘도는 0이다. 비표시 영역(123)의 면적을 크게 하면 백 표시 휘도는 저하한다. 그러나, 흑 표시의 휘도가 0이기 때문에, 콘트라스트는 무한대이다. 따라서, duty비 구동은, EL 표시 패널에 최적인 구동 방법이다. 이상은, 기준 전류 제어에서도 마찬가지이다. 기준 전류의 크기를 변화시켜도, 흑 표시의 휘도는 0이다. 기준 전류를 크게 하면 백 표시 휘도는 증가한다. 따라서, 기준 전류 제어에서도 양호한 화상 표시를 실현할 수 있다.
- [0072] duty비 제어는, 전체 계조 범위에서 계조수가 유지된다. 또한, 전체 계조 범위에서 화이트 밸런스가 유지된다. 또한, duty비 제어에 의해 화면(31)의 휘도 변화는 10배 가까이 변화시킬 수 있다.
- [0073] 표시 화면의 휘도는 duty비 혹은 duty비의 역수와 선형의 관계로 되기 때문에, 표시 화면의 밝기 제어도 용이하다.
- [0074] 기준 전류 제어는, 화면(31)의 휘도를 높게 할 때에, 기준 전류량을 크게 하는 것이다. 따라서, 화면(31)의 휘도가 높을 때에만, EL 소자(15)에 흐르는 전류가 커진다. 그 때문에, EL 소자(15)가 열화하기 어렵다.
- [0075] 본 실시예에서는, 기준 전류 제어와 duty비 제어의 양방을 이용한다. 화면(31)이 백 래스터 표시에 가까울 때에는, 기준 전류는 일정값으로 고정하고, duty비만을 제어하여 표시 휘도 등을 변화시킨다. 화면(31)이 흑 래스터 표시에 가까울 때에는, duty비는 일정값으로 고정하고, 기준 전류만을 제어시켜 표시 휘도 등을 변화시킨다.
- [0076] 또한, duty비의 최대는 duty비 1/1로 하고, 최소는 duty비 1/16 이내로 하는 것이 바람직하다. 더욱 바람직하게는, duty비 1/10 이내로 하면 된다. 플리커의 발생을 억제할 수 있기 때문이다. 기준 전류의 변화 범위는, 4배 이내로 하는 것이 바람직하다. 더욱 바람직하게는 2.5배 이내로 한다.
- [0077] 또한, 데이터 합은 소비 전류에 의해 산정할지, 휘도에 의해 산정할지는 어느 쪽이라도 된다. 여기서는 설명을 용이하게 하기 위하여, 휘도(화상 데이터)의 가산인 것으로서 설명을 한다. 일반적으로 휘도(화상 데이터)의 가산의 방식이 처리는 용이하고, 컨트롤러 IC의 하드 규모도 작게 할 수 있다. 또한, duty비 제어에 의한 플리커의 발생도 없어, 다이내믹 레인지를 넓게 취할 수 있기 때문에 바람직하다.
- [0078] 이상의 사항은, 도 78, 도 79, 도 84, 도 98, 도 99, 도 101, 도 111, 도 112, 도 130 등의 실시예에도 적용할 수 있는 것은 물론이다. 또한, 상기 실시예와 조합하여 실시할 수 있는 것도 물론이다.
- [0079] 도 1에서, 화소(16)는, 2개의 컨덴서(19a, 19b)와 5개의 스위치 트랜지스터(11b, 11c, 11d, 11e, 11f)와 1개의 구동 트랜지스터(11a)로 구성된다. 트랜지스터(11b)는, 트랜지스터(11a)를 다이오드 접속(Diode-connected)시켜, 임계값(역치값) 전압을 보상하기 위한 임계값 전압 보상용의 스위치 트랜지스터이다. 트랜지스터(11f)는, 유지용 컨덴서(19a)를 초기화시키기 위하여, 리세트 전압 Vrst를 인가하기 위한 초기화용의 스위치 트랜지스터이다. 트랜지스터(11d)는, EL 소자(15)의 발광을 제어하기 위한 트랜지스터이다.
- [0080] 스위치 트랜지스터(11b, 11f)는 오프 리크로 작게 할 필요가 있기 때문에, 듀얼 게이트 이상의 복수 게이트 구성(멀티 게이트 구조)으로 한다. 단, 스위치 트랜지스터(11b, 11f)의 오프 특성이 충분한 경우에는, 싱글 게이트 구성이어도 된다. 또한, 스위치 트랜지스터(11c)도 멀티 게이트 구조를 채용하는 것이 바람직하다.
- [0081] 컨덴서(19a)는, 구동 트랜지스터(11a)의 게이트 단자의 전위를 유지하는 유지용의 컨덴서(이후, 유지용 컨덴서(19a)라고 부름)이다. 기본적으로는, 구동 트랜지스터(11a)의 특성 변동을 오프셋 캔슬한 전압이 유지된다.

- [0082] 스위치 트랜지스터(11c)의 게이트 단자는, 게이트 신호선(17a)에 접속된다. 스위치 트랜지스터(11c)의 소스 단자는, 소스 신호선(18)에 접속된다. 스위치 트랜지스터(11c)는, 게이트 드라이버 회로(12a)로부터의 선택 신호에 의해 온/오프 제어된다.
- [0083] 구동 트랜지스터(11a)의 소스 단자는, 스위치 트랜지스터(11c)의 드레인 단자와 접속된다. 임계값 전압 보상용의 스위치 트랜지스터(11b)의 소스 단자 또는 드레인 단자와, 유지용 커패시터(19a)의 제1 단자가 접속된다. 구동 트랜지스터 임계값 전압 보상용의 스위치 트랜지스터(11b)가 온(클로즈)함으로써, 구동 트랜지스터(11a)의 게이트 단자에는, 오프셋 캔슬 전압이 유지된다.
- [0084] 임계값 전압 보상용의 스위치 트랜지스터(11b)는, 상기 구동 트랜지스터(11a)의 게이트 단자와 드레인 단자 사이에 접속되고, 게이트 신호선(17c)에 인가되는 스캔 신호에 응답하여 구동 트랜지스터(11a)의 게이트 단자와 드레인 단자 사이를 단락하고, 구동 트랜지스터(11a)를 다이오드 접속 상태로 한다. 따라서, 상기 스캔 신호에 의해 구동 트랜지스터(11a)는, 다이오드와 같은 상태로 되고, 구동 트랜지스터(11a)의 게이트 단자에 전압 $V_{sig}-V_{th}[V]$ 가 인가되며, 이 전압이, 상기 구동 트랜지스터(11a)의 게이트 전압으로 된다.
- [0085] 또한, 전압 V_{sig} 는, 소스 드라이버 IC(14)가 소스 신호선(18)에 출력한 영상 신호이다. 또한, V_{th} 는, 구동 트랜지스터(11a)의 임계값 전압이다. 또한, V_{th} 는 구동 트랜지스터(11a)의 오프셋 캔슬 전압이다. V_{th} 는, 구동 트랜지스터(11a)의 특성에 의해, 개개에 변동이 있다.
- [0086] 초기화용의 스위치 트랜지스터(11f)는, 리셋 전압 라인 V_{rst} 와 유지용 커패시터(19a)의 제1 단자 사이에 접속되고, 게이트 신호선(17d)의 스캔 신호에 응답하여, 리셋 전압 V_{rst} 가, 구동 트랜지스터(11a)의 게이트 단자 및 유지용 커패시터(11a)에 인가된다. 따라서, 유지용 커패시터(19a)에 충전된 전하는 방전된다. 또한, 구동 트랜지스터(11a)의 게이트 단자에 소정 전압(초기화 전압 V_{rst})이 인가된다.
- [0087] 또한, 도 1 등의 본 실시예의 화소 구성에서는, 구동 트랜지스터(11a)의 게이트 단자에 직류적으로 V_{rst} 전압, V_{sig} 전압을 인가하도록 설명하고 있다. 그러나, 본 실시예는 이것에 한정되는 것이 아니라, 교류적으로 V_{rst} 전압, V_{sig} 전압을 인가해도 된다. 구체적으로는, 구동 트랜지스터(11a)의 게이트 단자에 커패시터를 배치하고, 직류 성분을 차단하여, V_{rst} 전압, V_{sig} 전압을, 구동 트랜지스터(11a)의 게이트 단자에 인가하는 구성을 채용해도 된다.
- [0088] 또한, 도 1 등의 본 발명의 실시예에서, 오프셋 캔슬 커패시터(11b)의 한 쪽의 단자를 애노드 전압 V_{dd} 에 접속하는 것으로 하였지만, 이것에 한정되는 것이 아니라, 소정의 일정 전압으로 유지되도록 구성하면 되는 것은 물론이다. 일정 전압이란, V_{GH} 전압, V_{GL} 전압 등이 예시된다. 따라서, 스위치 트랜지스터(11e)의 한 쪽의 단자를 V_{dd} 전압에 접속(도 1의 접속과 동일)하고, 오프셋 캔슬 커패시터(11b)의 한 쪽의 단자를 V_{GH} 전압 등에 접속해도 된다(V_{dd} 전압으로부터 V_{GH} 전압으로 변경).
- [0089] 스위치 트랜지스터(11e)는, 애노드 전압 V_{dd} 배선 또는 V_{dd} 전극과 구동 트랜지스터(11a)의 소스 단자 사이에 접속된다. 스위치 트랜지스터는, 스위치 트랜지스터의 게이트 단자에 접속된 게이트 신호선(17b)에 인가된 온 오프 전압에 의해 제어된다. 스위치 트랜지스터(11e)는, EL 소자(15)를 발광시킬 때에는, 온으로 되고, 애노드 전압 V_{dd} 를 상기 구동 트랜지스터(11a)의 소스 단자에 인가한다.
- [0090] 스위치 트랜지스터(11d)는, 구동 트랜지스터(11a)의 드레인 단자와 EL 소자(15)의 애노드 단자 사이에 접속(배치)되고, 스위치 트랜지스터(11d)의 게이트 단자에 접속된 게이트 신호선(17b)에 인가된 온 오프 신호(발광 제어 신호)에 의해 제어된다. 스위치 트랜지스터(11d)는, 발광 제어 신호에 응답하여 상기 구동 트랜지스터(11a)에서 생성되는 상기 구동 전류를 상기 EL 소자(15)에 전달한다. 즉, 스위치 트랜지스터(11d)는, EL 소자(15)에 흐르는 전류 경로의 전류를 온 오프 제어한다.
- [0091] 유지용 커패시터(19a)는, 애노드 전압 V_{dd} 배선(전극)과 구동 트랜지스터(11a)의 게이트 단자 사이에 접속되고, 애노드 전압 V_{dd} 와 상기 구동 트랜지스터(11a)의 게이트 단자에 인가되는 전압 $V_{sig}-V_{th}[V]$ 에 해당하는 전하를 1프레임의 동안에는 유지한다.
- [0092] 또한, 게이트 신호선(17)에 인가되는 전압은, 오프 전압(V_{GH})과 온 전압(V_{GL})이고, V_{GH} 전압의 인가에 의해, 스위치 트랜지스터(11)(11b, 11c, 11d, 11e, 11f)가 오프하고, V_{GL} 전압의 인가에 의해, 스위치 트랜지스터(11)(11b, 11c, 11d, 11e, 11f)가 온한다. 단, 스위치 트랜지스터가, P채널 트랜지스터인 경우이다.
- [0093] 도 3에 도시하는 바와 같이, V_{GL} 전압은, 게이트 드라이버 회로(12a)에서는, V_{GL1} 로 하고, 게이트 드라이버 회로(12b)에서는, V_{GL2} 로 하고 있다. 즉, 게이트 드라이버 회로(12a와 12b)에서는, 온 전압을 서로 다르게 하고

있다.

- [0094] 따라서, 게이트 신호선(17a), 게이트 신호선(17c)에 인가되는 온 전압은 VGL1이고, 게이트 신호선(17b), 게이트 신호선(17d)에 인가되는 온 전압은 VGL2이다. 또한, $|VGL1| > |VGL2|$ 인 관계로 되도록 설정되어 있다. 또한, 게이트 신호선(17a)에 인가되는 VGH와 게이트 신호선(17d)에 인가되는 VGH는 일치시켜도 된다. 즉, 게이트 드라이버 회로(12a)의 오프 전압 VGH1과 게이트 드라이버 회로(12b)의 VGH2는 동일하게 해도 된다.
- [0095] 또한, 본 발명의 실시예에서, 구동 트랜지스터(11a)는 P채널 트랜지스터이지만 이것에 한정되는 것이 아니라, N채널 트랜지스터이어도 된다. 이 경우에는, 온 전압이 VGH로 되고, 오프 전압이 VGL로 된다.
- [0096] 또한, 구동 트랜지스터(11a)의 소스 단자는 애노드 전압 Vdd와 접속되어 있는 것으로서 설명하지만, 이것에 한정되는 것은 아니다. 예를 들면, 캐소드 전압 Vss 혹은 그라운드 전압 GND에 접속되어 있어도 된다. 또한, 컨덴서(18)는, 트랜지스터(11)의 게이트 절연막 용량에 의한 컨덴서로 대응해도 된다.
- [0097] 게이트 드라이버 회로(12a)에는, 게이트 신호선(17a)을 선택하는 스타트 펄스 ST1, 게이트 신호선(17c)을 선택하는 스타트 펄스 ST2, 스타트 펄스를 순차 시프트하는 클럭 신호(CLK)가 인가된다. UD는, 게이트 드라이버 회로(12a) 내의 스타트 펄스의 상하 시프트 레지스터 방향을 절환하는 신호이다.
- [0098] 게이트 드라이버 회로(12b)에는, 게이트 신호선(17b)을 선택하는 스타트 펄스 ST3, 게이트 신호선(17d)을 선택하는 스타트 펄스 ST4, 스타트 펄스를 순차 시프트하는 클럭 신호(CLK)가 인가된다.
- [0099] 또한, 필요에 따라서, 게이트 드라이버 회로(12)에는, 인에이블 제어 단자를 추가하는 것이 바람직하다. 게이트 드라이버 회로(12) 내에는, 시프트 레지스터 회로가 형성되어 있고, 스타트 펄스를 클럭 신호(CLK)에 동기하여 순차 시프트시켜, 선택하는 게이트 신호선(17)의 위치를 변화시킨다.
- [0100] 도 2는, 게이트 신호선(17a, 17b, 17c, 17d)에 인가되는 구동 전압, 소스 신호선(18)의 영상 신호 전압, EL 소자(15)의 발광 상태를 나타낸다.
- [0101] 또한, 도 2는, 각 동작에서의 스위치 트랜지스터의 동작 상태(온/오프 상태), 전류 혹은 전압의 인가 상태를 나타낸다.
- [0102] 또한, 도 2에서는, 설명을 용이하게 하기 위하여, 오프 전압을 VGH로 하고, 온 전압을 VGL로 한다. 또한, 소스 신호선(18)에 인가되는 전압 Vsig의 범위는, 그라운드 전압(GND)=0V로 하고, 애노드 전압 Vdd 이하로 하고 있다. 구체적으로는, 영상 신호 전압 Vsig는, 0.2V~5.0V의 범위이다.
- [0103] 또한, 1H란 1수평 주사 기간이다. 또한, 도 2는 모식적인 것이며, 1H를 수 H로 치환해도 되고, 1H는 1H보다 짧은 기간으로 치환해도 된다.
- [0104] 도 111은 도 1의 화소의 동작을 설명하기 위한 설명도이다. 도 111에서, 설명을 용이하게 하기 위하여 각 스위치 트랜지스터는 스위치로서 도시하고 있다.
- [0105] VGH 전압은, 애노드 전압 Vdd보다도 0.5V 이상 3.0V 이하의 높은 전압으로 설정된다. 예를 들면, 애노드 전압 Vdd가 5V이면, VGH 전압은, 5.5V 이상 8V 이하의 전압값으로 설정된다.
- [0106] 화소(16)에는, 1t 내지 at의 기간에, 게이트 신호선(17d)에 온 전압이 인가된다. 도 111의 (a)가 대응한다. 온 전압(VGL)의 인가에 의해, 트랜지스터(11f)가 온하고, 리세트 전압 Vrst가 구동 트랜지스터(11a)의 게이트 단자에 리세트 전압 Vrst가 인가된다(a점).
- [0107] 리세트 전압 Vrst의 인가에 의해, 구동 트랜지스터(11a)는, 리세트 상태로 된다. 리세트 상태란, 구동 트랜지스터(11a)를 초기화된 상태, 구동 트랜지스터(11a)의 게이트 단자에 소정 전압(초기화 전압)이 인가된 상태, 구동 트랜지스터(11a)가 소정 상태로 된 상태 등이다.
- [0108] 또한, 리세트 전압 Vrst는, GND 전압 이하 -5(V) 이상의 전압으로 설정해야 한다. 예를 들면, 리세트 전압 Vrst는, -2.5V로 설정한다. 리세트 전압 Vrst는, VGL1 전압 이상이고, GND 전압 이하의 값으로 설정하는 것이 바람직하다. 더욱 바람직하게는, 영상 신호 전압 Vsig의 최저 전압 -1.0V 이하, 스위치 트랜지스터(11c)의 온 전압(VGL) +1.0 이상의 값으로 설정하는 것이 바람직하다.
- [0109] 또한, 리세트 전압 Vrst는, 영상 신호 전압 Vsig에 대응하여 변화시켜도 된다. 예를 들면, 영상 신호의 계조 번호에 대응시켜 리세트 전압 Vrst를 변화시킨다. 또한, 리세트 전압 Vrst는, 적(R), 녹(G), 청(B)의 영상 신호 전압에 의해 변화시켜도 된다. RGB에서 영상 신호의 진폭이 서로 다르기 때문이다. 이 경우에는, 계조 번

호에 대응하지 않고, 각 RGB에서 고정된 리세트 전압 V_{rst} 를 설정해도 된다. 또한, 리세트 전압 V_{rst} 는, 표시 화면에서 소비되는 전류에 대응시켜 변화시켜도 된다. 표시하는 화상의 휘도에 대응시켜, 리세트 전압 V_{rst} 를 변화시켜도 된다.

- [0110] 게이트 신호선(17c)은, 리세트 전압 V_{rst} 의 인가 후(at), 온 전압이 인가된다. 온 전압(VGL)을 인가하는 기간은, 1H 이상으로 하고 있지만, 이것에 한정되는 것이 아니라, 1H 이하의 기간이어도 된다. 적어도 게이트 신호선(17c)에 온 전압(VGL)을 인가하는 기간은, 게이트 신호선(17a)에 온 전압(VGL)을 인가하는 기간보다도 길게 한다. 또는, 오버랩시킨다. 또한, 리세트 전압 V_{rst} 의 인가 시간은, $2\mu\text{sec}$ 이상의 시간을 확보하는 것이 바람직하다.
- [0111] 게이트 신호선(17a)에 온 전압(VGL)을 인가함으로써, 스위치 트랜지스터(11c)가 온하고, 소스 신호선(18)에 인가한 V_{sig} 가 오프셋 캔슬용 커패시터(19a)에 인가된다. a점에 인가된 영상 신호 V_{sig} 는, 스위치 트랜지스터(11b)가 온하고 있는 기간 유지된다.
- [0112] 또한, 도 2에 도시하는 게이트 신호선(17a)의 사선부는, 온 전압(VGL)을 인가해도 오프 전압(VGH)을 인가해도 된다.
- [0113] 스위치 트랜지스터(11c)가 온함으로써, 영상 신호 전압 V_{sig} 가 오프셋 캔슬 커패시터(11b)에 인가되고, 오프셋 캔슬 커패시터(11b)에 영상 신호 전압 V_{sig} 가 충전된다.
- [0114] 게이트 신호선(17a)에 온 전압(VGL)이 인가됨으로써, 영상 신호 전압 V_{sig} 를 화소에 인가하는 스위치 트랜지스터(11c)가 온한다(도 2의 $1t\sim 2t$ 혹은 $at\sim 2t$). 이 상태를 도 111의 (b)에 도시한다. 도 111의 (b)에서는, 스위치 트랜지스터(11d, 11e, 11f)는 오프 상태(오픈 상태)이다. 또한, 스위치 트랜지스터(11c, 11b)는 온 상태(클로즈 상태)이다.
- [0115] 스위치 트랜지스터(11b)가 온함으로써, 소스 신호선(18)으로부터, 구동 트랜지스터(11a) 및 트랜지스터(11b)의 채널 사이에 전류 경로가 발생하고, 오프셋 캔슬 전류 I_{c1} 이 흐른다.
- [0116] 전류 I_{c1} 은 처음에, 비교적 큰 전류가 흐르고, 오프셋 캔슬 동작이 종국에 근접함에 따라서 작아진다. 기본적으로는, 오프셋 캔슬이 완료하면 $I_{c1}=0$ 으로 된다. 오프셋 캔슬의 동작에 의해, 캔슬 전압이 커패시터(11a)에 유지된다.
- [0117] 영상 신호 전압 V_{sig} 의 인가에 의해, 구동 트랜지스터(11a)는, 영상 신호 전압 V_{sig} 가 인가된 상태에서, 구동 트랜지스터(11a)의 채널에 전류가 흐르지 않도록, 게이트 단자인 b점의 전위를 변화시킨다(오프셋 캔슬 동작). 변화 후의 전압이, 유지용 커패시터(19a)에 유지된다. 이 동작에 의해, 구동 트랜지스터(11a)는, 오프셋 캔슬 상태에 가까운 상태까지 오프셋 캔슬된다. 오프셋 캔슬용 커패시터(19b)에는, 영상 신호 전압 V_{sig} 가 충전된다.
- [0118] 도 2의 $1t\sim 2t$ 기간에서 완전한 오프셋 캔슬을 실시할 수 있는 것이 이상적이다. 그러나, 고정밀의 표시 패널에서는, 1화소행을 선택하는 시간이 짧아, 충분한 오프셋 캔슬 동작을 실현할 수 없다. 오프셋 캔슬이 충분하지 않으면, 구동 트랜지스터(11a)의 특성 변동이 남아, 계조 표시에 의해 화면(31)에 휘도 불균일이 발생한다.
- [0119] 본 실시예는 이 과제를 해결하는 것을 하나의 목적으로 하고 있다.
- [0120] 도 2의 $2t\sim 3t$ 는, 오프셋 캔슬 동작의 계속 기간이다. 도 2에서는, $2t\sim 3t$ 의 기간이 대응한다. 또한, 도 111의 (c)가 대응한다.
- [0121] 도 111의 (c)에서는, 스위치 트랜지스터(11e, 11d, 11f, 11c)가 오프 상태(오픈 상태)이고, 스위치 트랜지스터(11b)가 온 상태(클로즈 상태)이다. 이 경우에는, 오프셋 캔슬 전류 I_{c2} 가 흐른다. 오프셋 캔슬 전류 I_{c2} 는, 오프셋 캔슬의 종국 상태에서의 전류이기 때문에 매우 작다. 따라서, 오프셋 캔슬 커패시터(19b)의 용량은 작아도 된다.
- [0122] 또한, 도 2의 실시예에서는, 오프셋 캔슬 동작을 계속하는 기간을 $2t\sim 3t$ 기간으로 하고 있지만, 본 실시예는 이것에 한정되는 것은 아니다. 오프셋 캔슬을 계속하는 기간은, 각각의 패널에 대응시켜 가변 혹은 설정한다. 본 실시예는, 오프셋 캔슬 기간을 적어도 1H(1화소행 선택 기간) 이상의 기간을 행하는 것이다. 오프셋 캔슬 기간은, $20\mu\text{초}$ 이상 설정하는 것이 바람직하다.
- [0123] 도 2에서, $1t\sim 2t$ 의 기간에 영상 신호 전압 V_{sig} 가 화소(16)에 유지된다. 그 이후의 기간은, 스위치 트랜지스터(11c)가 오프 상태이기 때문에, 소스 신호선(18)에 인가된 영상 신호 전압 V_{sig} 가 변화해도, 상기 화소(16)에 영상 신호 전압 V_{sig} 가 기입되는 일은 없다.

- [0124] 이상의 오프셋 캔슬의 동작 후, 게이트 신호선(17b)에 온 전압이 인가되고, 스위치 트랜지스터(11e)가 온하고, 애노드 전압 Vdd가 구동 트랜지스터(11a)의 소스 단자에 공급된다(도 111의 (d)의 상태). 또한, 스위치 트랜지스터(11d)가 온하고, 구동 트랜지스터(11a)로부터 EL 소자(15)의 구동용 전류가 EL 소자(15)에 공급된다. EL 소자(15)는, 인가된 전류에 의해 발광한다.
- [0125] 도 2에서는, 기간 3t~4t의 기간에 게이트 신호선(17b)에 온 전압(VGL)을 인가하여, 스위치 트랜지스터(11b)를 온시켜 EL 소자(15)에 발광 전류를 공급한다. 또한, 기간 4t~5t에서는, 게이트 신호선(17b)에 오프 전압(VGH)을 인가하고, 스위치 트랜지스터(11d)를 오프하고, EL 소자(15)를 비발광 상태로 한다. 이와 같이 게이트 신호선(17b)에 온/오프 전압을 인가하고, 흐르는 전류를 제어함으로써, 도 78, 도 79, 도 84의 구동 방법을 실현한다.
- [0126] 이상과 같이 게이트 신호선(17b)에는, 온 전압 또는 오프 전압이 인가되고, 온/오프 전압에 동기하여 EL 소자(15)에 전류가 공급된다. 이 온/오프 전압의 인가 상태에 동기하여 EL 소자는 발광 또는 소등한다.
- [0127] EL 소자(15)가 발광 또는 소등하고 있는 동작 시(전압 프로그램 시 이외의 기간, 3t~의 기간)에서는, 트랜지스터(11b)는 오픈 상태이다. 이 때, 트랜지스터(11a)의 소스 단자는, EL 소자(15)가 발광하고 있을 때에는, 애노드 전압 Vdd(트랜지스터(11e)의 채널 전압 강하는 무시함)가 인가되고 있다. EL 소자(15)가 소등 시에는, 트랜지스터(11e) 및 트랜지스터(11d)를 오픈 상태로 한다. 이 EL 소자(15)가 소등 시에는, 구동 트랜지스터(11a)의 소스 단자는, 오프셋 캔슬용 컨덴서(19a)에 의해 애노드 전위 Vdd에 유지되어 있다. 따라서, 트랜지스터(11a)의 전위 안정도가 좋다. 물론, EL 소자(15)의 점등 및 소등은, 트랜지스터(11d)를 duty 제어(트랜지스터(11d)등을 온/오프시켜, 표시 화면(31)에 띠형상의 비표시 영역을 발생하고, 비표시 영역을 표시 화면(31)의 상하 방향으로, 프레임 주기 혹은 필드 주기에 동기하여 화상 표시시킴)해도 된다.
- [0128] 도 89는, 도 111의 (b)(c)의 상태를 더욱 상세하게 기재한 것이다. 도 111의 (b)는, 도 89의 (a)가 대응하고, 도 111의 (c)는, 도 89의 (b)가 대응한다.
- [0129] 도 89의 (a)에서는 출력 앰프(891)로부터 출력된 영상 신호 전압 Vsig가 스위치 트랜지스터(11c)를 통하여 오프셋 캔슬 컨덴서(19b)의 한 쪽의 단자에 인가되며, 동시에, 구동 트랜지스터(11a)의 채널에 오프셋 캔슬 전류 Ic1이 흐른다.
- [0130] 화소(16)의 선택 기간의 경과 후, 도 89의 (b)의 상태로 되고, 스위치 트랜지스터(11c)가 오픈 상태로 된다. 도 89의 (b)의 상태에서는, 오프셋 캔슬 컨덴서(19b)에 유지된 영상 신호 전압 Vsig가 전류의 공급원으로 되고, 계속해서 오프셋 캔슬 전류 Ic2가 흐른다. 도 89의 (b)에서 오프셋 캔슬 전류 Ic2가 거의 0으로 되어, 오프셋 캔슬 동작이 완료한다. 따라서, 이상적인 오프셋 캔슬 동작을 실현할 수 있다.
- [0131] 출력 앰프(891)의 구동 능력(전류 출력 능력)은, 복수의 단계에서 변경할 수 있게 구성한다. 출력 앰프(891)는 소스 드라이버 IC(14)의 출력단에 형성된다. 출력 앰프(891)의 구동 능력은, 커맨드로 변경할 수 있게 구성된다.
- [0132] 도 88은, 구동 트랜지스터(11a)의 채널에 흐르는 전류(채널 전류 Ic라고 부름)를 도시한 것이다. 도 88에서는, 이상적으로 오프셋 캔슬된 상태에서의 구동 트랜지스터(11a)의 게이트 단자 전압을 Vc로 하고 있다. 불충분한 오프셋 캔슬 전압은 Vb로 하고, 오프셋 캔슬 동작의 개시 전압은, 리세트 전압 Vrst로 하고 있다. 도 88에 도시하는 바와 같이, at~2t의 기간에서, 처음에는 큰 캔슬 전류 Ic1(개시 전류는 Ia로 하고 있음)이 흐르고, 캔슬 전류 Ic1은 급격하게 감소한다. 2t에서는, 캔슬 전류 Ic1=Ib로 하고 있다. 이 Ib일 때에는 아직 전류가 흐르는 상태이기 때문에, 오프셋 캔슬은 불충분한 상태이다.
- [0133] 그 후(2t~3t:도 89의 (b))에도, 오프셋 캔슬 상태는 계속되고, 오프셋 캔슬 전류 Ic2는 감소하여, t3에서 오프셋 캔슬 전류 Ic2는 0상태로 된다.
- [0134] 여기서, 유지용 컨덴서(19a)의 용량을 Cs(pF)로 하고, 오프셋 캔슬 컨덴서(19b)의 용량을 Co(pF)로 하면, 도 85의 관계가 있다.
- [0135] 도 85에서, 횡축은, 오프셋 캔슬 컨덴서(19b)의 용량 Co(pF)와 유지용 컨덴서(19a)의 용량 Cs(pF)의 비율(Co/Cs)을 나타내고 있다. 종축은, 이상적인 오프셋 캔슬 상태로부터의 어긋남을 나타내고 있다. 어긋남이란, 이상적인 구동 트랜지스터(11a)의 게이트 단자 전압에 대한 전압차를 비율로 나타낸 것이다. 예를 들면, 완전하게 오프셋 캔슬 상태에 도달한 구동 트랜지스터(11a)의 게이트 단자 전압을 1.0V로 하였을 때, 오차(괴리량) 10%란, $1.0(\text{V}) \cdot (1-0.1)=0.9(\text{V})$ 이다. 오차 2%란, $1.0(\text{V}) \cdot (1-0.02)=0.98(\text{V})$ 이다. Co/Cs가 0.5보다 작은 범위

에서는, 목표값으로부터의 오차가 2% 이상으로 크다. 그 때문에, 오프셋 캔슬 상태는 나쁘다. 또한, Co/Cs의 값이 작아질수록, 급격하게 목표값으로부터의 오차가 커진다.

[0136] Co/Cs가 0.5 이상인 범위에서는, 목표값으로부터의 오차가 2% 이하로 작다. 또한, Co의 값을 크게 해도, 목표값으로부터의 어긋남량의 저감 비율은 작다. Co의 값을 크게 하는 것은 오프셋 캔슬 컨덴서의 용량을 크게 할 필요가 있다. 컨덴서의 용량을 크게 한다는 것은, 화소의 구성상, 곤란한 경우가 많다(고정밀 패널에서는 화소에는 큰 컨덴서는 형성할 수 없음). 한편, 유지용 컨덴서(19a)는 적어도 1프레임 기간(또는 1필드 기간, 또한, 본 명세서에서는 1프레임 기간과 1필드 기간은 동의로서 취급함)의 동안, 전하를 유지해 둘 필요가 있다. 그 때문에, 비교적 큰 용량이며 또한 일정 이상의 용량이 필요하다.

[0137] 이상의 것으로부터, Co/Cs는, 0.25 이상으로 되도록 한다. 즉, Co:Cs=1:4 이상으로 되도록 Co 용량을 형성한다. 또한, Cs의 사이즈 또는 Co에 대한 Cs의 비율의 관점으로부터, Co/Cs=1.0 이하로 하는 것이 바람직하다. 즉, Co:Cs=1:1 이하로 되도록 Co 용량을 형성한다.

[0138] 도 10은, 도 1의 변형예이다. 오프셋 캔슬용 컨덴서(19a)의 1단자는, 게이트 신호선(17a)에 접속되어 있다. 게이트 신호선(17a)에는, 온 전압(VGL) 또는 오프 전압(VGH)이 인가되지만, 영상 신호 전압을 화소(16)에 기입한 후(전압 프로그램 시 이후) 이외의 기간은, 오프 전압(VGH)이 인가되어 있다. 따라서, 오프셋 캔슬용 컨덴서(19a)는 일정한 전하를 유지하여 안정하다. 다른 구성은 도 1에서 설명한 것과 마찬가지로 설명을 생략한다.

[0139] 또한, 도 10에서, 오프셋 캔슬용 컨덴서(19a)의 1단자는, 게이트 신호선(17b)과 접속하는 것으로 하였지만, 이것에 한정되는 것은 아니다. 예를 들면, 도 11에 도시하는 바와 같이, 게이트 신호선(17d)과 접속해도 된다. 도 11의 구성에서는, 게이트 신호선(17d)에는, 리셋 전압 Vr_{st}를 인가할 때에만, 온 전압(VGL)이 인가된다. 그러나, 다른 기간에는, 오프 전압(VGH)이 인가된다. 따라서, 오프셋 캔슬용 컨덴서(19a)는 일정한 전하를 유지하여 안정 상태가 유지된다.

[0140] 도 11은, 도 1의 변형예이다. 오프셋 캔슬용 컨덴서(19a)의 1단자는, 게이트 신호선(17b)에 접속되어 있다. 게이트 신호선(17b)에는, 온 전압(VGL) 또는 오프 전압(VGH)이 인가된다. 그러나, 영상 신호 전압을 화소(16)에 기입 시(전압 프로그램 시)의 기간은, 오프 전압(VGH)이 인가된다. 따라서, 오프셋 캔슬용 컨덴서(19a)는 일정한 전하를 유지하여 안정 상태가 유지되어 있다.

[0141] EL 표시 장치의 게이트 드라이버 회로(12)에 대하여 설명한다.

[0142] 도 3에 도시하는 바와 같이, 표시 화면(31)의 좌단에 게이트 드라이버 회로(12a)를 설치하고, 우단에 게이트 드라이버 회로(12b)를 설치하고 있다. 또한, 게이트 드라이버 회로(12)는, 표시 패널의 빈 영역에 형성하면 된다.

[0143] 게이트 드라이버 회로(12a)는, 게이트 신호선(17a)을 제어하고, 게이트 드라이버 회로(12b)는 게이트 신호선(17b)을 제어한다. 게이트 드라이버 회로(12a, 12b)에는, 게이트 신호선(17)의 온 전압(VGL)과, 게이트 신호선(17)의 오프 전압(VGH)이 공급되어 있다. 오프 전압(VGH)은, 애노드 전압 V_{dd} 이상 또는 근방의 전압이다. 온 전압(VGL)은, 캐소드 전압 V_{ss} 또는 그라운드 전압(GND) 근방의 전압이다. 또한, 근방의 전압이란, 3V의 범위의 전압이다.

[0144] 본 실시예에서는, 트랜지스터(31)의 오프 전압을 VGH로 하고, 온 전압을 VGL로 하여 설명하지만 이것에 한정되는 것은 아니다. 온 전압(VGL)과 오프 전압(VGH)의 극성은, 구동 트랜지스터(31a)의 채널의 종류(P채널 또는 N채널)에 대응하여 설정한다. 또한, 도 31에 도시하는 바와 같이, 게이트 드라이버 회로(12)의 전압 중 1개 또는 복수를 GND 전압으로 해도 된다. 도 31에서는, 게이트 드라이버 회로(12b)는, VGH 전압과 VGL=GND 전압에서 동작하고 있고, 게이트 드라이버 회로(12a)는, VGH 전압과 VGL1 전압에서 동작하고 있다.

[0145] 본 실시예에서는, 구동 트랜지스터(31a)는 P채널 트랜지스터로 하고 있다. 이 경우에는, 온 전압을 VGL로 하고, 오프 전압을 VGH로 한다. 구동 트랜지스터(31a)가 N채널 트랜지스터인 경우에는, 온 전압을 VGH로 하고, 오프 전압을 VGL로 한다. 또한, 도 2에 적합하도록, VGH1, VGH2, VGL1, VGL2를 내장시켜도 된다. EL 표시 장치를 구동하는 전원(회로) IC로부터의 ON1 커맨드에 의해, 소스 드라이버 회로(14)의 아날로그 전압 AV_{dd}와 게이트 드라이버 회로(12)의 전압 VGH1, VGH2, VGL1, VGL2를 동시에 기동하고, ON2에 의해 애노드 전압 V_{dd}, 캐소드 전압 V_{ss}를 기동시킨다.

[0146] 도 4는, 도 1의 변형예이다. 도 1과 도 4의 차이는, 컨덴서(11c)가 추가 형성된 점이다. 컨덴서(11c)는, 게이트

트 신호선(17a)에 인가된 전압의 변화(VGL→VGH)에 의해, 관통 전압이 발생하여 보다 양호한 흑 표시(고콘트라스트 표시)를 실현하는 것을 하나의 목적으로 한다. VGL→VGH의 동작이란, 화소(16)에 영상 신호를 기입 유지시키는 동작이다. 즉, 스위치 트랜지스터(11c)의 제어 동작이다.

- [0147] 상기 커패시터(19c)는, 제1 전극이 현재 게이트 신호선(17a) 및 트랜지스터(11c)의 게이트 단자에 접속되고, 제2 전극이 상기 유지용 커패시터(19a) 및 구동 트랜지스터(11a)의 게이트 단자에 공통 접속되어 있다.
- [0148] 또한, 구동 트랜지스터(11a)가 N채널 트랜지스터인 경우에는, 게이트 신호선(17a)에 인가하는 전압(영상 신호를 화소에 기입하고, 유지시키는 동작 시에 사용하는 전압)을 VGL→VGH로 되도록 화소(16)를 구성한다.
- [0149] 게이트 신호선에 인가하는 오프 전압을 VGH, 온 전압을 VGL로 하면, 게이트 신호선(17a)에 인가하는 전압을, VGL로부터 VGH로 변화시키면, 구동 트랜지스터(11a)의 게이트 전압은, 상기 유지용 커패시터(19a)와 보조 커패시터(19c)의 커플링에 의한 보정 전압만큼 상승하게 된다. 따라서, 구동 트랜지스터(11a)의 게이트 단자의 전압이, 애노드 전압 Vdd 전압측으로 시프트하여, 양호한 흑 표시를 실현할 수 있다.
- [0150] 도 5는, 도 1 또는 도 4의 변형예이다. 도 5의 구성도 본 실시예의 EL 표시 장치에 이용할 수 있다. 도 5에서, 화소(16)는, 2개의 커패시터(19a, 19b)와 5개의 스위치 트랜지스터(11b, 11c, 11d, 11e, 11f)와 1개의 구동 트랜지스터(11a)로 구성된다. 트랜지스터(11b)는, 트랜지스터(11a)를 다이오드 접속(Diode-connected)시켜, 임계값 전압을 보상하기 위한 임계값 전압 보상용의 스위치 트랜지스터이다. 트랜지스터(11f)는, 유지용 커패시터(19a)를 초기화시키기 위하여 리셋 전압 Vr_{st}를 인가하기 위한 초기화용의 스위치 트랜지스터이다. 그리고, 트랜지스터(11d)는, EL 소자(15)의 발광을 제어하기 위한 트랜지스터이다.
- [0151] 스위치 트랜지스터(11c)는, 게이트 신호선(17a)에 게이트 단자가 접속되고, 소스 신호선(18)에 소스 단자가 접속되며, 게이트 드라이버 회로(12a)로부터의 선택 신호에 의해 온/오프 제어된다.
- [0152] 게이트 신호선(17a)으로부터 게이트 신호선(17a1)과 게이트 신호선(17a2)이 분기되어 있고, 게이트 신호선(17a1)에는, 인버터 회로(51)가 배치되어 있다. 따라서, 게이트 신호선(17a1)과 게이트 신호선(17a2)에는, VGH와 VGL이 반전하여 전압이 인가된다.
- [0153] 또한, 소스 신호선(18a)과 소스 신호선(18b)을 갖고 있고, 상하 방향에 인접한 화소(16)(16a, 16b)는 서로 다른 소스 신호선(18)에 접속되어 있다. 도 5의 실시예에서는, 화소(16b)는 소스 신호선(18b)에 접속되어 있고, 화소(16a)는 소스 신호선(18a)과 접속되어 있다.
- [0154] 도 6은, 도 5의 화소 구성에서, 게이트 신호선(17) 및 소스 신호선(18)과의 접속 상태를 도시하고 있다. 도 5, 도 6과 같이 구성함으로써, 리셋 전압 Vr_{st}를 인가하기 위한 스위치 트랜지스터(11f)를 제어하는 게이트 신호선과, 영상 신호를 인가하기 위한 스위치 트랜지스터(11c)를 제어하는 게이트 신호선을 공통으로 할 수 있다. 그 때문에, 게이트 신호선(17)의 수를 삭감할 수 있고, 화소(16)의 개구율을 향상시킬 수 있다.
- [0155] 또한, 복수 화소행을 동시에 오프셋 캔슬 상태로 할 수 있어, 양호한 오프셋 캔슬을 실현할 수 있다.
- [0156] 도 8은 도 1의 오프셋 캔슬 커패시터(19b)를 갖는 구성에 커패시터(11c)를 부가한 구성이다. 도 8에서, 커패시터(19c)는, 스위치 트랜지스터(11c)의 게이트 단자(게이트 신호선(17a))와 커패시터(19b)의 1단자(스위치 트랜지스터(11c)의 드레인 단자)에 접속되어 있다.
- [0157] 커패시터(19c)는 게이트 신호선(17a)의 변동에 의해, 단자 전위가 변화된다. 게이트 신호선(17a)은, 화소(16)가 선택되었을 때에는, 온 전압(VGL)이 인가되고, 선택되지 않을 때에는 오프 전압(VGH)이 인가된다. 즉, 화소(16)가 선택 상태에서부터 비선택 상태로 변화되면 커패시터(19c)의 a1 전압은, VGL→VGH로 변화된다. 따라서, a1 전압의 전압 변화는, a2 전압의 변화에 영향을 미친다. a2 전압은, a1 전압의 변화를 커패시터(19c)와 커패시터(19c)에서 분압된 것으로 된다. 한편, a점(a2 전압)은, 화소가 선택되었을 때에는, 영상 신호 전압 V_{sig}가 인가되어 있다. a2 전압이 VGL→VGH로 변화되면, (VGH-VGL) 전압이 분압되어, 영상 신호 전압 V_{sig}에 중첩된다. 따라서, a점의 전위는, 영상 신호 전압 V_{sig}보다도 높아진다.
- [0158] a2점의 전위를 영상 신호 전압 V_{sig}보다도 높게 하는 것은, 도 11의 (c)의 오프셋 캔슬 동작을 양호한 상태로 할 수 있다. 통상적으로, 오프셋 캔슬 커패시터(19b)의 용량은 작다. 따라서, 오프셋 캔슬 전류 I_{c2}가 크면, 오프셋 캔슬 커패시터(19b)의 단자 전위가 급속하게 저하하게 되어, 오프셋 캔슬 동작의 계속 능력이 저하한다.
- [0159] 도 8의 구성에서는, 영상 신호 전압 V_{sig}보다도 높은 전압을 a점에 유지할 수 있으므로, 오프셋 캔슬 전압을 약간 높게 설정할 수 있어, 양호한 오프셋 캔슬 동작을 실현할 수 있다.

- [0160] 도 86의 구성에서, 오프셋 캔슬 컨텐서(19b)의 동작, 기능, 효과 등은 도 1에서 설명하였으므로 생략한다.
- [0161] 도 87은 도 1의 변형예이다. 도 87에서 화소(16a)의 스위치 트랜지스터(11c)를 온/오프시키는 게이트 신호선(17d1)은, 다음단의 화소(16b)의 스위치 트랜지스터(11f)를 온/오프시키는 게이트 신호선(17d1)과 공통으로 결선되어 있다.
- [0162] 따라서, 게이트 신호선(17d1)에 온 전압을 인가하면, 리세트 전압 V_{rst} 를 인가하는 스위치 트랜지스터(11f)가 온하여, 화소(16b)의 구동 트랜지스터(11a)에 리세트 전압 V_{rst} 를 인가한다. 동시에, 전단의 화소(16a)의 스위치 트랜지스터(11c)가 온하여 영상 신호 전압 V_{sig} 를 화소(16a)에 기입하고, 오프셋 캔슬 동작을 개시한다. 또한, 화소(16a)는 1H 후에는, 도 111의 (c)의 동작으로 된다.
- [0163] 즉, 게이트 신호선(17d)을 순차 선택함으로써, 리세트 전압 V_{rst} 를 인가하는 동작과, 그 밖의 화소행(기본적으로는 전단의 화소행)에 영상 신호 전압 V_{sig} 를 인가하는 동작을 동시에 실현할 수 있다. 따라서, 게이트 드라이버 회로(12)의 구성을 간략화할 수 있어, 좁은 프레임의 EL 표시 장치를 실현할 수 있다.
- [0164] 도 87에서는, 각 화소행의 게이트 신호선(17d)은, 전단의 화소행의 게이트 신호선(17d)과 접속되어 있는 것으로 하였지만, 이것에 한정되는 것은 아니다. 예를 들면, 게이트 신호선(17d)은, 복수 이상의 전 또는 후의 화소행과 접속시켜도 된다.
- [0165] 도 87의 구성에서, 복수의 화소행의 게이트 신호선(17d)이 공통으로 접속되고, 게이트 신호선(17d)이 접속된 화소행이 전단 또는 후단의 화소행과 공통으로 접속되어 있는 점 이외의 구성 혹은 동작은, 도 1 등에서 설명을 행하고 있으므로 설명을 생략한다. 이상의 사항은, 본 명세서의 다른 실시예에도 적용되는 것은 물론이다.
- [0166] 도 90은 본 발명의 다른 실시예이다. 도 1과의 차이는, 스위치 트랜지스터(11d), 스위치 트랜지스터(11f)가 없는 점이다. 다른 구성은 도 1과 마찬가지로이다. 이상과 같이 본 실시예의 기술적 사상은 다종 다양한 화소 구성에 대해서도 적용된다.
- [0167] 도 91은, 도 90의 실시예에 대하여, 컨텐서(19b)의 접속 위치를 서로 다르게 하고 있다. 도 91에서는, 컨텐서(19b)의 1단자는, 스위치 트랜지스터(11c)의 드레인 단자와 접속되고, 다른 단자는, 게이트 신호선(17a)과 접속되어 있다. 게이트 신호선(17a)의 전위는, 화소(16)가 선택되어 있을 때 이외에는, 오프 전압(V_{GH})이 인가되어 있다. 따라서, 화소(16)의 선택 시 이외에는, 안정된 전위로 유지되어 있으므로, 양호하게 영상 신호 전압 V_{sig} 를 유지할 수 있다. 다른 구성 혹은 동작은, 도 1, 도 90과 마찬가지로이므로 설명을 생략한다.
- [0168] 도 1 등의 구성에서는, 컨텐서(19b)의 한 쪽의 단자는, 애노드 전압 V_{dd} 에 접속하였다. 그러나, 본 실시예는 이것에 한정되는 것은 아니다. 소정 기간 동안에 안정된 전위로 유지할 수 있는 것이면, 어떤 전위라도 된다. 도 92의 실시예는, 컨텐서(19b)의 한 쪽의 단자를 캐소드 전압 V_{ss} 로 되도록 접속을 하고 있다. 다른 구성 혹은 동작은, 도 1, 도 90과 마찬가지로이므로 설명을 생략한다.
- [0169] 도 93의 구성은, 도 1의 구성 외에, 스위치 트랜지스터(11g)를 부가한 구성이다. 스위치 트랜지스터(11g)의 게이트 단자는 게이트 신호선(17g)에 접속되어 있다. 따라서, 게이트 신호선(17c)에 온 전압(V_{GL})을 인가함으로써, EL 소자(15)의 애노드 단자에, 리세트 전압 V_{rst} 를 인가할 수 있다. 다른 구성 혹은 동작은, 도 1, 도 90과 마찬가지로이므로 설명을 생략한다.
- [0170] 도 94의 구성은, 도 93에 대하여 컨텐서(19b)의 접속 위치를 변화시킨 것이다. 컨텐서(19b)의 한 쪽의 단자는, 스위치 트랜지스터(11c)의 드레인 단자와 접속되고, 다른 단자는, 구동 트랜지스터(11a)의 게이트 단자와 접속된다. 구동 트랜지스터(11a)의 게이트 단자도 오프셋 전압 혹은 영상 신호 전압 V_{sig} 가 인가되고, 1프레임 기간 동안, 전위가 유지된다. 따라서, 컨텐서(19b)의 유지 전압으로서 이용할 수 있다. 다른 구성 혹은 동작은, 도 1, 도 90과 마찬가지로이므로 설명을 생략한다.
- [0171] 또한, 이상의 사항은, 본 명세서의 다른 실시예, 다른 구성에 적용된다. 또한, 다른 실시예, 다른 구성과 조합할 수 있다.
- [0172] <실시예 2>
- [0173] 본 발명의 실시예 2에 대하여 설명한다.
- [0174] 도 114는, 실시예 2에서의 EL 표시 장치의 전체 구성을 도시하는 블록도이다.
- [0175] 본 실시예는, EL 소자(15)가 매트릭스 형상으로 배치된 표시 화면(31)과 이것을 구동하는 구동 회로로 이루어진

다. 즉, 도 114에 도시하는 바와 같이, EL 표시 장치는, 표시 화면(31)과 이것을 구동하는 소스 드라이버 회로(IC)(18)와, 게이트 단자 게이트 드라이버 회로(12, 12c)로 이루어진다.

- [0176] 도 114의 게이트 드라이버 회로(12)는, 도 113의 게이트 드라이버 회로(12a, 12b)가 조합된 것이다.
- [0177] 표시 화면(31)은, 행 형상의 게이트 신호선(17)과, 열 형상의 소스 신호선(18)과, 양자가 교차하는 부분에 배치된 행렬 형상의 화소(16)와, 각 화소(16)의 각 열에 대응하여 형성된 애노드 전원 배선(1131)을 구비하고 있다. 즉, 애노드 전원 배선(1131)은 화소열과 평행하게 형성되어 있다. 또한, 채널 전압 V_r 을 공급하는 채널 전압 배선(1132)도 화소열과 평행하게 형성되어 있다. 즉, 소스 신호선(18)과 평행하게 형성되어 있다.
- [0178] 도 113은, 도 114에 도시한 EL 표시 장치에 포함되는 화소(16)의 구체적인 구성 및 결선 관계를 나타내는 회로도이다.
- [0179] 도 113에 도시하는 바와 같이, 화소(16)는, EL 소자(15) 등으로 대표되는 EL 소자(15)와, 스위치 트랜지스터(11b, 11c, 11e)와, 구동 트랜지스터(11a)와, 컨덴서(19a)를 포함한다.
- [0180] 스위치 트랜지스터(11b)는, 그 게이트 단자 d가 게이트 신호선(17a)에 접속되고, 드레인 단자 d가 소스 신호선(18)에 접속되며, 소스 단자가 구동 트랜지스터(11a)의 게이트 단자 g에 접속되어 있다.
- [0181] 구동 트랜지스터(11a)는, 그 드레인 단자 d가 애노드 전원 배선(1131)에 접속되고, 소스 단자 s가 EL 소자(15)의 애노드 단자에 접속되어 있다.
- [0182] EL 소자(15)의 캐소드는, 접지 전극(GND) 또는 캐소드 전극(전압) V_{ss} 에 접속되어 있다. 또한, 이 접지 전극 또는 캐소드 전극(전압) V_{ss} 는 모든 화소(16)에 대하여 공통으로 배선되어 있다.
- [0183] 컨덴서(19a)는, 구동 트랜지스터(11a)의 소스 단자 s와 게이트 단자 g 사이에 접속되어 있다.
- [0184] 이러한 구성에서, 스위치 트랜지스터(11b)는, 게이트 신호선(17)으로부터 공급된 제어 신호에 따라서 도통하고, 소스 신호선(18)으로부터 공급된 신호 전위를 샘플링하여 컨덴서(19a)에 유지한다.
- [0185] 구동 트랜지스터(11a)는, 스위치 트랜지스터(11e)가 온함으로써, 애노드 전원 배선(1131)으로부터 전류의 공급을 받고, 컨덴서(19a)에 유지된 신호 전위에 따라서 구동 전류를 EL 소자(15)에 흘린다.
- [0186] 게이트 드라이버 회로(12)에 대하여 설명한다. 게이트 드라이버 회로(12a)는, 각 게이트 신호선(17a)에 순차적으로 제어 신호(온 전압 또는 오프 전압)를 공급하여 화소(16)를 행 단위로 순순차 주사한다.
- [0187] 게이트 드라이버 회로(12b)는, 선순차 조작(화소행을 순서대로 선택하는 동작)에 동기하여, 구동 트랜지스터(11a)의 드레인 단자 d에 채널 전압 V_r 을 인가하는 트랜지스터(11c)를 제어한다. 즉, 게이트 드라이버 회로(12b)는, 게이트 신호선(17b)에 온 전압 또는 오프 전압을 순차 인가한다.
- [0188] 게이트 드라이버 회로(12c)는, 이 선순차 주사에 맞추어, 구동 트랜지스터(11a)의 드레인 단자 d에 애노드 전압 V_{dd} (혹은 캐소드 전압 V_{ss})를 인가하는 트랜지스터(11e)를 제어한다. 즉, 게이트 드라이버 회로(12c)는, 게이트 신호선(17c)에 온 전압 또는 오프 전압을 순차 인가한다.
- [0189] 또한, 게이트 드라이버 회로(12a, 12b, 12c)는 3개의 드라이버로 구성되는 것에 한정되는 것이 아니라, 도 114에 도시하는 바와 같이, 참조 부호 12a, 12c로 1개의 게이트 드라이버 회로(12)를 구성해도 된다.
- [0190] 또한, 각 게이트 드라이버 회로(12)가 게이트 신호선(17)에 출력하는 전압(온 전압 또는 오프 전압)은 서로 다른 값으로 하는 것이 바람직하다. 도 114의 실시예에서는, 게이트 드라이버 회로(12)와 게이트 드라이버 회로(12c)의 온 전압(V_{GH})은 동일하지만, 오프 전압(V_{GL})은, 게이트 드라이버 회로(12)는, V_{GL1} 로 하고, 게이트 드라이버 회로(12c)는, V_{GL2} 로서 서로 다르다. 즉, $|V_{GL1}| < |V_{GL2}|$ 로 되도록 하고 있다. 또한, V_{GL1} , V_{GL2} 는 부전압이기 때문에, 절대값의 기호 $| |$ 로 표시하고 있다. $V_r < V_{dd}$ 의 관계가 있으며, 구동 트랜지스터(11a)에 충분히 V_r 전압을 인가할 수 있게 구성하고 있다.
- [0191] 게이트 드라이버 회로(12)에는, 게이트 신호선(17a)을 선택하는 스타트 펄스 ST1, 게이트 신호선(17b)을 선택하는 스타트 펄스 ST2, 스타트 펄스를 순차 시프트하는 클럭 신호(CLK)가 인가된다. UD는, 게이트 드라이버 회로(12) 내의 스타트 펄스의 상하 시프트 레지스터 방향을 전환하는 신호이다. 또한, 도 115와 같이 구성해도 된다.
- [0192] 게이트 드라이버 회로(12c)에는, 게이트 신호선(17c)을 선택하는 스타트 펄스 ST3, 스타트 펄스를 순차 시프트

하는 클럭 신호(CLK)가 인가된다.

- [0193] 또한, 필요에 따라서, 게이트 드라이버 회로(12)에는, 인에이블 제어 단자를 부가하는 것이 바람직하다. 게이트 드라이버 회로(12) 내에는, 시프트 레지스터 회로가 형성되어 있고, 스타트 펄스를 클럭 신호(CLK)에 동기하여 순차 시프트시키고, 선택하는 게이트 신호선(17)의 위치를 변화시킨다.
- [0194] 구동 트랜지스터(11a)의 드레인 단자 d에 인가하는, 제1 전위(캔슬 전압)와 애노드 전압 Vdd의 절환은, 스위치 트랜지스터(11c)와 스위치 트랜지스터(11e)에 의해 실현한다. 스위치 트랜지스터(11c)와 스위치 트랜지스터(11e)는, 배타적으로 동작한다.
- [0195] 따라서, 스위치 트랜지스터(11c)가 온하고 있을 때에는, 스위치 트랜지스터(11e)는 오프로 제어되고, 스위치 트랜지스터(11c)가 오프하고 있을 때에는, 스위치 트랜지스터(11e)는 온으로 제어된다.
- [0196] 스위치 트랜지스터(11c)는, 순차적으로 조작되고, 스위치 트랜지스터(11e)는, EL 소자(15)에 전류를 공급할 때에 주로 온 상태로 된다.
- [0197] 또한, 스위치 트랜지스터(11e)를 온/오프 제어함으로써, 도 78, 도 79, 도 84, 도 98에서 설명하는 duty 구동을 실현할 수 있다. 또한, 도 99에서 설명한 구동 방식과도 조합할 수 있다.
- [0198] 이상의 사항은, 도 1 등의 실시예와 마찬가지로이다. 또한, 도 1 등에서 설명한 실시예 1의 기재 사항은, 실시예 2, 실시예 3에도 적용할 수 있는 것은 물론이다. 본 명세서에 기재한 실시예는 상호 조합할 수 있다.
- [0199] EL 소자(15)의 점등 및 소등은, 스위치 트랜지스터(11e)를 duty 구동한다. 이 duty 구동은, 표시 화면(31)에 비표시 영역(123)을 발생(또는, 표시 영역(122)을 발생)시켜, EL 소자(15)에 흐르는 전류를 억제하기 위하여 행한다. 스위치 트랜지스터(11e), 스위치 트랜지스터(11d) 등을 온/오프시켜, 표시 화면(31)에 락업상의 비표시 영역(123)을 발생하고, 이 비표시 영역(123)을 화면(31)의 상하 방향으로, 프레임 주기(필드 주기)에 동기하여 화상 표시시킨다.
- [0200] 소스 신호선(18)에 신호 전압을 공급하는 소스 드라이버 회로(18)는, 스위치 트랜지스터(11b)가 도통한 후에, 소스 신호선(18)에 기준 전위 V0을 공급하고 있는 동안에, 구동 트랜지스터(11a)의 드레인 단자 d에 인가하는 전압을 제1 전위(캔슬 전압)와 제2 전위(애노드 전압 Vdd) 사이에서 절환하고, 구동 트랜지스터(11a)의 임계값 전압 Vth에 상당하는 전압을 컨덴서(19a)에 유지해 둔다.
- [0201] 이상에 기재한 임계값 전압 보정 기능에 의해, 각 화소(16)의 구동 트랜지스터(11a)의 특성 변동의 영향을 캔슬할 수 있다.
- [0202] 도 113에 도시한 화소(16)는, 상기한 임계값 전압 보정 기능 외에, 이동도 보정 기능을 구비하고 있다.
- [0203] 소스 드라이버 회로(18)는, 스위치 트랜지스터(11b)가 도통한 후, 제1 타이밍에서 소스 신호선(18)을 기준 전위 V0으로부터 신호 전위로 절환한다. 또한, 스위치 트랜지스터(11c 및 11e)를 제어하고, 제1 타이밍 후, 제2 타이밍에서 게이트 신호선(17a)에 대한 온 전압을 해제하여 스위치 트랜지스터(11b)를 비도통 상태로 한다. 제1 및 제2 타이밍 동안의 기간을 적절하게 설정함으로써, 컨덴서(19a)에 신호 전위를 유지할 때, 구동 트랜지스터(11a)의 이동도 μ 에 대한 보정을 신호 전위에 가한다.
- [0204] 이 경우, 게이트 드라이버 회로는, 소스 드라이버 회로(18)가 공급하는 영상 신호와 게이트 드라이버 회로(12b, 12c)가 공급하는 제어 신호의 상대적인 위상차를 조정하여, 제1 및 제2 타이밍 사이의 기간(이동도 보정 기간)을 최적화할 수 있다.
- [0205] 또한, 소스 드라이버 회로(18)는, 기준 전위로부터 신호 전위로 절환하는 영상 신호의 상승에 경사를 부여하여, 제1 및 제2 타이밍 동안의 이동도 보정 기간을 신호 전위에 자동적으로 추종시킬 수도 있다.
- [0206] 도 113에 도시한 화소(16)는 부트스트랩 기능도 더 구비하고 있다. 게이트 드라이버 회로(12b 및 12c)는, 컨덴서(19a)에 신호 전위가 유지된 단계에서 게이트 신호선(17b)에 오프 전압을 인가하고, 게이트 신호선(17c)에 온 전압을 인가함으로써, 구동 트랜지스터(11a)의 드레인 단자 d의 전위를 Vr로부터 Vdd 전압으로 변화시킨다. 또한, 스위치 트랜지스터(11b)를 비도통 상태로 하여 구동 트랜지스터(11a)의 게이트 단자 g를 소스 신호선(18)으로부터 전기적으로 분리한다. 이 동작에 의해, 구동 트랜지스터(11a)의 소스 전위 Vs의 변동에 게이트 전위 Vg가 연동하여 게이트 단자 g와 소스 단자 s 사이의 전압 Vgs를 일정하게 유지할 수 있다.
- [0207] 도 115는, 도 113에 도시한 화소(16)의 동작 설명에 이용하는 타이밍 차트이다. 시간축을 공통으로 하여, 게이

트 신호선(17a, 17b, 17c)의 전위 변화, 소스 신호선(18)의 전위 변화, EL 소자(15)의 발광 상태를 모식적으로 나타내고 있다.

- [0208] 이 타이밍 차트는, 화소(16)의 동작의 변화에 맞추어 기간을 B-G와 같이 편의적으로 구획하고 있다.
- [0209] 발광 기간 B에서는 EL 소자(15)가 발광 상태에 있다. 이 후, 선순차 주사의 새로운 필드에 들어가서, 최초의 기간 C에서, 스위치 트랜지스터(11b)가 온하고, 구동 트랜지스터(11a)의 게이트 전위 V_g 가 초기화된다.
- [0210] 다음으로, 기간 D로 진행하여, 스위치 트랜지스터(11c)가 온하여 구동 트랜지스터(11a)의 드레인 단자 d에 채널 전압 V_r 이 인가되고, 구동 트랜지스터(11a)의 소스 전위 V_s 도 초기화된다. 이와 같이 구동 트랜지스터(11a)의 게이트 전위 V_g 및 소스 전위 V_s 를 초기화함으로써, 임계값 전압 보정 동작의 준비가 완료된다. V_r 전압은, EL 소자(15)가 온하지 않고(전류가 흐르지 않음), 구동 트랜지스터(11a)가 오프로 되는 전압이다.
- [0211] 다음으로, 임계값 보정 기간 E에서 실제로 임계값 전압 보정 동작이 행하여지고, 구동 트랜지스터(11a)의 게이트 단자 g와 드레인 단자 d 사이에 임계값 전압 V_{th} 에 상당하는 전압이 유지된다. 실제로는, V_{th} 에 상당하는 전압이, 구동 트랜지스터(11a)의 게이트 단자 g와 드레인 단자 d 사이에 접속된 커패시터(19a)에 기입되게 된다.
- [0212] 다음으로, 샘플링 기간/이동도 보정 기간 F로 진행하여, 영상 신호의 신호 전위 V_{in} 이 V_{th} 에 더해지는 형태로 커패시터(19a)에 기입됨과 함께, 이동도 보정용의 전압 ΔV 가 커패시터(19a)에 유지된 전압으로부터 차감된다.
- [0213] 다음으로, 발광 기간 G로 진행하여, 신호 전압 V_{in} 에 따른 휘도로 EL 소자(15)가 발광한다. 그 때에 신호 전압 V_{in} 은 임계값 전압 V_{th} 에 상당하는 전압과 이동도 보정용의 전압 ΔV 에 의해 조정되고 있기 때문에, EL 소자(15)의 발광 휘도는 구동 트랜지스터(11a)의 임계값 전압 V_{th} 나 이동도 μ 의 변동의 영향을 받는 일이 없다.
- [0214] 또한, 발광 기간 G의 처음에서 부스트스트랩 동작이 행하여지고, 구동 트랜지스터(11a)의 게이트-소스간 전압 $V_{gs}=V_{in}+V_{th}-\Delta V$ 를 일정하게 유지한 채, 구동 트랜지스터(11a)의 게이트 전위 V_g 및 소스 전위 V_s 가 상승한다.
- [0215] 도 116~도 121을 참조하여, 도 113에 도시한 화소(16)의 동작을 상세하게 설명한다. 또한, 도 116~도 121의 도면 부호는, 도 115에 도시한 타이밍 차트의 각 기간 B~G에 각각 대응하고 있다. 또한, 이해를 용이하게 하기 위하여, 도 116~도 121은, 설명의 편의상, EL 소자(15)의 용량 성분을 커패시터(19b)로서 도시하고 있다. 도 116에 도시하는 바와 같이, 발광 기간 B에서는, 스위치 트랜지스터(11e)가 온하고, 스위치 트랜지스터(11c)가 오프로 제어됨으로써, 구동 트랜지스터(11a)의 드레인 단자 d의 전위가 애노드 전압 V_{dd} 에 있고, 구동 트랜지스터(11a)가 구동 전류 I_{ds} 를 EL 소자(15)에 공급하고 있다.
- [0216] 도시하는 바와 같이, 구동 전류 I_{ds} 는 애노드 전압 V_{dd} 로부터 구동 트랜지스터(11a)를 통하여 EL 소자(15)를 통과하고, 공통 접지 전극(GND 등) 또는 캐소드 전극(전압) V_{ss} 에 유입되고 있다.
- [0217] 다음으로, 기간 C에 들어가면, 도 117에 도시하는 바와 같이, 게이트 신호선(17a)의 전위가 애노드 전압 V_{dd} 측(온 전압이 인가됨)으로 변화됨으로써 스위치 트랜지스터(11b)가 온 상태로 되고, 구동 트랜지스터(11a)의 게이트 전위 V_g 는 소스 신호선(18)의 기준 전위 V_0 으로 초기화(리셋)된다.
- [0218] 다음으로, 기간 D로 진행하면, 도 118에 도시하는 바와 같이, 구동 트랜지스터(11a)의 드레인 단자 d의 전위가 애노드 전압 V_{dd} 로부터 소스 신호선(18)의 기준 전위 V_0 보다 충분히 낮은 채널 전압 V_r 로 변화된다.
- [0219] 이에 의해 구동 트랜지스터(11a)의 소스 전위 V_s 가 소스 신호선(18)의 기준 전위 V_0 보다 충분히 낮은 채널 전압 V_r 로 초기화(리셋 또는 채널)된다.
- [0220] 구체적으로는, 구동 트랜지스터(11a)의 게이트-소스간 전압 V_{gs} (게이트 전위 V_g 와 소스 전위 V_s 의 차)가 구동 트랜지스터(11a)의 임계값 전압 V_{th} 보다 커지도록, 구동 트랜지스터(11a)의 드레인 단자 d에 저채널 전압 V_r 을 설정한다.
- [0221] 다음으로, 임계값 보정 기간 E로 진행하면, 도 119에 도시하는 바와 같이, 구동 트랜지스터(11a)의 드레인 단자 d의 전위가 저채널 전압 V_r 로부터 애노드 전압 V_{dd} 로 변화되고, 구동 트랜지스터(11a)의 소스 전위 V_s 가 상승을 개시한다.
- [0222] 이윽고, 구동 트랜지스터(11a)의 게이트 단자-소스 단자간 전압 V_{gs} 가 임계값 전압 V_{th} 로 된 시점에서 전류는 컷오프한다(흐르지 않게 된다). 이와 같이 하여 구동 트랜지스터(11a)의 임계값 전압 V_{th} 에 상당하는 전압이 커패시터(19a)에 기입된다. 이것이 임계값 전압의 보정 동작이다. 이 때 전류가 오로지 커패시터(19a)측에 흐르고, EL 소자(15)측에는 흐르지 않도록 하기 위하여, EL 소자(15)가 컷오프로 되도록 공통 접지 전극 또는

캐소드 전극(전압) V_{ss} 의 전위를 설정해 둔다.

- [0223] 다음으로, 샘플링 기간/이동도 보정 기간 F 로 진행하면, 도 120에 도시하는 바와 같이, 제1 타이밍에서 소스 신호선(18)의 전위가 기준 전위 V_0 로부터 신호 전위 V_{in} 으로 변화되고, 구동 트랜지스터(11a)의 게이트 전위 V_g 는 V_{in} 으로 된다.
- [0224] 이 때 EL 소자(15)는 처음에 컷오프 상태(하이 임피던스 상태)에 있기 때문에 구동 트랜지스터(11a)의 드레인 전류 I_{ds} 는 EL 소자(15)의 컨덴서(19)(기생 용량)(19b)에 유입된다.
- [0225] 이에 따라 EL 소자(15)의 컨덴서(19)(기생 용량)(19b)는 충전을 개시한다. 따라서 구동 트랜지스터(11a)의 소스 전위 V_s 는 상승을 개시하고, 제2 타이밍에서 구동 트랜지스터(11a)의 게이트-소스간 전압 V_{gs} 는 $V_{in} + V_{th} - \Delta V$ 로 된다. 이와 같이 하여 신호 전위 V_{in} 의 샘플링과 보정량 ΔV 의 조정이 행하여진다. V_{in} 이 높을수록 I_{ds} 는 커지고, ΔV 의 절대값도 커진다. 따라서 발광 휘도 레벨에 따른 이동도 보정을 행할 수 있다. 또한 V_{in} 을 일정하게 한 경우, 구동 트랜지스터(11a)의 이동도 μ 가 클수록 ΔV 의 절대값도 커진다. 환언하면 이동도 μ 가 클수록 부귀환량 ΔV 가 커지므로, 화소(16)마다의 이동도 μ 의 변동을 제거하는 것이 가능하다.
- [0226] 마지막으로, 발광 기간 G 로 되면, 도 121에 도시하는 바와 같이, 게이트 신호선(17)이 저전위측으로 변화되고, 스위치 트랜지스터(11b)는 오프 상태로 된다. 이에 의해 구동 트랜지스터(11a)의 게이트 단자 g 는 소스 신호선(18)으로부터 분리된다. 동시에 드레인 전류 I_{ds} 가 EL 소자(15)를 흐르기 시작한다. 이에 의해 EL 소자(15)의 애노드 전위는 구동 전류 I_{ds} 에 따라서 상승한다.
- [0227] EL 소자(15)의 애노드 전위의 상승은, 즉 구동 트랜지스터(11a)의 소스 전위 V_s 의 상승과 다를 바 없다. 구동 트랜지스터(11a)의 소스 전위 V_s 가 상승하면, 컨덴서(19a)의 부트스트랩 동작에 의해, 구동 트랜지스터(11a)의 게이트 전위 V_g 도 연동하여 상승한다. 게이트 전위 V_g 의 상승량은 소스 전위 V_s 의 상승량과 동등하게 된다. 그러므로, 발광 기간 중 구동 트랜지스터(11a)의 게이트-소스간 전압 V_{gs} 는 $V_{in} + V_{th} - \Delta V$ 로 일정하게 유지된다.
- [0228] 도 122는, 도 113의 변경예이다.
- [0229] EL 소자(15)의 애노드 단자와 구동 트랜지스터(11a)의 드레인 단자 d 사이에, 제4 스위치 트랜지스터(11d)를 형성하고 있다. 스위치 트랜지스터(11d)는, 게이트 신호선(17d)에 접속되며, 또한, 게이트 신호선(17d)은, 게이트 드라이버 회로(12d)로부터 온/오프 전압이 인가된다.
- [0230] 도 120 등에서는, 구동 트랜지스터(11a)의 모빌리티 변동을 보정할 수 있는 것을 설명하였다. 즉, 도 120은, 스위치 트랜지스터(11a)를, 단기간, 스위치 트랜지스터(11e)를 온한 방법이다.
- [0231] 단시간이란, $0.05\mu\text{s}$ 이상 $5\mu\text{s}$ 이하의 시간이다. 상기 단시간은, 화소에 인가하는 영상 신호 전압 V_{sig} 에 대응시켜 변화시키는 것이 바람직하다. 또한, 점등률에 대응시켜 변화시키는 것이 바람직하다. 이 변화는, 선형, 비선형에 대응시키는 것을 포함하는 것 외에, 스텝 형상(예를 들면, 점등률 50% 이상에서는, 단시간이란 $0.1\mu\text{s}$ 초, 점등률 50% 미만에서는, $2\mu\text{s}$ 초)에 대응시켜도 된다.
- [0232] 도 115에 도시하는 바와 같이, 점등률에 상관시켜, duty비를 제어 혹은 변화시키는 것이 바람직하다. 피크 전류를 억제하고, 소비 전력을 평균화할 수 있기 때문이다. 점등률이 높을 때에는, duty비를 저하(작게)시킨다. 따라서, 피크 전류를 억제할 수 있다. 또한, 최대 사용 계조수 제어를 실시한다. 이상의 사항은, 도 78, 도 79, 도 83, 도 84, 도 98, 도 99, 도 130 등을 이용하여 설명을 행하고 있다.
- [0233] 1수평 주사 기간(1H)에 대한 온 시간 비율(%) (이하, 온 비율이라고 부름)은, 도 120의 기간이다. 온 시간이란, 스위치 트랜지스터(11b, 11e)의 온 시간(클로즈 시간)을 의미한다. 1H가 $20\mu\text{s}$ 초인 것으로 하면, 10%란, $2\mu\text{s}$ 초로 된다.
- [0234] 온 비율이 길수록, 구동 트랜지스터(11a)의 모빌리티의 보정 효과가 높아진다. 그러나, 컨덴서(19)의 전하가 방전되고, 구동 트랜지스터(11a)의 게이트 단자 전위가 높게(애노드 전압측) 변화하여, EL 소자(15)에 흐르는 전류가 변화하게 된다.
- [0235] 오프셋 캔슬 구동에서는, 흑의 계조(저계조)는, 오프셋 캔슬되고, 구동 트랜지스터(11a)의 특성 변동은 눈에 띄기 어렵다. 그러나, 백의 계조(고계조)에서는, 오프셋 캔슬점으로부터 떨어져 있기 때문에, 구동 트랜지스터(11a)의 특성 변동이 눈에 띄기 쉽다. 이 구동 트랜지스터(11a)의 특성 변동은 모빌리티에 의한 것이다.
- [0236] 점등률이 낮은 경우에는, 저계조 표시의 화소가 많다. 점등률이 높은 경우에는, 고계조 표시의 화소가 많다. 따라서, 온 비율은, 도 115의 아래 도면의 점선으로 도시하는 바와 같이 실시하는 것이 바람직하다. 즉, 저점

등물에서는, 온 비율은 0으로 하고, 고점등물로 됨에 따라서, 온 비율을 크게 한다.

- [0237] 그러나, 점등물이 낮을 때에는, 저계조 표시의 화소가 많다고 하는 것은 통계적인 것이며, 실제와 상이한 경우가 있다. 또한, 점등물이 높은 경우에는, 고조 표시의 화소가 많다고 하는 것도 통계적인 것이다. 실제로는 표시 패턴, 영상 신호의 종류에 따라 상이하다. 따라서, 표시 패턴, 입력되는 영상 신호의 종류(PC 영상, AV 영상 등) 등에 따라, 온 비율을 가변할 수 있게 구성해 두는 것이 바람직하다.
- [0238] 도 113, 도 123에 도시하는 바와 같이, 기타, 게이트 신호선(17a)과 트랜지스터(11a)의 게이트(G) 단자 사이에 적극적으로 컨덴서 Cx를 형성하고, 관통 전압을 증가시키는 구성도 유효하다. 이 컨덴서 Cx의 용량은 정규의 컨덴서(19a)의 용량의 1/10 이상 1/2 이하로 하는 것이 바람직하다. 나아가서는 1/8 이상 1/3 이하로 하는 것이 바람직하다.
- [0239] 관통 전압 발생용의 컨덴서 Cx의 용량(용량을 Cb(pF)로 함)은, 전하 유지용의 컨덴서(19a)의 용량(용량을 Ca(pF)로 함)과, 트랜지스터(11a)의 백 피크 전류 시(화상 표시에서 표시 최대 휘도의 백 래스터 시)의 게이트(G) 단자 전압 Vw(V)를 흑 표시에서의 전류를 흘릴 때(기본적으로는 전류는 0이다. 즉, 화상 표시에서 흑 표시로 하고 있을 때)의 게이트(G) 단자 전압 Vb(V)와 관련된다. 이들 관계는,
- [0240] $Ca/(200Cb) \leq |Vw-Vb| \leq Ca/(8Cb)$
- [0241] 의 조건을 만족시키는 것이 바람직하다. 또한, $|Vw-Vb|$ 란, 구동 트랜지스터의 백 표시 시의 단자 전압(V)과 흑 표시 시의 단자 전압(V)의 차의 절대값이다(즉, 변화되는 전압폭).
- [0242] 더욱 바람직하게는, $Ca/(100Cb) \leq |Vw-Vb| \leq Ca/(10Cb)$
- [0243] 의 조건을 만족시키는 것이 바람직하다.
- [0244] 트랜지스터(11b)는 P채널로 하고, 이 P채널은 적어도 더블 게이트 이상으로 한다. 바람직하게는, 트리플 게이트 이상으로 한다. 더욱 바람직하게는, 4게이트 이상으로 한다. 그리고, 트랜지스터(11b)의 소스-게이트(SD 혹은 게이트-드레인(GD)) 용량 (트랜지스터가 온하고 있을 때의 용량)의 1배 이상 10배 이하의 컨덴서를 병렬로 형성 또는 배치하는 것이 바람직하다.
- [0245] 또한, 이상의 사항은, 도 113, 도 123의 화소 구성뿐만 아니라, 다른 화소 구성에서도 유효하다. 스위치 트랜지스터(11b)가 오프할 때에, 구동 트랜지스터(11a)에 전류가 흐르지 않도록 시프트하도록, 컨덴서 Cx를 배치한다. 또한, 스위칭 트랜지스터(11b)의 N채널은 더블 게이트 이상으로 한다. 리크 대책을 위해서이다.
- [0246] 도 113에서는, 구동 트랜지스터(11a)는, N채널 트랜지스터이고, 영상 신호를 화소에 인가하는 스위치 트랜지스터(11b)도 N채널 트랜지스터이다. 스위치 트랜지스터(11b)를 제어하는 게이트 신호선(17a)은, 화소(16)의 선택 시에는, 높은 전압(VGH)이 인가되고, 비선택으로 되는 경우에는, 낮은 전압(VGL)이 인가된다.
- [0247] 화소(16)가 선택 상태에서부터 비선택 상태로 될 때에는, 게이트 신호선(17a)에 전기적으로 접속된 컨덴서 Cx의 1 단자는 VGH 전압으로부터 VGL 전압으로 변화된다. 컨덴서 Cx는 VGH 전압으로부터 VGL 전압으로의 변화를 관통 전압으로 하여 다른 컨덴서 Cx 단자(구동 트랜지스터(11a)의 게이트 단자에 접속되어 있음)에 전달한다. 따라서, VGH로부터 VGL 전압의 변화에 비례한 전압이, 구동 트랜지스터(11a)의 게이트 단자에 인가되어, 구동 트랜지스터(11a)의 게이트 단자 전압을 저하시킨다. 따라서, 구동 트랜지스터(11a)는 전류를 흘리기 어려운 방향으로 동작한다. 이 동작에 의해, 보다 흑 표시 레벨이 개선되어, 양호한 콘트라스트를 실현할 수 있다.
- [0248] 마찬가지로, 도 123에서는, 구동 트랜지스터(11a)는, P채널 트랜지스터이고, 영상 신호를 화소에 인가하는 스위치 트랜지스터(11b)도 P채널 트랜지스터이다. 즉, 구동 트랜지스터(11a)와 스위치 트랜지스터(11b)는 동극성의 채널 트랜지스터로 구성되어 있다. 스위치 트랜지스터(11b)를 제어하는 게이트 신호선(17a)은, 화소(16)의 선택 시에는, 낮은 전압(VGL)이 인가되고, 비선택으로 되는 경우에는, 높은 전압(VGH)이 인가된다.
- [0249] 따라서, 화소(16)가 선택 상태에서부터 비선택 상태로 될 때에는, 게이트 신호선(17a)에 전기적으로 접속된 컨덴서 Cx의 1단자는 VGL 전압으로부터 VGH 전압으로 변화된다. 컨덴서 Cx는 VGL 전압으로부터 VGH 전압으로의 변화를 관통 전압으로 하여 다른 컨덴서 Cx 단자(구동 트랜지스터(11a)의 게이트 단자에 접속되어 있음)에 전달한다. 그 때문에, VGL로부터 VGH 전압의 변화에 비례한 전압이, 구동 트랜지스터(11a)의 게이트 단자에 인가되어, 구동 트랜지스터(11a)의 게이트 단자 전압을 높은 전압의 방향으로 시프트시킨다. 따라서, 구동 트랜지스터(11a)는 전류를 흘리기 어려운 방향으로 동작한다. 이 동작에 의해, 보다 흑 표시 레벨이 개선되어, 양호한 콘트라스트를 실현할 수 있다.

- [0250] 또한, 관통 전압용의 컨덴서 Cx는, 화소가 변조하는 R, G, B에서 크기(용량)를 변화시키는 것이 바람직하다. R, G, B의 각 EL 소자(15)의 구동 전류가 서로 다르기 때문이다. 또한, EL 소자(15)의 컷오프 전압이 서로 다르기 때문이다. 그 때문에, EL 소자(15)의 구동 트랜지스터(11a)의 게이트(G) 단자에 프로그램하는 전압(전류)이 서로 다르기 때문이다. 예를 들면, R의 화소의 컨덴서 CxR을 0.02pF로 한 경우, 다른 색(G, B의 화소)의 컨덴서 CxG, CxB를 0.025pF로 한다. 또한, R의 화소의 컨덴서 CxR을 0.02pF로 한 경우, G의 화소의 컨덴서 CxG를 0.03pF로 하고, B의 화소의 컨덴서 CxB를 0.025pF로 하는 등이다. 이와 같이, R, G, B의 화소마다 컨덴서 Cx의 용량을 변화시킴으로써 오프셋의 구동 전류를 RGB마다 조정할 수 있다. 따라서, 각 RGB의 흑 표시 레벨을 최적값으로 할 수 있다.
- [0251] 이상의 사항은, 도 1 등의 실시예 1, 실시예 3 등의 화소 구성에도 적용된다. 본 명세서에 기재한 실시예는 상호 조합할 수 있다.
- [0252] 이상은, 관통 전압 발생용의 컨덴서 Cx의 용량을 변화시키는 것으로 하였지만, 관통 전압은, 유지용의 컨덴서(19a)와 관통 전압 발생용의 컨덴서 Cx의 용량의 상대적인 것이다. 따라서, 컨덴서 Cx를 R, G, B의 화소에서 변화시키는 것에 한정되는 것은 아니다. 즉, 유지용 컨덴서(19a)의 용량을 변화시켜도 된다.
- [0253] 예를 들면, R의 화소의 컨덴서(11aR)를 1.0pF로 한 경우, G의 화소의 컨덴서(11aG)를 1.2pF로 하고, B의 화소의 컨덴서(11aB)를 0.9pF로 하는 등이다. 이 때, 관통용 컨덴서 Cx의 용량은, R, G, B에서 공통인 값으로 한다. 따라서, 본 실시예는, 유지용의 컨덴서(19a)와 관통 전압 발생용의 컨덴서 Cx의 용량비를, R, G, B의 화소 중, 적어도 1개를 다른 것과 상이하게 한 것이다. 또한, 유지용의 컨덴서(19a)의 용량과 관통 전압 발생용의 컨덴서 Cx의 용량의 양방을 R, G, B 화소에서 변화시켜도 된다.
- [0254] 또한, 화면(31)의 좌우에서 관통 전압용의 컨덴서 Cx의 용량을 변화시켜도 된다.
- [0255] 이상의 사항은, 도 1 등의 실시예 1, 실시예 3~7 등의 화소 구성, 표시 패널(표시 장치) 혹은 구동 방법에도 적용된다. 본 명세서에 기재한 실시예는 상호 조합할 수 있다.
- [0256] 게이트 드라이버 회로(12)에 가까운 위치에 있는 화소(16)는 신호 공급측에 배치되어 있으므로, 게이트 신호의 상승이 빠르기(스루 레이트가 높기) 때문에, 관통 전압이 커진다. 게이트 신호선(17)단에 배치(형성)되어 있는 화소는, 신호 파형이 완만하다(게이트 신호선(17)에는 용량이 있기 때문임). 게이트 신호의 상승이 느리기(스루 레이트가 느리기) 때문에, 관통 전압이 작아지기 때문이다. 따라서, 게이트 드라이버 회로(12)와의 접속측에 가까운 화소(16)의 관통 전압용 컨덴서 Cx를 작게 한다. 또한, 게이트 신호선(17)단은 컨덴서 Cx를 크게 한다. 예를 들면, 화면의 좌우에서 컨덴서의 용량은 10% 정도 변화시킨다.
- [0257] 마찬가지로, 화면(31)의 상하에서 관통 전압용의 컨덴서 Cx의 용량을 변화시켜도 된다. 화면(31)에는, 컨덴서 Ca와 영상 신호의 기입 타이밍의 문제로부터, 휘도 경사가 발생하기 때문이다. 컨덴서 Cx의 값을 또한, 소스 신호선(18)을 따라서 변화시킨다. 예를 들면, 화면의 상하에서 컨덴서 Cx의 용량은 10% 정도 변화시킨다.
- [0258] 발생하는 관통 전압은, 유지용 컨덴서(19a)와 관통 전압 발생용의 컨덴서 Cx의 용량비로 결정된다. 따라서, 화면의 좌우에서 관통 전압 발생용의 컨덴서 Cx의 크기를 변화시키는 것으로 하였지만, 이것에 한정되는 것은 아니다. 관통 전압 발생용의 컨덴서 Cx는 화면의 좌우에서 일정하게 하고, 전하 유지용의 컨덴서(19a)의 용량을 화면의 좌우에서 변화시켜도 된다. 또한, 관통 전압 발생용의 컨덴서 Cx와, 전하 유지용의 컨덴서(19a) 용량의 양방을 화면의 좌우에서 변화시켜도 되는 것은 물론이다. 이상의 사항은, 화면(31)의 상하 방향에 관해서도 마찬가지로이다.
- [0259] 도 1의 구성 혹은 방식은, 영상 신호 전압 Vsig를 화소에 형성된 오프셋 캔슬 컨덴서(19b)에 유지하는 것이었다. 오프셋 캔슬 컨덴서(19b)에 영상 신호 전압 Vsig를 유지함으로써, 화소(16)의 선택 후에도 오프셋 캔슬 동작을 계속해서, 양호한 오프셋 캔슬을 실현할 수 있다.
- [0260] 도 95는, 도 113, 도 123 등에서 설명한 본 실시예의 화소 구성 혹은 EL 표시 장치에 컨덴서(19b)를 부가한 구성이다. 컨덴서(19b)는, 영상 신호 전압 Vsig를 유지하는 것이 아니라, 캔슬 전압 Vr을 유지한다.
- [0261] 도 118에 도시하는 바와 같이, 캔슬 전압 Vr을 단시간 동안, 구동 트랜지스터(11a)의 소스 단자(혹은 드레인 단자)에 인가한다. 그러나, 단시간이기 때문에, 충분히 캔슬 동작을 실시할 수 없는 경우가 있다.
- [0262] 도 95와 같이, 캔슬 전압 Vr을 유지하는 컨덴서(19b)를 화소(16)에 형성하면, 스위치 트랜지스터(11c)를 오픈한 후에도, 컨덴서(19b)에 유지한 캔슬 전압 Vr을 이용하여, 캔슬 동작을 계속할 수 있다. 따라서, 캔슬 동작을

복수 수평 주사 기간에 걸쳐 실시할 수 있다.

- [0263] 이상과 같이, 본 실시예는, 소정의 종류의 전압(영상 신호 전압 V_{sig} , 캔슬 전압 V_r 등)을 화소(16)에 인가하고, 상기 소정의 종류의 전압의 인가가 완료한 후에도, 소정의 종류의 전압을 컨덴서(19b)에 유지하고, 유지한 전압에 의해 소정 동작(오프셋 캔슬 동작, 캔슬 동작 등)을 계속하는 것이다. 또한, 소정 동작을 계속할 수 있는 구조 또는 구성이다.
- [0264] 또한, 본 발명의 실시예에서, 소정의 종류의 전압(영상 신호 전압 V_{sig} , 캔슬 전압 V_r 등)을 유지하는 컨덴서(19b)를 화소(16)에 형성하는 것으로 하였지만, 이것에 한정되는 것은 아니다. 예를 들면, 다이오드를 화소에 형성하고, 다이오드의 접합 용량에 상기 소정의 종류의 전압을 유지해도 된다. 또한, 화소에 트랜지스터 소자를 형성하고, 트랜지스터의 기생 용량(게이트 용량 등)에 상기 소정의 종류의 전압을 유지해도 된다.
- [0265] 또한, 소정의 종류의 전압(영상 신호 전압 V_{sig} , 캔슬 전압 V_r 등)을 유지하는 컨덴서(19b)를 화소(16)에 형성하는 것으로 하였지만, 이것에 한정되는 것은 아니다. 예를 들면, 도 124~도 126에 도시하는 바와 같이, 복수의 화소(16)를 공통(화소행, 화소열)으로 하여, 1개의 컨덴서(19b)를 배치해도 된다.
- [0266] 도 124는, 1화소행에 1개의 컨덴서(19b)를 형성하고, 컨덴서(19b)에 캔슬 전압 V_r 을 유지시키는 구성이다. 도 125는, 1화소행에 1개의 컨덴서(19b)를 형성하고, 컨덴서(19b)에 영상 신호 전압 V_{sig} 를 유지시키는 구성이다. 영상 신호 전압 V_{sig} 가 화소행 혹은 화소열에 공통인 신호인 경우에 유효하다. 도 126은, 1화소행에 1개의 컨덴서(19b)를 형성하고, 컨덴서(19b)에 리세트 전압 V_{rst} 를 유지시키는 구성이다.
- [0267] 또한, 도 124~도 126의 구성에서, 각 화소에 리세트 전압 V_{rst} 혹은, 캔슬 전압 V_r 을 인가하는 스위치 트랜지스터(11c 혹은 11f)를 배치하고 있지만, 이것에 한정되는 것은 아니다. 예를 들면, RGB의 화소를 1조로 하여, 스위치 트랜지스터(11c 혹은 11f)를 배치해도 된다. 또한, 화소행 혹은 화소열마다, 스위치 트랜지스터(11c 혹은 11f)를 배치해도 된다.
- [0268] 애노드 전압 V_{dd} , 캐소드 전압 V_{ss} 등의 전압을 발생시키는 전원 회로(전원 IC)를 외부에 배치하는 경우에는, 이 전원 회로(전원 IC)를 온/오프 제어시키는 온/오프 신호를 소스 드라이버 IC(14)로부터 발생(지시)시키는 것이 바람직하다. 애노드 전압 V_{dd} , 캐소드 전압 V_{ss} 는, VGH, VGL 전압의 인가(공급) 후에, 패널(34)에 인가(공급)한다.
- [0269] 이상의 사항은, 본 명세서의 다른 실시예에도 적용되는 것은 물론이다.
- [0270] 도 127에 도시하는 바와 같이, 캔슬 전압 V_r 을 인가하는 배선 및 스위치 트랜지스터(11c)를 복수의 화소(예를 들면, RGB의 화소를 1조로 하여)에 1개 형성 또는 설치해도 된다. 또한, 컨덴서(19b)는, RGB에서 서로 다르게 해도 된다. RGB에서 컨덴서(19b)의 용량을 서로 다르게 함으로써, 오프셋 캔슬 동작, 리세트 동작, 캔슬 동작 등을, RGB의 특성에 맞추어 최적으로 설정할 수 있기 때문이다.
- [0271] 도 128에 도시하는 바와 같이, 캔슬 전압 V_r 을 인가하는 배선 및 스위치 트랜지스터(11c), 컨덴서(19b)를 복수의 화소(예를 들면, RGB의 화소를 1조로 하여)에 1개 형성 또는 설치해도 된다. 화소 구성이 간략화되어, 화소(16)의 개구율을 향상시킬 수 있다. 이상의 사항은, 본 명세서의 다른 실시예에도 적용되는 것은 물론이다.
- [0272] 컨덴서(19b)의 용량은, 표시 화면(31)의 부분에서 서로 다르게 해도 된다. 예를 들면, 화면의 좌우와 중앙부에서, 컨덴서(19b)의 용량을 서로 다르게 한다. 화면의 부분에 맞추어, 오프셋 캔슬 동작, 리세트 동작, 캔슬 동작 등을, 최적으로 설정할 수 있기 때문이다. 이상의 사항은, 유지용의 컨덴서(19a)에도 적용할 수 있다. 화면의 부분에 맞추어, 영상 신호 전압 V_{sig} 의 기입, 오프셋 캔슬 동작 등을, 최적으로 설정할 수 있기 때문이다.
- [0273] 이상의 사항은, 본 명세서의 다른 실시예에서도 적용되는 것은 물론이다. 또한, 다른 실시예와 조합할 수 있는 것은 물론이다. 따라서, 다른 실시예에서, 도면의 작성, 설명을 용이하게 하기 위하여, 복수의 구성, 실시의 조합은 생략하고 있다. 이상의 사항은, 도 1, 도 4, 도 5, 도 10, 도 11, 도 25, 도 29, 도 31, 도 33, 도 35, 도 37, 도 42, 도 46, 도 52, 도 54, 도 55, 도 58, 도 59, 도 86, 도 90, 도 91, 도 92, 도 93, 도 94, 도 95, 도 113, 도 123, 도 124~도 128 등의 EL 표시 패널 혹은 EL 표시 장치에도 적용할 수 있는 것은 물론이다.
- [0274] 이상의 사항은 다른 실시예에서도 마찬가지이다. 예를 들면, 도 12, 도 13, 도 61, 도 75, 도 76, 도 77, 도 78, 도 79, 도 83, 도 84, 도 85, 도 98, 도 99, 도 100, 도 101 등의 방법 혹은 방식, 도 7, 도 8, 도 9, 도 60, 도 83, 도 96, 도 102, 도 103, 도 104, 도 106, 도 107, 도 108, 도 109, 도 110, 도 111, 도 112, 도 129의 구성 혹은 구조 혹은 방법에 관해서도 앞서 예시한 혹은 본 명세서에 기재한 화소 구성과 조합하여 실시

할 수 있는 것은 물론이다.

- [0275] <실시예 3>
- [0276] 본 발명의 실시예 3에 대하여 설명한다. 또한, 지금까지 설명한 구성, 방식은, 이하에 설명하는 구성 혹은 방식에 적용 혹은 조합할 수 있는 것은 물론이다.
- [0277] 도 14는, 본 실시예에서의 EL 표시 패널의 1열분의 회로를 도시한 것이다. 여기서 소스 신호선(18)은 절환 수단(141)을 통하여, 1열에 대하여 2개의 소스 신호선(18a와 18b)이 존재하고, 짝수행과 홀수행의 화소에서 접속되는 소스 신호선이 서로 다른 구성으로 되어 있는 것이 특징이다(도 6 등도 참조).
- [0278] 각 화소(16)의 구성은, 예를 들면, 도 1, 도 4, 도 10, 도 25, 도 29, 도 42, 도 46, 도 52, 도 54, 도 55, 도 58, 도 59, 도 86, 도 87, 도 90, 도 91, 도 92, 도 93, 도 94, 도 95, 도 113, 도 122, 도 124~도 128 등의 회로로 구성되어 있다. 즉, 이하의 실시예는, 본 명세서의 다른 실시예에 적용할 수 있다. 또한, 상호 조합할 수 있다.
- [0279] 게이트 드라이버 회로(12a)는, 시프트 레지스터 구성으로 되어 있고, 클럭마다 펄스가 1단씩 시프트된다. 게이트 신호선(17)에 대한 접속을, 도 14와 같이 행함으로써, 도 15에 도시하는 바와 같은 신호 파형을 실현할 수 있다.
- [0280] 시프트 클럭의 주기를 1수평 주사 기간(1H)으로 설정하고, 1수평 주사 기간만 펄스가 출력되는 스타트 펄스가 입력된다. 이로써 각 행 1수평 주사 기간씩 어긋난 타이밍에서 1수평 주사 기간 동안 펄스가 발생하는 회로를 실현할 수 있다.
- [0281] 시프트 레지스터의 각 단 출력을 도 14와 같이 게이트 신호선(17)에 공급하고, 절환 수단(141)을 도 15에 도시하는 바와 같이 동작시킴으로써, 처음의 1수평 주사 기간(1H)에서는, 1행째의 화소(16a)의 구동 트랜지스터(11a)의 게이트 전압을 Vrst 전원에 의해 초기화한다. 동시에 소스 신호선으로부터 소정의 계조에 대응하는 1행째의 화소에 대응하는 신호 전압이 절환 수단(141)을 통하여 소스 신호선(18b)에 충전된다. 소스 신호선(18a)에는 충전되지 않는다. 절환 수단(141)에 의해 소스 드라이버 출력으로부터 분리되어 있다.
- [0282] 다음의 1수평 주사 기간에서는 절환 수단(141)을 동작시켜, 소스 신호선(18a)을 충전하도록 한다. 이 때 소스 신호선(18b)은, 소스 드라이버 출력으로부터 분리되어 있기 때문에, 소스 신호선의 부유 용량(142b)에 의해 1행째의 화소에 대응하는 신호 전압이 충전된 상태 그대로이다. 따라서, 게이트 신호선(17a) 및 게이트 신호선(17c)을 주사하고, 화소(16a)의 트랜지스터(11c, 11b)를 도통 상태로 하고, 화소의 구동 트랜지스터(11a)에 계조 신호의 기입과, 특성 변동의 캔슬 동작을 실시한다. 동시에 2행째의 화소에 대응하여, 화소(16b)에 대응하는 계조 신호 전압이 소스 신호선(18a)에 충전되고, 구동 트랜지스터(11a)의 게이트 단자가 Vrst 전원에 의해 초기화된다.
- [0283] 부유 용량(142)은, 게이트 신호선(17)과 소스 신호선(18)의 교차부에 발생하는 용량, 소스 신호선(18)과 화소 전극의 결합 용량 등으로 구성된다. 도 14 등에서, 컨덴서(142)는 부유 용량으로서 설명하지만 이것에 한정되는 것은 아니다. 소스 신호선(18)을 한 쪽의 전극으로 하여 컨덴서를 형성해도 된다.
- [0284] 소스 신호선(18a)과 소스 신호선(18b)을 수평 주사 기간마다 절환하여 이용함으로써, 소스 신호선에 인가시키는 계조 신호가 2수평 주사 기간 유지되기 때문에, 화소 회로(16)에 신호를 기입하는 시간을 길게 할 수 있게 된다.
- [0285] 도 1 등의 화소 회로의 구성에서는, 구동 트랜지스터(11a)에 계조 신호를 기입하면서, 특성 변동을 캔슬하는 동작을 행한다. 특성 변동을 캔슬하는 동작은, 트랜지스터(11f, 11d, 11e)가 오프이고 트랜지스터(11b)가 온 상태일 때에 행하여지고, 구동 트랜지스터(11a)의 드레인 전류가 0으로 되도록, 구동 트랜지스터(11a)의 게이트 전위가 변화함으로써, 특성 변동의 캔슬을 행하고 있다.
- [0286] 구동 트랜지스터(11a)의 게이트 전위를 변화시키고 있는 것은, 드레인 전류에 의한 전하이며, 최종 상태가 0 혹은 한없이 작은 전류(피코암페어 오더)이기 때문에, 게이트 전위를 지지하고 있는 유지용 컨덴서(19a)의 전하의 충방전에 시간이 걸린다. 그 때문에, 캔슬 동작에는 시간이 걸리는 것을 알 수 있다.
- [0287] 1수평 주사 기간(1H)이 긴 경우에는, 1수평 주사 기간 내에 캔슬 동작을 완료시킬 수 있다. 그러나, 수직 라인 수가 많고, 1수평 주사 기간이 40 μ 초보다도 짧은 경우에는, 캔슬 동작이 마지막까지 행하여지지 않아, 특성 보상이 불완전하게 되고, 그 결과, 특성 변동에 따른 불균일이 발생하는 문제가 있다.

- [0288] 그래서, 캔슬 시간을 1수평 주사 기간 이상으로 확대하는 방법으로서, 도 16에 도시하는 바와 같이 게이트 드라이버 회로(12a)를 다시 2개의 게이트 드라이버 회로(12a1), 게이트 드라이버 회로(12a2)로 구성한다. 구동 트랜지스터(11a)의 초기화를, 대응하는 영상 신호가 입력되는 1수평 주사 기간 전에 미리 실시한다. 또한, 소스 신호선(18a 혹은 18b)에 영상 신호가 입력되는 수평 주사 기간으로부터 구동 트랜지스터(11a)에 게조 전압의 기입 및 특성 캔슬 동작을 행하도록 한다. 절환부(141)의 동작에 의해, 2수평 주사 기간 동안 영상 신호가 유지되기 때문에, 게조 전압의 기입 및 특성 캔슬 동작을 2수평 주사 기간 중 실시하는 것이 가능하게 된다.
- [0289] 이것을 실현하기 위하여, 도 17에 도시하는 바와 같이, 시프트 레지스터(12a2)의 스타트 펄스(172b)를 입력한다. 각 행의 트랜지스터(17a 및 17c)가 2수평 주사 기간 온된다. 온되는 타이밍은 소스 신호선(18, 18a, 18b)의 영상 신호에 동기하여 실시된다. 영상 신호가 짝수행과 홀수행에서 2개의 소스 신호선(18a 및 18c)으로 분류됨으로써 주파수가 절반으로 되어, 기입 시간을 2배로 할 수 있다.
- [0290] 또한, 인에이블 신호(173)에 대해서는, 펄스 전파 시의 파형 무덤에 의한 복수의 행의 화소에서 동시 선택되는 것을 방지하기 위한 신호로서, 동시 선택이 발생하지 않는 경우나, 동시 선택이라도 문제 없이 동작하는 경우에는, 불필요하다. 인에이블 신호(173)가 없어도 본 실시예를 실시할 수 있다. 예를 들면 도 21과 같이, 특성 캔슬을 행하기 위한 신호를 생성하는 게이트 드라이버 회로(12a2)의 인에이블 신호를 삭제한 경우의 입력 파형 및 동작을 나타낸다.
- [0291] 도 17의 파형에 따르면, 2수평 주사 기간 동안, 구동 트랜지스터(11a)의 특성 보정 동작이 가능하지만, 미리 영상 신호가 입력되는 1수평 주사 기간 전에 구동 트랜지스터(11a)를 초기화하기 위한 동작이 필요하며, 1수평 주사 기간 전에 미리 동작시키는 것이 필요하다. 따라서, 선두행을 검지할 수 없는 경우에는, 미리 초기화를 할 수 없게 될 우려가 있다.
- [0292] 그래서, 도 18에 도시하는 바와 같이, 초기화 동작을, 1행째의 영상 신호 입력 시와 동시에 실시하는 신호 패턴을 발명하였다. 초기화 동작 시에는, 특성 보정 동작을 할 수 없기 때문에, 2수평 주사 기간(2H) 동안에, 초기화 후 특성 보정 동작을 행한다.
- [0293] 도 18의 구성에서는, 2수평 주사 기간 중의 처음의 수평 주사 기간의 전반에 초기화 동작을 행하고, 남은 절반과 다음의 수평 주사 기간에서 화소에의 신호 기입과 특성 보상 동작을 실시한다. 게이트 드라이버가 시프트 레지스터 구성인 경우에는, 수평 주사 기간과 시프트 클럭이 일치하는 경우에는, 인에이블 신호로 펄스 폭을 커트하는 방법에 의해, 수평 주사 기간의 전반과 후반에서 서로 다른 스위치의 동작을 실현한다.
- [0294] 게이트 신호선(17d)이 로우 레벨일 때가, 구동 트랜지스터(11a)의 초기화 기간으로 되고, 게이트 신호선(17a 및 17c)이 로우 레벨일 때에, 구동 트랜지스터(11a)의 특성 캔슬과, 화소에 게조를 기입하는 기간으로 된다.
- [0295] 도 17a 및 도 17c의 로우 레벨 기간을 1수평 주사 기간보다 길게 설정할 수 있기 때문에, 수평 주사 기간이 30 μ 초이어도, 종래비 1.5배의 기간이 취해지기 때문에 45 μ 초의 캔슬 기간이 취해지고, 구동 트랜지스터의 특성 변동을 보정하는 것이 가능하게 된다. 초기화 동작 자체는, 2~10 μ 초 정도에서 완료하기 때문에, 최대 2수평 주사 기간으로부터 2~10 μ 초를 뺀 시간까지 캔슬 기간을 확대할 수 있다.
- [0296] 게이트 드라이버 회로(12a)의 시프트 레지스터가 1계통이며 또한 캔슬 기간을 1수평 주사 기간 이상으로 확대하는 방법을 도 19 및 도 20에 도시한다.
- [0297] 예를 들면, 2수평 주사 기간 동안 캔슬하는 경우에는, 2수평 주사 기간 게이트 신호선(17a 및 17c)이 도통 상태에 있을 필요가 있다. 그래서 게이트 드라이버 회로(12a)의 스타트 펄스를 2수평 주사 기간의 길이만큼 입력한다. 이에 의해, 캔슬 및 게조 기입 시간을 2수평 주사 기간으로 설정할 수 있다. 마찬가지로 초기화를 실시하기 위한 게이트 신호선(17d)용의 펄스를 생성할 필요가 있다.
- [0298] 또한, 도 1, 도 25에 도시하는 바와 같은 화소 회로 구성이기 때문에, 게이트 신호선(17d)과 구동 트랜지스터(11a), 스위치 트랜지스터(11c)를 동시에 도통 상태로 하면 안되기 때문에(다른 전압이 쇼트됨), 초기화용의 펄스는, 동일행의 화소에 대한 캔슬 및 게조 기입용의 펄스와 겹치지 않도록 할 필요가 있다.
- [0299] 구체적으로는, 2수평 주사 기간 전의 펄스를 초기화용의 펄스로서 이용하면 된다. 도 19에 도시하는 바와 같이, 시프트 레지스터에 대하여, 게이트 신호선(17d)과 공통인 출력을 캔슬 및 게조 신호 기입용 게이트 신호선에 이용하는 경우에는, 2행분 후단(즉 2수평 주사 기간 후)의 신호를 이용하면, 동일 화소(16a)에 대하여, 도 20에 도시하는 바와 같이, 참조 부호 201, 202의 2수평 주사 기간에서 초기화를 실시한다. 또한, 참조 부호 203, 204의 2수평 주사 기간에서 구동 트랜지스터(11a)의 특성 캔슬 및 게조 신호 기입을 실시하고 있다. 참조

부호 16b, 16c의 화소에서도 마찬가지로 1수평 주사 기간씩 지연된 타이밍에서 실시하고 있다.

- [0300] 이 방법은, 2수평 주사 기간의 캔슬뿐만 아니라, 3수평 주사 기간 이상, 필요한 경우라도 실시가 가능하다. 1열분의 화소에 대응하는 소스 신호선의 수를 필요로 하는 수평 주사 기간의 수(정수)분을 준비하고, 게이트 드라이버 회로(12a)의 스타트 펄스의 펄스 폭을 필요한 수평 주사 기간수 입력한다. 초기화에 대응하는 게이트 신호를 취출하는 시프트 레지스터의 단으로부터 필요한 수평 주사 기간 수만큼 후단의 시프트 레지스터로부터 특성 캔슬 및 계조 신호 기입용의 게이트 신호를 취출하여, 동일행의 화소에 입력하면 실현이 가능하다.
- [0301] 영상 신호가, 대응하는 행의 화소에 기입되도록 하기 위하여, 스타트 펄스는, 영상 신호에 대하여 미리 입력할 필요가 있다. 적어도 캔슬을 행하는 수평 주사 기간의 길이 그만큼 빨리 입력이 필요하다. 도 20에서도 2수평 주사 기간 빨리 입력하고 있다.
- [0302] 소스 드라이버의 코스트 삭감을 위해, 1출력으로부터 시계열로 복수의 화소에 대응하는 전압을 출력하는 선택 구동 방식을 채용하는 경우가 있다. 선택 구동 방식이 없는 경우에 비해, 해당 화소에 대응하는 영상 신호가 입력되는 타이밍이 표시색에 의해 서로 다르게 된다.
- [0303] 예를 들면, 적녹청의 3화소분을 1출력으로 행하는 3선택 구동의 경우에는, 도 22에 도시하는 바와 같이, 적(R)색에 대하여, 녹(G) 및 청(B)은 수평 주사 기간의 처음이 아니라, 도중에서 신호가 변화되고 있는 것을 알 수 있다. 게이트 신호선(17a 및 17c)을 참조 부호 221의 파형에 의해 입력하면 녹 및 청색의 화소에 대해서는, 1행 전의 영상 신호가 화소에 기입되고, 소스 신호선의 변화에 의해 해당 행의 영상 신호가 기입되게 된다.
- [0304] 액정 등에서는, 기입 시의 최종 전압(게이트 신호선이 오프로 되는 순간의 전압)이 1프레임간 화소에 유지되고, 소정 휘도로 표시되기 때문에 문제가 없다. 본 실시예에서의 화소 구성을 갖는 유기 EL 표시 패널에서는, 영상 신호를 구동 트랜지스터(11a)에 기입할 때에 구동 트랜지스터(11a)의 특성 변동을 보정하는 동작을 행하고 있다.
- [0305] 보정에 필요로 하는 시간을 단축하기 위하여, 기입을 행하기 전에, 초기화 동작을 행하고, 구동 트랜지스터(11a)의 게이트 단자에 낮은 전압(백 표시 시보다도 구동 트랜지스터(11a)가 전류를 더 흘리는 전압)으로 미리 초기화를 행하고 있다.
- [0306] 초기화의 전압은 낮을수록 특성 보정이 고속화된다. 선택 구동 시에 1행 전의 전압이 조금이라도 인가되면, 구동 트랜지스터(11a)의 게이트 전압이 1행 전의 전압으로 변화되게 되어, 1행 전의 전압이 인가된 상태에서, 해당 행의 영상 신호에 의한 계조 신호의 기입과 트랜지스터 변동 특성 보정을 행하게 되어, 초기화를 행하는 효과가 없어지게 된다. 이것은 3선택 구동이 아니어도, 2선택 이상의 신호선 선택 구동을 실시할 때에 공통인 과제이다.
- [0307] 본 실시예에서는, 선택 구동을 행할 때에, 동일 수평 주사 기간에서 기입을 행하는 신호선의 전압이 전부 확정된 후에 특성 캔슬 동작을 행하도록 하였다.
- [0308] 도 23, 도 24 및 도 26에 실시예 중 하나를 도시한다. 여기서 선택 구동은 적녹청의 3개의 신호선을 순서대로 선택하는 3선택 구동 방식으로 하고 있다. 2선택이나, 4선택 이상에서도 마찬가지로 실현할 수 있다.
- [0309] 캔슬 시간을 확보하기 위하여, 각 열에 대하여 2개의 신호선을 준비하고, 짝수행과 홀수행에서 서로 다른 소스 신호선을 이용하고 있다. 도 23에서는 게이트 드라이버 회로(12a)를 시프트 레지스터 회로 1계통에서 실시하는 구성을 도시하고 있다. 도 23의 게이트 드라이버 회로(12a)를 이용한 경우의 신호 입력과, 신호선 선택 회로(232)의 동작을 도 26에 도시한다. 1수평 주사 기간 내에서 적(R), 녹(G), 청(B)으로 신호선을 절환하고 있다. 또한 1수평 주사 기간마다 홀수행용의 소스선(18b), 짝수행용의 소스선(18a)을 절환하여 선택을 행하고 있다.
- [0310] 이 방식에서는, 초기화의 타이밍과 해당 행의 영상 신호선의 기입이 동일하고, 화소 내부에 영상 신호의 기입은, 다음의 수평 주사 기간에서 실시되고 있다. 따라서, 구동 트랜지스터(11a)에의 신호선 기입 및 특성 변동 보정의 실시 중에 영상 신호가 변하는 일은 없어, 선택 구동 시에서도 지금까지와 마찬가지로 구동이 실시 가능하다.
- [0311] 1화소분에 주목한 타이밍 차트를 도 24에 도시한다. 여기서는 지금까지 기재하고 있지 않았던 게이트 신호선(17b)에 대해서도 기재를 행하고 있다. 게이트 신호선(17b)에 대해서는, 초기화 기간 및 특성 캔슬, 계조 신호를 구동 트랜지스터에 기입을 행하고 있는 기간에서는 반드시, 접속되는 스위치가 비도통 상태일 필요가 있다. 그러나, 그 밖의 기간에서는, 도통, 비도통 상태 어느 쪽이어도 상관없다. 이것은 본 실시예 외의 실시 형태에

서도 마찬가지이다. 도 24에서는, 도통 비도통을 반복하여 실시하고 있는 예를 도시하고 있다.

- [0312] 소스 신호선(18)은 3선택 구동 대응용으로 1수평 주사 기간 동안에 3화소분의 신호를 보내고 있다. 신호선 선택 회로에 의해 홀수행제의 청 화소에 대응하는 소스 신호선(18bB)의 전압 변화는 참조 부호 241로 도시하는 파형과 같이 된다.
- [0313] 1행제에 대응하는 게조 신호의 변화는 참조 부호 242의 타이밍에서 변화된다. 이 때 게이트 신호선(17b)이 오프 상태로 되어 있고, 구동 트랜지스터(11a)의 게이트 단자에 1행 전의 영상 신호가 기입되는 일이 없게 되어 있다. 게이트 신호선(17a)에 대해서는, 도 23의 게이트 드라이버 회로(12)의 구성에 의하면 오프로 되어 있지만, 온 상태이어도 상관없다. 게이트 드라이버 회로(12)의 구성을 변경하여 온으로 해도 된다. 구동 트랜지스터(11a)의 소스 단자에 1행 전의 전압이 인가되지만, 초기화되어 있는 게이트 단자에는 인가되는 일이 없기 때문이다.
- [0314] 시간 $2t$ 이후에서 게이트 신호선(17c, 17a)이 도통 상태로 되고, 구동 트랜지스터(11a)에 게조 전압 및 특성 캔슬 동작이 행하여진다. 이 때, 소스 신호선(18bB)은 도 26에서와 같이, 신호선 선택 회로(232)에 의해 각 소스 신호선으로부터 분리된 상태로 된다.
- [0315] 소스 신호선의 부유 용량(233)에 의해, 소스 드라이버로부터 기입된 전압이 2수평 주사 기간 동안 유지된다. 유지된 전압값이 화소에 기입되고, 소정 전압이 기입되어 있다. 시간 $2t \sim 3t$ 사이에, 구동 트랜지스터(11a)의 게이트 전압은 기입되는 소스 전압(V_{sig})으로부터 임계값 전압(V_{th})만큼 저하한 전위로 서서히 변화되고, ($V_{sig} - V_{th}$)로 된다. 시간 $3t$ 에서 소정 전압으로 기입된 후, 게이트 신호(17b)를 도통 상태로 함으로써 소정 전류가 EL 소자(15)에 흐르고, 발광한다.
- [0316] 도 27은 게이트 드라이버 회로(12a)를 시프트 레지스터 2계통으로 구성한 경우의 도면이다. 이것에 의하면 스타트 펄스의 개별 설정에 의해, 게이트 신호선(17d)에 대하여 게이트 신호선(17a 및 17c)의 펄스 폭을 서로 다르게 설정하는 것이 가능하다.
- [0317] 도 28에 게이트 드라이버 회로(12a1 및 12a2)의 입력 파형과, 각 게이트 신호선 파형을 도시한다. 초기화용의 신호를 생성하는 게이트 드라이버 회로(12a1)에 대하여, 초기화를 행하기 위한 펄스를 생성한다. 초기화에 필요로 하는 시간은 V_{rst} 를 발생하는 전원 능력에 의하지만 10μ 초 정도에서 초기화가 완료된다. 게이트 신호선(17d)이 온 상태로 되는 것은 짧은 시간에서 실시하고 있다.
- [0318] 시간이 걸리는 특성 캔슬 기간과 초기화 기간은 동시에 실시할 수 없기 때문에, 2수평 주사 기간 내에서 초기화~특성 캔슬, 게조 신호 기입을 실시하기 위해서는, 초기화를 짧게 하는 것이 중요하기 때문이다.
- [0319] 도 27, 도 37의 실시예에서는, 1수평 주사 기간에 2화소행을 선택하는 방식이지만, 본 실시예는 이것에 한정되는 것은 아니다. 3화소행 이상을 동시에 선택해도 된다. 3화소행 이상을 동시에 선택하는 경우에는, 소스 신호선(18)의 개수도 증가시킨다. 기본적으로는, 1수평 주사 기간에 동시에 선택하는 화소행분의 수량의 소스 신호선(18)을 형성한다.
- [0320] 또한, 동시에 선택하는 화소행은, 인접하고 있는 것에 한정되지 않는다. 2화소행 단위이어도 된다. 일례로서, 제1 수평 주사 기간에, 제1번째의 화소행과 제3번째의 화소행을 선택하고, 제2 수평 주사 기간에, 제2번째의 화소행과 제4번째의 화소행을 선택하는 구동 방식이 예시된다.
- [0321] 또한, 동시에 선택하는 화소행은, 영상 신호 전압 V_{sig} 의 기입 타이밍을 어긋나게 해도 된다. 예를 들면, 제1번째의 화소행과 제2번째의 화소행을 선택하는 경우, 제1번째의 화소행을 선택한 후, 5μ 초 후에 제2번째의 화소행을 선택해도 된다. 선택 타이밍을 서로 다르게 함으로써, 돌입 전류 등을 억제할 수 있다. 또한, 선택 회로(1041)를 형성하고, 선택 회로(1041)와 타이밍 조정을 실시해도 된다.
- [0322] 도 28에서는 적색으로 소스 출력이 선택된 기간에서만 실시하고 있지만, 적과 녹색의 선택 기간 혹은 적색의 선택 기간의 일부 등이어도 된다. 해당 행의 영상 신호가 기입되는 것이 가장 느린 청색의 소스 신호선(18aB 혹은 18bB)에서는 청색의 선택 기간으로 될 때까지 해당 화소에 대응하는 전압이 소스 신호선(18aB 혹은 18bB)에 인가되고 있지 않기 때문에, 특성 캔슬 기간으로 이행할 수 없다.
- [0323] 특성 캔슬을 할 수 없기 때문에, 적녹 선택 기간은 초기화 기간으로 해도 문제가 없다. 특성 캔슬 및 게조 신호 기입이지만, 게이트 드라이버 회로(12a2)의 시프트 레지스터 회로에 의해 2수평 주사 기간 선택할 수 있는 펄스를 생성하고, 초기화 기간 혹은 영상 신호가 기입되어 있지 않은 기간을 제외하도록, 홀수행 짝수행별로 인

에이블 기간을 설정하는 인에이블 신호를 갖는다.

- [0324] 1행째의 특성 캔슬 및 계조 신호 기입 기간은 참조 부호 281로 표시되는 기간으로 된다. 참조 부호 281의 기간의 시작은, 청화소 기입 종료 후로 되어 있지만, 청화소가 신호선 선택 회로에서 선택되고 소정 전압으로 소스 신호선(18aB 혹은 18bB)이 변화한 후이면, 게이트 신호선(17a 및 17c)을 로우 레벨로 해도 된다. 참조 부호 281의 기간의 끝은, 다음에 동일한 소스 신호선에 서로 다른 행의 화소에 대응하는 전압이 인가되기 전으로 설정하면 된다. 신호선 선택 속도가 빠른 경우에는, 기입 종료 후~다음의 수평 주사 기간의 최후까지 특성 캔슬 기간을 설정할 수 있어, 구동 트랜지스터(11a)의 임계값 전압 보정 능력이 높은 표시를 실현 가능하다.
- [0325] 또한, 게이트 신호선(17a)에 대해서는, 2수평 주사 기간 전부에서 로우 레벨로 해도 된다. 트랜지스터(11c)가 도통 상태로 되어도, 구동 트랜지스터(11a)의 게이트 전압에는 영향이 없기 때문이다. 이 경우, 게이트 신호선(17c)용에는 인에이블 신호를 통하여 시프트 레지스터 출력이 입력되고, 게이트 신호선(17a)용에는 인에이블 신호를 통하지 않거나, 혹은, 별도의 인에이블 신호를 통하여 시프트 레지스터 출력이 입력되는 구성으로 된다.
- [0326] 지금까지는 화소 회로(16)에 이용되는 트랜지스터는 P채널 트랜지스터로 설명을 행해 왔지만, 도 29에 도시하는 N채널 트랜지스터로 구성해도 된다. 이상의 사항은 본 실시예의 다른 화소 구성에서도 마찬가지이다.
- [0327] 유기 EL 소자(15)에 대해서는, 애노드와 캐소드의 방향이 반대이며 또한, V_{ss} 전위 > V_{dd} 전위로 하는 구성이어도 된다. 도 29에서는 컨덴서(19b)가 형성되어 있지만, 컨덴서(19b)가 없어도 본 실시예를 마찬가지로 실시하는 것이 가능하다. 이상의 사항은 본 실시예의 다른 화소 구성에서도 마찬가지이다.
- [0328] 또한, 도 29와 도 4를 비교하면, 도 4는, 관통 컨덴서(19c)가 게이트 신호선(17a)과 구동 트랜지스터(11a)의 게이트 단자 사이에 배치되어 있는 것에 대하여, 도 29에서는, 관통 컨덴서(19c)가 게이트 신호선(17c)과 구동 트랜지스터(11a)의 게이트 단자 사이에 배치되어 있다.
- [0329] 컨덴서(19b)가 형성되어 있으면, 다음에 화소에 영상 신호가 기입될 때까지의 1프레임간 전압이 유지되기 때문에, a점의 전위가 유지된다. 혹은, 다음에 트랜지스터(11c)가 온하고 영상 신호가 화소(16)에 기입될 때까지 a점에 인가된(기입된) 전압이 유지된다.
- [0330] 유지된 전위를 바탕으로 트랜지스터(11b)를 도통 상태로 하면 계조 신호에 따른 신호에 의해, 구동 트랜지스터(11a)의 특성 변동을 캔슬하는 것이 가능하다. 이것이 도 30에 도시하는 캔슬 기간(302)으로 된다.
- [0331] 이 캔슬 기간(오프셋 캔슬 기간)은 수평 주사 기간의 길이에 상관없이 게이트 드라이버 회로(12)의 구성에 의해 임의로 설정하는 것이 가능하다. 영상 신호의 기입과 구동 트랜지스터(11a)의 초기화는, 캔슬 기간(302)의 전에 실시된다(기간 301). 트랜지스터(11f와 11c)만 도통 상태이다. 이로써 V_{rst} 전위에 의해 구동 트랜지스터(11a)의 게이트 전위를 초기화하고, 동시에 소스 신호선(18)으로부터 컨덴서(19b)에 소정 전압의 기입을 행하고 있다.
- [0332] 컨덴서(19b)에 소정 계조 전압을 유지하기 때문에, 소스 신호선(18)은 1개에서, 1수평 주사 기간만 트랜지스터(11c)를 온시키기만 하면 된다. 소스 신호선(18)을 2개 준비하는 방법으로 소스 신호선(18)의 부유 용량과 컨덴서(19b)의 양방에서 계조 전압을 유지하는 방법을 취해도 된다. 이 경우, 컨덴서(19b)는 작게 할 수 있다.
- [0333] 오프셋 캔슬이 완료되면, EL 소자(15)에 전류를 인가하여 소정 휘도에 의한 발광을 얻는다. 이 기간이 발광 기간(304)이다. 이 때 트랜지스터(11d와 11e)가 도통 상태로 되어 EL 소자(15)에 전류를 공급한다.
- [0334] 전후에 있는 비발광 기간(303)은, 흑 삽입을 행하여 동화상 시인성 향상 등의 효과를 얻을 때에 삽입되는 기간이다. 흑 삽입은 duty 구동이며, 도 12, 도 13, 도 84, 도 98, 도 99 등을 이용하여 설명을 행하고 있다. 이 때에는 적어도 트랜지스터(11d 혹은 11e) 중 어느 한 쪽이 비도통 상태로 되어 있다. 또한, 상시 점등 상태로 하여 흑 삽입을 행하지 않는 경우에는, 기간(303)은 없어도 지장이 없다.
- [0335] 또한, 본 실시예에서의 절환부(141) 및 신호선 선택 회로(232)는 반드시 어레이 기관 상에 형성할 필요가 없고, 소스 드라이버 IC에 내장되는 구성이어도 된다.
- [0336] 본 실시예에서, 동일 열에 형성된 화소에 접속되는 소스 신호선은 2개인 예로 설명을 행하였지만, 3개 이상인 복수의 소스 신호선이어도 마찬가지로 실시가 가능하다. 일반적으로 N개의 소스 신호선을 준비하고, N화소 걸러 소스 신호선을 접속하면, N수평 주사 기간 동안 소스 신호선은 계조 전압을 유지하는 것이 가능하게 되어, 특성 캔슬 기간을 길게 취할 수 있다. 캔슬 기간을 확보함으로써, 보다 구동 트랜지스터(11a)의 특성에 근접한 게이트 전압을 화소 회로에서 유지할 수 있게 되어, 표시 불균일이 개선된다. 또한, 복수의 화소행을 동시에

선택해도 된다.

- [0337] N개의 소스 신호선에 대하여, 적어도 인접 화소간에서 서로 다른 소스 신호선에 화소 회로를 접속해 두면, 2수평 주사 기간 동안 소스 신호선에 계조 신호가 유지되기 때문에, 마찬가지로 특성 캔슬 기간을 확대할 수 있어, 표시 불균일이 적은 EL 표시 장치를 얻을 수 있다.
- [0338] 도 31은, 구동 트랜지스터(11a)의 게이트 단자의 전압을 초기화하기 위한 전원(리세트 전압 V_{rst})을, 전압원으로부터 전류원으로 변경한 회로이다. 도 32에 도 31의 회로 구성에서의 게이트 신호선의 파형을 도시한다. 도 31의 회로 구성에서, 1화소에서의 동작은, 1프레임 동안에, 기입 기간(321), 발광 기간(324), 비발광 기간(323)으로 나뉜다. 비발광 기간(323)은, 흑 삽입(duty 구동:간헐 표시 구동)을 행하여 동작 시인성을 향상시키는 경우 등에 이용된다. 본 발명의 실시예에서는, 비발광 기간(323)은, 있어도 없어도 된다. 특성 변동의 보상 능력 향상을 마찬가지로 실현할 수 있다.
- [0339] 기입 기간(321)에서, 트랜지스터(11b, 11c, 11f)가 도통 상태로 된다. 이에 의해 소스 신호선(18)의 전압이 구동 트랜지스터(11a)의 소스 단자에 인가된다. 구동 트랜지스터(11a)의 게이트와 드레인 단자는 트랜지스터(11b)에 의해 동전위로 되고, 전류원(312)에 의해 공급되는 전류가 구동 트랜지스터(11a)의 드레인 전류로 되는 게이트, 드레인 전압으로 된다.
- [0340] 따라서, 기입 기간(321)에서, 트랜지스터(11a)의 게이트 전압은, 소스 신호선(18)의 전압이 영상 신호 전압 V_{sig} 이었던 것으로 하면, ($V_{sig}-V_{t1}$)로 된다. 여기서 V_{t1} 은, 구동 트랜지스터(11a)에 전류원(312)의 전류(I_{rst})를 흘렸을 때의 소스 드레인간 전압이며, 구동 트랜지스터(11a)의 특성에 따라 상이한 전압값으로 된다.
- [0341] 리세트 전류 I_{rst} 가 구동 트랜지스터(11a) 즉 EL 소자(15)에 흐를 때에는, 특성 변동을 보정한 전압이 구동 트랜지스터(11a)의 게이트 단자에 인가되어, 표시 불균일이 없는 EL 표시 장치를 실현할 수 있다.
- [0342] 종래의 구성에서는, $I_{rst}=0$ 즉 흑 표시 시에 완전하게 특성 변동을 보정하고, 전류가 증가함에 따라, 보정을 할 수 없는 이동도 변동에 기인하는 전류 변동이 발생하여, 고계조일수록 표시 불균일이 발생하기 쉬운 상황이었다.
- [0343] 표시 불균일은 휘도가 낮을수록 시인하기 어렵고, 중간조~고계조에서는 시인하기 쉬운 성질이 있어, 계조 0에 상당하는 전류로 특성 보정을 행하는 것보다도, 시인하기 쉬운 중간~고계조에서의 보정이 바람직하다. 초기화용의 전류원의 출력 전류 I_{rst} 의 전류값을 중간~고계조로 설정하면, 시인되기 쉬운 계조에서의 표시 불균일을 우선하여 없앨 수 있다. 또한, 시인하기 어려운 계조에서는, 이동도 변동이 발생하는 구성이어도 보기 어려운 것을 이용하여, 전체 계조 영역에서의 표시 불균일 레벨의 향상을 실현할 수 있다. 본 실시예는, 구동 트랜지스터의 특성 변동의 캔슬 동작 중에 전류 I_{rst} 를 흘리고, 특성 캔슬이 가장 잘 행하여지는 전류 영역을 변경시킬 수 있게 한 것이 특징이다.
- [0344] 도 33의 회로는, 도 31의 구성에 대하여, 초기화용의 전압원(리세트 전압 V_{rst} 를 출력)(331) 및 전압원(331)과 전류원(312)의 절환을 행하는 절환부(333)를 더 갖는 것이 특징이다. 이것은, 전류원(312)에 의해 트랜지스터(11a)의 전압을 변화시키는 경우에, 1프레임 전에 흑 표시를 한 화소이면, 구동 트랜지스터(11a)에 흐르는 전류가 I_{rst} 로 변화될 때까지 시간이 걸린다. 그 때문에, 기입 기간(321) 내에 구동 트랜지스터(11a)의 게이트 전압이 $V_{sig}-V_{t1}$ 로 되기 어려운 문제를 해소하기 위해서이다.
- [0345] 구동 트랜지스터(11a)의 드레인 전류가 많을수록, 기입 기간(321)에서의 구동 트랜지스터(11a)의 게이트 전압을 변화시키기 쉽다. 전류가 많이 흐를수록, 유지용 커패시터(19a)의 전하의 충방전 속도가 빨라지기 때문에, 게이트 전압이 변화되기 쉬워진다.
- [0346] 그래서, 게이트 전압의 변화 속도 향상을 목적으로 하여, 전압원(331)을 준비하고, 기입 기간(321)의 초기에, 전류원(312) 대신에, 저전압(백 표시일수록 저전압인 도 33의 회로 구성의 경우)의 전압을 구동 트랜지스터(11a)에 공급함으로써, 기입 기간(321)의 초기에 구동 트랜지스터(11a)의 드레인 전류가 많아지도록 하여, 남은 기간에서의, 리세트 전류원(312)에 의한 캔슬 동작을 고속화하도록 하였다.
- [0347] 도 34에 도 33의 회로 구성에서의 게이트 신호 및 절환 수단의 동작을 도시하였다. 기입 기간(321) 중 전압원이 공급되는 기간(341)에서, 구동 트랜지스터(11a)의 게이트 전압은 V_{rst} 로 된다.
- [0348] 리세트 전압 V_{rst} 는 낮은 전압일수록, 절환 수단(333)에 의해 전류원(312)으로 절환하였을 때의 게이트 전압의 변화를 고속화시키지만, 지나치게 저하하면, 소정 계조와의 게이트 전위의 차가 지나치게 커져, 소정값까지 전

압이 더이상 변화하지 못할 가능성이 있다.

- [0349] 따라서, 리세트 전압 V_{rst} 는, (백 표시 시의 전압)~(백 표시 시의 전압 $-5(V)$) 정도가 바람직하다. 계속되는 참조 부호 342의 기간에서, 전류원(312)과 기입되는 소스 신호선 전압 V_{sig} 에 기초하여 게이트 전압이 $V_{sig}-V_{t1}$ 로 변화된다.
- [0350] 이 때, 도 32의 구성에 비해, 트랜지스터(11a)의 드레인 전류가 많고, 축적 커패시터(19)의 전하의 충방전 속도가 고속화되기 때문에, $V_{sig}-V_{t1}$ 까지 변화되는 속도는, 전압 인가 기간(341)을 포함시켜도 고속화되어, 보다 단 시간에서의 특성 보정이 가능하게 된다.
- [0351] 도 35는 게이트 신호선을 트랜지스터(11e와 11d)에서 개별 제어로 한 회로 구성을 도시하고 있다. 1화소에서, 1프레임은, 리세트 기간(361), 영상 신호 기입과 특성 캔슬 기간(362), 비발광 기간(363), 발광 기간(364)으로 이루어진다.
- [0352] 구동 트랜지스터(11a)의 초기화(리세트)를 행하는 전원이, 전압원(331), 전류원(312)의 2개가 있고, 전압원(331)이 인가되는 리세트 기간을 365, 전류원(312)이 인가되는 리세트 기간을 366으로 한다.
- [0353] 또한, 리세트 기간(361)은 전류원(312)으로부터 출력되는 전류를 바탕으로 구동 트랜지스터(11a)를 초기화하고, 또한 동일 열에서 동일한 리세트선(311)을 이용하여 화소에 리세트 전압 및 전류를 기입하기 때문에, 1수평 주사 기간 이내에서 실시할 필요가 있다.
- [0354] 영상 신호 기입과 특성 캔슬 기간(362)은, 동일 열에서 동일한 소스 신호선(18)으로부터 영상 신호에 대응하는 전압이 공급되기 때문에, 1수평 주사 기간 이내에서 실시할 필요가 있다. 리세트 및 특성 캔슬에 시간이 걸리지 않는 경우에는, 리세트 기간(361)과 영상 신호 기입과 특성 캔슬 기간(362)을 1수평 주사 기간 내에 실시해도 된다.
- [0355] 본 실시예의 방식에서는, 구동 트랜지스터(11a)의 게이트 전압의 초기화를, 전압원(331)뿐만 아니라, 전류원(312)을 이용하여 실시하는 것이 특징이다.
- [0356] 도 36에 도시하는 바와 같이 리세트 기간(361) 중의 기간(365)에서, 종래와 마찬가지로 전압원(331)에 의해 구동 트랜지스터(11a)의 게이트 전압을 V_{rst} 로 초기화한다. 이 때 게이트 신호선(17e 및 17c)에 의해 트랜지스터(11e 및 11b)에 대해서는, 온이어도 오프이어도 상관없다. 그러나, V_{dd} 전원에서부터 V_{rst} 전원으로 구동 트랜지스터(11a)의 특성에 의해 관통 전류가 흐르는 것을 방지하는 관점으로부터 적어도 한 쪽의 트랜지스터에 대해서는 오프로 하는 것이 바람직하다.
- [0357] 본 실시예에서는 리세트 기간(361) 동안에 기간(366)을 더 설정하여, 절환 수단(333)의 접속을 절환하고, 전류원(312)에 의해 구동 트랜지스터(11a)의 초기화를 행한다. 전류원(312)의 전류가 구동 트랜지스터(11a)의 드레인 전류로 되도록, 트랜지스터(11f, 11b, 11e)를 온 상태로 한다.
- [0358] 전류원(312)의 전류값은, 기간(366)에서, 구동 트랜지스터(11a)의 게이트 전압이 전압원(331)의 V_{rst} 부근으로 되는 전압으로 설정하는 것이 바람직하다. 구동용 트랜지스터(11a)의 특성 변동이 있기 때문에, EL 표시 장치에 형성된 화소의 평균 전압이 V_{rst} 이어도 된다. 기간(366)에 의해 구동 트랜지스터(11a)의 게이트 전압은 $V_{rst}+\Delta V1$ 로 변화된다. 여기서 $\Delta V1$ 은 전류원(312)의 전류(I_{rst})를 흘렸을 때의 게이트 전압 변동에 상당한다.
- [0359] 영상 신호 기입과 특성 캔슬 기간(362)에서 소스 신호선(18)으로부터 영상 신호가 입력되고, 트랜지스터(11b)가 온 상태이며, 트랜지스터(11f)가 오프 상태임으로써, 구동 트랜지스터(11a)의 게이트 전압은 영상 신호 전압을 V_{sig} 로 하면 $V_{sig}-V_{th}$ (V_{th} 는 임계값(역치) 전압)로 될 때까지 변화된다. $V_{sig}-V_{th}$ 로 되는 것은, 특성 캔슬 기간이 충분히 긴 시간인 경우로서, 1수평 주사 기간에서 참조 부호 362의 기간을 끝내게 할 필요가 있기 때문에, 특성 캔슬 기간은 40μ 초 정도밖에 취할 수 없다.
- [0360] 그 때문에 게이트 전압은 기간(366)이 존재하지 않는 도 41의 구성이면, ($V_{sig}-V_{th}-\Delta V2$)까지밖에 변화할 수 없다. $\Delta V2$ 분의 전위 변화가 부족하게 된다. 그 때문에 $\Delta V2$ 에 상당하는 분만큼 많이 구동 트랜지스터(11a)의 드레인 전류 $\Delta I2$ 가 흐른다. $\Delta I2$ 는, 구동 트랜지스터(11a)의 특성 변동에 의해 변동된다. 이 영향으로 EL 소자(15)에 흐르는 전류에 변동이 발생하여, 표시 불균일이 발생한다.
- [0361] 기간(366)이 존재하면, 기간(361)의 끝의 전위가 $\Delta V1$ 만큼 어긋나기 때문에, 기간(362)의 종료 시의 게이트 전압은 ($V_{sig}-V_{th}-\Delta V2+\Delta V1$)로 된다. 전류원에 의해 일정 전류를 인가한 결과 트랜지스터(11a)의 게이트 전압이 $\Delta V1$ 만큼 어긋나 있기 때문에, $\Delta V2$ 에 대한 $\Delta I2$ 가 큰 구동 트랜지스터(11a)의 경우(자주 전류를 흘리는 트랜지

스터)에는, ΔV_1 은 커지고, ΔV_2 에 대한 ΔI_2 가 작은 구동 트랜지스터(11a)의 경우에는, ΔV_1 은 작아진다(마이너스의 값을 포함함).

- [0362] 표시 불균일에서 많이 전류가 흐르는 화소(ΔV_2 에 대한 ΔI_2 가 큼)에서는, ΔV_1 이 커지고, 게이트 전압이 상승한다. 적은 전류의 화소에서는 ΔV_1 이 작아지기 때문에 게이트 전압이 하강한다. 전류가 흐르기 쉬운 화소에서는 참조 부호 11a의 게이트 전압이 상승하여 전류가 흐르기 어렵게 되고, 전류가 흐르기 어려운 화소에서는 게이트 전압이 저하함으로써 전류가 흐르게 되기 때문에, 화소마다의 전류량의 차가 작아지는 방향으로 되어, 표시 불균일을 개선하는 것이 가능하게 된다.
- [0363] 도 40에 서로 다른 전류-전압 특성을 갖는 구동 트랜지스터(11a)에 대한, 리세트 기간(361)을 전압원만으로 실현한 경우(a)와, 전류원을 이용하여 실현한 경우(b)의 영상 신호 기입과 특성 캔슬 기간(362) 종료 후의 전류값의 차이를 나타낸다.
- [0364] 도 40의 (a)에서는 전압원만으로 구동 트랜지스터(11a)의 초기화를 행하고 있기 때문에, 참조 부호 401과 402의 특성을 나타내는 2개의 화소의 구동 트랜지스터(11a)에서 게이트 전압이 V_{rst} 로 되지만, 그 때의 전류값은 I_{rst1} , I_{rst2} 로 상이한 값으로 된다.
- [0365] 참조 부호 401의 특성에서는 점(403a), 참조 부호 402의 특성에서는 점(403b)이다. 다음으로 영상 신호 기입과 특성 캔슬 기간(362)에서, 구동 트랜지스터(11a)의 소스 전위에 영상 신호가 기입되고, 게이트 전위는 임계값 캔슬 동작에 의해 소스 전위로부터 임계값 전압만큼 낮아진 점까지 변화하고자 한다. 일례로서 변화에 필요로 하는 시간은 100μ 초 정도 걸린다. 따라서, 1수평 주사 기간에서는, 충분히 캔슬 전압(406)으로까지 변화되지 않고, 참조 부호 405로 도시하는 점까지의 변화로 된다.
- [0366] 전압 변화량은 흐르는 전류와 부유 용량에 의해 결정되고, 전압 변화량 $\Delta V = i \cdot T/C$ (여기서, i : 흐르는 전류, T : 캔슬 기간(362)의 길이, C : 부유 용량)로 표현되고, 점(403a)의 쪽이, 점(403b)에 비하여 전류가 많기 때문에, 곡선(401)으로 표시되는 트랜지스터의 쪽은 전위 변화량이 크고, V_2 까지 전압이 변화된다.
- [0367] 곡선(402)에서는, 점(403b)에서의 전류가 적기 때문에 변화량이 적어지고, V_1 까지밖에 전압이 변화되지 않는다. 점(405a 및 405b)에서의 드레인 전류가 I_2 와 I_1 로 상이하며, 이 차이가 표시 불균일로서 시인될 가능성이 있다.
- [0368] 한편 전류원을 이용하여 리세트를 실시한 경우에는, 도 40의 (b)에 도시하는 바와 같이, 리세트 기간(361)의 종료 시에는, 드레인 전류가 I_{rst} , 게이트 전압이 곡선(401과 402)으로 상이하고, V_{rst1} , V_{rst2} 로 된다(점(404a, 404b)). 다음으로 영상 신호 기입과 특성 캔슬 기간(362)에서 캔슬을 행하면, 흐르는 전류는 I_{rst} 로 동일하고, 부유 용량에 변동이 없으며, 캔슬 시간은 동일 패널이기 때문에 동일하게 설정할 수 있으므로, ΔV 는 곡선(401, 402)과도 동일하게 되고, 각각 동일 전위만큼 시프트한 V_1 및 V_2 의 전압으로 된다(점(405c, 405d)). 이 때의 드레인 전류는 모두 I_1 로 되고, 구동 트랜지스터(11a)의 특성에 차이가 있었다고 해도 특성 캔슬 기간(362) 종료 후에 기입된 전류값이 동일하게 되어, 표시 불균일이 없어지는 구성을 실현할 수 있다.
- [0369] 리세트 기간에서, 일정 전류에 의해 구동 트랜지스터(11a)의 게이트 전압을 개별로 설정함으로써, 캔슬 기간이 짧은 것에 의해 구동 트랜지스터(11a)의 게이트 전압이 완전하게 특성 캔슬된 전압과 어긋났다고 해도, 전류 변동이 작은 구성을 실현할 수 있다.
- [0370] 기간(365)은 없고, 기간(366)의 전류원에서만 리세트를 행해도 되지만, 전류원(312)에 의해 V_{rst} 전압 부근까지 게이트 전압을 변화시키는 데에 시간이 걸리기 때문에, 미리 전압원(331)에 의해 V_{rst} 부근까지 전압을 변화시키고 나서 전류원(312)에 의한 리세트를 행하는 것이 바람직하다. 리세트 기간(361)이 길고, 전류원(312)에서만 $V_{rst} + \Delta V_1$ 까지 전압을 변화시킬 수 있는 것이면, 전압원(331), 절환 수단(333), 기간(365)은 없어도 된다.
- [0371] 도 35의 화소 회로 구성의 EL 표시 장치는, 동일 열의 화소에 대하여 복수의 소스 신호선을 준비하고, 소스 신호선 방향에 인접하는 화소에서, 서로 다른 소스 신호선으로부터 영상 신호를 기입하도록 함으로써, 기입 시간을 길게 하는 구성과 조합하여 실시하는 것도 가능하다. 예를 들면, 2개의 소스 신호선을 준비한 경우의 회로를 도 37에 도시한다.
- [0372] 소스 신호선(18)을 2개 준비하면, 도 14, 도 16, 도 19 등에서 설명한 바와 같이, 소스 신호선(18)에 인가되는 계조 신호는 2수평 주사 기간마다 변화되기 때문에, 영상 신호 기입과 특성 캔슬 기간(362)을 최대 2수평 주사 기간까지 확대시키는 것이 가능하게 된다. 예를 들면, 도 38에 도시하는 바와 같은 구동 파형을 실현할 수 있다. 기간(362)이 확대됨으로써 구동 트랜지스터(11a)의 게이트 전압을 변화시키는 시간을 길게 취할 수 있고, 오차 ΔV_2 의 절대값을 작게 할 수 있어, 보다 정확하게 캔슬을 행하는 것이 가능하게 된다.

- [0373] 도 37의 구성에서 리세트선(311)은 1열분의 화소에 1개이지만, 소스 신호선(18)과 마찬가지로 복수개(예를 들면 2개)를 형성하면, 리세트 기간(361)에 대해서도 최대 2수평 주사 기간으로 확대할 수 있어, 리세트 전압도 보다 구동 트랜지스터(11a)의 특성에 따른 전압으로 하는 것이 가능하게 된다.
- [0374] 도 37의 구성이나, 도 35의 구성에서, 리세트선(311)에 절환 수단(333)을 통하여 전류원(312), 전압원(331)이 접속되어 있지만, 전압원(311)이 없어도, 1수평 주사 기간 이내에, 전류원(312)에 의해, 소정의 초기화 전위로 될 때까지, 구동 트랜지스터(11a)의 게이트 전압을 변화시키는 것이 가능하면, 전류원으로만 리세트 기간(361)을 구성할 수 있다. 이 때, 도 39에 도시하는 바와 같은 1프레임 기간의 동작으로 된다.
- [0375] 구동 트랜지스터(11a)의 게이트 전압은 $V_{rst} + \Delta V_1$ 에 수속된다. 전압원(331)을 병용한 경우라도 도 36, 도 38에 도시하는 바와 같이 $V_{rst} + \Delta V_1$ 로 동일값이고, 초기화의 효과는 변함없이 동등하기 때문에, 전류원만의 구성이라고 된다.
- [0376] 이상과 같이, 도 40 등에서도 설명한 바와 같이, 구동 트랜지스터(11a)가 P채널 트랜지스터인 경우, 게이트 단자 전압이 높아질수록 채널을 흐르는 전류가 감소한다. 도 49에서는 그 관계를 도시하고 있다. 도 49는, 횡축이 구동 트랜지스터(11a)의 게이트 단자 전압을 나타낸다. 우측이 플러스이다. 위의 그래프의 종축은, 구동 트랜지스터(11a)의 채널간(소스-드레인 단자간)에 흐르는 전류를 나타낸다. 위가 플러스이다. 아래의 그래프의 종축은, 경과 시간을 나타낸다. 위가 플러스이다.
- [0377] 위 도면에서, 리세트 전압 V_{ra} 가 구동 트랜지스터(11a)에 인가되고, 트랜지스터(11b)가 클로즈하여 오프셋 동작이 개시되면, 구동 트랜지스터(11a)의 드레인 전류는 저하되어 간다. 리세트 전압 V_{ea} 가 인가된 처음으로 흐르는 전류는, I_{ia} 이지만, 시간의 경과와 함께 전류가 감소하여, 임의의 설정 계조(제1 계조라고 부름)의 전압 V_{ea} 에서 흐르는 전류는 I_{ea} , 다른 임의의 설정 계조(제2 계조라고 부름)의 전압 V_{ec} 에서 흐르는 전류는 I_{ec} 로 한다.
- [0378] 아래 도면은, 게이트 단자 전압과, 경과 시간을 나타낸다. 리세트 전압 V_{ra} 로부터 V_{ea} 까지 필요로 하는 시간은 t_a 이다. 그러나, 리세트 전압 V_{ra} 로부터 V_{ec} 까지 달하는 데에 필요한 전압은, 일정 과전으로 도시하는 바와 같이 매우 시간이 걸린다. 따라서, 구동 트랜지스터(11a)의 게이트 단자 전압이 V_{ec} 로 될 때까지는 매우 긴 오프셋 시간을 필요로 한다.
- [0379] 리세트 전압 V_{rst} 가 V_{rb} 이면, 아래 도면의 점선의 커브로 게이트 전압은 변화된다. 채널에 흐르는 전류는 I_{rb} 로부터 시간 경과와 함께 저하한다. 게이트 단자 전압이 V_{ea} 에 도달하는 시간은, t_b 이며, V_{ec} 에 도달하는 시간은 t_c 이다.
- [0380] 리세트 전압 $V_{rst} = V_{rb}$ 이면, 경과 시간 t_c 에서, 게이트 단자 전압 V_{ec} 로 되고, 전류는 I_{ec} 로 된다. 따라서, 아래 도면의 실선과 같이, 전류 I_{ec} 에 달하는 시간은, 매우 장시간으로 되는 일은 없고, 비교적 단시간에 목표값 I_{ec} 에 도달한다.
- [0381] 도 49의 관계로부터, 제1 계조와 제2 계조에서, 리세트 전압 V_{rst} 를 가변함으로써, 규정의 경과 시간(오프셋 캔슬 시간)에, 목표값의 전류가 EL 소자(15)에 흐르도록 설정할 수 있다.
- [0382] 도 50에 도시하는 바와 같이, 계조 전압(구동 트랜지스터(11a)에 인가하는 전압)과 리세트 전압 V_{rst} 은 적정한 관계가 있다.
- [0383] 도 50은, 횡축은 전압(구동 트랜지스터(11a)에 인가하는 전압)이고, 종축은 계조 번호이다. 도 50에서는, 구동 트랜지스터(11a)와 P채널 트랜지스터로 하고 있다. 따라서, 계조가 큰 쪽이, 구동 트랜지스터(11a)의 게이트 단자 전압이 낮고, 계조가 작은 쪽이, 구동 트랜지스터(11a)의 게이트 단자 전압은 높다(애노드 전압에 가까움).
- [0384] 도 50에서는, 구동 전압(계조 전압, 프로그램 전압)을 점선으로 도시한다. 리세트 전압 V_{rst} 는, 계조 전압에 대하여 일정값 이하의 전압을 리세트 전압으로서 인가하면 된다. 실선에 리세트 전압1로서 도시하고 있다. 계조1023에서는, 리세트 전압 V_{rst} 는 $-2V$ 이고, 계조511에서는, 리세트 전압 V_{rst} 는 약 $1.3V$ 이다.
- [0385] 이상의 리세트 전압1은, 계조 전압(구동 전압)에 대하여, 일정 전압 이하로 되는 전압을 인가하는 경우이지만, 이것에 한정되는 것은 아니다. 예를 들면, 도 50의 일정 쇄선(리세트 전압2)과 같이 계조에 대하여 직선이어도 된다. 그 밖에, 리세트 전압은, 계조에 대하여 비선형이어도 되고, 스텝 형상이어도 된다.
- [0386] 또한, 도 51에 도시하는 바와 같이, 계조에 대하여 리세트 전압(실선)을 비선형의 관계로 해도 된다. 계조가

클수록, 리세트 전압을 낮게 하고, 계조가 작을수록, 구동 전압과 리세트 전압 V_{rst} 의 차를 작게 해도 된다.

- [0387] 도 51과 같이, 리세트 전압 V_{rst} 를 설정하는 것은, 고계조의 영역에서는, 오프셋 시에 구동 트랜지스터(11a)의 채널이 크고, 리세트 전압 V_{rst} 와 구동 전압의 절대 전압이 커도, 충분히 오프셋 캔슬할 수 있기 때문이다. 또한, 오프셋 전압에 충분히 수속하지 않아도 계조 표시에 문제가 없기 때문이다.
- [0388] 한편, 도 51과 같이, 리세트 전압 V_{rst} 를 설정하는 것은, 고계조의 영역에서는, 오프셋 시에 구동 트랜지스터(11a)의 채널이 크고, 리세트 전압 V_{rst} 와 구동 전압의 절대 전압이 커도, 충분히 오프셋 캔슬할 수 있기 때문이다. 또한, 오프셋 전압에 충분히 수속되지 않아도 계조 표시에 문제가 없기 때문이다.
- [0389] 저계조의 영역에서는, 오프셋 시에 구동 트랜지스터(11a)의 채널이 작고, 리세트 전압 V_{rst} 와 구동 전압의 절대 전압을 작게 하지 않으면, 오프셋 캔슬을 충분히 할 수 없기 때문이다.
- [0390] 이상과 같이, 본 실시예는, 계조 전압에 대응시켜 리세트 전압 V_{rst} 를 변화시키는 것이 본 실시예의 하나의 기술적 사상이다. 즉, 영상 신호 전압에 대응시켜 리세트 전압 V_{rst} 를 변화시키는 것이 본 실시예의 기술적 사상이다. 대응시켜 리세트 전압 V_{rst} 를 변화시킨다는 것은, 적어도 임의의 제1 계조와 임의의 제2 계조에서, 리세트 전압 V_{rst} 를 변화 혹은 서로 다르게 하는 것이다. 도 42 등에서 설명하는 구동 방식은, 이상의 효과, 방식을 적용한 것이다.
- [0391] 이하, 도 42를 참조하면서, 본 발명의 다른 실시예에 대하여 설명한다. 도 42의 구동 트랜지스터(11a)와 구동 트랜지스터(11a)의 소스 단자 사이에 커패시터(19b)가 배치 또는 형성되어 있는 것이다. 커패시터(19b)는, 리세트 전압 V_{rst} 가 인가되는 배선과 소스 신호선(17)으로부터의 영상 신호 V_{sig} 가 인가되는 배선에 접속된다. 또는 형성된다. 커패시터(19b)의 용량은, 유지용 커패시터(19a)의 용량의 50% 이상 150% 이하로 형성된다.
- [0392] 이하의 설명에서는, 이해를 용이하게 하기 위하여, 유지용 커패시터(19a)의 용량이 커패시터(19b)와 비교하여 매우 큰 것으로 하고, 커패시터(19b)의 a단자의 전압의 변화가, b단자로 그대로 변화되는 것으로서 설명을 한다(현실의 구성은 아니지만, 이해를 용이하게 하기 위함임). 예를 들면, a점의 전위가, 5V로부터 3V로 변화되면, b점의 전위가 5-3=2V로 변화되는 것으로 한다.
- [0393] 커패시터(19b)의 기능은, 리세트 전압 V_{rst} 의 전위를 영상 신호 전압 V_{sig} 에서 변동시키는 기능을 갖는다. 따라서, 커패시터(19b)의 배치 위치(형성 위치)는, 1단자에 리세트 전압 V_{rst} 가 인가되는 배선 혹은 리세트 전압 V_{rst} 가 전달되는 배선에 접속되고, 다른 쪽이, 영상 신호 전압 V_{sig} 가 인가되는 배선 혹은 영상 신호 전압 V_{sig} 가 전달되는 배선에 접속되며, 또한, 커패시터(19b)에 상기 영상 신호 전압 V_{sig} 와 리세트 전압 V_{rst} 가 인가됨으로써, 그 상호 작용에 의해 발생한 전압을 구동 트랜지스터(11a)의 게이트 단자에 인가 혹은 유지되는 전압 또는 전위에 작용하는 것이다.
- [0394] 도 43은, 도 42의 화소 구성의 동작을 설명하기 위한 설명도이다. 도 42 등에서, 전류 경로는, 점선으로 도시하고 있고, 각 스위치 트랜지스터(11)는, 스위치로 도시하고 있다. 스위치가 오픈일 때, 트랜지스터(11)가 오픈 상태를 나타내고, 스위치가 클로즈일 때, 트랜지스터(11)가 온 상태를 나타낸다. 또한, 도 44는, 도 43의 동작을 타이밍 차트에 도시한 것이다. 단, 본 명세서에서, 타이밍 차트는 모식적으로 도시하고 있다. 이것은 본 발명의 다른 실시예에서도 마찬가지이다.
- [0395] 도 43의 (a)는 EL 소자(15)에 전류가 공급되고, EL 소자(15)가 발광(점등)하고 있는 상태이다.
- [0396] 도 43의 (b)부터가 전압 프로그램(화소(16)의 EL 소자(15)에 흐르는 전류를 재기입하는 동작 혹은 기간)의 동작이다. 우선, 스위치 트랜지스터(11f)가 온함으로써, 리세트 전압 V_{rst} 가 구동 트랜지스터(11a)의 게이트 단자에 인가된다. 리세트 전압 V_{rst} 는, -2V 이상 3V 이하의 전압인 것이 바람직하다.
- [0397] 스위치 트랜지스터(11f)가 온함으로써, 도 44의 1t 내지 at 기간에 리세트 전압 V_{rst} 가 인가된다. 리세트 전압 V_{rst} 가 인가되고 있는 기간은, 스위치 트랜지스터(11b, 11e, 11c, 11d)는 오프 상태이다.
- [0398] 다음으로 도 43의 (c)에 도시하는 바와 같이, 스위치 트랜지스터(11c)를 온시킨다. 스위치 트랜지스터(11c)의 온에 의해, 도 42의 a점에 영상 신호 전압 V_{sig} 가 인가된다. 일례로서, 영상 신호 전압 V_{sig} 는, 0V 이상 5V 이하의 전압이다. 영상 신호 전압 V_{sig} 는, 영상 신호에 의해 변화된다.
- [0399] 이상의 동작으로부터, 도 42의 b점에 리세트 전압 V_{rst} 가 인가되고, 다음으로, a점에 영상 신호 전압 V_{sig} 가 인가된다. V_{sig} 전압은, 이상적으로는 유지용 커패시터(19a와 19b)에서 분압된다. 분압되는 비율은, 유지용 커패시터(19a)와 커패시터(19b)의 용량비로 결정된다.

- [0400] 설명을 용이하게 하기 위하여, 리세트 전압 V_{rst} 를 $-1V$ 로 하고, 영상 신호 전압의 $1V$ 또는 $4V$ 로 한다. 또한, $1V$ 는, EL 소자(15)에 최대의 전류(백 표시 전류)를 흘리는 전압이라고 가정하고, $4V$ 는, EL 소자(15)에 전류를 흘리지 않는 전류(흑 표시 전류)라고 가정한다. 또한, 애노드 전압 V_{dd} 는, $5V$ 인 것으로 한다.
- [0401] 현재, 영상 신호 전압 V_{sig} 를 $1V$ 로 하면, 도 43의 (b)에서는, a점에 $1V$ 가 인가되고, b점에는 $-1V$ 가 인가되어 있다. a점에 $1V$ 가 인가되기 이전에는, 도 43의 (a)의 상태이기 때문에, a점에는, $5V$ 가 인가되어 있다.
- [0402] 이상의 상태에서, a점에 인가되는 전압이, V_{sig} 전압에 의해, $5V$ 로부터 $1V$ 로 변화된다. a점의 전위가 $5V$ 로부터 $1V$ 로 변화함으로써(전압 변화 $5-1=4V$), b점의 전위도 $4V$ 로 변화된다(유지용 커패시터(19a)의 용량이, 커패시터(19b)의 용량과 비교하여 매우 큰 것으로 됨). 따라서, b점의 전위는, $-1V$ 로부터 $-5V(-1V+(-4)V)$ 로 변화된다. 이상의 동작에 의해, 영상 신호 전압 V_{sig} 가 $1V$ 일 때에는, 구동 트랜지스터(11a)의 게이트 단자 전압(b점)의 전위는, $-5V$ 로 된다.
- [0403] 영상 신호 전압 V_{sig} 를 $4V$ 로 하면, 도 43의 (b)에서는, a점에 $4V$ 가 인가되고, b점에는 $-1V$ 가 인가되어 있다. a점에 $4V$ 가 인가되기 이전에는, 도 43의 (a)의 상태이기 때문에, a점에는, $5V$ 가 인가되어 있다.
- [0404] 이상의 상태에서, a점에 인가되는 전압이, V_{sig} 전압에 의해, $5V$ 로부터 $4V$ 로 변화된다. a점의 전위가 $5V$ 로부터 $4V$ 로 변화함으로써(전압 변화 $5-4=1V$), b점의 전위도 $1V$ 로 변화된다(유지용 커패시터(19a)의 용량이, 커패시터(19b)의 용량과 비교하여 매우 큰 것으로 됨). 따라서, b점의 전위는, $-1V$ 로부터 $-2V(-1V+(-1)V)$ 로 변화된다. 이상의 동작에 의해, 영상 신호 전압 V_{sig} 가 $4V$ 일 때에는, 구동 트랜지스터(11a)의 게이트 단자 전압(b점)의 전위는, $-2V$ 로 된다.
- [0405] 영상 신호 전압 V_{sig} 가 $1V$ 일 때에는, 구동 트랜지스터(11a)의 게이트 단자 전압(b점)의 전위는, $-5V$ 로 된다. 따라서, 영상 신호 전압 V_{sig} 와 리세트 전압 V_{rst} 의 전위차는, $1-(-5)=6V$ 이다.
- [0406] 영상 신호 전압 V_{sig} 가 $4V$ 일 때에는, 구동 트랜지스터(11a)의 게이트 단자 전압(b점)의 전위는, $-2V$ 로 된다. 따라서, 영상 신호 전압 V_{sig} 와 리세트 전압 V_{rst} 의 전위차는, $4-(-2)=6V$ 이다.
- [0407] 즉, 영상 신호 전압 $V_{sig}=1V$ 에서는, 리세트 전압 $V_{rst}=-5V$ 부터 오프셋 캔슬 동작이 개시된다(도 43의 (d)). 영상 신호 전압 $V_{sig}=4V$ 에서는, 리세트 전압 $V_{rst}=-2V$ 부터 오프셋 캔슬 동작이 개시된다(도 43의 (d)).
- [0408] 이상의 점으로부터, 도 42의 실시예에서는, 영상 신호에 대응하여 리세트 전압 V_{rst} 가 변화된다. 따라서, 도 50에서 설명한 영상 신호 전압(구동 전압)과 리세트 전압1의 관계를 실현할 수 있게 된다.
- [0409] 도 43의 (c)의 상기한 영상 신호 전압 V_{sig} 에서, 오프셋 캔슬을 개시하는 리세트 전압 V_{rst} 가 결정된다(설정된다). 영상 신호 전압 V_{sig} 의 크기에 대응하여 초기(도 43의 (b))에 인가한 리세트 전압 V_{rst} 가 변화되기 때문이다(도 50).
- [0410] 이상의 실시예에서는, 이해를 용이하게 하기 위하여, 혹은 설명을 용이하게 하기 위하여, 유지용 커패시터(19a)의 용량이 커패시터(19b)의 용량과 비교하여 충분히 크고, 도 42의 a점에 인가된 전위가 b점에 반영되거나, 혹은 도 42의 b점에 인가된 전위가 a점에 반영되는 것을 전제로서 설명하고 있다.
- [0411] 그러나, 실제로는, b점에 반영되는(변화되는) 전압은, 유지용 커패시터(19a, 19b)의 용량, 구동 트랜지스터(11a)의 기생 용량, 다른 스위칭용 트랜지스터(11)의 기생 용량 및 게이트 신호선(17) 등의 관통 전압 등에 의해 변화된다.
- [0412] 따라서, 본 실시예는 이들 영향을 고려하여 커패시터(19)의 용량, 각 스위칭용 트랜지스터(11)의 동작을 결정한다. 이들 사항 등은 본 실시예의 기술적 사상을 일탈하는 것이 아니다. 또한, 커패시터(19b와 19a)의 용량 또는 용량비를 b점에 설정하는 설정 전압에 대응하여 결정한다.
- [0413] 예를 들면, 커패시터(19)에는, 절연막의 특성 등에 의해, 용량 C 를 인가 전압에 대하여 비선형성을 갖게 할 수 있다. 따라서, 적절하게 혹은 고려하여 커패시터(19) 등을 형성함으로써, 도 42의 구성과 구동 방식이어도, 도 51과 같이, 구동 전압 V_{sig} 에 대하여 리세트 전압 V_{rst} 를 변화(비선형)하게 하는 것이 가능하다.
- [0414] 또한, 도 42의 (b)의 리세트 전압 V_{rst} 를 인가할 때, 스위치 트랜지스터(11e)를 오픈한 상태에서, 리세트 전압 V_{rst} 를 인가하면, a점의 전위가 변화된다. 다음의 도 42의 (c)에서, 영상 신호 전압 V_{sig} 를 인가하면, a점이 변화한 후를 기준으로 하여 b점의 전위가 변화된다.
- [0415] 이상과 같이, 각 트랜지스터(11)의 제어 타이밍을 각 상태로 설정 혹은 변경함으로써 다종 다양한 방식, a점 b

점 등의 전위 제어를 실현할 수 있다.

- [0416] 도 43의 (c)를 실시하고 있는 기간이, 도 44의 at~bt 기간이다. 리세트 전압 Vrst를 영상 신호 전압 Vsig의 관계에서 변화시킨다.
- [0417] 도 43의 (d)가 오프셋 캔슬 기간이다. 스위치 트랜지스터(11e, 11d, 11f)가 오픈으로 제어되고, 스위치 트랜지스터(11c, 11b)가 클로즈로 제어된다. 이상의 스위치 트랜지스터(11)의 설정에 의해, 영상 신호 전압 Vsig가 구동 트랜지스터(11a)의 채널 사이를 통하여, 구동 트랜지스터(11a)의 게이트 단자에 인가된다. 영상 신호 전압 Vsig에 대한 전류(드레인 전류)는, 도 49에 도시하는 바와 같이, 리세트 전압 Vrst를 인가 후, 비선형 커브로 저하한다. 1H 이내(1수평 주사 기간, 도 44의 bt~2t) 동안, 오프셋 캔슬된다.
- [0418] 도 43의 (e)가 EL 소자(15)의 발광 기간이다(도 44의 2t~4t, 5t~). 스위치 트랜지스터(11c, 11b, 11f)가 오픈(오픈)되고, 스위치 트랜지스터(11e, 11d)가 온(클로즈)된다. EL 소자(15)에는, 애노드 전압원 Vdd로부터, 스위치 트랜지스터(11e), 구동 트랜지스터(11a), 스위치 트랜지스터(11d)를 통하여 EL 소자(15)에 전류가 공급된다.
- [0419] 도 43의 (f)는 표시 기간의 동작이지만, EL 소자(15)의 소등 기간이다(도 44의 4t~5t). 스위치 트랜지스터(11d 또는 11e) 중, 적어도 한 쪽을 온/오프 제어함으로써, 도 12, 도 13, 도 84, 도 98, 도 99 등에서 설명하는 화상 표시를 실현할 수 있다(혹 삽입 구동, duty 구동).
- [0420] 표시 기간은, 도 43의 (e), 도 43의 (f)의 구동 방법을 실시한다. 스위치 트랜지스터(11d 또는 11e) 중, 표시하는 화상이 동화상 혹은 정지 화상 혹은 중간 동화상의 종류를 자동 판별하고, 적어도 한 쪽을 온/오프하는 기간, 타이밍을 제어함으로써, 동화상/정지 화상에 대응하는 적절한 화상 표시를 실현할 수 있다.
- [0421] 도 45는, 도 43에서 설명한 본 실시예의 구동 방법의 다른 실시예이다. 도 45의 구동 방법에서는, 도 43의 (d)의 기간이 2개의 기간(도 45의 (d1)(d2))으로 나뉜다.
- [0422] 도 45의 구동 방법은, 구동 트랜지스터(11a)의 모빌리티 변동을 보정하는 것이다. 도 43의 구동 방법은, Vt 변동만을 주로 하여 보정하는 구동 방법이다.
- [0423] 도 45의 (d)의 기간에서는, 스위치 트랜지스터(11e)가 오프 상태이지만(도 45의 (d1)과 동일), 도 45의 (d2)는, 스위치 트랜지스터(11e)를 온 상태로 하고 있다. 따라서, 도 45의 (d2)에 도시하는 바와 같이, 점선의 경로로 전류가 흐른다.
- [0424] 도 43의 (e)에서는, 스위치 트랜지스터(11e)는 온이지만, 스위치 트랜지스터(11b)가 오프이다. 즉, 도 45의 (d2)는, 도 43의 (e) 기간 전에, 스위치 트랜지스터(11b)를 온한 상태에서, 단기간, 스위치 트랜지스터(11e)를 온시킨 구동 방법이다. 혹은, 스위치 트랜지스터(11e)를 온할 때, 단시간 동안, 스위치 트랜지스터(11b)의 온 상태를 계속하는 구동 방식이다.
- [0425] 단시간이란, 0.05 μ 초 이상 5 μ 초 이하의 시간이다. 상기 단시간은, 화소에 인가하는 영상 신호 전압 Vsig에 대응시켜 변화시키는 것이 바람직하다. 또한, 점등률에 대응시켜 변화시키는 것이 바람직하다. 이 변화는, 선형, 비선형에 대응시키는 것을 포함하는 것 외에, 스텝 형상(예를 들면, 점등률 50% 이상에서는, 단시간이란 0.1 μ 초, 점등률 50% 미만에서는, 2 μ 초)에 대응시켜도 된다.
- [0426] 스위치 트랜지스터(11b)의 온 저항을 높게 함으로써, 도 45의 (d2)의 기간을 길게 할 수 있어, 모빌리티 보정을 안정적으로 실시할 수 있게 된다. 온 저항을 높게 하기 위해서는, 온 전압(VGL)을 높게 하면 된다. 바람직하게는, 패널 개개로 조정할 수 있게 구성해 둔다. 조정은, 도 60 등에서 설명하는 전원 회로(12)를 이용함으로써 용이하게 실현할 수 있다. 온 저항을 조정하거나, 혹은 설정함으로써, 도 45의 (d2)의 시간을 일정 시간으로 고정할 수 있게 된다. 이상의 사항은, 도 48의 실시예에서도 마찬가지이다.
- [0427] 도 78, 도 79, 도 98, 도 99에 도시하는 바와 같이, 점등률에 상관시켜, duty비를 제어 혹은 변화시키는 것이 바람직하다. 피크 전류를 억제하고, 소비 전력을 평균화할 수 있기 때문이다. 점등률이 높을 때에는, duty비를 저하(작게)시킨다. 따라서, 피크 전류를 억제할 수 있다.
- [0428] 1수평 주사 기간(1H)에 대한 온 시간 비율(%) (이하, 온 비율이라고 부름)은, 도 45의 (d2)의 기간이다. 온 시간이란, 스위치 트랜지스터(11b)의 온 시간(클로즈 시간)을 의미한다. 1H가, 20 μ 초인 것으로 하면, 10%란, 2 μ 초로 된다.
- [0429] 온 비율이 길수록, 구동 트랜지스터(11a)의 모빌리티의 보정 효과가 높아진다. 그러나, 컨덴서(19)의 전하가

방전되고, 구동 트랜지스터(11a)의 게이트 단자 전위가 높게(애노드 전압측) 변화되고, EL 소자(15)에 흐르는 전류가 변화되게 된다.

- [0430] 온 비율이 짧을수록, 구동 트랜지스터(11a)의 모빌리티의 보정 효과가 낮아진다. 그러나, 커패시터(19)의 전하는 유지되고, 구동 트랜지스터(11a)의 게이트 단자 전위도 오프셋 캔슬 후(도 45의 (d1))의 상태에서부터 변화되지 않는다.
- [0431] 오프셋 캔슬 구동에서는, 흑의 계조(저계조)는, 오프셋 캔슬되고, 구동 트랜지스터(11a)의 특성 변동은 눈에 띄기 어렵다. 그러나, 백의 계조(고계조)에서는, 오프셋 캔슬점으로부터 떨어져 있기 때문에, 구동 트랜지스터(11a)의 특성 변동이 눈에 띄기 쉽다. 이 특성 변동은 모빌리티에 의한 것이다. 모빌리티의 보정은, 도 45의 (d2)를 실시함으로써 보정된다.
- [0432] 이상의 점으로부터, 저계조 영역에서는, 그다지 도 45의 (d2)를 실시할 필요는 없다. 그러나, 고계조 영역에서는, 도 45의 (d2)를 실시함으로써, 구동 트랜지스터(11a)의 특성 변동을 보정할 수 있다. 도 45의 (d2)의 특성 변동의 보정 효과는, 온 비율을 변화시킴으로써 변화된다. 온 비율이 길수록, 고계조의 보정 효과가 높다. 짧을수록, 고계조의 보정 효과는 작아진다. 저계조에서는, 도 45의 (d2)의 실시는 그다지 필요하지 않다.
- [0433] 점등률이 낮은 경우에는, 저계조 표시의 화소가 많다. 점등률이 높은 경우에는, 고계조 표시의 화소가 많다. 따라서, 온 비율은, 도 78의 아래 도면의 점선으로 도시하는 바와 같이 실시하는 것이 바람직하다. 즉, 저점등률에서는, 온 비율은 0(도 45의 (d2)는 실시하지 않음)으로 하고, 고점등률로 됨에 따라서, 온 비율을 크게 한다. 즉, 도 45의 (d2)의 실시 기간이 길어진다.
- [0434] 그러나, 점등률이 낮을 때에는, 저계조 표시의 화소가 많다는 것은, 통계적인 것이며, 실제와 상이한 경우가 있다. 또한, 점등률이 높은 경우에는, 고조 표시의 화소가 많다고 하는 것도 통계적인 것이다. 실제로는 표시 패턴, 영상 신호의 종류에 따라 상이하다. 따라서, 표시 패턴, 입력되는 영상 신호의 종류(PC 영상, AV 영상 등) 등에 따라, 온 비율을 가변할 수 있게 구성해 두는 것이 바람직하다.
- [0435] 도 78의 아래 도면의 실선은 그 실시예이다. 점등률이 20%일 때를, 온 비율 최대로 하고, 점등률이 높은 낮은 비율을 저하시키고 있다.
- [0436] 또한, 도 78의 실시예에서, 온 비율과 점등률의 관계로 설명하였지만 이것에 한정되는 것은 아니다. 온 비율은, 비율이 아니라, 시간(예를 들면, 2 μ s 등)의 지정으로 해도 된다. 또한, 점등률은, 각 계조의 히스토그램으로 치환해도 된다. 혹은 점등률은 소비 전력으로 치환해도 된다. 또한, 표시 영역(31)에 흐르는 전류로 치환해도 된다.
- [0437] 도 79에 도시하는 바와 같이, 사용 계조수를 점등률에 상관시켜 변화시켜도 된다. 도 79에서, 소스 드라이버 IC(14)는 RGB 10bit(1024계조)이다. 사용하는 계조수를 점등률에 대응시켜 변화시키고 있다. 예를 들면, 사용 계조가 1024란, 1계조째부터 1024계조째까지 사용하여 화상을 표시할 수 있는 것을 의미하고, 사용 계조 256이란, 1계조째부터 256계조째까지 사용하여 화상을 표시할 수 있는 것을 의미한다(257계조째부터 1024계조째까지는 사용할 수 없다. 또한, 도 99도 참조).
- [0438] 사용 계조수는, EL 소자(15)에 흘리는 전류에 영향을 미친다. 사용 계조수가 1024이고, 1024계조를 사용하면 최대 전류를 EL 소자(15)에 흘릴 수 있다. 사용 계조가 525계조에서는, 최대 계조인 525를 지정해도, 1024계조의 1/2의 휘도밖에 얻을 수 없다(단, 이해를 용이하게 하기 위하여, 감마 커브가 리니어로 되어 있음).
- [0439] 도 79의 실선의 실시예에서는, 점등률 25% 이하에서, 1024계조까지의 계조를 사용하여 화상을 표시할 수 있다. 점등률 100%에서는, 256계조까지만 사용하여 화상을 표시할 수 있다. 점등률 25% 이상 100% 이하는 1024계조로부터 256계조까지의 범위이며, 또한 점등률에 비례하여 계조 표시를 실현할 수 있다.
- [0440] 점등률에 대응한 사용 계조수는, 점등률을 구하고, 입력된 영상 신호를 점등률 혹은 이것과 유사한 데이터로 승산하여 구한다.
- [0441] 도 78에서, 변화점인 a점은 가변할 수 있게 구성해 두는 것이 바람직하다. 가변점은, EEPROM에 저장할 수 있게 구성한다. 또한, b점에 대해서도 마찬가지이다. 또한, 도 79의 d점 및 e점에 관해서도 마찬가지이다. 또한, 각 직선 및 곡선은, 다수의 절곡점 포인트를 설정해도 되는 것은 물론이다.
- [0442] 이상의 실시예에서는, 설명을 용이하게 하기 위하여 영상 신호의 감마 커브는 직선인 것으로서 설명 혹은 도시하였다. 그러나, 실제로는 감마 커브는, 2승 혹은 2.2승 커브 혹은 이 근방의 커브이다.

- [0443] 예를 들면, 1024계조제를 1.0의 밝기로 하고, 감마가 2승 특성 커브이면, 0.75의 밝기는 887계조제, 0.50의 밝기는 724계조제, 0.25의 밝기는 512계조제이다. 감마가 2.2승 특성 커브이면, 0.75의 밝기는 898계조제, 0.50의 밝기는 747계조제, 0.25의 밝기는 545계조제이다. 따라서, 실제로는, 이상의 밝기(휘도, 조도)를 기준으로 하여 제어하는 계조 혹은 설정하는 계조를 결정해야 한다.
- [0444] 이 단시간을 조정하는 것 혹은 설정하는 것에 의해, 구동 트랜지스터(11a)의 모빌리티 변동을 일정량 보상할 수 있다. 단시간은, 패널의 구동 트랜지스터(11a)의 특성에 적합시켜 설정하는 것이 바람직하다.
- [0445] 본 발명의 표시 패널에서는, EL 소자(15)의 전류 경로에 흐르는 전류를 제어하는 스위치 트랜지스터(11d), 소스 드라이버 IC(14)가 출력하는 영상 신호 전압 V_{sig} , 리세트 전압 V_{rst} 의 크기, 도 108, 도 109의 감마 회로, 캔슬 전압 V_r 의 크기/인가 시간을 제어 혹은 설정함으로써, 전술한 점등률 제어, duty 제어, 최대 사용 계조수 제어를 용이하게 실현할 수 있다. 또한, 그 실현 시, 도 61 등의 전원 회로에 의한 각 전압의 제어 혹은 가변, 도 98, 도 99의 온도 혹은 외광 혹은 점등률에 대응한 캐소드(애노드) 전압 제어 혹은 가변과 조합함으로써 더욱 특징 있는 효과를 발휘할 수 있다.
- [0446] 도 43, 도 45의 실시예에서는, 오프셋 캔슬 기간은, 도 44의 $bt \sim 2t$ 의 1H 이하의 기간으로 하였지만, 본 실시예는 이것에 한정되는 것은 아니다. 도 43의 (d)에서, 스위치 트랜지스터(11c)를 오프하고, 스위치 트랜지스터(11b)를 온 상태(다른 스위치 트랜지스터(11e, 11f, 11d)는 오프)로 하여, 1H 기간 이상(도 44의 $2t$ 이후의 기간) 유지해도 된다. 스위치 트랜지스터(11c)를 오프해도 a점에 영상 신호 전압 V_{sig} 가 유지되어 있기 때문에, 오프셋 캔슬 상태가 지속되기 때문이다. 따라서, 오프셋 캔슬 시간이 부족한 경우는 없어진다. 이상의 도 43의 (d)에서, 스위치 트랜지스터(11c)를 오프하고, 스위치 트랜지스터(11b)를 온 상태(다른 스위치 트랜지스터(11e, 11f, 11d)는 오프)로 하는 상태의 기간은, 화소(16)에 인가하는 영상 신호 전압 V_{sig} 의 크기에 대응하여 변화시키는 것이 바람직하다.
- [0447] 다른 구성은, 도 1 등과 마찬가지로 설명을 생략한다. 또한, 도 42의 구성에서도, 소스 드라이버 IC(14)의 출력단에 3선택 회로를 배치해도 되는 것은 물론이다.
- [0448] 이상의 사항은 본 발명의 다른 실시예에서도 마찬가지이다.
- [0449] 도 46은, 도 42의 변형예이다. 도 42와의 차이는, 도 1과 마찬가지로 컨덴서(11c)가 추가된 점이다. 기본적으로는, 컨덴서(11c)의 기능은, 도 1의 기능 및 사양과 마찬가지이다.
- [0450] 도 47은, 도 46의 화소 구성의 동작을 설명하기 위한 설명도이다. 도 47 등에서도 도 43과 마찬가지로, 전류 경로는 점선으로 도시하고 있고, 각 스위치 트랜지스터(11)는 스위치로 도시하고 있다. 스위치가 오픈일 때, 트랜지스터(11)가 오프 상태를 나타내고, 스위치가 클로즈일 때, 트랜지스터(11)가 온 상태를 나타낸다.
- [0451] 도 47의 (a)는 EL 소자(15)에 전류가 공급되고, EL 소자(15)가 발광(점등)하고 있는 상태이다.
- [0452] 도 47의 (b)에서는, 스위치 트랜지스터(11f)가 온함으로써, 리세트 전압 V_{rst} 가 구동 트랜지스터(11a)의 게이트 단자에 인가된다. 리세트 전압 V_{rst} 는, $-2V$ 이상 $3V$ 이하의 전압인 것이 바람직하다.
- [0453] 스위치 트랜지스터(11f)가 온함으로써, 구동 트랜지스터(11a)의 게이트 단자에 리세트 전압 V_{rst} 가 인가된다. 리세트 전압 V_{rst} 가 인가되고 있는 기간은, 스위치 트랜지스터(11b, 11e, 11c, 11d)는 오프 상태이다.
- [0454] 다음으로 도 47의 (c)에 도시하는 바와 같이, 스위치 트랜지스터(11c)를 온시킨다. 스위치 트랜지스터(11c)의 온에 의해, 도 42의 a점에 영상 신호 전압 V_{sig} 가 인가된다.
- [0455] 이상의 동작으로부터, 도 42의 b점에 리세트 전압 V_{rst} 가 인가되고, 다음으로, a점에 영상 신호 전압 V_{sig} 가 인가된다. V_{sig} 전압은, 이상적으로는 유지용 컨덴서(19a와 19b)에서 분압된다. 분압되는 비율은, 유지용 컨덴서(19a)와 컨덴서(19b)의 용량비로 결정된다.
- [0456] 도 47의 (c)의 동작은, 도 43의 (c)의 동작과 동일하다. 또한, 도 47의 (d)의 동작은, 도 43의 (d)의 동작과 마찬가지이다.
- [0457] 도 43의 실시예와의 차이는, 도 47의 (e)의 동작이다. 즉, 컨덴서(19c)의 1단자(도 46의 a점)에 인가된 전압에 의해, 스위치 트랜지스터(11c)가 오프한 후에도, 영상 신호 전압 V_{sig} 가 구동 트랜지스터(11a)에 공급되고, 오프셋 캔슬 기간이 지속되는 점이다. 따라서, 컨덴서(19c)의 효과에 의해 소스 드라이버 IC(14)로부터의 영상 신호 전압 V_{sig} 의 공급의 유무에 관계없이, 오프셋 캔슬 기간이 지속된다. 또한, 도 47의 (f)는, 도 43의 (e)

와 동일한 동작이다.

- [0458] 도 46의 실시예에서, 실제로는, b점에 반영되는(변화되는) 전압은, 커패시터(19a, 19b)의 용량, 구동 트랜지스터(11a)의 기생 용량, 다른 스위칭용 트랜지스터(11)의 기생 용량 및 게이트 신호선(17) 등의 관통 전압 등에 의해 변화된다. 따라서, 본 실시예는 이들 영향을 고려하여 커패시터(19)의 용량, 각 스위칭용 트랜지스터(11)의 동작을 결정한다. 이들 사항 등은 본 실시예의 기술적 사상을 일탈하는 것은 아니다. 또한, 커패시터(19b와 19a)의 용량 또는 용량비를 b점에 설정하는 설정 전압에 대응하여 결정한다. 이 점도 도 42의 실시예와 마찬가지로 지이다. 또한, 도 51과 같이, 구동 전압 V_{sig} 에 대하여 리셋 전압 V_{rst} 를 변화(비선형)하게 하는 것이 가능하다.
- [0459] 도 48은, 도 46의 실시예에 대하여, 도 45에서 설명한 본 실시예의 구동 방법의 다른 실시예이다. 도 48의 구동 방법에서는, 도 47의 (e)의 기간이 2개의 기간(도 45의 (e1)(e2))으로 나뉜다.
- [0460] 도 48의 (e2)는, 도 48의 (f) 기간 전에, 스위치 트랜지스터(11b)를 온한 상태에서, 단기간 스위치 트랜지스터(11e)를 온시킨 구동 방법이다. 혹은, 스위치 트랜지스터(11e)를 온할 때, 단시간 동안, 스위치 트랜지스터(11b)의 온 상태를 계속하는 구동 방식이다. 이 점도 도 45의 실시예와 마찬가지로 지이다.
- [0461] 다른 구성은, 도 1 등과 마찬가지로 지므로 설명을 생략한다. 또한, 도 42의 구성에서도, 소스 드라이버 IC(14)의 출력단에 3선택 회로를 배치해도 되는 것은 물론이다. 이상의 사항은 본 발명의 다른 실시예에서도 마찬가지이다.
- [0462] 도 42 등의 실시예는, 영상 신호 전압 V_{sig} 로부터 리셋 전압 V_{rst} 를 발생하거나, 혹은 영상 신호 전압 V_{sig} 에 상관하는 리셋 전압 V_{rst} 를 발생하고, 구동 트랜지스터(11a)에 인가하는 것이었다.
- [0463] 도 52는, 본 발명의 다른 실시예이다. 도 52의 실시예는, 영상 신호로부터, 소스 드라이버 IC(14)에서 리셋 전압 V_{rst} 를 발생하는 것이다. 도 52에서, 스위치 회로(431)는, 소스 드라이버 IC(14b)에서 발생한 리셋 전압 V_{rst} 와, 소스 드라이버 IC(14a)에서 발생한 영상 신호 전압 V_{sig} 를 선택하는 스위치 회로이다.
- [0464] 소스 드라이버 IC(14a) 및 소스 드라이버 IC(14b)의 양방에 공통인 영상 신호 데이터(계조 데이터)가 인가된다. 소스 드라이버 IC(14a)는 영상 신호 데이터를 영상 신호 전압 V_{sig} 로 변환하고, 스위치 회로(431)의 a단자에 인가한다. 소스 드라이버 IC(14b)는 영상 신호 데이터를 리셋 전압 V_{rst} 로 변환하고, 스위치 회로(431)의 b단자에 인가한다. 소스 드라이버 IC(14b)가 입력된 영상 신호 데이터를 룩업 테이블에서 데이터 변환한다.
- [0465] 룩업 테이블 회로의 변환 데이터는, EEPROM(753)에 저장된다. 저장하는 데이터는, 바람직하게는, 패널 특성을 측정하고(도 75, 도 76, 도 77을 참조), 패널 특성 변동, 특성을 반영한 결과로 EEPROM(753) 데이터를 작성한다. 스위치 $S1 \sim S_n$ 은, 1H에 1회씩 a단자와 b단자를 선택한다.
- [0466] 도 53은, 도 52의 화소 구성의 동작을 설명하기 위한 설명도이다. 도 52 등에서, 전류 경로는, 점선으로 도시하고 있고, 각 스위치 트랜지스터(11)는, 스위치로 도시하고 있다. 스위치가 오픈일 때, 트랜지스터(11)가 오픈 상태를 나타내고, 스위치가 클로즈일 때, 트랜지스터(11)가 온 상태를 나타낸다.
- [0467] 도 53의 (a)는 EL 소자(15)에 전류가 공급되고, EL 소자(15)가 발광(점등)하고 있는 상태이다. 애노드 전극 V_{dd} 로부터 스위치 트랜지스터(11e)를 통하여 구동 트랜지스터(11a)에 애노드 전압이 인가되고, 구동 트랜지스터(11a)에, 커패시터(19a 및 19b)에서 유지된 게이트 단자 전위에 따라서, EL 소자(15)에 전류를 공급한다.
- [0468] 도 53의 (b)부터가 전압 프로그램(화소(16)의 EL 소자(15)에 흐르는 전류를 재기입하는 동작 혹은 기간)의 동작이다. 스위치 트랜지스터(11f)가 온함으로써, 리셋 전압 V_{rst} 가 구동 트랜지스터(11a)의 게이트 단자에 인가된다. 즉, 구동 트랜지스터(11a)의 게이트 단자에는, 영상 신호 전압 V_{sig} 에 기초한 리셋 전압 V_{rst} 가 기입된다.
- [0469] 리셋 전압 V_{rst} 는, -5V 이상 -1V 이하의 전압인 것이 바람직하다. 리셋 전압 $V_{rst} < \text{초기 전압 } V_i$ 의 관계를 만족시킨다. 더욱 바람직하게는, 리셋 전압 $V_{rst} + 1.5 < \text{초기 전압 } V_i$ 의 관계를 만족시킨다. 이상의 관계를 만족시키는 것은, 구동 트랜지스터(11a)의 게이트 단자에 초기 전압 V_i 를 기입할 수 있게 하기 위해서이다. 즉, 구동 트랜지스터(11a)의 게이트 단자에 인가한 리셋 전압 V_{rst} 가 기입되어 있을 때, 구동 트랜지스터(11a)의 소스 단자에 인가한 초기 전압 V_i 를 구동 트랜지스터(11a)의 채널을 통하여 게이트 단자에 기입할 수 있게 하기 위해서이다.
- [0470] 스위치 트랜지스터(11f)가 온함으로써, 리셋 전압 V_{rst} 가 구동 트랜지스터(11a)의 게이트 단자에 인가된다.

리세트 전압 V_{rst} 가 인가되어 있는 기간은, 스위치 트랜지스터(11b, 11e, 11c, 11d)는 오프 상태이다.

- [0471] 다음으로 도 53의 (c)에 도시하는 바와 같이, 스위치 트랜지스터(11c, 11b)를 온시킨다. 동시에, 소스 드라이버 IC(14b)로부터 초기 전압 V_i 를 출력한다. 이 때의 동작은, 도 1의 화소 구성의 동작과 동일하다.
- [0472] 도 53의 (c)에서는, 절환 회로(431)는 b단자를 선택한다. 따라서, 소스 드라이버 IC(14b)로부터 출력된 초기 전압 V_i 의 인가에 의해, 전류가 스위치 트랜지스터(11c), 구동 트랜지스터(11a), 스위치 트랜지스터(11b)를 통하여, 구동 트랜지스터(11a)의 게이트 단자를 향하여 흐른다.
- [0473] 절환 회로(431)가 b단자를 선택하고 있는 기간은, 1H의 1/20 이상 1/4 이하로 설정된다. 즉, 1H(1수평 주사 기간)가 20 μ 초인 경우에는, 1 μ 초~5 μ 초이다. 1H의 다른 기간에서, 절환 회로(431)는 a단자를 선택받는다. a단자가 선택되어 있는 기간은, 소스 신호선(18)에 영상 신호 전압이 인가된다.
- [0474] 도 53의 (d)에 도시하는 바와 같이, 남은 1H 기간에서는, 소스 신호선(18)에는, 영상 신호 전압 V_{sig} 가 인가된다. 스위치 트랜지스터(11e, 11d, 11f)가 오픈으로 제어되고, 스위치 트랜지스터(11c, 11b)가 클로즈로 제어된다. 이상의 스위치 트랜지스터(11)의 설정에 의해, 영상 신호 전압 V_{sig} 가 구동 트랜지스터(11a)의 채널 사이를 통하여, 구동 트랜지스터(11a)의 게이트 단자에 인가된다. 영상 신호 전압 V_{sig} 에 대한 전류(드레인 전류)는, 도 49에 도시하는 바와 같이, 리세트 전압 V_{rst} 를 인가 후, 비선형 커브로 저하한다. 1H 이내(1수평 주사 기간, 도 54의 bt~2t) 동안, 오프셋 캔슬된다.
- [0475] 도 53의 (e)에서는, 화소(16)의 컨덴서(19c)에서 유지시킨 영상 신호 전압 V_{sig} 에서, 오프셋 캔슬 기간이 지속된다. 이상의 사항은 도 1, 도 2에서도 설명을 행하고 있다.
- [0476] 도 53의 (f)가 EL 소자(15)의 발광 기간이다. 스위치 트랜지스터(11c, 11b, 11f)가 오프(오픈)되고, 스위치 트랜지스터(11e, 11d)가 온(클로즈)된다. EL 소자(15)에는, 애노드 전압원 V_{dd} 로부터, 스위치 트랜지스터(11e), 구동 트랜지스터(11a), 스위치 트랜지스터(11d)를 통하여 EL 소자(15)에 전류가 공급된다.
- [0477] 스위치 트랜지스터(11d 또는 11e) 중, 적어도 한 쪽을 온/오프 제어함으로써, 도 12, 도 13, 도 98, 도 99 등의 화상 표시를 실현할 수 있다. duty 구동, 피크 전류 억제 구동에 의해, 고화질화, 전류 억제를 실현할 수 있다. 또한, 각 스위치 트랜지스터(1)의 동작에 대응시켜 각 게이트 신호선(17)의 온/오프 전압을 인가하는 제어 타이밍을 제어한다.
- [0478] 도 45와 마찬가지로, 도 53의 (f)의 기간이 2개의 기간(도 45의 (d1)(d2))으로 나뉘지게 함으로써, 구동 트랜지스터(11a)의 모빌리티 변동을 보정할 수 있다. 이 사항은, 도 45에서 설명하고 있으므로 설명을 생략한다.
- [0479] 또한, 이상의 다른 동작은, 기본적으로는, 도 1의 동작과 마찬가지로 설명을 생략한다.
- [0480] 도 54는, 도 53의 변형예이다. 도 54에서는, 영상 신호 데이터로부터 소스 드라이버 IC(14b)에서 리세트 전압 V_{rst} 를 발생시키고 있었다.
- [0481] 도 54는, 어레이 기관의 레벨 시프트 회로(541)는, 일정한 전압을 시프트하는 기능을 갖는다. 예를 들면, 레벨 시프트 회로(541)의 전압 시프트가 4V이고, 소스 드라이버 IC(14a)가 출력하는 영상 신호 전압이 2V이면, 구동 트랜지스터(11a)의 게이트 단자에 인가되는 전압(리세트 전압 V_{rst})=2-4=-2V이다. 소스 드라이버 IC(14a)가 출력하는 영상 신호 전압이 5V이면, 구동 트랜지스터(11a)의 게이트 단자에 인가되는 전압(리세트 전압 V_{rst})=5-4=1V이다.
- [0482] 따라서, 도 54의 실시예에서는, 도 53의 (b)의 동작은 불필요하다. 또한, 도 53의 (c)의 동작 시에, 레벨 시프트 회로(541)의 출력 전압이 리세트 전압 V_{rst} 로서 구동 트랜지스터(11a)에 인가된다. 리세트 전압 V_{rst} 는, 스위치 트랜지스터(11f)가 온함으로써, 구동 트랜지스터(11a)에 인가된다.
- [0483] 도 55는 본 실시예의 EL 표시 장치의 다른 실시예이다. 도 55의 실시예에서는, 소스 드라이버 IC(14V)는 영상 신호로서 영상 신호 전압을 출력하고, 소스 드라이버 IC(14I)는 영상 신호로서 영상 신호 전류를 출력한다. 또한, 설명을 용이하게 하기 위하여, 소스 드라이버 IC(14V)와 소스 드라이버 IC(14I)에는, 동일한 영상 게조 신호가 입력되는 것으로 한다. 또한, 동일한 영상 게조 신호가 입력된 경우, 소스 드라이버 IC(14V)가 출력하고 화소(16)에 전압 프로그램을 행하여, 상기 화소(16)의 EL 소자(15)에 흘리는 전류와, 소스 드라이버 IC(14I)가 출력하고 화소(16)에 전류 프로그램을 행하여, 상기 화소(16)의 EL 소자(15)에 흘리는 전류가, 이상적으로는 일치하는 것으로 한다.
- [0484] 또한, 소스 드라이버 IC(14V)가 출력하는 전압에 의해, 화소(16)의 구동 트랜지스터(11a)가 오프셋 캔슬 동작을

하는데, 전압 보정은 할 수 있어도, 모빌리티 보정은 할 수 없는 것으로 한다. 또한, 소스 드라이버 IC(14I)는, 모빌리티를 보정할 수 있는 것으로 한다.

- [0485] 도 55의 특징은, 소스 드라이버 IC(14V)가 출력하는 영상 신호 전압으로 전압 프로그램을 행하고, 소스 드라이버 IC(14I)가 출력하는 영상 신호 전류로 모빌리티를 보정하는 것이다.
- [0486] 영상 신호 전압 V_{sig} 는 소스 신호선(18V)에 인가되고, 스위치 트랜지스터(11c)가 온함으로써 화소(16)에 인가된다. 또한, 영상 신호 전압 I_{sig} 는 소스 신호선(18I)에 인가되고, 스위치 트랜지스터(11g)가 온함으로써 화소(16)에 인가된다.
- [0487] 도 56은 도 55의 화소 구성을 설명하는 설명도이다. 도 56 등에서, 전류 경로 및 신호 경로는 점선으로 도시하고 있고, 각 스위치 트랜지스터(11)는, 스위치로 도시하고 있다. 스위치가 오픈일 때, 트랜지스터(11)가 오프 상태를 나타내고, 스위치가 클로즈일 때, 트랜지스터(11)가 온 상태를 나타낸다.
- [0488] 도 56의 (a)는 EL 소자(15)에 전류가 공급되고, EL 소자(15)가 발광(점등)하고 있는 상태이다.
- [0489] 도 56의 (b)부터가 전압 프로그램(화소(16)의 EL 소자(15)에 흐르는 전류를 재기입하는 동작 혹은 기간)의 동작이다. 우선, 스위치 트랜지스터(11f)가 온함으로써, 리세트 전압 V_{rst} 가 구동 트랜지스터(11a)의 게이트 단자에 인가된다. 리세트 전압 V_{rst} 는, -2V 이상 3V 이하의 전압인 것이 바람직하다.
- [0490] 스위치 트랜지스터(11f)가 온함으로써, 구동 트랜지스터(11a)의 게이트 단자에 리세트 전압 V_{rst} 가 인가된다. 리세트 전압 V_{rst} 가 인가되고 있는 기간은, 스위치 트랜지스터(11b, 11e, 11c, 11d)는 오프 상태이다.
- [0491] 다음에 도 56의 (c)에 도시하는 바와 같이, 스위치 트랜지스터(11c)를 온시킨다. 스위치 트랜지스터(11c)의 온에 의해, 영상 신호 전압 V_{sig} 가 인가된다. 일례로서, 영상 신호 전압 V_{sig} 는, 0V 이상 5V 이하의 전압이다. 영상 신호 전압 V_{sig} 는, 영상 신호에 의해 변화된다.
- [0492] 이상의 동작으로부터, 도 56의 구동 트랜지스터(11a)의 게이트 단자에 리세트 전압 V_{rst} 가 인가되고, 다음으로, 영상 신호 전압 V_{sig} 가 인가된다. 이상의 동작은, 도 1, 도 42, 도 52 등의 화소 구성의 동작과 동일하다. 또는, 유사하다.
- [0493] 도 43의 (d)가 소스 드라이버 IC(14I)로부터의 영상 신호 전류 I_{sig} 에 의한 모빌리티의 보정 기간이다. 스위치 트랜지스터(11g)가 온하고, 스위치 트랜지스터(11c)가 오프함으로써 V_{sig} 신호가 차단되고, I_{sig} 신호가 화소(16)에 인가된다.
- [0494] I_{sig} 는, 애노드 전압 V_{dd} 및 구동 트랜지스터(11a)의 채널을 경유하여 도면의 점선과 같이 흐른다. 이 I_{sig} 에 의해 전류 프로그램이 실현됨과 함께, 모빌리티 어긋남이 보정된다.
- [0495] 도 56의 (e)가 EL 소자(15)의 발광 기간이다. 스위치 트랜지스터(11c, 11b, 11f)가 오프(오픈)되고, 스위치 트랜지스터(11e, 11d)가 온(클로즈)된다. EL 소자(15)에는, 애노드 전압원 V_{dd} 로부터, 스위치 트랜지스터(11e), 구동 트랜지스터(11a), 스위치 트랜지스터(11d)를 통하여 EL 소자(15)에 전류가 공급된다.
- [0496] 스위치 트랜지스터(11d 또는 11e) 중, 적어도 한 쪽을 온/오프 제어함으로써, 도 12, 도 13의 화상 표시를 실현할 수 있다(duty 구동). duty 구동, 피크 전류 억제 구동에 의해, 고화질화, 전류 억제를 실현할 수 있다.
- [0497] 또한, 각 스위치 트랜지스터(1)의 동작에 대응시켜 각 게이트 신호선(17)의 온/오프 전압을 인가하는 제어 타이밍을 제어한다. 게이트 드라이버 회로(12)의 제어는 도 3과 같이, 소스 드라이버 IC(14)로부터의 신호를 레벨 시프트 회로(32)에서 레벨 시프트시켜 인가함으로써 실현한다.
- [0498] 도 55의 실시예에서는, 전압 신호 V_{sig} 를 발생하는 소스 드라이버 IC(14V), 전류 신호 I_{sig} 를 발생하는 소스 드라이버 IC(14I)를 구비하고, 또한, V_{sig} 신호를 전달하는 소스 신호선(18V), I_{sig} 신호를 전달하는 소스 신호선(18I)을 구비하는 것이었다.
- [0499] 도 58의 실시예는, 소스 드라이버 IC(14a)에 소스 드라이버 IC(14V)와 소스 드라이버 IC(14I)의 양방의 기능을 갖고 있다. 또한, 소스 신호선(18)은 1종류이다.
- [0500] 소스 드라이버 IC(14a)는, 도 57에서 도시하는 바와 같이, 1H의 전반의 1/2H 기간에 V_{sig} 신호를 발생함과 함께, 소스 신호선(18)에 V_{sig} 신호를 인가하고, 스위치 트랜지스터(11c)를 온시켜 도 56의 (c)의 동작을 실현한다. 또한, 소스 드라이버 IC(14a)는, 도 57에서 도시하는 바와 같이, 1H의 후반의 1/2H 기간에 V_{sig} 신호를 발생함과 함께, 소스 신호선(18)에 I_{sig} 신호를 인가하고, 스위치 트랜지스터(11g)를 온시켜 도 56의 (d)의 동

작을 실현한다.

- [0501] 도 59는, 도 58의 변형예이다. 도 59에서는, 컨덴서(19b)가 각 화소(16)에 형성되어 있다. 컨덴서(19b)의 구성 혹은 기능 및 동작은, 도 4, 도 5에서 설명을 하고 있으므로 설명을 생략한다.
- [0502] 본 실시예의 트랜지스터는, TFT뿐만 아니라, 바이폴라 트랜지스터에서도 마찬가지로 실현이 가능하다. 또한 TFT에 대해서도, 폴리실리콘, 결정 실리콘, 아몰퍼스 실리콘 등 구성 재료에 상관없이 마찬가지로 실시가 가능하다.
- [0503] 도 80은, 본 실시예의 EL 표시 장치의 소스 드라이버 회로(24)의 프로그램 전류(영상 신호)의 발생 회로의 설명도이다. 소스 드라이버 회로(14)는, 적(R), 녹(G), 청(B)에 대응하는 기준 전류 회로(정전류 회로)(803)(803R, 803G, 803B)를 갖고 있다.
- [0504] 기준 전류 회로(803)는, 저항 R1(R1r, R1g, R1b)과 오피 앰프(801a), 트랜지스터(804a)로 구성된다. 저항 R1(R1r, R1g, R1b)의 값은, R, G, B의 계조 전류에 대응하여 독립적으로 조정할 수 있게 구성되어 있다. 저항 R1은, 소스 드라이버 회로(14)의 외부에 배치된 외장 저항이다.
- [0505] 오피 앰프의 +단자에는, 전자 볼륨(806)에 의해, 전압 Vi가 인가되어 있다. 전압 Vi는, 안정된 기준 전압 Vb를 저항 R에서 분압함으로써 얻어진다. 전자 볼륨(806)은, 신호 IDATA에 의해 출력 전압 Vi를 변화시킨다. 기준 전류 Ic는 (Vs-Vi)/R1로 된다. RGB의 기준 전류 Ic(Icr, Icg, Icb)는, 각각 독립된 기준 전류 회로(803)에서 가변된다.
- [0506] 가변은, RGB마다 형성된 전자 볼륨에서 실시된다. 따라서, 전자 볼륨(806)에 인가되는 제어 신호에 의해, 전자 볼륨(806)으로부터 출력되는 전압 Vi의 값이 변화된다. 전압 Vi에 의해 RGB의 기준 전류의 크기가 변화되고, 단자(806)로부터 출력되는 계조 전류(프로그램 전류) Iw의 크기가 비례하여 변화된다.
- [0507] 발생한 기준 전류 Ic(Icr, Icg, Icb)는, 트랜지스터(804a)로부터 트랜지스터(804b)에 인가된다. 트랜지스터(804b)와 트랜지스터군(805)은 커런트 미러 회로를 구성하고 있다. 도 80에서, 트랜지스터(804b1)는, 1개의 트랜지스터로 구성하고 있도록 도시하고 있지만, 실제로는, 트랜지스터군(805)과 마찬가지로, 단위 트랜지스터(812)의 집합(트랜지스터군)으로서 형성하고 있다.
- [0508] 트랜지스터군(805)으로부터의 프로그램 전류 Iw는 출력 단자(806)로부터 출력된다. 트랜지스터군(805)의 각 단위 트랜지스터(812)의 게이트 단자 및 트랜지스터(804b)의 게이트 단자는, 게이트 배선(814)에 의해 접속되어 있다.
- [0509] 트랜지스터군(805)은, 도 81에 도시하는 바와 같이, 단위 트랜지스터(812)의 집합으로서 구성된다. 이해를 용이하게 하기 위하여, 영상 데이터와 프로그램 전류는 비례 또는 상관 관계로 변환되는 것으로서 설명한다. 영상 신호에 의해 스위치(811)가 선택되고, 스위치(811)의 선택에 의해, 단위 트랜지스터(812)의 출력 전류의 집합(가산)으로서의 프로그램 전류 Iw가 발생한다. 따라서, 영상 신호를 프로그램 전류 Iw로 변환할 수 있다. 본 실시예는 단위 트랜지스터(812)의 단위 전류가, 영상 데이터의 하나의 크기에 해당하도록 구성되어 있다.
- [0510] 단위 전류란, 기준 전류 Ic의 크기에 대응하여 단위 트랜지스터(812)가 출력하는 1단위의 프로그램 전류의 크기이다. 기준 전류 Ic가 변화되면, 단위 트랜지스터(812)가 출력하는 단위 전류도 비례하여 변화된다. 트랜지스터(804b)와 단위 트랜지스터(812)가 커런트 미러 회로를 구성하고 있기 때문이다.
- [0511] RGB의 각 트랜지스터군(805)은 단위 트랜지스터(812)의 집합으로 구성되어 있고, 단위 트랜지스터(812)의 출력 전류(단위 프로그램 전류)의 크기는, 기준 전류 Ic의 크기로 조정할 수 있다. 기준 전류 Ic의 크기를 조정하면, RGB마다 각 계조의 프로그램 전류(정전류) Iw의 크기를 가변할 수 있다. 따라서, RGB의 단위 트랜지스터(812)의 특성이 동일한 이상적 상태에서는, RGB의 기준 전류 회로(803)의 기준 전류 Ic의 크기를 변화시킴으로써, EL 표시 장치의 표시 화상의 화이트 밸런스를 취할 수 있다.
- [0512] 기준 전류를 크게 하면, EL 소자(15)의 발광 휘도를 높게 할 수 있다. 또한, 기준 전류를 작게 하면, EL 소자(15)의 발광 휘도를 낮게 할 수 있다. 도 83의 처리 회로에서 영상 신호(Y/UV, COMP 신호 등)를 가산, 히스토그램 등의 처리를 실시하고, 실시 결과에 기초하여 기준 전류를 변경하면, 소비 전류를 평균화하며, 또한 고휘도 표시를 실현할 수 있다.
- [0513] 또한, 도 99에 도시하는 바와 같이, 영상 신호의 처리 결과에 기초하여, 사용하는 최대 계조수를 변경해도 마찬가지로의 효과를 실현할 수 있다. 특히, 본 실시예에서는, 양호한 오프셋 캔슬을 실현할 수 있기 때문에, 양호한

콘트라스트 표시를 실현할 수 있으며, 또한, 최고 휘도도 정밀도 좋게 실현할 수 있기 때문에, 도 83, 도 99, 도 78, 도 79 등의 방법과 조합함으로써 상승 효과를 실현할 수 있다.

- [0514] 이하, 설명을 용이하게 하기 위하여, 소스 드라이버 회로(IC)(14)의 트랜지스터군(805)은 6비트인 것으로서 설명을 한다. 도 81에서, 각 단위 트랜지스터(812)는, 정전류 데이터(D0~D5)마다 배치된다. D0 비트에는 1개의 단위 트랜지스터(812)가 배치된다. D1 비트에는 2개의 단위 트랜지스터(812)가 배치된다. D2 비트에는 4개의 단위 트랜지스터(812)가 배치되고, D3 비트에는 8개의 단위 트랜지스터(812)가 배치되며, D4 비트에는 16개의 단위 트랜지스터(812)가 배치된다. 마찬가지로, D5 비트에는 32개의 단위 트랜지스터(812)가 배치되어 있다.
- [0515] 각 비트의 단위 트랜지스터(812)의 출력 전류가 출력 단자(806)에 출력되는지의 여부는, 아날로그 스위치(811)(811a~811f)에 의한 온/오프 제어로 실현된다. 디코더 회로(815)는, 입력된 영상 데이터 KDATA를 디코드한다. 아날로그 스위치는 영상 신호 데이터 KDATA에 대응하여 온/오프 제어된다.
- [0516] 프로그램 전류 Iw는 내부 배선(813)을 흐른다. 내부 배선(813)의 전위는, 소스 신호선(18)의 전위로 된다. 내부 배선(813)의 전위는 AVdd 이하 GND 전위 이상이다. 소스 신호선(18)의 전위는, 정전류 Iw를 소스 신호선(28)에 인가하고, 정상 상태로 하였을 때에는, 화소(16)의 구동 트랜지스터(11a)의 게이트 단자의 전압(도 3의 화소 구성의 경우)이다.
- [0517] 이상의 실시예는, 소스 드라이버 IC(14) 내에 프로그램 전류를 출력하는 회로를 구비하는 구성이다. 또한, 소스 드라이버 IC(14)는, 프로그램 전압을 출력하는 회로를 구비해도 된다. 또한, 프로그램 전류를 출력하는 회로와 프로그램 전압을 출력하는 회로의 양방을 구비해도 되는 것은 물론이다. 이하, 설명을 용이하게 하기 위하여, 소스 드라이버 IC(14)는, 계조 신호(영상 신호 전압 Vsig)로서, 프로그램 전압을 출력하는 구성인 것으로서 설명을 한다.
- [0518] 도 102는, 소스 드라이버 IC(14)(소스 드라이버 회로(14))의 블록도이다. 도 102에 도시하는 바와 같이, 소스 드라이버 IC(14)는, 시프트 레지스터(Shift Register)(1022), 미니 LVS 리시버 회로(Mini-LVDS Receiver)(1021), RGB의 감마 회로(R GMA, G GMA, B GMA)(1024), 라인 래치 회로(Line Latch)(1023), SEL 신호의 2bit는, 아웃풋 버퍼(Output Buffer)(1026), 디지털 아날로그 컨버터(Digital Analog Converter)(1025), 스위치 회로(Switch)(1027) 등으로 구성된다. 프로그램 전류 혹은 프로그램 전압을 출력하는 회로는 디지털 아날로그 컨버터(DAC라고 부름)(1025)와 출력 버퍼 회로(1026)가 해당한다.
- [0519] SEL 신호의 2bit는, 시프트 레지스터(Shift Register)(1022)를 제어하고, 아웃풋 버퍼(Output Buffer)(1026)로부터 출력하는 채널수를 규정한다. 채널수는, 720/684/642/618로부터 선택한다.
- [0520] 미니 LVS 리시버 회로(Mini-LVDS Receiver)(1021)에는, LV0A, LV0B, LV1A, LV1B, LV2A, LV2B, LV3A, LV3B, LV4A, LV4B, LV5A, LV5B, LV6A, LV6B, LV7A, LV7B, CLKA, CLKB가 입력된다. 영상 신호 전압 Vsig 데이터는, RGB가 각 10bit이다.
- [0521] RGB의 감마 회로(R GMA, G GMA, B GMA)(1024)는, 도 108에 도시하는 구성이다. 단, 도 108은, RGB 중, 1개만을 도시하고 있다. 즉, 본 실시예의 EL 표시 장치는, RGB의 3개의 독립 감마 회로를 구비한다. 이것은, 다른 감마 회로에서도 마찬가지이다.
- [0522] 도 108의 회로 구성은 6개의 탭이 있고, VX1~VX6의 전압을 설정할 수 있다. VX1~VX6에는, 각각 DA 컨버터가 접속되어 있다. 구동 트랜지스터(11a)가 P채널 트랜지스터인 경우에는, VX5의 탭은 오픈으로 한다. 구동 트랜지스터(11a)가 N채널 트랜지스터인 경우에는, VX2의 탭은 오픈으로 한다. 6개의 탭 VX1~VX6은, R1의 중점을 중심으로 하여 (대략) 대상으로 형성되어 있다. 따라서, 구동 트랜지스터(11a)가, P채널 트랜지스터이어도, N채널 트랜지스터이어도, 도 108의 감마 회로에서 대응할 수 있다.
- [0523] 특히, VX2, VX5의 단자가 중요하다. EL 표시 장치에서는, 양호한 흑 표시를 실현할 수 있다. 구동 트랜지스터(11a)가 P채널 트랜지스터인 경우에는, VV1이 가장 저계조 표시이고, VX2가 다음으로 흑 영역의 계조 설정 표시로 된다. 양호한 화상 표시를 실현하기 위해서는, VX2의 설정이 중요하다. 반대로, VX5는, 계조가 리니어로 변화하는 영역이기 때문에, 설정은 필요하지 않다. VX4, VX6에서 설정하면 충분하다. 구동 트랜지스터(11a)가 N채널 트랜지스터인 경우에는, VV6이 가장 저계조 표시이고, VX5가 다음으로 흑 영역의 계조 설정 표시로 된다. 양호한 화상 표시를 실현하기 위해서는, VX5의 설정이 중요하다. 반대로, VX2는, 계조가 리니어로 변화하는 영역이기 때문에, 설정은 필요하지 않다. VX1, VX3에서 설정하면 충분하다.
- [0524] 또한, 도 108의 래더 저항(1061)에는, 계조 출력 단자를 생략하고 있지만, 실제로는, 래더 저항 사이로부터 계

조 출력 단자가 형성되어 있다. 예를 들면, 저항 R3에는, 계조 0~63이 배치되고, 계조 1~62의 출력 단자가 있다. 저항 R2에는, 계조 63~319가 배치되고, 계조 64~318의 출력 단자가 있다. 저항 R1에는, 계조 319~703이 배치되고, 계조 320~702의 출력 단자가 있다. 저항 R2에는, 계조 703~959가 배치되고, 계조 704~958의 출력 단자가 있다. 저항 R4에는, 계조 959~1023이 배치되고, 계조 960~1022의 출력 단자가 있다. 또한, $R2=R1 \cdot 2/3$, $R3=R2/4$, $R4=R3 \cdot 63/64$ 인 관계로 설정되어 있다.

[0525] 또한, 도 108에서는, 최저 계조가 V0(계조 0)인 경우에는, 최저 계조의 V0 전압은, RGB에서 공통으로 하고 있다(동일 전압으로 설정함). 마찬가지로, 도 106, 도 109에서도, V0 전압은, RGB에서 공통으로 하고 있다.

[0526] 도 108에서, 도 83의 처리 회로에서 연산한 영상 신호의 총합 혹은 가산합 혹은 히스토그램 처리(RGB의 색마다 가중치 부여 처리를 실시함)에 기초하여, VX1~VX6 중 적어도 1개의 설정 단자를 제어하고, 표시 화면(31)의 표시 휘도를 제어한다.

[0527] 또한, 도 102에서, 감마 회로는, 도 108의 회로 구성으로 하였지만, 이것에 한정되는 것이 아니라, 도 106, 도 109의 감마 회로 구성을 채용해도 된다.

[0528] 도 106은, 1개의 래더 저항(1061c)의 양단에, 전압 설정을 행하기 위한, 셀렉터 회로(1063b), 앰프(1062b)와, 셀렉터 회로(1063c), 앰프(1062c)를 배치하고 있다. 앰프(1062b)는, 계조1의 V1 전압을 설정하기 위해 사용하고, 앰프(1062c)는, 최고 계조의 계조 1023의 V1023 전압을 설정하기 위해 사용한다. 계조 0의 V0 전압은, 셀렉터 회로(1063a), 앰프(1062a)에서 설정한다. 셀렉터 회로(1063a)는, 128점점으로부터 1개를 선택하는 셀렉터 회로이다. 셀렉터 회로(1063b)는, 64점점으로부터 1개를 선택하는 셀렉터 회로이다. 셀렉터 회로(1063c)는, 256점점으로부터 1개를 선택하는 셀렉터 회로이다. 선택하여 가변하는 전압 범위는, 셀렉터 회로(1063c)>셀렉터 회로(1063a)>셀렉터 회로(1063b)로 하고 있다.

[0529] 래더 저항(1061b, 1061c)은, RGB에서 독립하여 형성되어 있다(3개 있음). V0 전압은 RGB에서 공통이다. 그 때문에, 래더 저항(1061a)은, RGB에서 공통이며, 1개이다. 참조 부호 1064R, 1064G, 1064B는 감마 블록이다.

[0530] 도 107이 도 106의 감마 회로에 기초하는 감마 커브의 설정예이다. 또한, 감마 커브의 전압 폭은, AVdd-AVss(GND)로 하고 있다. 일반적으로는, 소스 드라이버 IC(14)의 전압(AVdd는 전원 전압, AVss는 GND 전압)이다.

[0531] 도 107에 도시하는 바와 같이, 다용한 감마 커브를 발생할 수 있다. 계조 0의 V0 전압은, RGB에서 공통이다. 계조 1의 V1 전압은 RGB에서 독립적으로 설정할 수 있다. 계조 1~최고 계조인 V1023은, RGB에서 독립적으로 설정할 수 있고, 그 동안에는, 감마 커브는 리니어이다. 따라서, 디지털 감마의 설정이 용이하고, V0을 원점으로 하는 흑 휘도 조정도 용이하다. 단, 비트수는, 8비트로 부족하기 때문에, 본 실시예에서는 10비트로 하고 있다. 또한, V1을 설정하고, V1023의 전압을 설정하는 것만으로, V1~V1023의 계조 전압을 설정할 수 있다. 따라서, RGB의 화이트 밸런스 조정도 용이하다.

[0532] 도 109는, 래더 저항(1062g)의 중간의 탭 V7, V19, V43, V87, V171에 전압 설정을 행하는 구성이다.

[0533] 탭 V7에는, 래더 저항(1061f)과 셀렉터 회로(1063c) 및 앰프(1062b)에서 설정한다. 탭 V19에는, 래더 저항(1061e)과 셀렉터 회로(1063g) 및 앰프(1062c)에서 설정한다. 탭 V43에는, 래더 저항(1061d)과 셀렉터 회로(1063f) 및 앰프(1062d)에서 설정한다. 탭 V87에는, 래더 저항(1061c)과 셀렉터 회로(1063e) 및 앰프(1062e)에서 설정한다. 탭 V171에는, 래더 저항(1061b)과 셀렉터 회로(1063d) 및 앰프(1062f)에서 설정한다. 탭 V255에는, 래더 저항(1061a)과 셀렉터 회로(1063c) 및 앰프(1062g)에서 설정한다. V0은 RGB에서 공통이며, 래더 저항(1061h)과 셀렉터 회로(1063a) 및 앰프(1062a)에서 설정한다.

[0534] 도 110이 도 109의 감마 회로에 기초하는 감마 커브의 설정예이다. 또한, 감마 커브의 전압 폭은, AVdd-AVss(GND)로 하고 있다. AVdd는, 소스 드라이버 IC(14)의 전원 전압, AVss는 소스 드라이버 IC(14)의 GND 전압이다.

[0535] 도 110에 도시하는 바와 같이, 본 실시예의 RGB 회로는, RGB에서 독립된 감마 블록(1064)(1064R, 1064G, 1064B)을 구비하고 있다. 또한, 각 감마 블록(1064)은, 탭 위치(V7, N19, V43, V87, V171)는 RGB에서 독립적으로 설정할 수 있다. 계조 1~최고 계조인 V255는, RGB에서 독립적으로 설정할 수 있다. V0을 원점으로 하는 흑 휘도 조정도 용이하다. 비트수는, 8비트이다.

[0536] 또한, 도 102, 도 106, 도 108, 도 109에서, 계조 전압 V0이 최저 전압이고, 가장 어두운 표시를 설정한다. 반대로, V1023이 최고 계조이고, 가장 밝은 표시를 설정한다. 또한, 구동 트랜지스터는 P채널 트랜지스터인 경우

에는, V0축이 고전압축(예를 들면, 5V)이고, V1023이 저전압(예를 들면, 0V)이다.

- [0537] 도 99에서 설명하는 최대 표시 계조를 조작하는 구동 방법(계조 피크 처리 등)에서는, 도 102, 도 106, 도 108, 도 109의 감마 회로를 제어하여 실시한다.
- [0538] 예를 들면, 도 106의 감마 회로에서, 도 83의 처리 회로에서 연산한 영상 신호의 총합 혹은 가산합 혹은 히스토그램 처리(RGB의 색마다 가중치 부여 처리를 실시함)에 기초하여, 셀렉터 회로(1063c)를 제어하고, 앰프(1062c)로부터 출력되는 전압을 변화시킨다. 가산합이 작은 경우에는, 참조 부호 1062c의 출력 전압을 저전압축으로 변화시켜, 보다 밝은 표시를 할 수 있게 한다. 가산합이 큰 경우에는, 표시 영역(31)에서 소비하는 전류도 커지고, 패널이 과열되는 것을 방지하는 관점 등으로부터, 참조 부호 1062c의 출력 전압을 고전압축으로 변화시키고, 표시 휘도를 저하시킨다.
- [0539] 도 108의 감마 회로에서도 마찬가지이며, 도 83의 처리 회로에서 연산한 영상 신호의 총합 혹은 가산합 혹은 히스토그램 처리(RGB의 색마다 가중치 부여 처리를 실시함)에 기초하여, VX6으로부터 입력되는 전압을 변화시킨다. 가산합이 작은 경우에는, VX6의 입력 전압을 저전압축으로 변화시켜, 보다 밝은 표시를 할 수 있게 한다. 가산합이 큰 경우에는, 표시 영역(31)에서 소비하는 전류도 커지고, 패널이 과열되는 것을 방지하는 관점 등으로부터, VX6의 입력 전압을 고전압축으로 변화시키고, 표시 휘도를 저하시킨다.
- [0540] 또한, 도 108의 경우에는, VX6뿐만 아니라, VX1~VX5의 입력 전압도 필요에 따라서 변화시킨다. VX1~VX6에는, 6개의 DA 컨버터를 접속하고, DA 컨버터의 데이터를 가산합 등에 의해 변화시키고, VX1~VX6에 입력하는 전압을 제어한다. 또한, DA 컨버터는, 참조 부호 1024의 회로 내에 형성되거나, 외장으로 배치된다.
- [0541] 도 109에서도 마찬가지이며, 도 83의 처리 회로에서 연산한 영상 신호의 총합 혹은 가산합 혹은 히스토그램 처리(RGB의 색마다 가중치 부여 처리를 실시함)에 기초하여, 셀렉터 회로(1063c)를 제어하고, 앰프(1062g)로부터 출력되는 전압을 변화시킨다. 가산합이 작은 경우에는, 참조 부호 1062g의 출력 전압을 저전압축으로 변화시켜, 보다 밝은 표시를 할 수 있게 한다. 가산합이 큰 경우에는, 표시 영역(31)에서 소비하는 전류도 커지고, 패널이 과열되는 것을 방지하는 관점 등으로부터, 참조 부호 1062g의 출력 전압을 고전압축으로 변화시키고, 표시 휘도를 저하시킨다.
- [0542] 또한, 도 109의 경우에는, 앰프(1062g)뿐만 아니라, 셀렉터 회로(1063c), 앰프(1062g)의 동작에 기초하여, 셀렉터 회로(1063a~1063f)의 선택 위치, 앰프(1062a, 1062h, 1062b~1062f)의 출력 전압도 변화시킨다.
- [0543] 라인 래치 회로(Line Latch)(1023)는, 입력된 데이터를 래치한다. 최대로, 720채널·10bit의 버퍼 회로가 2단 보유되어 있다.
- [0544] 스위치 회로(1027)는, PRC 전압(캔슬 전압 Vr, 리셋 전압 Vrst 등)을 PRCON 신호의 입력에 대응하여, 소스 신호선(18)에 출력한다.
- [0545] 소스 드라이버 회로(IC)(18)와 소스 신호선(18) 사이에 3선택 회로(선택 스위치 회로)(1041)를 형성해도 된다(도 3, 도 104). 또한, 선택 회로(1041)의 선택수는 3에 한정되는 것이 아니라, 6선택 등의 다른 선택수로 구성해도 된다. 선택 회로가 3선택인 경우에는, R단자, G단자, B단자를 갖고, 클럭에 동기하여 어느 하나의 단자를 선택한다.
- [0546] 선택 회로(1041)는 도 103에 도시하는 바와 같이 배치된다. 선택 회로는, 소스 드라이버 회로(14)의 신호 출력 단자와 접속하는 입력 단자와, 소스 신호선과 접속하는 선택 출력 단자를 갖는다. 선택 회로(1041)는, 입력 단자와, 입력 단자와 접속할 수 있는 복수의 선택 출력 단자를 포함하는 조를 복수 갖고 있다.
- [0547] 또한, 선택 회로(1041)는, 선택 회로(1041)의 입력 단자에 인가된 소스 드라이버 회로(14)의 신호를, 복수의 선택 출력 단자로부터 1개 이상을 선택하여, 선택된 선택 출력 단자에 접속된 소스 신호선(18)에 인가한다.
- [0548] 바람직하게는 선택 회로(1041)의 조는, 1개의 입력 단자와, 적어도 3개의 선택 출력 단자를 포함하고, 3개의 선택 출력 단자에는, 적색의 신호를 전달하는 소스 신호선(18R)과, 녹색의 신호를 전달하는 소스 신호선(18G)과, 청색의 신호를 전달하는 소스 신호선(18B)이 각각 접속된다. 소스 드라이버 회로(14)는, 반도체를 포함하는 IC 칩이고, 선택 회로(1041)는, 어레이 기판에 폴리실리콘 기술로 형성되어 있다.
- [0549] 도 103의 (a)는, 표시 패널의 화면(31)이 횡장 배치인 경우(포트레이트:portrait 배치)이고, 소스 드라이버 회로(14)가 화면의 윗변 혹은 가변으로 배치된 경우(랜드스케이프:landscape 배치)이다. 도 103의 (b)는, 표시 패널의 화면(31)이 횡장 배치인 경우이고, 소스 드라이버 회로(14)가 화면의 좌우의 한 쪽에 배치된 경우이다.

- [0550] 소스 드라이버 회로(14)로부터 출력하는 신호는, 선택 회로(1041)에 의해 소스 신호선(18R, 18G, 18B)에 분류된다. 선택 회로(1041)는 폴리실리콘 기술로 어레이 기판에 직접 형성한다. 또한, 선택 회로(1041)는 실리콘 칩으로 형성하고, COG 기술로 어레이 기판에 실장해도 된다. 또한, 선택 회로(1041)는 절환 스위치로 하여 소스 드라이버 회로(14)의 회로로서, 소스 드라이버 회로(14)에 내장시켜도 된다.
- [0551] 선택 회로(1041)가 R단자를 선택하고 있을 때에는, 소스 드라이버 회로(14)로부터의 출력 신호는, 소스 신호선(18R)에 인가된다. 선택 회로(1041)가 G단자를 선택하고 있을 때에는, 소스 드라이버 회로(14)로부터의 출력 신호는, 소스 신호선(18G)에 인가된다. 선택 회로(1041)가 B단자를 선택하고 있을 때에는, 소스 드라이버 회로(14)로부터의 출력 신호는, 소스 신호선(18B)에 인가된다.
- [0552] 선택 회로(1041)가 R단자를 선택하고 있을 때에는, G단자 및 B단자는 오픈이다. 이 경우에는, G단자, B단자의 전위는, 기생 용량(142)에 의해 유지된다. 선택 회로(1041)가 G단자를 선택하고 있을 때에는, R단자 및 B단자는 오픈이다. 이 경우에는, R단자, B단자의 전위는, 기생 용량(142)에 의해 유지된다. 선택 회로(1041)가 B단자를 선택하고 있을 때에는, G단자 및 R단자는 오픈이다. 이 경우에는, G단자, R단자의 전위는, 기생 용량(142)에 의해 유지된다.
- [0553] 본 실시예의 EL 표시 장치의 소스 드라이버 IC(14)는, 1개의 칩(IC)으로, 도 103의 (a)의 경우와, 도 103의 (b)의 경우의 양방에 대응할 수 있게, 칩의 2개소로부터 선택 신호선(1043)을 접속할 수 있게 구성되어 있다. 또한, 게이트 신호선(12)에 접속하는 출력 단자도 2개소 있다.
- [0554] 도 105는, 본 실시예의 소스 드라이버 IC(14)(IC 칩)의 출력측의 단자 레이아웃의 설명도이다. IC 칩의 양단에는, 소스 신호선의 테스트용의 단자가 배치되어 있다. 테스트용 단자는, 영상 신호 전압 Vsig를 출력하는 단자와 구성은 동일하지만, 소스 신호선과는 접속되지 않는다. 또한, 테스트 커맨드에 의해, 영상 신호 전압 Vsig를 출력할지의 여부를 설정할 수 있다.
- [0555] 소스 신호선 테스트 단자의 내측에는, 게이트 드라이버 회로(12)에 공급하는 게이트 드라이버 제어 신호를 출력하는 게이트 드라이버 제어 단자가 배치되어 있다. 게이트 드라이버 제어 단자는, VGH1-VGL1 레벨의 신호를 출력하는 게이트 드라이버 제어 단자(VGH1/VGL1)와, VGH2레벨-VGL2의 신호를 출력하는 게이트 드라이버 제어 단자(VGH2/VGL2)의 2종류가 있다. VGH1/VGL1과 VGH2/VGL2는, 스위치 트랜지스터(11)의 특성에 맞추어, 혹은 표시 품위에 맞추어 구분하여 사용한다. VGH1/VGL1과 VGH2/VGL2에 관한 사항은, 도 3을 이용하여 설명을 행하였으므로 설명을 생략한다.
- [0556] 선택 회로(1041)가 어느 쪽의 단자(R단자, G단자, B단자)를 선택할지의 선택 신호선(1043)은, 신호선 셀렉터 단자에 접속된다. 도 104의 (a)의 경우의 포트레이트(portrait) 배치의 경우에는, 칩의 중앙으로부터 끝에 배치된 신호 셀렉터 단자(포트레이트:portrait)에 선택 신호선(1043)이 접속된다.
- [0557] 도 104의 (b)의 경우의 랜스케이프(landscape) 배치의 경우에는, 칩의 중앙에 배치된 신호 셀렉터 단자(랜스케이프:landscape 배치)에 선택 신호선(1043)이 접속된다. 또한, 소스 신호선 출력 단자에는, 소스 신호선(18)이 접속된다(단, 표시 화면(31) 사이에, 선택 회로(1041)가 배치됨).
- [0558] 이상의 사항은, 도 1의 화소 구성의 EL 표시 패널 혹은 EL 표시 장치뿐만 아니라, 다른 화소 구성(도 4, 도 5, 도 10, 도 11, 도 25, 도 29, 도 31, 도 33, 도 35, 도 37, 도 42, 도 46, 도 52, 도 54, 도 55, 도 58, 도 59, 도 86, 도 90, 도 91, 도 92, 도 93, 도 94, 도 95, 도 113, 도 123, 도 124~도 128 등)의 EL 표시 패널 혹은 EL 표시 장치에도 적용할 수 있는 것은 물론이다.
- [0559] 이상의 사항은 다른 실시예에서도 마찬가지이다. 예를 들면, 도 12, 도 13, 도 61, 도 75, 도 76, 도 77, 도 78, 도 79, 도 83, 도 84, 도 85, 도 98, 도 99, 도 100, 도 101 등의 방법 혹은 방식, 도 7, 도 8, 도 9, 도 60, 도 83, 도 96, 도 102, 도 103, 도 104, 도 106, 도 107, 도 108, 도 109, 도 110, 도 111, 도 112, 도 129의 구성 혹은 구조 혹은 방법에 관해서도 앞서 예시한 혹은 본 명세서에 기재한 화소 구성과 조합하여 실시할 수 있는 것은 물론이다.
- [0560] 도 84의 실시예는, 패널에서 최대 표시할 수 있는 휘도를 피크 400(nt), 백 래스터 표시(점등률 100%로 함)에서 200(nt)으로 한 실시예이다. 또한, 피크 휘도(점등률 0% 근방에서 최대 계조의 화소를 표시할 수 있는 휘도)와 최대 전력 시의 휘도(일반적으로는, 점등률 100%의 백 래스터 표시(최대 계조)의 화소를 표시할 수 있는 휘도)의 차는, 6배 이하 1.5배 이내로 한다. 본 명세서에서는, 2배로서 설명한다. 또한, 피크 휘도는, 점등률 0% 근방의 흑 표시의 화소의 휘도인 것으로 한다.

- [0561] 휘도는 최대 사용(표시) 계조수와 duty비로 결정된다. duty비는, 도 12, 도 13 등에서 설명한 것이다. 또한, 영상 신호는, RGB가 각 10bit(1024계조:1계조~1024계조)인 것으로 하고 있다. 일례로서 도 84에서는, 점등률 25% 이하에서는, 계조수 제어로 휘도 최대(Max) 400nt(1024계조의 영상 신호가 인가된 화소가 표시하는 휘도)이고, 점등률 100%에서는, 200nt(1024계조의 영상 신호가 인가된 화소가 표시하는 휘도)이다. 도 84의 (a)의 점등률과 최대 사용 계조수의 관계 커브는, 곡선이어도 되고, 또한, 절곡점은 복수 형성(설정)해도 된다.
- [0562] 최대 사용(표시) 계조수 제어란, 소스 신호선(18)에 인가하는 영상 신호 전압 Vsig 또는 화소(16)에 기입하는 영상 신호 전압 Vsig를 제어하는 것에 의한다. 또한, 최대 사용(표시) 계조수는, EL 표시 장치에 입력되는 영상 데이터 또는 화소(16)에 기입하는 영상 신호 전압 Vsig에 기초하여 결정한다.
- [0563] 이상의 사항은 duty 구동의 duty비의 결정에 관해서도 적용할 수 있는 것은 물론이다.
- [0564] 최대 사용(표시) 계조수는, 표시 화면(31)에 표시되는 최대 사용(표시) 계조수이다. 표시 화면(31)에서 사용되는 최대 사용(표시) 계조수의 기간에 관해서는, 1프레임(1필드)에서 한정되는 것이 아니라, 복수의 프레임(필드) 기간이어도 되는 것은 물론이다. 예를 들면, 최대 사용(표시) 계조수가, 768이면, 4프레임 기간 동안, 최대 사용(표시) 계조수를 768로 제한하고, 다음의 5프레임 이후에서는, 최대 사용(표시) 계조수를 1024로 변화시키는 방법이 예시된다. 이상의 기간에 관해서는 duty 구동의 duty비에 관해서도 적용된다.
- [0565] 또한, 최대 사용(표시) 계조 구동과 duty 구동은 조합하여 실시할 수 있는 것은 물론이다. 예를 들면, 제1 프레임에서, 최대 사용(표시) 계조수(최대 사용(표시) 계조 번호)를 768로 하고, duty비를 1/2로 하고, 다음의 제2 프레임에서 최대 사용(표시) 계조수(최대 사용(표시) 계조 번호)를 1024로 하고, duty비를 3/4으로 하는 구동 방법이 예시된다.
- [0566] 또한, 최대 사용(표시) 계조수(최대 사용(표시) 계조 번호), duty비는, 프레임(필드) 주기를 단위로 하여 스텝적으로 변경하는 것에 한정되지 않고, 프레임(필드) 중에서, 천천히 변화시켜도 된다. 예를 들면, 제1 프레임에서, 최대 사용(표시) 계조수(최대 사용(표시) 계조 번호)를 768로 하고, 제3 프레임에서는 최대 사용(표시) 계조수(최대 사용(표시) 계조 번호)를 1024로 결정받은 경우, 제2 프레임(필드)에서는, 768 내지 1024계조의 중간 계조수를 최대 사용 계조수로서 화상 표시한다.
- [0567] 물론, 제1 프레임의 도중으로부터 계조수 768로부터 계조수 1023으로 변화시켜도 되고, 제3 프레임의 처음부터, 최대 사용(표시) 계조수(최대 사용(표시) 계조 번호) 768로부터 최대 사용(표시) 계조수(최대 사용(표시) 계조 번호) 1024로 변화시켜도 된다. 이상의 변화(변경)에 관해서도 duty 구동의 duty비에 관해서도 적용된다.
- [0568] 또한, 최대 사용(표시) 계조수(최대 사용(표시) 계조 번호) 또는 duty비는, 매 프레임(필드)에서 구할 필요는 없다. 짝수 프레임(필드)에서 구해도 되고, 복수 프레임 간격으로 구해도 된다. 또한, 랜덤한 프레임 간격으로 구해도 된다.
- [0569] 예를 들면, 정지 화상의 표시에서는, 장주기 간격으로 최대 사용(표시) 계조수(최대 사용(표시) 계조 번호) 또는 duty비를 구하고, 최대 사용(표시) 계조수(최대 사용(표시) 계조 번호) 또는 duty비를 구하지 않는 프레임에서는, 구한 프레임에서의 값의 중간값을 사용한다(천천히 변화시킴).
- [0570] 한편, 동화상의 표시에서는, 매 프레임(필드)에서 최대 사용(표시) 계조수(최대 사용(표시) 계조 번호) 또는 duty비를 구한다.
- [0571] 이상의 사항은, 도 1의 화소 구성의 EL 표시 패널 혹은 EL 표시 장치뿐만 아니라, 다른 화소 구성(도 4, 도 5, 도 10, 도 11, 도 25, 도 29, 도 31, 도 33, 도 35, 도 37, 도 42, 도 46, 도 52, 도 54, 도 55, 도 58, 도 59, 도 86, 도 90, 도 91, 도 92, 도 93, 도 94, 도 95, 도 113, 도 123, 도 124, 도 125, 도 126, 도 127, 도 128 등)의 EL 표시 패널 혹은 EL 표시 장치에도 적용할 수 있는 것은 물론이다. 또한, 본 명세서에서 기재한 다른 구동 방식, 구성에 적용할 수 있는 것은 물론이다. 또한, EL 표시 장치 혹은 EL 표시 패널을 이용한 기기(예를 들면, 도 7, 도 8, 도 9 등)에 적용할 수 있는 것은 물론이다.
- [0572] 도 84는, 예시로서 감마 2승 커브로 계조 설정을 행한 실시예이다. 도 84의 (a)에서, 종축은 최대 사용 계조수이다. 최대 사용 계조수란, 임의의 점등률에서 표시하는 최대 계조이다. 혹은 사용할 수 있는 최대 계조 번호이다. 최대 계조 번호는, 점등률을 계수로서 승산하는 것 등에 의해 결정된다. 당연히 최대 계조 번호를 도시하고 있다.
- [0573] 또한, 설명을 용이하게 하기 위하여, 각 도면에서는 점등률을 이용하고 있지만, 점등률이란, 표시 화면(31)에 흐르는 전류라고 간주할 수도 있다(애노드, 캐소드 전압이 일정한 경우). 애노드, 캐소드 전압을 변화시키는

경우에는, 이 변화를 가미하는 것이 바람직하다. 즉, 점등률은 표시 패널의 표시 영역에서 사용하는 전력에 상관하는 값이다. 따라서, 전력에 기초하여 최대 사용 계조를 결정해도 된다. 또한, 상기 전력, 전류 등은 표시 패널의 표시 영역(31)에 사용하는 것뿐만 아니라, 주변 회로부에서 사용되는 전력, 전류를 포함시켜 구해도 된다.

[0574] 도 84의 (a)는, 통상 표시 상태이며, duty비를 1/1로 하고 있다. 즉, 도 12, 도 13의 흑 삽입 표시를 행하고 있지 않다. 이 상태가, 최대 휘도를 표시할 수 있는 구동 상태이다.

[0575] 도 84에서, 변화점인 a점은 가변할 수 있게 구성해 두는 것이 바람직하다. 가변점은, EEPROM에 저장할 수 있게 구성한다. 또한, b점에 대해서도 마찬가지이다. 또한, 각 직선 및 곡선은, 다수의 절곡점 포인트를 설정해도 되는 것은 물론이다.

[0576] 예를 들면, 1024계조제를 1.0의 밝기로 하고, 감마가 2승 특성 커브이면, 0.75의 밝기는 887계조제, 0.50의 밝기는 724계조제, 0.25의 밝기는 512계조제이다. 감마가 2.2승 특성 커브이면, 0.75의 밝기는 898계조제, 0.50의 밝기는 747계조제, 0.25의 밝기는 545계조제이다. 따라서, 실제로는, 이상의 밝기(휘도, 조도)를 기준으로 하여 제어하는 계조 혹은 설정하는 계조를 결정해야 한다.

[0577] 도 84의 (a)로부터 1/4의 휘도로 저하시키기 위해서는, 도 84의 (a)의 기술적 사상과 마찬가지로, 표시하는 계조수를 삭감한다. 도 84의 (b)에서, 724계조는, 휘도 200nt를 표시하는 계조이다(도 84의 (a)의 오른쪽 눈금을 참조). 362계조는, 감마 2승 커브로 1/4의 50nt를 표시할 수 있는 계조이다. 마찬가지로, 512계조는, 감마 2승 커브로 1/2의 100nt를 표시할 수 있는 계조이고, 627계조는, 감마 2승 커브로 200nt의 3/4의 150nt를 표시할 수 있는 계조이다. 단, 각 계조 번호는, 설명을 용이하게 하기 위하여 결정한 것이며, 본 실시예가 이 값에 한정되는 것은 아니다.

[0578] 도 84의 (b)에 도시하는 바와 같이, 통상 표시로부터 그 1/4 휘도까지의 휘도 가변은, 표시하는 계조수의 변경에 의해 행한다. 도 84의 (b)에 도시하는 바와 같이 도 84의 (a)의 점등률 100%로부터 1/4의 50nt로 저하시키는 경우에는, 최대 사용 계조는 362로 한다(즉, 50nt를 표시하는 경우에 사용하는 계조는, 1계조제 내지 362계조제). 1/2의 100nt로 저하시키는 경우에는, 최대 사용 계조는 512로 한다(즉, 100nt를 표시하는 경우에 사용하는 계조는, 1계조제 내지 512계조제). 150nt로 저하시키는 경우에는, 최대 사용 계조는 627로 한다(즉, 150nt를 표시하는 경우에 사용하는 계조는, 1계조제 내지 627계조제). 이 이상, 화면 휘도를 변경하는 경우도, 사용 계조수를 변경하면 된다.

[0579] 이상과 같이, 도 84의 (b)는, 통상 휘도로부터 휘도 1/4까지도, 사용하는 계조수 제어(최대 사용 계조(최대 표시 계조) 제어)로 행하고 있다.

[0580] 또한 화면 휘도를 저하시키기 위하여, 본 실시예에서는 도 84의 (c)에 도시하는 바와 같이, duty비 제어(도 12, 도 13)에 의해, 화면 휘도 제어를 실시하고 있다. 휘도는, 표시 영역(53) 또는 비표시 영역(52)의 면적을 증감시킴으로써 행한다. duty비 제어에서는, 표시하는 계조수는 변경하지 않기 때문에, 양호한 계조 표시를 실현할 수 있다.

[0581] 도 84의 (c)에서는, 200nt의 휘도 1/4 이하로부터 휘도 1/100(2nt)까지는, duty 제어로 한 실시예이다. 최저 휘도는, 피크 휘도 4nt, 백 래스터 2nt이다. 도 84의 (c)에서, 최대 사용 계조수는, 점등률 100%일 때, 362계조이며, 점등률 0% 근방(완전하게 점등률 0%는, 흑 래스터 표시로 되어 점등하고 있는 화소가 없기 때문에 근방으로 함)에서는, 512계조이다.

[0582] 이상의 제어(도 84의 (a)(b)(c))에 의해, 화면 밝기는, 1/100로 조절할 수 있다.

[0583] 또한, 도 84에서도, a점, b점 위치를 가변할 수 있게 설정하는 것이 바람직하다. a점, b점의 변경은, 점등률을 구하고, EL 표시 장치에 입력된 영상 신호 전압 또는 영상 신호 데이터에 승산하는 계수를 상기 점등률의 값에 의해 변경함으로써 실현할 수 있다. 또한, 변경은 지연 시간, 히스테리시스 동작을 갖게 하여 행하는 것이 바람직하다. 이상의 사항은 본 발명의 다른 실시예에서도 적용된다.

[0584] 이상과 같이, 본 실시예는, 최대 휘도(도 84의 (a)의 상태)로부터, 소정의 휘도 변화 범위(도 84의 (a)(b)에서는 휘도 변화 1/4)까지는, 사용하는 최대 계조(최대 사용 계조수)를 줄임으로써 휘도를 가변한다. 그 이상으로, 화면 휘도를 저하시키는 경우에는, 도 84의 (c)에 도시하는 바와 같이, duty비를 가변함으로써 행한다. duty비를 가변하는 경우에는, 표시에 사용하는 계조수는 변화하지 않는다(유지된다). 본 발명은, 최대 계조수 제어에 의해, 비교적 밝은 표시 휘도에서의 표시 화면(31)의 밝기 제어를 실현하고, 저휘도 표시에서는,

duty비 제어를 실현한다. 특히, duty비 제어는, 암실 등 매우 어두운 환경 하에서 실시함으로써 효과를 발휘한다. duty비에 의한 밝기 제어는, 사용하는 계조수가 저하하지 않기 때문에, 양호한 계조 표시를 실현할 수 있기 때문이다. 고휘도 표시에서는, 사용하는 계조수가 많기 때문에, 최대 사용 계조수 제어에 의해 사용하는 계조수를 감소시켜도 화상 표시에는 거의 영향을 주지 않는다.

[0585] 이상과 같이, 영상 신호 전압 Vsig의 특징 혹은 분포를 검출하거나, 혹은 영상 신호 전압 Vsig에 기초하여 특징 등을 검출하고, 화면의 최대 표시 휘도를 가변하는 제어는 최대 사용 계조수 제어로 행하고, 외부 조도 등에 의해, 표시 화면(31)의 밝기 제어(밝기 조정)를 행하는 경우에는, duty비 제어에 의해 실현하는 것이 바람직하다. 이상과 같이, 본 실시예는, 저휘도 표시를 행하는 경우(저휘도 영역)에는, duty비 제어에 의해 표시 화면(31)의 화면 휘도를 변화시키고, 일정 이상의 고휘도 표시를 행하는 경우(고휘도 영역)에는, 사용하는 계조수를 변화시켜 행한다. 이 경우에는, duty비는 1/1 등 고정으로 한다.

[0586] 그러나, 본 실시예는 이것에 한정되는 것이 아니라, 고휘도 영역에서, duty비를 1/2 등으로 해도 되고, 또한, 가변해도 된다. 또한, 저휘도 영역에서도, 사용하는 계조수를 변화시켜도 된다.

[0587] 또한, 도 84의 (a)는 최대 계조의 휘도를 400nt로부터 200nt의 1/2로 하는 것으로 하였지만, 이것에 한정되는 것이 아니라, 400nt로부터 100nt의 1/4 등으로 설정해도 된다. 또한, 도 84의 (b)는 최대 휘도를 200nt로부터 50nt의 1/4로 하는 것으로 하였지만, 이것에 한정되는 것이 아니라, 200nt로부터 25nt의 1/8 등으로 설정해도 된다. 또한, 도 84의 (c)는 최대 휘도를 50nt로부터 2nt의 1/25로 하는 것으로 하였지만, 이것에 한정되는 것이 아니라, 50nt로부터 1nt의 1/50 등으로 설정해도 된다.

[0588] 이상과 같이 목표 사양에 맞추어, 최대 사용 계조수의 가변 범위, 가변 위치를 소프트웨어적으로 변경, 최대 휘도의 가변 범위, 변경 위치를 소프트웨어적으로 할 수 있도록 한다. 변경 등은, 소스 드라이버 IC(14)의 컨트롤러부에서 용이하게 실현할 수 있다. 입력 변수는, 영상 신호 데이터, 점등률 등을 이용한다. 또한, 변경 위치, 가변 위치 등은, EEPROM(753)의 외부 메모리에 저장해 둔다.

[0589] EL 표시 장치의 표시 화면(31)에 발생하는 소부 과제는, 도 129에 도시하는 바와 같이, 그래픽 컨트롤러(1292)와 화소수분의 용량을 갖는 플래시 메모리(1291)를 채용함으로써 해결할 수 있다. 플래시 메모리(플래시 ROM)(1291)는, 각 화소의 점등 시간과, RGB별의 EL 소자의 수명 곡선이 기록되어 있다. 그래픽 컨트롤러(1292)는, 표시 패널의 점등 시간을 유지하고, 또한, 각 화소의 밝기(흐르는 전류의 크기)를 영상 신호 전압 Vsig로부터, 도 83의 구성에 의해 연산한다.

[0590] 그래픽 컨트롤러(1292)는, 각 화소의 점등 시간과 흐르는 전류로부터, 연산 혹은 처리에 의해, 각 화소의 휘도 저하를 구한다. 구한 휘도 저하는, EL 표시 장치를 오프할 때에, 플래시 ROM(1291)에 기입하고, 다음으로 온할 때에, 플래시 ROM(1291)으로부터 읽어낸다. 그래픽 컨트롤러(1292)는, 구한 각 화소의 휘도 저하분을 보충하도록 영상 신호에 보정 데이터를 가산한다. 이상과 같이 처리함으로써, 보정 데이터에 의해 소부(화소마다 EL 소자의 휘도 저하)는 보상된다. 따라서, 소부는 발생하지 않는다.

[0591] 이상의 사항은, 도 1의 화소 구성의 EL 표시 패널 혹은 EL 표시 장치뿐만 아니라, 다른 화소 구성(도 4, 도 5, 도 10, 도 11, 도 25, 도 29, 도 31, 도 33, 도 35, 도 37, 도 42, 도 46, 도 52, 도 54, 도 55, 도 58, 도 59, 도 86, 도 90, 도 91, 도 92, 도 93, 도 94, 도 95, 도 113, 도 123, 도 124~도 128 등)의 EL 표시 패널 혹은 EL 표시 장치에도 적용할 수 있는 것은 물론이다.

[0592] 이상의 사항은 다른 실시예에서도 마찬가지이다. 예를 들면, 도 12, 도 13, 도 61, 도 75, 도 76, 도 77, 도 78, 도 79, 도 83, 도 84, 도 85, 도 98, 도 99, 도 100, 도 101 등의 방법 혹은 방식, 도 7, 도 8, 도 9, 도 60, 도 83, 도 96, 도 102, 도 103, 도 104, 도 106, 도 107, 도 108, 도 109, 도 110, 도 111, 도 112, 도 129의 구성 혹은 구조 혹은 방법에 관해서도 앞서 예시한 혹은 본 명세서에 기재한 화소 구성과 조합하여 실시할 수 있는 것은 물론이다. 또한, 실시예 1~2, 실시예 4~7 등의 표시 패널(표시 장치) 혹은 구동 방법에도 적용된다.

[0593] <실시예 4>

[0594] 본 발명의 실시예 4에 대하여 설명한다.

[0595] 도 60은, 실시예 4의 EL 표시 장치의 전원 회로(전원 IC)의 설명도이다. 본 실시예의 전원 회로를 이용함으로써, 검사, 에이징, 휘도 조정 등을 용이하게 실현할 수 있게 된다.

[0596] 전원 회로(602)의 Vin 단자에는, 배터리로부터 Vin 전압(전압 2.3V 이상 4.6V 이하)이 인가된다. 전원 회로(전

원 IC)(602)는, EL 표시 장치에 필요한 전압을 발생시킨다. EL 소자에 공급하는 전압(애노드 전압 Vdd, 캐소드 전압 Vss) 및 그 전류는, DCDC 회로에 의해 발생시킨다.

- [0597] DCDC 회로에서 정극성의 전압 Vdd는, 코일 Lp를 이용한다. 부극성의 전압 Vss는, 코일 Ln를 이용한다. 즉, 코일을 이용하여 공진시킴으로써 필요한 전압값을 발생시킨다.
- [0598] 애노드 전압 Vdd는, 소스 드라이버 회로(14)의 아날로그 전압 Avdd와 공통이다($Vdd=Avdd$). Avdd 전압은, 소스 드라이버 회로(14)의 전원 전압이다. 아날로그 전압 Avdd는, 영상 신호의 기준 전압으로 하고 있다. 구동 트랜지스터(11a)는, P채널 트랜지스터이기 때문에, 애노드 단자는 애노드 전극(전압 Vdd)과 접속되어 있다. 즉, 구동 트랜지스터(11a)의 기준 전압 위치는, 애노드 전압 Vdd이다. 소스 드라이버 회로(39)의 아날로그 전압을 Avdd로 하고, Avdd를 기준(영상 신호 전압이 Avdd 전압일 때, 영상 신호의 진폭 전압은, 0V임)으로 한다.
- [0599] 또한, Avdd 전압은, 애노드 전압 Vdd보다도, 0.2V 이상 1.0V 이하의 전압만큼 높게 해도 된다. 예를 들면, 애노드 전압이 4.6V이면, Avdd 전압은, 4.8V 이상 5.6V 이하로 설정한다. 표시 콘트라스트를 향상시킬 수 있다.
- [0600] $Avdd=Vdd$ 로 함으로써, 구동 트랜지스터(11a)를 영상 신호로 프로그램 설정하는 것이 용이하게 된다. 또한, EL 표시 장치에서 사용하는 전원수도 삭감할 수 있다.
- [0601] 화소(16)의 구동 트랜지스터(11a)는 P채널 트랜지스터이다. $Vdd=Avdd$ 로 함으로써, 게조 전압의 전위와 애노드 전위 Vdd가 연동하여 변화하므로, 양호한 게조 표시를 실현할 수 있다. 전원 회로(IC)(602)에서 발생하는 애노드 전압 Vdd가 변동에 의해 변화해도, 구동 트랜지스터(11a)에 인가하는 진폭 전압의 기준 위치는 연동하여 변화된다. 따라서, 구동 트랜지스터(11a)를 영상 신호로 프로그램 설정하는 정밀도가 양호하게 된다.
- [0602] 또한, 화소(16)의 구동 트랜지스터(11a)가 N채널 트랜지스터인 경우에는, 영상 신호의 기준 전압을 그라운드(GND) 전압으로 한다.
- [0603] 또한, 전원 회로(602)는, 리니어 레귤레이터 회로에 의해, 소스 드라이버 회로의 로직 전압 Dvdd를 발생한다. $Dvdd=1.85V$ 이다. 또한, 차지 펌프 회로에 의해, 게이트 드라이버 회로(12)의 전원(VGH, VGL)을 발생한다. 차지 펌프 회로는, 정극성의 전압 VGH에는, 커패시터 Cp를 사용한다. 차지 펌프 회로는, 부극성의 전압 VGL에는, 커패시터 Cn를 사용한다. 즉, 커패시터와 발진 회로로 차지 펌프 회로를 구성하고, 필요한 전압값을 발생시킨다.
- [0604] 또한, VGH, VGL 등, 게이트 드라이버 회로(12)에서 사용하는 전압은, 소스 드라이버 회로(14)에 형성한 차지 펌프 회로에서 발생시켜도 된다. 이 경우에는, 소스 드라이버 회로(14)의 VGH, VGL 출력 회로에, 오프 스위치를 형성한다(소스 드라이버 회로(14)에 출력 오프 기능을 갖게 함).
- [0605] 이하의 실시예에서는, 전원 회로(602)에 VGH, VGL, Vrst 전압 발생 회로(601)를 구비하는 것으로서 설명한다. VGL, VGH, Vrst 전압 발생 회로(601)가 소스 드라이버 회로(14)에 구비되는 경우에는, 소스 드라이버 회로(14)와 전원 회로(602)를 동기를 취해도 본 실시예를 실시하면 된다.
- [0606] Avdd, Dvdd 전압은, 레귤레이터 회로에서 발생시켜도 된다. 배터리 전압 Vin이 레귤레이터 회로에 입력되고, Dvdd 전압을 발생시킨다. 또한, 배터리 전압 Vin이 레귤레이터 회로에 입력되고, Avdd 전압을 발생시킨다.
- [0607] 또한, 본 실시예의 EL 표시 장치에서는, 영상 신호 전압 Vsig를 화소(16)에 인가하는 스위치 트랜지스터(11c)를 구동하는 게이트 드라이버 회로(12a)는, 온 전압 VGH1, 오프 전압 VGL1로 한다. EL 소자(15)에 흐르는 전류를 온/오프 제어하는 스위치 트랜지스터(11d)를 구동하는 게이트 드라이버 회로(12b)는, 온 전압 VGH2, 오프 전압 VGL2로 한다. 또한, $VGH1=VGH2$, $|VGL1| < |VGL2|$ 로 하고 있다. 본 실시예에서는, 화소(26)를 선택하고 영상 신호를 기입하는 게이트 신호선(17)의 구동 전압(VGH2, VGL1)과, EL 소자(35)에 흘리는 전류를 제어하는 게이트 신호선(17)의 구동 전압(VGH2, VGL2)을 서로 다르게 하고 있다.
- [0608] 소스 드라이버 회로(24)의 전원 전압을 AVdd(V)로 하고, 애노드 전압을 Vdd(V)로 하였을 때, $Vdd-1.5(V) \leq AVdd \leq Vdd$ 의 관계를 만족하도록 구성하고 있다.
- [0609] 게이트 드라이버 회로의 온 전압 또는 오프 전압을 VGH(V)로 하고, 애노드 전압을 Vdd(V)로 하였을 때, $Vdd+0.2(V) \leq VGH \leq Vdd+2.5(V)$ 의 관계를 만족하도록 구성하고 있다.
- [0610] 일례로서 캐소드 전압 Vss는, -4.5V~-1.0V이고, 애노드 전압 Vdd는, 3.5V~7.0V이다. Vss, Vdd, VGH, VGL 등은 전원 회로로부터 공급되며, 필요에 따라서 각 전압의 값은 변경 설정된다.
- [0611] 본 실시예는, 에이징 공정, 결함 검사, 휘도 조정 등의 조정에 대응하기 위하여, 출력 오프 기능을 갖는다.

- [0612] 출력 오픈 기능은 스위치로 구성한다. 도 60에 도시하는 바와 같이, 각 전압 발생 회로(601)의 출력단에 스위치(SW1, SW2, SW3, SW4, SW5, SW6, SW7)가 형성되어 있다.
- [0613] 출력 오픈 기능이란, 스위치 SW를 오프(하이 임피던스)로 함으로써, 전원 회로(602)의 출력 단자에 별도 전압을 인가할 수 있다. 예를 들면, Vdd=5V로 하고, Vdd 출력 단자의 스위치 SW2를 오프로 함으로써, Vdd 출력 단자에 7V의 전압을 인가할 수 있게 된다. Vss=-3V로 하고, Vss 출력 단자의 스위치 SW1을 오프로 함으로써, Vss 출력 단자에 -5V의 전압을 인가할 수 있게 된다.
- [0614] 각 단자의 스위치 SW를 오프시킴으로써, 각 단자에 외부 전압을 인가하였을 때, 오프 리크 전류는 10 μ A 이하로 되도록 구성되어 있다. 이 구성은, 각 스위치 SW를 구성하는 FET의 게이트 단자에 버퍼 회로를 통하여 전압을 인가하는 회로 구성을 채용함으로써 실현할 수 있다.
- [0615] 스위치 SW1은, Vss 전압을 오프(하이 임피던스)로 하는 기능을 갖는다. 스위치 SW2는, Vdd 전압을 오프(하이 임피던스)로 하는 기능을 갖고, 스위치 SW3은, Avdd 전압을 오프(하이 임피던스)로 하는 기능을 갖는다. 스위치는, 아날로그 스위치, MOS 스위치 등으로 구성된다.
- [0616] 마찬가지로, 스위치 SW4는, 소스 드라이버 회로(14)에서 사용하는 로직 전압 Dvdd를 오프(하이 임피던스)로 하고, 스위치 SW5는, VGH 전압을 오프(하이 임피던스)로 한다. 스위치 SW6은, VGL 전압을 오프(하이 임피던스), 스위치 SW7은, Vrst 전압을 오프(하이 임피던스)로 하는 기능을 갖는다.
- [0617] 또한, 스위치(SW1~SW7)는, 명확하게 스위치 회로를 형성할 필요는 없다. 예를 들면, Vdd 발생 회로(601b)에 인가하는 발진 전압을 정지함으로써, 등가적으로, Vdd 출력이 오프로 되는 경우에는, 스위치 SW2의 물리적 형성은 불필요하다. 즉, 스위치 SW란, 각 전압 발생 회로(601)의 동작을 정지시키는 기능이라고 생각해도 된다.
- [0618] 전원 전압의 출력 회로에는 트랜지스터(FET)를 구비하고 있고, 이 FET로 이루어지는 스위치, 다이오드와 외장 코일(Ln, Lp)에서 공진시켜 소정의 전압을 발생시킨다. 이 공진시키는 FET의 게이트 단자에 오프 전압을 인가하거나, 또는 오프로 함으로써 FET로부터 전압은 출력되지 않게 된다. 결과적으로, 해당 전원 회로(602)의 출력 단자는 오프(하이 임피던스)로 된다. 또한, 전원 회로(602)에 내장된 다이오드에 역바이어스를 인가하여, 다이오드를 오프시켜도 된다. 또한, 도 61에 도시하는 바와 같이, 전원 회로(602)의 외부에, 스위치 회로(611)를 외장 배치해도 된다. 스위치 SW는 릴레이 회로 등으로 구성할 수도 있다.
- [0619] 또한, 전원 회로(602)의 출력단의 트랜지스터의 게이트 단자에 오프 전압을 인가하고, 상기 트랜지스터의 채널 사이를 하이 임피던스로 한다. 또한, 전원 회로(602)의 출력단에는 보호 다이오드를 형성하고, 보호 다이오드는 리크가 발생하지 않도록 충분히 높은 전압에 접속하여 오프 상태를 유지한다.
- [0620] 또한, 출력 오픈 기능은, 전원 회로(602)에 내장시키는 것에 한정되는 것은 아니다. 예를 들면, 도 61에 도시하는 바와 같이, SW의 부분을 스위치 회로(611)로서 별도 설치해도 된다. 스위치 회로(611)는, 실리콘 칩으로 형성하고, 플렉시블 기판(755) 등에 실장한다. 스위치 회로(611)는 MOS-FET 등으로 구성한다.
- [0621] 즉, 본 실시예의 오프(하이 임피던스)로 하는 기능이란, 등가적으로 전원 회로(602)의 단자를 외부로부터 보았을 때, 하이 임피던스 상태로 하는 기능이면 충분하다. 또한, 하이 임피던스 상태로 하였을 때, 또는 하이 임피던스 상태로 되었을 때, 전원 회로(602)의 단자를 외부에 별도의 전압을 인가할 수 있는 구성이면 충분하다.
- [0622] 본 실시예의 전원 회로는, 마이너스 전원 측의 다이오드, FET를 내장하고 있다. 또한, SMBus 등의 표준 데이터 버스를 구비하고, 표준 데이터 버스에 전송하는 커맨드에 의해 출력 전압 등을 설정할 수 있다.
- [0623] 커맨드에 의해 설정할 수 있는 전압은, VGH 전압, VGL 전압, Vss 전압, Vrst 전압이다. 이들 전압은, 0.5V 피치로 설정할 수 있게 구성되어 있다. 또한, VGH는 VGH1, VGH2로 2종류의 전압을 발생시키고, VGL은 VGL1, VGL2로 2종류의 전압을 발생시켜도 된다.
- [0624] 전압의 가변은, 전원 회로(602) 내부에, DA 변환 회로를 설치함으로써 용이하게 실현할 수 있다. 또한, 출력 오픈 기능도 커맨드로 제어할 수 있다. 예를 들면, 표준 데이터 버스(SMBus, I2C 버스 등)를 통한 커맨드 제어에 의해, Vss 전압 단자를 오프로 할 수 있다. 커맨드에 의해, 어느 스위치를 온시킬지 오프시킬지를 지정한다.
- [0625] 도 62는, VGH 전압, VGL 전압, Vdd 전압, Vss 전압, Vrst 전압, Avdd 전압의 설정값이다. 설정값은, 커맨드의 '값'에 의해, 0.5V 피치로 설정되어 있다. VGH 전압의 설정값은, Avdd 전압의 설정값보다도 1.0V 이상(적어도 0.5V 이상) 높게 설정할 수 있게 구성한다. VGL 전압의 설정값은, Vss 전압과 동일한 값을 설정할 수 있게 구

성한다.

- [0626] 또한, 도 62의 각 전압의 값은, EEPROM(753)(도 75)에 저장해 두고, 사용 상태에 맞추어 변경할 수 있게 구성해 두는 것이 바람직하다. 예를 들면, 도 62에서는, VGH의 값 0에서는, 5.0V이지만, 이 값을 EEPROM(753)으로부터 읽어내고, 4.5V로 변경한다. 피치값도 EEPROM(753)에 저장된 데이터에 의해 변경할 수 있게 구성해 두는 것이 바람직하다.
- [0627] VGH 전압, VGL 전압, Vdd 전압, Vss 전압, Vrst 전압, Avdd 전압은, 본 실시예의 패널의 조정 공정에서 가변하여 이용한다. 또한, 피크 전류 억제 구동에 의해 가변하여 이용한다.
- [0628] VGH 전압은, 5.0V 이상 9V 이하이며, 이 범위를 0.5V 피치로 설정 가능하다. 또한, 필요에 따라서 10mV 피치로 설정할 수 있게 구성할 수도 있다. 이상의 사항은 다른 전압에 대해서도 마찬가지이다. 또한, 본 실시예에서는, 설명을 용이하게 하기 위하여, 기본적으로는 전압의 피치는 0.5V인 것으로 한다. 그러나, 이것에 한정되는 것은 아니다.
- [0629] 일례로서, VGL 전압은, -6.0V 이상 -0.5V 이하이고, 이 범위를 0.5V 피치로 설정 가능하다. Vss 전압은, -6.0V 이상 -0.5V 이하이며, 이 범위를 0.5V 피치로 설정 가능하다.
- [0630] 또한, Vss 전압은, 0.1V 피치로 가변할 수 있게 구성하는 것이 더욱 바람직하다. 특히, EL 표시 패널의 온도에 의해, Vss 전압을 가변할 수 있게 구성하는 것이 바람직하다.
- [0631] 출력 오픈 기능은, 하드 단자에 의한 제어로 온/오프해도 된다. 예를 들면, 전원 회로(602)의 1번 핀은 TEST1, 2번 핀을 TEST2로 한다. TEST1 을 'H'로 함으로써, Vdd 단자와 Vss 단자를 출력 오프로 한다. 또한, 'L'로 함으로써, Vdd 단자와 Vss 단자를 전압 출력 상태로 한다. TEST2를 'H'로 함으로써, VGH 단자와 VGL 단자를 출력 오프로 한다. 'L'로 함으로써, VGH 단자와 VGL 단자를 전압 출력 상태로 한다.
- [0632] 또한, 출력 오픈 기능이란, 주로 전압 출력 단자가 외부로부터 분리된 상태를 의미하고, 상기 단자 등에 다른 전원으로부터의 전압 또는 전류를 인가해도, 상기 전원 IC(602) 등에 상기 다른 전원으로부터의 전류가, 상기 전원 IC(602) 등에 유입되지 않거나, 또는, 상기 다른 전원으로부터의 전류가 유출되지 않는 상태, 또는 이것과 유사한 상태를 의미한다. 또한, 이들과 유사한 기술적 사상이다.
- [0633] 또한, 복수의 핀에 로직 전압을 설정함으로써, VGH 전압을 5.0V 내지 8.0V 중 어느 하나의 전압으로 설정하고, 단자로부터 출력할 수 있게 구성한다. 또한, 도 63에 TEST 모드의 출력 전압과, 방전 회로(도 64)의 관계를 도시하고 있다.
- [0634] 각 전원의 출력에는, 방전 회로(디스차지 회로)가 형성되어 있다. 디스차지 회로를 도 64에 도시한다. 도 64는, 일례로서 Vss의 출력단이지만, 다른 출력단 Vdd, Avdd, VGH, VGL, Vrst에도 형성되어 있다. 오프 스위치 SW1이 오프인 경우에, 스위치 S1을 온시키고, 저항 R을 통하여, Vss 단자에 충전된 전하를 방전한다. 저항 R의 저항값은, DCDC 회로에 관련되는 출력(Vss, Vdd)은, 30~100Ω으로 한다. 차지 펌프 회로에 관련되는 출력(VGH, VGL)은, 200~1kΩ으로 한다. 이상과 같이 저항 R의 값은, DCDC 회로에 의해 발생시키는 전압보다도 차지 펌프 회로에서 발생시키는 전압의 쪽을 크게 한다.
- [0635] 디스차지 회로를 구성하는 스위치 S1도, 커맨드 설정에 의해 동작하도록 구성되어 있다. 즉, 디스차지 동작을 시킬지의 여부는, 커맨드로 설정할 수 있다.
- [0636] 또한, 도 65와 같이, TEST=3일 때, Avdd는 방전 없음으로 해도 된다. 방전 회로는, 디스차지 회로라고도 부른다. 도 63에서는, MODE0에서, 전체 전압(Avdd~ Vss)의 출력 단자를 디스차지 상태로 유지하고 있다. 이것은 EL 표시 장치를 외부 노이즈로부터 보호함에 있어서도 중요하다. 또한, MODE1의 ON1 커맨드만이 지정되어 있을 때에는, Vdd 단자와 Vss 단자를 디스차지 상태로 유지해 두는 것도 중요하다.
- [0637] ON1 커맨드뿐인 경우에는, 소스 드라이버 회로(14) 및 게이트 드라이버 회로(12)에 사용하는 전압(Avdd, VGH, VGL, Vrst)의 단자에는 디스차지하지 않고, EL 소자(35)에 인가하는 전압 단자는 디스차지시킨다. ON1 및 ON2 커맨드 발생 시(MODE3)에서는, 모든 전압 단자는 디스차지하지 않는다.
- [0638] 또한, 전원 회로(전원 IC)(602)의 기동은 소프트 스타트 회로의 동작 혹은 작용에 의해 러쉬 전류가 흐르지 않도록 제어된다. 소프트 스타트 시간은, 3msec 이상 20msec 이하의 시간으로 설정된다.
- [0639] 또한, 전원 회로(전원 IC)(602)에는, 과전류 방지 회로 및 서멀 셧다운 회로가 형성되어 있다. 과전류 방지 회로가 동작하는 시간은, 50msec 이상 200msec 이하의 시간으로 설정된다.

- [0640] 이상과 같이, 도 65의 TEST 상태에서도, 디스차지(방전)를 동작시킨다. TEST0은, 통상의 동작 상태이다. Avdd, VGH, VGL, Vrst, Vdd, Vss의 출력은, 도 67의 MODE에 따라서 방전 회로가 동작한다(방전 회로 ON). TEST1, TEST2, TEST3에서는 방전 회로가 동작하지 않는다(방전 회로 OFF:비동작 상태). 또한, 도 68에 도시하는 바와 같이, TEST3에서, 방전 회로를 동작 가능 상태로 해도 된다.
- [0641] 방전 회로는, 도 64에 도시하는 바와 같이, 스위치 S1, 방전 저항 R로 구성된다. 방전 저항 R은, 단자 또는 배선(도 64에서는 일례로서 Vss 단자 또는 Vss 배선)에 충전된 전하를 방전하는 데에 사용된다. 스위치 S1은 전원 회로(602)의 출력 전압을 정지할 때, 전원 전압의 값을 변화시킬 때에 동작한다.
- [0642] 본 실시예의 전원 회로(602)는, DCDC 회로의 발진 주파수도 소스 드라이버 회로(14)로부터의 커맨드로 설정할 수 있다.
- [0643] 발진 주파수는, 0.6MHz, 1.2MHz, 1.8MHz의 복수로부터 1개를 선택한다. 발진 주파수는, 0.6MHz, 1.2MHz, 1.8MHz로 정수배로 설정할 수 있게 한다. 발진 주파수 중 1개는, 1.0~1.6MHz 내로 설정한다(본 실시예에서는, 1.2MHz가 해당함). 이 범위의 주파수에서는, 표시 화면(31)에 비트 노이즈가 발생하지 않아 바람직하다.
- [0644] 발진 주파수는, 도 66에 표로 나타낸다. 발진 주파수도 전원 회로에 내장하는 복수의 저항으로부터 1개를 선택함으로써 용이하게 실현할 수 있다. 발진 주파수는, FL 커맨드의 설정에 의해, 발진 주파수를 변경할 수 있다. 발진 주파수가 낮으면, 전원 회로의 외장 코일(Lp, Ln)의 사이즈가 커진다. 변환 효율은 높아진다. 전원 회로의 외장 코일의 사이즈가 커진다. 변환 효율은 높아진다. 발진 주파수가 높으면, 전원 회로의 외장 코일의 사이즈가 작아진다. 변환 효율은 낮아지는 경우가 많다.
- [0645] 본 실시예의 전원 회로는 휴대 전화에 이용한다. 본 실시예는, 휴대 전화의 통신 방식에 따라, 발진 주파수를 전환하여 사용한다. CDMA 방식의 경우에는, DCDC의 발진 주파수를 0.6MHz로 한다. GSM 방식의 경우에는, 1.2MHz에서 사용한다. 본 실시예는, CDMA 방식에서 사용하는 경우와, GSM 방식에서 사용하는 경우에, 커맨드에 의해 발진 주파수를 변경한다. 즉, 휴대의 수신 방식에 대응시켜 발진 주파수를 전환한다.
- [0646] 도 63은, 본 실시예의 전원 회로의 동작 모드인 테스트 모드(TEST)에서, 디스차지(방전) 회로의 동작의 유무를 기재하고 있다. 도 63에서, 「○」는, 대응하는 전압이 출력되는 것을 나타내고, 「·」는 출력되고 있지 않은 것을 나타낸다. ON은, 방전 회로가 동작하고 있는 것(도 64에서 스위치 S1이 온하고 있는 것)을 나타내고, OFF는, 방전 회로가 비동작 상태인 것(도 64에서 스위치 S1이 오프하고 있는 것)을 나타내고 있다.
- [0647] 예를 들면, TEST 모드의 값이 1(설정값1)에서는, Avdd, VGH, VGL, Vdd, Vrst, Vss가 출력되어 있고, 방전 회로가 ON하고 있는 것을 나타내고 있다. TEST 모드의 값이 2(설정값2)에서는, Avdd, VGH, VGL이 출력되고 있고, 방전 회로가 OFF되어 있는 것을 나타내고 있다.
- [0648] 본 실시예의 전원 회로(602)에는, 도 67에 도시하는 바와 같이, MODE가 있다.
- [0649] MODE란, 전원 회로(602)의 상승 및 하강 시퀀스를 행하는 것이다. 시퀀스를 행하는 데에, ON1과 ON2가 있다.
- [0650] MODE=0(MODE 커맨드의 값 0, MODE0)에서는, ON1 및 ON2가 모두 0(오프)이다.
- [0651] MODE=1(MODE 커맨드의 값 1, MODE1)에서는, ON1=1(온)이고, ON2=0(오프)이다.
- [0652] MODE=2(MODE 커맨드의 값 2, MODE2)에서는, ON1=0(오프)이고, ON2가 1(온)이다. MODE=3(MODE 커맨드의 값 3, MODE3)에서는, ON1 및 ON2가 모두 1(온)이다. 또한, 도 67에서, ○는, 해당하는 전압이 출력되어 있는 것을, ·는 해당하는 전압이 출력되어 있지 않은 것을 나타내고 있다.
- [0653] ON1=1은, 소스 드라이버 회로(14) 및 게이트 드라이버 회로(12)의 전원 전압(Avdd, VGH, VGL, Vrst)이 상승을 한다. ON2=1(온)은, 애노드 전압 Vdd, 캐소드 전압 Vss를 EL 표시 장치에 공급한다.
- [0654] 상승 시퀀스에서는, 본 실시예는, ON1을 설정하고, 다음으로 ON2를 설정한다. 상승 시퀀스에서는, 우선, 게이트 드라이버 회로(12) 및 소스 드라이버 회로(14)를 동작한 후에, EL 소자(35)에 공급하는 애노드 전압 등을 인가한다. 이 상태가 반전되면, EL 표시 장치의 불필요한 발광 상태가 발생한다.
- [0655] 하강 시퀀스에서는, 본 실시예는, ON2를 해제하고(ON2=0), 다음으로 ON1을 해제한다(ON1=0). 하강 시퀀스에서는, 우선, 애노드 전압 Vdd, 캐소드 전압 Vss를 절단하고 나서, 게이트 드라이버 회로(12) 및 소스 드라이버 회로(14)의 전압을 오프로 하지 않으면, 애노드 단자로부터의 소스 드라이버 회로(14)에의 역류에 의해, 소스 드라이버 회로 등이 파괴되는 경우가 있다.

- [0656] 이상에 의해, MODE=2의 상태는 발생해서는 안된다. 상승 시퀀스에서, 노이즈 등에 의해, MODE=3이 최초로 된 경우에는, 우선, MODE1을 설정하고, MODE3을 실행한다. 또한, 상승 시퀀스에서, 노이즈 등에 의해, 우선, 최초로 MODE=3으로 된 경우에는, 우선, MODE1을 설정하고, MODE3을 실행한다. 이상과 같이, 본 실시예는, 각 동작이 이상 상태에서부터 동작한 경우에, 자기 수정하는 로직을 내장하고 있다.
- [0657] 하강 시퀀스의 경우에는, MODE3의 상태에서부터, ON2=0으로 되는, MODE1의 상태로 되고, 마지막으로 MODE0의 상태로 된다.
- [0658] MODE0에서는, 전체 출력 전압이 오프이다. MODE1에서는, 소스 드라이버 회로(14)의 아날로그 전압 Avdd, 게이트 드라이버 회로(12)의 전압(VGH, VGL)이 온 상태, 애노드 전압 Vdd, 캐소드 전압 Vss가 오프 상태이다. MODE2, MODE3에서는, 소스 드라이버 회로(14)의 아날로그 전압 Avdd, 게이트 드라이버 회로(12)의 전압(VGH, VGL)이 온 상태, 애노드 전압 Vdd, 캐소드 전압 Vss가 온 상태이다. 그러나, MODE2는, 설정 금지 상태이다.
- [0659] 도 68은, MODE에 대한 디스차지 동작(도 64를 참조)의 설정 상태를 도시하고 있다. 도 68에서, 「○」가, 디스차지 동작을 행하고 있는 것(도 64와 같이, 대응하는 스위치 S(도 64에서는, 스위치 S1)가 온하고 있는 것)을 나타내고 있다. 「·」는 스위치 S가 오프인 것(디스차지 동작하고 있지 않은 것)을 나타내고 있다.
- [0660] MODE0에서는, 전체 출력 전압이 오프이기 때문에, 전체 단자가, 디스차지 상태이다. ODE1에서는, 소스 드라이버 회로(14)의 아날로그 전압 Avdd, 게이트 드라이버 회로(12)의 전압(VGH, VGL)이 온 상태, 애노드 전압 Vdd, 캐소드 전압 Vss가 오프 상태이기 때문에, 애노드 전압 Vdd, 캐소드 전압 Vss만이, 디스차지 상태이다. MODE2, MODE3에서는, 소스 드라이버 회로(14)의 아날로그 전압 Avdd, 게이트 드라이버 회로(12)의 전압(VGH, VGL)이 온 상태, 애노드 전압 Vdd, 캐소드 전압 Vss가 온 상태이다. 따라서, 전체 출력의 디스차지는 비동작이다. MODE2는, 설정 금지 상태이다.
- [0661] 이상과 같이, 전압 출력되어 있지 않은 단자를, 디스차지 상태로 함으로써, EL 표시 장치의 불필요한 동작 또는 오동작을 방지함과 함께, EL 표시 장치가 전기적으로 파괴되는 것을 방지할 수 있다.
- [0662] 온/오프 단자는, 전원 회로를 기동시키는 단자이다. 온/오프 단자에 클럭 신호가 인가되면, Dvdd 전압을 출력한다. 클럭 신호는, 신호의 상승 또는 하강을 검출하고, 복수회의 클럭 신호의 상승 또는 하강 엣지를 검출하면 로직 전압 Dvdd를 출력한다(도 69를 참조).
- [0663] 클럭 신호는, 본 실시예의 EL 표시 장치에 인가되는 영상 신호 클럭 또는 수평 동기 신호 HD를 이용한다. 영상 신호는, 본 실시예의 EL 표시 장치가 내장된 기기의 그래픽 컨트롤러가 발생한다.
- [0664] 도 69에 도시하는 바와 같이, 클럭(CLK) 신호의 상승을 검출하고, 전원 회로(602) 내의 카운터(701)를 카운트 업한다(도 69, 도 70, 도 72를 참조). 클럭이 3클럭 들어가면 Dvdd 전압이 출력된다. 이 전원 상승까지 필요한 클럭수는, 커맨드로 설정할 수 있게 구성되어 있다.
- [0665] 도 69에서는, a점에서 3클럭이기 때문에, Dvdd를 출력한다. 물론, 클럭 신호의 검출은, 클럭의 하강을 검출해도 된다. 또한, 클럭의 양 엣지를 검출해도 된다. 클럭 간격이 일정 이상 짧으면 카운트는 하지 않는다. 이 설정은, 전원 회로(602)에 내장하는 로우 패스 필터에서 설정한다.
- [0666] 클럭이 일정 기간 차단되면, Dvdd 전압의 출력을 정지한다. 도 69에서는, T1 기간이 30msec 이상이면 출력을 정지한다. 동시에, 카운터(701)의 카운트값은 클리어된다. 따라서, 카운터(701)의 카운트는 0부터 개시된다.
- [0667] 또한, 도 69의 실시예에서는, Dvdd 전압을 클럭에서 온/오프(출력, 정지)시키는 것으로 하였지만, 이것에 한정되는 것은 아니다. 예를 들면, Vdd, Vss 전압, VGH, VGL 전압을 온/오프 제어해도 된다. 또한, 3클럭째에서 VGH, VGL 전압 등 게이트 드라이버 회로(12)에서 필요한 차지 펌프에서 출력하는 전압을 출력시키고, 30클럭째에서 Vdd, Vss 등 EL 소자(35)에 공급하는 DCDC 전압을 출력하도록 구성해도 된다.
- [0668] 하강도 마찬가지로이다. 30msec에서, Vdd, Vss 등 EL 소자(35)에 공급하는 DCDC 전압을 정지하고, 동시에 방전 회로(도 64, 도 68을 참조)를 동작시키고, 100msec 후에, VGH, VGL 전압 등 게이트 드라이버 회로(12)에서 필요한 차지 펌프에 의해 정지(동시에 방전 회로를 동작)하도록 구성해도 된다. 즉, 클럭의 개수 또는 클럭의 간격으로 전압 출력을 제어한다.
- [0669] Dvdd 전압은, 소스 드라이버 회로(14)의 로직 전압이다. DVdd 전압이 상승하면, I2C 버스(또는 SMBus)의 전원이 공급되고, 소스 드라이버 회로(14)와 전원 회로(602) 사이의 커맨드 통신이 가능하게 된다. 소스 드라이버 회로(14)는, I2C 버스(또는 SMBus)를 통하여 전원 회로(602)에 온 시퀀스 커맨드(온 커맨드)를 전송하고, 전원

회로(602)는, 다른 전압(VGH, VGL, Vss, Vdd 등)을 출력한다.

- [0670] 전원 회로(602)의 하강(전압 출력의 정지)은, 소스 드라이버 회로(14)로부터 전원 회로(602)에의 오프 시퀀스 커맨드(오프 커맨드)에 의해 행하여진다. 또한, 도 69에 도시하는 클럭 신호(CLK)가 중단됨으로써도 전원 회로(602)는 오프 상태로 된다.
- [0671] Dvdd 전압은, 소스 드라이버 회로(14)에서 사용되는 로직 전압이다. 우선, 최초로 로직 전압이 입력되지 않으면, 소스 드라이버 회로(14)의 로직 동작이 개시되지 않아, EL 표시 장치의 개시 시퀀스가 실시되지 않는다. 그러나, 상시(EL 표시 장치를 사용하지 않을 때도), DVdd의 전압 발생 회로(601c)를 기동해 두면, 전력을 사용한다. 도 69, 도 70과 같이, 클럭에서 Dvdd 발생 회로를 기동시키도록 구성하면, 불필요한 전력 소비는 없다. 또한, 클럭이 일정 기간 입력되지 않으면, Dvdd 회로를 비동작 상태로 되도록 구성하면, 불필요한 전력 소비는 없다.
- [0672] 또한, 도 69의 실시예에서는 클럭의 입력에 의해, DVdd 전압이 상승하는 것으로 하였지만, 본 실시예는 이것에 한정되는 것이 아니라, Avdd 전압 등 다른 출력 전압을 상승시키도록 구성해도 된다. 또한, 전압이 상승하는 클럭수는 커맨드 등에 의해 설정할 수 있게 구성하는 것이 바람직하다. 하강의 시간 T1도 커맨드 등에 의해 설정할 수 있게 구성하는 것이 바람직하다.
- [0673] 또한, 카운터의 값은, 클럭이 일정 시간 이상 없는 경우에는 클리어되도록 구성하는 것이 바람직하다. 예를 들면, 2의 클럭 신호(CLK)가 입력되어도, 3번째의 클럭 신호(CLK)까지의 간격이 20msec 이상이면, 전원 회로(602) 내의 카운터가 클리어되고, 카운터를 0으로 복귀시키도록 구성한다. 또한, 전원 회로(602)가 오프 시퀀스를 접수한 경우에도, 카운터는 클리어된다. 클리어될 때까지의 시간은, 커맨드에 의해 설정할 수 있게 구성되어 있다.
- [0674] 클리어될 때까지의 시간 T1은, 클럭으로서 수직 동기 신호를 사용하는 것이 상정된다. 따라서, 30프레임의 경우, 35msec 이상으로 할 필요가 있다. 또한, 노이즈에 의한 카운트 업의 오동작을 방지하기 위하여, 100msec 이하(0.1Hz)로 할 필요가 있다. 또한, 영상 신호의 메인 클럭에서 동작하도록 구성한다. 표시 장치의 화상 클럭이 3MHz이면, 3MHz에서 동작하도록 구성한다. 그러나, 지나치게 고속인 클럭에서 동작하도록 구성하면, 외부 노이즈에 의해 간단히 오동작한다. 따라서, 10MHz 이하로 한다. 따라서, 클럭은, 0.1Hz 이상 10MHz 이하로 한다. 클럭은, 수평 동기 신호(HD)를 사용하는 것이 바람직하다. 수평 동기 신호는, 8KHz 이상 30KHz 이하 정도이다. 따라서, 클럭은, 8KHz 이상 10MHz 이하에서 동작하도록 구성한다.
- [0675] 또한, 단시간에 이상한 클럭(외부 노이즈) 입력에 의한 오동작을 방지하기 위하여, 컨덴서 등에 의한 로우 패스 필터를 형성해 둔다.
- [0676] 카운터(701)는, 전원 IC(602)가 오프되면, 클리어된다. 또한, EL 표시 장치의 소프트웨어 리셋 또는 하드웨어 리셋이 입력되면 클리어된다. 또한, 전원 IC(602)가 온될 때에, 초기 클리어된다.
- [0677] 또한, Dvdd 전압은, 3클럭 신호(CLK)에서 출력하고, 도 72에 도시하는 바와 같이, Avdd 전압은, 5클럭 신호(CLK)에서 출력하도록 구성해도 된다. 즉, 클럭 신호(CLK)수에 따라, 상승하는 전압을 지정할 수 있게 구성한다. 하강 전압에서도 마찬가지로 구성해도 된다. 카운트 설정하는 클럭수는, 2 이상 5 이하가 바람직하다. 노이즈에 의한 오동작 방지와 기동 시간을 짧게 하기 위해서이다.
- [0678] 또한, 한번 카운트가 규정값에 달한 후에는, 소스 드라이버 회로(14)로부터 리셋 신호가 전원 회로(602)에 입력되지 않는 한 전압 출력을 정지하지 않도록 구성해도 된다.
- [0679] Dvdd 전압은, 레귤레이터를 이용하여 발생한다. 레귤레이터는, 동작 상태이면, 리크 전류가 흘러 전력을 소비하게 된다. 도 69, 도 70과 같이, 클럭을 검출하여 레귤레이터를 기동하도록 구성하면, 리크 전류의 발생은 없다. 따라서, EL 표시 장치가 비동작 상태에서는, 전력을 소비하지 않는다.
- [0680] 본 실시예의 전원 회로(602)는, 클럭 신호(CLK)가 입력되어 있을 때에, 온 커맨드가 입력됨으로써, 전압이 출력되도록 구성되어 있다. 또한, 클럭 신호(CLK)가 입력되어 있을 때에, 오프 커맨드가 입력됨으로써, 전압 출력을 정지한다. 또한, 출력 단자를 오프로 한다.
- [0681] 단, 본 실시예는 이것에 한정되는 것은 아니다. 예를 들면, 도 73에 도시하고 있는 바와 같이, 강제적으로 전압을 출력하는 온/오프 단자(하드 핀)를 설치해도 된다.
- [0682] 다음으로, 상승 시퀀스에 대하여 도 75를 이용하여 설명을 한다.

- [0683] 전원 회로(602)에, 수평 동기 신호(HD) 또는 메인 클럭(CLK)이 입력되면, Dvdd 발생 회로(601c)(도 70)에 의해, 클럭을 카운트하고, 규정의 클럭수를 카운트 하면, Dvdd 발생 회로의 레귤레이터가 동작한다. 레귤레이터 회로는, 입력된 배터리 전압 Vin을 레귤레이터하여 1.85V(1.8V계)를 출력한다.
- [0684] 이상과 같이, 전원 회로(602)에 커넥터(751)로부터 공급되는 신호 또는 전압은, CLK 또는 HD와, Vin뿐이다. 패널(34)과 플렉시블 기관(756)은 ACF(755)에 의해 전기적으로 접속이 취해지고 있다. 따라서, 전원 회로(602)로부터 출력되는 전원 전압수가 많아도 코스트가 높아지는 일은 없다. 또한, 전원 회로(602)는, 플립플롭 실장(COF 실장)되어 있다.
- [0685] 1.85V는 소스 드라이버 회로(14) 등의 로직 전압이다. 로직 전압 Dvdd는, SMBus의 전원이며, 또한, EEPROM(753), 플래시 메모리(752)의 전원 전압이다. 따라서, Dvdd 전압이 발생함으로써, EL 표시 장치의 로직계가 기동 상태로 된다.
- [0686] 소스 드라이버 회로(14)는, 로직 전압 Dvdd가 입력되고, 외부 3선 시리얼 버스로부터, 리세트 신호 커맨드가 입력되면, 상승 시퀀스를 개시한다.
- [0687] 리세트 신호 커맨드를 소스 드라이버 회로(14)가 수신하고, 전원 회로(602)의 초기화가 완료(도 67에서, MODE 0)되면, 소스 드라이버 회로(14)는, SMBus를 통하여, 전원 회로(602)에 온 커맨드(ON1, ON2:도 67)를 보낸다. 기본적으로 온 시퀀스는, MODE0(ON1, ON2는 오프)→MODE1(ON1만 온)→MODE3(ON1, ON2는 온)이다.
- [0688] ON1 커맨드에 의해, AVdd 전압(소스 드라이버 회로(14)의 아날로그 전압), VGH, VGL이 출력된다. AVdd와 애노드 전압 Vdd는 동일 전압이지만(도 61 등도 참조), AVdd는 ON1에서 출력되지만, 애노드 전압 Vdd는, SW2가 오프 상태이기 때문에 출력되지 않는다. SW2는 ON2 커맨드에서 온 상태로 된다. ON1 커맨드에 의해, VGH는 SW5가 온함으로써, VGL은 SW6이 온함으로써, 출력된다.
- [0689] 소스 드라이버 회로(14)에 AVdd 전압이 인가됨으로써, 게조 전압 등을 출력할 수 있게 된다. VGH, VGL 전압은, 게이트 드라이버 회로(12)에 인가된다. VGH, VGL 전압에 의해 게이트 드라이버 회로(12)의 게이트 신호선(17)의 전위가 설정된다. 또한, 소스 드라이버 회로(14)는, 게이트 드라이버 회로(12)에 스타트(ST) 신호, 클럭(CLK) 신호를 인가하고, 또한, 소스 드라이버 회로(14)는, 소스 신호선(18)에 흑 계조의 영상 전압 신호 등을 인가하고, 게이트 드라이버 회로(12)는 화소(16)를 흑 표시 상태로 제어한다.
- [0690] ON1 커맨드(도 67의 MODE1)로부터 ON2 커맨드(도 67의 MODE3)까지의 이행 시간은, 1프레임 기간 이상으로 한다. 바람직하게는 2프레임 기간 이상으로 한다. 표시 화면(31)을 흑 표시 상태로 하고 나서, 애노드 전압 Vdd, 캐소드 전압 Vss를 인가하도록 하기 위해서이다. 표시 화면(31)을 흑 표시 상태로 하고 나서, 애노드 전압 Vdd, 캐소드 전압 Vss를 인가하지 않으면, 불필요한 화상 표시로 되는 경우가 있기 때문이다.
- [0691] 다음으로, 소스 드라이버 회로(14)는, 입력된 영상 신호(RGB), 수평 동기 신호(HD), 수직 동기 신호(VD), 클럭(CLK)에 대응시켜 소스 신호선(18)에 영상 신호를 출력한다.
- [0692] 소스 드라이버 회로(14)는, 전원 회로(602)에 ON2 커맨드를 송출한다. ON2 커맨드에 의해, SW1, SW2가 온하고, 표시 화면(31)에 애노드 전압 Vdd, 캐소드 전압 Vss가 인가된다. 애노드 전압 Vdd, 캐소드 전압 Vss의 인가에 의해, EL 표시 장치에 화상이 표시된다.
- [0693] 이후, 소스 드라이버 회로(14)는, 영상 신호로부터, 표시 화면(31)에 흐르는 전류를 연산 등에 의해 점등률을 구하고, 피크 전류를 오버하지 않도록, duty비 구동을 실시한다. 또한, 필요에 따라서, 전원 회로(602)에 커맨드를 보내고, 애노드 전압 Vdd, 캐소드 전압 Vss를 변화시킨다.
- [0694] 또한, 도 67에 도시하는 바와 같이, 오동작에 의해, MODE2로부터 개시되는 경우에는, MODE1을 실행하고, 다음으로 MODE3을 실행시킨다. 오동작에 의해, MODE3으로부터 개시되는 경우에는, MODE1을 실행하고, 다음으로 MODE3을 실행시킨다.
- [0695] 오프 시퀀스(하강 시퀀스)에서는, MODE1이 실행된다. MODE1의 실행 전에, 소스 드라이버 회로(14)는, 표시 화면(31)을 흑 표시로 한다. 흑 표시는, 소스 신호선(18)에 흑의 계조 신호(저계조)를 인가하고, 이 신호를 화소(16)에 기입함으로써 실현한다. 흑 표시 후에, 소스 드라이버 회로(14)는 전원 회로(602)에 커맨드를 보내고, MODE1(ON2를 오프)로 한다.
- [0696] ON2 커맨드의 오프 명령에 의해, SW1, SW2가 오프하고, 표시 화면(31)에의 애노드 전압 Vdd, 캐소드 전압 Vss의 인가가 정지된다.

- [0697] 다음으로, 소스 드라이버 회로(14)는, 전원 회로(602)에 MODE0으로 하기 위해, ON1을 오프로 하는 커맨드를 보낸다.
- [0698] 도 67의 MODE1로부터 도 67의 MODE0까지의 이행 시간은, 1프레임 기간 이상으로 한다. 바람직하게는 2프레임 기간 이상으로 한다. 애노드 전압 Vdd, 캐소드 전압 Vss를 완전하게 단자 등으로부터 방전시키고 나서 게이트 드라이버 회로(12)를 정지시키기 위해서이다. ON2 커맨드를 오프(0)로 함으로써, SW2, SW1이 오프로 된다. 이때, 도 64, 도 68에 도시하는 바와 같이 방전 회로를 동작시킨다. 애노드 전압 Vdd, 캐소드 전압 Vss를 완전하게 방전시키고 나서가 아니면, 불필요한 화상 표시가 이루어지는 경우가 있기 때문이다.
- [0699] ON1 커맨드를 오프함으로써, SW5, SW6이 오프로 되고, AVdd 전압(소스 드라이버 회로(14)의 아날로그 전압), VGH, VGL이 정지된다. 마지막으로, 전원 회로(602)에 인가되어 있는 CLK 또는 HD가 정지하고, Dvdd가 정지한다.
- [0700] 도 61, 도 73 등의 실시예에서는, 셧다운 단자(SHDN)를 배치하고 있다. SHDN 단자는, 클럭 신호(CLK)가 입력되어 있지 않은 상태에서도, 온/오프 커맨드가 입력되면 전압을 출력시키는 단자이다(또는, 전압을 출력하지 않도록 하는 단자임). SHDN 단자에의 로직 전압이 L레벨일 때에는, 도 69, 도 72에서 설명한 전원 동작이 실시된다.
- [0701] SHDN 단자에의 로직 전압이 H레벨일 때에는, 클럭 신호(CLK)가 없는 상태에서도, 온/오프 커맨드를 접수하게 된다. 셧다운 단자(SHDN)는 0(GND)이 통상 상태이고, 외부 클럭에 의해 Dvdd 출력 상태로 설정되어 있고, 셧다운 단자(SHDN)는 H이고, 클럭이 입력되지 않아도, Dvdd가 출력되어 있는 상태이다.
- [0702] 셧다운 단자(SHDN)를 배치한 것은, 본 실시예의 전원 회로(602)를 검사 공정에서 이용하는 경우에 유효하다. 검사 공정(점 결함 검출, 특성 평가)에서는, 프레임 레이트를 저감한다. 예를 들면, 1초간의 화상 표시를 재기입하는 횟수 60회를 20회로 한다. 또한, 테스트 트랜지스터(754)를 이용하여, 소스 신호선(18)에 신호 전압을 인가하고, 화상을 표시한다. 그 때문에, 클럭으로서 이용하는 영상 신호(메인 클럭, 수평 동기 신호 클럭)가 없는 경우가 있다. 또한, 클럭의 주기가 매우 길어, 도 69에 도시하는 T1 기간 이상으로 되어, 전압 출력이 정지하게 된다. 이 경우에는, 당연히 클럭을 사용하여 전압 출력을 온/오프시킬 수 없다. 그 때문에, 본 실시예에서는, 셧다운 단자(SHDN)를 이용하여, 전압 출력을 강제적으로 제어한다.
- [0703] 도 61, 도 73 등에서는, Dvdd 발생 회로에만 셧다운 단자(SHDN)를 배치하고 있지만, 이것에 한정되는 것이 아니라, 다른 전압 발생 회로(601)에 셧다운 단자(SHDN)를 배치해도 된다. 또한, 전원 회로(602) 전체를 셧다운 단자(SHDN)에 의해, 온/오프 제어할 수 있게 구성해도 된다.
- [0704] 도 74에 도시하는 바와 같이, Vss 전압의 발생 회로가 없는 구성이라도 된다. 이 경우에는, EL 표시 장치의 캐소드 전압은, GND 전압이다. Dvdd 전압 발생 회로(601c)의 출력에는 스위치는 배치되어 있지 않다. Dvdd는, CLK 또는 SHDN의 로직 신호에 의해 출력/비출력의 제어를 할 수 있기 때문이다. 또한, 각 SW의 제어는, 소스 드라이버 회로(14)가 행하지만, Dvdd 전압의 공급이 없으면, 소스 드라이버 회로(14)의 로직이 동작하지 않아, SW의 제어 커맨드를 발생할 수 없기 때문이다.
- [0705] 또한, 본 실시예에서는, 전원 회로(602)는, IC로서 설명하지만, 이것에 한정되는 것은 아니다. 예를 들면, 디스플레이 부품으로 전원 회로(602)를 구성해도 된다. 리세트 전압 Vrst는, 도 74의 화소 구성을 갖는 EL 표시 장치 등에서 사용한다.
- [0706] Dvdd가 기동하면, 소스 드라이버 회로(14)의 로직 회로부가 기동함과 함께, SMBus 등의 표준 데이터 버스에 데이터를 보내는 것이 가능하게 된다. 소스 드라이버 회로(14)는, 표준 데이터 버스(SMBus 등)를 이용하여, 전원 회로가 출력하는 전압(VGH, VGL, Vss)의 값을 설정한다. 또한, 발진 주파수를 설정한다. 또한, Avdd(Vdd), VGH, VGL을 전원 회로(602)로부터 출력시킨다.
- [0707] 전원 회로(602)는, 도 75에 도시하는 바와 같이, 플렉시블 기판(2층 구성)(756)에 실장되어 있다.
- [0708] 전원 회로(602)의 각 출력 단자에는, 금 범프가 형성되어 있고, ACF(이방 도전 필름에 의한 접속)에 의해 플립 칩 실장되어 있다.
- [0709] 도 75의 참조 부호 754는 테스트 트랜지스터군이다. 테스트 트랜지스터(754)가 각 소스 신호선(18)에 형성되어 있다. 테스트 트랜지스터(754)는, 도 76, 도 77에 도시하는 바와 같이, 소스 드라이버 회로(14)가 실장된 반대측(B위치)에 형성해도 된다. 또한, 소스 드라이버 회로(14)는, IC에 한정되는 것이 아니라, 저온 폴리실리콘

기술 등에 의해 형성된 소스 드라이버 회로이어도 된다. 3선택 회로(1041)를 형성해도 된다.

- [0710] 스위치 SW3, SW4, SW6은 실제로는 형성되어 있지 않다. 또는 생략할 수 있다. 영상 신호의 클럭 신호에 의해, Dvdd=1.85V가 출력된다. 따라서, 스위치는 필요하지 않다. 또한, AVdd도 DCDC 회로의 발전과 동시에 출력된다. AVdd는, 소스 드라이버 회로(14)의 아날로그 전원임과 동시에, 게이트 드라이버 회로(12)의 내부 시프트 레지스터의 전원 전압으로도 된다.
- [0711] 소스 드라이버 회로(14)로부터 SMBus, I2Cbus 등의 표준 데이터 버스에 의해, 각 전원의 온/오프 제어 신호가 전원 회로(602)에 보내진다. 또한, SMBus, I2Cbus의 동작 속도는, 10KHz 이상 10MHz 이하로 구성되어 있다.
- [0712] 커맨드의 ON1에 의해, VGH의 스위치 SW5와 VGL의 스위치 SW6이 온한다. 스위치 SW5, SW6, SW7이 온함으로써, VGH, VGL(VGL1), Vrst가 출력되고, 게이트 드라이버 회로(12)가 동기한다. 게이트 드라이버 회로(12)에 인가하는 스타트펄스(ST1, ST2), 클럭(CLK1, CLK2), 업다운(UD)은, 소스 드라이버 회로(14)에 의해 제어된다. 특히, 게이트 드라이버 회로(12b)의 내부 시프트 레지스터는, 클리어되고, 모든 게이트 신호선(17b)은 비선택 상태로 된다.
- [0713] 다음으로, 커맨드의 ON2에 의해, Vdd의 스위치 SW2와 Vss의 스위치 SW1이 온한다. 스위치 SW1, SW2가 온함으로써, 애노드 전압 Vdd, 캐소드 전압 Vss가 출력된다.
- [0714] 전원 회로(602)에는, 본체의 배터리로부터의 전압 Vin이 공급된다. Vin 전압은, 커넥터(751)을 통하여 전원 회로(602)에 공급된다. 전원 회로(602)는, 1개의 Vin 전압으로부터, EL 표시 패널에 필요한 전압(애노드 전압 Vdd, 캐소드 전압 Vss, VGH, VGL, AVdd, Dvdd=1.85V)을 발생시킨다. 플렉시블 기판(756)과 어레이 기판(755)은 ACF(이방향성 도전 필름)에 접속된다. 즉, 플렉시블 기판(756)과 어레이 기판(755)은 접착되기 때문에, 당연히 전원 회로(602)가 출력하는 전압을 EL 표시 패널(755)에 인가하는 데에 커넥터는 필요하지 않다.
- [0715] 도 75의 본 실시예에서는, 전원 회로를 플렉시블 기판(756)에 실장하고, 전원 회로(602)를 동작시켜, 휘도 조정, 화이트 밸런스 조정 등을 실시한다. 따라서, 전원 회로(602)의 발생 전압이 개개에서 변동이 발생해도 변동을 고려하여 EL 표시 패널의 조정을 실시하기 때문에 문제로 되지 않는다. 또한, 에이징 등에서도, 실제로 사용하는 전압 VGH, VGL 등을 사용함으로써, 양호하게 에이징을 실시할 수 있다. 단, 에이징 시에는, 통상 표시 시보보다도, VGH-VGL의 절대값(전위차)을 크게 한다.
- [0716] 본 실시예의 EL 표시 장치의 동작의 검사에는, 전류 리미트 기능(커런트 전류 리미트 기능)을 사용한다.
- [0717] 전류 리미트 기능은, Vss 또는 Vdd의 최대 출력 전류를 설정하는 기능이다. 예를 들면, Vss 전압의 리미트 전류가 0.5A이면, Vss의 출력 전류가 0.5A를 초과하면, 내부의 발진 주파수가 저하하여, 출력 전류가 0.5A 이상으로 되지 않도록 조정된다. 일반적으로 이 상태의 경우에는, 출력 전압 Vss가 저하한다. Vss 전압의 리미트 전류가 1.0A로 설정되어 있으면, Vss의 출력 전류가 1.0A를 초과하면, 내부의 발진 주파수가 저하하여, 출력 전류가 1.0A 이상으로 되지 않도록 조정된다. 일반적으로 이 상태의 경우에는, 출력 전압 Vss가 저하한다.
- [0718] 본 실시예의 전원 회로(602)는, Vss 전압과 Vdd 전압이, 2단계의 전류 리미트를 설정할 수 있게 구성되어 있다. 2단계는, 일례로서 0.5A와, 1.0A이다. 전류 리미트의 값은, 에이징 공정, 모듈 최종 검사 공정에서 전환하여 설정한다.
- [0719] 커맨드 IMN이 0일 때에는, Vss 전압의 전류 리미트 기능에 의한 리미트 전류(A)는, 0.5A이고, 커맨드 IMN이 1일 때에는, Vss 전압의 전류 리미트 기능에 의한 리미트 전류(A)는, 1.0A이다.
- [0720] 커맨드 IMP가 0일 때에는, Vss 전압의 전류 리미트 기능에 의한 리미트 전류(A)는, 0.5A이고, 커맨드 IMP가 1일 때에는, Vss 전압의 전류 리미트 기능에 의한 리미트 전류(A)는, 1.0A이다.
- [0721] 이상과 같이, 리미트 전류는, Vdd와 Vss에서 개별로 설정할 수 있다. 또한, 실시예에서는, 리미트 전류의 설정 값은, 0.5A와 1.0A의 2단계이지만, 이것에 한정되는 것이 아니라, 3단계 이상이어도 된다.
- [0722] 전류 리미트 기능은, EL 표시 장치를 검사 또는 조정하는 공정에서 사용한다. 예를 들면, EL 표시 장치의 출하 검사에서, 리미트 전류를 0.5A로 설정한다. 통상의 동작의 설정값은, 1.0A로 한다. 리미트 전류를 0.5A로 설정하고, 조정 화상을 EL 표시 장치에 표시한다.
- [0723] EL 표시 장치는, 표시 화상에 대응하여 점등 영역에 흐르는 전류가 변화된다. 예를 들면, 흑 래스터 표시에서는, 표시 화면에 흐르는 전류는 이상적으로는 0A이다. 백 래스터 표시이며, 또한 피크 전류 억제 구동이 설정되어 있지 않은 경우에는, 최대 전류가 흐른다. 피크 전류 억제 구동이 동작하고 있는 경우에는, 설정 전류 이

상의 전류는 흐르지 않는다.

- [0724] EL 표시 장치에서는, 화상의 종류에 따라, 표시 화면에 흐르는 전류의 크기가 변화된다. 따라서, EL 표시 장치의 검사 구성에서, 기지의 전류가 알고 있는 화상을 순차적으로, EL 표시 장치에 표시함으로써, 전류 리미트 기능이 동작하고 있는지를 판단할 수 있다.
- [0725] 리미트 전류를 통상보다 작은 값(본 실시예에서는, 0.5A)으로 설정하면, 예를 들면, 화상1에서는, 표시 화면에 흐르는 전류가 0.6A, 화상2에서는, 표시 화면에 흐르는 전류를 0.4A로 한다.
- [0726] 화상1을 EL 표시 장치에 표시하였을 때, 전류 리미트 기능이 동작하지 않으면, 전류 리미트 기능이 동작 불량이라고 판단할 수 있다. 한편, 화상2를 EL 표시 장치에 표시하였을 때, 전류 리미트 기능이 동작하면, 전류 리미트 기능의 이상 또는, 다른 개소에서의 동작 불량이 발생하고 있을 가능성이 있다는 것을 판단할 수 있다. 또한, 피크 전류 억제 구동이 정상적으로 동작하고 있는지를 판단할 수 있다. 전류 리미트의 값은, 커맨드에 의해 변경 설정할 수 있다. 커맨드에 의해, 검사 중에, 전류 리미트의 값을 가변하여, EL 표시 장치의 동작 상태를 검사할 수 있다. 즉, 복수인 리미트 설정값을 전원 IC(602)에 형성하고, 복수의 리미트값으로부터 1개의 전류 리미트값을 설정하고, 흐르는 전류가 기지의 화상을 표시하여, 전류 리미트 기능의 동작을 확인한다.
- [0727] duty비를 크게 하면, 전원 회로(602)에 흐르는 전류가 커지고, duty비를 작게 하면, 전원 회로(602)에 흐르는 전류가 작아지며, 또한 변화된다.
- [0728] 특히, 본 실시예는, 전원 회로(602)와 EL 표시 패널을 일체로서 동작시키고(동시에 동작시키고), 조정, 에이징 등을 행한다. 본 실시예의 EL 표시 장치는, 전원 회로(602)와 EL 표시 패널이 일체화(접속 완료)된 것이다. 이와 같이 구성함으로써, 커넥터(751)의 핀수가 적어져 저코스트화를 실현할 수 있다. 또한, 이상적으로 휘도 변동, 화이트 밸런스 조정을 실현할 수 있다. 이 실현을 위해, 본 실시예는 전원 회로(602)의 출력 오픈 기능을 유효하게 이용하고 있다.
- [0729] 이상의 실시예에서는, 전원 회로(602)에 출력 오픈 기능을 탑재하는 것으로 하였지만, 본 실시예는 이것에 한정되는 것은 아니다. 예를 들면, 전원 회로(602)의 애노드 출력 단자와 EL 표시 패널의 애노드 배선(761) 사이에 아날로그 스위치, 릴레이 회로를 배치해도 된다. 즉, 전원 회로(602)의 외부에 스위치 회로 등을 배치 또는 형성해도 된다.
- [0730] 소스 드라이버 회로(14)는, 게이트 드라이버 회로(12)에 인가하는 스타트 펄스(ST1, ST2), 클럭(CLK1, CLK2), 업다운(UD)을 제어하고, 화상이 표시된다. 게이트 드라이버 회로(12a)는, 1프레임 기간에 1개의 스타트 신호 ST1이 인가되고, 게이트 드라이버 회로(12b)는, duty 구동에 대응하도록, 스타트 펄스 ST2가 인가된다.
- [0731] 어레이 기관(755)(EL 표시 패널)에, 플렉시블 기관(756)을 ACF 접속함으로써 EL 표시 장치는 완성된다(도 75도 참조). 플렉시블 기관(756)에는, 전원 회로(602), EEPROM(753), 플래시 메모리(752) 등이 실장된다. 테스트 트랜지스터(754)를 오프시키는 전압 VGH(테스트 트랜지스터(754)가 N채널 트랜지스터인 경우에는, 전압 VGL)는, 전원 회로(602)로부터 공급된다.
- [0732] 이상의 실시예는, 주로 전원 회로(전원 IC)(602)가, VGH, VGL, Avdd, Dvdd, Vdd, Vss를 발생하는 것이었다. 그러나, 본 실시예는 이것에 한정되는 것은 아니다.
- [0733] 도 96의 (a)는, 전원 회로(전원 IC)(602)가 Vdd와 Vss의 2전압을 발생하고, 다른 전압(Dvdd, Avdd, VGL, VGH 등)을 소스 드라이버 IC(14)에서 발생하는 구성이다. Vdd, Vss 전압의 온/오프 제어는, 소스 드라이버 IC(14)로부터, S-Wire 신호선을 통하여 행한다.
- [0734] 도 96의 (b)는, 전원 회로(전원 IC)(602)가 Vdd와 Vss, Avdd의 3전압을 발생하고, 다른 전압(Dvdd, VGL, VGH 등)을 소스 드라이버 IC(14)에서 발생하는 구성이다. Vdd, Vss 전압의 온/오프 제어는, 소스 드라이버 IC(14)로부터, S-Wire 신호선을 통하여 행한다. Avdd는, 소스 드라이버 IC(14)의 아날로그 전압이다. Avdd 전압은, 소스 드라이버 IC(14)에서 발생할 수도 있고, 도 96의 (b)에 도시하는 바와 같이, 외부의 전원 회로(전원 IC)(602)에서 발생시키고, 소스 드라이버 IC(14)에 공급하는 구성으로 할 수도 있다. Avdd 전압은, Vdd 전압보다도 0.2V 이상 1.0 이하의 범위에서 높게 한다. 또한, Avdd는, 소스 드라이버 IC(14)의 내압 5.5V를 초과하는 것이 내용으로 설정된다. 이와 같이 구성함으로써, 소스 드라이버 IC(14)가 출력하는 영상 신호 전압 Vsig의 진폭 범위를 넓게 할 수 있어, 결과적으로 양호한 화상 표시를 실현할 수 있다.
- [0735] 도 76, 도 77은, 본 실시예의 전원 회로의 출력 오픈 기능을 이용한 EL 표시 장치의 검사, 조정 방법의 설명도이다. 이하의 실시예에서도, 화소 구성은 도 3을 예시하여 설명하지만, 이것에 한정되는 것이 아니라, 전류 구

동 방식의 화소 구성, 전압 구동 등의 어느 화소 구성의 어느 것이어도 된다.

- [0736] 도 76은, EL 표시 장치의 휘도 및 화이트 밸런스, 콘트라스트의 조정 방법이다. 도 76에서는, 전원 회로(602)의 출력 오픈 기능을 이용하여 스위치 SW1을 오프로 하고 있다. 즉, 캐소드 전압 V_{ss} 는, 출력되지 않고, 출력 단자는 하이 임피던스 상태로 된다. 캐소드 전압 V_{ss} 의 출력 단자의 패드 P1에, 프로브(764)에서 프로빙하고 있다. 프로브(764)의 외부 전원 V_{sst} 사이에는, 전류를 측정하는 전류계(763)를 배치하고 있다. 또한, 조정 시의 캐소드 전압 V_{sst} =화상 표시 시의 캐소드 전압 V_{ss} 로 한다.
- [0737] 화소(16)의 구동 트랜지스터(11a)가 P채널 트랜지스터인 경우에는, 캐소드 전극을 오프로 하고, 캐소드 배선(762)의 전류를 측정한다. 화소(16)의 구동 트랜지스터(11a)가 N채널 트랜지스터인 경우에는, 애노드 전극을 오프로 하고, 애노드 배선(761)의 전류를 측정한다.
- [0738] 소스 드라이버 회로(14)는, 게이트 드라이버 회로(12)를 제어하고, 화상 표시 상태로 한다. 기준 전류 I_c 의 크기는, 통상의 1배로 한다. 또한, 기준 전류의 크기에 비례하여, 표시 화면(31)의 발광 휘도가 변화된다. 기준 전류의 크기가 1에서부터 2로 변화되면, 표시 화면(31)의 휘도는, 2배로 된다. 표시 화면(31)에서 사용하는 전력도 2배로 된다.
- [0739] EL 표시 장치에서, 표시 화면(31)의 캐소드 전류 I_s 는 캐소드 배선(762)에 흐른다. 표시 화면(31)의 애노드 전류는 애노드 배선(761)에 흐른다.
- [0740] 도 76의 구성에서는, 전원 회로(602)의 캐소드 전압의 출력 단자는, 오프이고, 외부 캐소드 전압 V_{sst} 가 접속되어 있기 때문에, 캐소드 배선(762)을 흐르는 전류는, 프로브(764), 전류계(763)를 경유하여 외부 캐소드 전압 V_{sst} 에 흐른다. 따라서, 전류계(763)에서, 표시 화면(31)에서 사용하는 전류를 측정할 수 있다. 캐소드 전류 I_s 를 측정하는 것은, 캐소드 배선(762)을 흐르는 전류는, 표시 화면(31)을 흐르는 전류이기 때문이다. 애노드 배선(761)을 흐르는 애노드 전류 I_p 의 일부는, 소스 드라이버 회로(14)에 프로그램 전류 및 출력단 회로를 흐른다.
- [0741] 또한, V_{ddt} , V_{sst} 는, 검사 또는 에이징 구성에서 외부로부터 설정 또는 외부의 발생 기기로부터의 전압이다. V_{ddt} , V_{sst} 는, 전압값을 가변하는 기능을 갖는다.
- [0742] EL 표시 장치는, 캐소드 전류 I_s 의 크기와 발광 휘도는 비례의 관계로 된다. 따라서, 캐소드 전류를 측정함으로써, 표시 화면(31)의 발광 휘도를 파악할 수 있다. 이상의 점으로부터, 캐소드 전류를 소정의 전류로 되도록 조정함으로써, 표시 화면(31)의 발광 휘도를 조정할 수 있다.
- [0743] 또한, 캐소드 전류 등 표시 화면에 흐르는 전류는, 전류가 흐르는 배선에 픽업 저항을 배치하여, 상기 픽업 저항의 양단의 전압을 측정할 수 있게 구성해도 된다. 이상의 사항은, 본 실시예의 다른 전류를 측정하는 방식에서도 마찬가지로 적용할 수 있다.
- [0744] 도 76의 실시예에서는, 표시 화면(31) 전체에 흐르는 캐소드 전류를 측정하는 것으로 하였지만, 본 실시예는 이것에 한정되는 것은 아니다. 예를 들면, 표시 화면(31)의 일부 또는 소정 면적에 포함되는 화소의 캐소드 전류를 측정하도록 해도 된다. 이 캐소드 전류에서 표시 화면(31) 전체에 흐르는 캐소드 전류를 추정할 수 있다. 또한, 백 래스터 표시에서는, 화면 전체가 동일 휘도로 표시되기 때문에, 일부라도 표시 화면(31) 전체의 추정은 용이하기 때문이다.
- [0745] 또한, 표시 화면(31)을 소정 면적으로 분할하고, 각 분할한 영역에서의 캐소드 전류를 측정함으로써, 표시 화면(31)의 특성 분포를 측정할 수 있다. 분할이란, 화소열, 화소행, 매트릭스 형상이 예시된다.
- [0746] 화소(16)가 전압 프로그램 방식인 경우에 대하여 설명한다. 캐소드 전류의 크기의 조정(표시 휘도의 조정)은, 표시 화면(31)에 인가하는 영상 신호의 계조 번호(영상 신호의 크기)를 일정값으로 설정하고, 소스 드라이버 IC(14)의 진폭 조정 레지스터를 제어시킴으로써 행한다.
- [0747] 전원(회로) IC(12)는 $Avdd$ 전압, V_{GH} , V_{GL} , V_{rst} 전압 등을 적절하게 설정한다. 또한, 캐소드 전압을 측정할 수 있게, 캐소드 전압 V_{ss} 단자를 오프로 한다.
- [0748] 진폭 조정 레지스터의 제어에 의해, 상부 전압과 하부 전압의 계조 앰프를 변화시킨다. 상부 전압을 설정하는 계조 앰프를 높게(V_{dd} 전압에 가깝게) 하면, 저계조가 대응하는 흑 레벨을 조정할 수 있다. 하부 전압을 설정하는 계조 앰프를 낮게(GND 전압에 가깝게) 하면, 고계조가 대응하는 백 레벨을 조정할 수 있다. 본 실시예에서는, 출력 계조를 최대 계조로 설정하고, 하부 전압의 계조 앰프를 변화시킨다. 캐소드 전류의 값이, 원하는

값으로 되도록 하부 전압의 게조 앰프의 값을 조정한다.

- [0749] 하부 전압을 설정하는 게조 앰프의 출력 전압을 낮게 하면, 캐소드 전류 I_s 도 커지고, 발광 휘도도 높아진다. 따라서, 캐소드 전류의 크기를 전류계(763)에서 측정하고, 전류가 소정값으로 되었을 때에, 조정 완료로 한다. 이상을, RGB에서 행함으로써, 화이트 밸런스의 조정이 가능하게 된다.
- [0750] 또한, 전원 회로(602)가 출력하는 전압 VGH, VGL, Vdd는 통상 표시 시의 전압으로 한다. 또한, 본 실시예에서는, 게이트 드라이버 회로(12a)는, VGH1, VGL1 전압에서 동작시키고, 게이트 드라이버 회로(12b)는, VGH2, VGL2=GND 전압에서 동작시켜, VGH1=VGH2로 한다.
- [0751] 이상의 조정에 의해, 화이트 밸런스 조정을 실현할 수 있고, 또한, 표시 화면(31)의 발광 휘도 조정을 실현할 수 있다. EL 표시 장치의 콘트라스트 조정은, 흑 표시 시에 흐르는 캐소드 전류를 조정함으로써 실현할 수 있다.
- [0752] 캐소드 전류 I_s 의 크기의 조정(표시 휘도의 조정)은, 표시 화면(31)에 인가하는 최저 게조 번호로 설정하고, 도 10에서 설명한 진폭 조정 레지스터(101)를 제어시킴으로써 행한다. 진폭 조정 레지스터(101)의 제어에 의해, 게조 앰프(102H)를 변화시킨다. 상부 전압을 설정하는 게조 앰프의 출력 전압을 높게(Vdd 전압에 가깝게) 하면, 흑 레벨에서의 캐소드 전류 I_s 가 감소한다. 상부 전압을 설정하는 게조 앰프의 출력 전류를 낮게 하면, 캐소드 전류가 증대한다. 캐소드 전류 I_s 의 값이, 원하는 값으로 되었을 때에, 조정 완료로 한다.
- [0753] 다음으로, 화소(16)가 전류 프로그램 방식인 경우에 대하여 설명한다. 캐소드 전류 I_s 의 크기의 조정(표시 휘도의 조정)은, 표시 화면(31)에 인가하는 영상 신호의 게조 번호(영상 신호의 크기)를 일정값으로 설정하고, 기준 전류의 크기를 변화시킴으로써 행한다. 영상 신호의 게조 번호(영상 신호의 크기)의 일정값이란, 통상 최대 게조 번호이다. 기준 전류의 크기를 크게 하면, 캐소드 전류 I_s 도 커지고, 발광 휘도도 높아진다. 따라서, 캐소드 전류 I_s 의 크기를 전류계(763)에서 측정하고, 전류가 소정값으로 되었을 때에, 조정 완료로 한다.
- [0754] 이상의 것을, RGB에서 행함으로써, 화이트 밸런스의 조정이 가능하게 된다. 화이트 밸런스 조정(휘도 조정)을 완료한 기준 전류를 I_k 로 한다. 기준 전류 I_k 는, RGB에서 개별 설정(적(R)은 I_{kr} , 녹(G)은 I_{kg} , 청(B)은 I_{kb})한다.
- [0755] 캐소드 전류 I_s 의 크기의 조정(표시 휘도의 조정)은, 표시 화면(31)에 인가하는 영상 신호의 게조 번호(영상 신호의 크기)를 일정값으로 설정한다.
- [0756] 기준 전류의 크기는, 화이트 밸런스를 조정한 설정값 I_k (적(R)은 I_{kr} , 녹(G)은 I_{kg} , 청(B)은 I_{kb})를 유지(보유)한 상태로 행한다.
- [0757] 흑 레벨에서의 영상 신호의 게조 번호(영상 신호의 크기)는 최저 게조이다. 전류 구동에서는, 최저 게조에서는, 프로그램 전류는 0이다. 흑 레벨의 조정은, 소스 드라이버 IC(14)의 전압 발생 회로로부터 최저 게조의 전압을 화소(16)에 인가한다. 최저 게조의 전압은, 상부 전압을 발생하는 게조 앰프가 출력하는 전위를 변화시켜 행한다. 이 상태에서, 캐소드 전류의 크기를 전류계(763)에서 측정하고, 전류가 소정값으로 되었을 때에, 조정 완료로 한다.
- [0758] 이상의 사항은, 도 1, 도 4, 도 5, 도 10, 도 11, 도 25, 도 29, 도 31, 도 33, 도 35, 도 37, 도 42, 도 46, 도 52, 도 54, 도 55, 도 58, 도 59, 도 86, 도 90, 도 91, 도 92, 도 93, 도 94, 도 95, 도 113, 도 123, 도 124~도 128 등의 EL 표시 패널 혹은 EL 표시 장치에도 적용할 수 있는 것은 물론이다.
- [0759] 이상의 사항은 다른 실시예에서도 마찬가지이다. 예를 들면, 도 12, 도 13, 도 61, 도 75, 도 76, 도 77, 도 78, 도 79, 도 83, 도 84, 도 85, 도 98, 도 99, 도 100, 도 101 등의 방법 혹은 방식, 도 7, 도 8, 도 9, 도 60, 도 83, 도 96, 도 102, 도 103, 도 104, 도 106, 도 107, 도 108, 도 109, 도 110, 도 111, 도 112, 도 129의 구성 혹은 구조 혹은 방법에 관해서도 앞서 예시한 혹은 본 명세서에 기재한 화소 구성과 조합하여 실시할 수 있는 것은 물론이다.
- [0760] <실시예 5>
- [0761] 본 발명의 실시예 5에 대하여 설명한다.
- [0762] 본 실시예의 전원 회로(전원 IC)(602)는, 도 62, 도 97에 도시하는 바와 같이, 캐소드 전압 V_{ss} 를 커맨드로 변경할 수 있다. 도 97에서는, (커맨드) 데이터 0~31(5bit)이고, V_{ss} 전압은, -2.0~-5.1V까지 가변하는 설정이다. 가변의 전압 피치는, 0.1V 이하로 한다. 0.1V를 초과하면 전압을 가변하였을 때에, 표시 화면(31)

의 휘도가 발생하게 되기 때문이다.

- [0763] 캐소드 전압 V_{ss} 의 변경은, 도 96에 도시하여 설명한 바와 같이, S-Wire 신호에 의해 실시한다.
- [0764] 캐소드 전압 V_{ss} 의 변경은, 적어도 0.1V 이하의 스텝에서 실시한다. 이 실시 방법을 도 98에 도시하고 있다. 도 98의 (a)에 도시하는 바와 같이, 패널 온도(패널의 표시 영역의 온도, 광의로는 패널 모듈 온도임)
- [0765] 또한, 온도 센서(711)는, 소스 드라이버 IC(14)에 내장시킨다. 소스 드라이버 IC(14)는 내장된 온도 센서(711)의 출력 전압 등을 아날로그-디지털(DA) 변환하여 온도 데이터를 취득하고, S-Wire 신호선을 통하여, 온도 변경 데이터(도 97을 참조)를 전원 회로(전원 IC)(602)에 전송하고, 캐소드 전압 V_{ss} 등을 변경 혹은 가변한다. 또한, 온도 센서(711)는, 전원 회로(전원 IC)(602)에 내장해도 된다. 또한, 패널 모듈(34)의 어느 개소에 온도 센서(711)를 배치해도 된다.
- [0766] 또한, 온도 센서(711)는, 온도에 대한 출력이 선형으로 출력되는 것에 한정되는 것은 아니다. 디지털적으로 계단 형상으로 출력이 변화하는 것이어도 된다. 또한, 소정의 온도에 대하여, 출력이 변화하는 것이어도 된다. 예를 들면, 온도 0℃까지는, 출력값이 0(로직 전압)이고, 온도가 0℃보다 작아지면, 1(로직 전압)로 변화하는 것을 채용해도 된다.
- [0767] 캐소드 전압 V_{ss} 는, 패널 온도(℃)가 저하하면, 저하시킨다. 애노드 전압 V_{dd} 는, 일정값을 유지하고 있다. 따라서, 애노드 전압 V_{dd} 와 캐소드 전압 V_{ss} 의 절대값을, 패널 온도가 저하하면 크게 하고 있다. 이것은, EL 소자(15)의 단자간 전압이, EL 소자(15)의 온도가 저하하면, 커지기 때문이다.
- [0768] 본 실시예의 구동 방법에서는, 도 98의 a점 이상의 온도에서, EL 소자(15)가 발광에 필요한 단자간 전압(애노드-캐소드 전압)으로 설정하고 있다. 전압 마진은 거의 없다. 패널 온도가 저하하면, EL 소자(15)의 단자간 전압이 커진다. 따라서, 단자간 전압의 전압 마진이 없기 때문에, 그 상태로는, EL 소자(15)의 발광 휘도가 저하한다. 그래서 패널 온도에 기초하여, 캐소드 전압 V_{ss} 를 저하시키는 것이다.
- [0769] 도 98의 실시예에서는, 캐소드 전압 V_{ss} 는, a점 이상의 온도에서 일정하게 하고, b점 이하의 온도에서 일정하게 하고 있다. a점 및 b점의 패널 온도는, EEPROM(753)(도 75) 등에 메모리해 두고 사용한다. 또한, a점, b점의 값은 가변할 수 있게 구성한다. 도 98, 도 99에서는 캐소드 전압 V_{ss} 를 가변한 일례로서, 실선 및 점선으로 도시하고 있다. 물론, 애노드 전압 V_{dd} 를 온도 센서(711)의 출력 데이터(출력값)에 기초하여 가변해도 되는 것은 물론이다.
- [0770] 또한, 도 98, 도 99에서, 그래프의 횡축을 온도로 하였지만, 온도를 포토 센서(840)의 출력 데이터(출력값)와 치환해도 된다. 포토 센서(840)의 출력 데이터(출력값)에 기초하여, 애노드 전압 V_{dd} , 캐소드 전압 V_{ss} , VGH, VGL, Avdd 등을 변화시킨다.
- [0771] 또한, 이상의 실시예는, 소스 드라이버 IC(14)에 온도 센서(711)를 내장시키는 것으로 하였지만, 이것에 한정되는 것이 아니라, 온도 센서(711)는, 도 71에 도시하는 바와 같이, 전원 회로(전원 IC)(602)(혹은 소스 드라이버 IC(14))의 외부에 서미스터 등의 온도 센서(711)를 배치 또는 형성하고, 온도 센서(711)의 출력 전압 등을 아날로그-디지털(DA) 변환하여 온도 데이터를 취득하고, 캐소드 전압 V_{ss} 등을 변경 혹은 가변해도 된다.
- [0772] 또한, 도 83에 도시하는 바와 같이, 패널 모듈 회로(830)에 온도 센서(711)를 내장하고, 온도 센서(711)의 출력 결과에 따라, 캐소드 전압 V_{ss} 를 가변하는 것을 실시해도 된다. 또한, duty 제어, 최대 사용 계조 제어를 실시해도 된다.
- [0773] 또한, 본 실시예에서, 캐소드 전압 V_{ss} 와 애노드 전압 V_{dd} 중, 적어도 한 쪽을 변화시키는 것으로 하였다. 그러나, 도 98, 도 99에 도시하고 있는 바와 같이, 본 실시예는 이것에 한정되는 것이 아니라, VGH 전압, VGL 전압을 캐소드 전압 V_{ss} 또는 애노드 전압 V_{dd} 의 변화에 수반하여 변화시켜도 된다. 예를 들면, 일례로서 캐소드 전압 V_{ss} 가 -4V일 때이며, VGL 전압이 -4.5V인 경우에, 캐소드 전압 V_{ss} 를 -5V로 변화시키는 경우에는, VGL 전압을 -5.5V로 변화시켜도 된다. 또한, VGH1 전압, VGH2 전압, VGL1 전압, VGL2 전압은 독립적으로 가변하는 것이 바람직한 것은 물론이다.
- [0774] 또한, 소스 드라이버 회로(14)의 아날로그 전압 Avdd도 변화시켜도 된다. 예를 들면, 애노드 전압 V_{dd} 가 +5V일 때이며, VGH 전압이 +106.0V인 경우에, 애노드 전압 V_{dd} 를 +5.5V로 변화시키는 경우에는, VGH 전압을 +6.5V로 변화시켜도 된다.
- [0775] 패널 온도가 저하하면, 캐소드 전압 V_{ss} 를 낮게 한다. 따라서, 패널 온도가 저하하면, 패널 모듈로서 전력이

증대한다. 전력의 증대는, 전원 회로(전원 IC)(602)의 용량 마진이 없어지는 것을 의미하며, 또한, 패널의 과열을 야기하게 된다.

[0776] 본 실시예는, 이것에 대응하기 위하여, 도 98의 (b)에 도시하고 있는 바와 같이, 패널 온도에 대응하여(기초하여), duty 구동을 실시하고 있다. duty 구동은, 도 12, 도 13, 도 83, 도 84 등을 이용하여 설명을 하고 있으므로, 여기서는 설명을 생략한다.

[0777] 도 98의 (b)의 실선의 실시예에서는, 패널 온도가 -20°C 이하이며, duty비를 6/8로 하고 있다. 패널 온도가 40°C 이상에서는, duty비는 $8/8=1$ 이기 때문에, -20°C 에서는, 패널의 표시 영역(31)에 흐르는 전류는, 이론적으로는 6/8으로 된다. 따라서, 캐소드 전압 V_{ss} 를 저온도로 저하시켜도, 아울러 duty 구동을 실시하기 때문에, 패널에 흐르는 전류는 증대하는 일이 없고, 패널이 과열하는 일도 없으며, 또한, 전원 회로(전원 IC)(602)의 전원 용량은 패널 온도가 40°C 이상인 경우의 용량을 확보하면 된다.

[0778] 도 98의 (b)의 실선의 실시예에서는, duty비는, c점 이상의 온도에서 duty비=8/8로 일정하게 하고, 또한, e점 이하의 duty비=6/8으로 일정하게 하고 있다. c점 및 e점의 패널 온도와 duty비는, EEPROM(753)(도 75) 등에 메모리해 두고 사용한다. 또한 c점, e점의 값은 가변할 수 있게 구성한다. 또한, 도 98의 (b)의 점선으로 도시하는 바와 같은 duty 구동을 실시해도 된다. 이 경우도, d점의 패널 온도와 duty비는, EEPROM(753)(도 75) 등에 메모리해 두고 사용한다. 또한 d점의 값은 가변할 수 있게 구성한다.

[0779] 도 98의 실시예는, 온도($^{\circ}\text{C}$)에 대하여, duty비를 변화시킴으로써, 패널의 표시 영역(31)에 유입되는 전류를 제어하는 것이었다. 그러나, 본 실시예는 이것에 한정되는 것은 아니다. 도 99의 (b)는, 최대 사용 계조수로 패널에 흐르는 전류를 제어하는 것이다. 최대 사용 계조수에 의한 제어는, 도 84에서도 설명을 행하고 있다.

[0780] 이상과 같이, 본 실시예는 온도 센서(711)를 구비하고, 온도 센서(711)의 출력 결과에 기초하여, duty 구동(도 84, 도 98)을 실시한다. 또한, 온도 센서(711)의 출력 결과에 기초하여, 최대 사용 계조수를 제어하는 구동(도 84, 도 99)을 실시한다. 또한, 본 실시예는 온도 센서(711)를 구비하고, 온도 센서(711)의 출력 결과에 기초하여, duty 구동(도 84, 도 98), 최대 사용 계조수를 제어하는 구동(도 84, 도 99)의 양방을 동시에 실시하는 구동 방식이다.

[0781] 도 99의 (b)의 실선의 실시예에서는, 패널 온도가 40°C 이상이며, 최대 사용 계조(최대 표시 계조)를 1024로 하고 있다. 즉, 10bit의 풀 레인지를 이용하여 화상 표시를 행한다. 이 경우에는, 표시 영역(31)에 흐르는 전류는 억제되지 않는다. 패널 온도가 -20°C 이하에서는, 최대 사용 계조(최대 표시 계조)를 768로 하고 있다. 따라서, 감마 커브가 2승 특성이면, 표시 영역(31)에 흐르는 전류는 1/2 부근으로 억제할 수 있는 경우가 있다. 따라서, 캐소드 전압 V_{ss} 를 저온도로 저하시켜도, 아울러 최대 사용 계조(최대 표시 계조) 제어(구동)를 실시하기 때문에, 패널에 흐르는 전류는 증대하는 일이 없고, 패널이 과열하는 일도 없으며, 또한, 전원 회로(전원 IC)(602)의 전원 용량은 패널 온도가 40°C 이상인 경우의 용량을 확보하면 된다.

[0782] 도 99의 (b)의 실선의 실시예에서는, c점 이상의 온도에서 최대 사용 계조(최대 표시 계조)=1024로 일정하게 하고, 또한, e점 이하의 최대 사용 계조(최대 표시 계조)=768로 일정하게 하고 있다. c점 및 e점의 패널 온도와 최대 사용 계조(최대 표시 계조)는, EEPROM(753)(도 75) 등에 메모리해 두고 사용한다. 또한 c점, e점의 값은 가변할 수 있게 구성한다. 또한, 도 99의 (b)의 점선으로 도시하는 바와 같은 최대 사용 계조(최대 표시 계조) 제어를 실시해도 된다. 이 경우도, d점의 패널 온도와 최대 사용 계조(최대 표시 계조)는, EEPROM(753)(도 75) 등에 메모리해 두고 사용한다. 또한 d점의 값은 가변할 수 있게 구성한다.

[0783] 또한, 이상의 실시예는, 소스 드라이버 IC(14)에 온도 센서(711)를 내장시키는 것으로 하였지만, 이것에 한정되는 것이 아니라, 온도 센서(711)는, 도 71에 도시하는 바와 같이, 전원 회로(전원 IC)(602)(혹은 소스 드라이버 IC(14))의 외부에 서미스터 등의 온도 센서(711)를 배치 또는 형성하고, 온도 센서(711)의 출력 전압 등을 아날로그-디지털(DA) 변환하여 온도 데이터를 취득하고, 캐소드 전압 V_{ss} 등을 변경 혹은 가변해도 된다. 또한, 도 83에 도시하는 바와 같이, 패널 모듈 회로(830)에 온도 센서(711)를 내장하고, 온도 센서(711)의 출력 결과에 의해, 캐소드 전압 V_{ss} 를 가변하는 것을 실시해도 된다. 또한, duty 제어, 최대 사용 계조 제어를 실시해도 된다(도 98, 도 99).

[0784] 또한, 온도 센서(711)의 출력 결과를 화면의 밝기 제어(도 100, 도 101)와 연동시켜도 된다. 예를 들면, 온도가 -20°C 이하로 낮고, 패널의 소비 전력이 큰 경우이며, 주위 조도가 낮은(포토 센서(840)의 출력이 작은) 경우에는, 도 98에서 지정하는 duty비보다도 작게 한다(예를 들면, duty비 6/8을 5/8로 함). 또한, 도 99에서 지

정하는 최대 표시(사용) 계조를 작게 하는(예를 들면, 최대 표시 계조 768을 650) 것이 예시된다.

- [0785] 이상의 사항은, 도 1, 도 4, 도 5, 도 10, 도 11, 도 25, 도 29, 도 31, 도 33, 도 35, 도 37, 도 42, 도 46, 도 52, 도 54, 도 55, 도 58, 도 59, 도 86, 도 90, 도 91, 도 92, 도 93, 도 94, 도 95, 도 113, 도 123, 도 124~도 128 등의 EL 표시 패널 혹은 EL 표시 장치에도 적용할 수 있는 것은 물론이다.
- [0786] 이상의 사항은 다른 실시예에서도 마찬가지이다. 예를 들면, 도 12, 도 13, 도 61, 도 75, 도 76, 도 77, 도 78, 도 79, 도 83, 도 84, 도 85, 도 98, 도 99, 도 100, 도 101 등의 방법 혹은 방식, 도 7, 도 8, 도 9, 도 60, 도 83, 도 96, 도 102, 도 103, 도 104, 도 106, 도 107, 도 108, 도 109, 도 110, 도 111, 도 112, 도 129의 구성 혹은 구조 혹은 방법에 관해서도 앞서 예시한 혹은 본 명세서에 기재한 화소 구성과 조합하여 실시할 수 있는 것은 물론이다.
- [0787] <실시예 6>
- [0788] 본 발명의 실시예 6에 대하여 설명한다.
- [0789] 도 130에 포토 센서(711)의 출력 결과에 기초하여, 애노드 전압 Vdd, 캐소드 전압 Vss를 가변한 실시예를 도시하고 있다. 포토 센서(711)의 출력값(출력 데이터)이 10Lx 이하로 작은 경우에는, 표시 화면(31)의 휘도를 저하시킨다. 따라서, EL 소자(15)에 흘리는 최대 전류는 저하시킬 수 있다. 그 때문에, 애노드 전압 Vdd, 캐소드 전압 Vss 또는, 애노드 전압 Vdd 캐소드 전압 Vss의 전위차를 작게 할 수 있다.
- [0790] 한편, 포토 센서(711)의 출력값(출력 데이터)이 5000Lx 이상으로 큰 경우에는, 표시 화면(31)의 휘도를 높게 한다. 따라서, EL 소자(15)에 흘리는 최대 전류는 높아지기 때문에, EL 소자(15)의 단자간 전압도 높아진다. 그 때문에, 애노드 전압 Vdd, 캐소드 전압 Vss 또는, 애노드 전압 Vdd-캐소드 전압 Vss의 전위차를 크게 한다.
- [0791] 또한, 도 130의 실시예는, 최대 표시 계조수에 대한 제어의 실시예이지만, 도 98과 같이, duty 구동에 대해서도 실시해도 된다. 또한, 도 98, 도 99의 실시예와 포토 센서(711)의 출력 결과에 기초하는 제어를 조합해도 된다.
- [0792] 또한, 포토 센서(711)의 반응 시상수는, 1초 이상으로 하는 것이 바람직하다.
- [0793] 이상과 같이, 본 실시예는 포토 센서(840)를 구비하고, 포토 센서(840)의 출력 결과에 기초하여, duty 구동(도 84, 도 98)을 실시한다. 또한, 포토 센서(840)의 출력 결과에 기초하여, 최대(사용) 표시 계조수를 제어하는 구동(도 84, 도 99)을 실시한다. 또한, 본 실시예는 포토 센서(840)를 구비하고, 포토 센서(840)의 출력 결과에 기초하여, duty 구동(도 84, 도 98), 최대 사용 계조수를 제어하는 구동(도 84, 도 99)의 양방을 동시에 실시하는 구동 방식이다. 또한, 동시에, 캐소드 전압 제어(도 97)를 실시해도 된다.
- [0794] 또한, 도 98의 실시예에서는, 패널 온도에 대응하여(기초하여), 캐소드 전압 Vss를 가변하는 것으로 하였지만, 본 실시예는 이것에 한정되는 것은 아니다. 캐소드 전압 Vss를 가변하는 것은, 구동 트랜지스터(11a)가 P채널 트랜지스터인 경우이다. 구동 트랜지스터(11a)가 N채널 트랜지스터인 경우에는, 애노드 전압을 가변할 필요가 있다. 즉, 본 실시예는, 패널 온도에 대응시켜, 애노드 전압 Vdd와 캐소드 전압 Vss 중, 적어도 온도에 대응시켜 가변하는 것이다. 또한, 애노드 전압 Vdd와 캐소드 전압 Vss의 전위차를 온도에 대응시켜 가변(조정 혹은 설정)하는 것이다.
- [0795] 본 실시예의 구동 방법에서는, 패널 온도가 저하하면, EL 소자(15)의 단자간 전압이 커지고, EL 소자(15)의 단자간 전압의 전압 마진이 없기 때문에, EL 소자(15)의 발광 휘도가 저하한다. 그래서 패널 온도에 기초하여, 캐소드 전압 Vss를 저하시키는 것으로 하였다. 그러나, 캐소드 전압 Vss를 저하시키면, 캐소드 전류는 일정하지만, 애노드 전압 Vdd-캐소드 전압 Vss의 전위차가 커지고, 전력이 증가한다. 그 때문에, 패널 온도가 저하하면, 캐소드 전압 Vss를 상승시키고(애노드 전압 Vdd - 캐소드 전압 Vss의 전위차를 작게 하고), 캐소드 전류를 적게 하여, EL 표시 장치의 전력 증가를 억제하는 방식도 생각된다. 이상과 같이, 본 실시예의 구동 방식은, 패널 온도에 의해, EL 표시 장치(표시 영역(31)에서 사용함)의 전력을 제어하는 구동 방식이다.
- [0796] 또한, 이상의 실시예에서는, 패널 온도(EL 소자(15)의 온도)가 저하하면, EL 소자(15)의 단자간 전압이 커지는 것으로 하였다. 그러나, 패널 온도(EL 소자(15)의 온도)가 저하하면, EL 소자(15)의 단자간 전압이 작아지는 경우에는, 앞서의 실시예와 반대의 제어를 실시하면 되는 것은 물론이다. 이상과 같이, 본 실시예의 구동 방식은, 패널 온도에 의해, EL 표시 장치(표시 영역(31)에서 사용함)의 전력을 제어하는 구동 방식이다.
- [0797] 이상의 사항은, 도 1의 화소 구성의 EL 표시 패널 혹은 EL 표시 장치뿐만 아니라, 다른 화소 구성(도 4, 도 5,

도 10, 도 11, 도 25, 도 29, 도 31, 도 33, 도 35, 도 37, 도 42, 도 46, 도 52, 도 54, 도 55, 도 58, 도 59, 도 86, 도 90, 도 91, 도 92, 도 93, 도 94, 도 95, 도 113, 도 123, 도 124~도 128 등)의 EL 표시 패널 혹은 EL 표시 장치에도 적용할 수 있는 것은 물론이다.

[0798] 이상의 사항은 다른 실시예에서도 마찬가지이다. 예를 들면, 도 12, 도 13, 도 61, 도 75, 도 76, 도 77, 도 78, 도 79, 도 83, 도 84, 도 85, 도 98, 도 99, 도 100, 도 101 등의 방법 혹은 방식, 도 7, 도 8, 도 9, 도 60, 도 83, 도 96, 도 102, 도 103, 도 104, 도 106, 도 107, 도 108, 도 109, 도 110, 도 111, 도 112~도 129의 구성 혹은 구조 혹은 방법에 관해서도 앞서 예시한 혹은 본 명세서에 기재한 화소 구성과 조합하여 실시할 수 있는 것은 물론이다.

[0799] 또한, 이상의 실시예는, 본 명세서에서 기재한 다른 구동 방식, 구성에 적용할 수 있는 것은 물론이다. 또한, EL 표시 장치 혹은 EL 표시 패널을 이용한 기기(예를 들면, 도 7, 도 8, 도 9 등)에 적용할 수 있는 것은 물론이다.

[0800] 본 실시예의 EL 표시 장치는, 도 83에도 도시하고 있는 바와 같이, 외광의 강약을 취득하는 포토 센서(840)를 구비하고 있다. 포토 센서(840)의 출력에 의해 외광(기본적으로는, 표시 영역(31)을 조명하는 광의 강도, 표시 영역(31)에 입사하는 광)에 의해, 표시 화면(31)의 밝기를 변화시킨다. 도 100에 도시하는 패널의 밝기란, 패널의 표시 영역(31)의 최대 휘도가 해당한다. 또한, 패널의 표시 영역(31)으로부터 출사하는 광속량이 해당한다.

[0801] 도 100의 그래프의 횡축은, 포토 센서(840)의 출력 전류를 전류-전압 변환을 행하고, 아날로그-디지털 변환(AD 변환)을 행한 것이다.

[0802] 도 100에 도시하는 바와 같이, AD 변환의 값이 L1보다 작으면, 패널의 밝기는 B1로 한다. AD 변환의 값이 L2보다 작으면, 패널의 밝기는 B2로 한다. AD 변환의 값이 L3보다 작으면, 패널의 밝기는 B3으로 한다. AD 변환의 값이 L4보다 작으면, 패널의 밝기는 B4로 한다. AD 변환의 값이 L4보다 크면, 패널의 밝기는 B5로 한다. L1~L4의 개수, 값 및 B1~B5의 개수, 값은, EEPROM(753)(도 75) 등에 메모리해 두고 사용한다.

[0803] 외광은, 급변하는 경우가 많다. 따라서, 급한 변화가 발생해도, 패널의 밝기가 추종하지 않도록 할 필요가 있다.

[0804] 이 과제에 대응하기 위하여, 도 101에 도시하는 바와 같이, 외광 조도(외광의 강도)를 가산 평균(실선으로 도시함)하고, 가산 평균한 결과를 이동 평균(점선으로 도시함) 처리하고 있다. 도 101의 실시예에서의 이동 평균은, 2개의 가산 평균의 결과를 이용하여 이동 평균 처리를 행한 예이다. 이동 평균 처리는, 2개 데이터의 평균, 3개 데이터의 평균, 6개 데이터의 평균 등, 이동 평균수는 가변할 수 있게 한다. 이동 평균한 결과를 이용하여, 패널의 밝기를 결정한다.

[0805] 또한, 도 83에 도시하고 있는 바와 같이, 포토 센서(840)의 출력에 기초하여, duty 구동, 최대 사용 계조 제어, 기준 전류 제어, 캐소드(애노드) 전압 제어를 실시한다. 즉, 도 100, 도 101의 제어와 도 83, 도 84, 도 98, 도 99 등의 제어를 조합하여 실시한다.

[0806] 또한, 포토 센서(840)는, 도 73에 도시하는 바와 같이, 전원 회로(전원 IC)(602)에 작용시켜, 전원 회로(전원 IC)(602)의 출력 전압(애노드 전압, 캐소드 전압) 등을 가변해도 된다(도 97). 또한, 도 96에 도시하는 바와 같이, 포토 센서(840)의 출력을 소스 드라이버 IC(14)에 공급하고, 소스 드라이버 IC(14)에서 포토 센서(840)의 출력 전류(전압)를 AD 변환해도 된다. 소스 드라이버 IC(14)는, AD 변환 결과에 기초하여, duty 구동, 최대 사용 계조 제어, 기준 전류 제어, 감마 커브 제어, 캐소드 전압(애노드 전압) 제어를 실시한다(도 12, 도 13, 도 62, 도 84, 도 97, 도 98, 도 99, 도 100, 도 101).

[0807] 또한, 이상의 실시예는, 본 명세서에서 기재한 다른 구동 방식, 구성에 적용할 수 있는 것은 물론이다. 또한, EL 표시 장치 혹은 EL 표시 패널을 이용한 기기(예를 들면, 도 7, 도 8, 도 9 등)에 적용할 수 있는 것은 물론이다.

[0808] 또한, 포토 센서(840)의 출력 결과에 기초하여, 감마 커브를 변화하는 것도 유효하다. 특히 EL 표시 패널에서는, 옥내에서는 양호한 화상 표시를 실현할 수 있지만, 옥외에서는 저계조부는 보이지 않는다. EL 표시 패널은 자발광이기 때문이다. 그래서, 외광의 강약에 대응시켜, 감마 커브를 변화시켜도 된다. 감마 커브의 절환은, 사용자가 스위치를 조작함으로써 절환하도록 해도 된다. 감마 커브는, 외광이 강할 때에는, 감마 승수를 작게 하여, 화면 전체를 밝게 한다.

- [0809] 또한, 외광의 강약에 대응시켜, 감마 커브를 절환하는 것으로 하였지만, 이것에 한정되는 것은 아니다. 도 83의 연산 회로(가산, 가중치 부여 등)의 기능을 이용하여, 감마 커브를 변경해도 되는 것은 물론이다.
- [0810] 또한, 패널의 밝기는, 유저가 버튼으로 절환할 수 있게 해 두거나, 설정 모드에서 자동적으로 변경할 수 있거나, 외광의 밝기를 검출하여 자동적으로 절환할 수 있게 구성해 두는 것이 바람직하다. 또한, 표시 휘도를 50%, 60%, 80%로 유저 등이 설정할 수 있게 구성해 두는 것이 바람직하다. 또한, 외부의 마이크로컴퓨터 등에 의해, duty비 커브, 기울기 등을 재기입하도록 구성하는 것이 바람직하다. 또한, 메모리된 복수의 duty비 커브(도 84, 도 98과 그 설명 등을 참조)로부터 1개를 선택할 수 있게 구성하는 것이 바람직하다.
- [0811] 또한, duty비 커브 등의 선택은, APL 레벨, 최대 휘도(MAX), 최소 휘도(MIN), 휘도의 분포 상태(SGM)의 1개 혹은 복수를 가미하여 행하는 것이 바람직한 것은 물론이다(도 82, 도 83, 도 84와 그 설명을 참조).
- [0812] 본 실시예의 표시 패널(표시 장치)에서, 브라이트니스 조정은, duty비 제어 혹은 기준 전류비 제어, 최대 사용 계조 제어 등에 의해 실시한다. 또한, 외광의 강도를 포토 센서에서 검출하고, 오토매틱으로 조정하는 방식이어도 된다. 이상의 사항은, 콘트라스트 조정 등에도 적용할 수 있는 것은 물론이다. 또한, duty비 제어에도 적용할 수 있는 것은 물론이다. 또한, 도 99에서 설명한 최대 표시 계조의 구동 방식도 적용할 수 있는 것은 물론이다.
- [0813] 이상의 사항은, 도 1의 화소 구성의 EL 표시 패널 혹은 EL 표시 장치뿐만 아니라, 다른 화소 구성(도 4, 도 5, 도 10, 도 11, 도 25, 도 29, 도 31, 도 33, 도 35, 도 37, 도 42, 도 46, 도 52, 도 54, 도 55, 도 58, 도 59, 도 86, 도 90, 도 91, 도 92, 도 93, 도 94, 도 95, 도 113, 도 123, 도 124~도 128 등)의 EL 표시 패널 혹은 EL 표시 장치에도 적용할 수 있는 것은 물론이다.
- [0814] 이상의 사항은 다른 실시예에서도 마찬가지이다. 예를 들면, 도 12, 도 13, 도 61, 도 75, 도 76, 도 77, 도 78, 도 79, 도 83, 도 84, 도 85, 도 98, 도 99, 도 100, 도 101 등의 방법 혹은 방식, 도 7, 도 8, 도 9, 도 60, 도 83, 도 96, 도 102, 도 103, 도 104, 도 106, 도 107, 도 108, 도 109, 도 110, 도 111, 도 112, 도 129의 구성 혹은 구조 혹은 방법에 관해서도 앞서 예시한 혹은 본 명세서에 기재한 화소 구성과 조합하여 실시할 수 있는 것은 물론이다.
- [0815] 또한, 이상의 실시예는, 본 명세서에서 기재한 다른 구동 방식, 구성에 적용할 수 있는 것은 물론이다. 또한, EL 표시 장치 혹은 EL 표시 패널을 이용한 기기(예를 들면, 도 7, 도 8, 도 9 등)에 적용할 수 있는 것은 물론이다.
- [0816] <실시예 7>
- [0817] 본 발명의 실시예 7에 대하여 설명한다.
- [0818] 다음으로, 본 실시예의 구동 방식을 실시하는 EL 표시 장치를 표시 디스플레이로서 이용한 실시예 7의 표시 기기(EL 표시 장치)에 대하여 설명한다.
- [0819] 도 7은 EL 표시 장치의 일레인 정보 단말 장치의 휴대 전화의 평면도이다. 케이스(73)에 안테나(71) 등이 부착되어 있다. 참조 부호 72a는, 표시 화면의 밝기를 변화시키는 절환 키, 참조 부호 72b는 전원 온/오프 키, 참조 부호 72c가 게이트 드라이버 회로(12b)의 동작 프레임 레이트를 절환하는 키이다. 참조 부호 75는 포토 센서이다. 포토 센서(75)는, 외광의 강약에 따라서, duty비 등을 변화시켜, 표시 화면(22)의 휘도를 자동 조정한다.
- [0820] 도 8은 비디오 카메라의 사시도이다. 비디오 카메라는 촬영(촬상) 렌즈부(83)와 비디오 카메라 본체(73)를 구비하고 있다. 본 실시예의 EL 표시 패널은 표시 모니터(74)로서도 사용되고 있다. 표시 화면(22)은 지점(81)에서 각도를 자유롭게 조정할 수 있다. 표시 화면(22)을 사용하지 않을 때에는, 저장부(83)에 저장된다.
- [0821] 본 실시예의 EL 표시 패널 혹은 EL 표시 장치 등은 비디오 카메라뿐만 아니라, 도 9에 도시하는 바와 같은 전자 카메라에도 적용할 수 있다. 본 실시예의 EL 표시 장치는 카메라 본체(91)에 부속된 모니터(22)로서 이용한다. 카메라 본체(91)에는 셔터(93) 외에, 스위치(72a, 72c)가 부착되어 있다.
- [0822] <변경예>
- [0823] 본 발명의 변경예에 대하여 설명한다.
- [0824] 또한, 본 명세서에서 설명한 본 실시예의 기술적 사상은 상호 조합할 수 있다. 예를 들면, 도 1의 컨텐서(19

b)를 형성하는 실시예와, 도 16의 복수의 소스 신호선을 형성한 실시예의 조합이 예시된다. 또한, 도 1의 컨덴서(19b)를 형성하는 실시예와, 도 31의 전류원(312)을 사용하는 실시예의 조합이 예시된다.

[0825] 또한, 도 1의 컨덴서(19b)를 형성하는 실시예와, 도 32의 컨덴서(19b)를 형성하는 실시예의 조합이 예시된다. 또한, 도 1의 컨덴서(19b)를 형성하는 화소 구성의 실시예, 도 45, 도 48의 구동 방법의 조합이 예시된다.

[0826] 또한, 도 31과 도 42 혹은 도 45의 구성의 조합이 예시된다. 또한, 도 5에 도시하여 설명하고 있는 바와 같이, 리세트 전압 Vr_{st}의 전단(1개 전의 화소행)의 영상 신호 전압을 기입하는 게이트 신호선(17a)이 선택되었을 때, 리세트 전압 Vr_{st}가 해당 화소에 기입하는 구성 혹은 방식은, 본 발명의 다른 실시예에 적용할 수 있는 것도 물론이다.

[0827] 이상, 2개의 조합뿐만 아니라, 3개 이상의 기술적 사상의 조합이 예시된다. 예를 들면, 도 5와 도 4와 도 55의 조합이 예시된다. 도 5와 도 42와 도 13의 조합도 예시된다. 이상과 같이 본 발명은 본 명세서에 기재된 실시예와 적시 조합하여 다른 실시예를 구성할 수 있다.

[0828] 또한, 화소 구성 혹은 구동 방법뿐만 아니라, 예를 들면, 도 6 혹은 도 3의 드라이버 구성 등도 적시에, 각 구성 혹은 구동 방법에 조합할 수 있다. 또한, 화소 구성 혹은 구동 방법뿐만 아니라, 도 12 혹은 도 13의 다른 구동 방법 등도 적시에, 각 구성 혹은 구동 방법에 조합할 수 있다.

[0829] 이상의 사항은, 도 1의 화소 구성의 EL 표시 패널 혹은 EL 표시 장치뿐만 아니라, 다른 화소 구성(도 4, 도 5, 도 10, 도 11, 도 25, 도 29, 도 31, 도 33, 도 35, 도 37, 도 42, 도 46, 도 52, 도 54, 도 55, 도 58, 도 59, 도 86, 도 90, 도 91, 도 92, 도 93, 도 94, 도 95, 도 113, 도 123, 도 124, 도 125, 도 126, 도 127, 도 128 등)의 EL 표시 패널 혹은 EL 표시 장치에도 적용할 수 있는 것은 물론이다.

[0830] 이상의 사항은 다른 실시예에서도 마찬가지이다. 예를 들면, 도 12, 도 13, 도 14~도 41, 도 61, 도 75, 도 76, 도 77, 도 78, 도 79, 도 83, 도 84, 도 85, 도 98, 도 99, 도 100, 도 101 등의 방법 혹은 방식, 도 7, 도 8, 도 9, 도 60, 도 83, 도 96, 도 99, 도 100, 도 101, 도 102, 도 103, 도 104, 도 106, 도 107, 도 108, 도 109, 도 110, 도 111, 도 112, 도 129의 구성 혹은 구조 혹은 방법에 관해서도 앞서 예시한 혹은 본 명세서에 기재한 화소 구성과 조합하여 실시할 수 있는 것은 물론이다.

[0831] 또한, 이상의 구성 혹은 구동 방법, 또한 복수의 구성 혹은 구동 방법을 조합한 것을 도 7, 도 8, 도 9 등에 적용한 것도 본 발명의 범주이다.

산업이용 가능성

[0832] 본 발명에 따른 EL 표시 장치는, 오프셋 캔슬 기간을 충분히 확보할 수 있기 때문에, 양호한 오프셋 캔슬을 실현할 수 있다. 그 때문에, 구동 트랜지스터(11a)의 특성 변동이 발생해도, 특성 변동을 캔슬할 수 있어, 양호한 화상 표시를 실현할 수 있다.

도면의 간단한 설명

[0833] 도 1은 EL 표시 장치의 화소의 구성도.

[0834] 도 2는 EL 표시 장치의 구동 방법의 설명도.

[0835] 도 3은 EL 표시 장치의 설명도.

[0836] 도 4는 EL 표시 장치의 화소의 구성도.

[0837] 도 5는 EL 표시 장치의 화소의 구성도.

[0838] 도 6은 EL 표시 장치의 설명도.

[0839] 도 7은 EL 표시 장치를 이용한 기기의 설명도.

[0840] 도 8은 EL 표시 장치를 이용한 기기의 설명도.

[0841] 도 9는 EL 표시 장치를 이용한 기기의 설명도.

[0842] 도 10은 EL 표시 장치의 화소의 구성도.

[0843] 도 11은 EL 표시 장치의 화소의 구성도.

- [0844] 도 12는 EL 표시 장치의 구동 방법의 설명도.
- [0845] 도 13은 EL 표시 장치의 구동 방법의 설명도.
- [0846] 도 14는 소스 신호선으로부터 화소에 영상 신호를 공급하는 구성도.
- [0847] 도 15는 도 14의 게이트 드라이버 회로(12a)의 동작을 나타낸 설명도.
- [0848] 도 16은 본 실시예의 EL 표시 장치의 설명도.
- [0849] 도 17은 도 16의 게이트 드라이버 회로(12)의 동작을 나타낸 도면.
- [0850] 도 18은 도 16의 게이트 드라이버 회로(12)의 동작을 나타낸 도면.
- [0851] 도 19는 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0852] 도 20은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0853] 도 21은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0854] 도 22는 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0855] 도 23은 본 실시예의 EL 표시 장치의 설명도.
- [0856] 도 24는 본 실시예의 EL 표시 장치의 설명도.
- [0857] 도 25는 본 실시예의 EL 표시 장치의 설명도.
- [0858] 도 26은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0859] 도 27은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0860] 도 28은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0861] 도 29는 본 실시예의 EL 표시 장치의 설명도.
- [0862] 도 30은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0863] 도 31은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0864] 도 32는 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0865] 도 33은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0866] 도 34는 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0867] 도 35는 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0868] 도 36은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0869] 도 37은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0870] 도 38은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0871] 도 39는 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0872] 도 40은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0873] 도 41은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0874] 도 42는 본 실시예의 EL 표시 장치의 설명도.
- [0875] 도 43은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0876] 도 44는 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0877] 도 45는 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0878] 도 46은 본 실시예의 EL 표시 장치의 설명도.
- [0879] 도 47은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.

- [0880] 도 48은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0881] 도 49는 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0882] 도 50은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0883] 도 51은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0884] 도 52는 본 실시예의 EL 표시 장치의 설명도.
- [0885] 도 53은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0886] 도 54는 본 실시예의 EL 표시 장치의 설명도.
- [0887] 도 55는 본 실시예의 EL 표시 장치의 설명도.
- [0888] 도 56은 본 실시예의 EL 표시 장치의 설명도.
- [0889] 도 57은 본 실시예의 EL 표시 장치의 설명도.
- [0890] 도 58은 본 실시예의 EL 표시 장치의 설명도.
- [0891] 도 59는 본 실시예의 EL 표시 장치의 설명도.
- [0892] 도 60은 본 실시예의 EL 표시 장치의 전원 회로의 설명도.
- [0893] 도 61은 본 실시예의 EL 표시 장치의 전원 회로의 설명도.
- [0894] 도 62는 본 실시예의 EL 표시 장치의 전원 회로의 설명도.
- [0895] 도 63은 본 실시예의 EL 표시 장치의 전원 회로의 설명도.
- [0896] 도 64는 본 실시예의 EL 표시 장치의 전원 회로의 설명도.
- [0897] 도 65는 본 실시예의 EL 표시 장치의 전원 회로의 설명도.
- [0898] 도 66은 본 실시예의 EL 표시 장치의 전원 회로의 설명도.
- [0899] 도 67은 본 실시예의 EL 표시 장치의 전원 회로의 설명도.
- [0900] 도 68은 본 실시예의 EL 표시 장치의 전원 회로의 설명도.
- [0901] 도 69는 본 실시예의 EL 표시 장치의 전원 회로의 설명도.
- [0902] 도 70은 본 실시예의 EL 표시 장치의 전원 회로의 설명도.
- [0903] 도 71은 본 실시예의 EL 표시 장치의 전원 회로의 설명도.
- [0904] 도 72는 본 실시예의 EL 표시 장치의 전원 회로의 설명도.
- [0905] 도 73은 본 실시예의 EL 표시 장치의 전원 회로의 설명도.
- [0906] 도 74는 본 실시예의 EL 표시 장치의 전원 회로의 설명도.
- [0907] 도 75는 본 실시예의 EL 표시 장치의 설명도.
- [0908] 도 76은 본 실시예의 EL 표시 장치의 설명도.
- [0909] 도 77은 본 실시예의 EL 표시 장치의 설명도.
- [0910] 도 78은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0911] 도 79는 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0912] 도 80은 본 실시예의 EL 표시 장치의 설명도.
- [0913] 도 81은 본 실시예의 EL 표시 장치의 설명도.
- [0914] 도 82는 본 실시예의 EL 표시 장치의 설명도.
- [0915] 도 83은 본 실시예의 EL 표시 장치의 설명도.

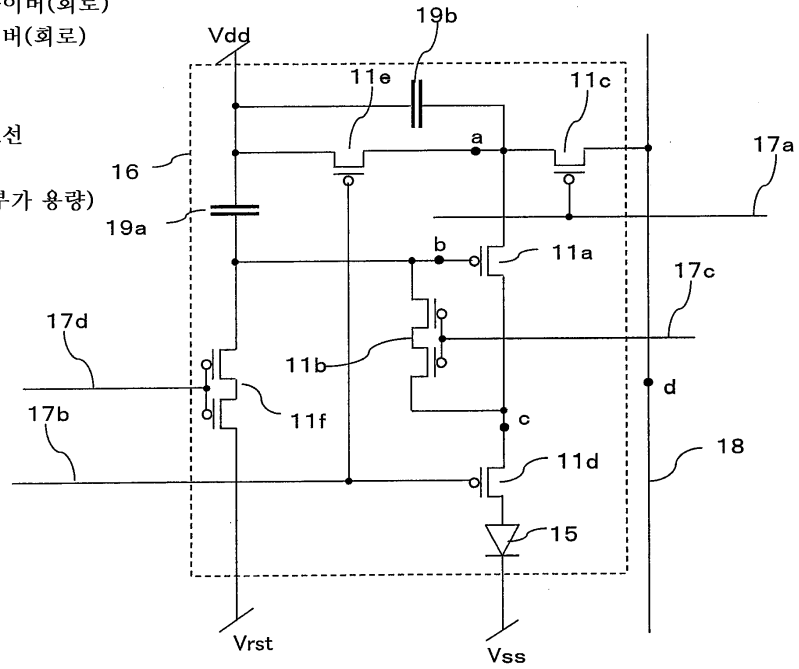
- [0916] 도 84는 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0917] 도 85는 본 실시예의 EL 표시 장치의 설명도.
- [0918] 도 86은 본 실시예의 EL 표시 장치의 설명도.
- [0919] 도 87은 본 실시예의 EL 표시 장치의 설명도.
- [0920] 도 88은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0921] 도 89는 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0922] 도 90은 본 실시예의 EL 표시 장치의 설명도.
- [0923] 도 91은 본 실시예의 EL 표시 장치의 설명도.
- [0924] 도 92는 본 실시예의 EL 표시 장치의 설명도.
- [0925] 도 93은 본 실시예의 EL 표시 장치의 설명도.
- [0926] 도 94는 본 실시예의 EL 표시 장치의 설명도.
- [0927] 도 95는 본 실시예의 EL 표시 장치의 설명도.
- [0928] 도 96은 본 실시예의 EL 표시 장치의 설명도.
- [0929] 도 97은 본 실시예의 EL 표시 장치의 설명도.
- [0930] 도 98은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0931] 도 99는 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0932] 도 100은 본 실시예의 EL 표시 장치의 설명도.
- [0933] 도 101은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0934] 도 102는 본 실시예의 EL 표시 장치의 소스 드라이버 회로의 설명도.
- [0935] 도 103은 본 실시예의 EL 표시 장치의 설명도.
- [0936] 도 104는 본 실시예의 EL 표시 장치의 설명도.
- [0937] 도 105는 본 실시예의 EL 표시 장치의 소스 드라이버 회로의 설명도.
- [0938] 도 106은 본 실시예의 EL 표시 장치의 소스 드라이버 회로의 설명도.
- [0939] 도 107은 본 실시예의 EL 표시 장치의 소스 드라이버 회로의 설명도.
- [0940] 도 108은 본 실시예의 EL 표시 장치의 소스 드라이버 회로의 설명도.
- [0941] 도 109는 본 실시예의 EL 표시 장치의 소스 드라이버 회로의 설명도.
- [0942] 도 110은 본 실시예의 EL 표시 장치의 소스 드라이버 회로의 설명도.
- [0943] 도 111은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0944] 도 112는 본 실시예의 EL 표시 장치의 설명도.
- [0945] 도 113은 본 실시예의 EL 표시 장치의 설명도.
- [0946] 도 114는 본 실시예의 EL 표시 장치의 설명도.
- [0947] 도 115는 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0948] 도 116은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0949] 도 117은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0950] 도 118은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0951] 도 119는 본 실시예의 EL 표시 장치의 구동 방법의 설명도.

- [0952] 도 120은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0953] 도 121은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0954] 도 122는 본 실시예의 EL 표시 장치의 설명도.
- [0955] 도 123은 본 실시예의 EL 표시 장치의 설명도.
- [0956] 도 124는 본 실시예의 EL 표시 장치의 설명도.
- [0957] 도 125는 본 실시예의 EL 표시 장치의 설명도.
- [0958] 도 126은 본 실시예의 EL 표시 장치의 설명도.
- [0959] 도 127은 본 실시예의 EL 표시 장치의 설명도.
- [0960] 도 128은 본 실시예의 EL 표시 장치의 설명도.
- [0961] 도 129는 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0962] 도 130은 본 실시예의 EL 표시 장치의 구동 방법의 설명도.
- [0963] <도면의 주요 부분에 대한 부호의 설명>
- [0964] CLK: 클럭 신호
- [0965] 12: 게이트 드라이버 회로
- [0966] 14: 소스 드라이버 IC
- [0967] 16: 화소
- [0968] 31: 표시 영역
- [0969] HD: 수평 동기 신호
- [0970] ST1, ST2: 스타트 신호

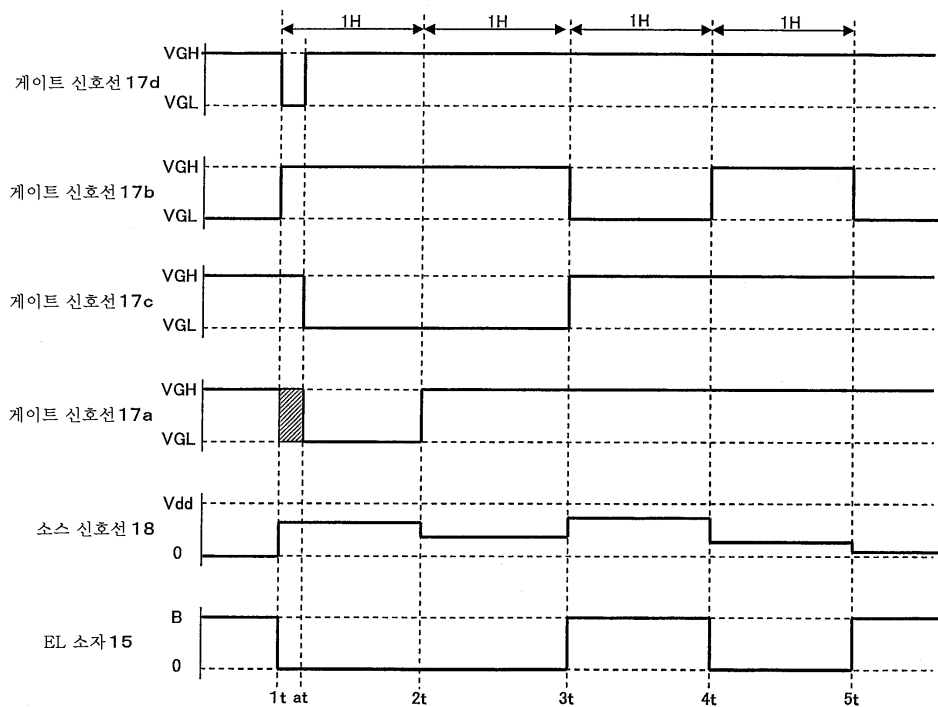
도면

도면1

- 11 트랜지스터(TFT)
- 12 게이트 드라이버(회로)
- 14 소스 드라이버(회로)
- 15 EL(소자)
- 16 화소
- 17 게이트 신호선
- 18 소스 신호선
- 19 축적 용량(부가 용량)



도면2

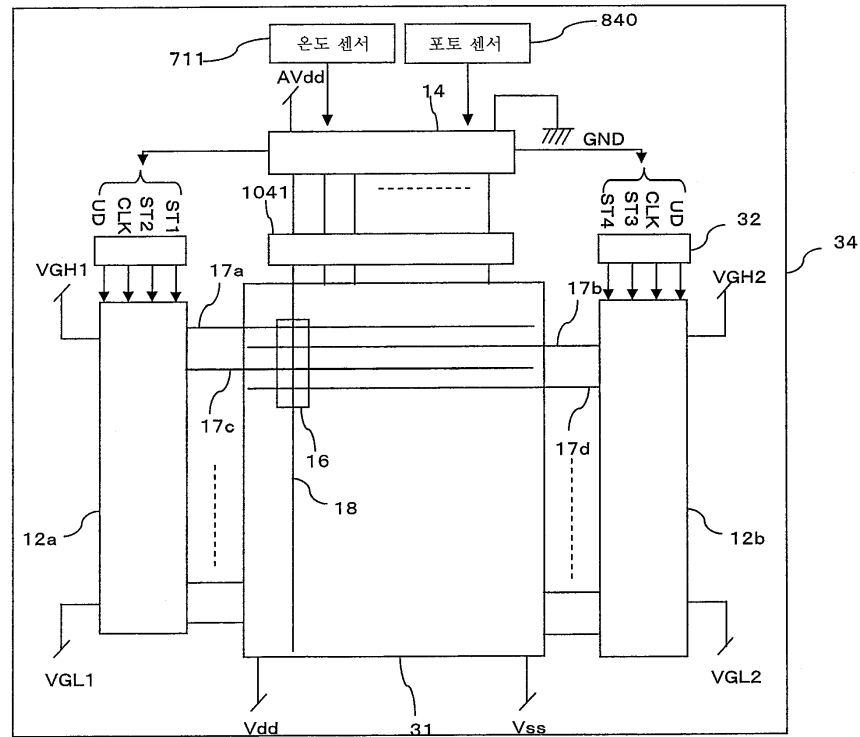


도면3

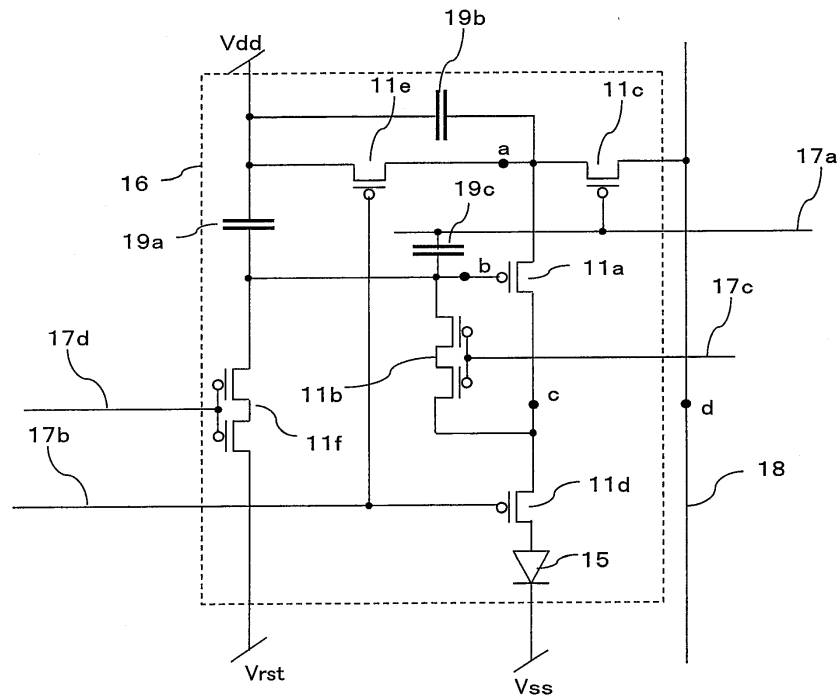
31 표시 화면

32 레벨 시프트 회로

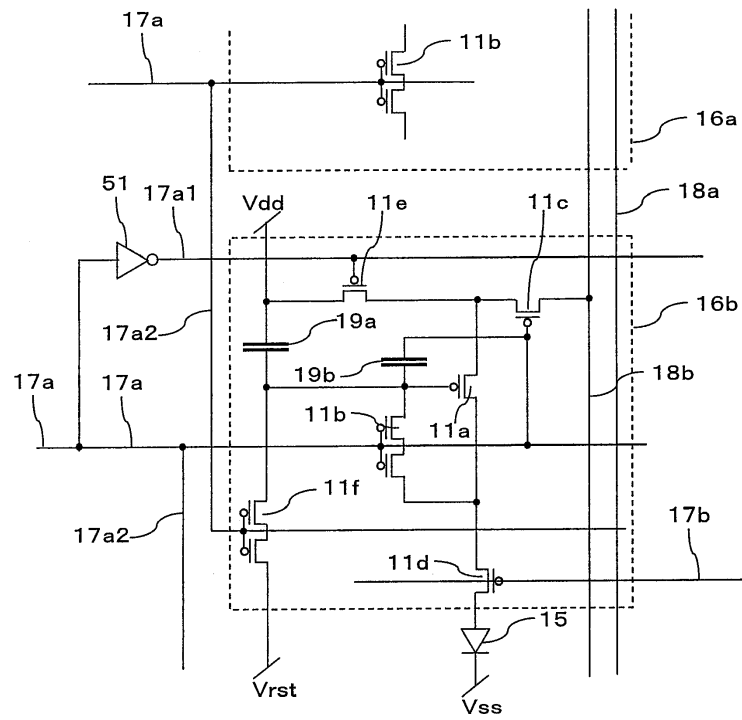
34 표시 패널



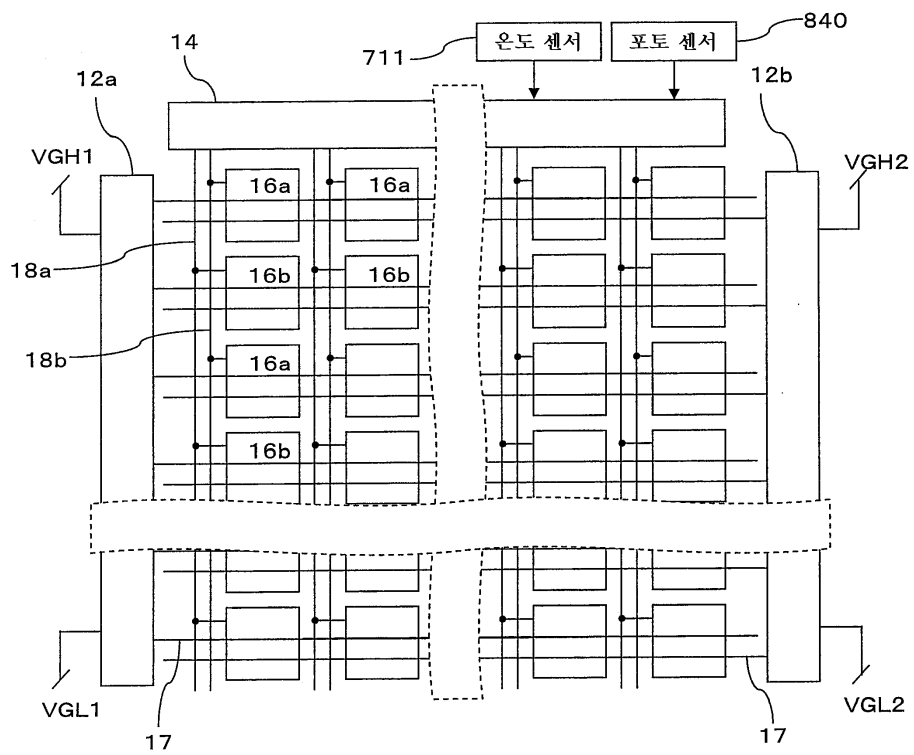
도면4



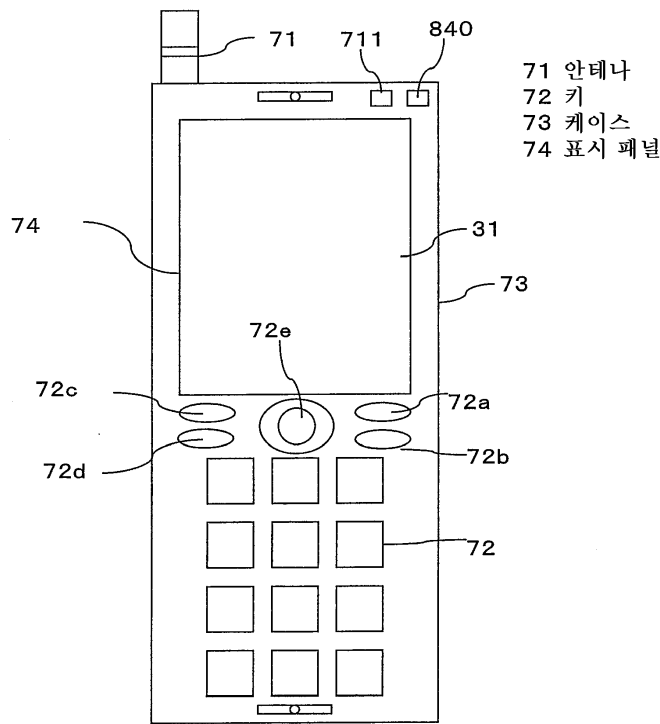
도면5



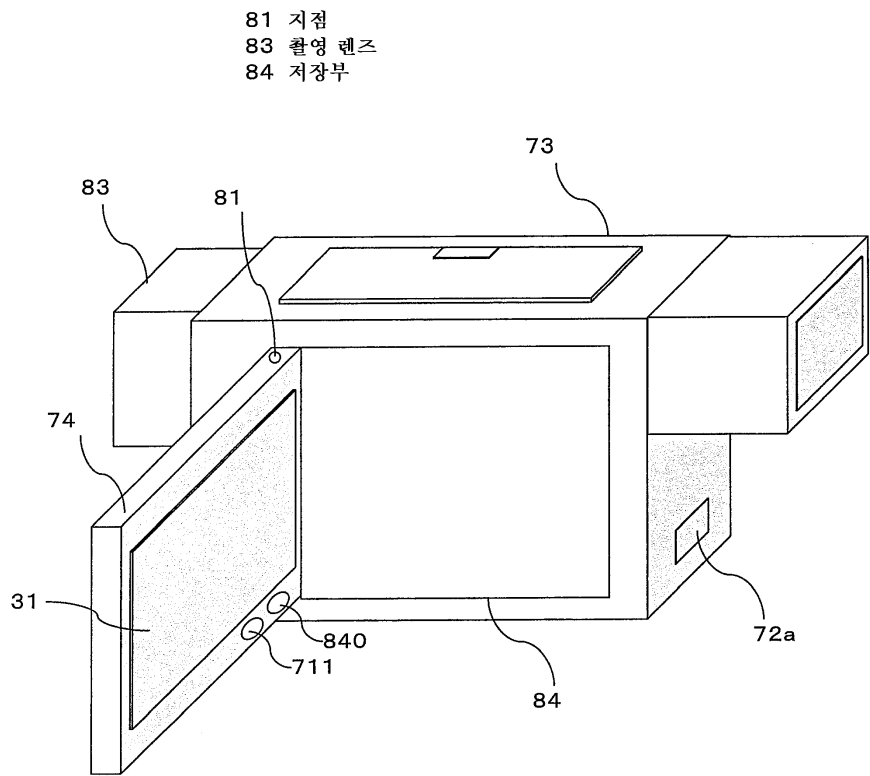
도면6



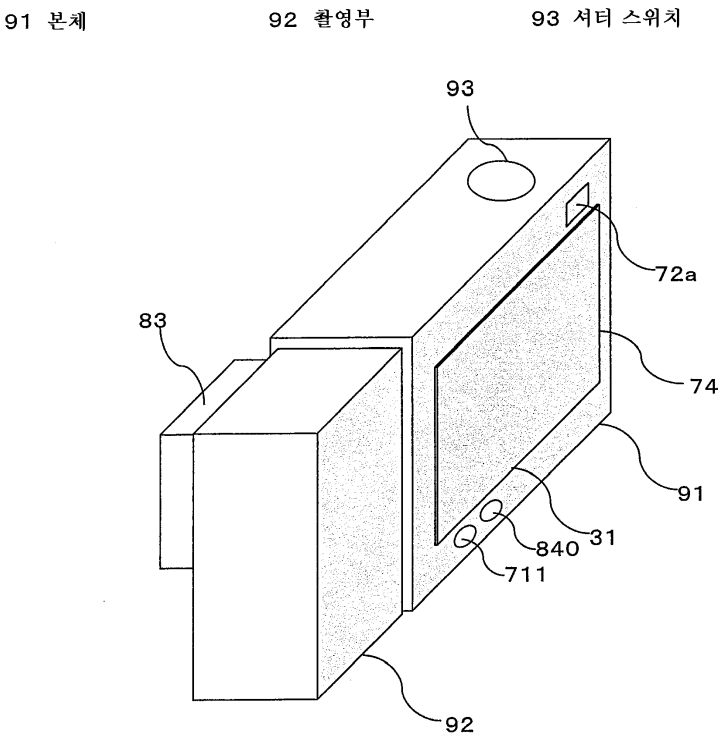
도면7



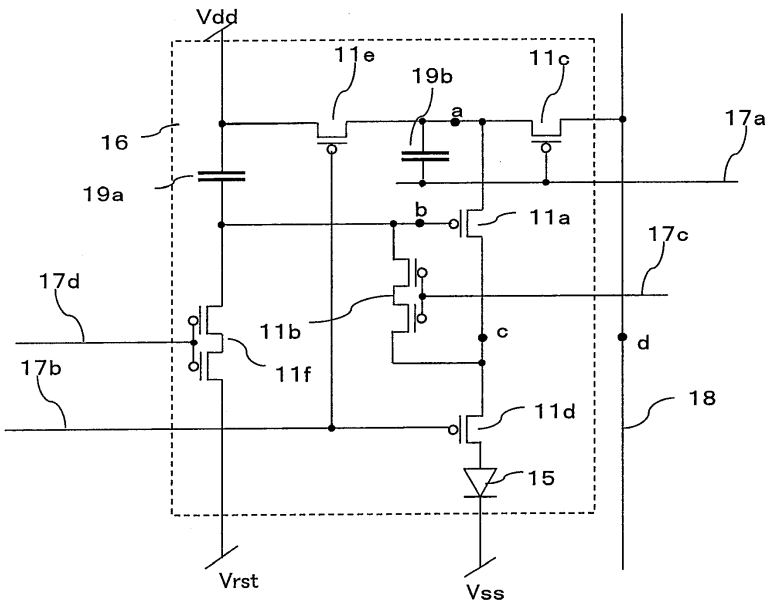
도면8



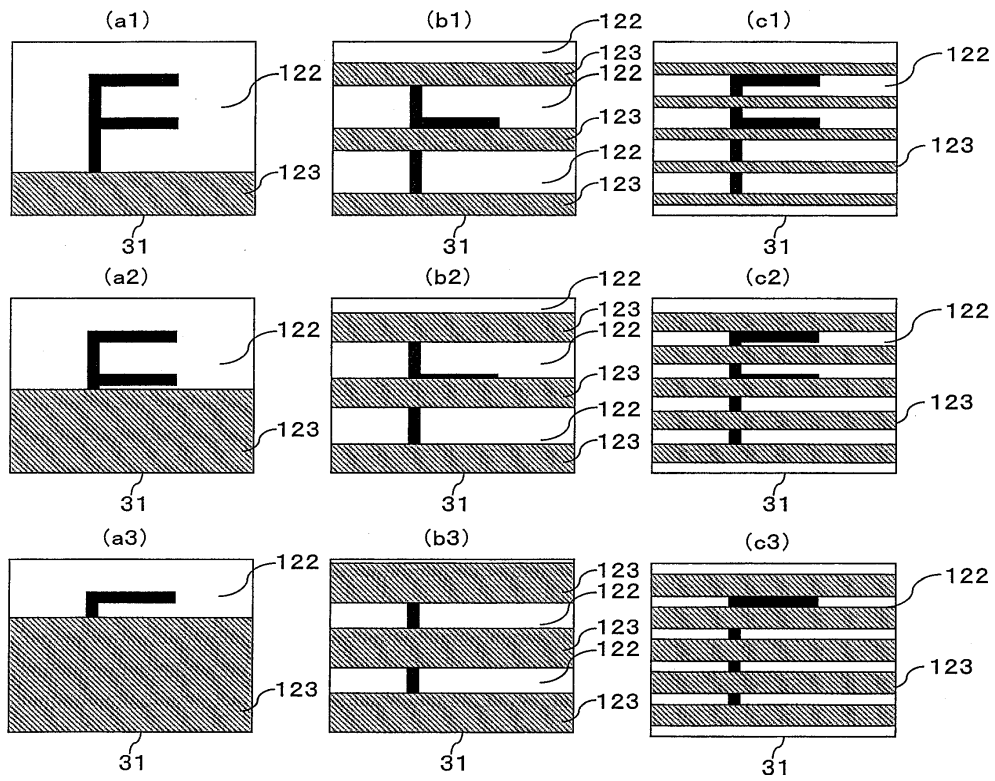
도면9



도면10

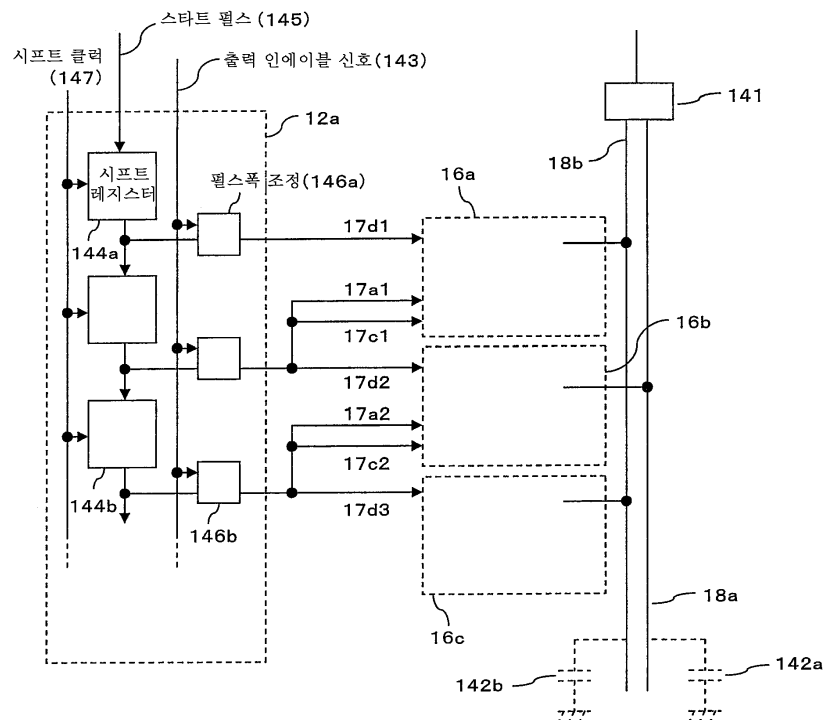


도면13

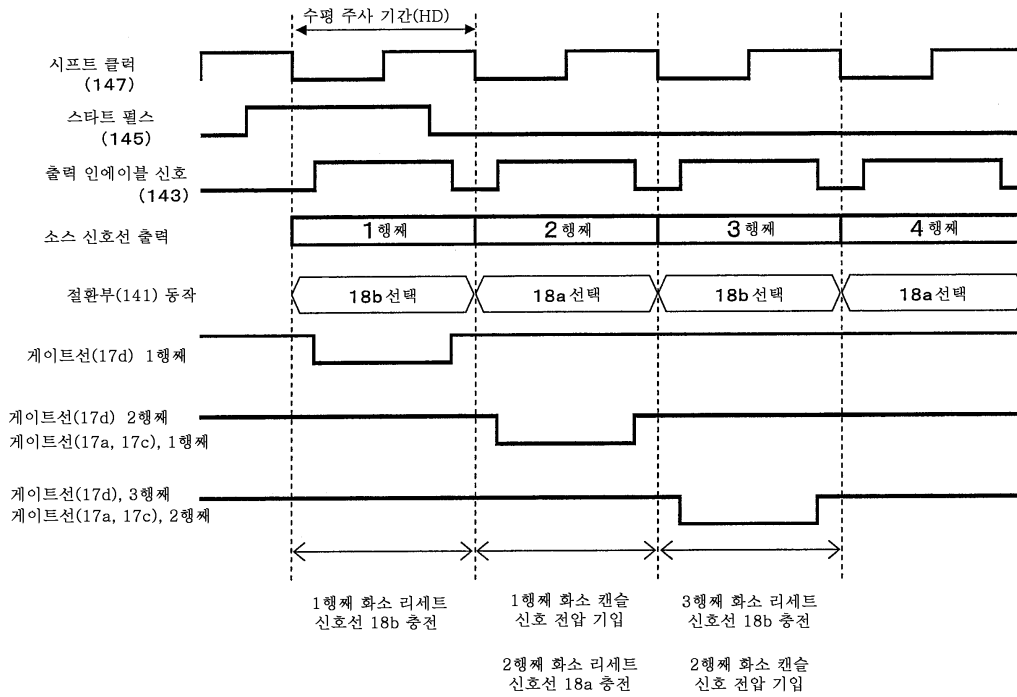


도면14

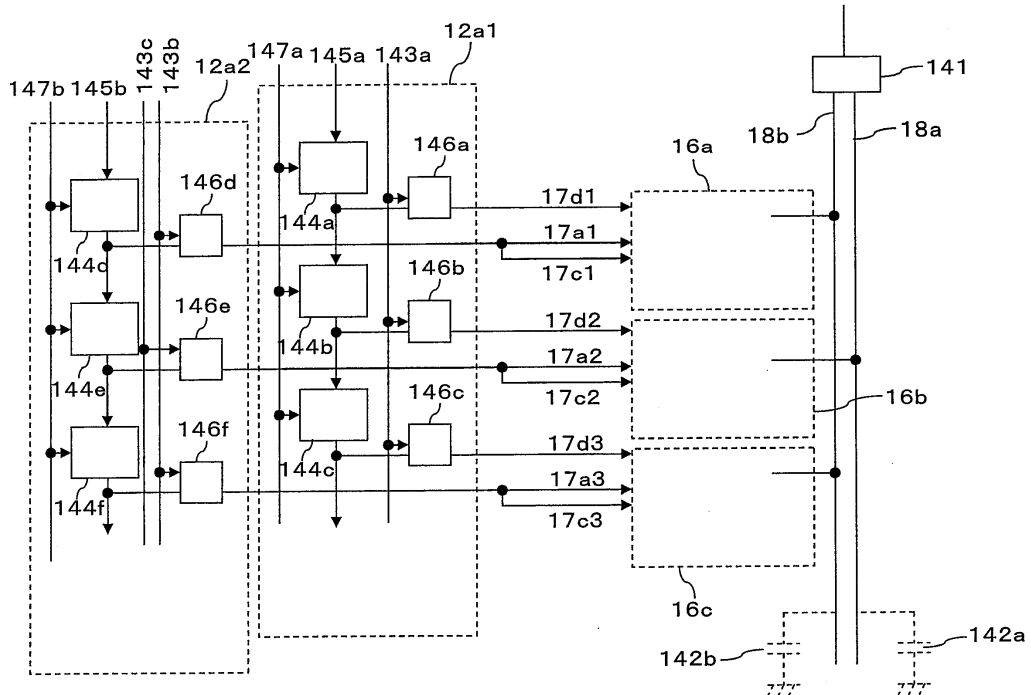
142 부유 용량(기생 용량)



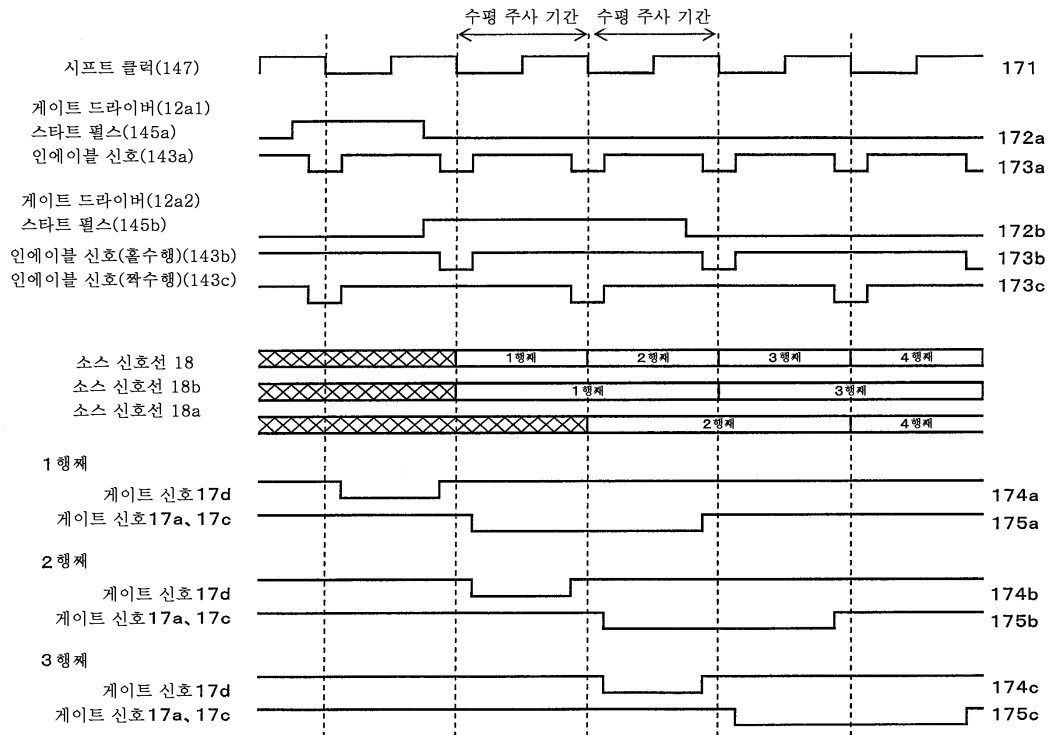
도면15



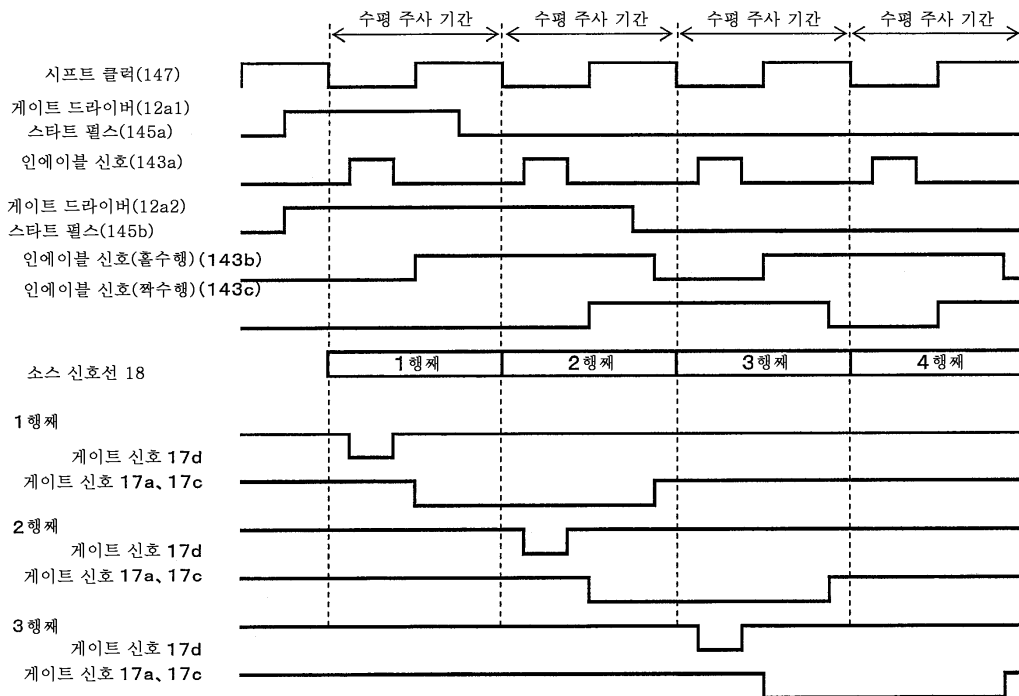
도면16



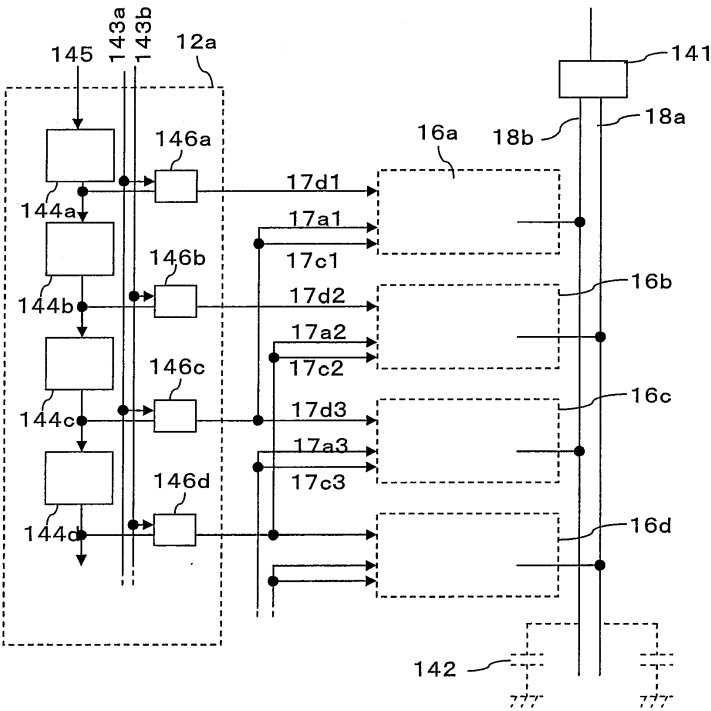
도면17



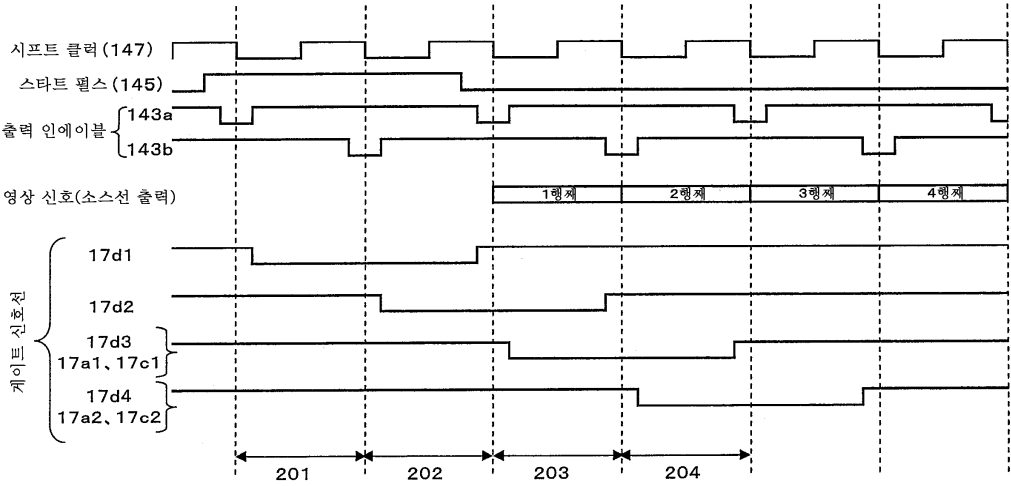
도면18



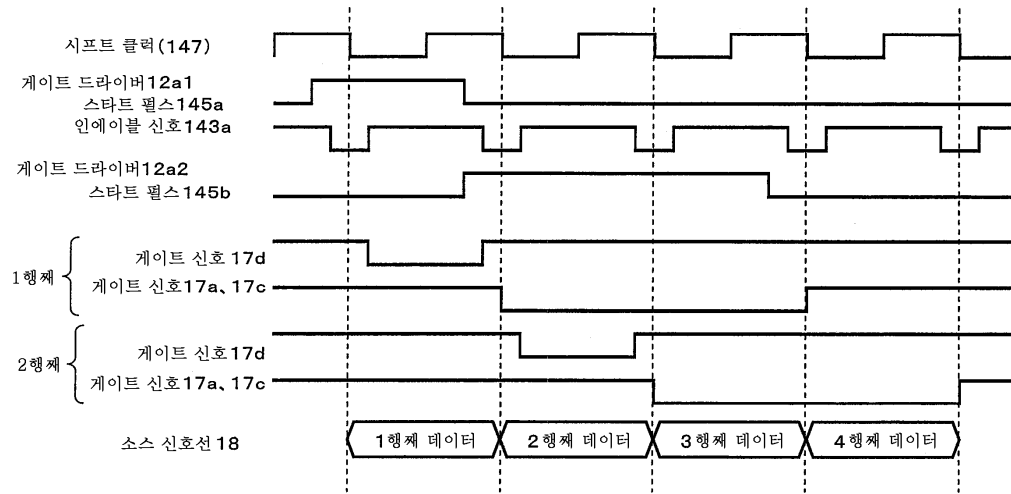
도면19



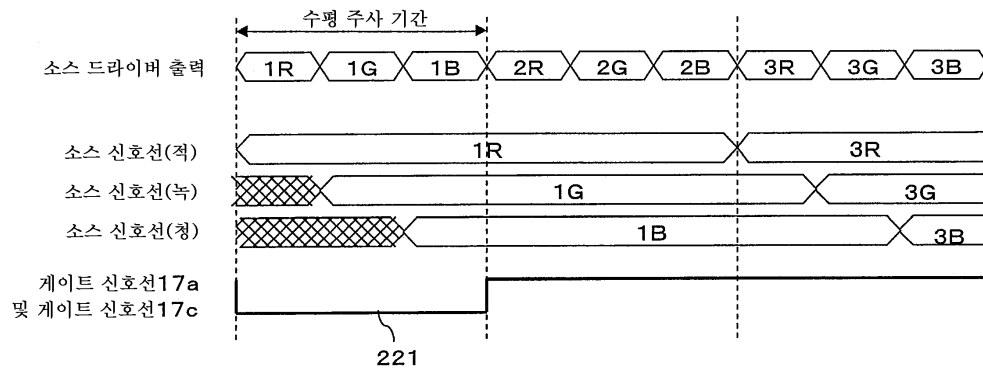
도면20



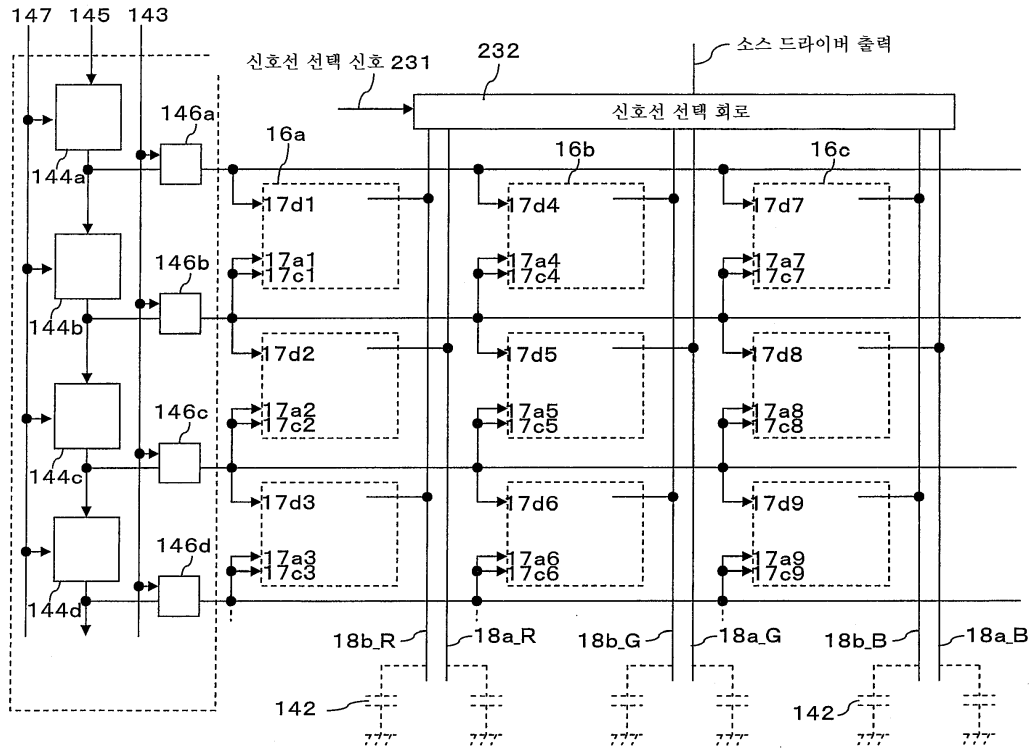
도면21



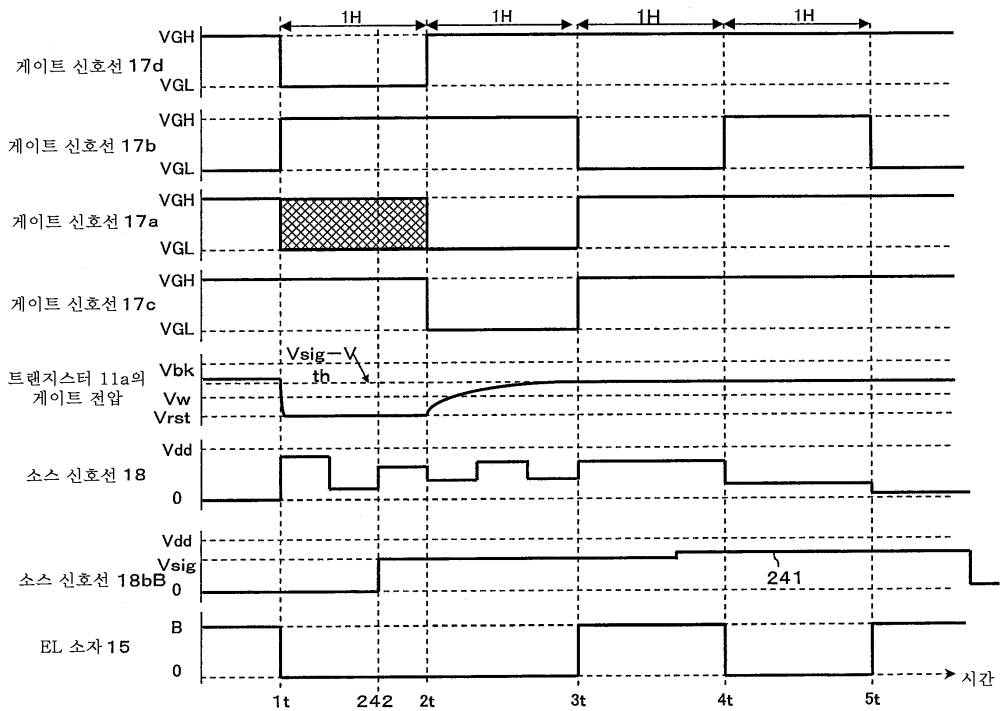
도면22



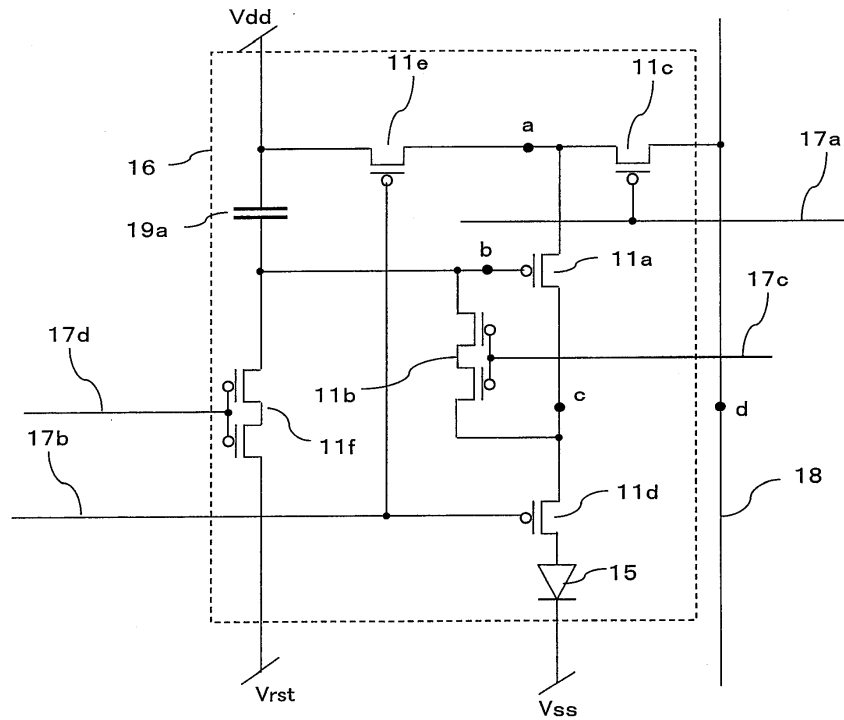
도면23



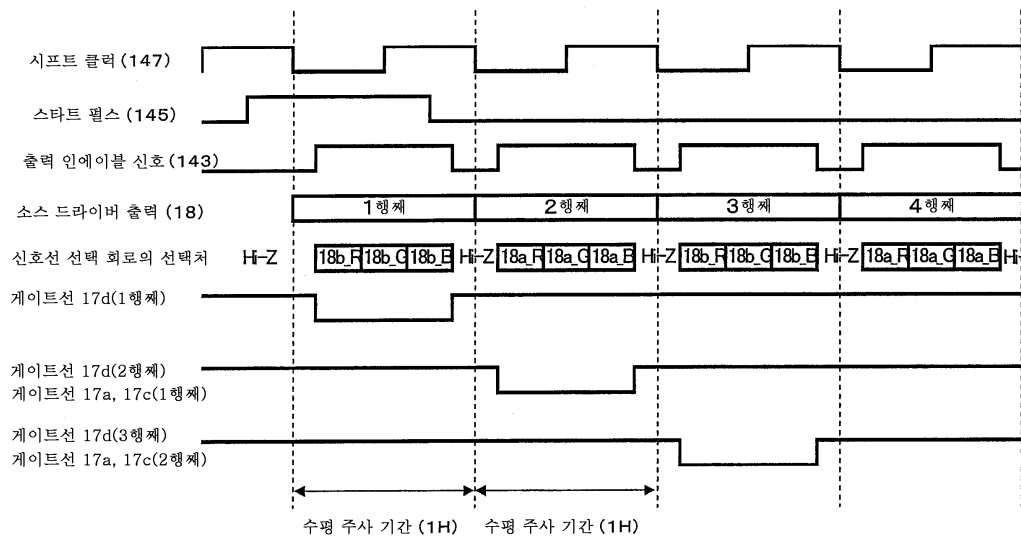
도면24



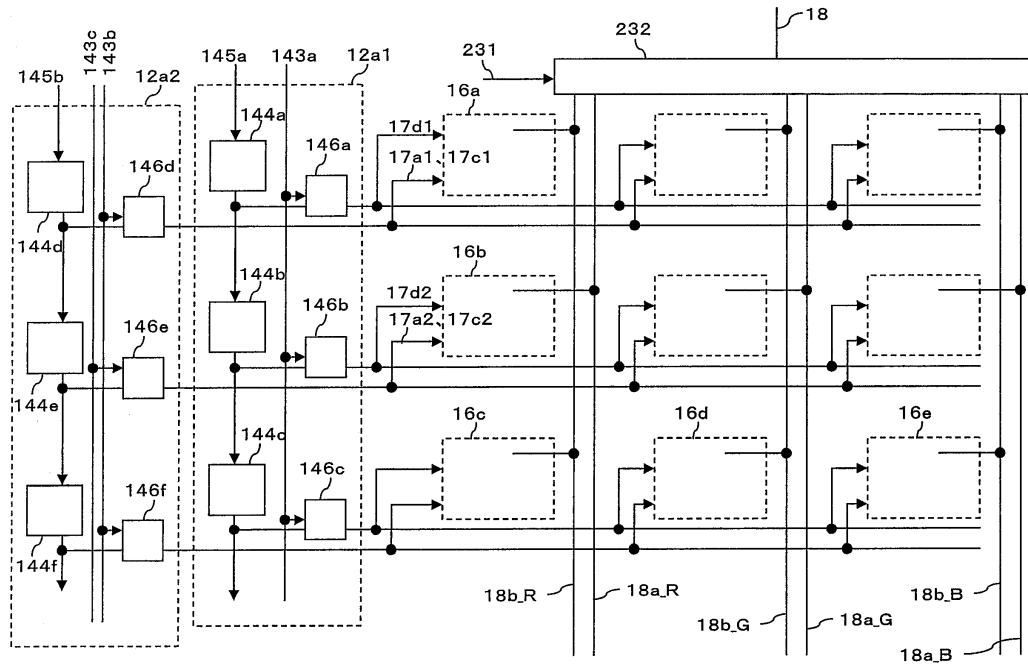
도면25



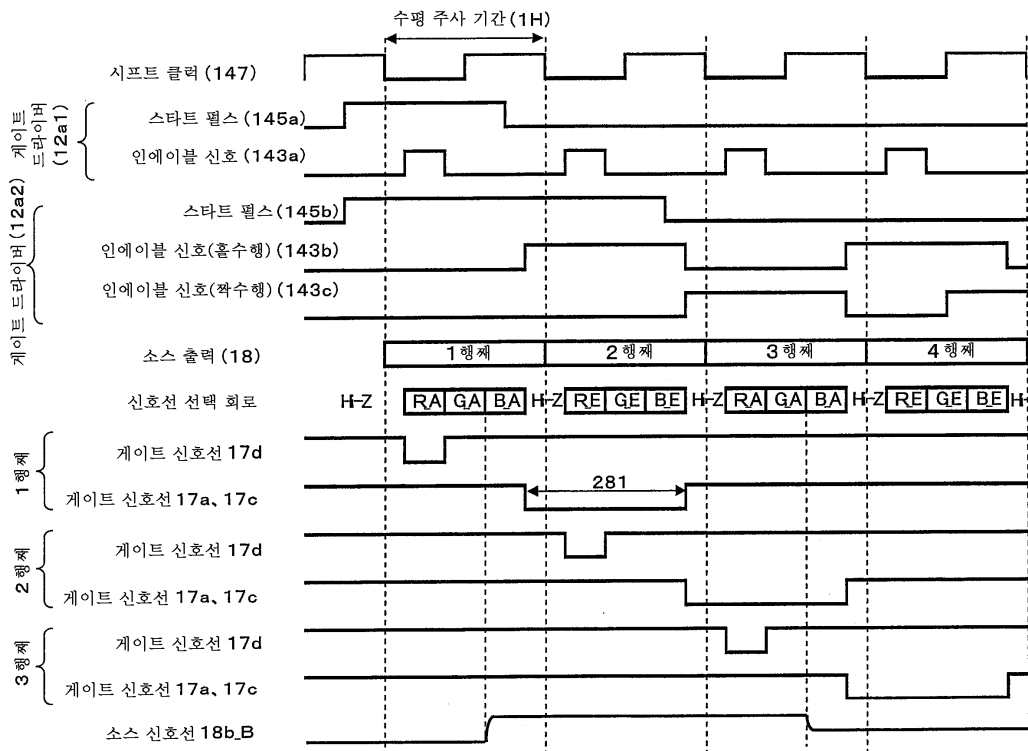
도면26



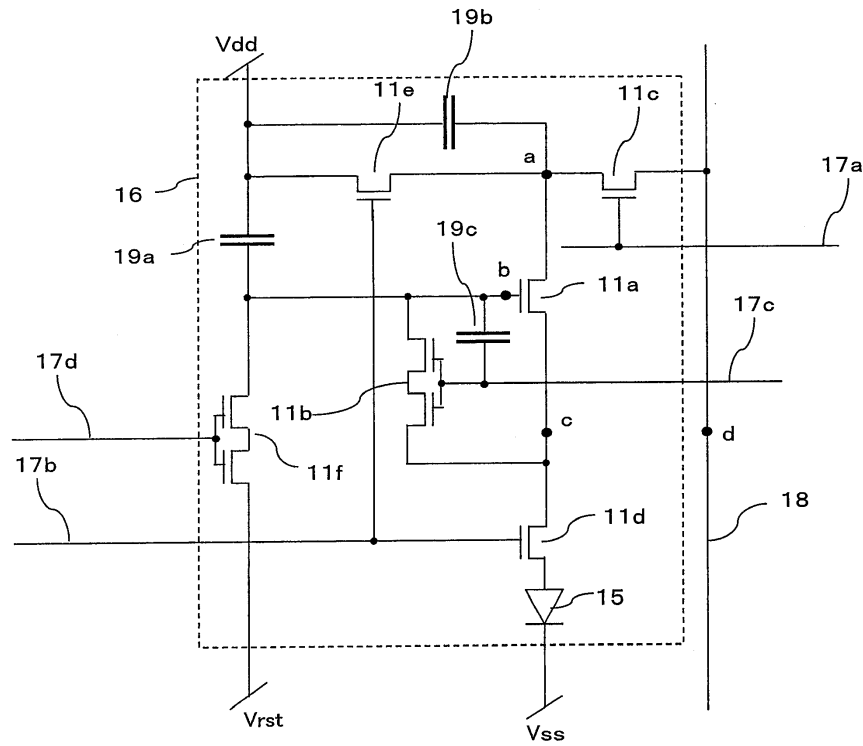
도면27



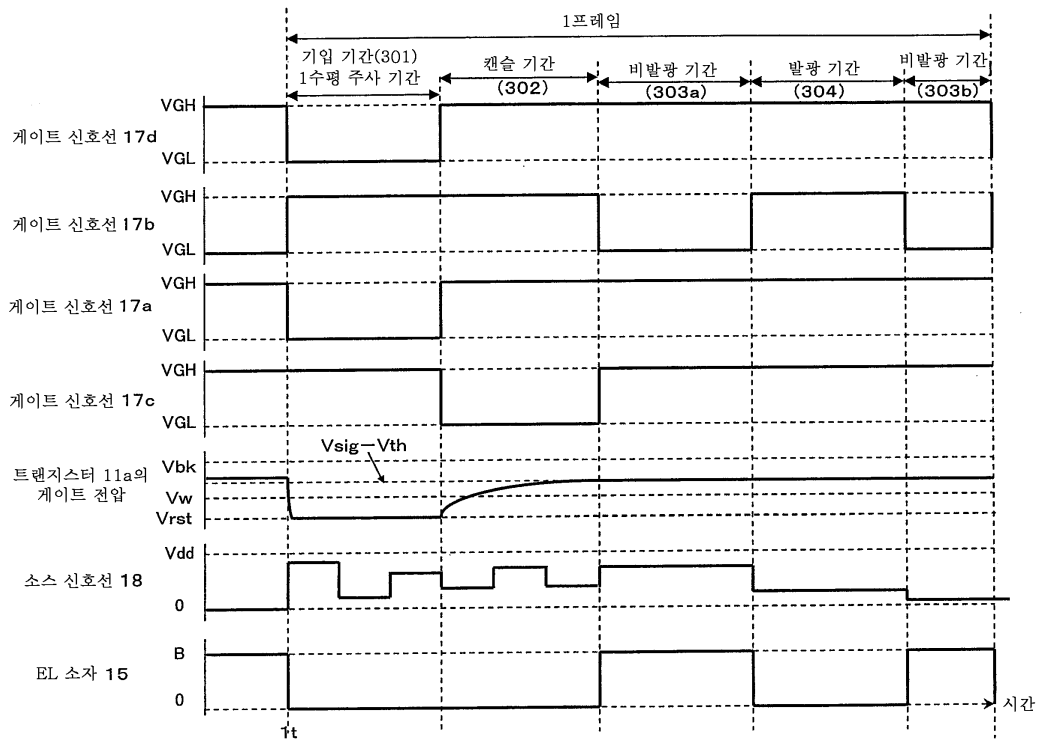
도면28



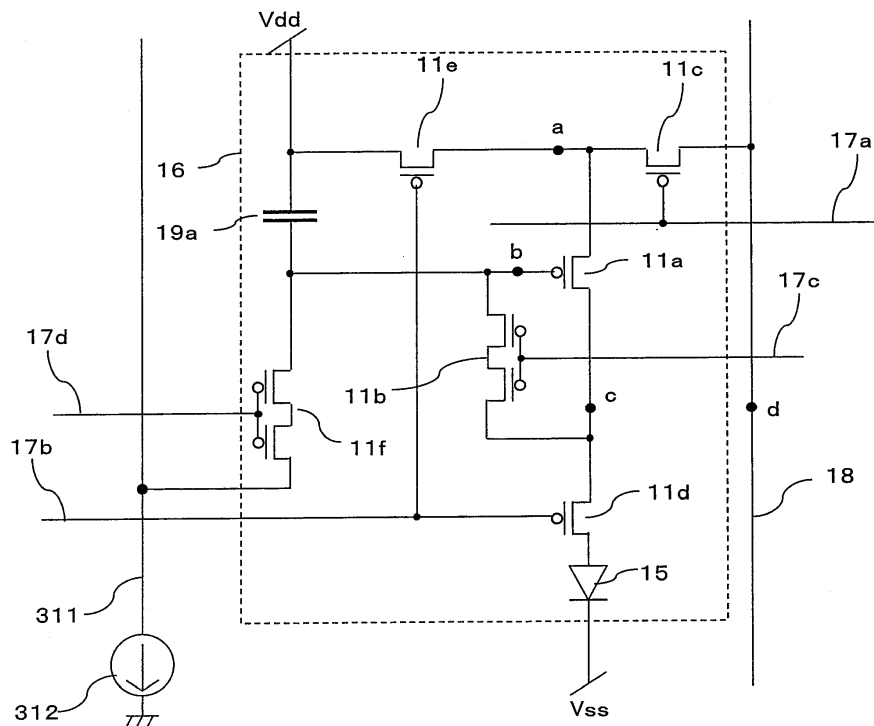
도면29



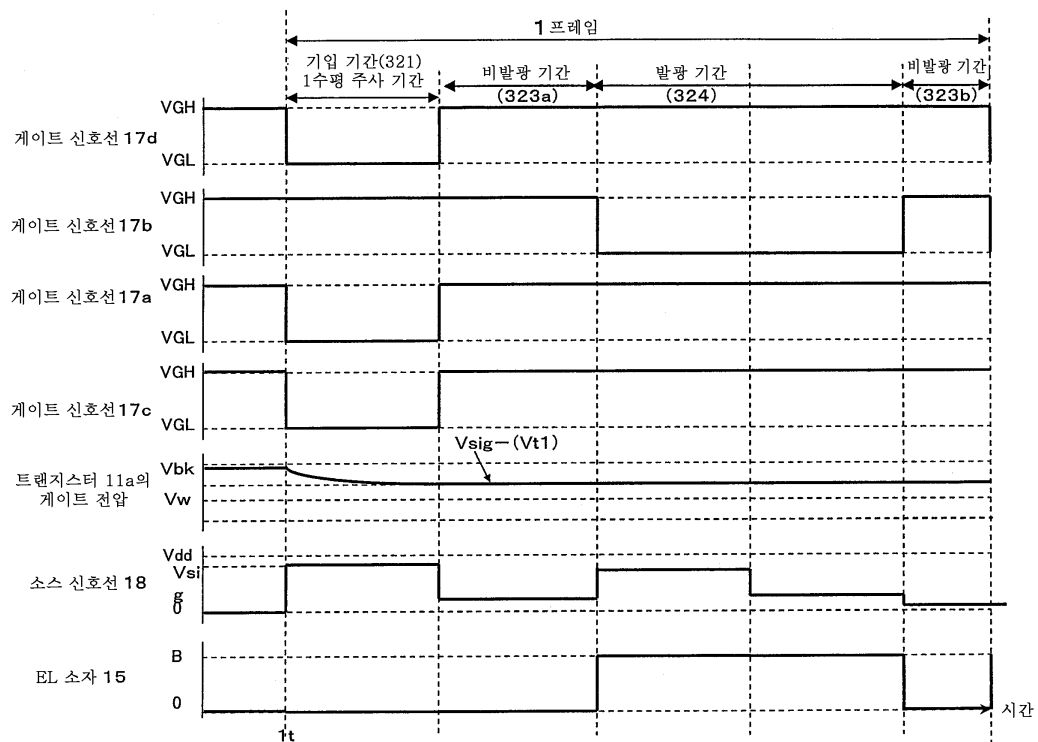
도면30



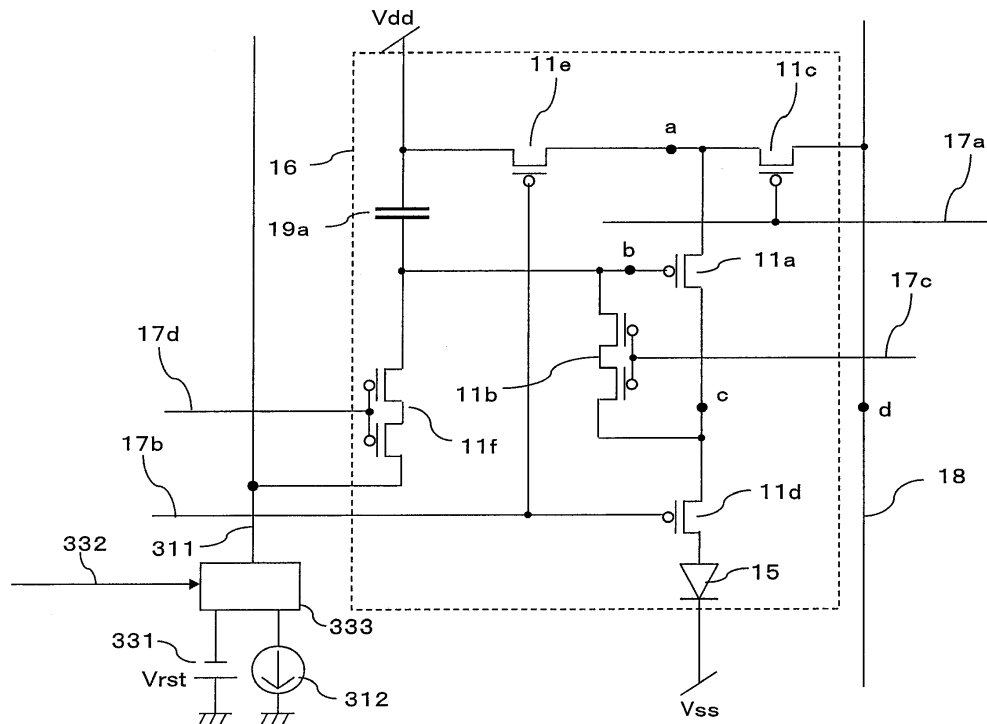
도면31



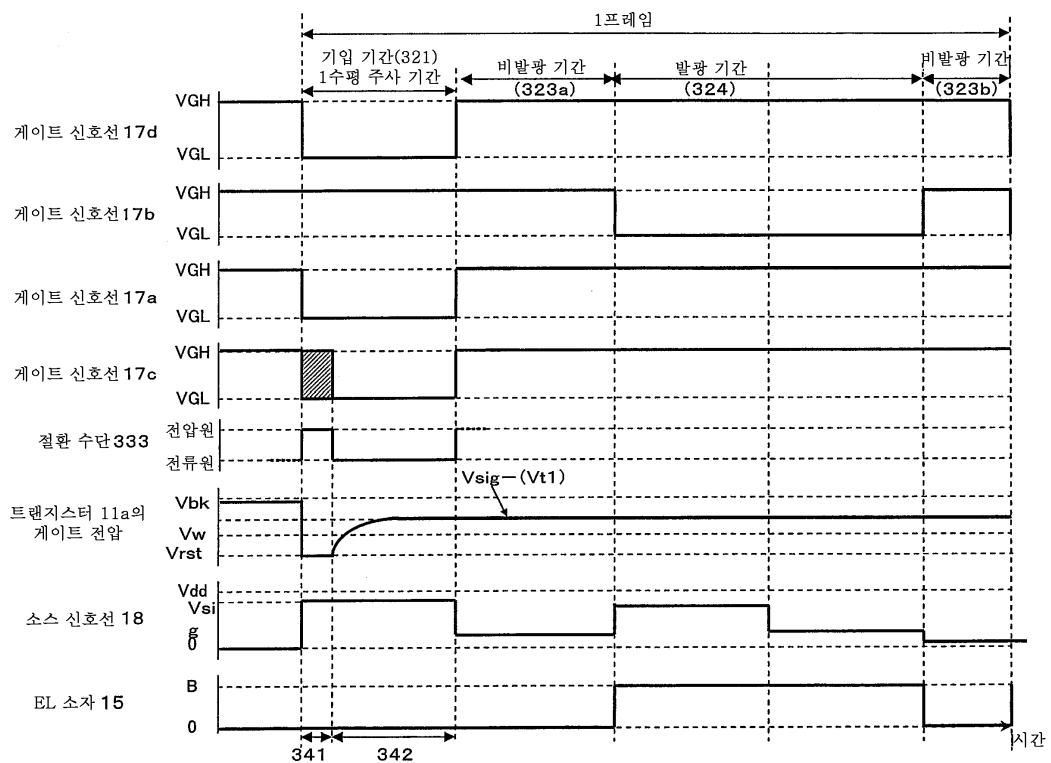
도면32



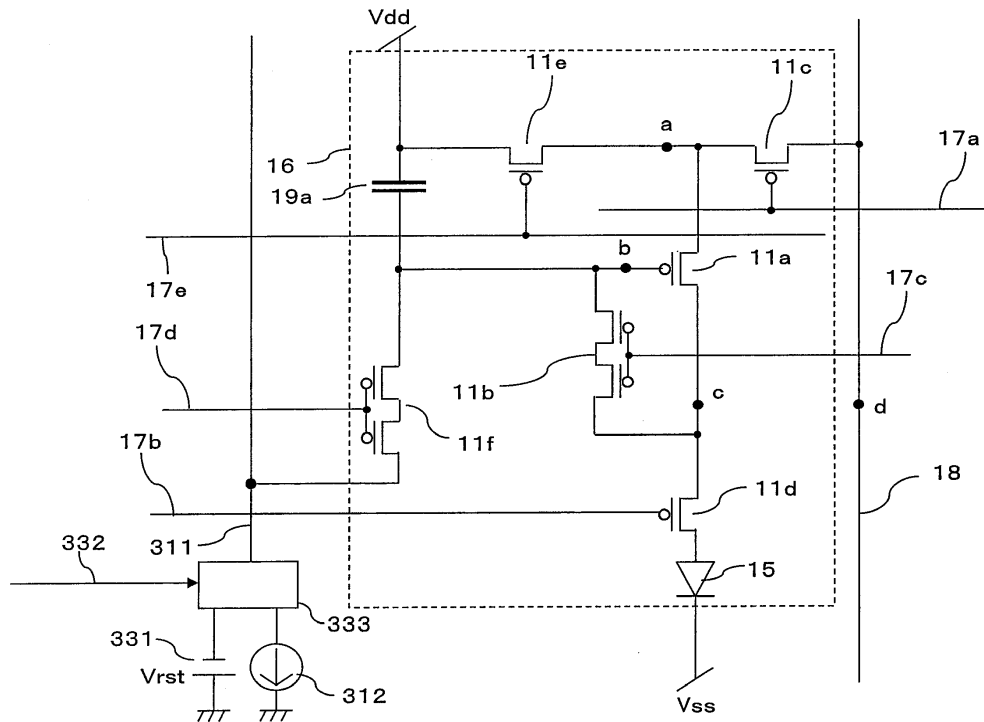
도면33



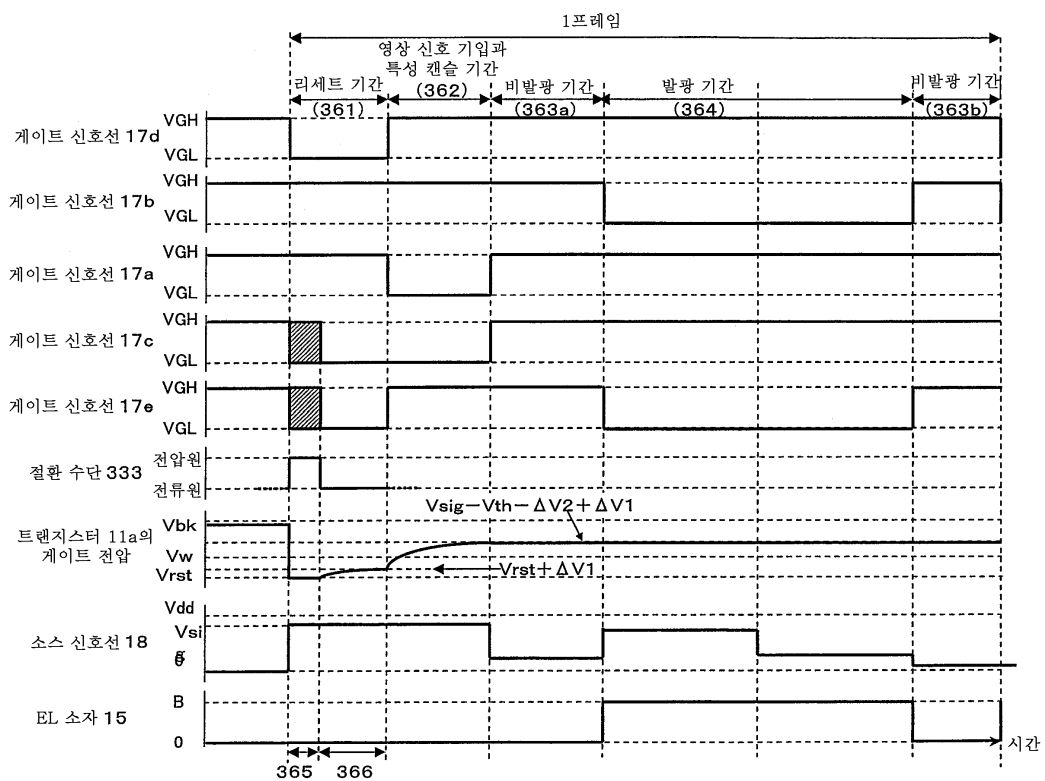
도면34



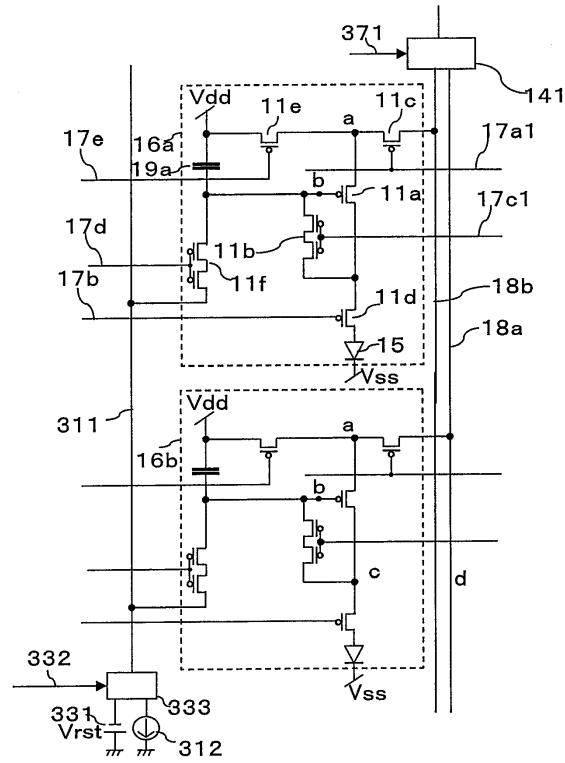
도면35



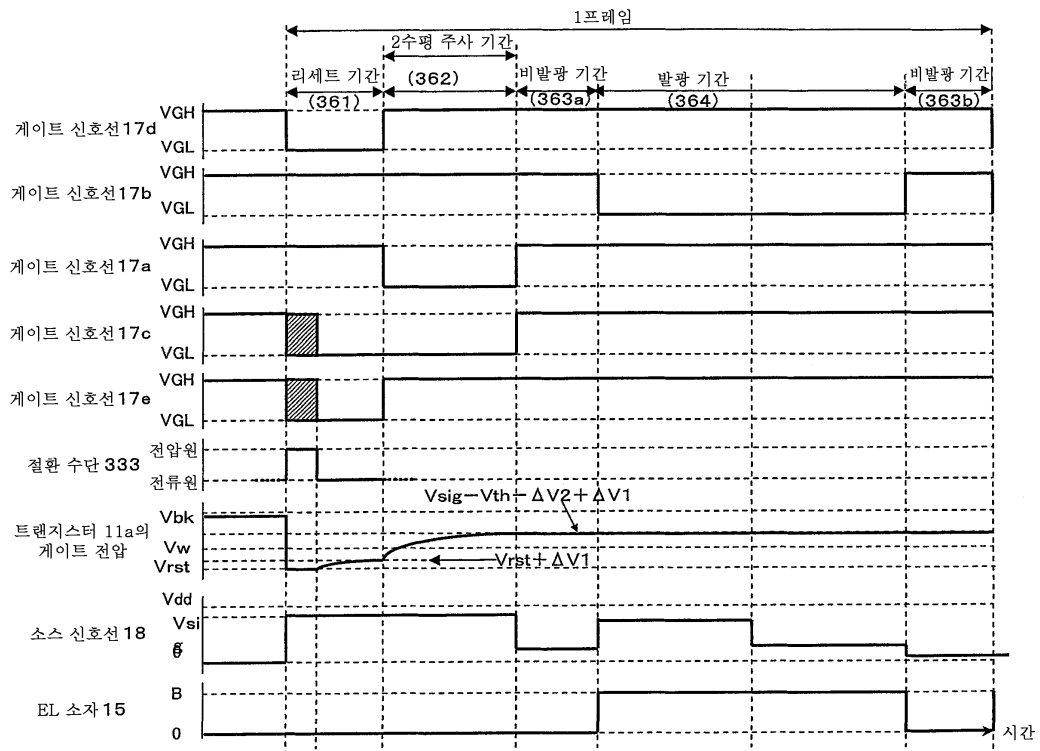
도면36



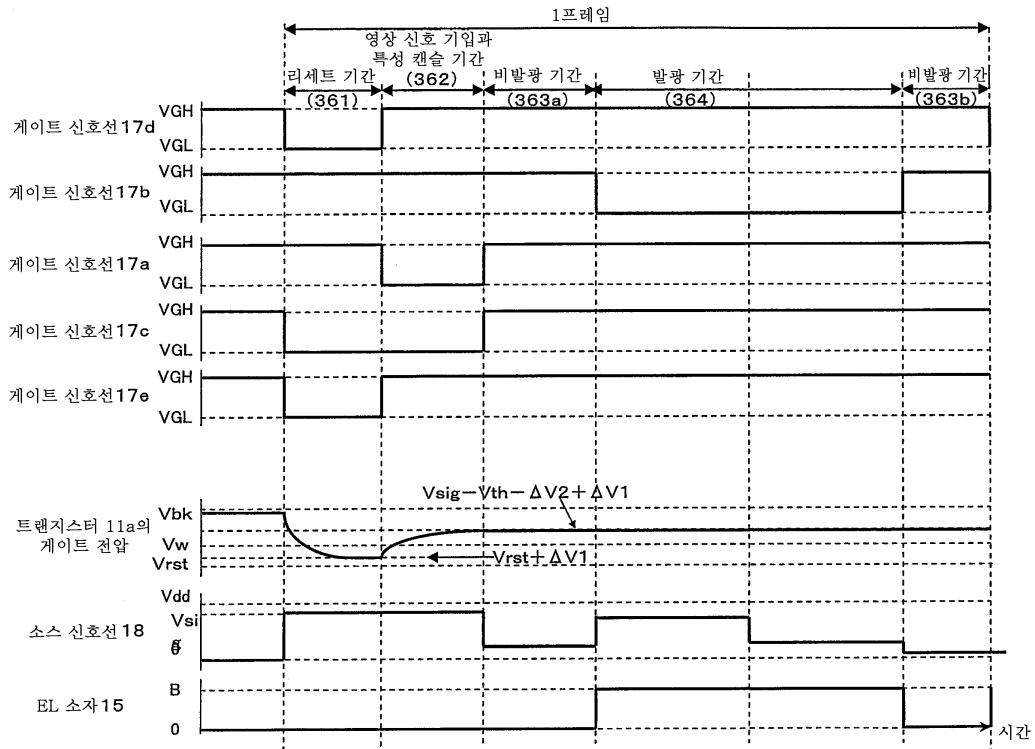
도면37



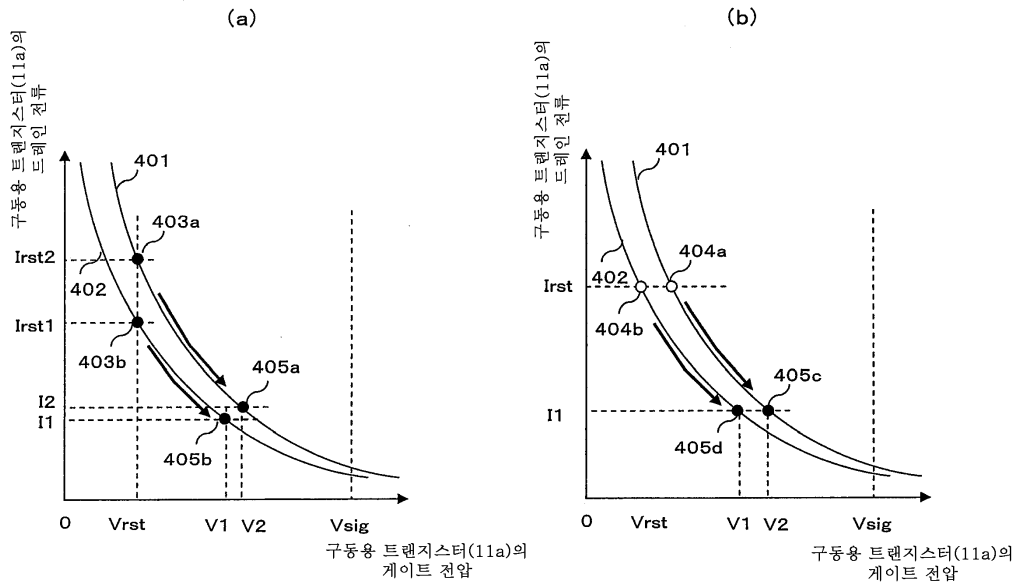
도면38



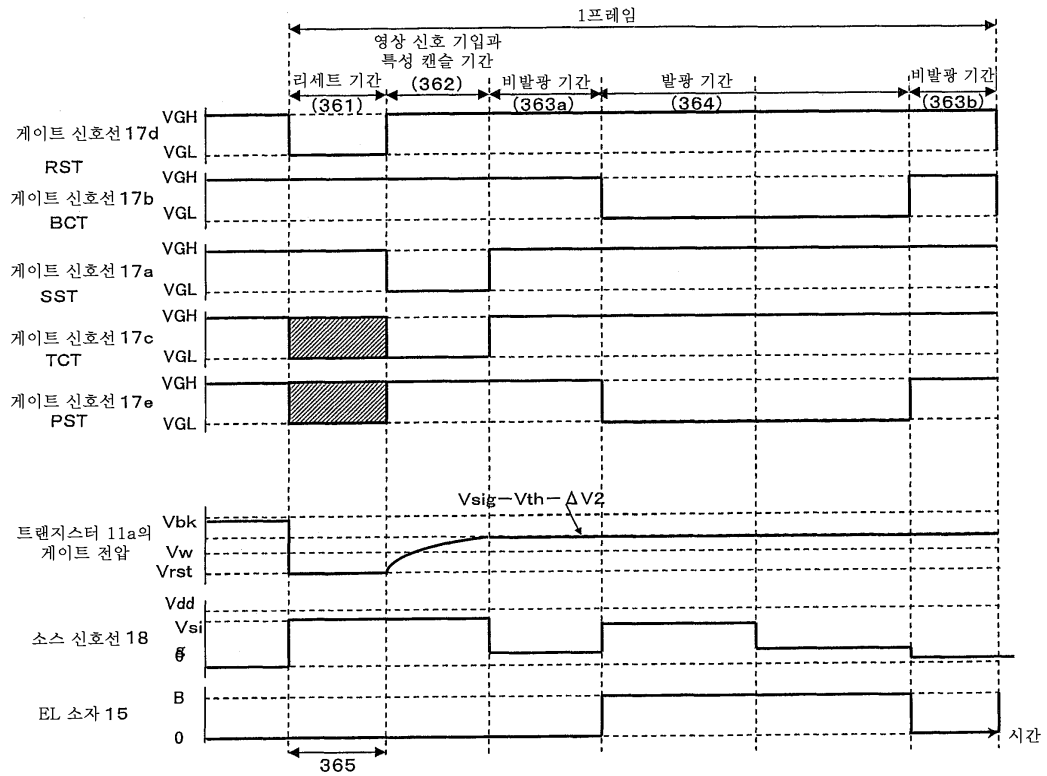
도면39



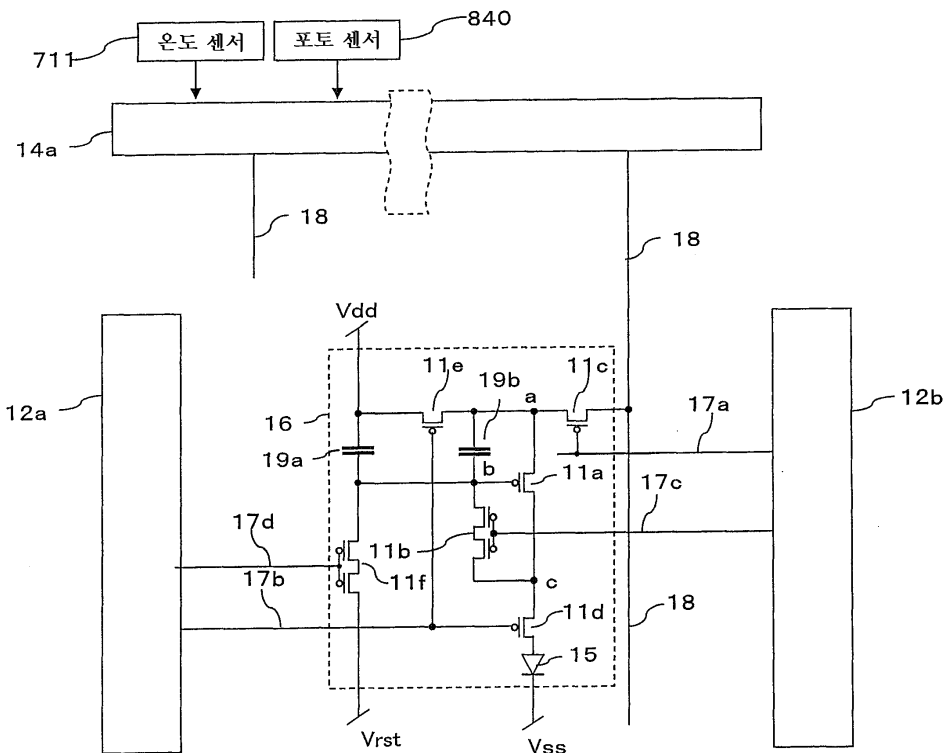
도면40



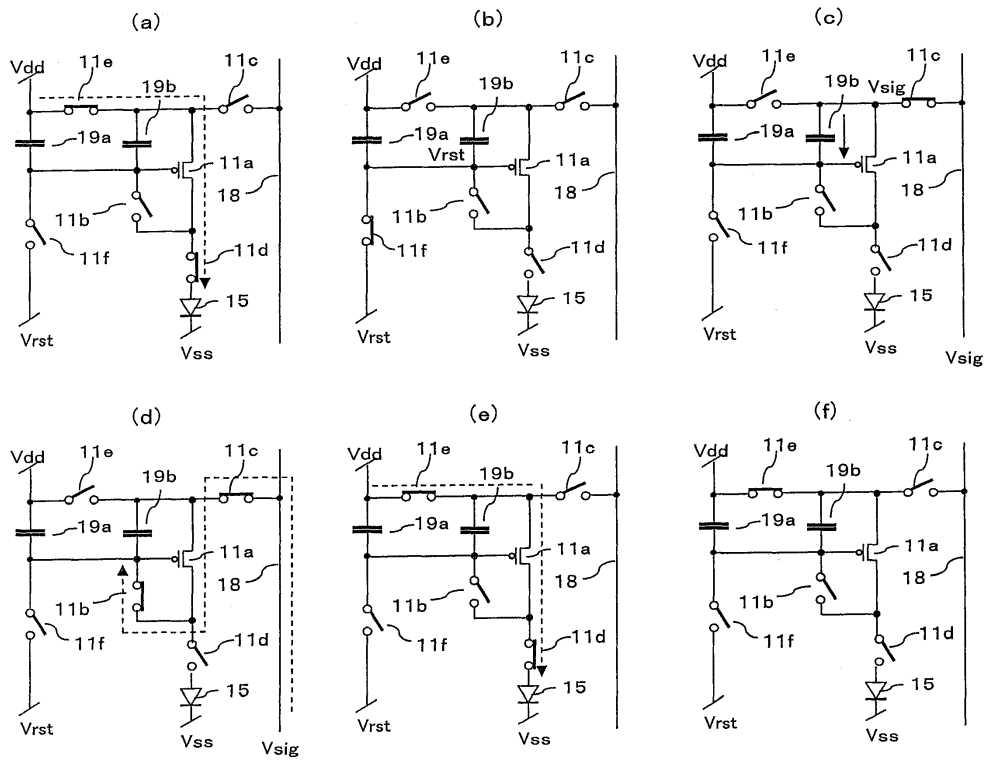
도면41



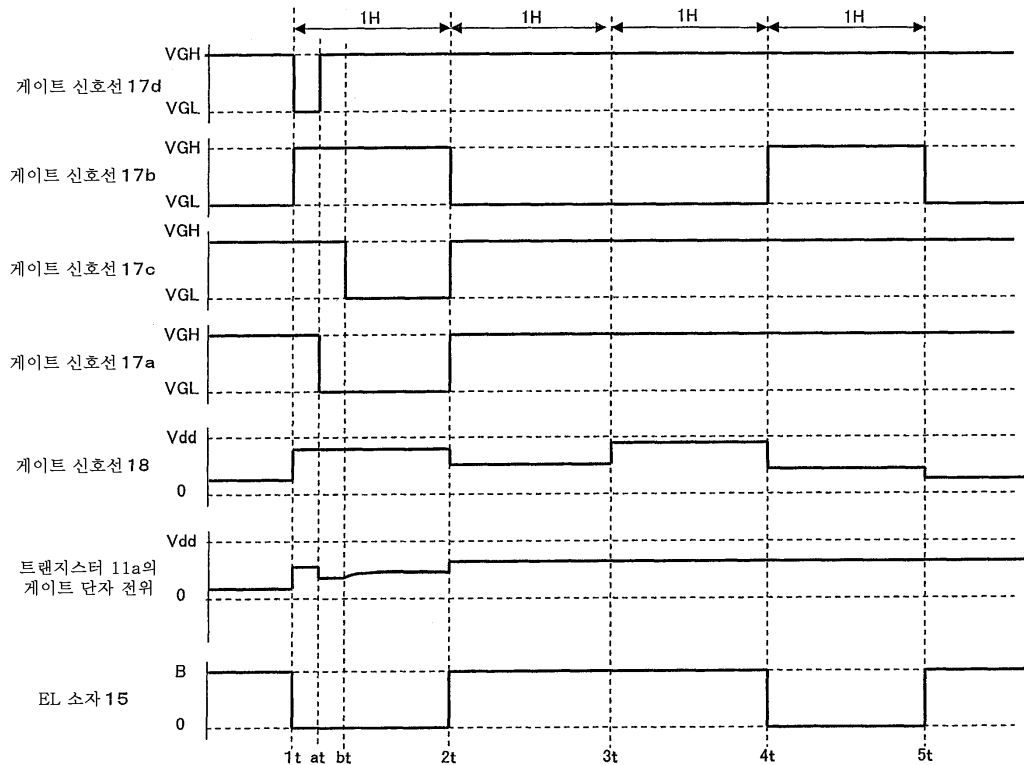
도면42



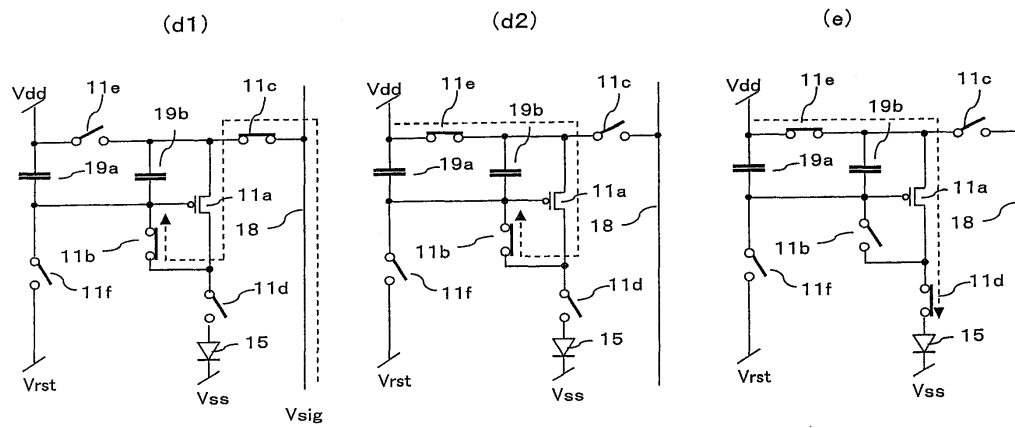
도면43



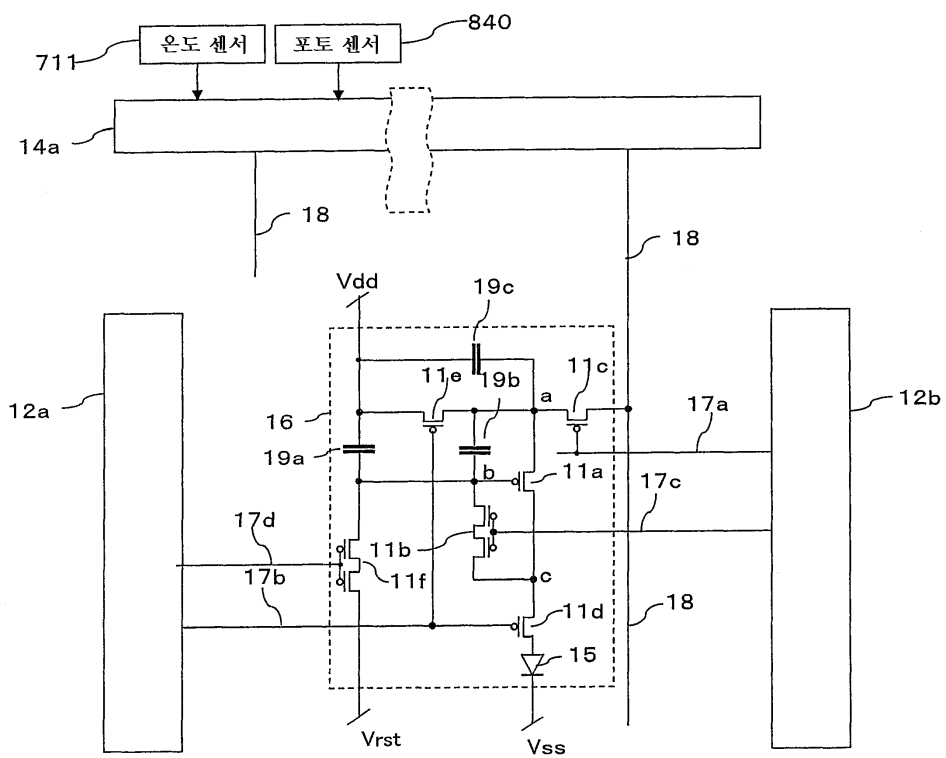
도면44



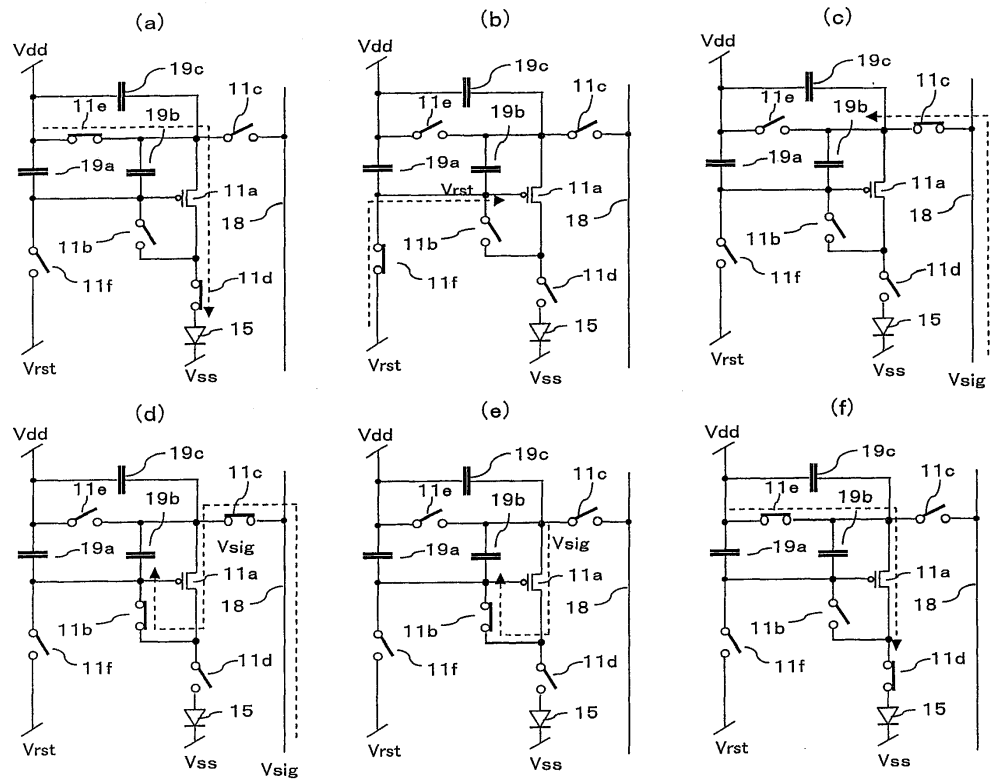
도면45



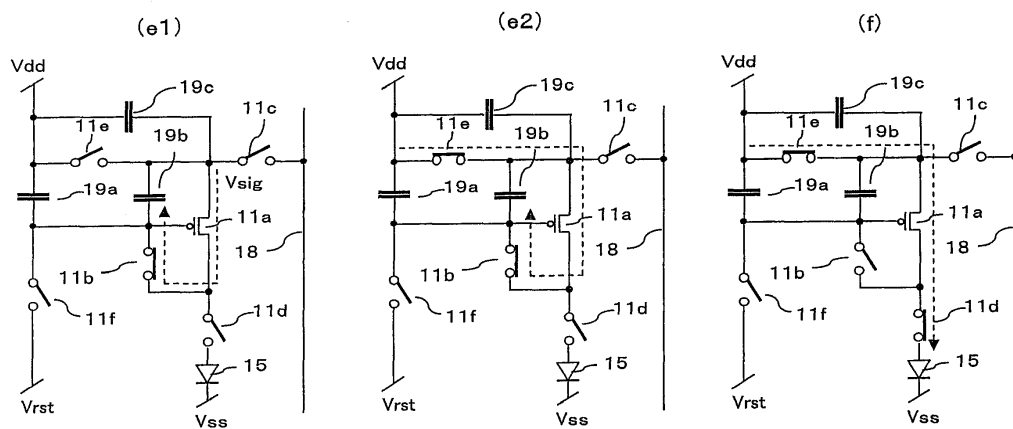
도면46



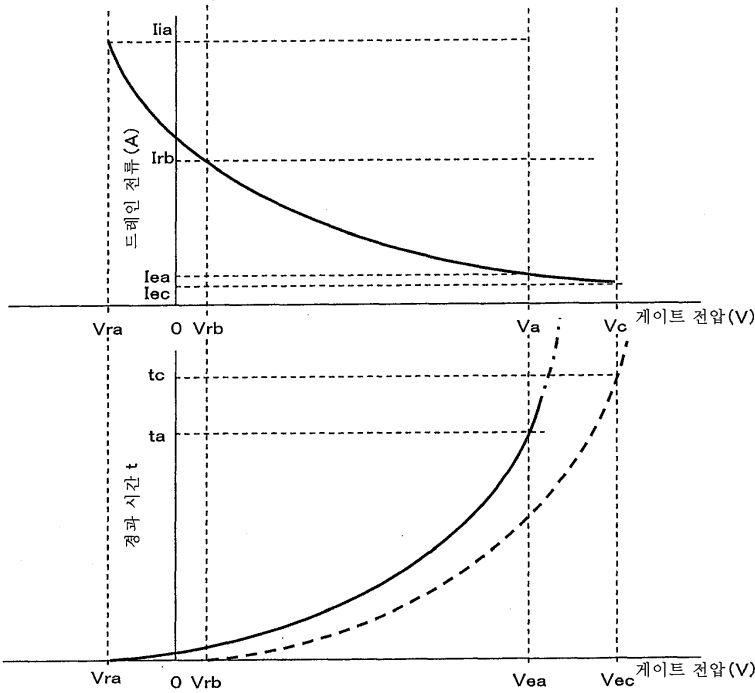
도면47



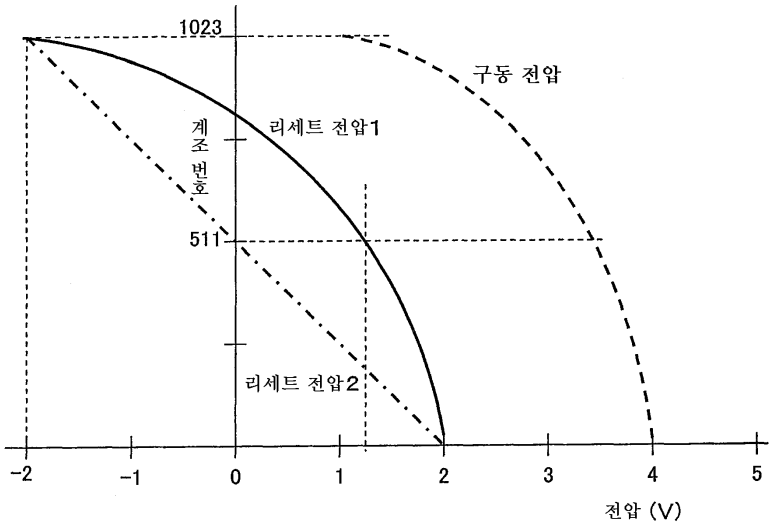
도면48



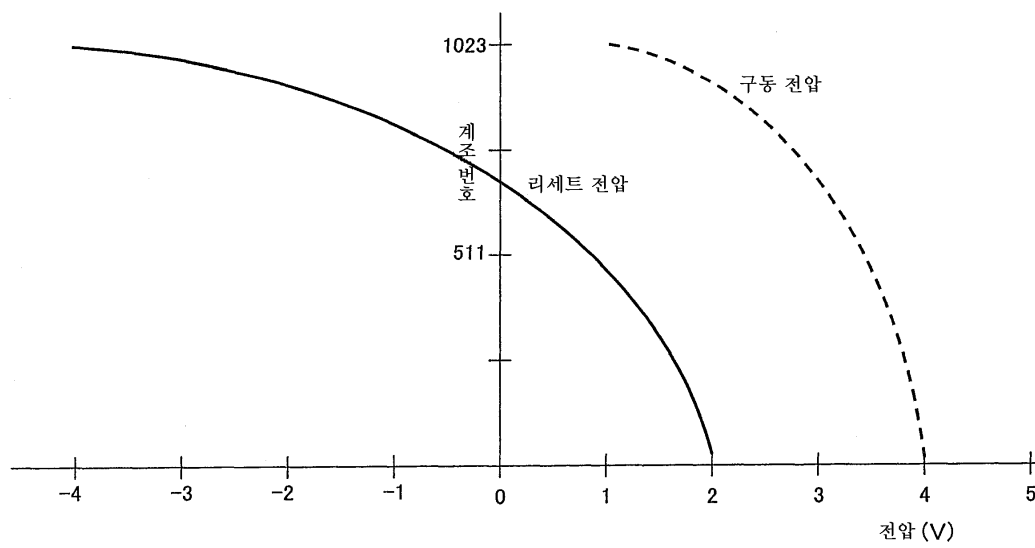
도면49



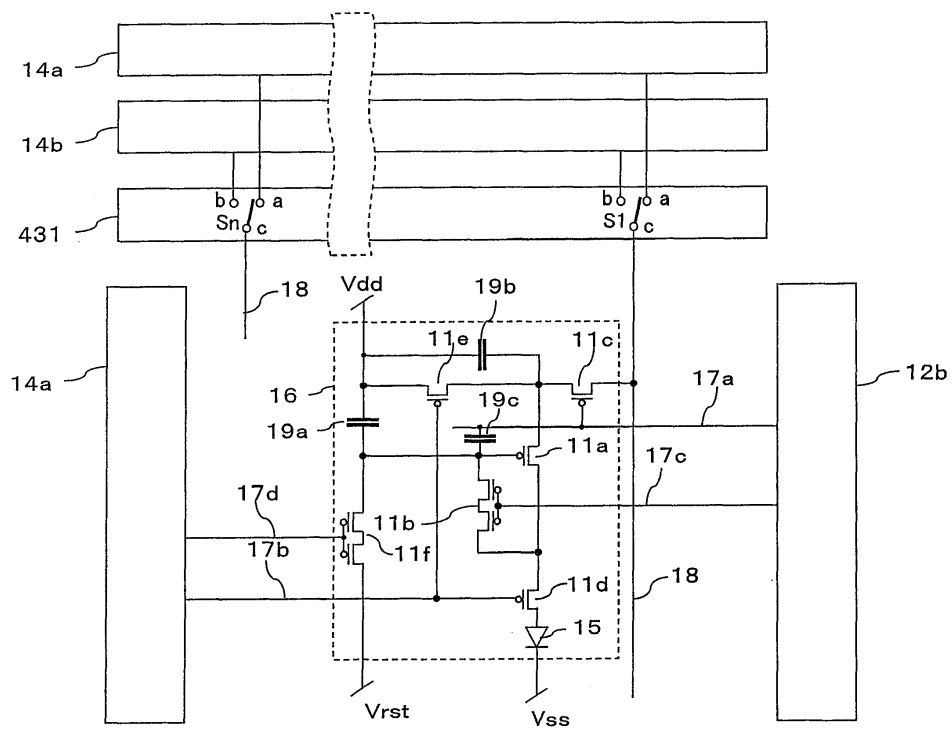
도면50



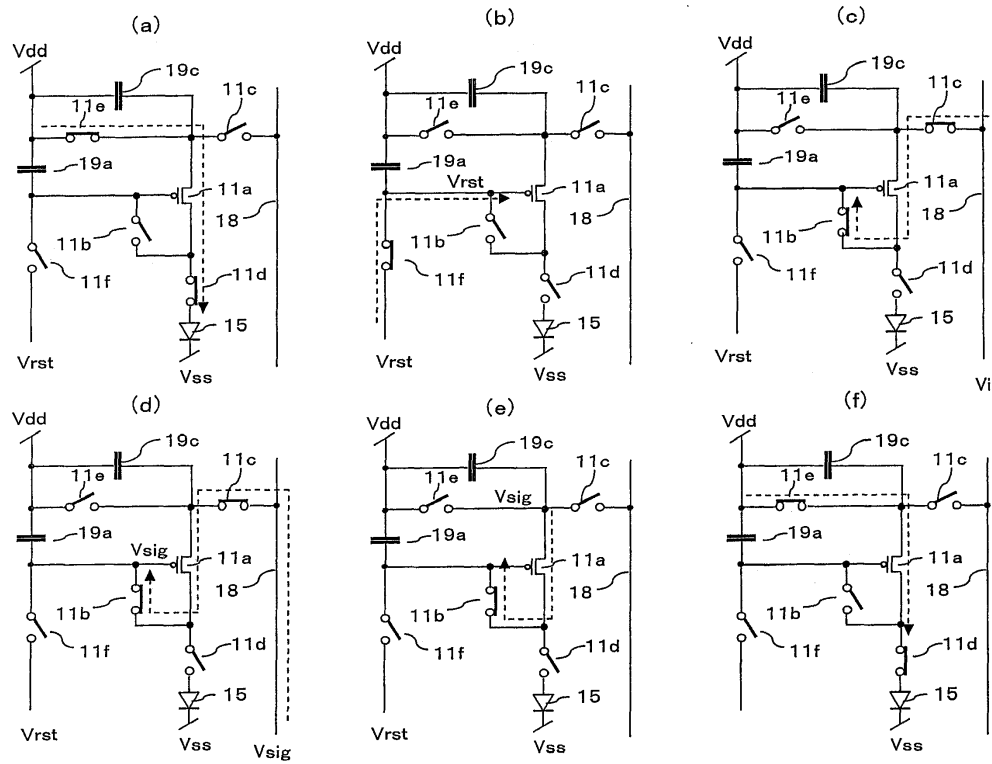
도면51



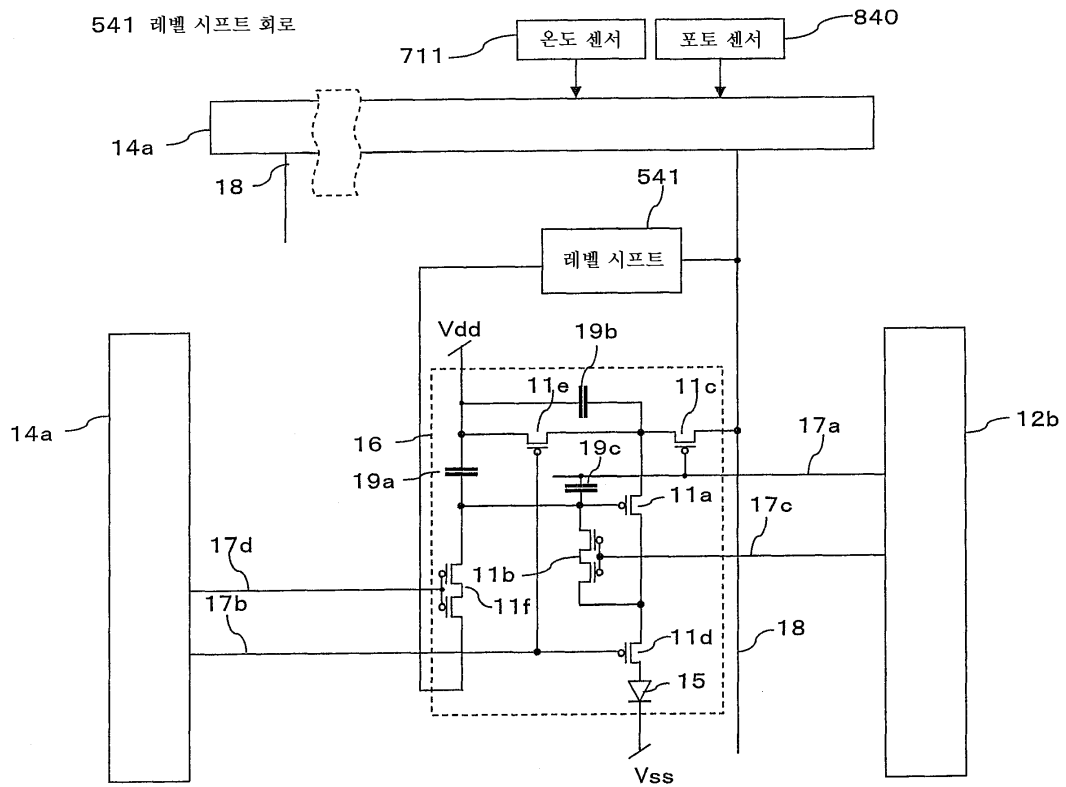
도면52



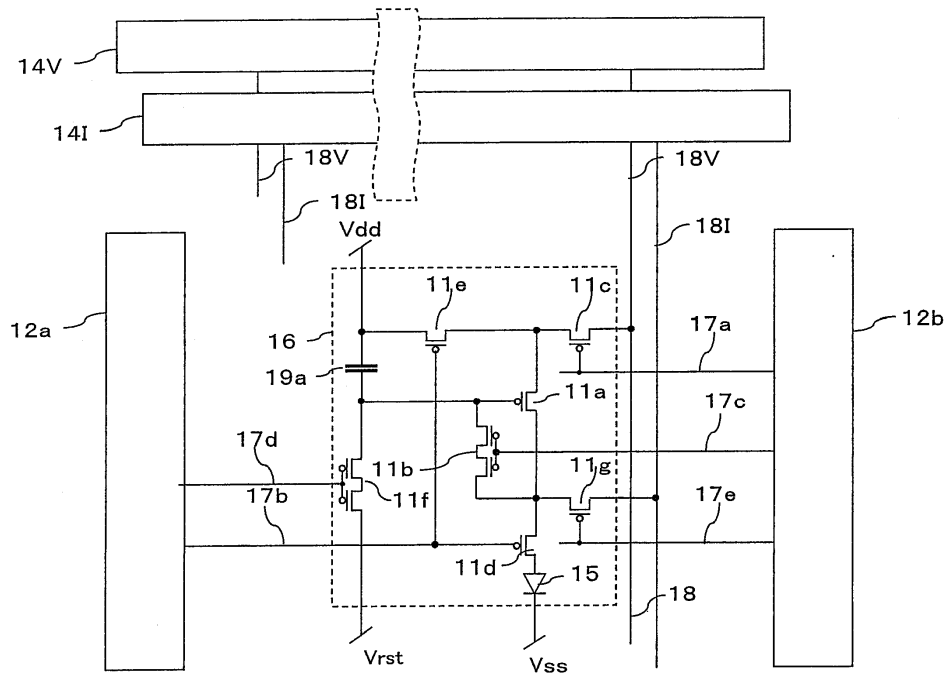
도면53



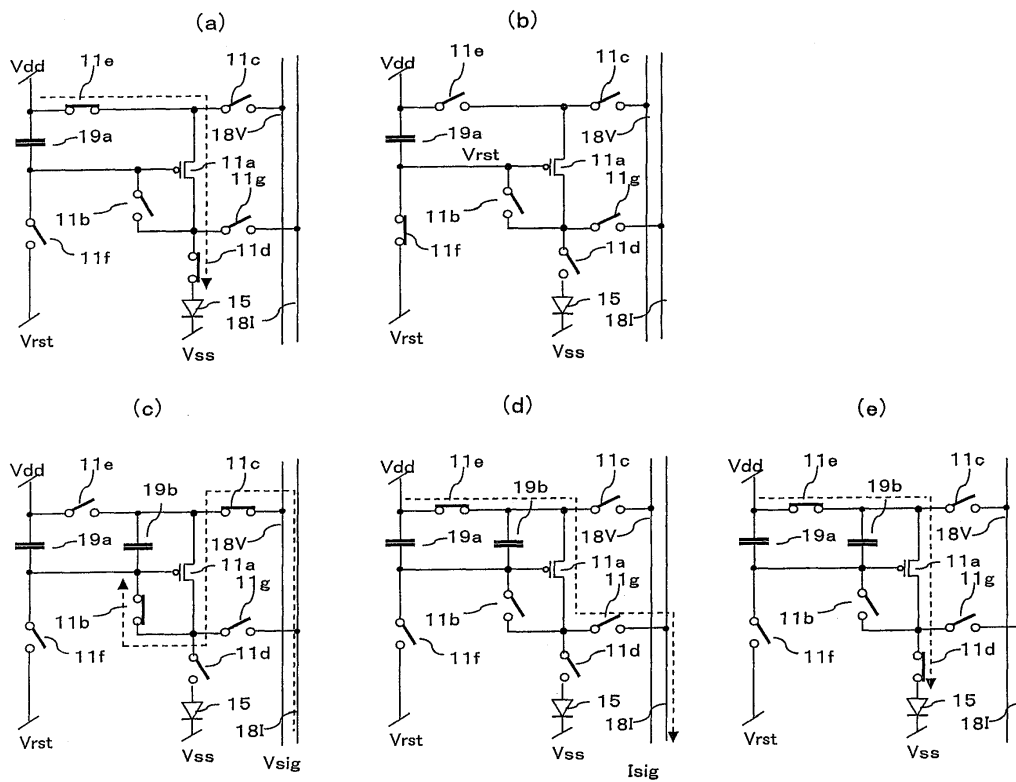
도면54



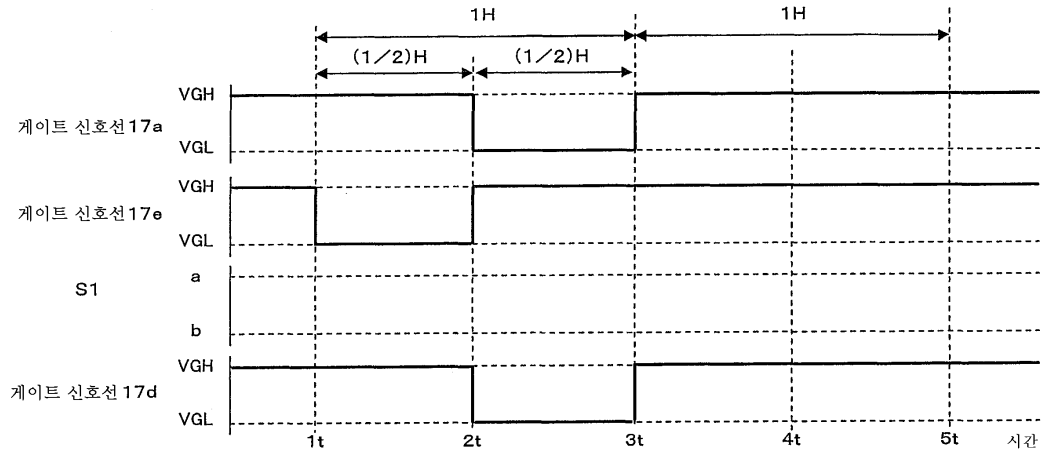
도면55



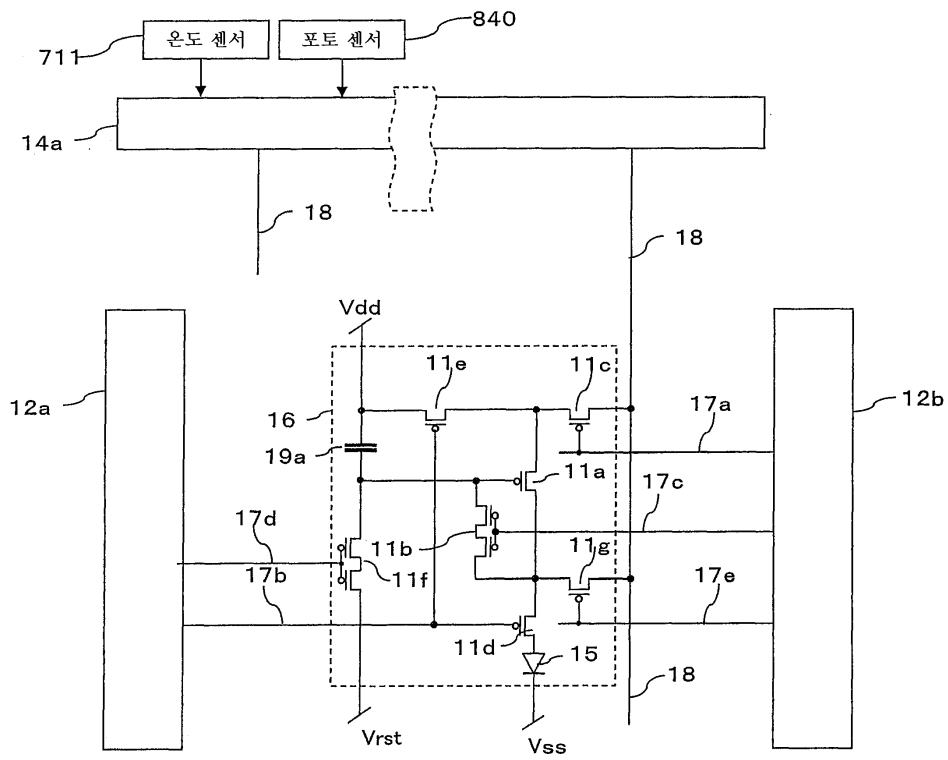
도면56



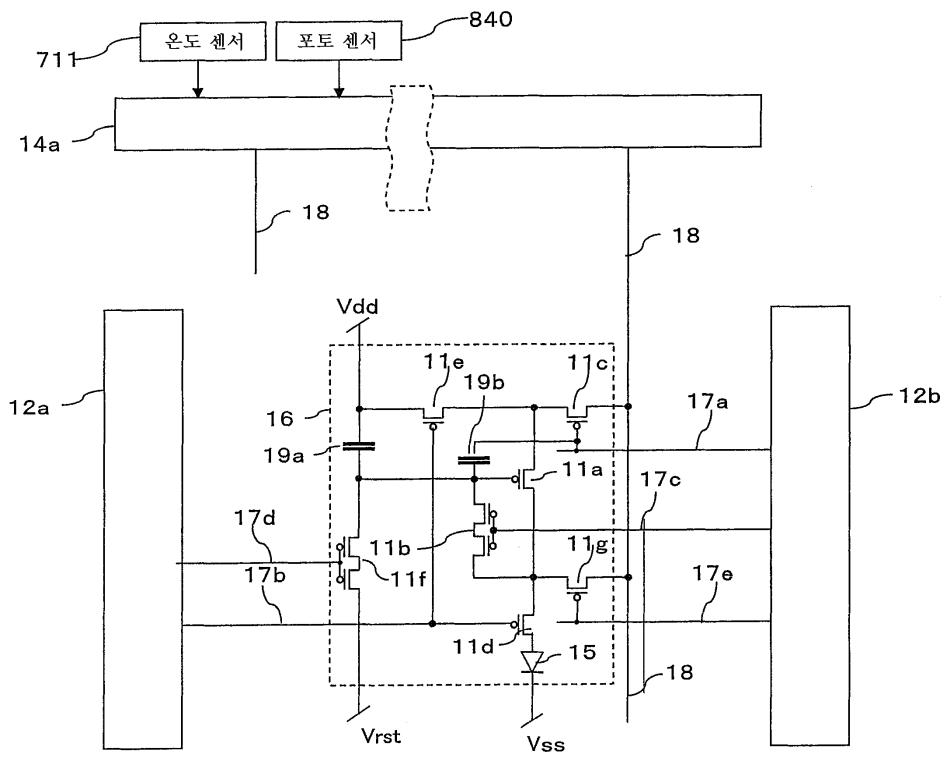
도면57



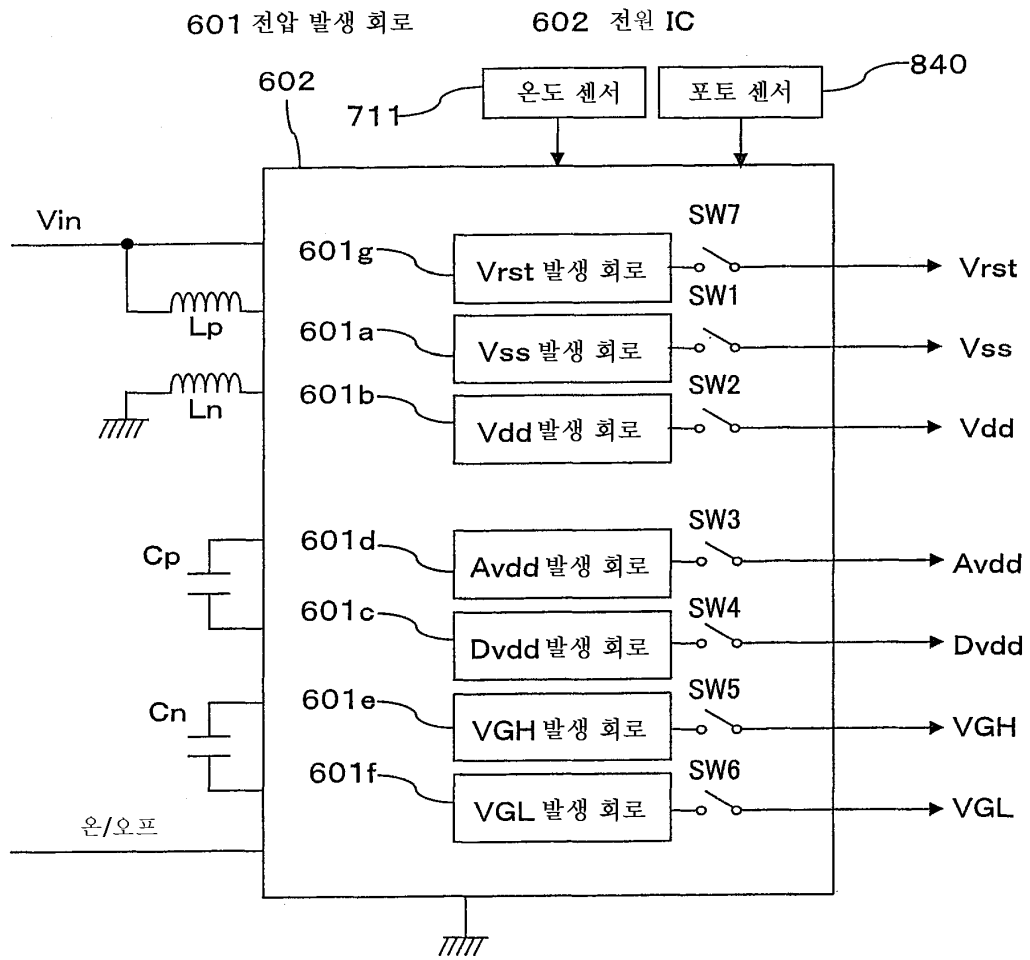
도면58



도면59

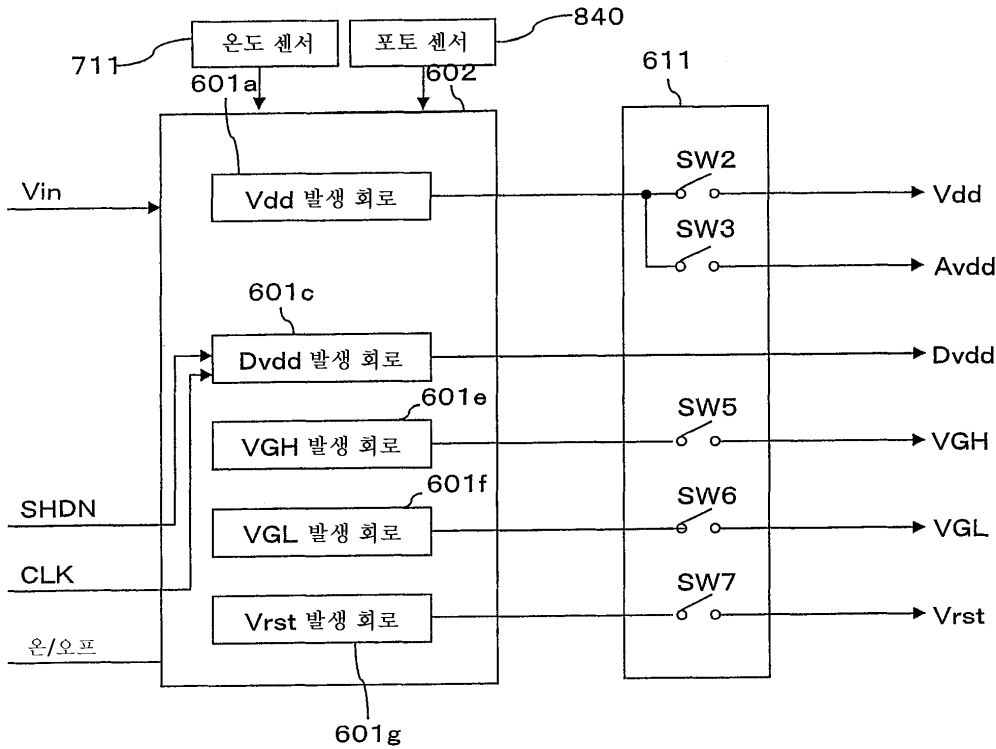


도면60



도면61

611 스위치 회로(오픈 회로)



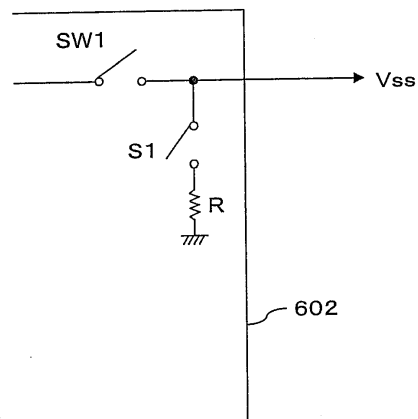
도면62

VGH		VGL		Vdd		Vss		Avdd		Vrst	
값	출력 전압 (V)	값	출력 전압 (V)	값	출력 전압 (V)	값	출력 전압 (V)	값	출력 전압 (V)	값	출력 전압 (V)
0	5.0	0	-2.5	0	5.0	0	-2.5	0	4.0	0	-1.0
1	5.5	1	-3.0	1	5.5	1	-3.0	1	4.5	1	-1.5
2	6.0	2	-3.5	2	6.0	2	-3.5	2	5.0	2	-2.0
3	6.5	3	-4.0	3	6.5	3	-4.0	3	5.5	3	-2.5
4	7.0	4	-4.5	4	7.0	4	-4.5	4	6.0	4	-3.0
5	7.5	5	-5.0	5	7.5	5	-5.0	5	6.5	5	-3.5
6	8.0	6	-5.5	6	8.0	6	-5.5	6	7.0	6	-4.0
7	8.5	7	-6.0	7	8.5	7	-6.0	7	7.5	7	-4.5

도면63

MODE	ON2	ON1	AVdd	VGH	VGL	Vrst	Vdd	Vss
0	0	0	○	○	○	○	○	○
1	0	1	x	x	x	x	○	○
2	1	0	x	x	x	x	x	x
3	1	1	x	x	x	x	x	x

도면64



도면65

TEST	AVdd	VGH	VGL	Vrst	Vdd	Vss	방전
0	○	○	○	○	○	○	온
1	○	○	○	○	x	x	오프
2	○	○	○	○	○	x	오프
3	x	x	x	x	x	x	오프

도면66

FL	주파수 (MHZ)
0	0. 6
1	1. 2
2	1. 8

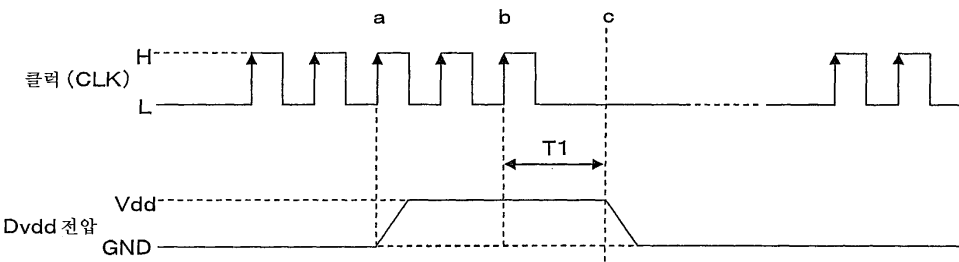
도면67

MODE	ON2	ON1	AVdd	VGH	VGL	Vrst	Vdd	Vss	비고
0	0	0	x	x	x	x	x	x	
1	0	1	○	○	○	○	x	x	
2	1	0	○	○	○	○	○	○	MODE1→MODE3
3	1	1	○	○	○	○	○	○	MODE1→MODE3

도면68

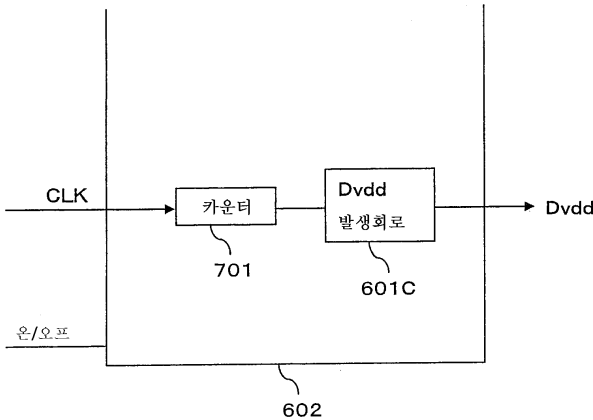
TEST	AVdd	VGH	VGL	Vrst	Vdd	Vss	방전
0	○	○	○	○	○	○	온
1	○	○	○	○	x	x	오프
2	○	○	○	○	○	x	오프
3	○	x	x	x	x	x	온

도면69

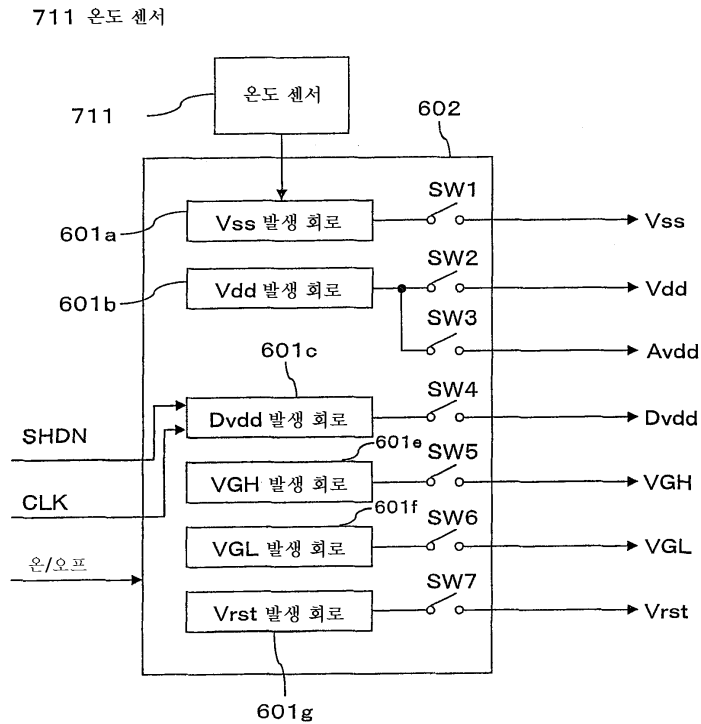


도면70

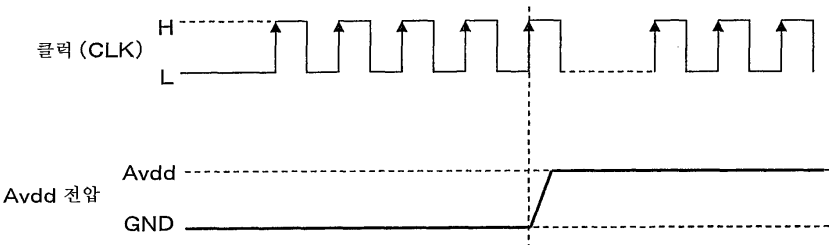
701 카운터



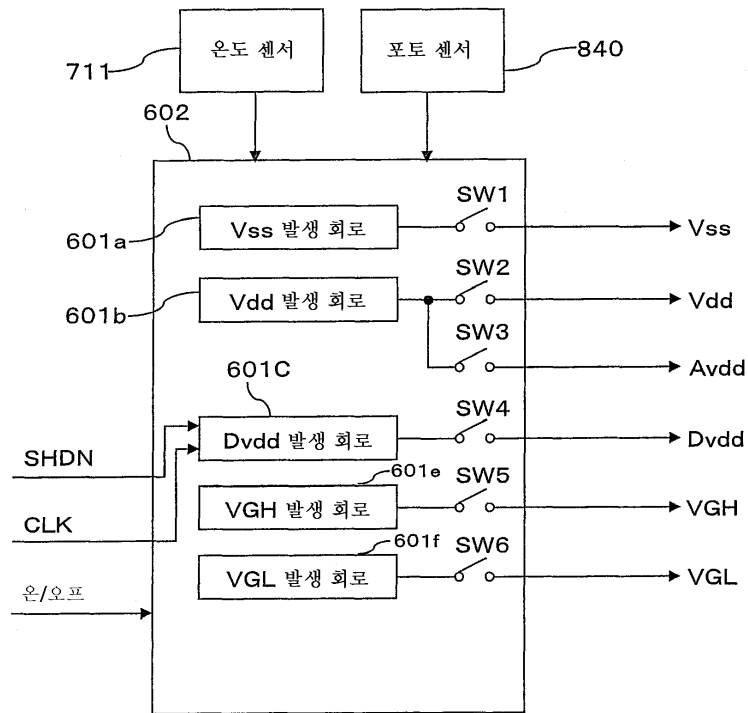
도면71



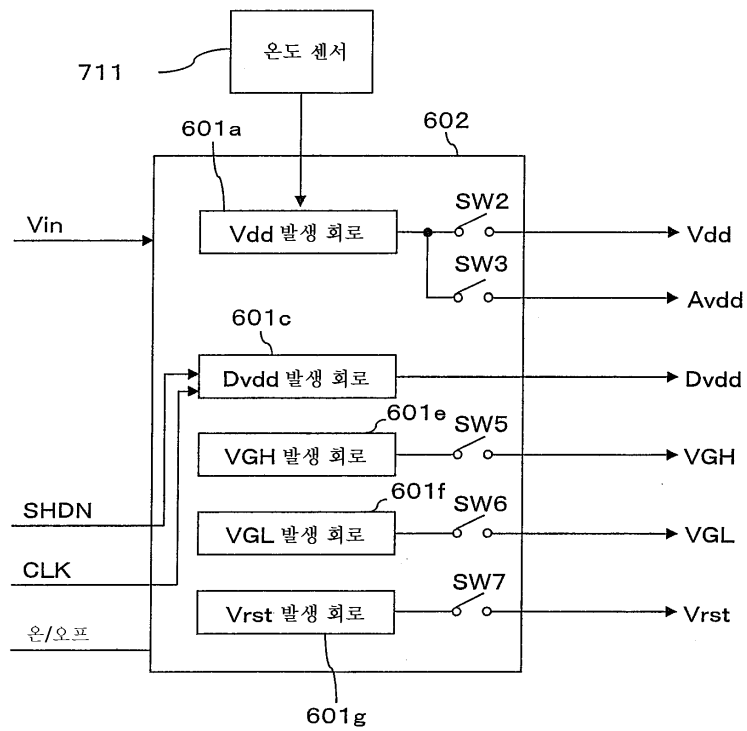
도면72



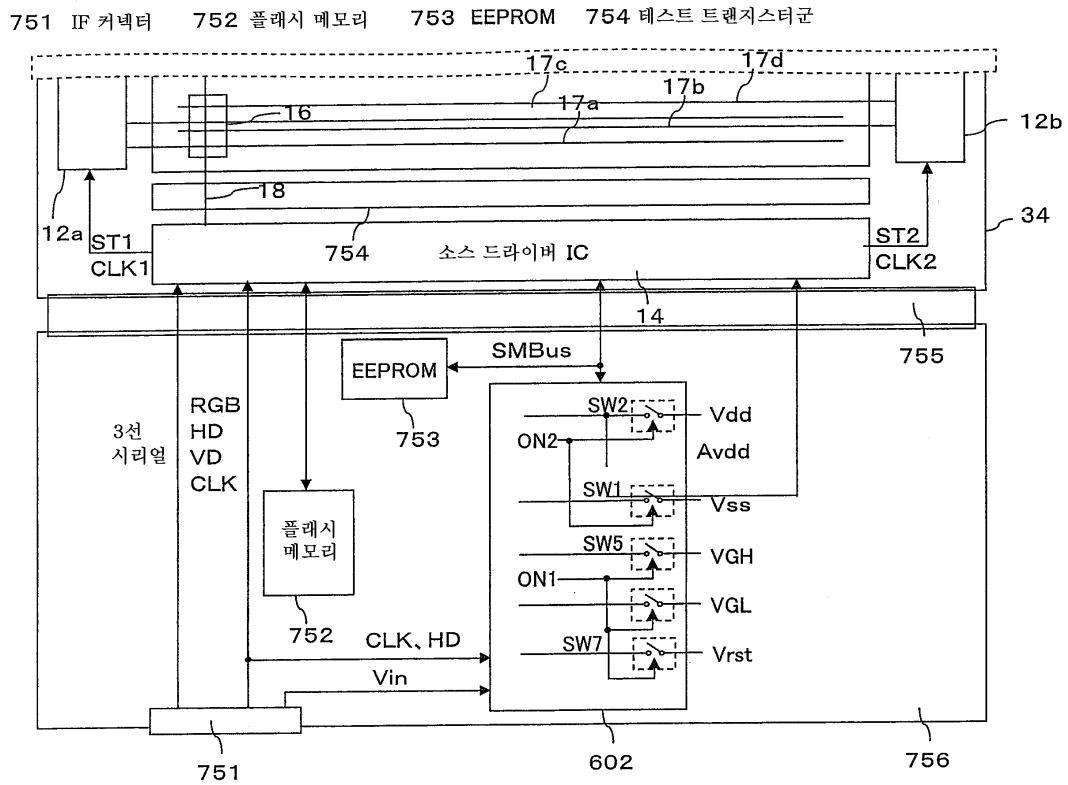
도면73



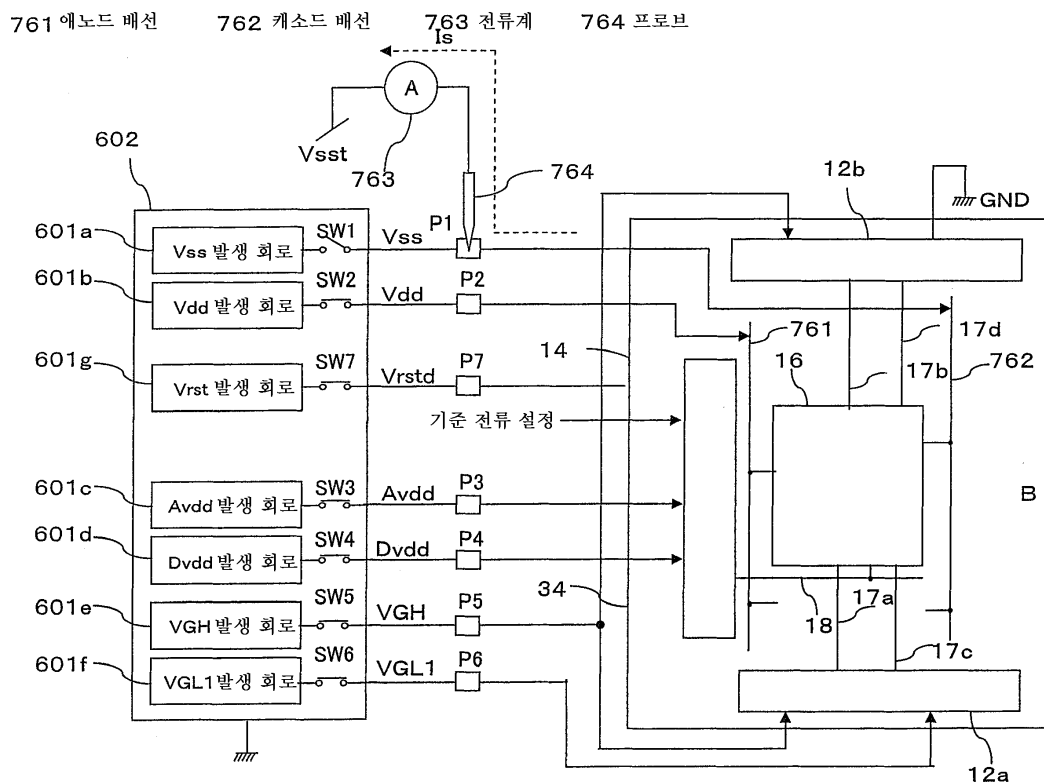
도면74



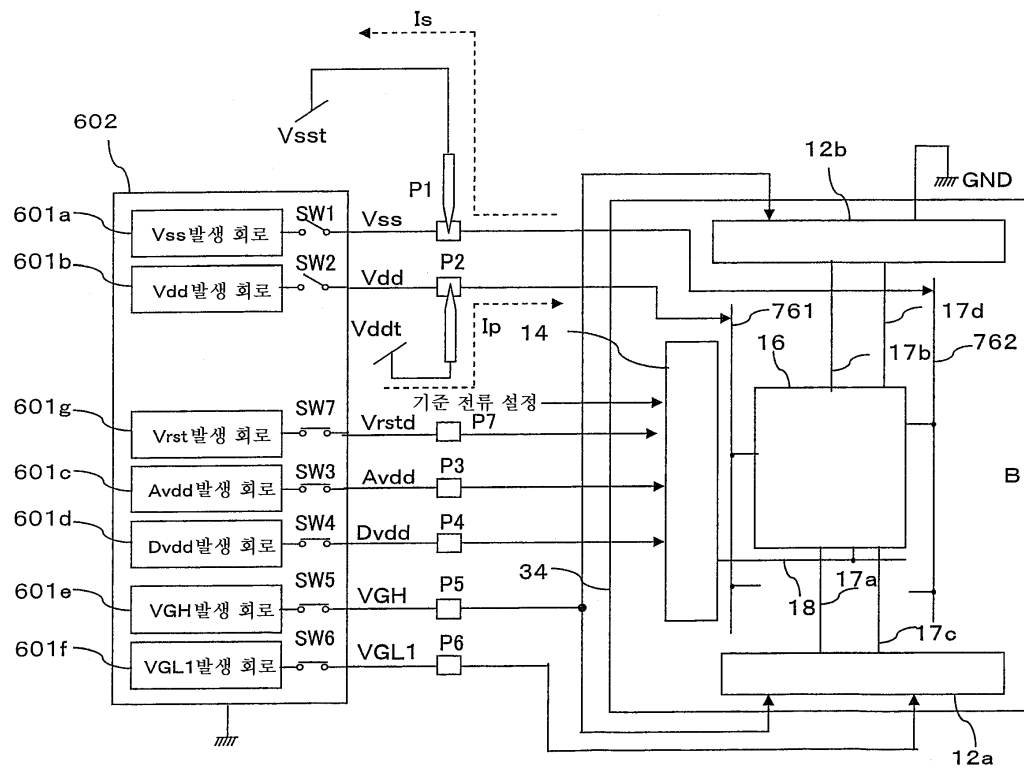
도면75



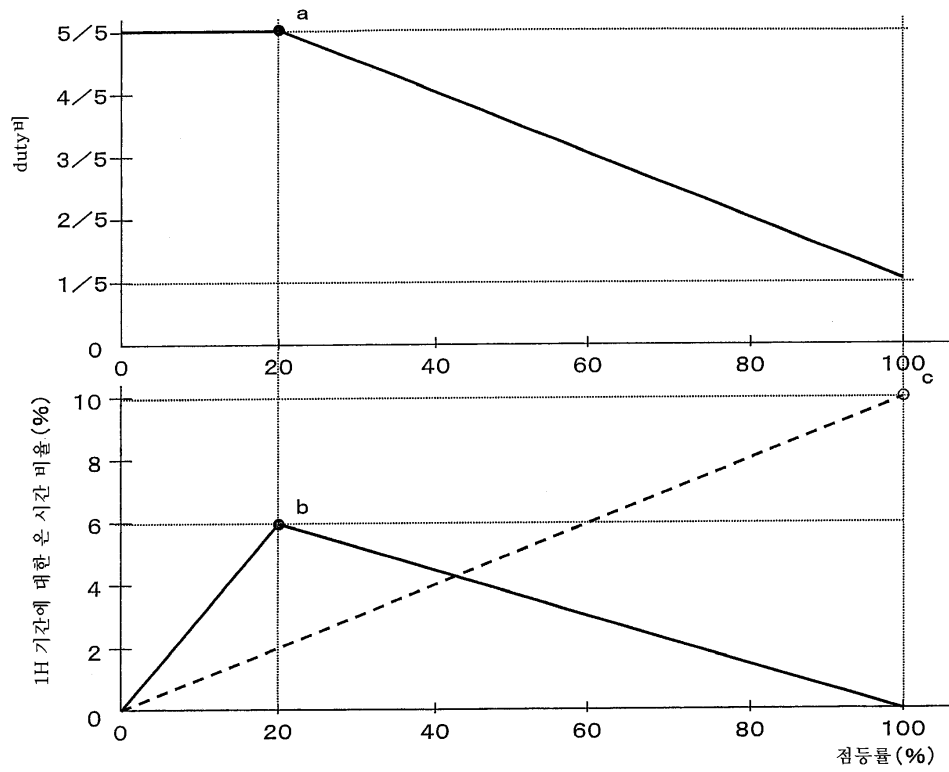
도면76



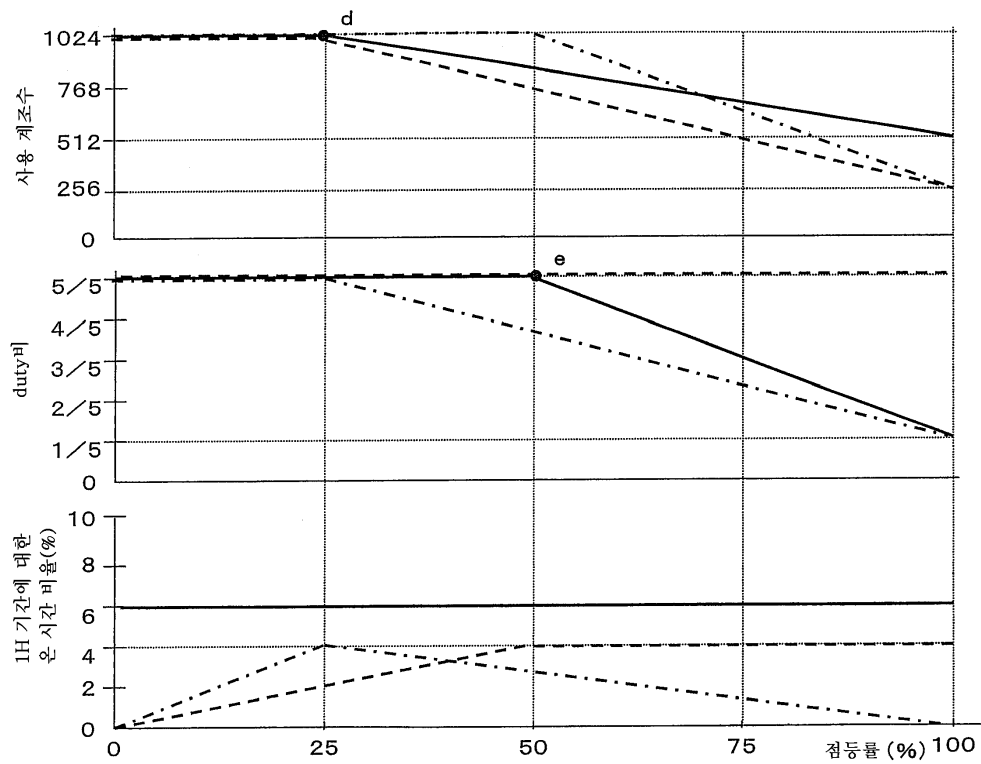
도면77



도면78



도면79

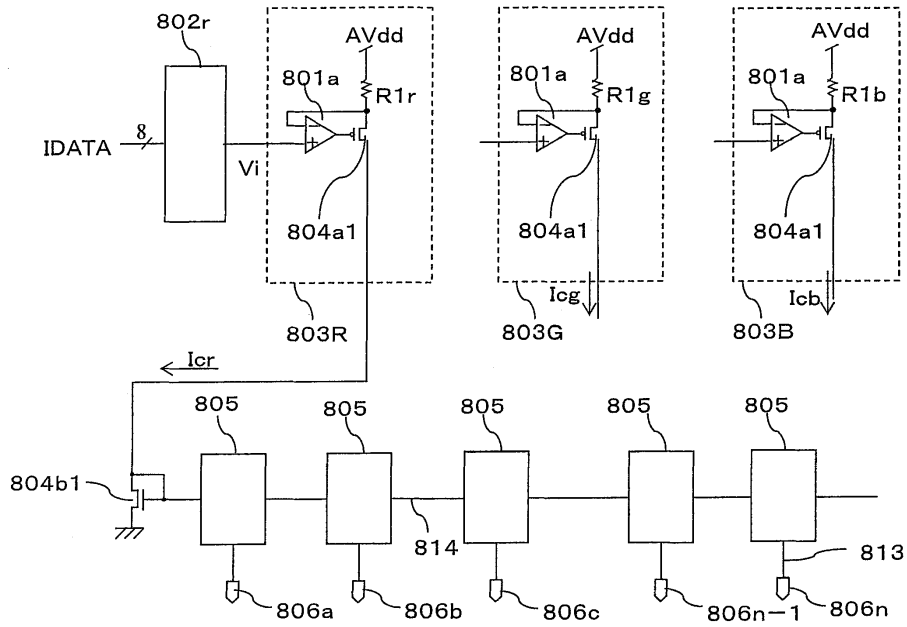


도면80

801 오피앰프(버퍼 회로)
804 트랜지스터

802 전자 블록(전압 출력 회로)
805 단위 트랜지스터군

803 정전류 회로
806 출력 단자

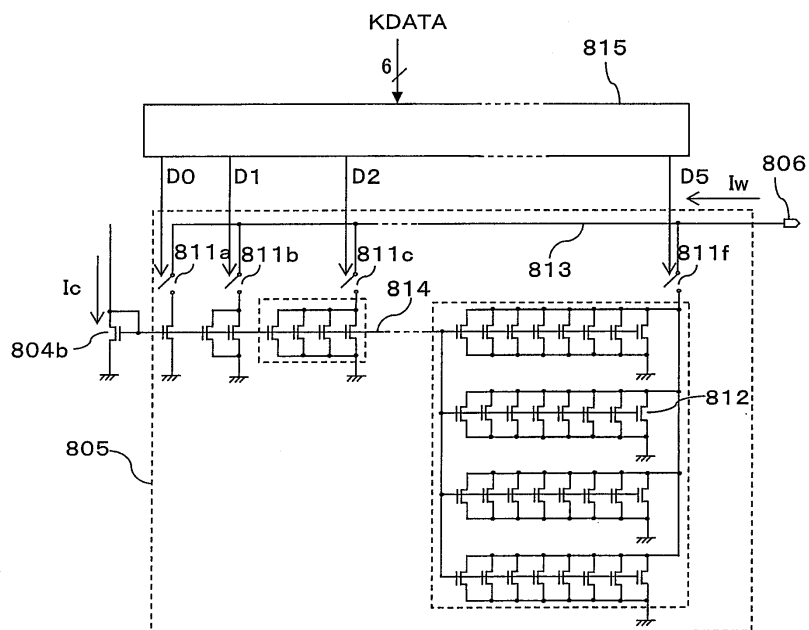


도면81

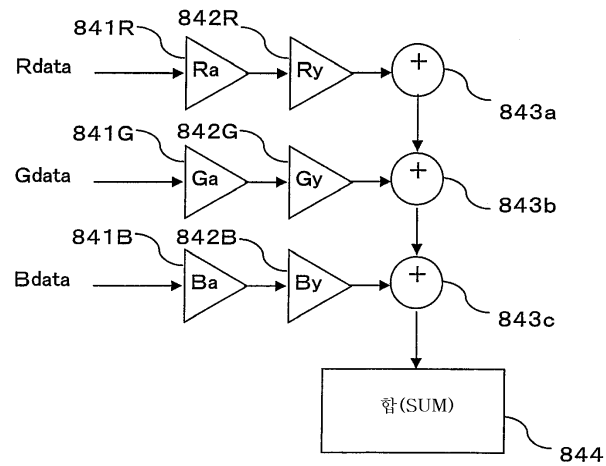
811 아날로그 스위치
814 게이트 배선

812 단위 트랜지스터
815 디코더 회로

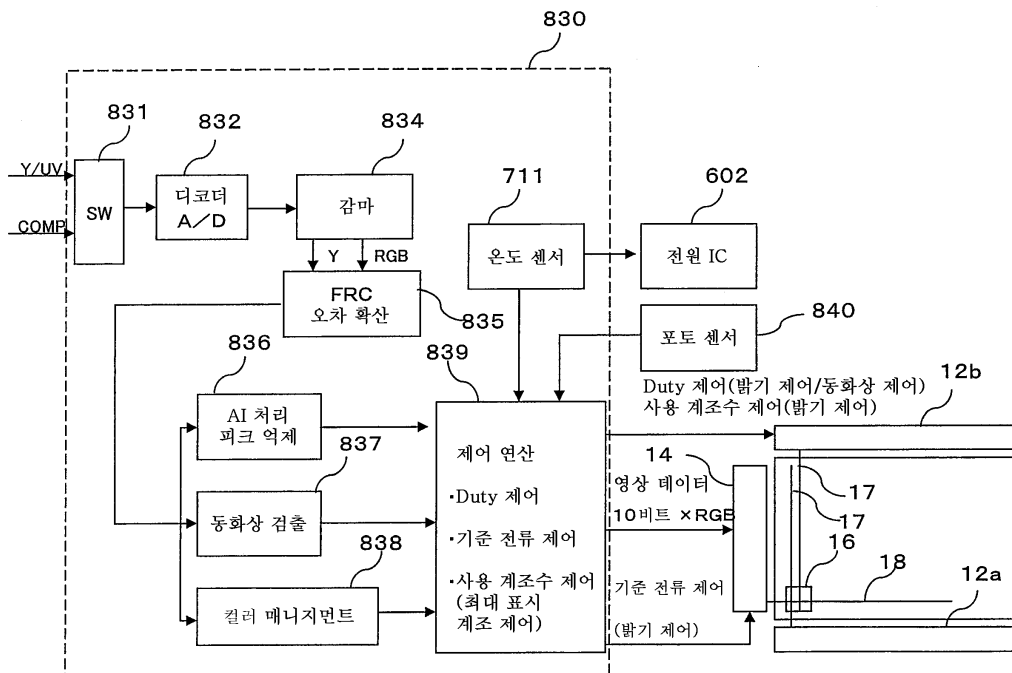
813 내부 배선



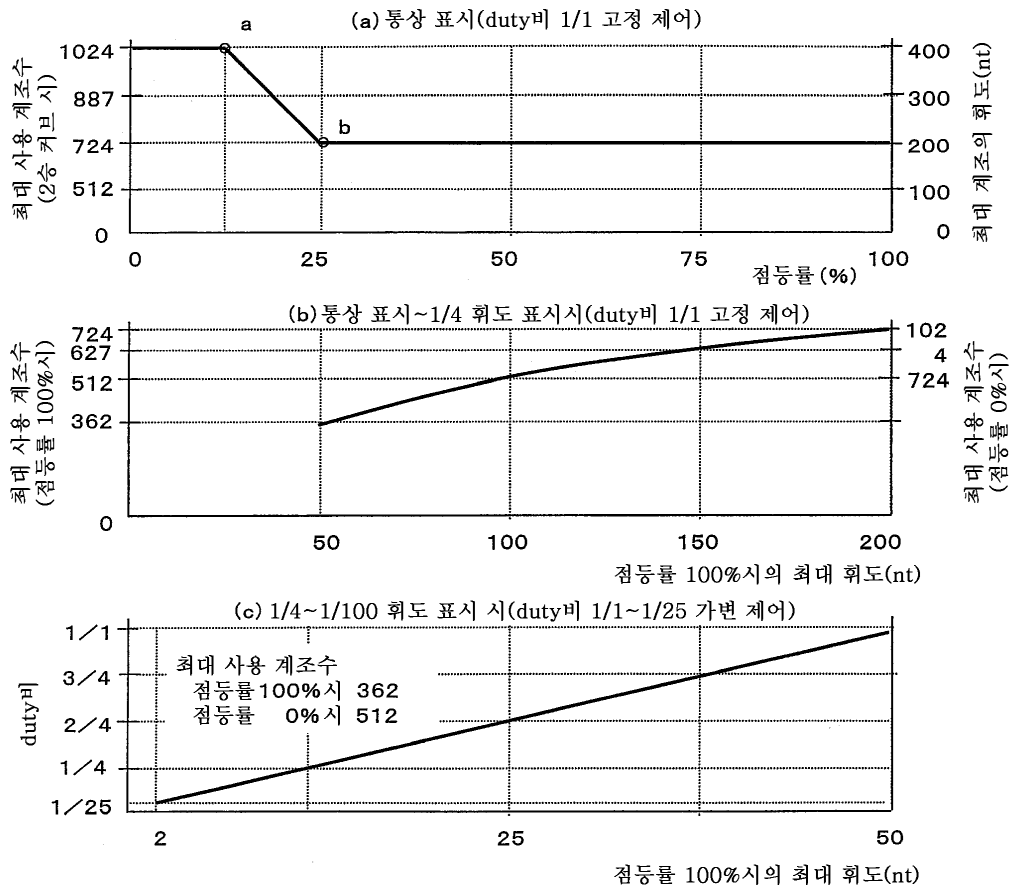
도면82



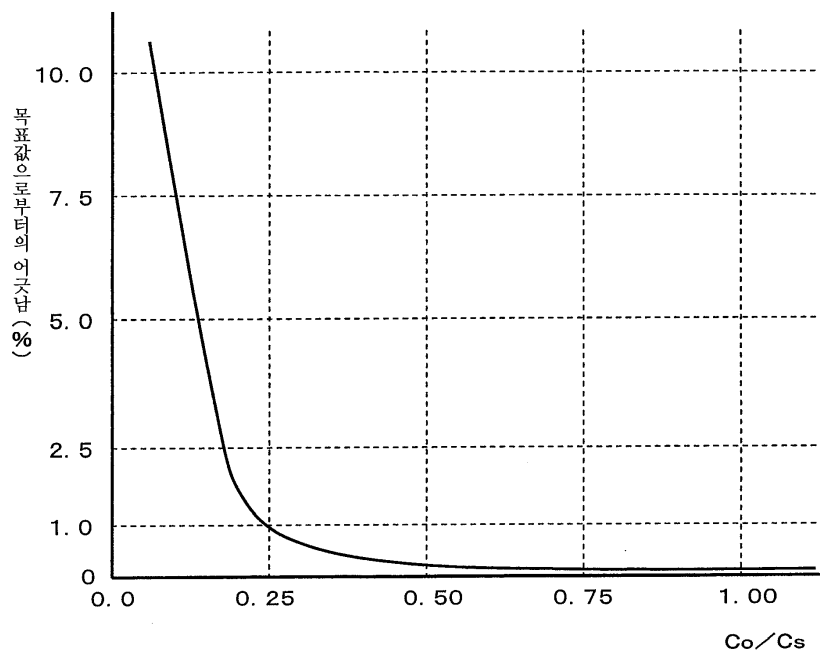
도면83



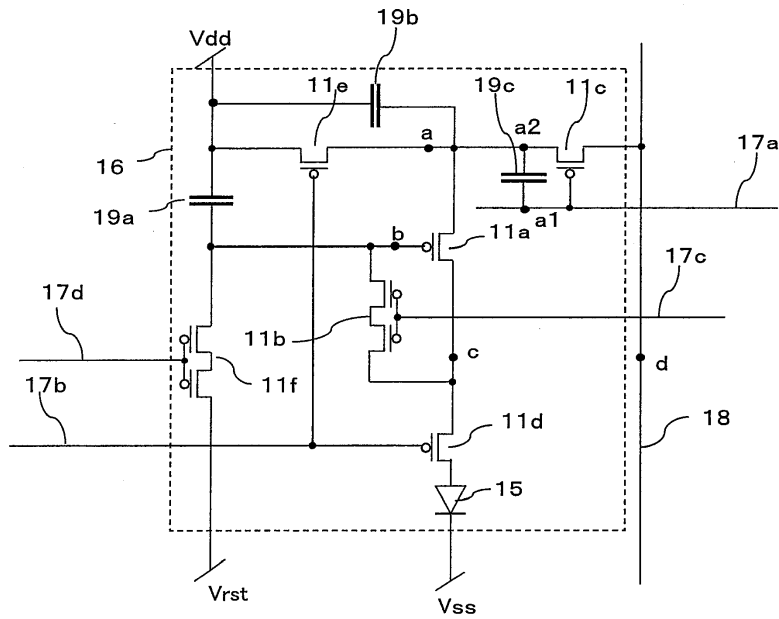
도면84



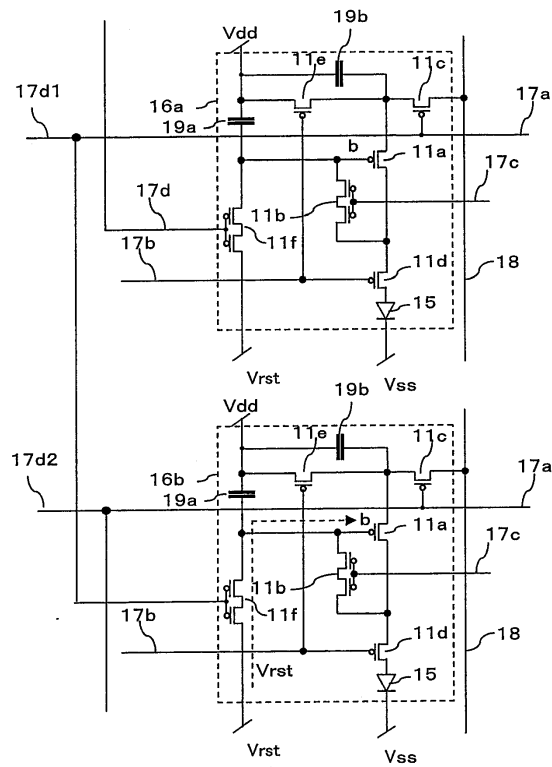
도면85



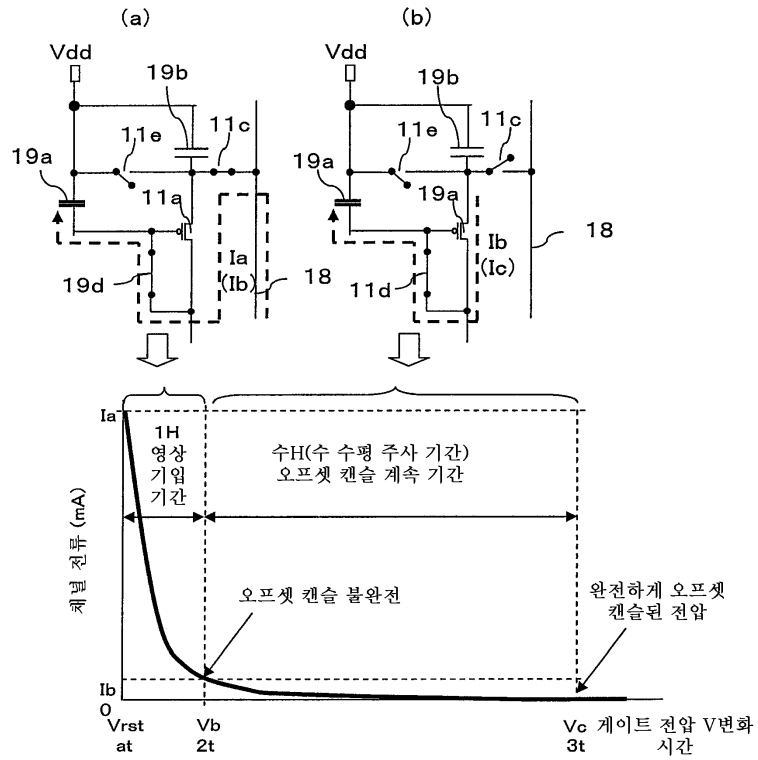
도면86



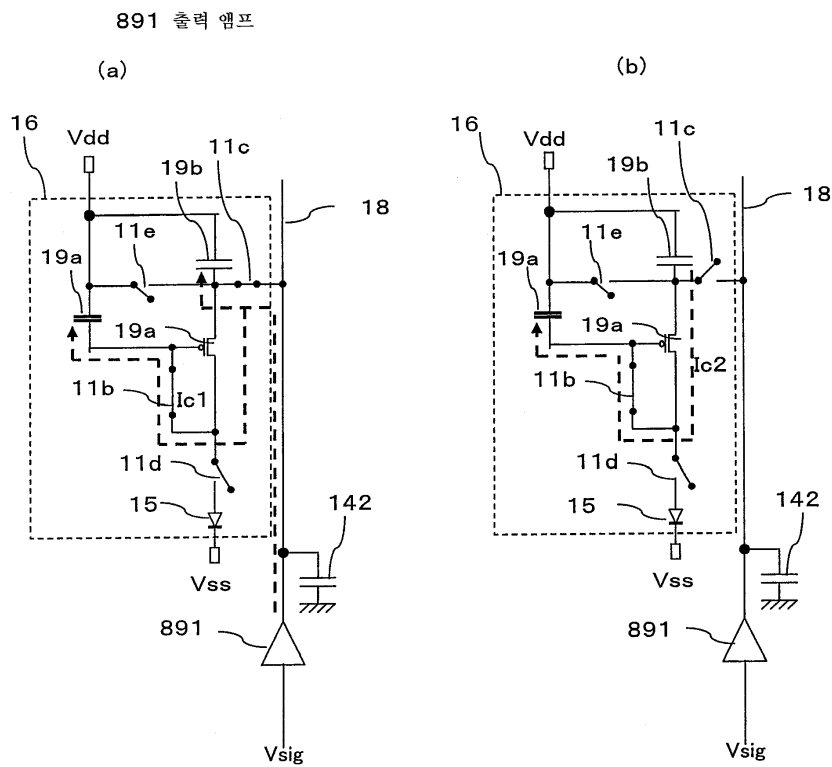
도면87



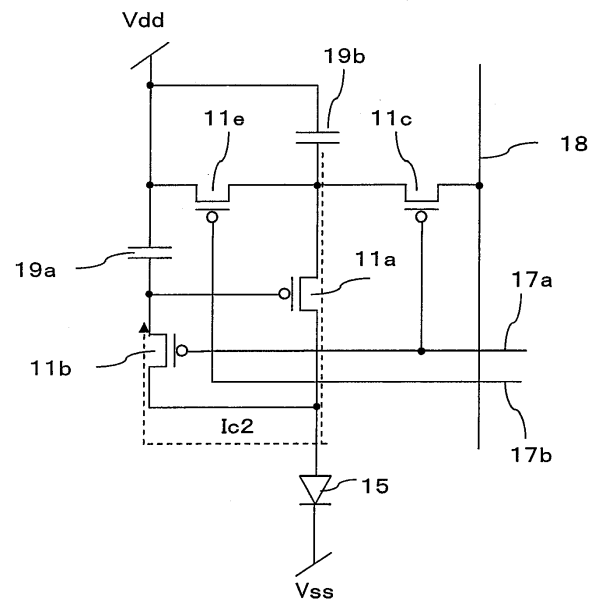
도면88



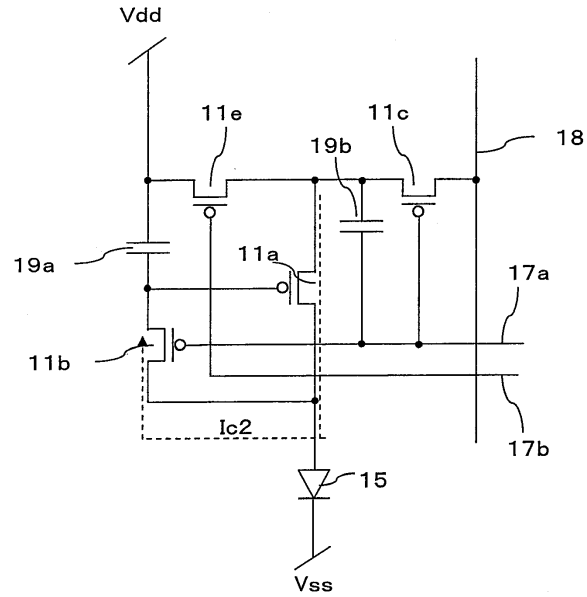
도면89



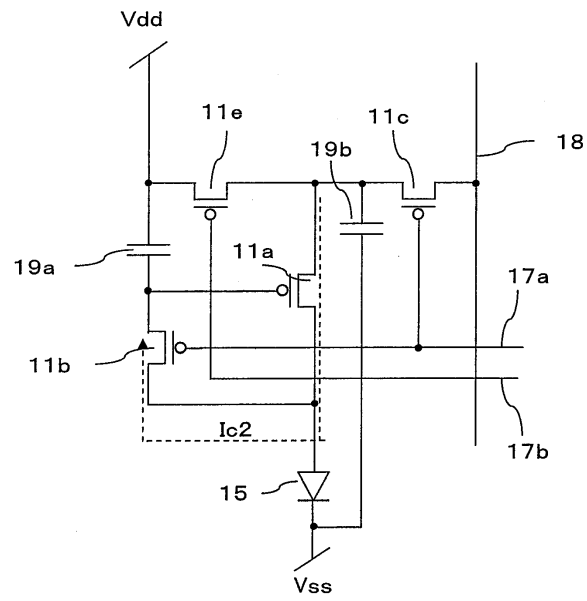
도면90



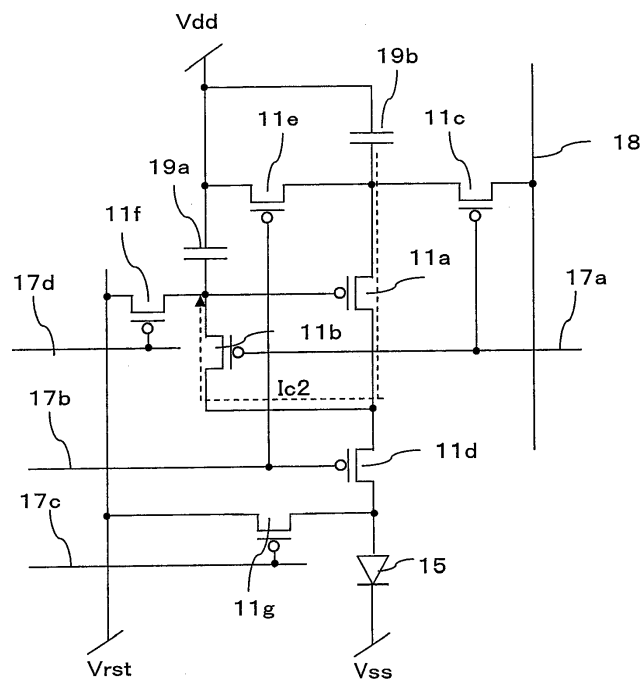
도면91



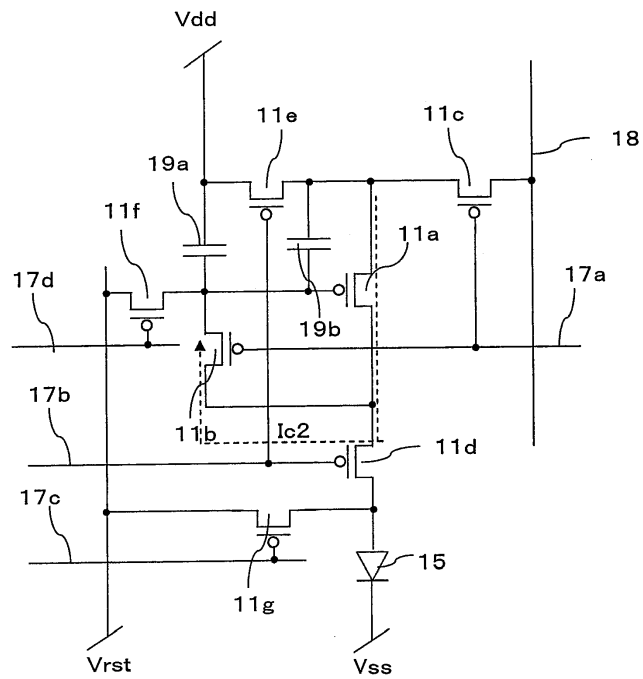
도면92



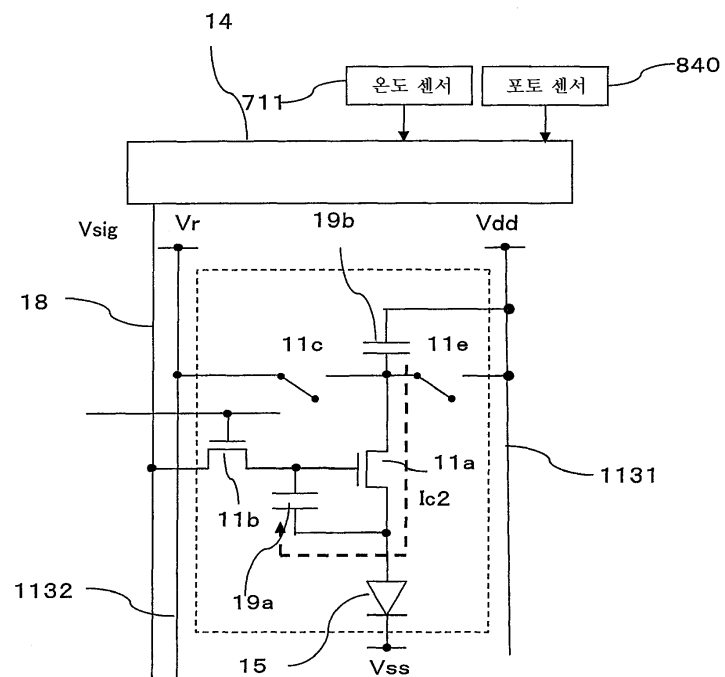
도면93



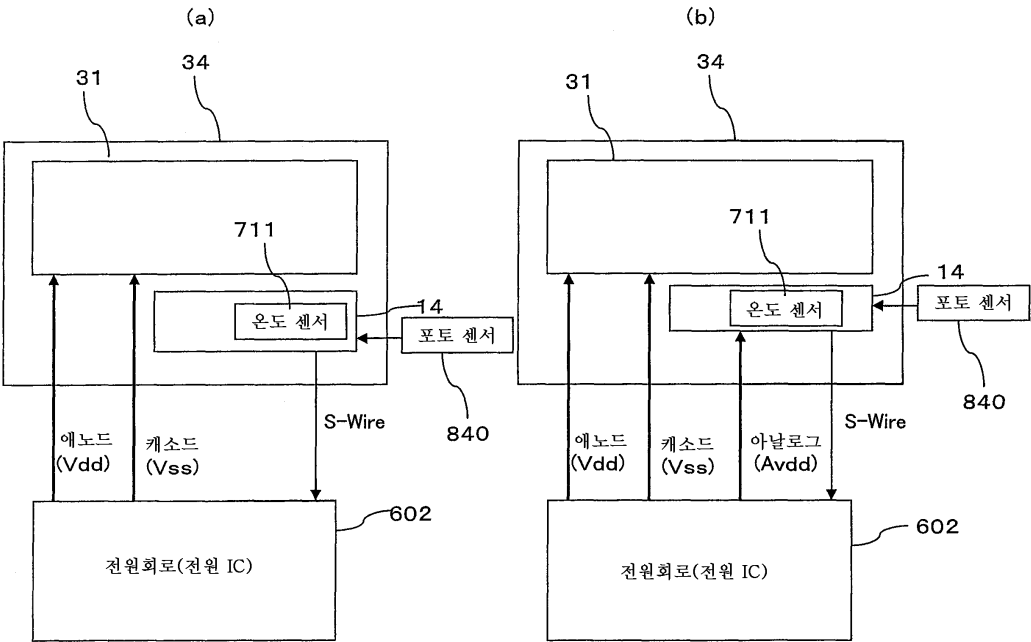
도면94



도면95



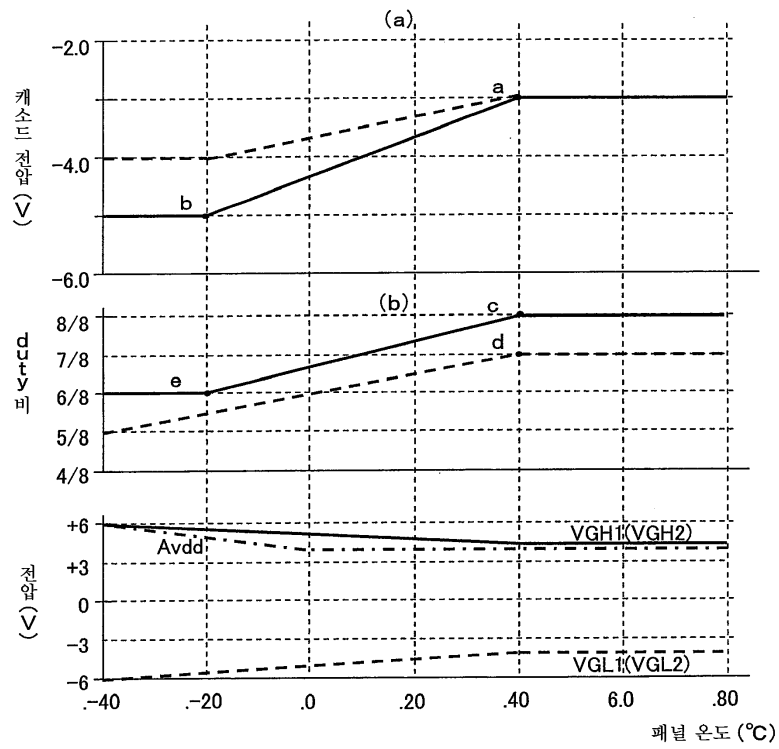
도면96



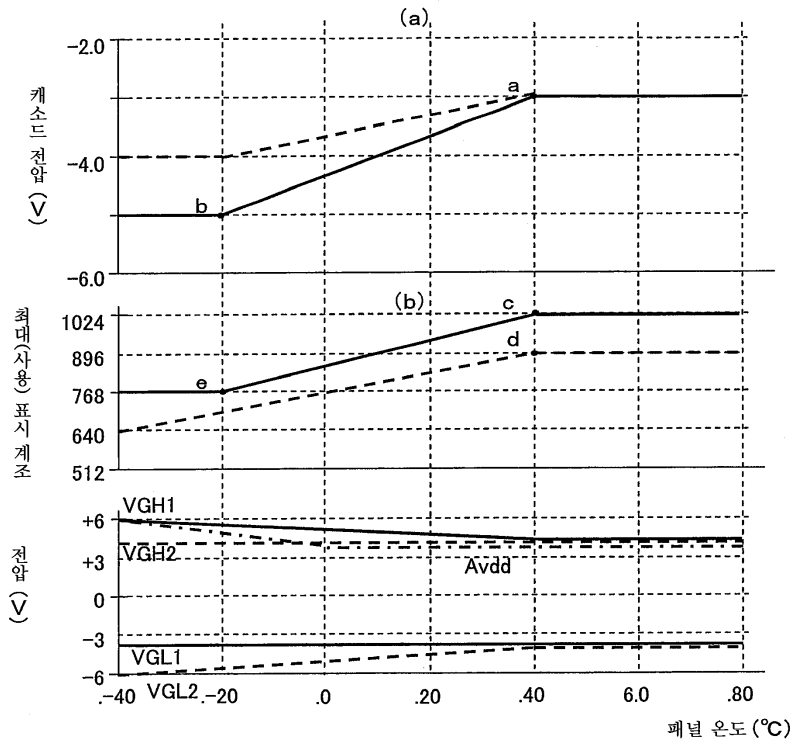
도면97

데이터	출력 Vss(V)	데이터	출력 Vss(V)
0	-2.0	16	-3.6
1	-2.1	17	-3.7
2	-2.2	18	-3.8
3	-2.3	19	-3.9
4	-2.4	20	-4.0
5	-2.5	21	-4.1
6	-2.6	22	-4.2
7	-2.7	23	-4.3
8	-2.8	24	-4.4
9	-2.9	25	-4.5
10	-3.0	26	-4.6
11	-3.1	27	-4.7
12	-3.2	28	-4.8
13	-3.3	29	-4.9
14	-3.4	30	-5.0
15	-3.5	31	-5.1

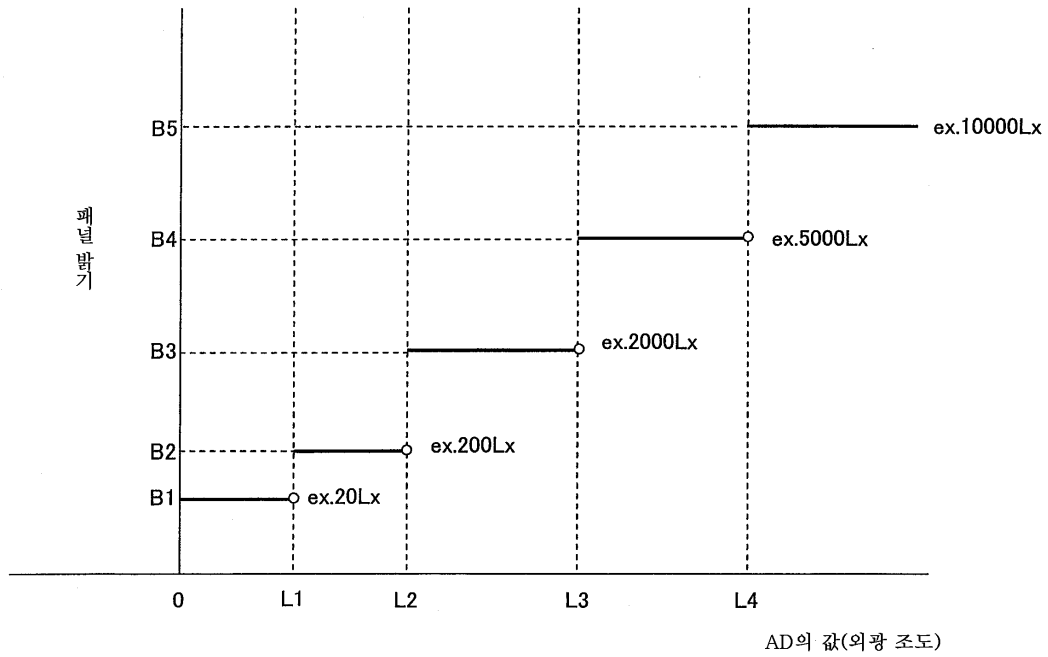
도면98



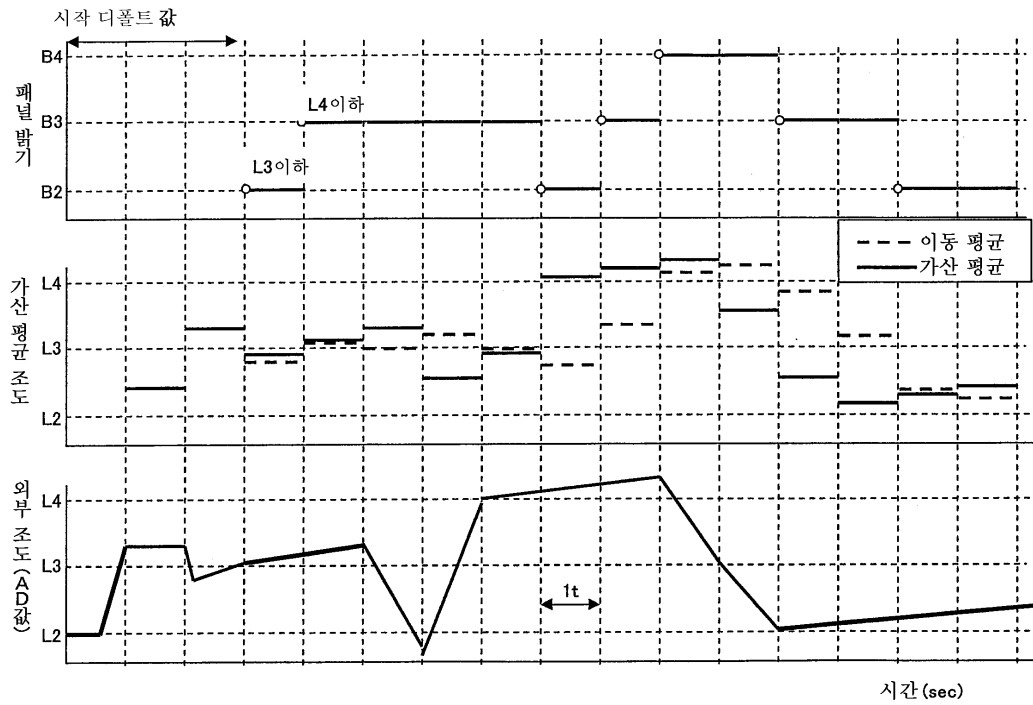
도면99



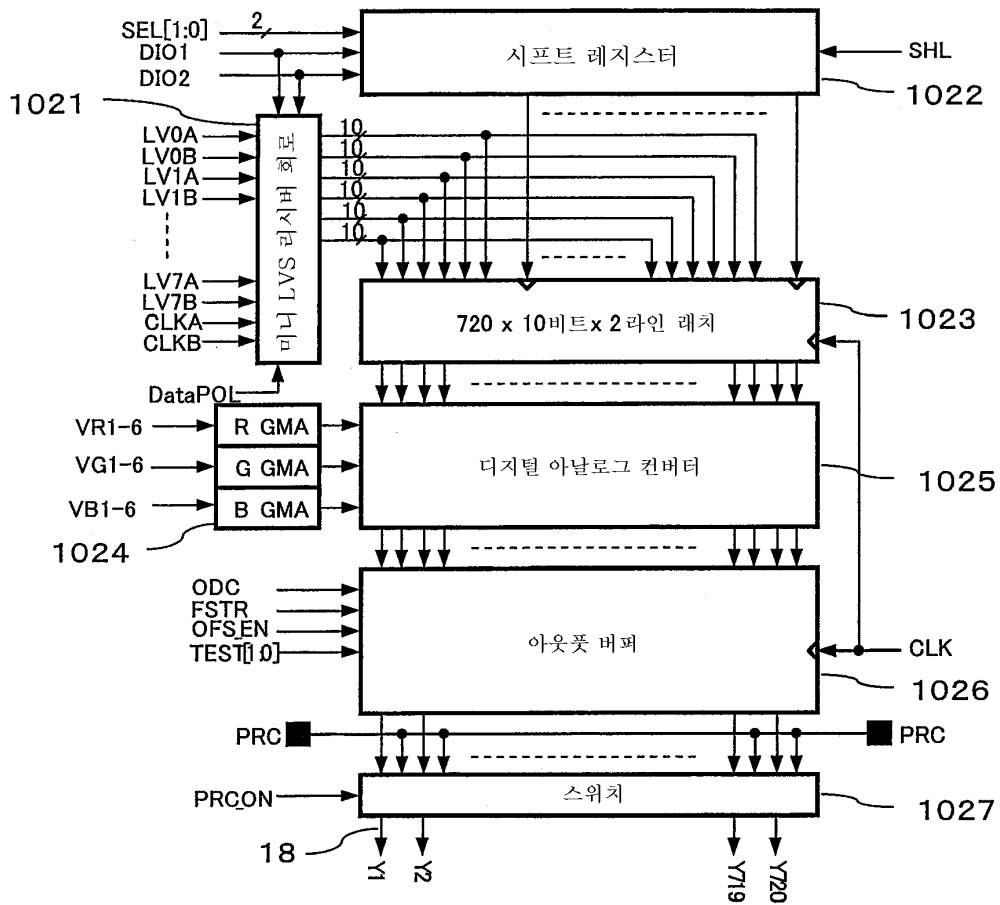
도면100



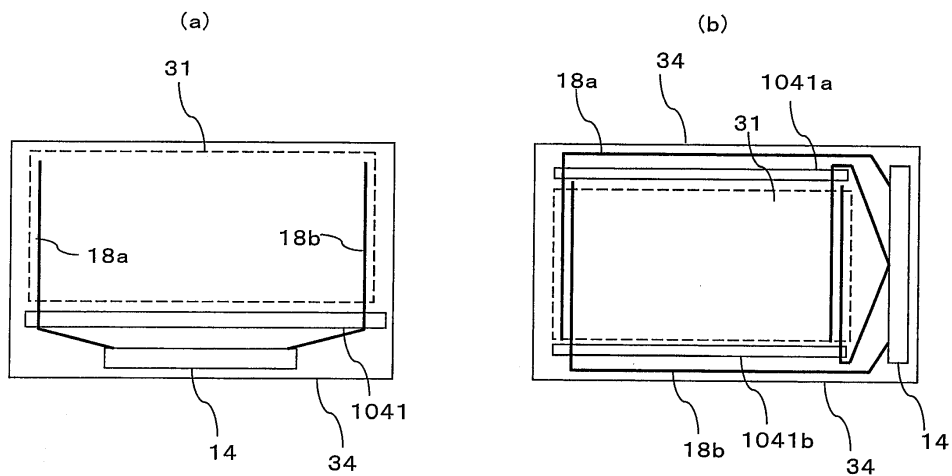
도면101



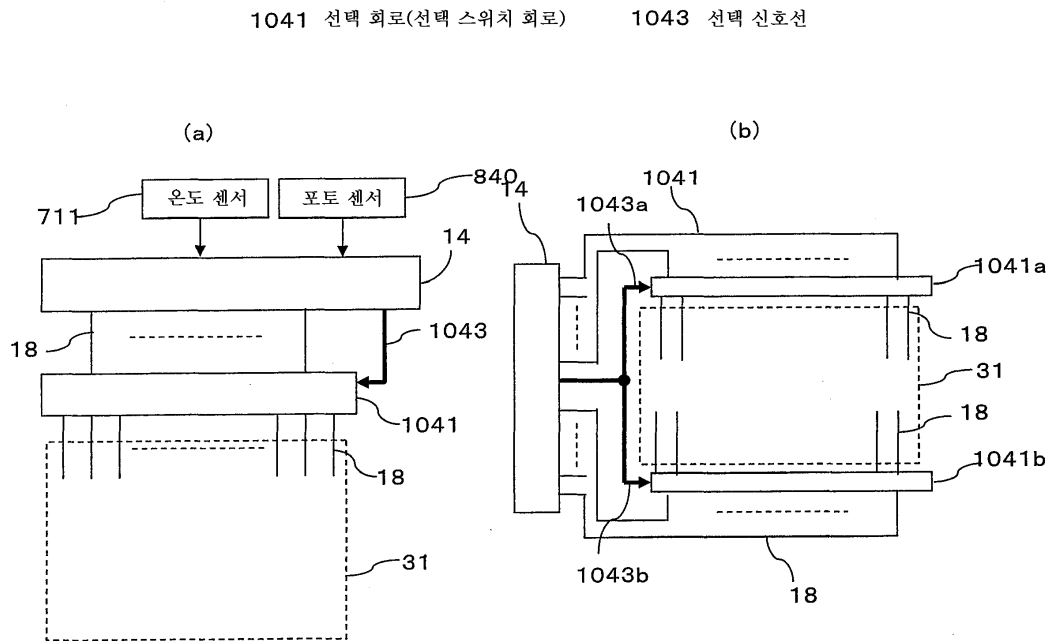
도면102



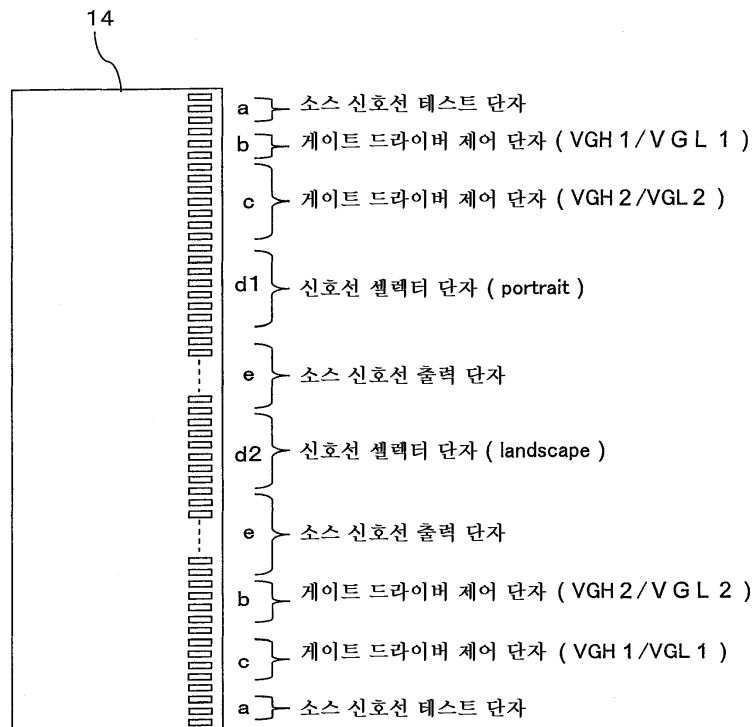
도면103



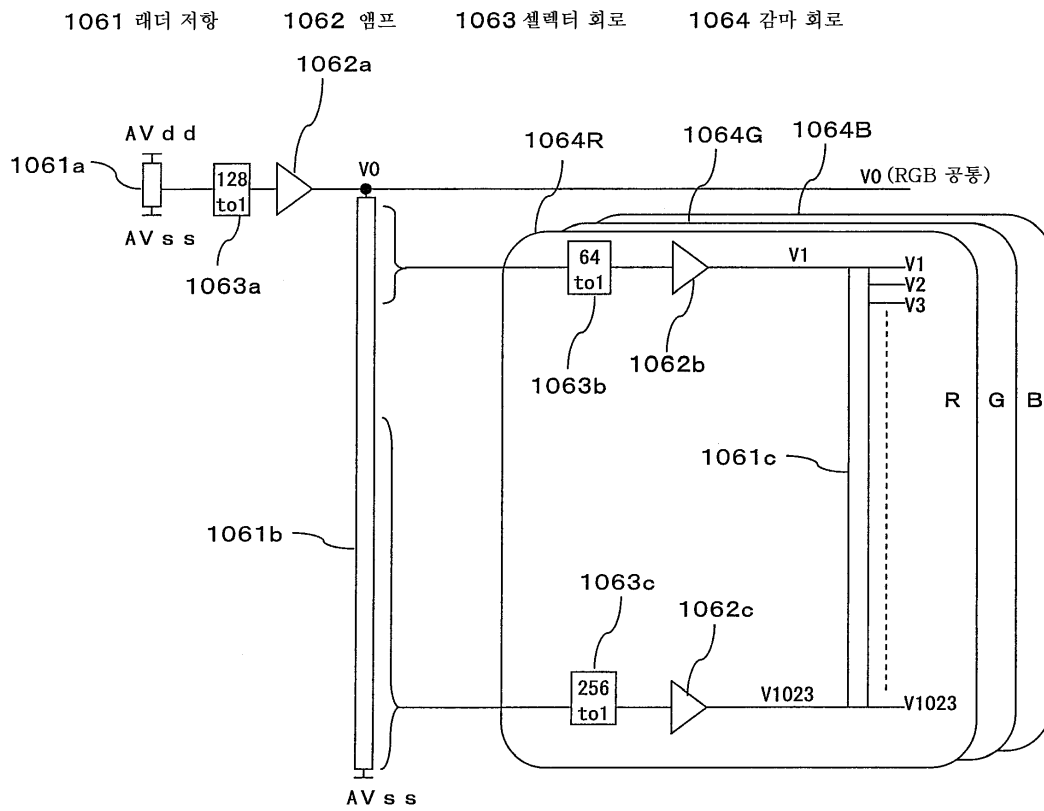
도면104



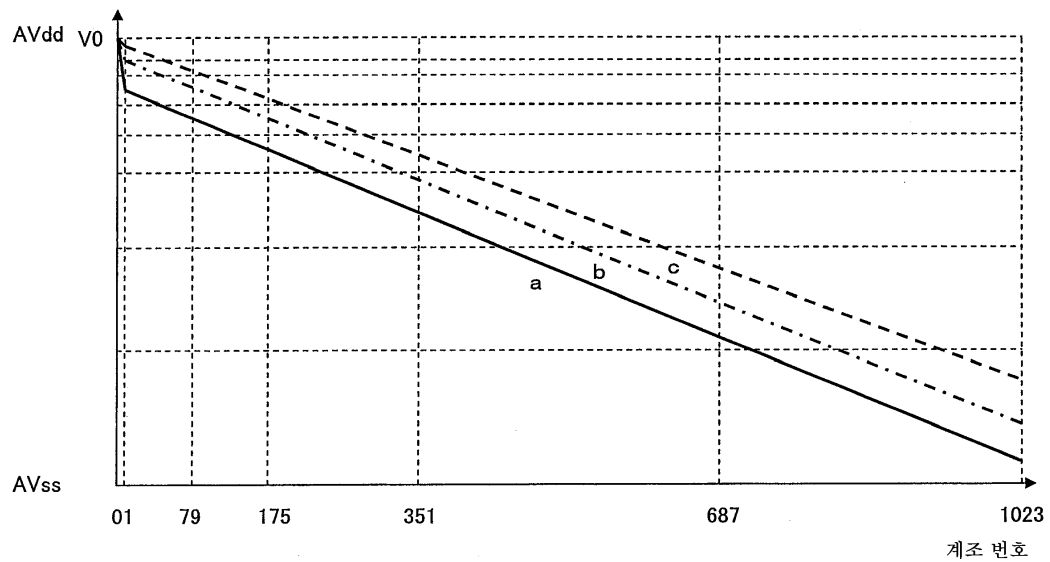
도면105



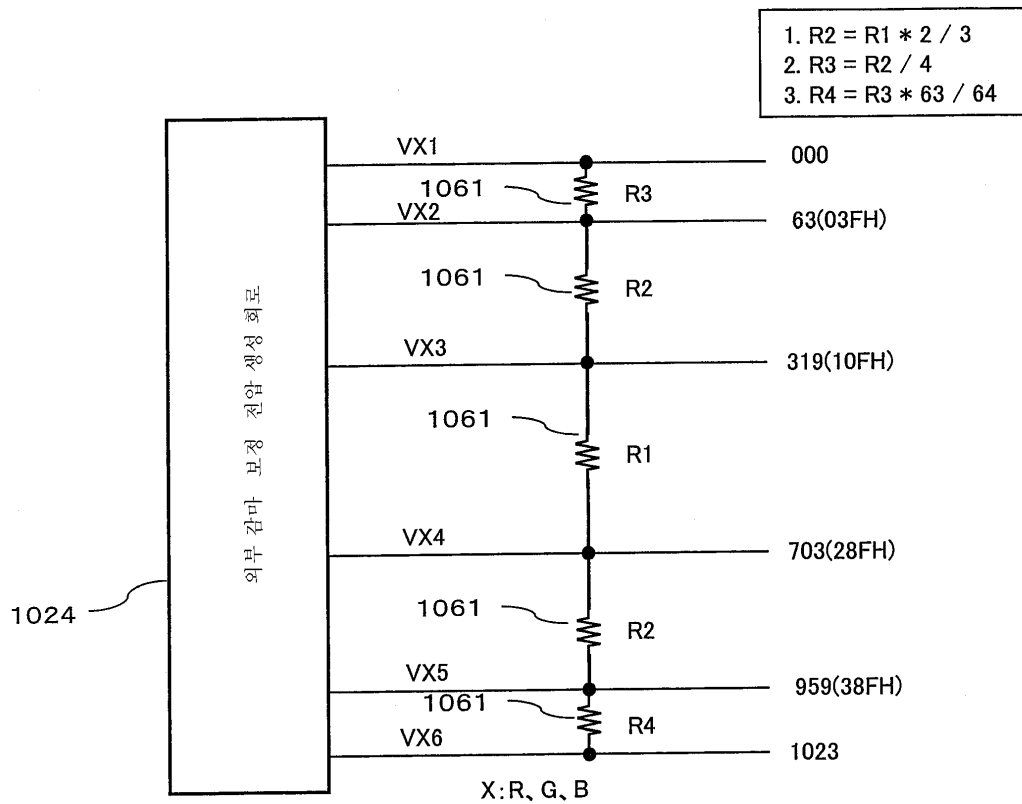
도면106



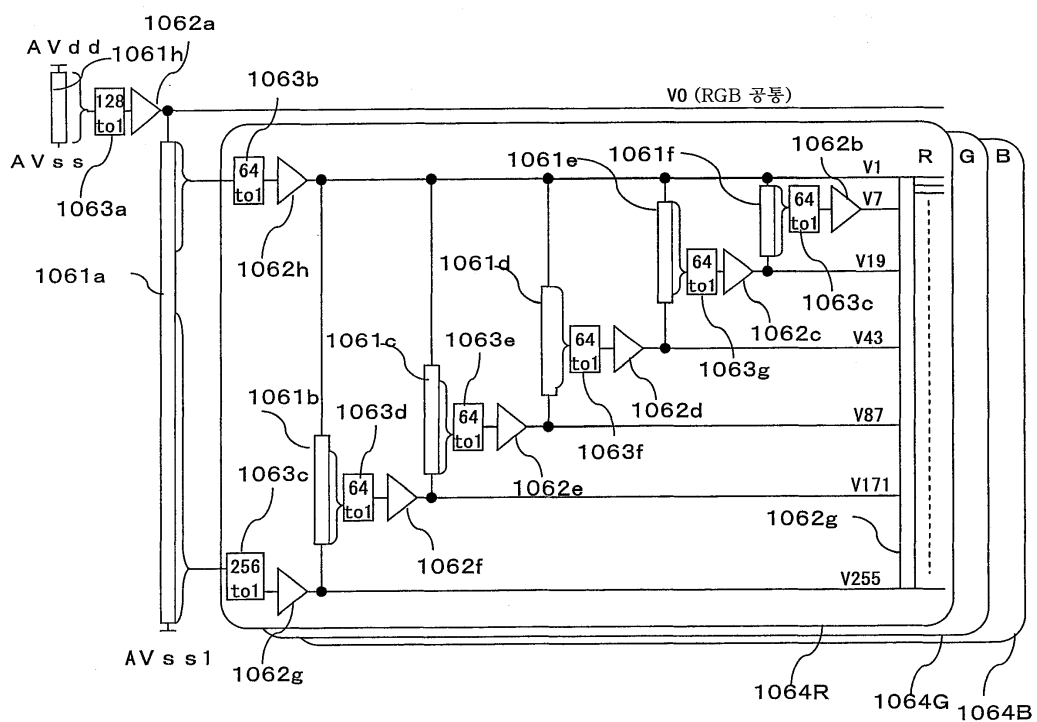
도면107



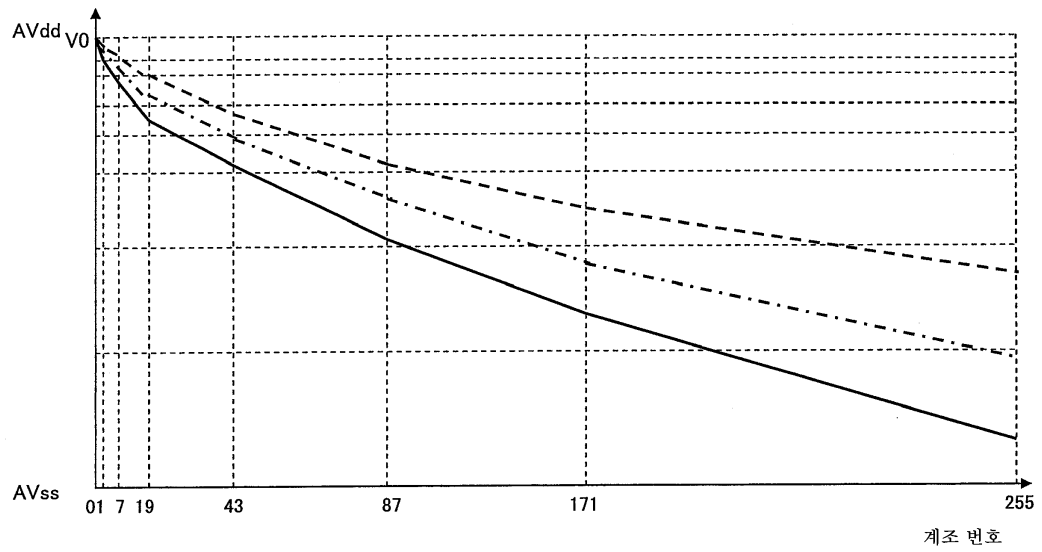
도면108



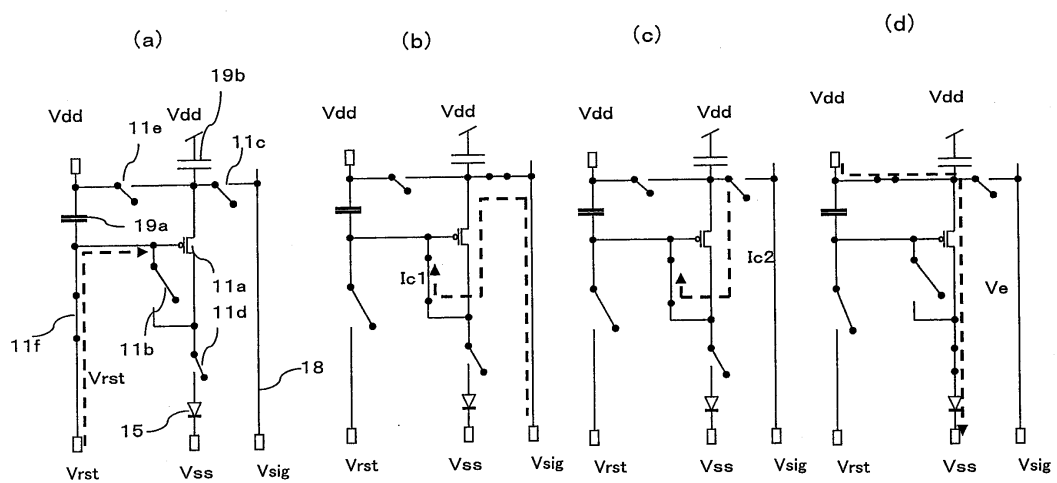
도면109



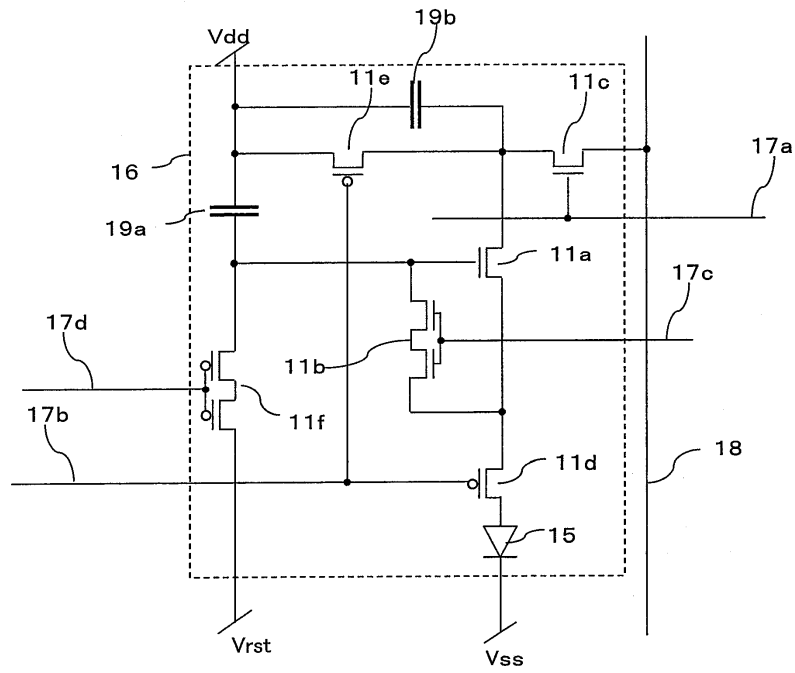
도면110



도면111



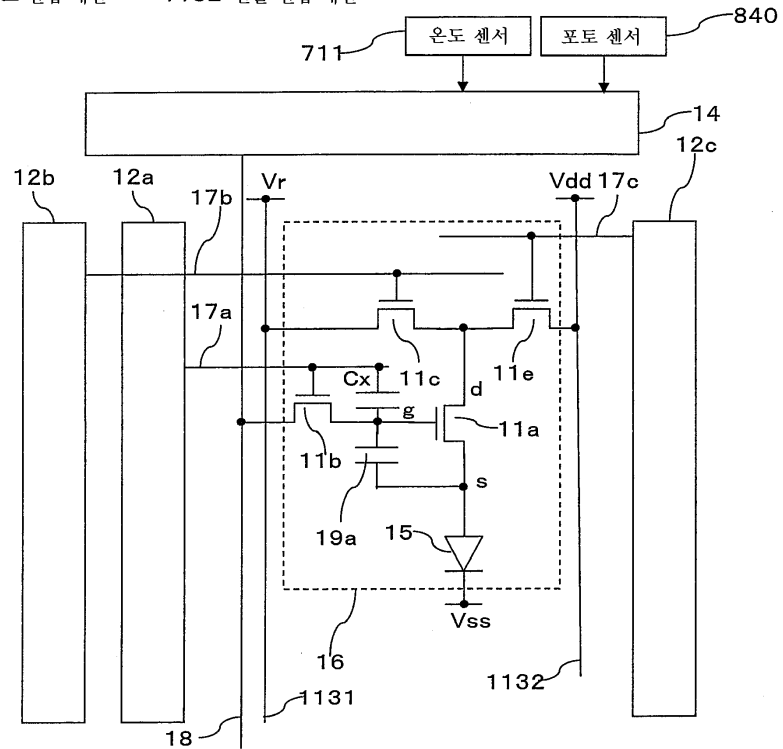
도면112



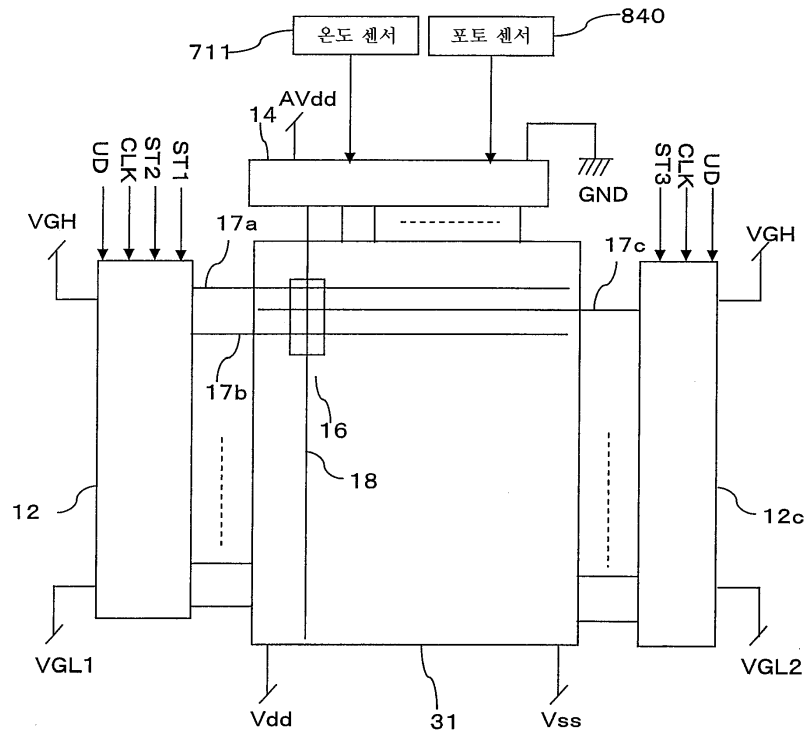
도면113

1131 애노드 전압 배선

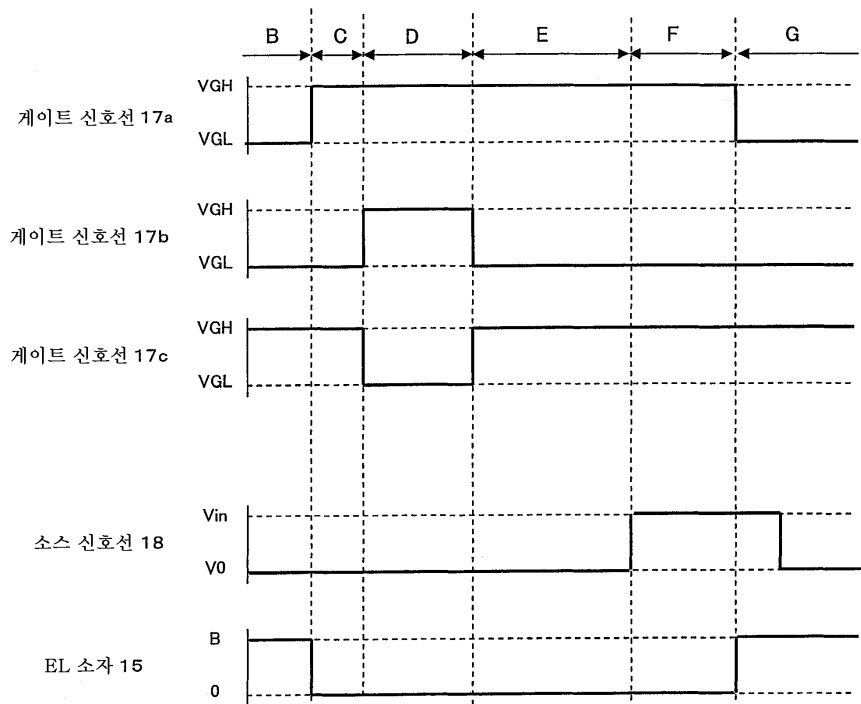
1132 캔슬 전압 배선



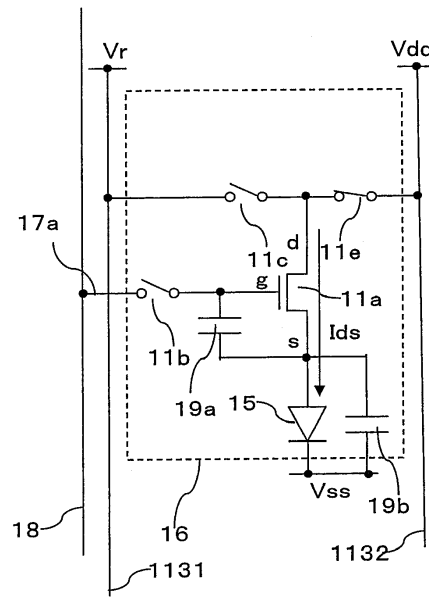
도면114



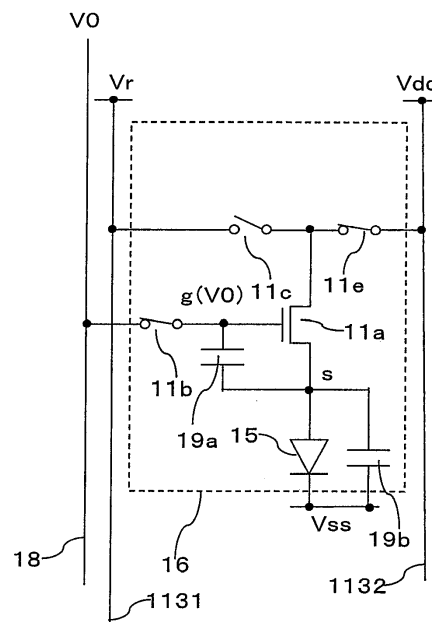
도면115



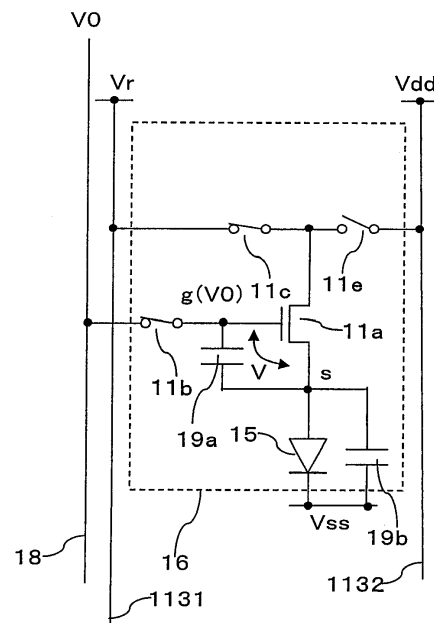
도면116



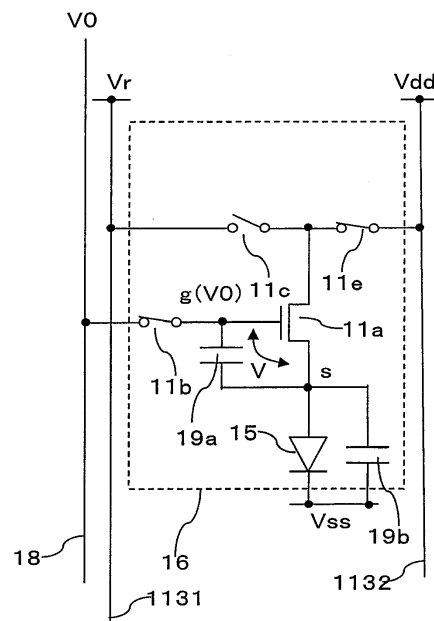
도면117



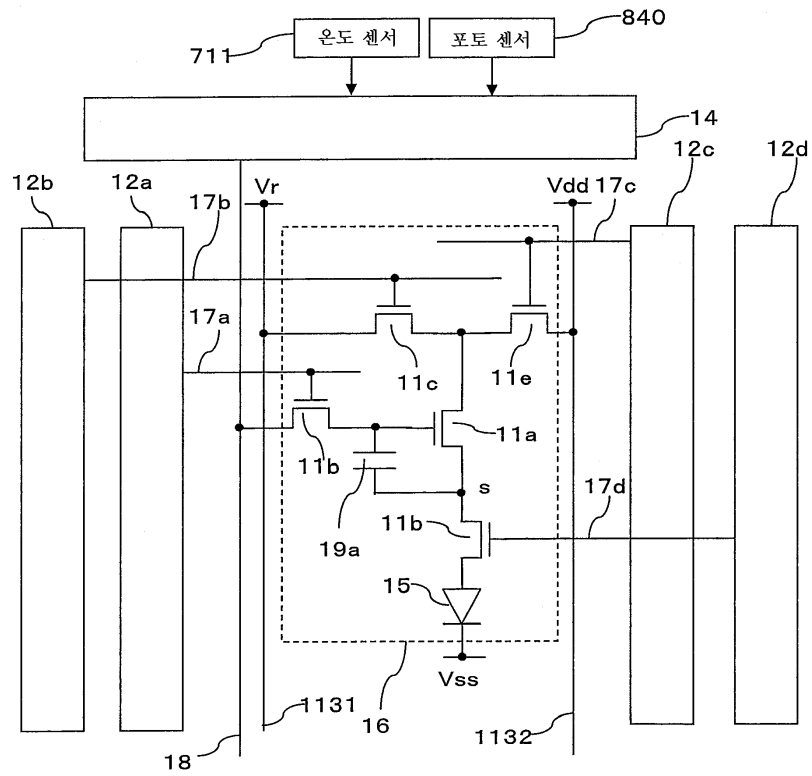
도면118



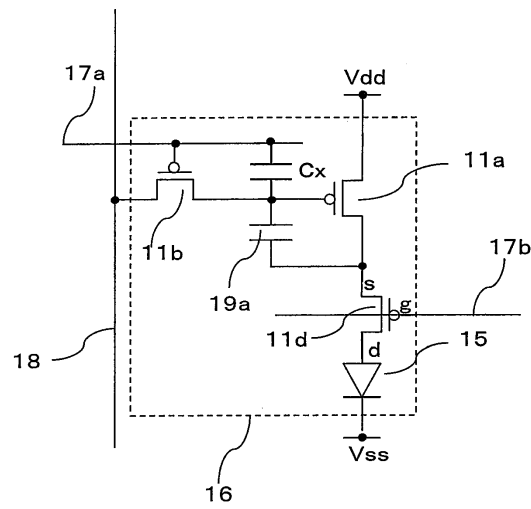
도면119



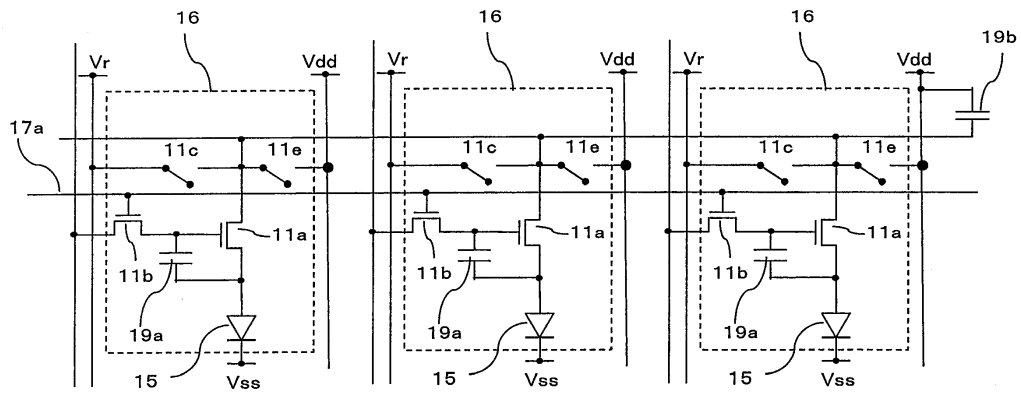
도면122



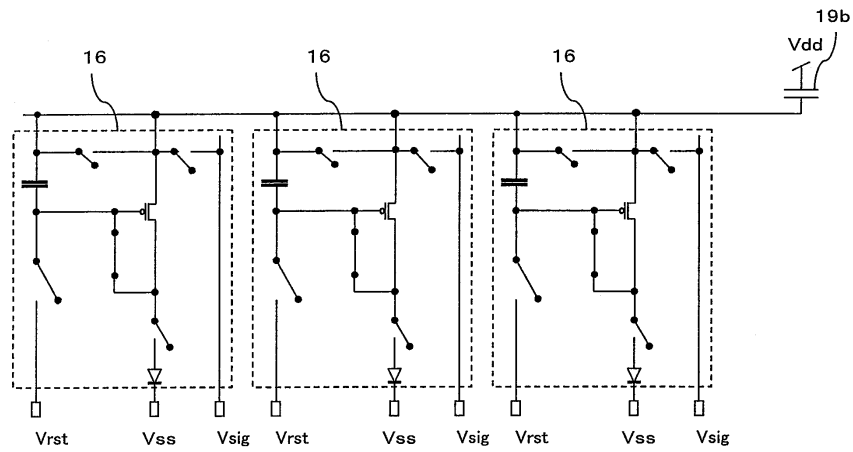
도면123



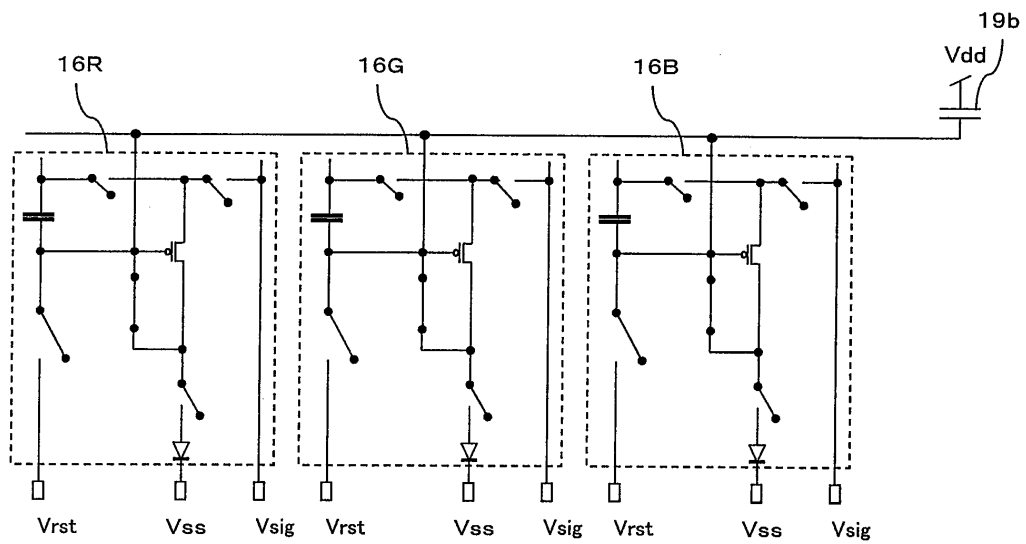
도면124



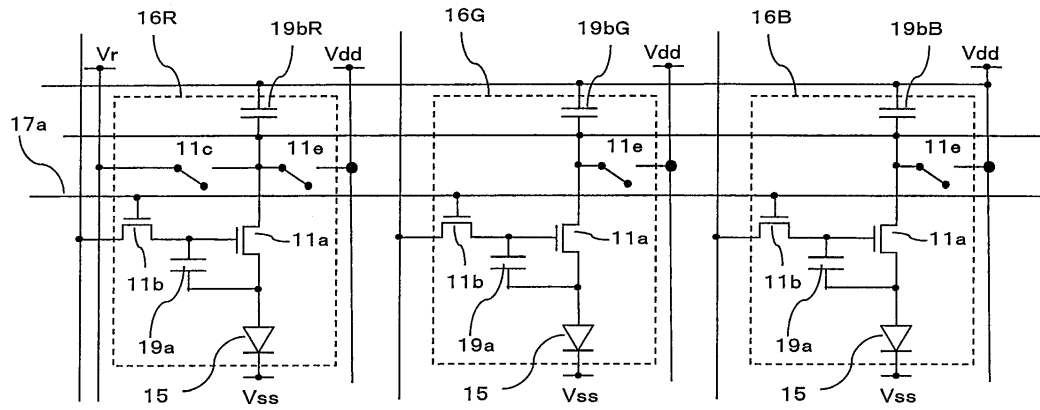
도면125



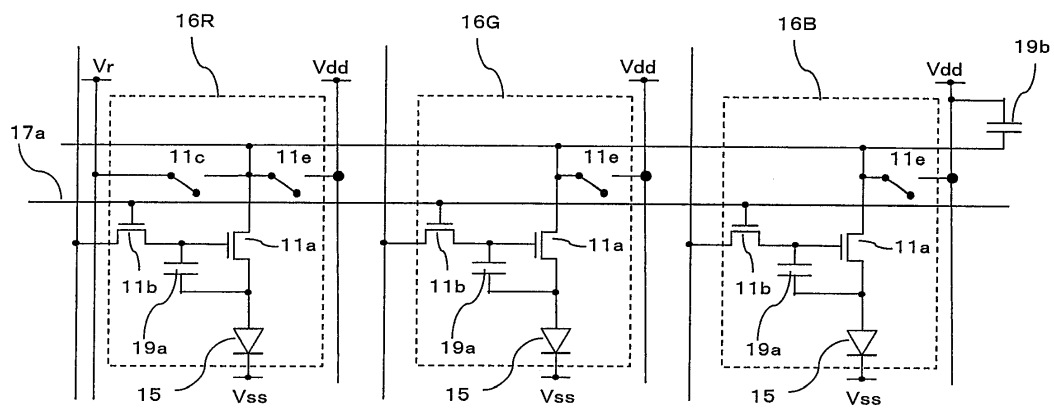
도면126



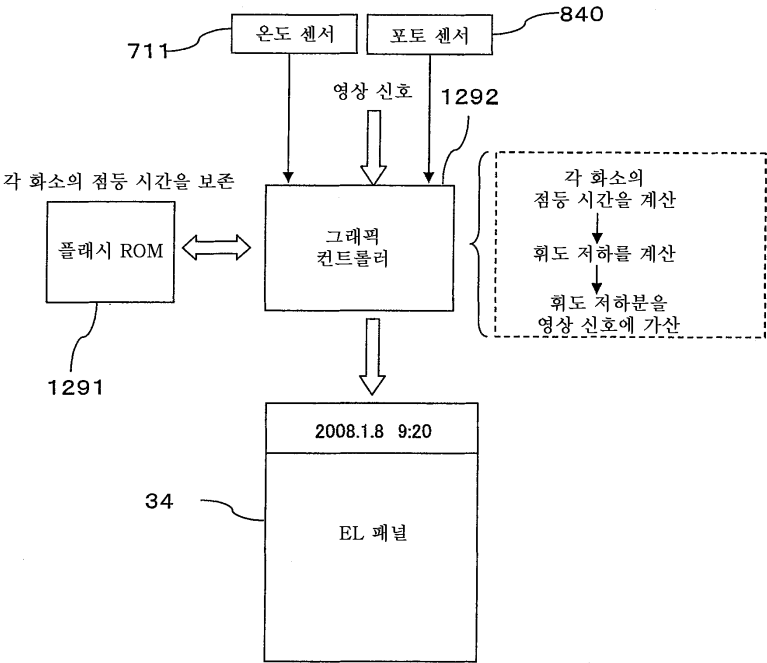
도면127



도면128



도면129



도면130

