

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
G11C 11/40

(45) 공고일자 1999년06월 15일

(11) 등록번호 10-0200725

(24) 등록일자 1999년03월 11일

(21) 출원번호	10-1996-0034768	(65) 공개번호	특1997-0051172
(22) 출원일자	1996년08월21일	(43) 공개일자	1997년07월29일

(30) 우선권 주장 101995047449 1995년 12월 07일 대한민국 (KR)

(73) 특허권자 삼성전자주식회사 윤종용  
경기도 수원시 팔달구 매탄3동 416  
(72) 발명자 오석영  
경기도 용인시 기흥읍 구갈리 396번지 한양아파트 107동 1201호  
(74) 대리인 권석흥, 이영필, 정상빈

**심사관 : 신준호**

**(54) 비휘발성 메모리 소자**

**요약**

본 발명은 비트라인, 소오스 라인, 제어게이트 및 플로팅 게이트를 구비하는 불휘발성 메모리 소자에 관해 개시한다. 또한 상기 메모리 소자는 상기 비트라인과 소오스라인을 연결하는 제 1 액티브라인(active line); 및 상기 제1 액티브라인과 소오스 라인과 절연되어지고, 상기 비트라인을 상기 플로팅 게이트 하부의 터널 윈도우(tunnel window)에 연결하여 제2 액티브라인을 포함한다.

본 발명에 의한 반도체메모리 소자는 읽기동작과 쓰기동작을 각기 다른 액티브라인을 사용하여 실행된다. 읽기동작이 수행되는 액티브라인 에는 터널윈도우가 없기 때문에 반복적인 읽기동작으로 인한 데이터의 오류를 방지하여 데이터의 수명을 연장시킬 수 있는 효과가 있다.

**대표도**

**도4**

**명세서**

**도면의 간단한 설명**

도 1은 종래기술에 의한 비휘발성 메모리 소자의 레이아웃이다.

도 2는 도 1의 I-I'단면도이다.

도 3은 도 1의 등가회로도이다.

도 4는 본 발명의 제1 실시예에 의한 비휘발성 메모리 소자의 레이아웃(layout)이다.

도 5는 도 4의 B-B'단면도이다.

도 6은 도 4의 C-C'단면도이다.

도 7은 본 발명의 제2 실시예에 의한 비휘발성 메모리 소자의 레이아웃이다.

도 8은 도 7의 B-B'단면도이다.

도 9는 도 7의 C-C'단면도이다.

도 10은 본 발명의 제3 실시예에 의한 불휘발성 메모리 소자의 레이아웃이다.

도 11은 도 10의 B-B'단면도이다.

도 12는 도 10의 C-C'단면도이다.

도 13은 도 10의 등가회로도이다.

도 14는 채널길이에 대한 셀 문턱전압을 나타내는 그래프이다.

도 15는 종래 기술 및 도7에 도시된 바와 같은 불휘발성 메모리 소자의 채널폭에 대한 셀 문턱전압을 나타내는 그래프이다.

도 16은 종래 기술 및 도 7에 도시된 바와 같은 불휘발성 메모리 소자의 채널길이에 대한 셀 전류를 나타내는 그래프이다.

도 17은 종래 기술 및 도 7에 도시된 바와 같은 불휘발성 메모리 소자의 채널폭에 대한 셀 전류를 나타내

는 그래프이다. 그리고

도 18은 종래 기술 및 도 7에 도시된 바와 같은 불휘발성 메모리 소자의 리드타임(read time)에 대한 셀 문턱전압의 변화를 나타내는 그래프이다.

〈도면의 주요부분에 대한 부호설명〉

11, 21: 제1 및 제 2 셀렉트 트랜지스터.

12, 22: 제1 및 제2 스토리지 트랜지스터.

25: 터널 산화막                      26: 플로팅 게이트

27: 제어 게이트                      28: 절연층

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 비휘발성 메모리 소자에 관한 것으로서 특히, 읽기(read)동작을 많이 수행하는 장치에서 데이터의 오류를 방지할 수 있도록 데이터의 보유성특성을 향상시킨 비휘발성 메모리 소자에 관한 것이다.

반도체 메모리 장치는 전원공급이 중단되면 메모리 내용을 손실하는 휘발성(Volatile)메모리 장치와 계속 저장하는 불 휘발성(Nonvolatile)메모리장치가 있다. 상기 불휘발성 메모리 장치는 입력된 데이터를 읽기만 할 수 있는 ROM(Read Only Memory)과 입력된 데이터를 전기적 방법을 이용하여 수정할 수 있는 EEPROM(Electrically Erasable & Programmable Read Only Memory)으로 크게 분류할 수 있다. 불 휘발성 메모리장치로써 EEPROM은 일반적으로 플로팅게이트(Floating gate)와 제어게이트(control gate electrode)를 구비하고 있다.

이하, 종래 기술에 의한 비휘발성 메모리 소자를 첨부된 도면을 참조하여 상세히 설명한다.

먼저, 도 1을 참조하면, 종래 기술에 의한 비휘발성 메모리 소자중 EEPROM의 메모리 셀은 비트라인(B/L)과 소오스라인(S/L) 사이의 액티브라인 상에 각 셀을 선택하기 위한 하나의 셀렉트 트랜지스터(select transistor)(110)와 플로팅게이트에 전자를 주입시키거나 추출하기 위한 터널윈도우(tunnel window)(21)가 형성된 하나의 스토리지 트랜지스터(storage TR)(120)를 구비한다.

도 2를 참조하면, 상기 셀렉트 트랜지스터(110)는 채널증가형(channel enhancement mode) NMOS로서, 드레인영역(118)은 비트라인(B/L)에 연결되고, 게이트(gate:115)는 워드라인(W/L)에 연결되고, 소오스영역(119)은 상기 스토리지 트랜지스터(120)의 드레인영역(123)과 공유하게 된다. 상기 스토리지 트랜지스터(120)는 플로팅게이트(126)와 제어게이트(127) 및 절연층(128)을 구비하며, 소오스라인(124)은 소오스라인(S/L)과 연결된다. 이러한 연결관계는 도 1의 등가회로인 도 3을 참조하면, 쉽게알 수 있다. 상기과 같이 구성되는 종래 기술에 의한 EEPROM에서의 동작을 쓰기(write), 소거(erase), 읽기(read)로 구분하여 살펴보면 다음과 같다.

#### 1. 쓰기(write) 동작

도 3을 참조하면, 비트라인(B/L)과 워드라인(W/L)에 인가되는 전압을 각각 하이(high)로 하여 상기 셀렉트 트랜지스터(110)를 턴온(turn-on)시킴으로서 상기 비트라인(B/L)에 인가된 고 전위가 상기 스토리지 트랜지스터(120)의 드레인영역에 전달되도록 한다.

그 후, 상기 스토리지 트랜지스터(120)의 제어게이트(127)는 접지시키고 상기 스토리지 트랜지스터(120)의 소오스영역과 연결되는 소오스라인(S/L)은 플로팅(floating)시킴으로서 상기 스토리지 트랜지스터(120)의 터널윈도우(121)를 통해 플로팅게이트(126)에서 드레인영역으로 전자가 이동되는 터널링을 발생시킨다. 그에 따라 상기 플로팅게이트(126)는 포지티브(positive)로 대전된다.

#### 2. 소거(eraser)동작

비트라인(B/L)을 접지시키고, 워드라인(W/L)에 인가되는 전압은 하이(high)로 하여 상기 셀렉트 트랜지스터(110)를 턴온(turn-on)시킨다. 이에 따라 상기 비트라인(B/L)에 인가된 저 전위가 상기 스토리지 트랜지스터(120)의 드레인영역에 전달되도록 한다.

그 후, 상기 스토리지 트랜지스터(120)의 제어게이트(127)에 인가되는 전압을 하이(high)로 하고, 상기 스토리지 트랜지스터(120)의 소오스영역과 연결되는 소오스라인(S/L)은 플로팅(floating)시킴으로써 상기 스토리지 트랜지스터(120)의 터널윈도우(121)를 통해 드레인영역에서 플로팅게이트(126)로 전자가 이동되는 터널링을 발생시킨다. 그에 따라 상기 플로팅게이트(126)는 네가티브(negative)로 대전된다.

#### 3. 읽기(read)동작

먼저, 워드라인(W/L)에 5V의 구동전압을 인가하여 상기 셀렉트 트랜지스터(110)를 턴온(turn-on)시킨다. 이어서 상기 비트라인(B/L)에는 2V 내지 4V의 전압을 인가한 후 상기 소오스라인(S/L)은 접지시킨다. 그 후, 상기 스토리지 트랜지스터(120)의 제어게이트(127)에 소정의 읽기전압(Vread)을 인가한다. 이때, 스토리지 트랜지스터(120)가 온(on)되는지에 따라 즉, 전류의 흐름이 발생하는지에 따라 1 또는 0의 저장된 데이터 값이 구별된다. 읽기전압(Vread)은 쓰기동작이 수행된 경우에 상기 스토리지 트랜지스터(120)가 갖는 제1 문턱전압(Vt1)과 소거동작이 수행된 경우에 상기 스토리지 트랜지스터(120)가 갖는 제2 문턱전압(Vt2)의 사이의 전압을 사용한다.

상기와 같은 동작을 수행하는 종래의 EEPROM은 상기 읽기동작에서 소오스라인(S/L)과 비트라인(B/L) 사이

에 흐르는 전류가 터널 윈도우(tunnel window)의 밑을 지난다. 이러한 전류의 흐름에 의해 상기 플로팅게이트에 하전된 홀(hole)이 형성되어 상기 터널 윈도우 아래의 채널 전자들을 상기 플로팅게이트로 끌어당긴다. 또한 이러한 전류 흐름에 의해 상기 드레인 영역에 인접한 채널영역에서 핫 일렉트론이 발생되고 터널 윈도우를 통해서 상기 플로팅게이트로 이동된다. 따라서 잠재적 데이터 판독 오류들이 일어난다. 이들 오류들에 대한 잠재성은 데이터 판독동작횟수가 증가 됨에 따라 증가된다. 결과적으로, 종래의 EEPROM IC card와 같이 반복적인 읽기 동작을 수행하여야 하는 디바이스(device)에 사용되는 경우, EEPROM의 수명이 단축되는 문제점이 있다. EEPROM에 대한 더 자세한 내용은 A Million-Cycle COMS 256K EEPROM, by D. Coaca, et al., IEEE Journal of Solid-State Circuit, Vol.SC-22, No. 5, October 1987에서 볼 수 있다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 비트라인과 소오스 라인 사이에 읽기(read)동작만을 수행하는 제1 액티브라인과 쓰기(write)동작만을 수행하는 제2 액티브라인을 구비하도록 레이아웃을 형성하여 데이터의 보유(read retention) 특성을 향상시킴으로서 데이터의 판독 횟수를 증가시킬 수 있는 비휘발성 메모리 소자를 제공함에 있다.

### 발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여, 본 발명의 실시예에 의한 비휘발성 메모리 소자는 비트라인(bit line); 소오스 라인(source line); 제어게이트; 플로팅게이트; 상기 비트라인과 소오스 라인을 연결하는 제1 액티브라인(active line); 및 상기 제1 액티브라인 및 소오스 라인과 절연되어지고, 상기 비트라인을 상기 플로팅 게이트 아래에 형성된 터널 윈도우(tunnel window)에 연결하는 제2 액티브라인을 포함하는 것을 특징으로 한다.

상기 비휘발성 메모리 소자는 워드라인(word line)을 추가로 포함하여 구성되어지되, 상기 워드라인에 인가되는 워드전압과 상기 제어게이트에 인가되는 제어전압에 따라 상기 제1액티브 라인이 상기 비트라인과 소오스 라인을 연결하는 한편, 상기 워드라인에 인가되는 워드전압에 따라 상기 제2 액티브 라인이 상기 비트라인을 상기 터널 윈도우에 연결되는 것을 특징으로 한다.

상기 제1 액티브라인 및 제2 액티브라인이 상기 워드라인과 교차되는 위치에는 각각 제1 및 제2 셀렉트 트랜지스터(select transistor)가 형성되어 있는 것을 특징으로 한다.

상기 제1 액티브라인과 제어게이트가 교차되는 위치에 플로팅게이트(floating gate)를 포함하는 스토리지 트랜지스터(storage transistor)가 형성되어 있는 것을 특징으로 한다.

상기 워드라인은 상기 제1액티브 라인과 제2액티브 라인을 개별적으로 제어할 수 있는 제1 및 제2 워드라인으로 분리되어 있는 것을 특징으로 한다.

상기 제1워드라인은 상기 제1셀렉트 트랜지스터의 동작여부를 결정하는 수단이고, 상기 제2 워드라인은 상기 제2 셀렉트 트랜지스터의 동작여부를 결정하는 수단인 것을 특징으로 한다.

상기 목적을 달성하기 위하여, 본 발명의 제2 실시예에 의한 비휘발성 메모리 소자는 소오스, 드레인, 플로팅게이트 및 제어 게이트를 갖는 제1 스토리지 트랜지스터; 및 드레인, 플로팅게이트, 제어게이트 및 상기 드레인과 플로팅게이트 사이의 터널경로를 제공하는 터널 윈도우를 갖는 제2 스토리지 트랜지스터에 있어서,

상기 제1 스토리지 트랜지스터의 플로팅게이트와 제어게이트는 각각 상기 제 2 스토리지 트랜지스터의 플로팅게이트와 제어게이트에 연결되는 것을 특징으로 한다.

사하기 제1 스토리지 트랜지스터의 드레인에 연결된 게이트, 드레인 및 소오스를 갖는 제1 셀렉트 트랜지스터; 및 상기 제2 스토리지 트랜지스터의 드레인에 연결된 게이트, 드레인, 소오스를 갖는 제2 셀렉트 트랜지스터를 더 구비하는 것을 특징으로 한다.

상기 제1 스토리지 트랜지스터의 소오스에 연결되는 소오스라인과 상기 제1 및 제2 셀렉트 트랜지스터의 드레인에 연결되는 비트라인을 더 포함하는 것을 특징으로 한다.

상기 제1 스토리지 트랜지스터의 소오스는 소오스라인에 연결되고 상기 제1 스토리지 트랜지스터 및 제1 스토리지 트랜지스터의 드레인은 비트라인에 연결되는 것을 특징으로 한다.

상기 제1 스토리지 트랜지스터는 제2 액티브라인 상에 형성된 것을 특징으로 한다.

상기 제1 셀렉트 트랜지스터의 게이트는 상기 제2 셀렉트 트랜지스터의 게이트에 연결된 것을 특징으로 한다.

상기 목적을 달성하기 위하여, 본 발명의 제3 실시예에 의한 비휘발성 메모리소자는 반도체기판 상에 형성된 제1 및 제2 액티브라인을 구비하고 활성영역을 한정하는 소자분리영역을 갖는 비휘발성 메모리 소자에 있어서,

소오스, 드레인, 플로팅게이트 및 제어게이트를 갖고 상기 제1 액티브 라인상에 형성된 제1 스토리지 트랜지스터; 드레인, 플로팅게이트, 제어게이트 및 터널 산화막상에 형성된 터널 윈도우를 갖고 상기 제2 액티브라인 상에 형성되어 있고 상기 제2 스토리지 트랜지스터의 플로팅게이트와 제어게이트 각각에 연결되는 제2 스토리지 트랜지스터; 상기 제1 스토리지 트랜지스터의 소오스와 연결되고 상기 제2 스토리지 트랜지스터의 드레인과 절연된 소오스 라인; 및 상기 제1 스토리지 트랜지스터와 제2 스토리지 트랜지스터의 드레인에 연결되는 비트라인을 포함하는 것을 특징으로 한다.

상기 제1 스토리지 트랜지스터의 드레인에 연결된 소오스와 상기 비트라인에 연결된 드레인 및 게이트를 갖는 제1 셀렉트 트랜지스터와 상기 제2 스토리지 트랜지스터의 드레인과 연결된 소오스, 상기 비트라인에 연결된 드레인 및 게이트를 갖는 제2 셀렉트 트랜지스터를 포함하는데, 상기 제1 및 제2 셀렉트 트랜

지스터는 각각 상기 제1 및 제2 액티브라인 상에 형성된 것을 특징으로 한다.

결국, 종래 기술의 비 휘발성 메모리 소자가 하나의 액티브라인을 사용하여 쓰기동작 및 읽기동작을 수행하는데 비해 본 발명은 2개의 액티브라인을 구비하여 쓰기동작은 제2 액티브라인에서 수행하고, 읽기동작은 제1 액티브라인에서 수행함으로써 읽기동작시 전류흐름에 의해 플로팅게이트로 전자가 이동되는 것을 방지하여 데이터의 판독횟수를 종래에 비해 증가시킬 수 있는 효과가 있다.

이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명한다.

#### 제1 실시예

도 4는 본 발명의 제1 실시예에 의한 비휘발성 메모리 소자의 레이아웃(layout)이다.

도 5는 제1 액티브 라인을 나타내는 도 4의 B-B'단면도이다.

도 6은 제2 액티브 라인을 나타내는 도 4의 C-C'단면도이다.

도 4 내지 도 6에 도시한 비휘발성 메모리 소자에서, 본 발명의 비휘발성 메모리 소자는 비트라인(B/L)과 소오스라인(S/L) 사이에 형성된 제어게이트(27)가 소오스라인(S/L)과 평행하게 형성된다. 상기 제어 게이트(27)의 아래에는 상기 제어게이트(27)와 동일한 사이즈의 플로팅 게이트(26)가 형성되어 있다. 상기 플로팅 게이트(26)와 상기 제어 게이트(27) 사이에는 상기 플로팅 게이트(26)와 제어 게이트(27)를 분리시키는 절연층(28)이 형성되어 있다. 또한, 상기 비트라인(B/L)과 소오스라인(S/L) 사이에는 상기 제어게이트(27)에 교차하는 동시에 상기 제어 게이트(27)에 인가되는 제어전압에 따라 상기 비트라인(B/L)과 소오스라인(S/L)을 연결하는 제1 액티브라인(active line)과, 상기 제어게이트(27)의 인가전압 상태에 따라 상기 플로팅 게이트(26)에 전자를 주입하고 상기 플로팅 게이트(26)로부터 전자들을 추출하기 위한 터널 산화막(25)으로 형성된 터널 윈도우(tunnel window)에 상기 비트라인(B/L)이 연결되는 동시에 상기 제1 액티브라인 및 소오스라인(S/L)과는 필드 산화막(10)에 의해 절연되는 제2 액티브라인이 형성되어 있다. 상기 제1 액티브라인의 상기 제어게이트(27)와 교차되는 위치에는 제1 스토리지 트랜지스터(12)가 형성되어 있다. 그러나, 상기 제1 스토리지 트랜지스터(12)의 플로팅 게이트(26)에는 터널 윈도우가 형성되지 않는다.

상기 제1 스토리지 트랜지스터(12)의 소오스는 상기 소오스 라인(S/L)에 연결된다.

상기 제어게이트(27)이 상기 제2 액티브라인과 교차되는 위치에 제2 스토리지 트랜지스터(22)가 형성되어 있다. 상기 제2 스토리지 트랜지스터(22)는 제1 스토리지 트랜지스터(12)에서 플로팅게이트(26)와 동일한 상태를 유지하며 플로팅 게이트(floating gate)(26)의 일부를 포함한다. 상기 제2 스토리지 트랜지스터(22)는 상기 소오스라인(S/L)과 필드 산화막(10)에 의해 절연되어 있다. 따라서 상기 제2 스토리지 트랜지스터(22)는 소오스영역을 가지고 있지 않다.

터널 산화막(25)으로 형성된 터널 윈도우(23)는 상기 플로팅 게이트(26)와 상기 제2 스토리지 트랜지스터(22)의 드레인사이에 형성되어 있다. 비트라인(B/L)은 비트라인 콘택(B/C)을 통해서 상기 제1 스토리지 트랜지스터(12) 및 제2 스토리지 트랜지스터(22)의 드레인에 연결되어 있다.

상기와 같은 구성을 갖는 본 발명의 제1 실시예에 의한 비휘발성 메모리 소자의 동작을 쓰기(Write)동작, 소거(erase)동작 및 읽기(read)동작으로 개별적으로 구분하여 상세히 설명한다.

#### 1. 쓰기(write)동작

먼저, 상기 비트라인(B/L)에 인가되는 전압을 하이(high)로 한다. 이때, 상기 비트라인(B/L)에 인가된 고전위가 상기 제1 스토리지 트랜지스터(12) 및 제2 스토리지 트랜지스터(22)의 드레인 영역에 전달되고, 그 후 상기 제어게이트를 접지시키면 즉 0볼트를 인가하면 상기 제2 스토리지 트랜지스터(22)의 플로팅 게이트(26)에 형성된 터널 윈도우(23)에서 터널링이 발생되어 상기 제2 스토리지 트랜지스터(22)의 플로팅 게이트(26)에서 드레인 영역으로 전자가 이동된다. 그에 따라 상기 플로팅게이트(26)는 포지티브(positive)로 대전된다. 이때, 제1 액티브라인의 제1 스토리지 트랜지스터(12)에서는 터널 윈도우가 존재하지 않기 때문에 전자의 이동은 없다. 그러나 상기 제2 액티브라인의 제2 스토리지 트랜지스터(22)의 플로팅게이트와 상기 제1 액티브 라인의 제1 스토리지 트랜지스터(12)의 플로팅 게이트가 연결되어 있기 때문에, 제1 스토리지 트랜지스터(12)의 플로팅 게이트가 포지티브로 대전된 상태를 유지하게 된다.

#### 2. 소거(eraser) 동작

먼저, 상기 비트라인(B/L)을 접지시켜 저 전위가 상기 제1 스토리지 트랜지스터(12) 및 제2 스토리지 트랜지스터(22)의 드레인영역에 전달되도록 한다. 이때, 상기 제어게이트(27)에 인가되는 전압을 하이(high)로 하면 드레인 영역의 전자들이 상기 제2 스토리지 트랜지스터(22)의 플로팅 게이트(26)를 향하여 이동하는 터널링 현상이 일어난다. 그에 따라 상기 플로팅 게이트(26)는 네가티브(negative)로 대전된다. 이때, 제1 액티브라인의 제1 스토리지 트랜지스터(12)에서는 터널 윈도우가 존재하지 않기 때문에 전자의 이동은 없다. 그러나 상기 제2 액티브라인의 제2 스토리지 트랜지스터(22)의 플로팅 게이트는 제1 액티브 라인의 제1 스토리지 트랜지스터(12)의 플로팅 게이트(26)와 접촉되어 있기 때문에 상기 제1 스토리지 트랜지스터(12)의 플로팅 게이트(26) 또한 터널링 현상이 상기 제2 스토리지 트랜지스터(22)에서 일어난 후 네가티브로 대전된 상태를 유지하게 된다.

#### 3. 읽기(read)동작

먼저, 상기 비트라인(B/L)에 2V 내지 4V의 전압을 인가한 후 상기 소오스라인(S/L)을 접지시킨다. 그 후, 상기 제어게이트에 소정의 읽기전압(Vread)을 인가한다. 이때, 상기 제1 스토리지 트랜지스터(12)가 온(on)되는지에 따라 즉, 상기 제1 스토리지 트랜지스터(12)를 통해서 전류의 흐름이 발생되는지에 따라 1 또는 0의 상태를 구별한다. 바람직하게는 상기 읽기전압(Vread)은 상기 쓰기동작이 수행된 동안의 상기 제1 스토리지 트랜지스터(12)의 제1 문턱전압(Vt1)과 소거동작이 수행된 동안의 상기 제1 스토리지 트랜지스터(12)가 갖는 제2 문턱전압(Vt2)의 사이의 레벨은 갖는다.

## 제2 실시예

도 7는 본 발명에 제2 실시예에 의의한 비휘발성 메모리 소자를 나타내는 레이아웃이고, 도 8은 제1 액티브 라인을 나타내는 도 7의 B-B' 단면도이고, 도 9는 제2액티브 라인을 나타내는 도 7의 C-C' 단면도이다.

도 7 내지 도 9를 참조하면, 본 발명의 비휘발성 메모리 소자는 비트라인(B/L)과 소오스라인(S/L) 사이에 워드라인(W/L)과 제어게이트(27)가 평행하게 형성되어 있다. 상기 제어게이트(27)의 아래에는 상기 제어게이트(26)와 동일한 사이즈의 플로팅 게이트(26)가 형성되어 있다. 그리고 절연층(28)에 의해 상기 제어게이트(27)와 분리되어 있다. 또한, 상기 비트라인(B/L)과 소오스라인(S/L) 사이에는 제1 및 제2 액티브 라인이 형성되어 있는 데 상기 제1 액티브 라인은 상기 워드라인(W/L)과 수직으로 교차하는 동시에 제어게이트(27)의 인가전압 상태에 따라 상기 비트라인(B/L)과 소오스라인(S/L)을 연결한다.

상기 제2 액티브라인(active line)은 상기 제어게이트(27)의 인가전압 상태에 따라 상기 플로팅 게이트(26)에 전자를 주입하고 추출하기 위한 터널 산화막(25)으로 형성된 터널윈도우(tunnel window:23)에 상기 비트라인(B/L)을 연결한다.상기 제2 액티브 라인은 상기 제1 액티브라인 및 소오스라인(S/L)과는 필드 산화막(10)에 의해 절연되어 있다.

도 7 및 도 8을 참조하면, 상기 제1 액티브 라인은 상기 워드라인(W/L)과 교차되는 위치에 제1 셀렉트 트랜지스터(11), 제1 스토리지 트랜지스터(12) 및 상기 두 개의 트랜지스터에 의해 공유되는 공통 도핑된 영역(19)을 갖는다. 여기서 상기 공통 도핑된 영역(19)은 제1 스토리지 트랜지스터(11)의 드레인이면서 동시에 상기 제1 셀렉트 트랜지스터(11)의 소오스이기도 하다. 상기 제1 셀렉트 트랜지스터(11)는 상기 워드라인(W/L)이 제1 액티브라인과 교차되는 위치에 형성되어 있다. 그리고 상기 제1 액티브라인이 상기 제어게이트(27)와 교차되는 위치에는 제1 스토리지 트랜지스터(12)가 형성되어 있다. 상기 제1 셀렉트 트랜지스터(11)는 채널증가형(channel enhancement mode)NMOS 트랜지스터를 구비한다. 상기 제1 스토리지 트랜지스터(12)는 터널윈도우를 구비하지 않는다. 그리고 상기 제1 스토리지 트랜지스터의 소오스는 상기 소오스라인(S/L)에 연결된다.

도 7 및 도 9에 도시된 바와 같이, 상기 제2 액티브라인은 상기 워드라인(W/L)과 교차되는 위치에 제2 셀렉트 트랜지스터(27)를 구비하고, 상기 제어게이트(27)와 교차되는 위치에는 상기 제1 스토리지 트랜지스터(12)와 동일한 상태를 유지하는 플로팅게이트(floating gate)를 구비한 제2 스토리지 트랜지스터(22)가 형성되어 있다.그리고 상기 두 개의 트랜지스터에 의해 공유되는 공통 도핑된 영역(19)을 갖고 있다. 여기서 상기 공통 도핑된 영역(19)은 제2 스토리지 트랜지스터(21)의 드레인이면서 상기 제2 셀렉트 트랜지스터(22)의 소오스이기도 하다. 상기 제2 셀렉트 트랜지스터(27)는 채널 증가형(enhancement mode) Nmos를 구비한다. 상기 제2 스토리지 트랜지스터(22)는 상기 필드 산화막(10)에 의한 상기 소오스라인(S/L)의 절연으로 인해 소오스 영역을 구비하지 않는다. 상기 제2 스토리지 트랜지스터(22)의 플로팅 게이트(26) 아래에는 터널산화막(25)으로 구성되는 터널윈도우(23)가 형성되어 있다. 상기 제1 및 제2 셀렉트 트랜지스터의 트레인 영역은 비트라인(B/L)과 연결되어 있다.

상기와 같은 구성을 갖는 본 발명의 제2 실시예에 의한 비 휘발성 메모리 소자의 동작을 쓰기(write), 소거(erase) 및 읽기(read) 동작순으로 구분하여 상세히 설명한다.

### 1. 쓰기(write) 동작

먼저, 상기 비트라인(B/L)에 인가되는 전압을 하이(high)로 한다. 이때, 상기 워드라인(W/L)에 인가되는 전압을 하이로 하면 상기 제1 셀렉트 트랜지스터(11) 및 제2 셀렉트 트랜지스터(21)가 턴 온(turn-on)되어 상기 비트라인(B/L)에 인가된 고 전위가 상기 제1 스토리지 트랜지스터(12) 및 제2 스토리지 트랜지스터(22)의 드레인영역 즉, 도핑된 영역들(19, 29) 각각에 전달된다. 그 후, 상기 제어게이트(27)를 접지시키면 상기 제2 스토리지 트랜지스터(22)의 플로팅 게이트(26)에 형성된 터널윈도우(23)에서 터널링(tunneling) 현상이 나타난다. 이러한 터널링 현상에 의해 전자들이 상기 제2 스토리지 트랜지스터(22)의 플로팅 게이트(26)에서 드레인 영역으로 이동된다. 그에 따라 상기 플로팅 게이트(26)는 포지티브(positive)로 대전된다. 상기 제1 액티브라인의 제1 스토리지 트랜지스터(12)에는 터널윈도우(23)가 존재하지 않기 때문에 상기 제1 스토리지 트랜지스터(12)에서는 전자의 이동은 없다. 그러나 상기 제2 액티브라인의 제2 스토리지 트랜지스터(22)와 플로팅 게이트(26)는 상기 제1 스토리지 트랜지스터(12)의 플로팅 게이트(26)와 연결되어 있기 때문에 상기 제1 스토리지 트랜지스터(12)의 플로팅 게이트(26)는 터널링 현상이 있는 후에 포지티브로 대전된 상태가 된다.

### 2. 소거(eraser) 동작

먼저, 상기 비트라인(B/L)을 접지시키고, 워드라인(W/L)에 인가되는 전압은 하이(high)로 하여 상기 제1 셀렉트 트랜지스터(11) 및 제2 셀렉트 트랜지스터(27)를 턴온(turn-on)시킴으로써 상기 비트라인(B/L)에 인가된 저 전위가 상기 제1 스토리지 트랜지스터(12) 및 제2 스토리지 트랜지스터(22)의 드레인 영역에 전달한다. 그 후, 상기 제어게이트(27)에 인가되는 전압을 하이(high)로 하면 상기 제2 스토리지 트랜지스터(22)의 드레인영역에서 플로팅 게이트(26)로 전자의 터널링이 일어난다. 그에 따라 상기 플로팅 게이트(26)는 네가티브(negative)로 대전된다. 이때, 상기 제1 액티브라인의 제1 스토리지 트랜지스터(12)에서는 터널윈도우가 존재하지 않기 때문에 전자의 이동은 일어나지 않는다. 그러나 상기 제2 액티브라인의 제2 스토리지 트랜지스터(22)의 플로팅 게이트(26)가 상기 제1 스토리지 트랜지스터(12)의 플로팅 게이트(26)와 연결되어 있기 때문에 상기 제1 스토리지 트랜지스터(12)의 플로팅게이트(26)는 상기 터널링 현상이 있는 후 네가티브로 대전된 상태가 된다.

### 3. 읽기(read) 동작

먼저, 상기 워드라인(W/L)에 5V의 구동전압을 인가하여 상기 제1 셀렉트 트랜지스터(11) 및 제2 셀렉트 트랜지스터(27)를 턴온(turn-on)시키고, 상기 비트라인(B/L)은 2V 내지 4V의 전압을 인가한 후 상기 소오스라인(S/L)을 접지시킨다.

그 후, 상기 제어게이트(27)에 소정의 읽기 전압(Vread)을 인가한다. 이때, 상기 제1 스토리지 트랜지스터(12)가 온(on)되는지에 따라 즉, 전류의 흐름이 발생하는지에 따라 1 또는 0의 상태를 구별한다. 상기

읽기 전압(Vread)은 상기 쓰기 동작이 진행되는 동안의 상기 제1 스토리지 트랜지스터(12)가 갖는 제1 문턱전압(Vt1)과 상기 소거동작이 진행되는 동안의 상기 제1 스토리지 트랜지스터(12)가 갖는 제2 문턱전압(Vt2)의 사이의 전압레벨을 갖는다.

### 제3 실시예

도 10은 본 발명에 제3 실시예에 의한 비휘발성 메모리 소자를 나타내는 레이아웃이고, 도 11은 제1 액티브 라인을 나타내는 도 10의 B-B' 단면도이다. 도 12는 제2 액티브 라인을 나타내는 도 10의 C-C' 단면도이다. 도 13는 도 10의 등가회로도이다.

도 10을 참조하면, 본 발명의 제3 실시예에 의한 비휘발성 메모리 소자는 두 개의 분리된 형태의 워드라인(W/L1, W/L2)을 구비하는 것을 제외하고는 제2 실시예에 의한 비 휘발성 메모리 소자와 유사하다.

도 10 내지 도 12에 도시한 요소들은 실질적으로 도 7 내지 도 9에 도시된 요소들과 유사하다. 다음에 오는 설명은 상기 제2 및 제3 실시예의 다른 부분만으로 한정하여 설명한다.

본 발명의 제3 실시예에 의한 비 휘발성 메모리 소자는 제1 액티브라인의 제1 셀렉트 트랜지스터(11)의 턴온을 결정하는 제1 워드라인(w/L1)과 제2 액티브라인의 제2 셀렉트 트랜지스터(27)의 턴온을 결정하는 제2 워드라인(W/L2)을 구비하고 있는데, 이것은 제2 실시예의 워드라인(도 7의 W/L)을 분할한 형태이다. 제3 실시예에서 상기 제1 워드라인(W/L1)과 제2 워드라인(W/L2)은 각각 제1 및 제2 셀렉트 트랜지스터(11, 21)를 제어하는 수단이 된다. 결국, 제1 액티브라인과 제2 액티브라인을 개별적으로 제어할 수 있도록 한다. 그에 따라 읽기 동작시 비트라인을 통해 상기 제2 액티브라인을 통하여 흐르는 누설전류를 완전히 차단시킬 수 있게 된다. 상기와 같은 구성을 갖는 본 발명에 의한 비휘발성 메모리소자의 동작을 쓰기(write), 소거(erase) 및 읽기(read)동작으로 구분하여 상세히 설명한다.

#### 1. 쓰기(write)동작

먼저, 상기 비트라인(B/L)에 인가되는 전압을 하이(high)로 한다. 이때, 상기 제1 워드라인(W/L1)에 인가되는 전압을 로우(low)로 하고, 상기 제2 워드라인(W/L2)에 인가되는 전압을 하이로 하면 상기 제1 셀렉트 트랜지스터(11)는 턴오프(turn-off)되고 상기 제2 셀렉트 트랜지스터(27)는 턴 온(turn-on)된다. 그에 따라 상기 비트라인(B/L)에 인가된 고 전위가 상기 제2 스토리지 트랜지스터(22)의 드레인영역에 전달된다. 그 후, 상기 제어게이트를 접지시키면 상기 제2 스토리지 트랜지스터(22)의 플로팅 게이트(26)에 형성된 터널원도우(23)에서 터널링이 발생되어 상기 제2 스토리지 트랜지스터(22)의 플로팅 게이트(26)에서 드레인영역으로 전자가 이동된다. 그에 따라 상기 플로팅 게이트(26)는 포지티브(positive)로 대전된다. 이때, 제1 액티브라인의 제1 스토리지 트랜지스터(12)는 제1 워드라인(W/L1)이 턴 오프되어 있고 터널원도우(23)도 존재하지 않기 때문에 전자의 이동이 없다. 그러나 상기 제2 액티브라인의 제2 스토리지 트랜지스터(22)의 플로팅게이트(26)가 제1 스토리지 트랜지스터(12)의 플로팅 게이트(26)와 연결되어 있기 때문에 상기 제1 스토리지 트랜지스터(12)의 플로팅 게이트(26)는 상기 터널링 현상이 있는 후 포지티브로 대전된 상태를 유지하게 된다.

#### 2. 소거(eraser)동작

먼저, 상기 비트라인(B/L)을 접지시키고, 제1 워드라인(W/L1)에 인가되는 전압을 로우로 하고, 상기 제2 워드라인(W/L2)에 인가되는 전압을 하이로 하면 상기 제1 셀렉트 트랜지스터(11)는 턴오프(turn-off)되고 상기 제2 셀렉트 트랜지스터(27)는 턴 온(turn-on)된다. 그에 따라 상기 비트라인(B/L)에 인가된 저 전위가 상기 제2 스토리지 트랜지스터(22)의 드레인 영역에 전달된다. 그 후, 상기 제어게이트(25)에 인가되는 전압을 하이 (high)로 하면 상기 제2 스토리지 트랜지스터(22)의 드레인영역에서 플로팅게이트(26)로 전자가 이동되는 터널링이 발생된다. 그에 따라 상기 플로팅게이트는 네가티브(negative)로 대전된다. 이때, 제1 액티브라인의 제1 스토리지 트랜지스터(12)는 제1 워드라인(W/L1)이 턴 오프되어 있고 터널원도우(23)도 존재하지 않기 때문에 전자의 이동은 없다. 그러나 상기 제2 액티브라인의 제2 스토리지 트랜지스터(22)와 플로팅 게이트(26)가 상기 제1 스토리지 트랜지스터(12)의 플로팅 게이트(26)와 연결되어 있기 때문에 상기 제1 스토리지 트랜지스터(12)의 플로팅 게이트(26)는 상기 터널링 현상이 있는 후 동일하게 네가티브로 대전된 상태를 유지하게 된다.

#### 3. 읽기(read) 동작

읽기동작에서, 상기 제1 워드라인(W/L1)에 인가되는 전압이 높고 상기 제2 워드라인(W/L2)에 인가되는 전압이 낮을 때, 상기 제1 셀렉트 트랜지스터(11)는 턴온되어 상기 제1 스토리지 트랜지스터(12)는 상기 비트라인(B/L)에 연결된다. 그러나 상기 제2 스토리지 트랜지스터(21)는 턴 오프되어 상기 제1 스토리지 트랜지스터(22)의 터널 원도우는 상기 비트라인(B/L)과 분리된다.

상기 비트라인에는 소정의 전압(바람직하게는 2V 내지 4V)을 인가하고 상기 소오스라인(S/L)은 접지시킨다. 상기 제어 게이트 (27)에 소정의 읽기 전압(Vread)을 인가한다. 이때, 상기 제1 스토리지 트랜지스터(12)의 온(on), 오프(off)여부에 따라 즉, 상기 제1 스토리지 트랜지스터(12)를 통과하는 전류가 흐르는지의 여부에 따라 1 또는 0의 데이터가 결정된다. 상기 읽기전압(Vread)은 상기 쓰기 동작이 수행되는 동안의 상기 제1 스토리지 트랜지스터(12)가 갖는 제1 문턱전압(Vt1)과 상기 소거동작이 수행되는 동안의 상기 제1 스토리지 트랜지스터 (12)가 갖는 제2 문턱전압(Vt2)의 상이의 전압레벨을 갖는다. 이때, 상기 제2 액티브라인에는 제2 셀렉트 트랜지스터가 턴 오프(turn-off)되기 때문에 전류가 흐르지 않게 되어 상기 플로팅 게이트(26)의 상태가 변화되는 것을 방지하게 된다.

2 실시예와 같이 구성되고 동작되는 본 발명의 비휘발성 메모리 소자를 제조하여 테스트한 결과 도 14 내지 도 17의 결과를 얻었다.

도 14는 채널길이에 대한 셀 문턱전압을 나타내는 그래프로서, 참조부호 a는 소거(erase)동작 동안에 종래 기술에 의한 비휘발성 메모리소자의 셀 문턱전압을 나타내고, 참조부호 b는 본 발명의 제2 실시예에 의한 비 휘발성 메모리 소자의 셀 문턱전압을 나타낸다. 그리고 참조부호 c는 쓰기(write) 동작시 종래 기술에 의한 비 휘발성 메모리 소자의 셀 문턱전압을 나타내고, 참조부호 d는 쓰기 동작시 본 발명의 제2

실시예에 의한 비 휘발성 메모리 소자의 셀 문턱전압을 나타낸다.

도 14를 참조하면, 쓰기동작시 본 발명에 의한 비 휘발성 메모리 소자의 채널길이에 대한 셀 트랜지스터 전압은 종래 기술에 의한 비 휘발성 메모리 소자보다 2V이상 낮은 것을 알 수 있다.

도 15은 채널폭과 셀 문턱전압사이의 관계를 나타내는 그래프이다. 도 15에서 참조부호 a는 소거동작시 종래기술에 의한 비휘발성 메모리 소자의 셀 문턱전압을 나타내고, 참조부호 b는 소거동작시 본 발명의 제2 실시예에 의한 비 휘발성 메모리 소자의 셀 문턱전압을 나타낸다. 그리고 참조부호 c는 쓰기동작시 종래 기술에 의한 비휘발성 메모리 소자의 셀 문턱전압의 결과를 나타내고, 참조부호 d는 쓰기동작시 본 발명의 제2 실시예에 의한 비 휘발성 메모리 소자의 셀 문턱전압의 결과를 나타낸다.

도 15를 참조하면, 소거동작시에 채널폭과 비교해서 셀 트랜지스터의 전압 본 발명에 의한 비 휘발성 메모리 소자와 종래 기술에 의한 비 휘발성 메모리 소자사이에 차이가 없다는 것을 알 수 있다.

그러나, 쓰기 동작시에는 본 발명에 의한 비 휘발성 메모리 소자의 채널 폭에 대한 셀 트랜지스터의 전압은 종래 기술에 의한 비 휘발성 메모리 소자의 전압 보다 적어도 2V정도 낮은 것을 알 수 있다.

도 16은 채널길이에 대한 전류를 나타내는 그래프로써, 도 16에서 참조부호 a는 종래 기술에 의한 비휘발성 메모리소자의 셀 전류를 나타내고, 참조부호 b는 본 발명의 제2 실시예에 의한 비 휘발성 메모리 소자의 셀 전류를 나타낸다.

도 17은 채널 폭과 셀 전류사이의 관계를 나타낸 그래프인데, 도 17에서 참조부호 a와 b는 각각 종래 기술 및 본 발명의 제2 실시예에 의한 비 휘발성 메모리 소자의 셀 전류를 나타낸다.

도 16 및 도 17을 참조하면, 상기 채널길이 및 채널 폭에 대한 셀 전류는 종래 기술에 의한 비 휘발성 메모리 소자에서 보다 본 발명에 의한 비 휘발성 메모리 소자에서 더 높게 나타난다. 달리 말하면, 소거동작동안에 본 발명에 의한 비 휘발성 메모리 소자는 종래 기술에 의한 비 휘발성 메모리 소자에 비해 문턱전압에 낮고 셀 전류가 높다. 따라서 읽기동작시, 읽는 속도를 증가시킬 수 있을 뿐만 아니라 정확하게 읽을 수 있다.

도 18은 리드 타임(read time)에 대한 종래 및 본 발명에 의한 셀 문턱전압의 변화를 나타내는 그래프인데, 여기서 참조도형 라인 a와 c( $\Delta$ )는 각각 인가 전압 상태가 1과 0일 때 종래 기술에 의한 셀 문턱전압의 변화를 나타내고, 라인 b와 라인??( $\times$ )는 각각 인가 전압상태가 1과 0일 때, 본 발명의 제2 실시예에 의한 셀 문턱전압의 변화를 나타낸다.

도 18을 참조하면, 본 발명에 의한 비 휘발성 메모리 소자는 읽기동작의 반복수가 종래 기술에 의한 비 휘발성 메모리 소자와 비교될 정도로 극히 적은 문턱 전압의 변화를 보인다. 이러한 작은 변화는 본 발명의 제2 실시예와 일치하는 비휘발성 메모리 소자는 종래 기술에 의한 비 휘발성 메모리 소자에 비해 월등한 셀리텐션 타임(retention time)특성을 갖는 다는 것을 의미한다..

### 발명의 효과

이상에서 설명한 바와 같이 본 발명에 의한 비 휘발성 메모리 소자는 읽기동작과 쓰기 동작을 각기 다른 액티브라인에서 수행하고, 읽기동작이 수행되는 액티브라인에는 터널 윈도우가 존재하지 않기 때문에 반복적인 읽기동작의 수행으로 인한 데이터의 오류를 방지하는 기능이 탁월하여 장시간의 일기 보유시간(retention time)을 필요로하는 디바이스에 적합하다. 특히, 제3 실시예의 경우에서와 같이 워드라인을 각 액티브라인 별로 분리함으로써 읽기 동작시 제2 액티브라인으로 흐르는 누설전류를 완전히 차단하여 데이터의 보유특성을 더욱 향상시킬수 있다.

본 발명은 상기 실시예에 한정되지 않으며, 많은 변형이 본 발명의 기술적 사상내에서 당분야에서의 통상의 지식을 가진자에 의하여 실시가능함은 명백하다.

### (57) 청구의 범위

#### 청구항 1

비트라인(bit line);

소오스 라인(source line);

제어게이트;

플로팅 게이트;

상기 비트라인과 소오스라인을 연결하는 제1 액티브라인(active line); 및 상기 제1 액티브라인 및 소오스라인과 절연되어지고, 상기 비트라인을 상기 플로팅 게이트 하래에 형성된 터널윈도우(tunnel window)에 연결하는 제2 액티브라인을 포함하는 것을 특징으로 하는 비휘발성 메모리 소자.

#### 청구항 2

제1항에 있어서, 상기 비휘발성 메모리 소자는 워드라인(word line)을 추가로 포함하여 구성되어지되,

상기 워드라인에 인가되는 워드전압과 상기 제어게이트에 인가되는 제어전압에 따라 상기 제1액티브 라인 이 상기 비트라인과 소오스 라인을 연결하는 한편, 상기 워드라인에 인가되는 워드전압에 따라 상기 제2 액티브 라인이 상기 비트라인을 상기 터널 윈도우에 연결되는 것을 특징으로 하는 비휘발성 메모리 소자.

#### 청구항 3

제2항에 있어서,

상기 제1 액티브라인 및 제2 액티브라인이 상기 워드라인과 교차되는 위치에는 각각 제1 및 제2 셀렉트 트랜지스터(select transistor)가 형성되어 있는 것을 특징으로 하는 불휘발성 메모리 소자.

#### 청구항 4

제 1항에 있어서,

상기 제1 액티브라인과 제어게이트가 교차되는 위치에 플로팅게이트(floating gate)를 품하는 스토리지 트랜지스터(storage transistor)가 형성되어 있는 것을 특징으로 하는 불휘발성 메모리 소자.

#### 청구항 5

제2항에 있어서,

상기 워드라인은 상기 제1액티브 라인과 제2액티브 라인을 개별적으로 제어할 수 있는 제1 및 제2 워드라인으로 분리되어 있는 것을 특징으로 하는 불휘발성 메모리 소자.

#### 청구항 6

제5항에 있어서, 상기 제1 워드라인은 상기 제1 셀렉트 트랜지스터의 동작여부를 결정하는 수단이고 상기 제2 워드라인은 상기 제2 셀렉트 트랜지스터의 동작여부를 결정하는 수단인 것을 특징으로 하는 불휘발성 메모리 소자.

#### 청구항 7

소오스, 드레인, 플로팅게이트 및 제어 게이트를 갖는 제1 스토리지 트랜지스터; 및

드레인, 플로팅게이트, 제어게이트 및 상기 드레인과 플로팅게이트 사이의 터널경로를 제공하는 터널원도우를 갖는 제2 스토리지 트랜지스터에 있어서,

상기 제1 스토리지 트랜지스터의 플로팅 게이트와 제어 게이트는 각각 상기 제2 스토리지 트랜지스터의 플로팅게이트와 제어게이트에 연결되는 것을 특징으로 하는 불휘발성 메모리 소자.

#### 청구항 8

제 7항에 있어서, 상기 제1 스토리지 트랜지스터의 드레인에 연결된 게이트, 드레인 및 소오스를 갖는 제1 셀렉트 트랜지스터; 및 상기 제2 스토리지 트랜지스터의 드레인에 연결된 게이트, 드레인, 소오스를 갖는 제2 셀렉트 트랜지스터를 구비하는 것을 특징으로 하는 불휘발성 메모리 소자.

#### 청구항 9

제 8항에 있어서, 상기 제1 스토리지 트랜지스터의 소오스에 연결되는 소오스라인과 상기 제1 및 제2 셀렉트 트랜지스터의 드레인에 연결되는 비트라인을 더 포함하는 것을 특징으로 하는 불휘발성 메모리 소자.

#### 청구항 10

제 8항에 있어서, 상기 제1 스토리지 트랜지스터의 소오스는 소오스라인에 연결되고 상기 제1 스토리지 트랜지스터 및 제1 스토리지 트랜지스터의 드레인은 비트라인에 연결되는 것을 특징으로 하는 불휘발성 메모리 소자.

#### 청구항 11

제7항에 있어서, 상기 제1 스토리지 트랜지스터는 제2 액티브라인상에 형성된 것을 특징으로 하는 불휘발성 메모리 소자.

#### 청구항 12

제 8항에 있어서, 상기 제1 셀렉트 트랜지스터의 게이트는 상기 제2 셀렉트 트랜지스터의 게이트에 연결된 것을 특징으로 하는 불휘발성 메모리 소자.

#### 청구항 13

반도체기판 상에 형성된 제1 및 제2 액티브라인을 구비하고 활성영역을 한정하는 소자분리영역을 갖는 불휘발성 메모리 소자는

소오스, 드레인, 플로팅게이트 및 제어게이트를 갖고 상기 제1 액티브 라인상에 형성된 제1 스토리지 트랜지스터;

드레인, 플로팅게이트, 제어게이트 및 터널 산화막상에 형성된 터널 윈도우를 갖고 상기 제2 액티브라인상에 형성되어 있고 상기 제2 스토리지 트랜지스터의 플로팅게이트와 제어게이트 각각에 연결되는 제2 스토리지 트랜지스터;

상기 제1 스토리지 트랜지스터의 소오스와 연결되고 상기 제2 스토리지 트랜지스터의 드레인과 절연되는 소오스라인; 및

상기 제1 스토리지 트랜지스터와 제2 스토리지 트랜지스터의 드레인에 연결되는 비트라인을 포함하는 것을 특징으로 하는 불휘발성 메모리 소자.

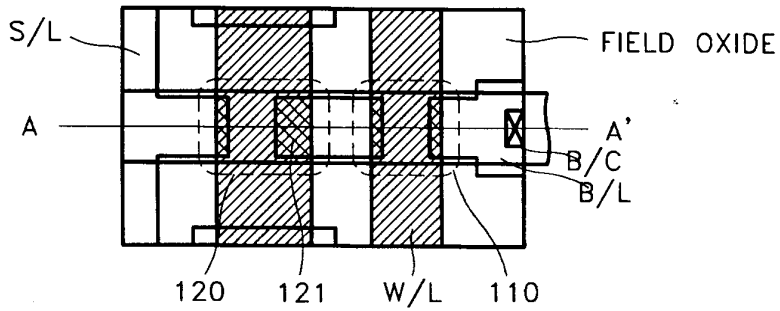
#### 청구항 14

제 13항에 있어서, 상기 제1 스토리지 트랜지스터의 드레인에 연결된 소오스와 상기 비트라인에 연결된

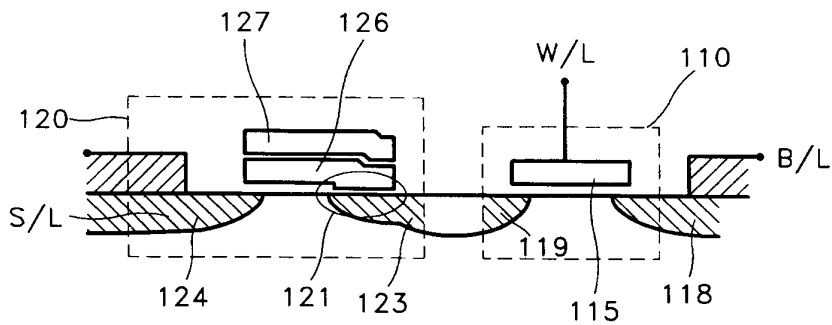
드레인 및 게이트를 갖는 제1 셀렉트 트랜지스터와 상기 제2 스토리지 트랜지스터의 드레인과 연결된 소오스, 상기 비트라인에 연결된 드레인 및 게이트를 갖는 제2 셀렉트 트랜지스터를 포함하는데, 상기 제1 및 제2 셀렉트 트랜지스터는 각각 상기 제1 및 제2 액티브라인 상에 형성된 것을 특징으로 하는 불휘발성 메모리 소자.

### 도면

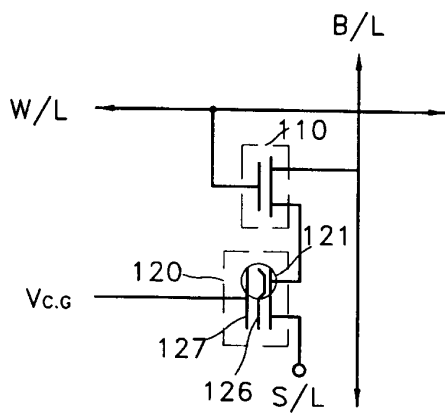
도면1



도면2

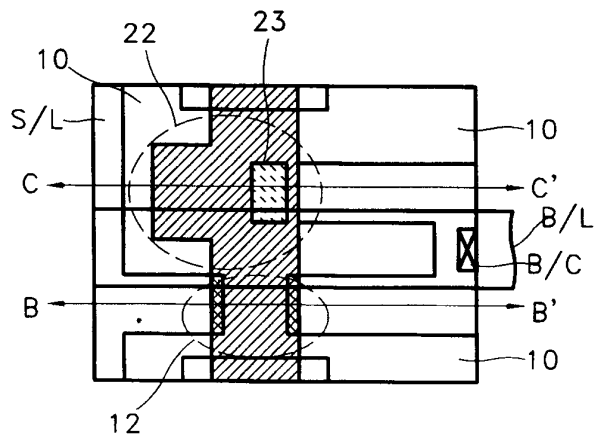


도면3

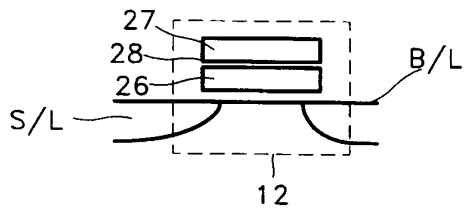




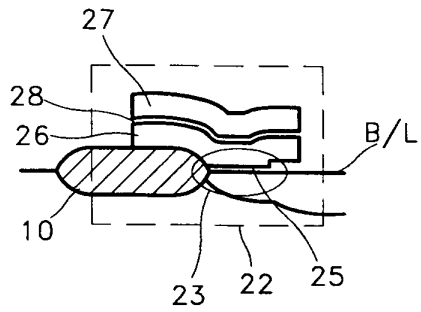
도면7



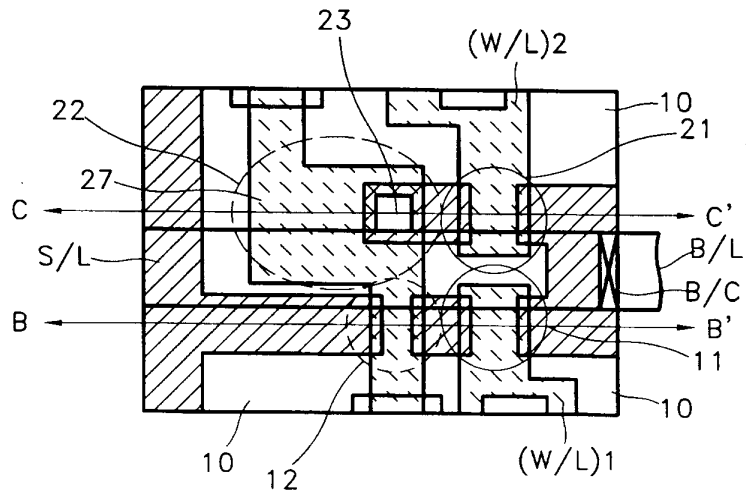
도면8



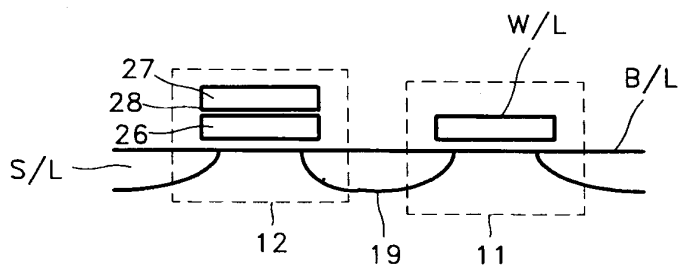
도면9



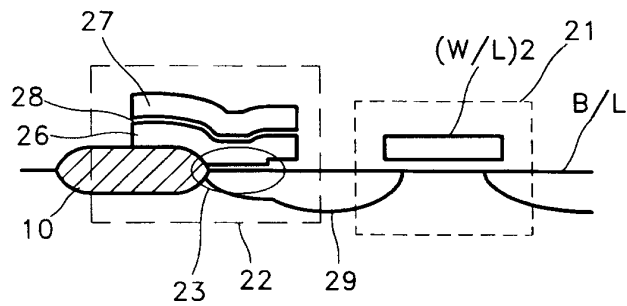
도면10



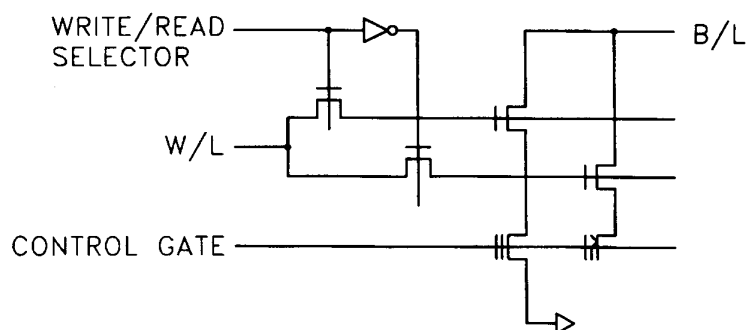
도면11



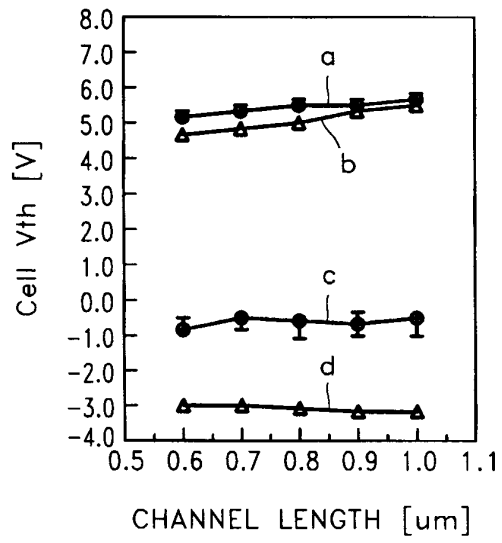
도면12



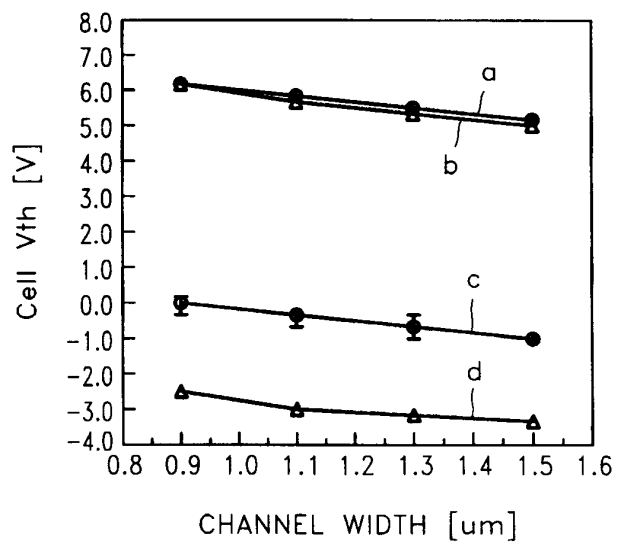
도면13



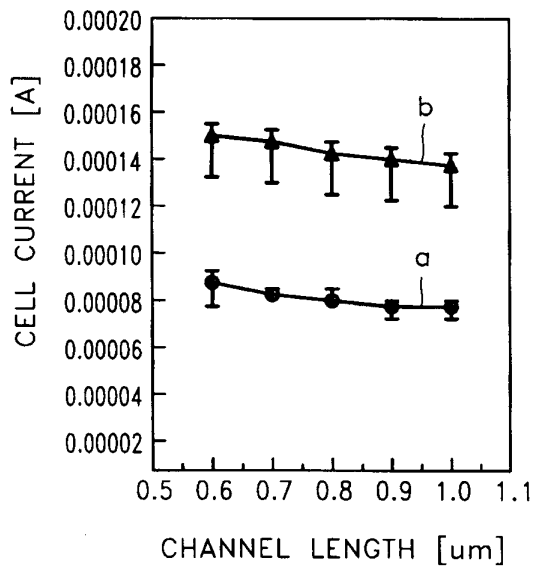
도면14



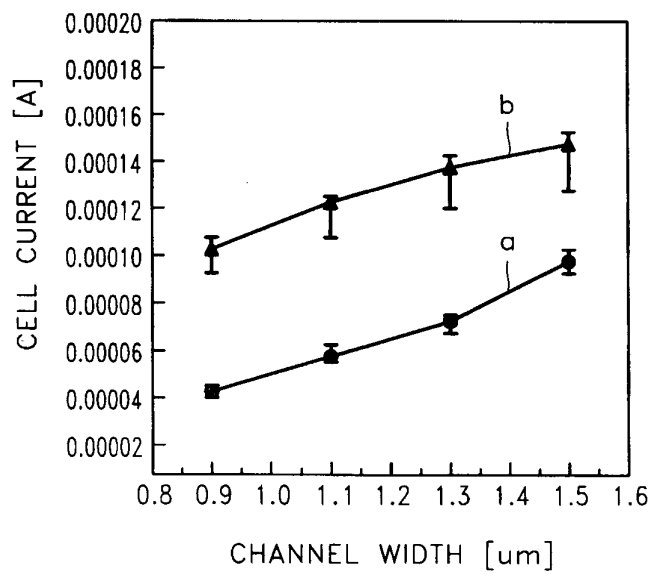
도면15



도면16



도면17



도면 18

