

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 11 月 22 日 (22.11.2018)



(10) 国际公布号
WO 2018/209909 A1

(51) 国际专利分类号:
G09G 3/3258 (2016.01)

TECHNOLOGY CO., LTD.) [CN/CN]; 中国安徽省
合肥市新站区工业园内, Anhui 230012 (CN)。

(21) 国际申请号: PCT/CN2017/110793

(22) 国际申请日: 2017 年 11 月 14 日 (14.11.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710349239.3 2017 年 5 月 17 日 (17.05.2017) CN

(72) 发明人: 胡祖权(**HU, Zuquan**); 中国北京市经济技术
开发区地泽路 9 号, Beijing 100176 (CN)。 王
锡平(**WANG, Xiping**); 中国北京市经济技术开
发区地泽路 9 号, Beijing 100176 (CN)。

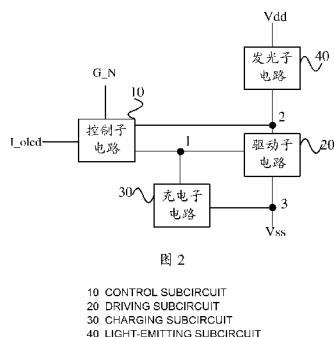
(74) 代理人: 北京市柳沈律师事务所(**LIU, SHEN &
ASSOCIATES**); 中国北京市海淀区彩和坊路 10
号 1 号楼 10 层, Beijing 100080 (CN)。

(71) 申请人: 京东方科技集团股份有限公司
(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号,
Beijing 100015 (CN)。 合肥鑫晟光电科技有
限公司(**HEFEI XINSHENG OPTOELECTRONICS**

(81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,
JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,

(54) Title: PIXEL DRIVING CIRCUIT, DISPLAY DEVICE AND DRIVING METHOD

(54) 发明名称: 像素驱动电路、显示装置和驱动方法



(57) Abstract: A pixel driving circuit, a display device and a driving method. The pixel driving circuit comprises a control subcircuit (10), a charging subcircuit (30), a driving subcircuit (20), and a light-emitting subcircuit (40); the control subcircuit (10) is connected to a data line (I_{oled}) and a control line (G_N); the control subcircuit (10) is connected to the driving subcircuit (20) by means of a first node (1) and a second node (2); the charging subcircuit (30) is connected to the driving subcircuit (20) by means of the first node (1) and a third node (3); the driving subcircuit (20) is connected to one end of the light-emitting subcircuit (40), and the other end of the light-emitting subcircuit (40) is connected to a first power supply (V_{dd}) or a second power supply (V_{ss}); the driving subcircuit (20) comprises a first thin film transistor (11); the control subcircuit (10) is used for controlling the first thin film transistor (11) to charge the charging subcircuit (30); and the charging subcircuit (30) is used for providing the voltage to the driving subcircuit (20) to drive the light-emitting subcircuit (40) to emit light.

(57) 摘要: 一种像素驱动电路、显示装置和驱动方法, 该像素驱动电路包括控制子电路(10)、充电子电路(30)、驱动子电路(20)和发光子电路(40); 控制子电路(10)与数据线(I_{oled})和控制线(G_N)连接, 控制子电路(10)通过第一节点(1)、第二节点(2)与驱动子电路(20)连接, 充电子电路(30)通过第一节点(1)、第三节点(3)与驱动子电路(20)连接, 驱动子电路(20)与发光子电路(40)的一端连接, 发光子电路(40)的另一端与第一电源(V_{dd})或者第二电源(V_{ss})连接, 驱动子电路(20)包括第一薄膜晶体管(11), 控制子电路(10)用于控制第一薄膜晶体管(11)对充电子电路(30)进行充电, 充电子电路(30)用于为驱动子电路(20)提供电压以驱动发光子电路(40)发光。

LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

像素驱动电路、显示装置和驱动方法

本申请要求于 2017 年 05 月 17 日递交的中国专利申请第 201710349239.3 号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

技术领域

本公开的实施例涉及一种像素驱动电路、显示装置和驱动方法。

10 背景技术

随着显示技术的进步，越来越多的有源矩阵有机发光二极管 AMOLED (Active Matrix Organic Light Emitting Diode) 显示面板进入市场，相对于传统的薄膜晶体管液晶显示面板，AMOLED 具有更快的反应速度，更高的对比度，更广的视角以及更薄的模组等优点，因此，AMOLED 越来越受到面板厂商的重视。

图 1 示出了一种像素驱动电路的结构，该像素驱动电路包括第一薄膜晶体管 51、第二薄膜晶体管 52、第三薄膜晶体管 53、第四薄膜晶体管 54、存储电容 55、第一电源 Vdd、第二电源 Vss、数据线 I_{oled}、控制线 G_N 和控制信号线 S1，该像素驱动电路的工作原理如下：

20 在写入阶段，控制线 G_N 为高电平，第二薄膜晶体管 52 和第三薄膜晶体管 53 开启，数据线 I_{oled} 上的信号电流经由第二薄膜晶体管 52 和第三薄膜晶体管 53 写入到第一薄膜晶体管 51 的栅极，同时信号电流通过第一薄膜晶体管 51 的源极和漏极对存储电容 55 充电。由于控制信号线 S1 为低电平，从而第四薄膜晶体管 54 关闭，第一电源 Vdd 与第二电源 Vss 无法形成回路，因此有机
25 发光二极管 (OLED) 56 不发光。此时，节点 A 与第一薄膜晶体管 51 的漏极短接，由于第一薄膜晶体管 51 的自调节作用，信号电流将通过第一薄膜晶体管 51 的漏极、源极流入到第二电源 Vss。在发光阶段，控制线 G_N 为低电平，第二薄膜晶体管 52 和第三薄膜晶体管 53 关闭，由于存储电容 55 的电荷保持作用，第一薄膜晶体管 51 的处于饱和开启状态，控制信号线 S1 为高电平，第
30 四薄膜晶体管 54 开启，第一电源 Vdd 与第二电源 Vss 形成回路，信号电流被完全复制为驱动信号电流，提供给 OLED 56 以驱动其发光。

一方面，在发光阶段，第四薄膜晶体管 54 串联在第一电源 Vdd 与第二电源 Vss 形成的回路中，且第四薄膜晶体管 54 在线性开启时具有电阻 R，从而在 OLED 56 持续发光时，第四薄膜晶体管 54 消耗的电能为 I^2R ，其中 I 为信号电流，对于每个 OLED 像素，都有一个电阻 R 存在，从而造成整个 OLED 显示面板功率的损耗。另一方面，OLED 显示面板设置有控制信号线 S1 以控制第四薄膜晶体管 54，使得信号线数量增加，造成 OLED 显示面板走线复杂，生产良率降低。

发明内容

本公开实施例提供一种像素驱动电路、显示装置和驱动方法，以解决现有的像素驱动电路功耗高，OLED 显示面板走线复杂，生产良率低的问题。

本公开实施例提供了一种像素驱动电路，其包括：控制子电路、充电子电路、驱动子电路和发光子电路。所述控制子电路与数据线和控制线连接，所述控制子电路通过第一节点、第二节点与所述驱动子电路连接；所述充电子电路通过所述第一节点和第三节点与所述驱动子电路连接；所述发光子电路的一端与所述驱动子电路连接，所述发光子电路的另一端与第一电源或者第二电源连接；所述驱动子电路包括第一薄膜晶体管；所述控制子电路通过所述第一节点和所述第三节点控制所述第一薄膜晶体管对所述充电子电路进行充电，所述充电子电路通过所述第一节点为所述驱动子电路提供电压，所述驱动子电路驱动所述发光子电路发光。

例如，在本公开一实施例提供的像素驱动电路中，所述充电子电路包括存储电容，所述存储电容的一端连接所述第一节点，所述存储电容的另一端连接所述第三节点，所述第三节点连接所述第二电源。

例如，在本公开一实施例提供的像素驱动电路中，所述驱动子电路的第一薄膜晶体管的栅极与所述第一节点连接，所述第一薄膜晶体管的源极与所述第三节点连接；所述第一薄膜晶体管的漏极与所述第二节点连接。

例如，在本公开一实施例提供的像素驱动电路中，所述发光子电路包括发光器件，所述发光器件的阴极与所述第二节点连接，所述发光器件的阳极与所述第一电源连接。

例如，在本公开一实施例提供的像素驱动电路中，所述控制子电路包括：第二薄膜晶体管和第三薄膜晶体管；所述第二薄膜晶体管的栅极和所述第三薄

膜晶体管的栅极相连，并连接所述控制线；所述第二薄膜晶体管的漏极连接所述数据线；所述第二薄膜晶体管的源极、所述第三薄膜晶体管的漏极与所述第一节点连接；所述第三薄膜晶体管的源极与所述第二节点连接。

例如，在本公开一实施例提供的像素驱动电路中，所述控制子电路还包括
5 第四薄膜晶体管，所述第四薄膜晶体管的栅极和所述第二薄膜晶体管的栅极、所述第三薄膜晶体管的栅极相连；所述第四薄膜晶体管的源极与所述第二节点连接，所述第四薄膜晶体管的漏极与所述第一电源连接。

例如，在本公开一实施例提供的像素驱动电路中，所述控制子电路包括第二薄膜晶体管、第三薄膜晶体管和第四薄膜晶体管；所述第二薄膜晶体管的栅极、所述第三薄膜晶体管的栅极和所述第四薄膜晶体管的栅极相连，并连接所述控制线；所述第二薄膜晶体管的漏极连接所述数据线；所述第二薄膜晶体管的源极、所述第三薄膜晶体管的漏极与所述第一节点连接；所述第三薄膜晶体管的源极与所述第二节点连接；所述第二节点与所述第一电源连接；所述第四薄膜晶体管的漏极与所述第三节点连接，所述第四薄膜晶体管的源极与所述第二
10 电源连接。
15 二电源连接。

例如，在本公开一实施例提供的像素驱动电路中，所述发光子电路包括发光器件，所述发光器件的阳极与所述第三节点连接，所述发光器件的阴极与所述第二电源连接。

本公开实施例还提供了一种显示装置，包括本公开任一实施例提供的像素
20 驱动电路。

本公开实施例还提供了一种像素驱动电路的驱动方法，所述像素驱动电路包括控制子电路、充电子电路、驱动子电路和发光子电路，所述驱动方法包括：通过所述控制子电路控制所述驱动子电路对所述充电子电路进行充电；通过所述充电子电路为所述驱动子电路提供电压以驱动所述发光子电路发光。

例如，在本公开一实施例提供的驱动方法中，所述控制子电路包括第二薄膜晶体管和第三薄膜晶体管，所述驱动子电路包括第一薄膜晶体管，所述充电子电路包括存储电容，通过所述控制子电路控制所述驱动子电路对所述充电子电路进行充电包括：所述控制线提供高电平，使得所述第二薄膜晶体管和所述第三薄膜晶体管开启；所述数据线提供信号电流，所述信号电流通过所述第一
25 薄膜晶体管的栅极和源极对所述存储电容充电。
30 薄膜晶体管的栅极和源极对所述存储电容充电。

例如，在本公开一实施例提供的驱动方法中，通过所述充电子电路为所述

驱动子电路提供电压以驱动所述发光子电路发光包括：所述控制线提供低电平，使得所述第二薄膜晶体管和所述第三薄膜晶体管关闭；通过所述存储电容为所述第一薄膜晶体管的栅极提供高电平，使得所述第一薄膜晶体管开启；所述第一电源提供高电平，以驱动所述发光子电路发光。

5 例如，在本公开一实施例提供的驱动方法中，所述控制子电路包括第二薄膜晶体管、第三薄膜晶体管和第四薄膜晶体管，所述驱动子电路包括第一薄膜晶体管，所述充电子电路包括存储电容，通过所述控制子电路控制所述驱动子电路对所述充电子电路进行充电包括：所述控制线提供高电平，使得所述第二薄膜晶体管、所述第三薄膜晶体管和所述第四薄膜晶体管开启；所述数据线提供信号电流，所述信号电流通过所述第一薄膜晶体管的栅极和源极对所述存储电容充电。

10 例如，在本公开一实施例提供的驱动方法中，通过所述充电子电路为所述驱动子电路提供电压以驱动所述发光子电路发光包括：所述控制线提供低电平，使得所述第二薄膜晶体管、所述第三薄膜晶体管和所述第四薄膜晶体管关闭；通过所述存储电容为所述第一薄膜晶体管的栅极提供高电平，使得所述第一薄膜晶体管开启；所述第一电源提供高电平，以驱动所述发光子电路发光。

15 本公开实施例的像素驱动电路包括控制子电路、充电子电路、驱动子电路和发光子电路，控制子电路与数据线和控制线连接，控制子电路通过第一节点、第二节点与驱动子电路连接，充电子电路通过第一节点、第三节点与驱动子电路连接，驱动子电路与发光子电路的一端连接，发光子电路的另一端与第一电源或者第二电源连接，驱动子电路包括第一薄膜晶体管，控制子电路通过第一节点和第三节点控制第一薄膜晶体管对充电子电路进行充电，充电子电路通过第一节点为驱动子电路提供电压，驱动子电路驱动发光子电路发光。本公开实施例的驱动子电路仅包括第一薄膜晶体管，因此有利于减少电源负载、降低功耗；另外，由于只有控制线和数据线，不需要增加其它信号控制线，电路结构走线更加简单，有利简化制造工艺和提高良率。

附图说明

30 为了更清楚地说明本公开实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本公开的一些实施例，而非对本公开的限制。

图 1 是一种像素驱动电路的结构示意图；

图 2 是本公开一实施例提供的一种像素驱动电路的示意图；

图 3 是本公开一实施例提供的一种像素驱动电路的结构示意图；

图 4 是本公开另一实施例提供的一种像素驱动电路的结构示意图；

5 图 5 是本公开又一实施例提供的一种像素驱动电路的结构示意图；

图 6 是本公开一实施例提供的一种像素驱动电路的驱动方法的流程图；以及

图 7 是本公开一实施例提供的一种像素驱动电路的信号时序图。

10 具体实施方式

为了使得本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。

图 2 为本公开一实施例提供的一种像素驱动电路的示意图。

例如，如图 2 所示，本公开实施例的像素驱动电路包括：控制子电路 10、充电子电路 30、驱动子电路 20 和发光子电路 40，控制子电路 10 与数据线 I_{oled} 和控制线 G_N 连接，控制子电路 10 通过第一节点 1、第二节点 2 与驱动子电路 20 连接，充电子电路 30 通过第一节点 1、第三节点 3 与驱动子电路 20 连接，驱动子电路 20 与发光子电路 40 的一端连接，发光子电路 40 的另一端与第一电源 V_{dd} 或者第二电源 V_{ss} 连接，驱动子电路 20 包括第一薄膜晶体管。

本公开实施例的像素驱动电路的工作原理为：控制子电路 10 通过第一节点 1 和第三节点 3 控制驱动子电路 20 的第一薄膜晶体管对充电子电路 30 进行充电，充电子电路 30 通过第一节点 1 为驱动子电路 20 提供电压，驱动子电路

20 用于驱动发光子电路 40 发光。

图 3 为本公开一实施例提供的像素驱动电路的结构示意图。

例如，如图 3 所示，在本公开实施例的像素驱动电路中，控制子电路 10 包括第二薄膜晶体管 12 和第三薄膜晶体管 13，第二薄膜晶体管 12 的栅极和第三薄膜晶体管 13 的栅极相连，并连接控制线 G_N，第二薄膜晶体管 12 的漏极连接数据线 I_oled，第二薄膜晶体管 12 的源极、第三薄膜晶体管 13 的漏极与第一节点 1 连接，第三薄膜晶体管 13 的源极与第二节点 2 连接。

充电子电路 30 包括存储电容 15，存储电容 15 的一端连接第一节点 1，存储电容 15 的另一端与第三节点 3 连接，第三节点 3 与第二电源 Vss 连接。

10 驱动子电路 20 包括第一薄膜晶体管 11，第一薄膜晶体管 11 的栅极与第一节点 1 连接，第一薄膜晶体管 11 的源极与第三节点 3 连接，第一薄膜晶体管 11 的漏极与第二节点 2 连接。

发光子电路 40 包括发光器件 16，发光器件 16 的阴极与第二节点 2 连接，发光器件 16 的阳极与第一电源 Vdd 连接。

15 例如，发光器件 16 可以为有机发光二极管。

本公开实施例中，第一电源 Vdd 相对第二电源 Vss 为高电平。也就是说，第一电源 Vdd 的电平比第二电源 Vss 的电平高。

例如，在本公开实施例中，第一薄膜晶体管 11、第二薄膜晶体管 12 和第三薄膜晶体管 13 可以为 N 型薄膜晶体管。但不限于此，第一薄膜晶体管 11、第二薄膜晶体管 12 和第三薄膜晶体管 13 也可以为 P 型薄膜晶体管。

例如，在本公开实施例的像素驱动电路中，在写入阶段，控制线 G_N 提供高电平，使得第二薄膜晶体管 12 和第三薄膜晶体管 13 开启，数据线 I_oled 提供信号电流，信号电流通过第二薄膜晶体管 12 后写入第一薄膜晶体管 11 的栅极，第三薄膜晶体管 13 开启，从而第一节点 1 与第二节点 2 之间短接，由于第一薄膜晶体管 11 的自调节作用，信号电流经由第一薄膜晶体管 11 漏极和源极对存储电容 15 充电，此外，信号电流通过第一薄膜晶体管 11 的漏极、源极流入到第二电源 Vss。第一电源 Vdd 不提供电平信号，即第一电源 Vdd 悬空，以使得第一电源 Vdd、第一薄膜晶体管 11、发光器件 16 和第二电源 Vss 无法形成回路，发光器件 16 不发光。

30 在发光阶段，控制线 G_N 提供低电平，使得第二薄膜晶体管 12 和第三薄膜晶体管 13 关闭，由于存储电容 15 的电荷保持作用，存储电容 15 为第一薄

膜晶体管 11 的栅极提供高电平,使得第一薄膜晶体管 11 保持开启,第一薄膜晶体管 11 的漏极和源极导通,此时,流经发光器件 16 的电流即是第一薄膜晶体管 11 的开启电流(即写入阶段的信号电流)。第一电源 Vdd 提供高电平,第一电源 Vdd、第一薄膜晶体管 11、发光器件 16 和第二电源 Vss 形成回路,发光器件 16 发光。

可见,本公开实施例的驱动子电路仅包括第一薄膜晶体管,因此有利于减少电源负载、降低功耗;另外,由于只有控制线 G_N 和数据线 I_oled,不需要增加其它信号控制线,电路结构走线更加简单,有利简化制造工艺和提高良率。

图 4 为本公开另一实施例提供的像素驱动电路的结构示意图。

例如,如图 4 所示,与图 3 所示的实施例的像素驱动电路相比,图 4 所示的实施例的像素驱动电路的控制子电路 10 还包括第四薄膜晶体管 14,第四薄膜晶体管 14 的栅极和第二薄膜晶体管 12 的栅极、第三薄膜晶体管 13 的栅极相连,第四薄膜晶体管 14 的源极与第二节点 2 连接,第四薄膜晶体管 14 的漏极与第一电源 Vdd 连接。

例如,第一薄膜晶体管 11、第二薄膜晶体管 12、第三薄膜晶体管 13 和第四薄膜晶体管 14 可以为 N 型薄膜晶体管或 P 型薄膜晶体管。

例如,在本公开实施例的像素驱动电路中,在写入阶段,控制线 G_N 提供高电平,使得第二薄膜晶体管 12、第三薄膜晶体管 13 和第四薄膜晶体管 14 开启,第四薄膜晶体管 14 短接发光器件 16,发光器件 16 不发光,数据线 I_oled 提供信号电流,信号电流通过第二薄膜晶体管 12 后写入第一薄膜晶体管 11 的栅极,第三薄膜晶体管 13 开启,从而第一节点 1 与第二节点 2 之间短接,由于第一薄膜晶体管 11 的自调节作用,且第一电源 Vdd 悬空,信号电流经由第一薄膜晶体管 11 漏极和源极对存储电容 15 充电;信号电流可以通过第一薄膜晶体管 11 的漏极、源极流入到第二电源 Vss。

在发光阶段,控制线 G_N 提供低电平,使得第二薄膜晶体管 12、第三薄膜晶体管 13 和第四薄膜晶体管 14 关闭;由于存储电容 15 的电荷保持作用,存储电容 15 为第一薄膜晶体管 11 的栅极提供高电平,使得第一薄膜晶体管 11 保持开启,第一薄膜晶体管 11 的漏极和源极导通,此时,流经发光器件 16 的电流即是第一薄膜晶体管 11 的开启电流(即写入阶段的信号电流)。第一电源 Vdd 提供高电平,第一电源 Vdd、第一薄膜晶体管 11、发光器件 16 和第二电源 Vss 形成回路,发光器件 16 发光。

可见,本公开实施例的驱动子电路仅包括第一薄膜晶体管,因此有利于减少电源负载、降低功耗;另外,由于只有控制线和数据线,不需要增加其它信号控制线,电路结构走线更加简单,有利简化制造工艺和提高良率。

本公开实施例的像素驱动电路中,控制子电路增加第四薄膜晶体管,提高了电路的稳定性,有利于发光器件稳定发光,保证了显示器的显示亮度均匀性。

图5为本公开又一实施例提供的像素驱动电路的结构示意图。

例如,如图5所示,在本公开实施例的像素驱动电路中,控制子电路10包括第二薄膜晶体管12、第三薄膜晶体管13和第四薄膜晶体管14。第二薄膜晶体管12的栅极、第三薄膜晶体管13的栅极和第四薄膜晶体管14的栅极相连,并连接控制线G_N,第二薄膜晶体管12的漏极连接数据线I_oled,第二薄膜晶体管12的源极、第三薄膜晶体管13的漏极与第一节点1连接,第三薄膜晶体管13的源极与第二节点2连接,第二节点2与第一电源Vdd连接,第四薄膜晶体管14的漏极与第三节点3连接,第四薄膜晶体管14的源极与第二电源Vss连接。

例如,在本公开实施例中,发光子电路40包括发光器件16,发光器件16的阳极与第三节点3连接,发光器件16的阴极与第二电源Vss连接。

例如,发光器件16可以是有机发光二极管。

例如,在本公开实施例中,充电子电路30包括存储电容15,存储电容15的一端连接第一节点1,存储电容15的另一端连接第三节点3。

驱动子电路20包括第一薄膜晶体管11。第一薄膜晶体管11的栅极与第一节点1连接,第一薄膜晶体管11的源极与第三节点3连接,第一薄膜晶体管11的漏极与第二节点2连接。

例如,第一薄膜晶体管11、第二薄膜晶体管12、第三薄膜晶体管13和第四薄膜晶体管14可以为N型薄膜晶体管或P型薄膜晶体管。

例如,在本公开实施例的像素驱动电路中,在写入阶段,控制线G_N提供高电平,使得第二薄膜晶体管12、第三薄膜晶体管13和第四薄膜晶体管14开启,第四薄膜晶体管14短接发光器件16,发光器件16不发光,数据线I_oled提供信号电流,信号电流通过第二薄膜晶体管12后写入第一薄膜晶体管11的栅极,第三薄膜晶体管13开启,从而第一节点1与第二节点2之间短接,由于第一薄膜晶体管11的自调节作用,且第一电源Vdd悬空,信号电流经由第一薄膜晶体管11漏极和源极对存储电容15充电;信号电流可以通过第一薄膜

晶体管 11 的漏极、源极和第四薄膜晶体管 14 的漏极、源极流入到第二电源 Vss。

在发光阶段，控制线 G_N 提供低电平，使得第二薄膜晶体管 12、第三薄膜晶体管 13 和第四薄膜晶体管 14 关闭；存储电容 15 为第一薄膜晶体管 11 的栅极提供高电平，使得第一薄膜晶体管 11 保持开启，第一薄膜晶体管 11 的漏极和源极导通，此时，流经发光器件 16 的电流即是第一薄膜晶体管 11 的开启电流（即写入阶段的信号电流）。第一电源 Vdd 提供高电平，第一电源 Vdd、第一薄膜晶体管 11、发光器件 16 和第二电源 Vss 形成回路，发光器件 16 发光。

可见，本公开实施例的驱动子电路仅包括第一薄膜晶体管，因此有利于减少电源负载、降低功耗；另外，由于只有控制线 G_N 和数据线 I_oled，不需要增加其它信号控制线，电路结构走线更加简单，有利简化制造工艺和提高良率。

本公开实施例的像素驱动电路中，驱动子电路增加第四薄膜晶体管，提高了电路的稳定性，有利于发光器件稳定发光，保证了显示器的显示亮度均匀性。

本公开实施例的像素驱动电路中，显示面板上的所有发光器件的阴极均共同连接到第二电源 Vss，公共阴极方式比公共阳极方式在制造工艺方面更容易保证产品良率。

图 6 为本公开一实施例提供的像素驱动电路的驱动方法的步骤流程图。

图 7 为本公开一实施例提供的像素驱动电路的信号时序图。

例如，如图 6 所示，本公开实施例的像素电路的驱动方法基于像素驱动电路，该像素驱动电路包括控制子电路、充电电子电路、驱动子电路和发光子电路和第一电源，该驱动方法包括：

步骤 101，通过所述控制子电路控制所述驱动子电路对所述充电电子电路进行充电；以及

步骤 102，通过所述充电电子电路为所述驱动子电路提供电压以驱动所述发光子电路发光。

在实际应用中，像素驱动电路可以分为不发光阶段（写入阶段）和发光阶段，写入阶段为对充电电子电路进行充电的阶段。

例如，如图 7 所示，本公开实施例的信号时序包括控制线 G_N 的扫描信号时序、数据线 I_oled 的数据信号时序和第一电源 Vdd 的电源信号时序，信号时序可以分为写入阶段和发光阶段。

在图 3 所示的实施例中，像素驱动电路的控制子电路 10 包括第二薄膜晶

体管 12 和第三薄膜晶体管 13, 像素驱动电路的驱动子电路 20 包括第一薄膜晶体管 11, 像素驱动电路的充电子电路 30 包括存储电容 15, 则步骤 101 可以包括如下子步骤:

5 S11, 所述控制线提供高电平, 使得所述第二薄膜晶体管和第三薄膜晶体管开启;

S12, 所述数据线提供信号电流, 所述信号电流通过所述第一薄膜晶体管的栅极和源极对所述存储电容充电。

例如, 在子步骤 S11 中, 如图 7 所示, 在写入阶段 (T1), 当控制线 G_N 提供高电平时, 如图 3 所示, 由于第二薄膜晶体管 12 和第三薄膜晶体管 13 的栅极和控制线 G_N 相连, 基于薄膜晶体管的特性, 第二薄膜晶体管 12 和第三薄膜晶体管 13 开启。

例如, 在子步骤 S12 中, 如图 7 所示, 在写入阶段 (T1), 当数据线 I_{oled} 提供信号电流时, 如图 3 所示, 由于第二薄膜晶体管 12 的漏极与数据线 I_{oled} 相连, 信号电流通过第二薄膜晶体管 12 写入第一薄膜晶体管 11 的栅极, 第三薄膜晶体管 13 开启, 从而第一节点 1 与第二节点 2 之间短接, 由于第一薄膜晶体管 11 的自调节作用, 信号电流经由第一薄膜晶体管 11 漏极和源极对存储电容 15 充电。信号电流将通过第一薄膜晶体管 11 的漏极、源极流入到第二电源 V_{ss}。

例如, 在子步骤 S12 中, 如图 7 所示, 在写入阶段 (T1), 第一电源 V_{dd} 可以提供低电平 V_{d0} (例如, V_{d0}=0)。需要说明的是, 在子步骤 S12 中, 第一电源 V_{dd} 也可以不提供电平信号, 即第一电源 V_{dd} 悬空。

在图 4 和图 5 所示的实施例, 像素驱动电路的控制子电路 10 包括第二薄膜晶体管 12、第三薄膜晶体管 13 和第四薄膜晶体管 14, 像素驱动电路的驱动子电路 20 包括第一薄膜晶体管 11, 像素驱动电路的充电子电路 30 包括存储电容 15, 则步骤 101 可以包括如下子步骤:

25 S21, 所述控制线提供高电平, 使得所述第二薄膜晶体管、第三薄膜晶体管和第四薄膜晶体管开启;

S22, 所述数据线提供信号电流, 所述信号电流通过所述第一薄膜晶体管的栅极和源极对所述存储电容充电。

30 例如, 在子步骤 S21 中, 如图 7 所示, 在写入阶段 (T1), 当控制线 G_N 提供高电平时, 如图 4 和图 5 所示, 由于第二薄膜晶体管 12、第三薄膜晶体管

13 的栅极、第四薄膜晶体管 14 的栅极和控制线 G_N 相连, 基于薄膜晶体管的特性, 第二薄膜晶体管 12、第三薄膜晶体管 13 和第四薄膜晶体管 14 开启。

例如, 在子步骤 S22 中, 如图 7 所示, 在写入阶段 (T1), 当数据线 I_{oled} 提供信号电流时, 如图 4 和图 5 所示, 由于第二薄膜晶体管 12 的漏极与数据线 I_{oled} 相连, 信号电流通过第二薄膜晶体管 12 写入第一薄膜晶体管 11 的栅极, 第三薄膜晶体管 13 开启, 从而第一节点 1 与第二节点 2 之间短接, 由于第一薄膜晶体管 11 的自调节作用, 信号电流经由第一薄膜晶体管 11 漏极和源极对存储电容 15 充电。信号电流将通过第一薄膜晶体管 11 的漏极、源极流入到第三节点 3, 最终信号电流流入第二电源 V_{ss}。

10 例如, 在子步骤 S22 中, 在写入阶段 (T1), 第一电源 V_{dd} 不提供电平信号, 即第一电源 V_{dd} 悬空。

在图 3 所示的实施例中, 像素驱动电路的控制子电路 10 包括第二薄膜晶体管 12 和第三薄膜晶体管 13, 像素驱动电路的驱动子电路 20 包括第一薄膜晶体管 11, 像素驱动电路的充电子电路 30 包括存储电容 15, 则步骤 102 可以包括如下子步骤:

S31, 所述控制线提供低电平, 使得所述第二薄膜晶体管和第三薄膜晶体管关闭;

S32, 通过所述存储电容为所述第一薄膜晶体管的栅极提供高电平, 使得所述第一薄膜晶体管开启;

20 S33, 所述第一电源提供高电平, 以驱动所述发光子电路发光。

例如, 如图 7 所示, 在发光阶段 (T2), 控制线 G_N 提供低电平, 第二薄膜晶体管 12 和第三薄膜晶体管 13 关闭, 由于存储电容 15 的放电作用, 存储电容 15 可以为第一薄膜晶体管 11 的栅极提供高电平, 以使得第一薄膜晶体管 11 保持开启状态, 第一薄膜晶体管 11 的漏极和源极导通, 其开启电流即为写入阶段流过第一薄膜晶体管 11 漏极和源极的信号电流, 同时第一电源 V_{dd} 提供高电平 V_{d1}, 使得第一电源 V_{dd}、第一薄膜晶体管 11、发光器件 16 和第二电源 V_{ss} 形成回路, 从而驱动发光子电路 40 的发光器件 16 发光。

在图 4 和图 5 所示的实施例中, 像素驱动电路的控制子电路 10 包括第二薄膜晶体管 12、第三薄膜晶体管 13 和第四薄膜晶体管 14, 像素驱动电路的驱动子电路 20 包括第一薄膜晶体管 11, 像素驱动电路的充电子电路 30 包括存储电容 15, 则步骤 102 可以包括如下子步骤:

S41, 所述控制线提供低电平, 所述第二薄膜晶体管、第三薄膜晶体管和第四薄膜晶体管关闭;

S42, 通过所述存储电容为所述第一薄膜晶体管的栅极提供高电平, 使得所述第一薄膜晶体管开启;

5 S43, 所述第一电源提供高电平, 以驱动所述发光子电路发光。

例如, 如图 7 所示, 在发光阶段 (T2), 控制线 G_N 提供低电平, 第二薄膜晶体管 12、第三薄膜晶体管 13 和第四薄膜晶体管 14 关闭, 由于存储电容 15 的放电作用, 存储电容 15 可以为第一薄膜晶体管 11 的栅极提供高电平, 以使得第一薄膜晶体管 11 保持开启状态, 第一薄膜晶体管 11 的漏极和源极导通, 其开启电流即为写入阶段流过第一薄膜晶体管 11 栅极和源极的信号电流, 同时第一电源 Vdd 提供高电平 Vd1, 使得第一电源 Vdd、第一薄膜晶体管 11、发光器件 16 和第二电源 Vss 形成回路, 从而驱动发光子电路 40 的发光器件 16 发光。

在本公开实施例的像素驱动电路的驱动方法中, 该像素驱动电路的驱动子电路仅包括第一薄膜晶体管, 因此有利于减少电源负载、降低功耗; 另外, 由于只有控制线 G_N 和数据线 I_oled, 不需要增加其它信号控制线, 电路结构走线更加简单, 有利简化制造工艺和提高良率, 减少了时序信号。

本公开的一些实施例中, 显示面板上所有发光器件的阴极均共同连接到第二电源 Vss, 公共阴极方式比公共阳极方式在制造工艺方面更容易保证良率。

20 本公开一实施例还提供了一种显示装置。该显示装置包括上述任一项所述的像素驱动电路。该像素驱动电路的驱动子电路仅包括第一薄膜晶体管, 因此有利于减少电源负载、降低显示装置的功耗; 另外, 由于只有控制线 G_N 和数据线 I_oled, 不需要增加其它信号控制线, 电路结构走线更加简单, 有利简化制造工艺和提高良率, 减少了显示装置的时序信号。

25 对于前述的各方法实施例, 为了简单描述, 故将其都表述为一系列的动作组合, 但是本领域技术人员应该知悉, 本公开并不受所描述的动作顺序的限制, 因为依据本公开, 某些步骤可以采用其他顺序或者同时进行。其次, 本领域技术人员也应该知悉, 说明书中所描述的实施例均属于优选实施例, 所涉及的动作和模块并不一定是本公开所必须的。

30 本说明书中的各个实施例均采用递进的方式描述, 每个实施例重点说明的都是与其他实施例的不同之处, 各个实施例之间相同相似的部分互相参见即

可。

5 以上对本公开提供的一种像素驱动电路、显示装置和驱动方法，进行了详细介绍，本文中应用了具体实施例对本公开的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本公开的方法及其核心思想；同时，对于本领域的一般技术人员，依据本公开的思想，在具体实施方式及应用范围上均会有改变之处，综上所述，本说明书内容不应理解为对本公开的限制。

权利要求书

1、一种像素驱动电路，包括：控制子电路、充电子电路、驱动子电路和发光子电路，其中，

5 所述控制子电路与数据线和控制线连接，所述控制子电路通过第一节点、第二节点与所述驱动子电路连接；

 所述充电子电路通过所述第一节点和第三节点与所述驱动子电路连接；

 所述发光子电路的一端与所述驱动子电路连接，所述发光子电路的另一端与第一电源或者第二电源连接；

10 所述驱动子电路包括第一薄膜晶体管；

 所述控制子电路通过所述第一节点和所述第三节点控制所述第一薄膜晶体管对所述充电子电路进行充电，所述充电子电路通过所述第一节点为所述驱动子电路提供电压，所述驱动子电路驱动所述发光子电路发光。

15 2、根据权利要求 1 所述的像素驱动电路，其中，所述充电子电路包括存储电容，所述存储电容的一端连接所述第一节点，所述存储电容的另一端连接所述第三节点，所述第三节点连接所述第二电源。

 3、根据权利要求 1 或 2 所述的像素驱动电路，其中，所述驱动子电路的第一薄膜晶体管的栅极与所述第一节点连接，所述第一薄膜晶体管的源极与所述第三节点连接；所述第一薄膜晶体管的漏极与所述第二节点连接。

20 4、根据权利要求 1-3 任一项所述的像素驱动电路，其中，所述发光子电路包括发光器件，所述发光器件的阴极与所述第二节点连接，所述发光器件的阳极与所述第一电源连接。

 5、根据权利要求 1-4 任一项所述的像素驱动电路，其中，所述控制子电路包括：第二薄膜晶体管和第三薄膜晶体管；

25 所述第二薄膜晶体管的栅极和所述第三薄膜晶体管的栅极相连，并连接所述控制线；

 所述第二薄膜晶体管的漏极连接所述数据线；

 所述第二薄膜晶体管的源极、所述第三薄膜晶体管的漏极与所述第一节点连接；

30 所述第三薄膜晶体管的源极与所述第二节点连接。

 6、根据权利要求 5 所述的像素驱动电路，其中，所述控制子电路还包括

第四薄膜晶体管，

所述第四薄膜晶体管的栅极和所述第二薄膜晶体管的栅极、所述第三薄膜晶体管的栅极相连；

5 所述第四薄膜晶体管的源极与所述第二节点连接，所述第四薄膜晶体管的漏极与所述第一电源连接。

7、根据权利要求 1 或 3 所述的像素驱动电路，其中，所述控制子电路包括第二薄膜晶体管、第三薄膜晶体管和第四薄膜晶体管；

所述第二薄膜晶体管的栅极、所述第三薄膜晶体管的栅极和所述第四薄膜晶体管的栅极相连，并连接所述控制线；

10 所述第二薄膜晶体管的漏极连接所述数据线；

所述第二薄膜晶体管的源极、所述第三薄膜晶体管的漏极与所述第一节点连接；

所述第三薄膜晶体管的源极与所述第二节点连接；

所述第二节点与所述第一电源连接；

15 所述第四薄膜晶体管的漏极与所述第三节点连接，所述第四薄膜晶体管的源极与所述第二电源连接。

8、根据权利要求 7 所述的像素驱动电路，其中，所述发光子电路包括发光器件，所述发光器件的阳极与所述第三节点连接，所述发光器件的阴极与所述第二电源连接。

20 9、一种显示装置，包括如权利要求 1 至 8 任一所述的像素驱动电路。

10、一种像素驱动电路的驱动方法，其中，所述驱动方法基于像素驱动电路，所述像素驱动电路包括控制子电路、充电子电路、驱动子电路和发光子电路和第一电源，所述驱动方法包括：

通过所述控制子电路控制所述驱动子电路对所述充电子电路进行充电；

25 通过所述充电子电路为所述驱动子电路提供电压以驱动所述发光子电路发光。

11、根据权利要求 10 所述的驱动方法，其中，所述控制子电路包括第二薄膜晶体管和第三薄膜晶体管，所述驱动子电路包括第一薄膜晶体管，所述充电子电路包括存储电容，

30 通过所述控制子电路控制所述驱动子电路对所述充电子电路进行充电包括：

所述控制线提供高电平，使得所述第二薄膜晶体管和所述第三薄膜晶体管开启；

所述数据线提供信号电流，所述信号电流通过所述第一薄膜晶体管的栅极和源极对所述存储电容充电。

- 5 12、根据权利要求 11 所述的驱动方法，其中，通过所述充电子电路为所述驱动子电路提供电压以驱动所述发光子电路发光包括：

所述控制线提供低电平，使得所述第二薄膜晶体管和所述第三薄膜晶体管关闭；

- 10 通过所述存储电容为所述第一薄膜晶体管的栅极提供高电平，使得所述第一薄膜晶体管开启；

所述第一电源提供高电平，以驱动所述发光子电路发光。

13、根据权利要求 10 所述的驱动方法，其中，所述控制子电路包括第二薄膜晶体管、第三薄膜晶体管和第四薄膜晶体管，所述驱动子电路包括第一薄膜晶体管，所述充电子电路包括存储电容，

- 15 通过所述控制子电路控制所述驱动子电路对所述充电子电路进行充电包括：

所述控制线提供高电平，使得所述第二薄膜晶体管、所述第三薄膜晶体管和所述第四薄膜晶体管开启；

- 20 所述数据线提供信号电流，所述信号电流通过所述第一薄膜晶体管的栅极和源极对所述存储电容充电。

14、根据权利要求 13 所述的驱动方法，其中，通过所述充电子电路为所述驱动子电路提供电压以驱动所述发光子电路发光包括：

所述控制线提供低电平，使得所述第二薄膜晶体管、所述第三薄膜晶体管和所述第四薄膜晶体管关闭；

- 25 通过所述存储电容为所述第一薄膜晶体管的栅极提供高电平，使得所述第一薄膜晶体管开启；

所述第一电源提供高电平，以驱动所述发光子电路发光。

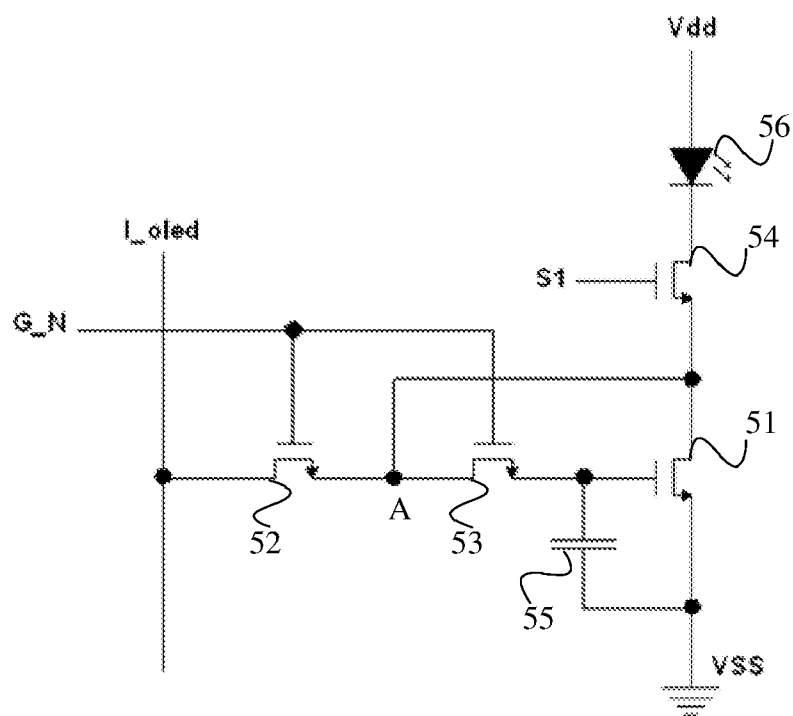


图 1

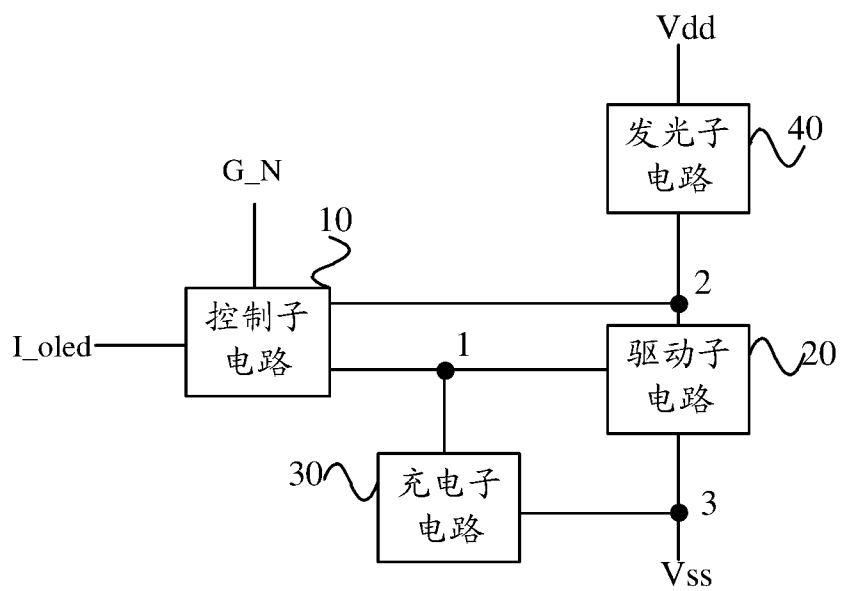


图 2

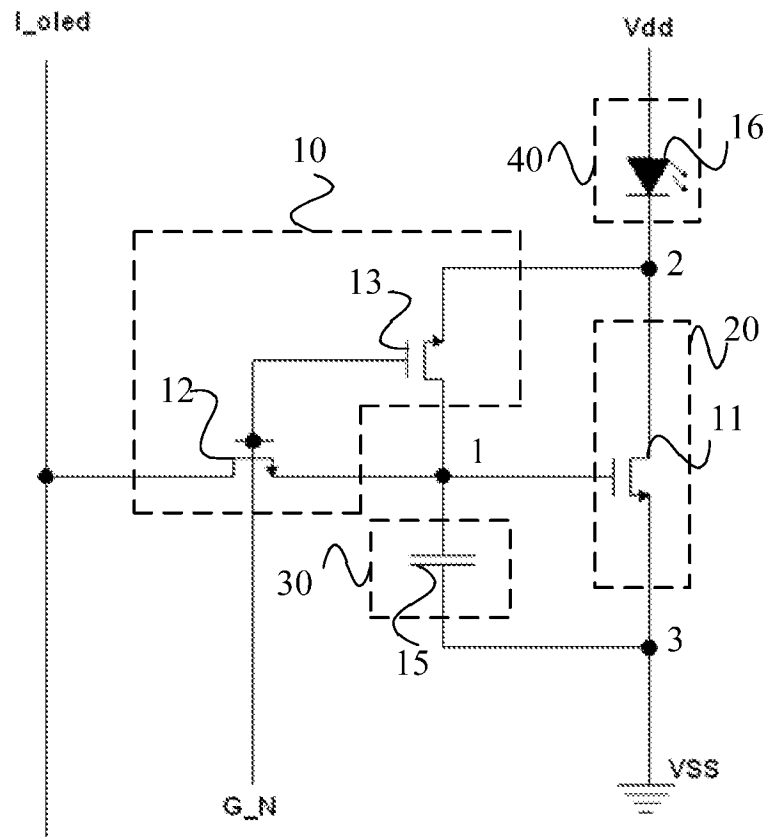


图 3

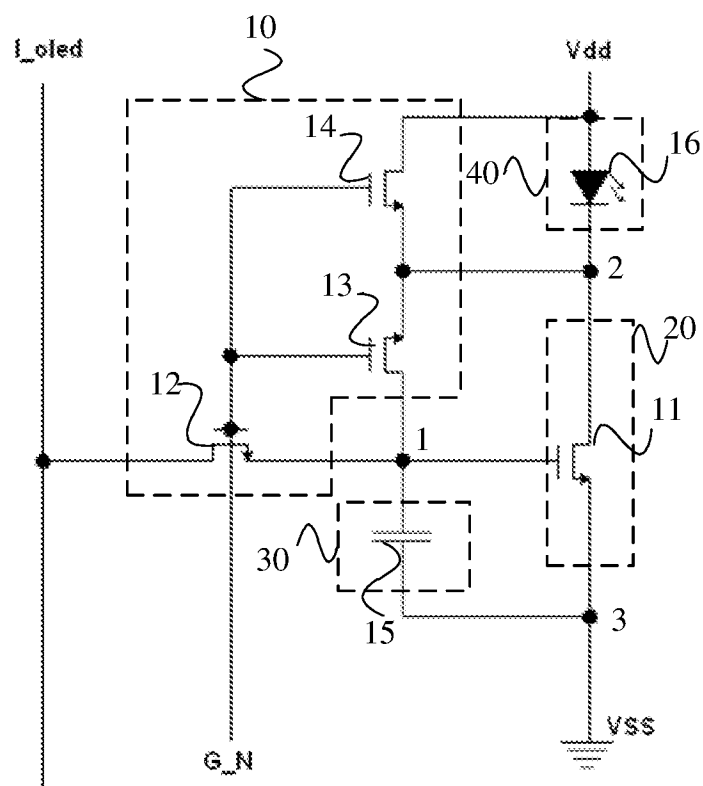


图 4

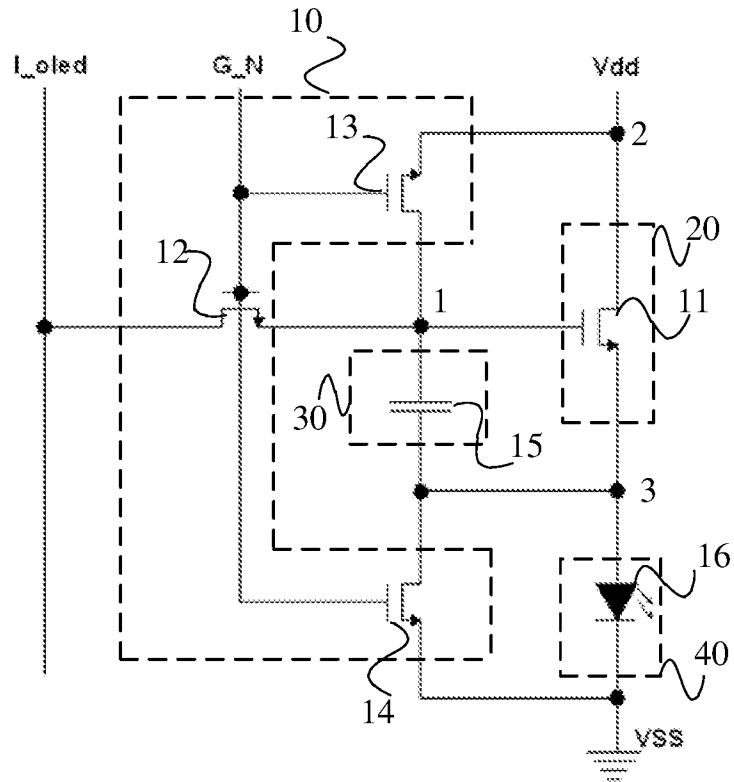


图 5

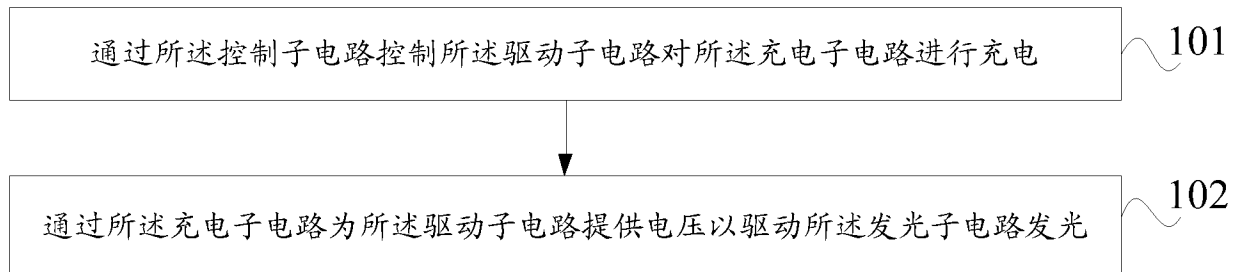


图 6

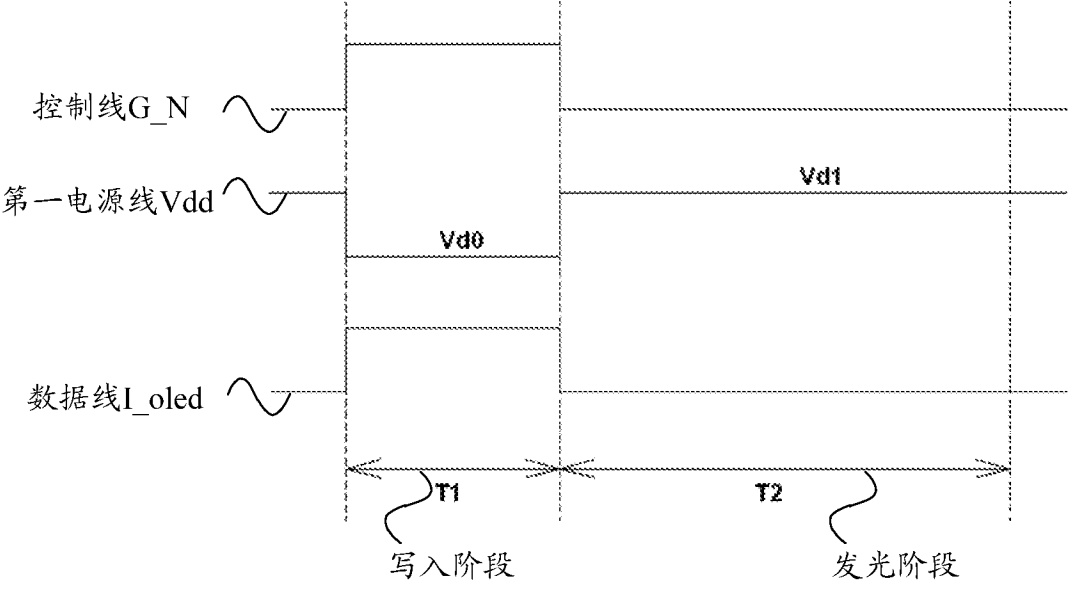


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2017/110793

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/3258(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: 像素, 画素, 象素, 有机发光, 电致发光, 驱动, 存储电容, 充电, 薄膜晶体管 OLED, pixel?, capacitance, capacity, charg+, TFT

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104036724 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 10 September 2014 (2014-09-10) description, paragraphs [0044]-[0097], and figures 2-4	1-5, 9-12
PX	CN 106935204 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 07 July 2017 (2017-07-07) description, paragraphs [0006]-[0124], figures 2-7, and claims 1-14	1-14
A	CN 102789761 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 21 November 2012 (2012-11-21) entire document	1-14
A	CN 104064146 A (SHANGHAI TIANMA ORGANIC LUMINESCENT DISPLAY TECHNOLOGY CO., LTD. ET AL.) 24 September 2014 (2014-09-24) entire document	1-14
A	CN 106910458 A (LG DISPLAY CO., LTD.) 30 June 2017 (2017-06-30) entire document	1-14
A	US 2014354713 A1 (SAMSUNG DISPLAY CO., LTD.) 04 December 2014 (2014-12-04) entire document	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

26 January 2018

Date of mailing of the international search report

14 February 2018

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2017/110793

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	104036724	A	10 September 2014	WO	2015180354	A1	03 December 2015
				CN	104036724	B	02 November 2016
				US	2016300532	A1	13 October 2016
CN	106935204	A	07 July 2017	None			
CN	102789761	A	21 November 2012	CN	102789761	B	10 December 2014
CN	104064146	A	24 September 2014	DE	102014118006	A1	24 December 2015
				DE	102014118006	B4	07 September 2017
				CN	104064146	B	18 January 2017
				US	9704435	B2	11 July 2017
				US	2015371586	A1	24 December 2015
CN	106910458	A	30 June 2017	KR	20170074620	A	30 June 2017
				US	2017178571	A1	22 June 2017
US	2014354713	A1	04 December 2014	KR	20140140814	A	10 December 2014
				US	9558694	B2	31 January 2017

国际检索报告

国际申请号

PCT/CN2017/110793

A. 主题的分类

G09G 3/3258(2016.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI, CNPAT, WPI, EPODOC: 像素, 画素, 象素, 有机发光, 电致发光, 驱动, 存储电容, 充电, 薄膜晶体管 OLED, pixel?, capacitance, capacity, charg+, TFT

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 104036724 A (京东方科技集团股份有限公司 等) 2014年 9月 10日 (2014 - 09 - 10) 说明书第[0044]-[0097]段、附图2-4	1-5, 9-12
PX	CN 106935204 A (京东方科技集团股份有限公司 等) 2017年 7月 7日 (2017 - 07 - 07) 说明书第[0006]-[0124]段、附图2-7、权利要求1-14	1-14
A	CN 102789761 A (京东方科技集团股份有限公司 等) 2012年 11月 21日 (2012 - 11 - 21) 全文	1-14
A	CN 104064146 A (上海天马有机发光显示技术有限公司 等) 2014年 9月 24日 (2014 - 09 - 24) 全文	1-14
A	CN 106910458 A (乐金显示有限公司) 2017年 6月 30日 (2017 - 06 - 30) 全文	1-14
A	US 2014354713 A1 (SAMSUNG DISPLAY CO., LTD.) 2014年 12月 4日 (2014 - 12 - 04) 全文	1-14

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 1月 26日

国际检索报告邮寄日期

2018年 2月 14日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10) 62019451

受权官员

张鹏

电话号码 (86-10) 53962585

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/110793

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104036724	A	2014年 9月 10日	WO	2015180354	A1	2015年 12月 3日
				CN	104036724	B	2016年 11月 2日
				US	2016300532	A1	2016年 10月 13日
CN	106935204	A	2017年 7月 7日	无			
CN	102789761	A	2012年 11月 21日	CN	102789761	B	2014年 12月 10日
CN	104064146	A	2014年 9月 24日	DE	102014118006	A1	2015年 12月 24日
				DE	102014118006	B4	2017年 9月 7日
				CN	104064146	B	2017年 1月 18日
				US	9704435	B2	2017年 7月 11日
				US	2015371586	A1	2015年 12月 24日
CN	106910458	A	2017年 6月 30日	KR	20170074620	A	2017年 6月 30日
				US	2017178571	A1	2017年 6月 22日
US	2014354713	A1	2014年 12月 4日	KR	20140140814	A	2014年 12月 10日
				US	9558694	B2	2017年 1月 31日

表 PCT/ISA/210 (同族专利附件) (2009年7月)