

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3963677号
(P3963677)

(45) 発行日 平成19年8月22日(2007. 8. 22)

(24) 登録日 平成19年6月1日(2007. 6. 1)

(51) Int. Cl.

F I

HO 1 L 21/8247 (2006. 01)
 HO 1 L 29/792 (2006. 01)
 HO 1 L 29/788 (2006. 01)
 HO 1 L 27/115 (2006. 01)
 HO 1 L 21/8242 (2006. 01)

HO 1 L 29/78 3 7 1
 HO 1 L 27/10 4 3 4
 HO 1 L 27/10 6 1 5
 HO 1 L 27/10 6 7 1 A

請求項の数 7 (全 141 頁) 最終頁に続く

(21) 出願番号 特願2001-266490 (P2001-266490)
 (22) 出願日 平成13年6月23日(2001. 6. 23)
 (65) 公開番号 特開2003-86714 (P2003-86714A)
 (43) 公開日 平成15年3月20日(2003. 3. 20)
 審査請求日 平成15年1月31日(2003. 1. 31)

(73) 特許権者 599174214
 舩岡 富士雄
 宮城県仙台市青葉区八幡三丁目9-14-901
 (73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 100065248
 弁理士 野河 信太郎
 (72) 発明者 遠藤 哲郎
 宮城県名取市ゆりが丘5丁目8-6
 (72) 発明者 舩岡 富士雄
 宮城県仙台市青葉区東勝山2-33-18

最終頁に続く

(54) 【発明の名称】 半導体記憶装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の前記半導体基板と逆導電型の表面層上に第1の絶縁膜を形成する工程と、
 前記第1の絶縁膜をパターンニングして、互いに分離された島状絶縁膜を形成する工程と

、
 前記島状絶縁膜の外側壁に第1の導電膜からなる電荷蓄積層をサイドウォール状に形成する工程と、

前記電荷蓄積層の外側壁に層間絶縁膜を介して第2の導電膜からなる制御ゲートをサイドウォール状に形成する工程と、

前記島状絶縁膜をエッチングして除去し、前記半導体基板と逆導電型の表面層及び前記第1の導電膜の内側壁を露出させる工程と、

露出した前記第1の導電膜の内側壁にトンネル絶縁膜を形成する工程と、

前記トンネル絶縁膜の内側面に接し、少なくとも前記第1の導電膜が前記トンネル絶縁膜を介して対向する領域が前記半導体基板と同じ導電型を有する島状半導体層をエピタキシャル成長により形成する工程とを含むことにより、

前記半導体基板と、チャンネル層としての少なくとも1つの前記島状半導体層、前記島状半導体層の側壁の周囲に形成された前記トンネル絶縁膜、前記電荷蓄積層及び前記制御ゲートから構成される少なくとも1つのメモリセルとを有し、前記少なくとも1つのメモリセルが前記半導体基板と逆導電型の表面層により前記半導体基板から電氣的に絶縁される半導体記憶装置を製造することを特徴とする半導体記憶装置の製造方法。

【請求項 2】

半導体基板の前記半導体基板と逆導電型の表面層上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜をパターンニングして、互いに分離された島状絶縁膜を形成する工程と

、
前記島状絶縁膜の外側壁に第1の導電膜からなる制御ゲートをサイドウォール状に形成する工程と、

前記島状絶縁膜をエッチングして除去し、前記半導体基板と逆導電型の表面層及び前記第1の導電膜の内側壁を露出させる工程と、

露出した前記第1の導電膜の内側壁に積層絶縁膜からなる電荷蓄積層を形成する工程と、

前記電荷蓄積層の内側面に接し、少なくとも前記第1の導電膜が前記電荷蓄積層を介して対向する領域が前記半導体基板と同じ導電型を有する島状半導体層をエピタキシャル成長により形成する工程とを含むことにより、

前記半導体基板と、チャンネル層としての少なくとも1つの前記島状半導体層、前記島状半導体層の側壁の周囲に形成された前記電荷蓄積層及び前記制御ゲートから構成される少なくとも1つのメモリセルとを有し、前記少なくとも1つのメモリセルが前記半導体基板と逆導電型の表面層により前記半導体基板から電氣的に絶縁されてなる半導体記憶装置を製造することを特徴とする半導体記憶装置の製造方法。

【請求項 3】

半導体基板の前記半導体基板と逆導電型の表面層上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜をパターンニングして、互いに分離された島状絶縁膜を形成する工程と

、
前記島状絶縁膜の外側壁に、ゲート及び制御ゲートを構成するように、1対の第1の導電膜をサイドウォール状に高さ方向に並べて形成する工程と、

前記島状絶縁膜をエッチング除去し、前記半導体基板と逆導電型の表面層及び前記第1の導電膜の内側壁を露出させる工程と、

露出した前記第1の導電膜の内側壁にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の内側面に接し、前記ゲートが前記ゲート絶縁膜を介して対向する領域が前記半導体基板と逆導電型を有し、前記制御ゲートが前記ゲート絶縁膜を介して対向する領域が前記半導体基板と同じ導電型で、その領域の上端及び下端に接する領域がそれぞれ前記半導体基板と逆導電型を有するように、エピタキシャル成長により島状半導体層を形成する工程とを含むことにより、

前記半導体基板と、少なくとも1つの前記島状半導体層に形成されたメモリセルであって、前記島状半導体層の側壁の周囲に形成された前記ゲート、前記ゲート絶縁膜及び電荷蓄積層としての前記島状半導体層から構成されるキャパシタならびに前記島状半導体層の側壁の周囲に形成された前記制御ゲート、前記ゲート絶縁膜及びチャンネル層としての前記島状半導体層から構成されるトランジスタを含む少なくとも1つのメモリセルとを有し、前記少なくとも1つのメモリセルが前記半導体基板と逆導電型の表面層により前記半導体基板から電氣的に絶縁されてなる半導体記憶装置を製造することを特徴とする半導体記憶装置の製造方法。

【請求項 4】

前記第1の導電膜をサイドウォール状に加工する際、前記島状半導体層に側して前記第1の導電膜直下に形成されるチャンネル層が、隣接するチャンネル層と互いに電氣的に接続される程度に前記第1の導電膜を互いに近接して配置するように、前記第1の導電膜を2以上に分割する請求項1または2に記載の半導体記憶装置の製造方法。

【請求項 5】

前記第1の導電膜をサイドウォール状に加工する際、前記第1の導電膜を高さ方向に2以上に分割し、隣接する前記分割された第1の導電膜間の領域に、第3の導電膜からなるゲート電極を形成することにより、前記島状半導体層に側して前記第1の導電膜直下に形成されるチャンネル層を前記島状半導体層の高さ方向に隣接するチャンネル層と電氣的に接続

10

20

30

40

50

させるための電位を前記島状半導体層に対して印加できるようにした請求項 1 に記載の半導体記憶装置の製造方法。

【請求項 6】

前記第 1 の導電膜を高さ方向に少なくとも 2 つ有し、前記トンネル絶縁膜形成過程において、前記島状半導体層の高さ方向の端部に位置する一方の前記第 1 の導電膜の側壁に前記メモリセルを選択するためのトランジスタのゲート絶縁膜を、他方の前記第 1 の導電膜の側壁に前記トンネル絶縁膜を形成する請求項 1 に記載の半導体記憶装置の製造方法。

【請求項 7】

前記第 1 の導電膜を高さ方向に少なくとも 2 つ有し、前記積層絶縁膜形成過程において、前記島状半導体層の高さ方向の端部に位置する一方の前記第 1 の導電膜の側壁に前記メモリセルを選択するためのトランジスタのゲート絶縁膜を、他方の前記第 1 の導電膜の側壁に前記積層絶縁膜を形成する請求項 2 に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置及びその製造方法に関し、より詳細には、電荷蓄積層と制御ゲートを有するメモリトランジスタを備える半導体記憶装置及びその製造方法に関する。

【0002】

【従来の技術】

EEPROMのメモリセルとして、ゲート部に電荷蓄積層と制御ゲートを有し、トンネル電流を利用して電荷蓄積層への電荷の注入、電荷蓄積層からの電荷の放出を行うMOSトランジスタ構造のデバイスが知られている。このメモリセルでは、電荷蓄積層の電荷蓄積状態の相違によるしきい値電圧の相違をデータ“0”、“1”として記憶する。例えば、電荷蓄積層として浮遊ゲートを用いたnチャネルのメモリセルの場合、浮遊ゲートに電子を注入するには、ソース、ドレイン拡散層と基板を接地して制御ゲートに正の高電圧を印加する。このとき基板側からトンネル電流によって浮遊ゲートに電子が注入される。この電子注入により、メモリセルのしきい値電圧は正方向に移動する。浮遊ゲートの電子を放出させるには、制御ゲートを接地してソース、ドレイン拡散層または基板のいずれかに正の高電圧を印加する。このとき浮遊ゲートからトンネル電流によって基板側の電子が放出される。この電子放出により、メモリセルのしきい値電圧は負方向に移動する。

【0003】

以上の動作において、電子注入と放出、すなわち書き込みと消去を効率よく行うためには、浮遊ゲートと制御ゲート及び浮遊ゲートと基板との間の容量結合の関係が重要である。すなわち浮遊ゲートと制御ゲート間の容量が大きいほど、制御ゲートの電位を効果的に浮遊ゲートに伝達することができ、書き込み、消去が容易になる。

しかし、近年の半導体技術の進歩、とくに微細加工技術の進歩により、EEPROMのメモリセルの小型化と大容量化が急速に進んでいる。したがってメモリセル面積が小さくて、しかも、浮遊ゲートと制御ゲート間の容量を如何に大きく確保するかが重要な問題となっている。

浮遊ゲートと制御ゲートとの間の容量を大きくするためには、これらの間のゲート絶縁膜を薄くするか、その誘電率を大きくするか、または浮遊ゲートと制御ゲートの対向面積を大きくすることが必要である。

【0004】

しかし、ゲート絶縁膜を薄くすることは、信頼性上限界がある。ゲート絶縁膜の誘電率を大きくすることは、例えば、シリコン酸化膜に代ってシリコン窒素膜等を用いることが考えられるが、これも主として信頼性上問題があって実用的でない。

したがって、十分な容量を確保するためには、浮遊ゲートと制御ゲートのオーバーラップ面積を一定値以上確保することが必要となる。これは、メモリセルの面積を小さくしてEEPROMの大容量化を図る上で障害となる。

【0005】

10

20

30

40

50

これに対し、特許第2877462号公報に記載されるEEPROMは、半導体基板に格子縞状の溝により分離されてマトリクス配列された複数の柱状半導体層の側壁を利用してメモリ・トランジスタが構成される。すなわちメモリ・トランジスタは、各柱状半導体層の上面に形成されたドレイン拡散層、溝底部に形成された共通ソース拡散層及び各柱状半導体層の側壁部の周囲全体を取り囲む電荷蓄積層と制御ゲートをもって構成され、制御ゲートが一方方向の複数の柱状半導体層について連続的に配設されて制御ゲート線となる。また、制御ゲート線と交差する方向の複数のメモリ・トランジスタのドレイン拡散層に接続されたビット線が設けられる、上述したメモリ・トランジスタの電荷蓄積層と制御ゲートが柱状半導体層の下部に形成される。また、1トランジスタ／1セル構成では、メモリ・トランジスタが過消去の状態、すなわち、読出し電位が0Vであってしきい値が負の状態になると、非選択でもセル電流が流れることになり、不都合である。これを確実に防止するために、メモリ・トランジスタに重ねて、柱状半導体層の上部にその周囲の少くとも一部を取り囲むようにゲート電極が形成された選択ゲート・トランジスタが設けられている。

10

【0006】

これにより、従来例であるEEPROMのメモリセルは、柱状半導体層の側壁を利用して、柱状半導体層を取り囲んで形成された電荷蓄積層及び制御ゲートを有するから、小さい占有面積で電荷蓄積層と制御ゲートの間の容量を十分大きく確保することができる。また各メモリセルのビット線に繋がるドレイン拡散層は、それぞれ柱状半導体層の上面に形成され、溝によって電氣的に完全に分離されている。さらに素子分離領域が小さくでき、メモリセルサイズが小さくなる。したがって、優れた書き込み、消去効率をもつメモリセルを集積した大容量化EEPROMを得ることができる。

20

【0007】

図344では、柱状シリコン層2が円柱状である場合、すなわち上面が円形である場合を示している。この柱状シリコン層の外形は円柱状でなくてもよい。以下、従来例を図面を参照して説明する。

図344は、従来のEEPROMの平面図であり、図345は図344のA-A'、B-B'断面図である。なお、図344では、選択ゲート・トランジスタのゲート電極が連続して形成される選択ゲート線は、複雑になるので示していない。

【0008】

従来例では、p型シリコン基板1の上に格子縞状の溝3により分離された複数の柱状p型シリコン層2がマトリクス配列され、これら各柱状シリコン層2がそれぞれメモリセル領域となっている。各シリコン層2の上面にドレイン拡散層10が形成され、溝3の底部に共通ソース拡散層9が形成され、溝3の底部に所定厚みの酸化膜4が埋込み形成されている。また、柱状シリコン層2の周囲を取り囲むように、柱状シリコン層2の下部に、トンネル酸化膜5を介して浮遊ゲート6が形成され、さらにその外側に層間絶縁膜7を介して制御ゲート8が形成されて、メモリ・トランジスタが構成される。ここで、制御ゲート8は、図344及び図345(b)に示すように、一方方向の複数のメモリセルについて連続的に配設されて、制御ゲート線すなわちワード線WL(WL1, WL2, ...)となっている。そして柱状シリコン層2の上部には、メモリ・トランジスタと同様にその周囲を取り囲むように、ゲート酸化膜31を介してゲート電極32が配設されて選択ゲート・トランジスタが構成されている。このトランジスタのゲート電極32は、メモリセルの制御ゲート8と同様に、制御ゲート線と同じ方向には連続して配設されて選択ゲート線となる。

30

40

【0009】

このように、メモリ・トランジスタ及び選択ゲート・トランジスタが、溝の内部に重ねられた状態で埋込み形成される。制御ゲート線は、その一端部をシリコン層表面にコンタクト部14として残し、選択ゲート線も制御ゲートと逆の端部のシリコン層にコンタクト部15を残して、これらにそれぞれワード線WL及び制御ゲート線CGとなるAl配線13、16をコンタクトさせている。

溝3の底部には、メモリセルの共通ソース拡散層9が形成され、各柱状シリコン層2の上

50

面には各メモリセル毎のドレイン拡散層10が形成されている。このように形成されたメモリセルの基板上はCVD酸化膜11により覆われ、これにコンタクト孔が開けられて、ワード線WLと交差する方向のメモリセルのドレイン拡散層10を共通接続するビット線BL(BL1, BL2, ...)となるA1配線12が配設されている。制御ゲート線のパターンニングの際に、セルアレイの端部の柱状シリコン層位置にPEPによるマスクを形成しておいてその表面に制御ゲート線と連続する多結晶シリコン膜からなるコンタクト部14を残し、ここにビット線BLと同時に形成されるA1膜によってワード線となるA1配線13をコンタクトさせている。

【0010】

このような図345(a)に対応する構造を得るための具体的な製造工程例を図346(a)～図349(g)を参照して説明する。 10

【0011】

高不純物濃度のp型シリコン基板1に低不純物濃度のp-型シリコン層2をエピタキシャル成長させたウェハを用い、その表面にマスク層21を堆積し、公知のPEP工程によりフォトリソスト・パターン22を形成して、これを用いてマスク層21をエッチングする(図346(a))。

【0012】

そして、マスク層21を用いて、反応性イオンエッチング法によりシリコン層2をエッチングして、基板1に達する深さの格子縞状の溝3を形成する。これにより、シリコン層2は、柱状をなして複数の島に分離される。その後CVD法によりシリコン酸化膜23を堆積し、これを異方性エッチングにより各柱状シリコン層2の側壁に残す。そしてn型不純物をイオン注入によって、各柱状シリコン層2の上面にそれぞれドレイン拡散層10を形成し、溝底部には共通ソース拡散層9を形成する(図346(b))。 20

その後、等方性エッチングにより各柱状シリコン層2の周囲のに酸化膜23をエッチング除去した後、必要に応じて斜めイオン注入を利用して各シリコン層2の側壁にチャネルイオン注入を行う。チャネルイオン注入に代って、CVD法によりボロンを含む酸化膜を堆積し、その酸化膜からのボロン拡散を利用してよい。そしてCVDシリコン酸化膜4を堆積し、これを等方性エッチングによりエッチングして、溝3の底部に所定厚みの酸化膜を埋め込む。

【0013】

次いで、熱酸化によって各シリコン層2の周囲に、例えば10nm程度のトンネル酸化膜5を形成した後、第1層多結晶シリコン膜を堆積する。この第1層多結晶シリコン膜を異方性エッチングによりエッチングして、柱状シリコン層2の下部側壁に残して、シリコン層2を取り囲む形の浮遊ゲート6を形成する(図347(c))。 30

続いて、各柱状シリコン層2の周囲に形成された浮遊ゲート6の表面に層間絶縁膜7を形成する。この層間絶縁膜7は、例えば、ONO膜とする。具体的には浮遊ゲート6の表面を所定厚み酸化した後、プラズマCVD法によりシリコン窒化膜を堆積してその表面を熱酸化することにより、ONO膜を形成する。そして第2層多結晶シリコン膜を堆積して異方性エッチングによりエッチングすることにより、やはり柱状シリコン層2の下部に制御ゲート8を形成する(図347(d))。このとき制御ゲート8は、柱状シリコン層2の間隔を、図344の縦方向について予め所定の値以下に設定しておくことによって、マスク工程を用いることなく、その方向に連続する制御ゲート線として形成される。そして不要な層間絶縁膜7及びその下のトンネル酸化膜2をエッチング除去した後、CVDシリコン酸化膜111を堆積し、これをエッチングして溝3の途中まで、すなわちメモリセルの浮遊ゲート7及び制御ゲート8が隠れるまで埋め込む(図348(e))。 40

【0014】

その後、露出した柱状シリコン層2の上部に熱酸化により20nm程度のゲート酸化膜31を形成した後、第3層多結晶シリコン膜を堆積し、これを異方性エッチングによりエッチングしてMOSトランジスタのゲート電極32を形成する(図348(f))。このゲート電極32も制御ゲート線と同じ方向に連続的にパターン形成されて選択ゲート線とな 50

る。選択ゲート線もセルフアラインで連続的に形成することができるが、メモリセルの制御ゲート 8 の場合に比べて難しい。これは、メモリ・トランジスタ部は 2 層ゲートであるのに対し、選択ゲート・トランジスタが単層ゲートであるため、隣接セル間のゲート電極間隔が制御ゲート間隔より広いからである。したがって確実にゲート電極 3 2 を連続させるためには、これを二層多結晶シリコン構造として、最初が多結晶シリコン膜についてはマスク工程でゲート電極を繋げる部分にのみ残し、次の多結晶シリコン膜に対して側壁残しの技術を利用すればよい。

なお、制御ゲート線及び選択ゲート線はそれぞれ異なる端部において、柱状シリコン層上面にコンタクト部 1 4、1 5 が形成されるように、多結晶シリコン膜エッチングに際してマスクを形成しておく。

10

【0015】

最後に C V D シリコン酸化膜 1 1 2 を堆積して、必要なら平坦化処理を行った後、コンタクト孔を開けて、A 1 の蒸着、パターンニングにより、ビット線 B L となる A 1 配線 1 2、制御ゲート線 C G となる A 1 配線 1 3 及びワード線 W L となる A 1 配線 1 6 を同時に形成する (図 3 4 9 (g))。

【0016】

図 3 5 0 (a) は、この従来例の E E P R O M の 1 メモリセルの要部断面構造を、図 2 7 5 (b) は等価回路を示している。

図 3 5 0 (a) 及び (b) を用いて、この従来例の E E P R O M の動作を簡単に説明する。

20

【0017】

まず、書込みにホットキャリア注入を利用する場合の書込みは、選択ワード線 W L に十分高い正電位を与え、選択制御ゲート線 C G 及び選択ビット線 B L に所定の正電位を与える。これにより選択ゲート・トランジスタ Q s を介して正電位をメモリ・トランジスタ Q c のドレインに伝達して、メモリ・トランジスタ Q c でチャネル電流を流して、ホットキャリア注入を行う。これにより、そのメモリセルのしきい値は正方向に移動する。

【0018】

消去は、選択制御ゲート C G を 0 V とし、ワード線 W L 及びビット線 B L に高い正電位を与えて、ドレイン側に浮遊ゲートの電子を放出させる。一括消去の場合には、共通ソースに高い正電位を与えてソース側に電子を放出させることもできる。これにより、メモリセルのしきい値は負方向に移動する。

30

【0019】

読出し動作は、ワード線 W L により選択ゲート・トランジスタ Q s を開き、制御ゲート線 C G の読出し電位を与えて、電流の有無により “ 0 ”、“ 1 ” 判別を行う。電子注入に F N トンネルリングを利用する場合には、選択制御ゲート線 C G 及び選択ワード線 W L に高い正電位を与え、選択ビット線 B L を 0 V とし、基板から浮遊ゲートに電子を注入する。

また、この従来例によれば、選択ゲート・トランジスタがあるため、過消去状態になっても誤動作しない E E P R O M が得られる。

【0020】

ところで、この従来例では、図 3 5 0 (a) に示したように、選択ゲート・トランジスタ Q s とメモリ・トランジスタ Q c の間には拡散層がない。これは、柱状シリコン層の側面に選択的に拡散層を形成することが困難だからである。したがって、図 3 4 5 (a) 及び (b) の構造において、メモリ・トランジスタのゲート部と選択ゲート・トランジスタのゲート部の間の分離酸化膜はできるだけ薄いことが望ましい。特に、ホットエレクトロン注入を利用する場合には、メモリ・トランジスタのドレイン部に十分な “ H ” レベル電位を伝達するために、この分離酸化膜厚が 3 0 ~ 4 0 n m 程度であることが必要になる。

40

このような微小間隔は、先の製造工程で説明した C V D 法による酸化膜埋込みのみでは実際上は困難である。したがって、C V D 酸化膜による埋込みは浮遊ゲート 6 及び制御ゲート 8 が露出する状態とし、選択ゲート・トランジスタ用のゲート酸化の工程で同時に浮遊ゲート 6 及び制御ゲート 8 の露出部に薄い酸化膜を形成する方法が望ましい。

50

【0021】

また、従来例によれば、格子縞状の溝底部を分離領域として、柱状シリコン層が配列され、この柱状シリコン層の周囲を取り囲むように形成された浮遊ゲートをもつメモリセルが構成されるから、メモリセルの占有面積が小さい、高集積化EEPROMが得られる。しかも、メモリセル占有面積が小さいにも拘らず、浮遊ゲートと制御ゲート間の容量は十分大きく確保することができる。

なお、従来例では、マスクを用いることなく各メモリセルの制御ゲートを一方向について連続するように形成した。これは、柱状シリコン層の配置が対称的でない場合に初めて可能である。すなわち、ワード線方向の柱状シリコン層の隣接間隔を、ビット線方向のそれより小さくすることにより、ビット線方向には分離され、ワード線方向に繋がる制御ゲート線がマスクなしで自動的に得られる。

10

【0022】

これに対して、例えば、柱状シリコン層の配置を対称的にした場合には、PEP工程を必要とする。

具体的に説明すれば、第2層多結晶シリコン膜を厚く堆積して、PEP工程を経て、制御ゲート線として連続させるべき部分にこれを残すように選択エッチングする。

ついで、第3層多結晶シリコン膜を堆積して、従来例で説明したと同様に側壁残しのエッチングを行う。また、柱状シリコン層の配置が対称的でない場合にも、その配置の間隔によっては従来例のように自動的に連続する制御ゲート線が形成できないこともある。

このような場合にも、上述のようなマスク工程を用いることにより、一方向に連続する制御ゲート線を形成すればよい。

20

【0023】

また、従来例では浮遊ゲート構造のメモリセルを用いたが、電荷蓄積層は必ずしも浮遊ゲート構造である必要はなく、電荷蓄積層を多層絶縁膜へのトラップにより実現している、例えばMNOS構造の場合にも有効である。

図351は、MNOS構造のメモリセルを用いた場合の図345(a)に対応する断面図である。電荷蓄積層となる積層絶縁膜24は、トンネル酸化膜とシリコン窒化膜の積層構造、またはその窒化膜表面にさらに酸化膜を形成した構造とする。

図352は、上記従来例において、メモリ・トランジスタと選択ゲート・トランジスタを逆にした例、すなわち、柱状シリコン層2の下部に選択ゲート・トランジスタを形成し、上部にメモリ・トランジスタを形成した図345(a)に対応する断面図である。共通ソース側に選択ゲート・トランジスタを設けるこの構造は、書き込み方式としてホットエレクトロン注入方式が用いる場合に採用することができる。

30

図353は、一つの柱状シリコン層に複数のメモリセルを構成した従来例である。先の従来例と対応する部分には先の従来例と同一符号を付して詳細な説明は省略する。この従来例では、柱状シリコン層2の最下部に選択ゲート・トランジスタQs1を形成し、その上に3個のメモリ・トランジスタQc1、Qc2、Q3cを重ね、さらにその上に選択ゲート・トランジスタQs2を形成している。この構造は基本的に先に説明した製造工程を繰り返すことにより得られる。

図352及び図353で説明した従来例においても、メモリ・トランジスタとして浮遊ゲート構造に代えて、MNOS構造を用いることができる。

40

【0024】

以上述べたように従来技術によれば、格子縞状溝によって分離された柱状半導体層の側壁を利用して、電荷蓄積層と制御ゲートをもつメモリ・トランジスタを用いたメモリセルを構成することにより、制御ゲートと電荷蓄積層間の容量を十分大きく確保して、しかもメモリセル占有面積を小さくして高集積化を図ったEEPROMを得ることができる。

【0025】

【発明が解決しようとする課題】

しかし、一つの柱状半導体層に複数のメモリセルを直列に接続して構成し、各メモリセルの閾値が同じであると考えた場合、制御ゲート線CGに読出し電位を与えて、電流の有無

50

により“0”、“1”判別を行う読み出し動作の際、直列に接続された両端に位置するメモリセルにおいては基板からのバックバイアス効果により閾値の変動が顕著となる。これにより直列に接続するメモリセルの個数がデバイス上制約されるため、大容量化を行った際に問題となる。

また、基板に対して垂直方向にトランジスタを形成していく際、各段毎にトランジスタを形成していけば、各段毎の熱履歴の違いによるトンネル膜質の違いや拡散層のプロファイルの違いによるセル特性のばらつきが発生する。

【0026】

本発明は上記課題に鑑みなされたものであり、電荷蓄積層及び制御ゲートを有する半導体記憶装置のバックバイアス効果による影響を低減させることにより集積度を向上させ、メモリセルの占有面積を増加させずに電荷蓄積層と制御ゲートとの間の容量比をより一層増大させるとともに、製造プロセスに起因する各メモリセルトランジスタの熱履歴の遍歴を最小限に抑えることでメモリセルの特性のばらつきを抑える半導体記憶装置の製造方法を提供することを目的とする。

【0027】

【課題を解決するための手段】

本発明によれば、半導体基板上に第1の絶縁膜を形成する工程と、
該第1の絶縁膜をパターニングして、互いに分離された島状絶縁膜を形成する工程と、
該島状絶縁膜の側壁に第1の導電膜をからなる電荷蓄積層をサイドウォール状に形成する工程と、
該電荷蓄積層の側壁に層間容量膜を介して第2の導電膜からなる制御ゲートをサイドウォール状に形成する工程と、
前記島状絶縁膜をパターニングして、前記半導体基板表面の一部及び第1の導電膜の側壁を露出させる工程と、
露出した前記第1の導電膜の側壁にトンネル絶縁膜を形成する工程と、
該トンネル絶縁膜に接するように、エピタキシャル成長により島状半導体層を形成する工程と、
前記島状半導体層における第1の導電膜に対向する領域に不純物を導入する工程とを含むことにより、
半導体基板と、少なくとも1つの島状半導体層、該島状半導体層の側壁の周囲の全部又は一部に形成された電荷蓄積層及び制御ゲートから構成される少なくとも1つのメモリセルとを有し、該メモリセルの少なくとも1つが前記半導体基板から電氣的に絶縁されてなる半導体記憶装置を製造する半導体記憶装置の製造方法が提供される。

【0028】

また、本発明によれば、半導体基板上に第1の絶縁膜を形成する工程と、
該第1の絶縁膜をパターニングして、互いに分離された島状絶縁膜を形成する工程と、
該島状絶縁膜の側壁に第1の導電膜をからなる制御ゲートをサイドウォール状に形成する工程と、
前記島状絶縁膜をパターニングして、前記半導体基板表面の一部及び第1の導電膜の側壁を露出させる工程と、
露出した前記第1の導電膜の側壁に積層絶縁膜からなる電荷蓄積層を形成する工程と、
該電荷蓄積層に接するように、エピタキシャル成長により島状半導体層を形成する工程と、
前記島状半導体層における第1の導電膜に対向する領域に不純物を導入する工程とを含むことにより、
半導体基板と、少なくとも1つの島状半導体層、該島状半導体層の側壁の周囲の全部又は一部に形成された電荷蓄積層及び制御ゲートから構成される少なくとも1つのメモリセルとを有し、該メモリセルの少なくとも1つが前記半導体基板から電氣的に絶縁されてなる半導体記憶装置を製造する半導体記憶装置の製造方法が提供される。

【0029】

さらに、本発明によれば、半導体基板上に第1の絶縁膜を形成する工程と、
該第1の絶縁膜をパターニングして、互いに分離された島状絶縁膜を形成する工程と、
該島状絶縁膜の側壁に第1の導電膜をからなる制御ゲート及びキャパシタ電極をサイドウォール状に形成する工程と、
前記島状絶縁膜をパターニングして、前記半導体基板表面の一部及び第1の導電膜の側壁を露出させる工程と、
露出した前記第1の導電膜の側壁にゲート絶縁膜を形成する工程と、
該ゲート絶縁膜に接するように、エピタキシャル成長により島状半導体層を形成する工程と、

前記島状半導体層における第1の導電膜に対向する領域に不純物を導入する工程とを含むことにより、

半導体基板と、少なくとも1つの島状半導体層、該島状半導体層の側壁の周囲の全部又は一部に形成された電荷蓄積層及び制御ゲートから構成される少なくとも1つのメモリセルとを有し、該メモリセルの少なくとも1つが前記半導体基板から電氣的に絶縁されてなる半導体記憶装置を製造する半導体記憶装置の製造方法が提供される。

【0030】

【発明の実施の形態】

本発明の半導体記憶装置は、半導体基板面の垂線方向に電荷蓄積層および制御ゲートとなる第三の電極を有する複数のメモリセルを直列に接続し、該メモリセルは半導体基板と該半導体基板上に格子縞状に分離されてなるマトリクス状に配列された複数の島状半導体層の側壁部に形成され、該島状半導体層に配置された不純物拡散層をメモリセルのソースもしくはドレインとし、該不純物拡散層により半導体基板と島状半導体層が電氣的に分離しており、前記制御ゲートが一方向の複数の島状半導体層について連続的に、且つ、半導体基板面に対し水平方向に配置されてなる第三の配線である制御ゲート線を有し、該制御ゲート線と交差する方向に不純物拡散層と電氣的に接続し、且つ、半導体基板面に対し水平方向に配置されてなる第四の配線であるビット線を有する。

【0031】

メモリセルアレイの平面図における実施の形態

本発明の半導体記憶装置におけるメモリセルアレイの平面図を図1～図12に基づいて説明する。

図1～図9は、電荷蓄積層として浮遊ゲートを有するEEPROMのメモリセルアレイを示す平面図であり、図10は電荷蓄積層として積層絶縁膜を有するMONOS構造であるメモリセルアレイを、図11は電荷蓄積層としてMISキャパシタを有するDRAM構造であるメモリセルアレイを、図12は電荷蓄積層としてMISトランジスタを有するSRAM構造であるメモリセルアレイを示す平面図である。なお、これらの図においては、メモリセルを選択するためのゲート電極（以下「選択ゲート」と記す）として第二の配線又は第五の配線である選択ゲート線、第三の配線である制御ゲート線、第四の配線であるビット線及び第一の配線であるソース線のレイアウトを含めて説明する。

【0032】

まず、電荷蓄積層として浮遊ゲートを有するEEPROMのメモリセルアレイを示す平面図について説明する。

図1は、メモリセルを形成する円柱状の島状半導体部が、例えば二種の平行線が直交する交点へそれぞれ配置するような配列をなし、各々のメモリセルを選択、制御するための第一の配線層及び第二の配線層及び第三の配線層及び第四の配線層は基板面に対し平行に配置されているメモリセルアレイを示す。

また、第四の配線層1840と交差する方向であるA-A'方向と第四の配線層1840方向であるB-B'方向で島状半導体部の配置間隔を変えることにより、各々のメモリセルの制御ゲートである第二の導電膜が一方向に、図1ではA-A'方向に、連続して形成され第三の配線層となる。同様に選択ゲート・トランジスタのゲートである第二の導電膜が一方向に連続して形成され第二の配線層となる。

さらに、島状半導体部の基板側に配置されてなる第一の配線層と電氣的に接続するための端子を、例えば図1のA-A'方向に接続するメモリセルのA'側の端部に設け、第二の配線層及び第三の配線層と電氣的に接続するための端子を、例えば図1のA-A'方向に接続するメモリセルのA側の端部に設け、島状半導体部の基板とは反対側に配置されてなる第四の配線層1840とはメモリセルを形成する円柱状の島状半導体部のそれぞれに電氣的に接続しており、例えば図1においては、第二の配線層及び第三の配線層と交差する方向に第四の配線層1840が形成されている。

また、第一の配線層と電氣的に接続するための端子は島状半導体部で形成されており、第二の配線層及び第三の配線層と電氣的に接続するための端子は島状半導体部に被覆されてなる第二の導電膜で形成されている。また、第一の配線層、第二の配線層及び第三の配線層と電氣的に接続するための端子はそれぞれ第一のコンタクト部1910、第二のコンタクト部1921、1924、第三のコンタクト部1932、1933と接続している。

10

【0033】

図1では、第一のコンタクト部1910を介して第一の配線層1810が半導体記憶装置上面に引き出されている。なおメモリセルを形成する円柱状の島状半導体部の配列は図1のような配列でなくてもよく、上述のような配線層の位置関係や電氣的な接続関係があればメモリセルを形成する円柱状の島状半導体部の配列は限定されない。

第一のコンタクト部1910に接続されてなる島状半導体部は、図1ではA-A'方向に接続するメモリセルのA'側の全ての端部に配置されているが、A側の端部の一部若しくは全てに配置してもよいし、第四の配線層1840と交差する方向であるA-A'方向に接続するメモリセルを形成している島状半導体部のいずれかに配置してもよい。また、第二のコンタクト部1921や1924、第三のコンタクト部1932や1933に接続されてなる第二の導電膜で被覆される島状半導体部は第一のコンタクト部1910が配置されない側の端部に配置してもよいし、第一のコンタクト部1910が配置される側の端部に連続して配置してもよいし、第四の配線層1840と交差する方向であるA-A'方向に接続するメモリセルを形成している島状半導体部のいずれかに配置してもよいし、第二のコンタクト部1921や1924、第三のコンタクト部1932などを分割して配置してもよい。第一の配線層1810や第四の配線層1840は所望の配線が得られれば、幅や形状は問わない。島状半導体部の基板側に配置されてなる第一の配線層が第二の導電膜で形成されてなる第二の配線層及び第三の配線層と自己整合で形成される場合、第一の配線層と電氣的に接続するための端子となる島状半導体部が第二の導電膜で形成されてなる第二の配線層及び第三の配線層と電氣的には分離されているが、絶縁膜を介して接する状態であることを有する。例えば図1では、第一のコンタクト部1910が接続している島状半導体部側面の一部に絶縁膜を介して第一の導電膜が形成されており、この第一の導電膜はメモリセルを形成している島状半導体部との間に配置されており、第一の導電膜の側面に絶縁膜を介して第二の導電膜が形成されており、第二の導電膜が第四の配線層1840と交差する方向であるA-A'方向に、連続して形成されてなる第二の配線層及び第三の配線層と接続されている。このとき島状半導体部側面に形成される第一および第二の導電膜の形状は問わない。また、第一の配線層と電氣的に接続するための端子となる島状半導体部とメモリセルが形成されている島状半導体部にある第一の導電膜との距離を、例えば第二の導電膜の膜厚の2倍以下とすることにより、第一の配線層と電氣的に接続するための端子となる該島状半導体部の側面の第一の導電膜を全て取り除いてもよい。

20

30

40

【0034】

また、図1においては、第二及び第三のコンタクト部は、島状半導体部頂上部を覆うように形成した第二の導電膜1521~1524の上に形成しているが、各々接続できるのならば第二及び第三の配線層の形状は問わない。図1では選択ゲート・トランジスタ、第三の電極である多結晶シリコン膜1530は複雑になるため省略している。また、図1では製造工程例に用いる断面、すなわちA-A'断面、B-B'断面、C-C'断面、D-D'断面、E-E'断面、F-F'断面を併記している。

【0035】

50

図2は、メモリセルを形成する円柱状の島状半導体部が、例えば二種の平行線が直交せずに交差した点へそれぞれ配置するような配列をなし、各々のメモリセルを選択、制御するための第一の配線層及び第二の配線層及び第三の配線層及び第四の配線層は基板面に対し平行に配置されているメモリセルアレイを示す。また、第四の配線層1840と交差する方向であるA-A'方向と図中のB-B'方向で島状半導体部の配置間隔を変えることにより、各々のメモリセルの制御ゲートである第二の導電膜が一方向に、図2では、A-A'方向に、連続して形成され第三の配線層となる。同様に選択ゲート・トランジスタのゲートである第二の導電膜が一方向に連続して形成され、第二の配線層となる。さらに、島状半導体部の基板側に配置されてなる第一の配線層と電氣的に接続するための端子を、例えば図2のA-A'方向に接続するメモリセルのA'側の端部に設け、第二の配線層及び第三の配線層と電氣的に接続するための端子を、例えば図2のA-A'方向に接続するメモリセルのA側の端部に設け、島状半導体部の基板とは反対側に配置されてなる第四の配線層1840とはメモリセルを形成する円柱状の島状半導体部のそれぞれに電氣的に接続しており、例えば図2では、第二の配線層及び第三の配線層と交差する方向に第四の配線層1840が形成されている。

10

【0036】

第一の配線層と電氣的に接続するための端子は島状半導体部で形成されており、第二の配線層及び第三の配線層と電氣的に接続するための端子は島状半導体部に被覆されてなる第二の導電膜で形成されている。また、第一の配線層、第二の配線層及び第三の配線層と電氣的に接続するための端子はそれぞれ第一のコンタクト部1910、第二のコンタクト部

20

1921、1924、第三のコンタクト部1932、1933と接続している。図2では、第一のコンタクト部1910を介して第一の配線層1810が半導体記憶装置上面に引き出されている。なお、メモリセルを形成する円柱状の島状半導体部の配列は図2のような配列でなくてもよく、上述のような配線層の位置関係や電氣的な接続関係があれば、メモリセルを形成する円柱状の島状半導体部の配列は限定されない。

【0037】

また、第一のコンタクト部1910に接続されてなる島状半導体部は、図2ではA-A'方向に接続するメモリセルのA'側の全ての端部に配置されているが、A側の端部の一部若しくは全てに配置してもよいし、第四の配線層1840と交差する方向であるA-A'方向に接続するメモリセルを形成している島状半導体部のいずれかに配置してもよい。また、第二のコンタクト部1921や1924、第三のコンタクト部1932、1933に接続されてなる第二の導電膜で被覆される島状半導体部は第一のコンタクト部1910が配置されてない側の端部に配置してもよいし、第一のコンタクト部1910が配置される側の端部に連続して配置してもよいし、第四の配線層1840と交差する方向であるA-A'方向に接続するメモリセルを形成している島状半導体部のいずれかに配置してもよいし、第二のコンタクト部1921や1924、第三のコンタクト部1932などを分割して配置してもよい。第一の配線層1810や第四の配線層1840は所望の配線が得られれば幅や形状は問わない。

30

【0038】

島状半導体部の基板側に配置されてなる第一の配線層が第二の導電膜で形成されてなる第二の配線層及び第三の配線層と自己整合で形成される場合、第一の配線層と電氣的に接続するための端子となる島状半導体部が第二の導電膜で形成されてなる第二の配線層及び第三の配線層と電氣的には分離されているが絶縁膜を介して接する状態であることを有する。例えば図2では第一のコンタクト部1910が接続している島状半導体部側面の一部に絶縁膜を介して第一の導電膜が形成されており、第一の導電膜はメモリセルを形成している島状半導体部との間に配置されており、第一の導電膜の側面に絶縁膜を介して第二の導電膜が形成されており、第二の導電膜は第四の配線層1840と交差する方向であるA-A'方向に、連続して形成されてなる第二の配線層及び第三の配線層と接続されている。このとき、島状半導体部側面に形成される第一および第二の導電膜の形状は問わない。また、第一の配線層と電氣的に接続するための端子となる島状半導体部とメモリセルが形成

40

50

されている島状半導体部にある第一の導電膜との距離を、例えば第二の導電膜の膜厚の2倍以下とすることにより、第一の配線層と電氣的に接続するための端子となる該島状半導体部の側面の第一の導電膜を全て取り除いてもよい。

図2においては第二及び第三のコンタクト部は、島状半導体部頂上部を覆うように形成した第二の導電膜1521～1524の上に形成しているが、各々接続できるのならば、第二及び第三の配線層の形状は問わない。図2では選択ゲート・トランジスタは複雑になるため省略している。また、図2では製造工程例に用いる断面、すなわちA-A'断面、B-B'断面を併記している。

【0039】

図3及び図4は、図1及び図2に対し、メモリセルを形成する島状半導体部の断面形状が四角形であった場合の一例として、図3と図4とで配置している向きがそれぞれ異なっている例をそれぞれ示している。島状半導体部の断面形状は円形や四角形に限らない。例えば楕円形や六角形あるいは八角形などでもよい。ただし、島状半導体部の大きさが加工限界近くである場合には、設計時に四角形や六角形や八角形など角を持つものであっても、フォトリソ工程やエッチング工程などにより角が丸みを帯び、該島状半導体部の断面形状は円形や楕円形に近づく。また、図3及び図4では選択ゲート・トランジスタは複雑になるため省略している。

【0040】

図5は図1に対し、メモリセルを形成する島状半導体部に直列に形成するメモリセルの数を2つとし、選択ゲート・トランジスタを形成しない場合の一例を示している。また、図5では製造工程例に用いる断面、すなわちA-A'断面、B-B'断面を併記している。

【0041】

図6は図1に対し、メモリセルを形成する島状半導体部の断面形状が円形でなく楕円であるときの一例として、楕円の長軸の向きがB-B'方向である場合の例を示し、図7は図6に対し、楕円の長軸の向きがA-A'方向である場合をそれぞれ示している。この楕円の長軸の向きはA-A'方向及びB-B'方向に限らず、どの方向に向いていてもよい。また、図6及び図7では選択ゲート・トランジスタは複雑になるため省略している。

【0042】

図8は図2に対し、所望の配線層より上部にある配線層及び絶縁膜等を異方性エッチングにより除去し、所望の配線層にコンタクト部を形成した一例として、隣接する第二、第三の配線層の引き出し部に共通のコンタクト部を形成した場合の例を示している。図8の一例ではH-H'方向に連続して配置するメモリセルと、隣接して同様に連続して配置するメモリセルに共通して所望の配線層にコンタクト部を形成しており、隣接する互いのメモリセルの一方のみを動作する場合は第四の拡散層1840を一つおきに所望の電位を与えていくことによりメモリセルの選択が実現する。また図8の例に対し、H-H'方向に連続して配置するメモリセルと、隣接して同様に連続して配置するメモリセルに共通して所望の配線層にコンタクト部を形成せず、連続して配置するメモリセルそれぞれに所望の配線層にコンタクト部を形成してもよい。図8では製造例に用いる断面、すなわちH-H'断面、I1-I1'断面～I5-I5'断面を併記している。

【0043】

図9は図2に対し、コンタクトをとる領域で第二の導電膜である多結晶シリコン1521～1524を階段状に形成し、所望の配線層より上部にある絶縁膜等を異方性エッチングにより除去し、所望の配線層にコンタクト部を形成した際の一例として、A-A'方向に連続するメモリセルの端部に各々第二の配線層1821や1824及び第三の配線層1832などのコンタクト部を形成した場合の例を示している。図9では製造例に用いる断面、すなわちH-H'断面、I1-I1'断面～I5-I5'断面を併記している。

【0044】

以上、電荷蓄積層として浮遊ゲートを有する半導体記憶装置の平面図について説明したが、図1～図9の配置及び構造は種々組み合わせて用いてもよい。

【0045】

図10は、図1に対し、例えばMONOS構造のように電荷蓄積層に積層絶縁膜を用いた場合の一例を示しており、電荷蓄積層が浮遊ゲートから積層絶縁膜に変わったこと以外は同様である。また、図10では製造工程例に用いる断面、すなわちA-A'断面、B-B'断面を併記しているが、選択ゲート・トランジスタは複雑になるため省略している。

【0046】

図11は図1に対し、例えばDRAMのように電荷蓄積層としてMISキャパシタを用いた場合の一例を示しており、電荷蓄積層が浮遊ゲートからMISキャパシタに代わり、ビット線とソース線が平行に配置されること以外は同様である。また、図11では製造工程例に用いる断面、すなわちA-A'断面、B-B'断面を併記している。

【0047】

図12は、例えばSRAMのように電荷蓄積層としてMISトランジスタを用いた場合の一例を示している。図12はメモリセルを形成する円柱状の島状半導体部が、例えば二種の平行線が直交する交点へそれぞれ配置するような配列をなし、各々のメモリセルを選択、制御するための不純物拡散層3721からなる第一の配線層、制御ゲート3514からなる第三の配線層、ビット線となる第四の配線層は基板面に対し平行に配置されているメモリセルアレイを示す。また、第二の導電膜3512および第三の導電膜3513からなる第二の配線層3840は基板面に対し、垂直方向及び水平方向の二方向に配線されている。各々接続できるのならば第二、第三及び第四の配線層の形状は問わない。また、図12では製造工程例に用いる断面、すなわち、J1-J1'断面、J2-J2'断面、K1-K1'断面およびK2-K2'断面を併記しているが、複雑になるため第一の配線層37 20
10、第一の配線層3850およびこれら配線層と電氣的に接続するための端子、第五の配線層3850は省略した。また、島状半導体層3110と各配線層を区別するため、島状半導体層の形状を円形にしているが、その逆であってもよい。

【0048】

メモリセルアレイの断面図における実施の形態

電荷蓄積層として浮遊ゲートを有する半導体記憶装置の断面図を、図13～図36に示す。これらのうち、奇数の図面は図1のA-A'断面図、偶数の図面はB-B'断面図を示す。

本発明の半導体記憶装置は、p型シリコン基板1100上に複数の柱状をなした島状半導体層1110がマトリクス配列され、これら各島状半導体層1110の上部と下部に選択ゲートとなる第二の電極もしくは第五の電極を有するトランジスタを配置し、選択ゲート・トランジスタに挟まれてメモリ・トランジスタを複数個、図13～図36では、例えば2個配置し、各々トランジスタを島状半導体層に沿って直列に接続した構造となっている。すなわち島状半導体層間の溝底部に所定厚みの第九の絶縁膜であるシリコン酸化膜1460が配置され、島状半導体層1110の周囲を取り囲むように、島状半導体層側壁にゲート絶縁膜厚を介して選択ゲート1500が配置されて選択ゲート・トランジスタとし、この選択ゲート・トランジスタ上方に島状半導体層1110の周囲を取り囲むように、島状半導体層側壁に第三の絶縁膜であるシリコン酸化膜420を介して浮遊ゲート1510が配置され、さらにその外側に複層膜からなる層間絶縁膜1610を介して制御ゲート1520が配置されてメモリ・トランジスタとした構造となっている。

さらに、このメモリ・トランジスタを同様に複数個配置した上方に、先ほどと同様に選択ゲート1500を有するトランジスタを配置する。

【0049】

選択ゲート1500および制御ゲート1520は、図1および図14に示すように、一方の複数のトランジスタについて連続的に配設されて、第二の配線もしくは第五の配線である選択ゲート線および第三の配線である制御ゲート線となっている。半導体基板面には、メモリセルの活性領域が半導体基板に対してフローティング状態となるようにメモリセルのソース拡散層1710が配置され、さらに、各々のメモリセルの活性領域がフローティング状態となるように拡散層1720が配置され、各島状半導体層1110の上面には各メモリセル毎のドレイン拡散層1725が配置されている。このように配置されたメモ 50

10

20

30

40

50

リセルの間にはドレイン拡散層 1725 の上部が露出されるよう第九の絶縁膜である酸化膜 1460 が配置され、制御ゲート線と交差する方向のメモリセルのドレイン拡散層 1725 を共通接続するビット線となる A1 配線 1840 が配設されている。

【0050】

図 13 及び図 14 は、選択ゲート・トランジスタのゲート絶縁膜厚はメモリ・トランジスタのゲート絶縁膜厚と等しい場合の一例を示す。

図 15 及び図 16 は、図 13 及び図 14 に対し、層間絶縁膜 1610 を単層膜で形成した場合の一例を示す。

図 17 及び図 18 は、図 13 及び図 14 に対し、メモリセルにおいて制御ゲート 1520 の半導体基板に水平方向の膜厚が浮遊ゲート 1510 の水平方向の膜厚より厚く、第三の配線層の低抵抗化が容易に行える場合の一例を示す。

10

図 19 及び図 20 は、図 13 及び図 14 に対し、トンネル酸化膜として第三の絶縁膜であるシリコン酸化膜 1420 の表面が島状半導体層 1110 の周囲よりも外側へ位置する場合の一例を示す。

図 21 及び図 22 は、図 13 及び図 14 に対し、選択ゲート・トランジスタのゲートを一回の導電膜の堆積で形成せず、複数回、例えば 2 回の導電膜の堆積により形成する場合の一例を示す。

図 23 及び図 24 は、図 13 及び図 14 に対し、メモリセルの制御ゲート 1520 と浮遊ゲート 1510 の材料が異なる場合の一例を示す。

図 25 及び図 26 は、図 13 及び図 14 に対し、メモリセルの制御ゲート 1520 の外周の大きさと選択ゲート・トランジスタのゲート 1500 の外周の大きさが異なる場合の一例を示す。

20

図 27 及び図 28 は、選択ゲート・トランジスタのゲート絶縁膜厚はメモリ・トランジスタのゲート絶縁膜厚より大きい場合の一例を示す。

図 29 及び図 30 は、図 27 及び図 28 に対し、第三の絶縁膜であるシリコン酸化膜 1420 及び第十三の絶縁膜であるシリコン酸化膜 1451 の表面が島状半導体層 1110 の周囲よりも外側へ位置する場合の一例を示す。

【0051】

図 31 及び図 32 は、各トランジスタの間には拡散層 1720 が配置されない場合の一例を示す。

30

図 33 及び図 34 は、拡散層 1720 が配置されず、さらにメモリ・トランジスタおよび選択ゲート・トランジスタのゲート電極である 1500、1510、1520 の間に配置する第三の電極である多結晶シリコン膜 1530 を形成した場合の一例を示す。

図 35 及び図 36 は、図 33 及び図 34 に対し、第三の電極である多結晶シリコン膜 1530 の底部や上端の位置がそれぞれ選択ゲート・トランジスタのゲート 1500 の上端の位置と異なる場合の一例を示す。

【0052】

電荷蓄積層として積層絶縁膜を有する半導体記憶装置の断面図を、図 37～図 48 に示す。これらのうち、奇数の図面は、MONOS 構造をとるメモリセルアレイを示す図 10 の A-A' 断面図、偶数の図面は B-B' 断面図を示す。

40

【0053】

本発明の半導体記憶装置は、図 13～図 36 に対して電荷蓄積層が浮遊ゲートから積層絶縁膜に代わったこと以外は同様である。

また、図 39 及び図 40 は、図 37 及び図 38 に対し、選択ゲート・トランジスタのゲート膜厚よりも積層絶縁膜の膜厚が厚い場合を示す。

図 41 及び図 42 は、図 37 及び図 38 に対し、選択ゲート・トランジスタのゲート膜厚よりも積層絶縁膜の膜厚が薄い場合の例を示す。

【0054】

電荷蓄積層として M I S キャパシタ有する半導体記憶装置の断面図を図 49～図 54 に示す。これらのうち、奇数の図面は、D R A M のメモリセルアレイを示す図 11 の A-A' 断面図

50

断面図、偶数の図面はB-B'断面図を示す。

本発明の半導体記憶装置は、図13～図30に対して電荷蓄積層が浮遊ゲートからMISキャパシタに代わり、拡散層の配置がメモリキャパシタの側部に位置することおよび第四の配線であるビット線と第一の配線ソース線が平行に配置されること以外は同様である。

【0055】

電荷蓄積層としてとしてMISトランジスタ有する半導体記憶装置の断面図を図55～図58に示す。以下、本発明の実施の形態を図面を参照して説明する。図55～図58は、それぞれSRAMのメモリセルアレイを示す図12のJ1-J1'、J2-J2'、K1-K1'およびK2-K2'断面図である。

本発明の半導体記憶装置は、p型シリコン基板3100上に複数の柱状をなした島状半導体層3110がマトリクス配列され、図55及び図57に示すように、これら各島状半導体層3110の上部と下部にMISトランジスタを2個配置し、各々トランジスタを該島状半導体層に沿って直列に接続した構造となっている。つまり、島状半導体層3110の周囲を取り囲むように、島状半導体層側壁にゲート絶縁膜厚3431を介してメモリゲート3511が配置され、メモリゲート・トランジスタ上方に島状半導体層3110の周囲を取り囲むように、島状半導体層側壁にゲート絶縁膜厚3434を介して制御ゲートとなる第三の電極3514が配置された構造となっている。制御ゲート3514は、図57に示すように、一方向の複数のトランジスタについて連続的に配設されて、第三の配線である制御ゲート線となっている。

【0056】

また、図55及び図57に示すように、半導体基板面には、トランジスタの活性領域が半導体基板に対してフローティング状態となるように下段に配置されるトランジスタの電氣的に共通である第一の不純物拡散層3710が配置され、各々のトランジスタの活性領域がフローティング状態となるように島状半導体層3110に不純物拡散層3721が配置される。

さらに、各々の島状半導体層3110の上面には各メモリセル毎の不純物拡散層3724が配置されている。これにより、各々トランジスタが島状半導体層3110に沿って直列に接続した構造となる。

また、図55及び図57に示すように、制御ゲート線と交差する方向のメモリセルの第二の不純物拡散層3724を接続するビット線となる第四の配線層3840が配設されている。

この実施の形態では、一対の島状半導体層で構成される4つのトランジスタおよび2つの高抵抗素子によりメモリセルを構成しており、図55及び図57に示すように、メモリゲートである第一の導電膜3511と相対する島状半導体層に配置されてなる第二の不純物拡散層3721が第二の導電膜3512および第三の導電膜3513を介して互いに接続されることにより構成される。

さらに、図56及び図58に示すように、それぞれの島状半導体層3110に配置されてなる第二の不純物拡散層3721に接続されてなる第三の導電膜3513は、高抵抗素子となる不純物拡散層からなる第二の配線層3120と接続され、各々第二の配線層3120は電氣的に共通な電極である第五の配線に接続されている。また、図56及び図58に示すように、第四の配線層3840方向に隣接するメモリセルの電氣的に共通である第一の不純物拡散層3710が、分離絶縁膜である、例えば第十一の絶縁膜であるシリコン酸化膜3471で電氣的に分割されている。

このように配置されたメモリセルおよび配線の間には、例えば第三の絶縁膜である酸化膜3420が配置されて互いに絶縁されている。この実施の形態では、p型島状半導体層側壁に形成された4つのトランジスタおよび2つの高抵抗素子によりメモリセルを構成したが、高抵抗素子に代わりn型半導体上に形成されたトランジスタでもよく、所望の機能を有することができれば構造はこれに限らない。

【0057】

メモリセルアレイの動作原理における実施の形態

10

20

30

40

50

本発明の半導体記憶装置は、電荷蓄積層に蓄積される電荷の状態によってメモリ機能を有する。

電荷蓄積層として浮遊ゲートを有するメモリセルを一例に、読み出し、書きこみ、消去について動作原理について説明する。

まず、半導体記憶装置の読み出し動作原理を以下に示す。

本発明の半導体記憶装置のアレイ構造の一例として、ゲート電極として第2の電極を備えるトランジスタとゲート電極として第5の電極を備えるトランジスタを選択ゲート・トランジスタとして有し、選択ゲート・トランジスタの間に電荷蓄積層を有し、制御ゲート電極として第3の電極を備えるメモリセルを複数個、例えば L 個(L は正の整数)、直列に接続した島状半導体層を有し、この島状半導体層を複数個、例えば $M \times N$ 個(M 、 N は正の整数)備えてなるメモリセルアレイにおいて、半導体基板に平行に配置される複数、例えば M 本の第4の配線がこの島状半導体層の各々の一方の端部に接続され、他方の端部には第1の配線が接続され、また半導体基板に平行で、かつ第4の配線と交差する方向に配置される複数個、例えば $N \times L$ 個の第3の配線がメモリセルの第3の電極と接続している場合において、第1の配線を第3の配線と平行に配置したときの読み出し手法の一例について述べる。

10

【0058】

図59にこのメモリセルアレイ構造の等価回路を示す。

例えば、島状半導体層が p 型半導体で形成されるメモリセルの読み出し動作は、全ての第1の配線(1-1~1- N)に0Vを与え、選択セルを含む島状半導体層に接続する第四の電極と接続する第4の配線(4- i) (i は $1 \leq i \leq M$ の正の整数)に3Vを与え、これ以外の第4の配線($\neq 4-i$)に0Vを与え、選択セルに接続する第三の電極と接続する第3の配線(3- j - h) (j は $1 \leq j \leq N$ の正の整数、 h は $1 \leq h \leq L$ の正の整数)に0Vを与え、第3の配線(3- j - h)を除く第3の配線($\neq 3-j-h$)には3Vを与え、第二の電極と接続する第2の配線(2- j)に3Vを与え、第五の電極と接続する第5の配線(5- j)に3Vを与え、第2の配線(2- j)を除く第2の配線($\neq 2-j$)若しくは第5の配線(5- j)を除く第5の配線($\neq 5-j$)の少なくともどちらか一方に0Vを与えることで、第4の配線(4- i)を流れる電流もしくは第1の配線(1- j)に流れる電流により“0”、“1”を判定する。

20

このように複数のメモリセル部の上部と下部に選択ゲートを配置することで、メモリセルトランジスタが過剰消去の状態、すなわちしきい値が負の状態である場合に、非選択セルが読み出しゲート電圧0Vでセル電流の流れる現象の防止を行うことができる。

30

電荷蓄積層を有し、制御ゲート電極として第3の電極を備えるメモリセルを2個直列に接続した島状半導体層を有し、この島状半導体層を複数個、例えば $M \times N$ 個(M 、 N は正の整数)備えてなるメモリセルアレイにおいて、半導体基板に平行に配置される複数、例えば M 本の第4の配線が島状半導体層の各々の一方の端部に接続し、他方の端部には第1の配線が接続し、また半導体基板に平行で、かつ第4の配線と交差する方向に配置される複数個、例えば $N \times 2$ 個、の第3の配線はメモリセルの第3の電極と接続している場合において、第1の配線を第3の配線と平行に配置したときの読み出し手法の一例について述べる。

【0059】

40

図60にこのメモリセルアレイ構造の等価回路を示す。

例えば、島状半導体層が p 型半導体で形成される読み出し動作は、全ての第1の配線(1-1~1- N)に0Vを与え、選択セルを含む島状半導体層に接続する第4の電極に接続する第4の配線(4- i) (i は $1 \leq i \leq M$ の正の整数)に3Vを与え、これ以外の第4の配線($\neq 4-i$)に0Vを与え、選択セルに接続する第3の電極に接続する第3の配線(3- j -1)に5Vを与え、第3の配線(3- j -2)には0Vを与え、第3の配線(3- j -1)及び第3の配線(3- j -1)を除く第3の配線($\neq 3-j-1$ 、 $\neq 3-j-2$)には0Vを与えることで、第4の配線(4- i)を流れる電流もしくは第1の配線(1- j) (j は $1 \leq j \leq N$ の正の整数)に流れる電流により“0”、“1”を判定する。

【0060】

50

次いで、半導体記憶装置の書き込み動作原理を以下に示す。

本発明の半導体記憶装置のアレイ構造の一例として、ゲート電極として第2の電極を備えるトランジスタとゲート電極として第5の電極を備えるトランジスタを選択ゲート・トランジスタとして有し、選択ゲート・トランジスタの間に電荷蓄積層を有し、制御ゲート電極として第3の電極を備えるメモリセルを複数個、例えばL個(Lは正の整数)直列に接続した島状半導体層を有し、島状半導体層を複数個、例えばM×N個(M、Nは正の整数)備えるメモリセルアレイにおいて、半導体基板に平行に配置される複数、例えばM本の第4の配線が島状半導体層の各々の一方の端部に接続し、他方の端部には第1の配線が接続し、また半導体基板に平行で、かつ第4の配線と交差する方向に配置される複数個、例えばN×L個の第3の配線はメモリセルの第3の電極と接続している場合において、第1の配線を第3の配線と平行に配置し、F-Nトンネリング電流(以下F-N電流と称す)を用いた書き込み手法の一例について述べる。

10

【0061】

図59に、このメモリセルアレイ構造の等価回路を示す。

選択セルの電荷蓄積層に負の電荷を一定量以上蓄積することを書込みとする場合、例えば島状半導体層がp型半導体で形成される書き込み動作は、選択セルを含む島状半導体層に接続する第1の電極に接続する第1の配線(1-j)に0Vを与え(jは $1 \leq j \leq N$ の正の整数)、これ以外の第1の配線($\neq 1-j$)に0Vを与え、選択セルを含む島状半導体層に接続する第4の電極に接続する第4の配線(4-i)(iは $1 \leq i \leq M$ の正の整数)に0Vを与え、これ以外の第4の配線($\neq 4-i$)に3Vを与え、選択セルに接続する第3の電極に接続する第3の配線(3-j-h)(hは $1 \leq h \leq L$ の正の整数)に20Vを与え、第3の配線の(3-j-h)を除く第3の配線($\neq 3-j-h$)には3Vを与え、選択セルを含む島状半導体層に接続する第2の電極に接続する第2の配線(2-j)に0Vを与え、選択セルを含む島状半導体層に接続する第5の電極に接続する第5の配線(5-j)に1Vを与え、第2の配線(2-j)を除く第2の配線($\neq 2-j$)と第5の配線(5-j)を除く第5の配線($\neq 5-j$)に0Vを与えることで、選択セルのチャンネル部と制御ゲート間のみに高電位が印可される状態をつくり、F-Nトンネリング現象によりチャンネル部より電荷蓄積層へ電子を注入する。なお、第4の配線(4-i)を除く第4の配線($\neq 4-i$)に3Vを与えることにより選択セルを含まない島状半導体層内の第5の電極を備える選択ゲート・トランジスタはカットオフし、第3の配線(3-j-h)と接続する非選択セルの拡散層と第4の配線($\neq 4-i$)との電氣的経路は寸断されチャンネルが形成されず書き込みは行われない。

20

30

また、選択セルを含まない島状半導体層内の第5の電極を備える選択ゲート・トランジスタをカットオフさせずに書き込みを行う一例として、選択セルを含む島状半導体層に接続する第1の電極に接続する第1の配線(1-j)に0Vを与え(jは $1 \leq j \leq N$ の正の整数)、これ以外の第1の配線第1の配線($\neq 1-j$)に0Vを与え、選択セルを含む島状半導体層に接続する第4の電極に接続する第4の配線(4-i)(iは $1 \leq i \leq M$ の正の整数)に0Vを与え、これ以外の第4の配線($\neq 4-i$)に7Vを与え、選択セルに接続する第3の電極に接続する第3の配線(3-j-h)(hは $1 \leq h \leq L$ の正の整数)に20Vを与え、第3の配線の(3-j-h)を除く第3の配線($\neq 3-j-h$)には7Vを与え、選択セルを含む島状半導体層に接続する第2の電極に接続する第2の配線(2-j)に0Vを与え、選択セルを含む島状半導体層に接続する第5の電極に接続する第5の配線(5-j)に20Vを与え、第2の配線(2-j)を除く第2の配線($\neq 2-j$)と第5の配線(5-j)を除く第5の配線($\neq 5-j$)に0Vを与えることで、選択セルのチャンネル部と制御ゲートと間に20V程度の電位差を発生させ、F-Nトンネリング現象によりチャンネル部より電荷蓄積層へトンネル電子を注入する。

40

なお、第3の配線(3-j-h)に接続する非選択セルのチャンネル部と制御ゲートと間には13V程度の電位差が発生するが、選択セルの書き込み時間内にこのセルの閾値を変動させるほどの十分な電子の注入は行われなれず、よってこのセルの書き込みは実現しない。

【0062】

また、本発明の半導体記憶装置のアレイ構造の一例として、電荷蓄積層を有し制御ゲート電極として第3の電極を備えるメモリセルを2個直列に接続した島状半導体層を有し、島

50

状半導体層を複数個、例えば $M \times N$ 個(M 、 N は正の整数)備えるメモリセルアレイにおいて、半導体基板に平行に配置される複数、例えば M 本の第4の配線が島状半導体層の各々の一方の端部に接続し、他方の端部には第1の配線が接続しており、また半導体基板に平行で、かつ第4の配線と交差する方向に配置される複数個、例えば $N \times 2$ 個の第3の配線はメモリセルの第3の電極と接続している場合において、第1の配線を第3の配線と平行に配置し、チャンネルホットエレクトロン(以下CHEと称す)を用いた書込み手法の一例について述べる。

【0063】

図60に上記メモリセルアレイ構造の等価回路を示す。

選択セルの電荷蓄積層に負の電荷を一定量以上蓄積することを書込みとする場合、例えばこの島状半導体層がp型半導体で形成される書込み動作は、選択セルを含む島状半導体層に接続する第1の電極に接続する第1の配線(1-j)に0Vを与え(j は $1 \leq j \leq N$ の正の整数)、これ以外の第1の配線($\neq 1-j$)に0Vを与え、選択セルを含む島状半導体層に接続する第4の電極に接続する第4の配線(4-i) (i は $1 \leq i \leq M$ の正の整数)に12Vを与え、これ以外の第4の配線($\neq 4-i$)に0Vを与え、選択セルに接続する第3の電極に接続する第3の配線(3-j-1)に12Vを与え、第3の配線の(3-j-1)を除く第3の配線($\neq 3-j-1$)には5Vを与えることで、選択セルの高電位側拡散層近傍にCHEを発生させ、かつ、第3の配線(3-j-1)に印可される高電位により選択セルの電荷蓄積層へ発生した電子を注入させる。

【0064】

さらに、半導体記憶装置の消去動作原理を以下に示す。

本発明の半導体記憶装置のアレイ構造の一例として、ゲート電極として第2の電極を備えるトランジスタとゲート電極として第5の電極を備えるトランジスタを選択ゲート・トランジスタとして有し、選択ゲート・トランジスタの間に電荷蓄積層を有し制御ゲート電極として第3の電極を備えるメモリセルを複数個、例えば L 個(L は正の整数)、直列に接続した島状半導体層を有し、島状半導体層を複数個、例えば $M \times N$ 個(M 、 N は正の整数)備えるメモリセルアレイにおいて、半導体基板に平行に配置される複数、例えば M 本の第4の配線が島状半導体層の各々の一方の端部に接続し、他方の端部には第1の配線が接続し、また半導体基板に平行で、かつ第4の配線と交差する方向に配置される複数個、例えば $N \times L$ 個の第3の配線はメモリセルの第3の電極と接続している場合において、第1の配線を第3の配線と平行に配置し、F-N電流を用いた消去手法の一例について述べる。

【0065】

図61にこのメモリセルアレイ構造の等価回路を示す。

消去単位は1ブロックあるいはチップ一括で行う。選択セルの電荷蓄積層の電荷の状態を変化させ、選択セルの閾値を下げることを消去とする場合、例えば島状半導体層がp型半導体で形成される消去動作は、選択セルを含む島状半導体層に接続する第1の電極に接続する第1の配線(1-j)に20Vを与え(j は $1 \leq j \leq N$ の正の整数)、これ以外の第1の配線第1の配線($\neq 1-j$)に0Vを与え、選択セルを含む島状半導体層に接続する第4の電極に接続する第4の配線(4-i) (i は $1 \leq i \leq M$ の正の整数)に20Vを与え、選択セルに接続する第3の電極に接続する第3の配線(3-j-h) (h は $1 \leq h \leq L$ の正の整数)に0Vを与え、第3の配線(3-j-h)を除く第3の配線には0Vを与え、選択セルを含む島状半導体層に接続する第2の電極に接続する第2の配線(2-j)に20Vを与え、選択セルを含む島状半導体層に接続する第5の電極に接続する第5の配線(5-j)に20Vを与え、第2の配線(2-j)を除く第2の配線($\neq 2-j$)と第5の配線(5-j)を除く第5の配線($\neq 5-j$)の両方に0Vを与えることで、選択セルの電荷蓄積層内の電子をF-Nトンネリング現象により引き抜く。

【0066】

本発明の半導体記憶装置のアレイ構造の一例として、電荷蓄積層を有し制御ゲート電極として第3の電極を備えるメモリセルを2個直列に接続した島状半導体層を有し、この島状半導体層を複数個、例えば MN 個(M 、 N は正の整数)、備える場合で、かつ、このメモリセルアレイにおいて、半導体基板に平行に配置される複数、例えば M 本の第4の配線が該島状半導体層の各々の一方の端部に接続し、他方の端部には第1の配線が接続しており、

10

20

30

40

50

また半導体基板に平行で、かつ第4の配線と交差する方向に配置される複数個、例えば $N \times 2$ 個の第3の配線はメモリセルの第3の電極と接続している場合において、第1の配線を第3の配線と平行に配置し、F-N電流を用いた消去手法の一例について述べる。

図60にこのメモリセルアレイ構造の等価回路を示す。

選択セルの電荷蓄積層の電荷の状態を変化させ、選択セルの閾値を下げることを消去とする場合、例えば島状半導体層がp型半導体で形成される消去動作は、選択セルを含む島状半導体層に接続する第1の電極に接続する第1の配線(1-j)に3Vを与え(j は $1 \leq j \leq N$ の正の整数)、これ以外の第1の配線($\neq 1-j$)に0Vを与え、選択セルを含む島状半導体層に接続する第4の電極に接続する第4の配線(4-i) (i は $1 \leq i \leq M$ の正の整数)は開放状態にし、これ以外の第4の配線($\neq 4-i$)は開放状態あるいは0Vを与え、選択セルに接続する第3の電極に接続する第3の配線(3-j-1)に-12Vを与え、第3の配線(3-j-2)に5Vを与え、その他の第3の配線には0Vを与えることで、選択セルの電荷蓄積層内の電子をF-Nトンネリング現象により引き抜く。

なお、上記の読出し、書込み及び消去は、N型半導体で形成される島状半導体層の場合のように、全ての電極の導電型が入れ替わっていてもよい。このときの電位の大小関係は上述したものに対して反対になる。また、上述の読出し、書込み及び消去の各動作例は、第1の配線を第3の配線と平行に配置した場合について述べたが、第1の配線を第4の配線と平行に配置した場合及び第1の配線をアレイ全体で共通にした場合においても、同様にそれぞれに対応する電位を与えることにより動作させることが可能である。

【0067】

電荷蓄積層として浮遊ゲートを有するメモリセル以外のものについて、以下に説明する。図62及び図63は、図10及び図37～図46で示されるMONOS構造のメモリセルアレイの一部分を示す等価回路図である。図62は一つの島状半導体層1110に配置されるMONOS構造のメモリセルアレイの等価回路図を示し、図63は、島状半導体層1110が複数配置される場合の等価回路をそれぞれ示している。

【0068】

以下、図62に示す等価回路について説明する。

ゲート電極として第12の電極12を備えるトランジスタとゲート電極として第15の電極15を備えるトランジスタを選択ゲート・トランジスタとして有し、この選択ゲート・トランジスタの間に電荷蓄積層として積層絶縁膜を有し、制御ゲート電極として第13の電極(13-h) (h は $1 \leq h \leq L$ の正の整数、 L は正の整数)を備えるメモリセルを複数個、例えば L 個、直列に接続した島状半導体層1110において、第14の電極14が島状半導体層1110の各々の一方の端部に接続し、他方の端部には第11の電極11が接続する。

【0069】

図63に示す等価回路について説明する。

複数の島状半導体層1110が配置されるメモリセルアレイにおいて、図62で示される各島状半導体層1110に配置される各回路素子の電極と各配線の接続関係を示す。

この島状半導体層1110を複数個、例えば $M \times N$ 個(M 、 N は正の整数、また i は $1 \leq i \leq M$ の正の整数、 j は $1 \leq j \leq N$ の正の整数)備えるメモリセルアレイにおいて、半導体基板に平行に配置される複数本、例えば M 本の第14の配線が各々の島状半導体層1110に備える上述の第14の電極14とそれぞれ接続する。また、半導体基板に平行で、かつ第14の配線14と交差する方向に配置される複数本、例えば $N \times L$ 本の第13の配線は各々のメモリセルの上述の第13の電極(13-h) (h は $1 \leq h \leq L$ の正の整数)と接続する。第14の配線と交差する方向に配置される複数本、例えば N 本の第11の配線が各々の島状半導体層1110に備える上述の第11の電極11と接続し、かつ、第11の配線を第13の配線と平行に配置する。また、半導体基板に平行で、かつ第14の配線14と交差する方向に配置される複数本、例えば N 本の第12の配線は各々のメモリセルの上述の第12の電極12と接続し、かつ、同様に半導体基板に平行で、かつ第14の配線14と交差する方向に配置される複数本、例えば N 本の第15の配線は各々のメモリセルの上述の第15の電極15と接続する。

10

20

30

40

50

【0070】

図64及び図65は、図11及び図53及び図54で示されるDRAM構造のメモリセルアレイの一部分を示す等価回路図である。

図64は、一つの島状半導体層1110に配置されるDRAM構造のメモリセルアレイの等価回路図を示す。図65は、島状半導体層1110が複数配置される場合の等価回路を示す。

【0071】

以下、図64に示す等価回路について説明する。

一つのトランジスタと一つのMISキャパシタを直列に接続することで一つのメモリセルが構成される。このメモリセルの一方の端部には第23の電極23が接続し、もう一方の端部には第21の電極21が接続し、かつゲート電極として第22の電極22を備えるメモリセルを、例えば2組、図64に示されるように接続し、一つの島状半導体層1110から2つの第21の電極(21-1)、(21-2)及び2つの第22の電極(22-1)、(22-2)がそれぞれ備えられ、島状半導体層1110の一方の端部に第23の電極23が備えられる。

10

【0072】

図65に示す等価回路について説明する。

複数の島状半導体層1110が配置されるメモリセルアレイにおいて、図64で示される各島状半導体層1110に配置される各回路素子の電極と各配線の接続関係を示す。

この島状半導体層1110を複数個、例えば $M \times N$ 個(M 、 N は正の整数、また i は $1 \leq i \leq M$ の正の整数、 j は $1 \leq j \leq N$ の正の整数)備えるメモリセルアレイにおいて、半導体基板に平行に配置される複数本、例えば M 本の第23の配線が各々の島状半導体層1110に備える上述の第23の電極23とそれぞれ接続する。また、半導体基板に平行で、かつ第23の配線23と交差する方向に配置される複数本、例えば $2 \times N$ 本の第22の配線は各々のメモリセルの上述の第22の電極(22-1)、(22-2)と接続する。また、第23の配線と交差する方向に配置される複数本、例えば $2 \times N$ 本の第21の配線が各々のメモリセルの上述の第21の電極(21-1)、(21-2)と接続する。

20

なお、図64及び図65では、一つの島状半導体層1110にメモリセルが2組配置される場合の一例を示したが、一つの島状半導体層1110に配置するメモリセルの数は3組以上でも、あるいは1組だけでもよい。

図64及び図65で示した等価回路は、島状半導体層1110の底部から順に、MISキャパシタ、トランジスタ、MISキャパシタ、トランジスタを配置した場合の一例であるが、他の配置の一例として島状半導体層1110の底部から順に、トランジスタ、MISキャパシタ、MISキャパシタ、トランジスタを配置した場合を以下に説明する。

30

【0073】

図66及び図67は、図11及び図49～図52で示されるDRAM構造のメモリセルアレイの一部分を示す等価回路図である。

図66は、一つの島状半導体層1110に配置されるDRAM構造のメモリセルアレイの等価回路図を示し、図67は、島状半導体層1110が複数配置される場合の等価回路をそれぞれ示している。

【0074】

図66に示す等価回路について説明する。

メモリセルの構成は先の例と同様、一つのトランジスタと一つのMISキャパシタが直列に接続することで一つのメモリセルが構成され、このメモリセルの一方の端部には第23の電極23が接続し、もう一方の端部には第21の電極21が接続し、かつゲート電極として第22の電極22が接続する。このメモリセルが例えば2組、図66に示されるように接続し、一つの島状半導体層1110から2つの第21の電極(21-1)、(21-2)及び2つの第22の電極(22-1)、(22-2)がそれぞれ備えられ、島状半導体層1110の一方の端部に第23の電極23が備えられ、もう一方の端部に第24の電極24が備えられる。

40

【0075】

図67に示す等価回路について説明する。

50

複数の島状半導体層 1 1 1 0 が配置されるメモリセルアレイにおいて、図 6 6 で示される各島状半導体層 1 1 1 0 に配置される各回路素子の電極と各配線の接続関係を示す。

この島状半導体層 1 1 1 0 を複数個、例えば $M \times N$ 個 (M 、 N は正の整数、また i は $1 \leq i \leq M$ の正の整数、 j は $1 \leq j \leq N$ の正の整数) 備えるメモリセルアレイにおいて、半導体基板に平行に配置される複数本、例えば M 本の第 2 3 の配線が各々の島状半導体層 1 1 1 0 に備える上述の第 2 3 の電極 2 3 とそれぞれ接続する。また、同様に半導体基板に平行に配置される複数本、例えば M 本の第 2 4 の配線が各々の島状半導体層 1 1 1 0 に備える上述の第 2 4 の電極 2 4 とそれぞれ接続する。また、半導体基板に平行で、かつ第 2 3 の配線 2 3 及び第 2 4 の配線 2 4 と交差する方向に配置される複数本、例えば $2 \times N$ 本の第 2 2 の配線は各々のメモリセルの上述の第 2 2 の電極 (22-1)、(22-2) と接続する。また、同様に第 2 3 の配線 2 3 及び第 2 4 の配線 2 4 と交差する方向に配置される複数本、例えば $2 \times N$ 本の第 2 1 の配線が各々のメモリセルの上述の第 2 1 の電極 (21-1)、(21-2) と接続する。

10

【0076】

図 6 8 及び図 6 9 は、図 3 3 ~ 図 3 6 及び図 4 7 及び図 4 8 で示されるメモリセルアレイの一部分を示す等価回路図である。このメモリセルアレイは、各トランジスタ間に拡散層 1 7 2 0 が配置されず、さらにメモリ・トランジスタ及び選択ゲート・トランジスタのゲート電極である 1 5 0 0、1 5 1 0、1 5 2 0 の間に配置する第三の導電膜である多結晶シリコン膜 1 5 3 0 を形成したものである。図 6 8 は、一つの島状半導体層 1 1 1 0 に配置される構造として、各メモリ・トランジスタ及び選択ゲート・トランジスタのゲート電極の間に配置する第三の導電膜である多結晶シリコン膜 1 5 3 0 が形成される場合のメモリセルアレイの等価回路図を示し、図 6 9 は、島状半導体層 1 1 1 0 が複数配置される場合の等価回路をそれぞれ示している。

20

【0077】

図 6 8 に示す等価回路について説明する。

ゲート電極として第 3 2 の電極 3 2 を備えるトランジスタとゲート電極として第 3 5 の電極 3 5 を備えるトランジスタを選択ゲート・トランジスタとして有し、この選択ゲート・トランジスタの間に電荷蓄積層を有し、制御ゲート電極として第 3 3 の電極 (33-h) (h は $1 \leq h \leq L$ の正の整数、 L は正の整数) を備えるメモリセルを複数個、例えば L 個、直列に配置し、かつ、各トランジスタの間にゲート電極として第 3 6 の電極を備えるトランジスタを配置した島状半導体層 1 1 1 0 において、第 3 4 の電極 3 4 がこの島状半導体層 1 1 1 0 の各々の一方の端部に接続し、他方の端部には第 3 1 の電極 3 1 が接続し、かつ複数の 3 6 の電極が全て一つに接続し、第 3 6 の電極 3 6 として島状半導体層 1 1 1 0 に備えられる。

30

【0078】

図 6 9 に示す等価回路について説明する。

複数の島状半導体層 1 1 1 0 が配置されるメモリセルアレイにおいて、図 6 8 で示される各島状半導体層 1 1 1 0 に配置される各回路素子の電極と各配線の接続関係を示す。

この島状半導体層 1 1 1 0 を複数個、例えば $M \times N$ 個 (M 、 N は正の整数、また i は $1 \leq i \leq M$ の正の整数、 j は $1 \leq j \leq N$ の正の整数) 備えるメモリセルアレイにおいて、半導体基板に平行に配置される複数本、例えば M 本の第 3 4 の配線が各々の島状半導体層 1 1 1 0 に備える上述の第 3 4 の電極 3 4 とそれぞれ接続する。また、半導体基板に平行で、かつ第 3 4 の配線 3 4 と交差する方向に配置される複数本、例えば $N \times L$ 本の第 3 3 の配線は各々のメモリセルの上述の第 3 3 の電極 (33-h) と接続する。また、第 3 4 の配線と交差する方向に配置される複数本、例えば N 本の第 3 1 の配線が各々の島状半導体層 1 1 1 0 に備える上述の第 3 1 の電極 3 1 と接続し、かつ、第 3 1 の配線を第 3 3 の配線と平行に配置する。また、半導体基板に平行で、かつ第 3 4 の配線 3 4 と交差する方向に配置される複数本、例えば N 本の第 3 2 の配線は各々のメモリセルの上述の第 3 2 の電極 3 2 と接続し、かつ、同様に半導体基板に平行で、かつ第 3 4 の配線 3 4 と交差する方向に配置される複数本、例えば N 本の第 3 5 の配線は、各々のメモリセルの上述の第 3 5 の電極 3 5 と接続する。また各々の島状半導体層 1 1 1 0 に備える上述の第 3 6 の電極 3 6 は第 3 6 の配線に

40

50

よって全て一つに接続する。

なお、各々の島状半導体層 1 1 1 0 に備える上述の第 3 6 の電極 3 6 は第 3 6 の配線によって全て一つに接続しなくてもよく、第 3 6 の配線によってメモリセルアレイを 2 つ以上に分割して接続してもよい。つまり各々の第 3 6 の電極を、例えばブロック毎に接続するような構造をとってもよい。

【0079】

図 7 0 及び図 7 1 は、図 1 2 及び図 5 5 ～図 5 8 で示される S R A M 構造のメモリセルアレイの一部分を示す等価回路図であり、メモリセルを構成するトランジスタは N M O S のみで構成される例を示している。

図 7 0 は、隣接する 2 つの島状半導体層 1 1 1 0 に配置される 1 つの S R A M 構造のメモリセルの等価回路図を示し、図 7 1 は、このメモリセルが複数配置される場合の等価回路をそれぞれ示している。

10

【0080】

図 7 0 に示す等価回路について説明する。

ゲート電極として第 4 3 の電極及び第 4 5 の電極を備えるトランジスタをそれぞれ直列に配置した島状半導体層 1 1 0 が 2 つ隣接して配置され、かつ、これら 4 個のトランジスタが図 7 0 に示されるように互いに接続する。詳しくは、第 4 3 の電極 (43-2) をゲート電極とするトランジスタの第 4 6 の電極 (46-2) と第 4 5 の電極 (45-1) が接続し、第 4 3 の電極 (43-1) をゲート電極とするトランジスタの第 4 6 の電極 (46-1) と第 4 5 の電極 (45-2) が接続する。また、この隣接する 2 つの島状半導体層 1 1 1 0 において、一つの島状半導体層 1 1 1 0 の一方の端部に第 4 4 の電極 (44-1) が接続し、もう一つの島状半導体層 1 1 1 0 の一方の端部に第 4 4 の電極 (44-2) が接続する。また、この 2 つの島状半導体層 1 1 1 0 において、第 4 4 の電極 (44-1) 及び (44-2) が接続しない他方の端部には共通の電極として第 4 1 の電極 4 1 が接続する。2 個の高抵抗素子がこれら 4 個のトランジスタと図 7 0 に示されるように接続し、トランジスタと接続しない側の端部には共通の電極として第 4 2 の電極 4 2 が接続する。

20

【0081】

図 7 1 に示す等価回路について説明する。

複数の島状半導体層 1 1 1 0 が配置されるメモリセルアレイにおいて、図 7 0 で示される隣接する 2 つの島状半導体層 1 1 1 0 を単位に配置される各回路素子の電極と各配線の接続関係を示す。

30

この島状半導体層 1 1 1 0 を複数個、例えば $2 \times M \times N$ 個 (M 、 N は正の整数、また i は $1 \leq i \leq M$ の正の整数、 j は $1 \leq j \leq N$ の正の整数) 備えるメモリセルアレイにおいて、半導体基板に平行に配置される複数本、例えば $2 \times M$ 本の第 4 4 の配線が各々の島状半導体層 1 1 1 0 に備える上述の第 4 4 の電極 (44-1)、(44-2) とそれぞれ接続する。また、半導体基板に平行で、かつ、第 4 4 の配線 4 4 と交差する方向に配置される複数本、例えば N 本の第 4 3 の配線は各々のメモリセルの上述の第 4 3 の電極 (43-1)、(43-2) と接続する。第 4 4 の配線と交差する方向に配置される複数本、例えば N 本の第 4 1 の配線が各々の島状半導体層 1 1 1 0 に備える上述の第 4 1 の電極 4 1 と接続する。なお、第 4 1 の配線は各々の島状半導体層 1 1 1 0 に備える上述の第 4 1 の電極 4 1 に全て共通に接続を行ってもよい。各々の高抵抗素子の上述の第 4 2 の電極 4 2 は、第 4 2 の配線によって全て一つに接続してもよい。

40

なお、メモリセルを構成するトランジスタは P M O S のみで構成してもよいし、上述の高抵抗素子に代えて、第 4 3 あるいは第 4 5 の電極をゲート電極とするトランジスタと反対の導電型のトランジスタとしてもよい。

【0082】

また、選択ゲートトランジスタと選択ゲートトランジスタに隣接するメモリセルおよび隣接するメモリセル同士が不純物拡散層を介して繋がっておらず、代わりに選択トランジスタとメモリセルおよびメモリセル同士の間隔が約 30 nm 以下と選択トランジスタとメモリセルおよびメモリセル同士が不純物拡散層を介して接続されている場合に比べて非常に

50

接近した構造を有するメモリセルの動作原理について、以下に述べる。

隣接する素子が十分接近していると、選択ゲートトランジスタのゲートやメモリセルの制御ゲートに印加される閾値以上の電位により形成するチャンネルは隣接する素子のチャンネルと接続し、全ての素子のゲートに閾値以上の電位が与えられる場合、全ての素子をチャンネルは繋がることになる。この状態は選択トランジスタとメモリセルやメモリセルが不純物拡散層を介して接続されている場合とほぼ等価なため、動作原理も選択トランジスタとメモリセルやメモリセルが不純物拡散層を介して接続されている場合と同様である。

さらに、選択ゲートトランジスタやメモリセルが不純物拡散層を介して繋がっておらず、代わりに選択トランジスタとメモリセルやメモリセルのゲート電極の間に第三の導電膜が配置された構造を有するメモリセルの動作原理について述べる。

第三の導電膜は各素子の間に位置し、絶縁膜、例えばシリコン酸化膜を介して島状半導体層と接続している。即ち、第三の導電膜と該絶縁膜と島状半導体層はMISキャパシタを形成している。第三の導電膜に島状半導体層とこの絶縁膜との界面に反転層が形成するような電位を与えるとチャンネルが形成する。形成したチャンネルは隣接する素子にとっては各素子を接続する不純物拡散層と同じ働きをする。そのため、第三の導電膜にチャンネルを形成し得る電位が与えられている場合、選択ゲートトランジスタやメモリセルが不純物拡散層を介して接続している場合と同様の動作となる。また、第三の導電膜にチャンネルを形成し得る電位が与えられていなくても、例えば島状半導体層がp型半導体の場合、電荷蓄積層から電子を引き抜く際、選択ゲートトランジスタやメモリセルが不純物拡散層を介して接続している場合と同様の動作となる。

【0083】

メモリセルアレイの製造方法における実施の形態

電荷蓄積層もしくは制御ゲートを形成した後、電荷蓄積層と半導体基板もしくは半導体層の間に形成される絶縁膜を一括で形成し、この絶縁膜の側面に活性領域となる半導体層を柱状に形成する方法について、以下に説明する。また、サイドウォール状のゲート電極を作る際、隣接する溝部に絶縁膜を予め埋め込み形成し、この絶縁膜をマスクに横方向成分のエッチングを行うことで、ゲート電極材料堆積膜厚程度のエッチングにてゲート電極を制御よく形成する。

【0084】

製造例1

この実施の形態で形成する半導体記憶装置は、電荷蓄積層として浮遊ゲートを複数形成し、且つ、選択ゲート及び制御ゲートを形成した後、トンネル酸化膜を形成し、選択エピタキシャルシリコン成長により柱状に島状半導体層を形成し、島状半導体層を半導体基板に対して電氣的にフローティング状態とし、各々のメモリセルの活性領域を電氣的にフローティング状態とする半導体記憶装置において、島状半導体層の上部と下部に選択ゲート・トランジスタを配置し、選択ゲート・トランジスタに挟まれてメモリ・トランジスタを複数個、例えば2個配置し、各々メモリ・トランジスタのトンネル酸化膜を一括に形成し、各々トランジスタを島状半導体層に沿って直列に接続し、且つ、選択ゲート・トランジスタのゲート絶縁膜厚がメモリ・トランジスタのゲート絶縁膜厚と等しい構造である。

【0085】

このような半導体記憶装置は以下の製造方法により形成することができる。

なお、図72～図96及び図97～図121は、それぞれEEPROMのメモリセルアレイを示す図1のA-A'及びB-B'断面図である。

まず、p型シリコン基板1100の表面に注入保護膜となる、例えば第一の絶縁膜としてシリコン酸化膜1410を2～20nm堆積し、イオン注入を利用してp型シリコン基板1100に第一の不純物層1710の導入を行う(図72及び図97)。例えば、0～7°程度傾斜した方向から5～100keVの注入エネルギー、砒素 $1 \times 10^{14} \sim 1 \times 10^{16} / \text{cm}^2$ 程度のドーズが挙げられる。また、イオン注入に代えて、CVD法により砒素を含む酸化膜を堆積し、その酸化膜からの砒素拡散を利用してよい。p型シリコン基板1100の最表面に第一の不純物層1710が導入されなくてもよい。

【0086】

つづいて、公知のフォトリソグラフィ技術によりパターンニングされたレジストR5をマスクとして用いて（図73及び図98）、例えば反応性イオンエッチングにより第一の絶縁膜1410およびp型シリコン基板1100を第一の不純物層1710が分割されるように200nm～2000nmエッチングして第二の溝部1220を形成する。

レジストR5を除去した（図74及び図99）後、第二の溝部1220に第五の絶縁膜として、例えばシリコン酸化膜1420を100nm～300nm堆積し、エッチバックにより埋めこむ。第五の絶縁膜であるシリコン酸化膜1420を埋めこむ方法は、等方性エッチングを用いたエッチバックでもよいし、異方性エッチングを用いたエッチバックでもよいし、CMPを用いた平坦化埋めこみでもよく、種々組み合わせてもよい。このとき第五の絶縁膜であるシリコン酸化膜1420はシリコン窒化膜でもよい。また、第一の絶縁膜であるシリコン酸化膜1410は除去されてもよいし残存してもよい。

例えば、第一の絶縁膜であるシリコン酸化膜1410を除去した場合、次にp型シリコン基板1100もしくは第一の不純物層1710上に第二の絶縁膜として、例えばシリコン窒化膜1310を2000～20000nm形成する（図75及び図100）。

【0087】

次に、公知のフォトリソグラフィ技術によりパターンニングされたレジストR6をマスクとして用いて（図76及び図101）、例えば反応性イオンエッチングにより第二の絶縁膜であるシリコン窒化膜1310をエッチングして、格子縞状の第四の溝部1240を形成する。その後、格子縞状の第四の溝部1240にCVD法により、第五の絶縁膜として、例えばシリコン酸化膜1421を50～500nm堆積する。

その後、第四の溝部1240の所望の深さまで、例えば等方性エッチングにより第五の絶縁膜である酸化膜1421を埋め込み（図77及び図102）、第二の絶縁膜であるシリコン窒化膜1310の表面に、第四の絶縁膜として、例えばシリコン酸化膜1431を1～10nm、つづいて、第一の導電膜となる、例えば多結晶シリコン膜1511を100～500nm程度堆積する（図78及び図103）。

【0088】

つぎに、第一の導電膜である多結晶シリコン膜1511をエッチバックし、所望の高さのサイドウォールを形成する（図79及び図104）。このとき、図1のA-A'方向について予め所定の値以下に設定しておくことによって、マスク工程を用いることなく、その方向に連続する選択ゲート線となる第二の配線層として形成される。

その後、第四の溝部1240に第五の絶縁膜として、例えばシリコン酸化膜1422を50～500nm堆積する。その後、第四の溝部1240の所望の深さまで、例えば等方性エッチングにより第五の絶縁膜であるシリコン酸化膜1422を埋めこんだ後、第二の絶縁膜であるシリコン窒化膜1310の表面に第四の絶縁膜として、例えばシリコン酸化膜1432を1～10nm堆積し（図80及び図105）、つづいて、第一の導電膜となる、例えば多結晶シリコン膜1512を50～200nm程度堆積する（図81及び図106）。

【0089】

同様に、第一の導電膜である多結晶シリコン膜1512をエッチバックし、所望の高さのサイドウォールを形成する（図82及び図107）。このとき、第一の導電膜である多結晶シリコン膜1512は、第二の絶縁膜であるシリコン窒化膜1310の周囲に形成され、第二の絶縁膜であるシリコン窒化膜1310の各々の周囲に形成されている第一の導電膜である多結晶シリコン膜1512はそれぞれ分離された状態となっている。

つづいて、第一の導電膜である多結晶シリコン膜1512の表面に層間絶縁膜1612を形成する（図83及び図108）。この層間絶縁膜1612は、例えばONO膜とする。具体的には熱酸化法により多結晶シリコン膜表面に5～10nmのシリコン酸化膜とCVD法により5～10nmのシリコン窒化膜とさらに5～10nmのシリコン酸化膜を順次堆積する。

【0090】

10

20

30

40

50

次いで、同様に第二の導電膜となる、例えば多結晶シリコン膜1522を15～150 nm堆積し（図84及び図109）、堆積膜厚相当エッチバックすることで、第五の絶縁膜であるシリコン酸化膜1422上の層間絶縁膜1612を露出しつつ、第一の導電膜である多結晶シリコン膜1512の側部に層間絶縁膜1612を介して第二の導電膜である多結晶シリコン膜1522を配置させる。このとき第二の絶縁膜であるシリコン窒化膜1310の周囲には第二の導電膜である多結晶シリコン膜1526が残存しており、第二の導電膜である多結晶シリコン膜1522と多結晶シリコン膜1526は分離されていることが好ましい（図85及び図110）。このとき、図1のA-A'方向について予め所定の値以下に設定しておくことによって、マスク工程を用いることなく、その方向に連続する制御ゲート線となる第三の配線層として形成される。

10

その後、第四の溝部1240に第五の絶縁膜として、例えばシリコン酸化膜1423を50～500 nm堆積する。その後、第四の溝部の所望の深さまで、例えば等方性エッチングにより第五の絶縁膜である酸化膜1423を埋めこんだ後（図86及び図111）、第五の絶縁膜であるシリコン酸化膜1423をマスクに等方性エッチングなどにより露出している第二の導電膜である多結晶シリコン膜1526を除去する（図87及び図112）。この際、第二の導電膜である多結晶シリコン膜1526の膜厚程度のエッチングであれば十分であり、これによりプロセスばらつきが低減できる。

【0091】

つづいて、第二の絶縁膜であるシリコン窒化膜1310と第五の絶縁膜であるシリコン酸化膜1423に挟まれる部位に残存する第二の導電膜である多結晶シリコン膜1526を

20

等方性エッチングもしくは異方性エッチングにより除去する（図88及び図113）。その後、第二の絶縁膜であるシリコン窒化膜1310と第五の絶縁膜であるシリコン酸化膜1423に挟まれる部位に埋めこむように、第六の絶縁膜として、例えばシリコン酸化膜1483を8～80 nm堆積する。このとき、第六の絶縁膜であるシリコン酸化膜1483の膜厚は第二の導電膜である多結晶シリコン膜1522の堆積膜厚の約半分以上であればよい（図89及び図114）。

次いで、堆積膜厚相当の等方性エッチングを行うことで、第二の絶縁膜であるシリコン窒化膜1310の側部にある層間絶縁膜1612を露出させつつ、第四の溝部1240に第六の絶縁膜であるシリコン酸化膜1483の埋めこむ。

なお、第二の導電膜として多結晶シリコン膜1522を形成する場合についてのべたが、単純に堆積と異方性エッチングの組み合わせでサイドウォール状に形成してもよい。その後、第五の絶縁膜であるシリコン酸化膜1423をマスクに、例えば等方性エッチングにて層間絶縁膜1612を部分的に除去する（図90及び図115）。

30

【0092】

同様に繰り返すことで第一の導電膜となる、例えば多結晶シリコン膜1513の側部に層間絶縁膜1613を介して第二の導電膜となる例えば多結晶シリコン膜1523を配置させ、さらに第二の導電膜である多結晶シリコン膜1523を第五の絶縁膜となるシリコン酸化膜1424および第六の絶縁膜となるシリコン酸化膜1484で埋設する（図91及び図116）。最上段の第一の導電膜となる、例えば多結晶シリコン膜1514においては最下段の第一の導電膜である多結晶シリコン膜1511と同様に第一の導電膜である多結晶シリコン膜1514をエッチバックする。

40

【0093】

その後、第五の絶縁膜となる例えばシリコン酸化膜1425を50～500 nm堆積し、例えばエッチバックもしくはCMP法などにより第二の絶縁膜であるシリコン窒化膜1310の上部を露出させる。（図92及び図117）。このとき、第五の絶縁膜であるシリコン酸化膜1425は、例えばシリコン窒化膜でもよい。

次いで、第二の絶縁膜であるシリコン窒化膜1310を、例えば等方性エッチングにより選択的に除去し、第一の溝部1210を形成する。つづいて、例えばCVD法を用いて第一の溝部1210の内壁に、例えば10 nm程度のトンネル酸化膜となる第三の絶縁膜としてシリコン酸化膜1440を形成する（図93及び図118）。ここで、第三の絶縁膜

50

であるシリコン酸化膜 1 4 4 0 は C V D 酸化膜に限らず、熱酸化膜もしくは、窒素酸化膜でもよい。

つづいて、第一の不純物拡散層 1 7 1 0 もしくは p 型シリコン基板 1 1 0 0 上にある第三の絶縁膜であるシリコン酸化膜 1 4 4 0 を選択的に除去する。例えば、異方性エッチングにより第一の溝部 1 2 1 0 の側壁部のみにサイドウォール状に第三の絶縁膜であるシリコン酸化膜 1 4 4 0 を残存させる（図 9 4 及び図 1 1 9）。

【0 0 9 4】

その後、熱処理などにより、第三の絶縁膜であるシリコン酸化膜 1 4 4 0 のトリートメント処理などを施す。例えば、8 0 0 ~ 1 0 0 0 °C の窒素雰囲気にて、1 0 分から 1 0 0 分のアニール処理を施す。このとき窒素以外のガス、例えば酸素などを添加してもよい。第三の絶縁膜であるシリコン酸化膜 1 4 4 0 の処理後の膜厚は 1 0 n m 程度となることが好ましい。

10

次いで、任意に、第一の不純物拡散層 1 7 1 0 もしくは p 型シリコン基板 1 1 0 0 表面に形成された酸化膜を、例えば希釈 H F などにより除去し、第一の溝部 1 2 1 0 に島状半導体層 1 7 2 1 ~ 1 7 2 5 および 1 1 1 1 ~ 1 1 1 4 を埋めこむ。例えば、第一の溝部 1 2 1 0 の底部に位置する第一の不純物拡散層 1 7 1 0 もしくは p 型シリコン基板 1 1 0 0 より半導体層を選択的にエピタキシャル成長させる。このとき下層より N 型半導体層 1 7 2 1、P 型半導体層 1 1 1 1、N 型半導体層 1 7 2 2、P 型半導体層 1 1 1 2、N 型半導体層 1 7 2 3、P 型半導体層 1 1 1 3、N 型半導体層 1 7 2 4、P 型半導体層 1 1 1 4、N 型半導体層 1 7 2 5 を順次積層する（図 9 5 及び図 1 2 0）。N 型半導体層 1 7 2 1 ~ 1 7 2 5 の濃度は砒素 $1 \times 10^{18} \sim 1 \times 10^{21} / \text{cm}^3$ 程度のドーズで形成し、P 型である半導体層 1 1 1 1 ~ 1 1 1 4 は硼素 $1 \times 10^{15} \sim 1 \times 10^{17} / \text{cm}^3$ 程度のドーズで形成する。また、N 型半導体層 1 7 2 1 と 1 7 2 2 は第一の導電膜である多結晶シリコン膜 1 5 1 1 と第三の絶縁膜であるシリコン酸化膜 1 4 4 0 を介して重なりを有することが好ましく、同様に、N 型半導体層 1 7 2 2 と 1 7 2 3 は第一の導電膜である多結晶シリコン膜 1 5 1 2、N 型半導体層 1 7 2 3 と 1 7 2 4 は第一の導電膜である多結晶シリコン膜 1 5 1 3、N 型半導体層 1 7 2 4 と 1 7 2 5 は第一の導電膜である多結晶シリコン膜 1 5 1 4 とそれぞれ第三の絶縁膜であるシリコン酸化膜 1 4 4 0 を介して重なりを有することが好ましい。

20

【0 0 9 5】

30

その後、例えばエッチバックもしくは C M P 法などにより N 型半導体層 1 7 2 5 を後退させ、第五の絶縁膜であるシリコン酸化膜 1 4 2 5 を露出させ、N 型半導体層 1 7 2 5 を各々分離形成させる。その後、第四の配線層を第二もしくは第三の配線層と方向が交差するよう N 型半導体層 1 7 2 5 の上部と接続する。

次いで、公知の技術により層間絶縁膜を形成しコンタクトホールおよびメタル配線を形成する。これにより、第一の導電膜となる多結晶シリコン膜を浮遊ゲートとする電荷蓄積層に蓄積される電荷状態によってメモリ機能を有する半導体記憶装置が完成する。

【0 0 9 6】

この製造例では、第二の絶縁膜であるシリコン窒化膜 1 3 1 0 のような半導体基板もしくは多結晶シリコン膜の表面に形成される膜は、シリコン表面側からシリコン酸化膜／シリコン窒化膜の複層膜としてもよい。また、第一の導電膜である多結晶シリコン膜 1 5 1 1 ~ 1 5 1 4 および第二の導電膜である多結晶シリコン膜 1 5 2 2、1 5 2 3 の不純物の導入は、多結晶シリコン膜の成膜時に行ってもよいし、成膜後もしくはサイドウォール形成後に行ってもよいし、導電膜としてなれば導入時期は制限されない。

40

なお、この製造例では、マスクを用いることなく各メモリセルの制御ゲートを一方向について連続するように形成した。これは、島状半導体層の配置が対称的でない場合に初めて可能である。すなわち、第二もしくは第三の配線層方向の島状半導体層との隣接間隔を、第四の配線層方向のそれより小さくすることにより、第四の配線層方向には分離され、第二もしくは第三の配線層方向に繋がる配線層がマスクなしで自動的に得られる。これに対して、例えば、島状半導体層の配置を対称にした場合にはフォトリソグラフィによりレジ

50

ストのパターンニング工程により配線層の分離を行ってもよい。

【0097】

また、複数のメモリセル部の上部と下部に選択ゲートを配置することでメモリセルトランジスタが過剰消去の状態、すなわち、読み出し電圧が0 Vであってしきい値が負の状態になり、非選択セルでもセル電流が流れる現象を防止することができる。

電荷蓄積層は、必ずしも浮遊ゲート構造である必要はなく、電荷蓄積を積層絶縁膜へのトラップにより実現してもよい。例えばMNOSおよびMONOS構造の場合においてもこの製造例は有効である。ここでいう積層絶縁膜としては、例えばトンネル酸化膜とシリコン窒化膜の積層構造もしくはそのシリコン窒化膜表面にさらにシリコン酸化膜を形成した構造が挙げられる。

10

【0098】

製造例2

この実施の形態で形成する半導体記憶装置は、選択ゲート及び制御ゲートを形成した後、電荷蓄積層として積層絶縁膜を形成し、選択エピタキシャルシリコン成長により柱状に島状半導体層を形成し、該島状半導体層を半導体基板に対して電氣的にフローティング状態とし、各々のメモリセルの活性領域を電氣的にフローティング状態とする半導体記憶装置において、島状半導体層の上部と下部に選択ゲート・トランジスタを配置し、選択ゲート・トランジスタに挟まれてメモリ・トランジスタを複数個、例えば2個配置し、各々メモリ・トランジスタのトンネル酸化膜は一括に形成され、各々トランジスタを該島状半導体層に沿って直列に接続し、且つ、選択ゲート・トランジスタのゲート絶縁膜厚がメモリ・トランジスタのゲート絶縁膜厚と等しい構造である。

20

【0099】

このような半導体記憶装置は以下の製造方法により形成することができる。なお、図122～図139及び図140～図157は、それぞれNMOS又はMONOSのメモリセルアレイを示す図10のA-A'及びB-B'断面図である。レジストR6をマスクとして用いて、例えば反応性イオンエッチングにより第二の絶縁膜であるシリコン窒化膜1310をエッチングして、格子縞状の第四の溝部1240を形成する（図122～図126及び図140～144）までは製造例1（図72～図96及び図97～図121）と同じである。

【0100】

その後、格子縞状の第四の溝部1240にCVD法により第五の絶縁膜として、例えばシリコン酸化膜1421を50～500 nm堆積する。

30

その後、第四の溝部1240の所望の深さまで、例えば等方性エッチングにより第五の絶縁膜である酸化膜1421を埋め込みを行い（図127及び図145）、第二の絶縁膜であるシリコン窒化膜1310の表面に第四の絶縁膜として、例えばシリコン酸化膜1431を1～10 nm、つづいて、第一の導電膜となる、例えば多結晶シリコン膜1511を100～500 nm程度堆積する（図128及び図146）。

【0101】

次に、第一の導電膜である多結晶シリコン膜1511をエッチバックし、所望の高さのサイドウォールを形成する（図129及び図147）。このとき、図10のA-A'方向について予め所定の値以下に設定しておくことによって、マスク工程を用いることなく、その方向に連続する選択ゲート線となる第二の配線層として形成される。

40

その後、第四の溝部1240に第五の絶縁膜として、例えばシリコン酸化膜1422を50～500 nm堆積する。次いで、第四の溝部1240の所望の深さまで、例えば等方性エッチングにより第五の絶縁膜であるシリコン酸化膜1422を埋め込む（図130及び図148）。

【0102】

同様に繰り返すことで第一の導電膜となる、例えば多結晶シリコン膜1512、第五の絶縁膜となる、例えばシリコン酸化膜1423、第一の導電膜となる、例えば多結晶シリコン膜1513、第五の絶縁膜となる、例えばシリコン酸化膜1424、第一の導電膜とな

50

る、例えば多結晶シリコン膜 1 5 1 4、第五の絶縁膜となる、例えばシリコン酸化膜 1 4 2 5 を順次形成する（図 1 3 1 及び図 1 4 9）。

その後、例えばエッチバックもしくはCMP法などにより第二の絶縁膜であるシリコン窒化膜 1 3 1 0 の上部を露出させる（図 1 3 2 及び図 1 5 0）。このとき、第五の絶縁膜であるシリコン酸化膜 1 4 2 5 は、例えばシリコン窒化膜でもよい。

次いで、第二の絶縁膜であるシリコン窒化膜 1 3 1 0 を、例えば等方性エッチングにより選択的に除去し、第一の溝部 1 2 1 0 を形成する。

つづいて、例えばCVD法を用いて第一の溝部 1 2 1 0 の内壁に、例えば10nm程度のゲート酸化膜となる第三の絶縁膜としてシリコン酸化膜 1 4 4 0 を形成する。ここで、第三の絶縁膜であるシリコン酸化膜 1 4 4 0 はCVD酸化膜に限らず、熱酸化膜もしくは、10

次に、第一の不純物拡散層 1 7 1 0 もしくはp型シリコン基板 1 1 0 0 上にある第三の絶縁膜であるシリコン酸化膜 1 4 4 0 を選択的に除去する。例えば、異方性エッチングにより第一の溝部 1 2 1 0 の側壁部のみにサイドウォール状に第三の絶縁膜であるシリコン酸化膜 1 4 4 0 を残存させる（図 1 3 3 及び図 1 5 1）。

【0103】

その後、熱処理などにより、第三の絶縁膜であるシリコン酸化膜 1 4 4 0 のトリートメント処理などを施す。例えば、800～1000℃の窒素雰囲気にて、10分から100分のアニール処理を施す。このとき窒素以外のガス、例えば酸素などを添加してもよい。第三の絶縁膜であるシリコン酸化膜 1 4 4 0 の処理後の膜厚は10nm程度となることが好ましい。20

さらに、任意に、第一の不純物拡散層 1 7 1 0 もしくはp型シリコン基板 1 1 0 0 表面に形成された酸化膜を、例えば希釈HFなどにより除去し、第一の溝部 1 2 1 0 に島状半導体層 1 7 2 1 ～1 7 2 2 - 1 および1 1 1 1 を埋めこむ。例えば第一の溝部 1 2 1 0 の底部に位置する第一の不純物拡散層 1 7 1 0 もしくはp型シリコン基板 1 1 0 0 より半導体層を選択的にエピタキシャル成長させる。このとき下層よりN型半導体層 1 7 2 1、P型半導体層 1 1 1 1、N型半導体層 1 7 2 2 - 1 を順次積層する（図 1 3 4 及び図 1 5 2）。N型半導体層 1 7 2 1 ～1 7 2 2 - 1 の濃度は砒素 $1 \times 10^{18} \sim 1 \times 10^{21} / \text{cm}^3$ 程度のドーズで形成し、P型である半導体層 1 1 1 1 は硼素 $1 \times 10^{15} \sim 1 \times 10^{17} / \text{cm}^3$ 程度のドーズで形成する。また、N型半導体層 1 7 2 1 と1 7 2 2 - 1 は第一の導電膜30

である多結晶シリコン膜 1 5 1 1 と第三の絶縁膜であるシリコン酸化膜 1 4 4 0 を介して重なりを有することが好ましい。さらにN型半導体層 1 7 2 2 - 1 は第一の導電膜である多結晶シリコン膜 1 5 1 2 と重なりをもたない程度に形成するのが好ましい。

【0104】

その後、N型半導体層 1 7 2 2 - 1 をマスクに第三の絶縁膜であるシリコン酸化膜 1 4 4 0 を部分的に除去する。

続いて、第一の溝部 1 2 1 0 の内壁に電荷蓄積層となる積層絶縁膜 1 6 2 0 を形成する（図 1 3 5 及び図 1 5 3）。ここで積層絶縁膜がMNOS構造の場合においては、例えばCVD法により多結晶シリコン膜表面に4～10nmのシリコン窒化膜と2～5nmのシリコン酸化膜を順次堆積してもよし、CVD法により多結晶シリコン膜表面に4～10nm40

のシリコン窒化膜を堆積し、このシリコン窒化膜の表面を酸化することで2～5nmのシリコン酸化膜を形成してもよい。また、MONOS構造の場合においては例えば多結晶シリコン膜表面にCVD法により2～5nmのシリコン酸化膜とCVD法により4～8nmのシリコン窒化膜と2～5nmのシリコン酸化膜を順次堆積してもよいし、多結晶シリコン膜表面に2～5nmのシリコン酸化膜とCVD法により4～10nmのシリコン窒化膜を順次堆積し、さらにシリコン窒化膜表面を酸化することで2～5nmのシリコン酸化膜を形成してもよいし、多結晶シリコン膜表面を酸化することで2～5nmのシリコン酸化膜を形成してもよいし、以上の手法を種々組み合わせてもよい。

次いで、N型半導体層 1 7 2 2 - 1 上にある積層絶縁膜 1 6 2 0 を選択的に除去する。例えば、異方性エッチングにより第一の溝部 1 2 1 0 の側壁部のみにサイドウォール状に積50

層絶縁膜 1620 を残存させる（図 136 及び図 154）。その後、熱処理などにより、積層絶縁膜 1620 のトリートメント処理などを施してもよい。

つづいて、前述と同様に第一の溝部 1210 に島状半導体層 1722 - 2 ~ 1724 - 1 および 1112 ~ 1113 を埋めこむ。例えば第一の溝部 1210 の底部に位置する島状半導体層 1722 - 1 より半導体層を選択的にエピタキシャル成長させる。このとき下層より N 型半導体層 1722 - 2、P 型半導体層 1112、N 型半導体層 1723、P 型半導体層 1113、N 型半導体層 1724 - 1 を順次積層していく。N 型半導体層 1722 - 2 ~ 1724 - 1 の濃度は先程と同様に砒素 $1 \times 10^{18} \sim 1 \times 10^{21} / \text{cm}^3$ 程度のドーズで形成し、P 型である半導体層 1112 ~ 1113 は硼素 $1 \times 10^{15} \sim 1 \times 10^{17} / \text{cm}^3$ 程度のドーズで形成する。また、N 型半導体層 1722 - 2 と 1723 は第一の導電膜である多結晶シリコン膜 1512 と積層絶縁膜 1620 を介して重なりを有することが好ましく、同様に、N 型半導体層 1723 と 1724 - 1 は第一の導電膜である多結晶シリコン膜 1513 と積層絶縁膜 1620 を介して重なりを有することが好ましい。さらに N 型半導体層 1724 - 1 は第一の導電膜である多結晶シリコン膜 1514 と重なりをもたない程度に形成するのが好ましい。

10

【0105】

その後、N 型半導体層 1724 - 1 をマスクに積層絶縁膜 1620 を部分的に除去する。つづいて、例えば CVD 法を用いて第一の溝部 1210 の内壁に例えば 10 nm 程度のゲート酸化膜となる第三の絶縁膜としてシリコン酸化膜 1444 を形成する。ここで、第三の絶縁膜であるシリコン酸化膜 1444 は CVD 酸化膜に限らず、熱酸化膜もしくは、窒素酸化膜でもよい。

20

つづいて、島状半導体層 1724 - 1 上にある第三の絶縁膜であるシリコン酸化膜 1444 を選択的に除去する。例えば、異方性エッチングにより第一の溝部 1210 の側壁部のみにサイドウォール状に第三の絶縁膜であるシリコン酸化膜 1444 を残存させる（図 137 及び図 155）。

その後、熱処理などにより、第三の絶縁膜であるシリコン酸化膜 1444 のトリートメント処理などを施す。つづいて、前述と同様に第一の溝部 1210 に島状半導体層 1724 - 2 ~ 1725 および 1114 を埋めこむ。例えば第一の溝部 1210 の底部に位置する島状半導体層 1724 - 1 より半導体層を選択的にエピタキシャル成長させる。このとき下層より N 型半導体層 1724 - 2、P 型半導体層 1114、N 型半導体層 1725 を順次積層していく（図 138 及び図 156）。N 型半導体層 1724 - 2 ~ 1725 の濃度は、先程と同様に砒素 $1 \times 10^{18} \sim 1 \times 10^{21} / \text{cm}^3$ 程度のドーズで形成し、P 型である半導体層 1114 は硼素 $1 \times 10^{15} \sim 1 \times 10^{17} / \text{cm}^3$ 程度のドーズで形成する。また、N 型半導体層 1724 - 2 と 1725 は第一の導電膜である多結晶シリコン膜 1514 と第三の絶縁膜であるシリコン酸化膜 1444 を介して重なりを有することが好ましい。その後、例えばエッチバックもしくは CMP 法などにより N 型半導体層 1725 を後退させ、第五の絶縁膜であるシリコン酸化膜 1425 を露出させ、N 型半導体層 1725 を各々分離形成させる。その後、第四の配線層を第二もしくは第三の配線層と方向が交差するよう N 型半導体層 1725 の上部と接続する。

30

さらに、公知の技術により層間絶縁膜を形成し、コンタクトホールおよびメタル配線を形成する。これにより、積層絶縁膜で構成される電荷蓄積層に蓄積される電荷状態によってメモリ機能を有する半導体記憶装置が実現する。

40

【0106】

この製造例では、半導体基板もしくは多結晶シリコン膜の表面に形成される第二の絶縁膜であるシリコン窒化膜 1310 は、シリコン表面側からシリコン酸化膜／シリコン窒化膜の複層膜としてもよい。また、第一の導電膜である多結晶シリコン膜 1511 ~ 1514 および第二の導電膜である多結晶シリコン膜 1522、1523 の不純物の導入は多結晶シリコン膜の成膜時に行ってもよいし、成膜後もしくはサイドウォール形成後に行ってもよいし、導電膜としてなれば導入時期は制限されない。

なお、この製造例では、マスクを用いることなく各メモリセルの制御ゲートを一方向につ

50

いて連続するように形成した。これは、島状半導体層の配置が対称的でない場合に初めて可能である。すなわち、第二もしくは第三の配線層方向の島状半導体層との隣接間隔を、第四の配線層方向のそれより小さくすることにより、第四の配線層方向には分離され、第二もしくは第三の配線層方向に繋がる配線層がマスクなしで自動的に得られる。これに対して、例えば、島状半導体層の配置を対称にした場合にはフォトリソグラフィによりレジストのパターンニング工程により配線層の分離を行ってもよい。

また、複数のメモリセル部の上部と下部に選択ゲートを配置することでメモリセルトランジスタが過剰消去の状態、すなわち、読み出し電圧が0Vであってしきい値が負の状態になり、非選択セルでもセル電流が流れる現象を防止することができる。

【0107】

10

製造例3

この製造例で形成する半導体記憶装置は、電荷蓄積層としてMISキャパシタとなるゲート及び選択ゲートを形成した後、ゲート酸化膜を形成し、選択エピタキシャルシリコン成長により柱状に島状半導体層を形成し、該島状半導体層を半導体基板に対して電氣的にフローティング状態とし、各々のメモリセルの活性領域を電氣的にフローティング状態とする半導体記憶装置において、島状半導体層の上部と下部に選択ゲート・トランジスタを配置し、選択ゲート・トランジスタに挟まれてメモリ・トランジスタを複数個、例えば2個配置し、各々メモリ・トランジスタのゲート酸化膜は一括に形成され、各々トランジスタを該島状半導体層に沿って直列に接続し、且つ、選択ゲート・トランジスタのゲート絶縁膜厚がメモリ・トランジスタのゲート絶縁膜厚と等しい構造である。

20

【0108】

このような半導体記憶装置は以下の製造方法により形成することができる。なお、図158～図171及び図172～図185は、それぞれDRAMのメモリセルアレイを示す図11のA-A'及びB-B'断面図である。

公知のフォトリソグラフィ技術によりパターンニングされたレジストR5をマスクとして用いて（図73及び図98参照）、例えば反応性イオンエッチングにより第一の絶縁膜1410およびp型シリコン基板1100を第一の不純物層1710が分割されるように200～2000nmエッチングして後に連続するゲート線となる第二の配線層と交差する方向に第二の溝部1220を形成する以外は、製造例2（図122～図133及び図140～図151）と同様である（図158～図169及び図172～図183）。

30

その後、任意に、第一の不純物拡散層1710もしくはp型シリコン基板1100表面に形成された酸化膜を、例えば希釈HFなどにより除去し、第一の溝部1210に島状半導体層1721、1726、1727、1725および1111、1120、1114を埋めこむ。例えば第一の溝部1210の底部に位置する第一の不純物拡散層1710もしくはp型シリコン基板1100より半導体層を選択的にエピタキシャル成長させる。このとき下層よりN型半導体層1721、P型半導体層1111、N型半導体層1726、P型半導体層1120、N型半導体層1727、P型半導体層1114、N型半導体層1725を順次積層する（図170及び図184）。N型半導体層1721、1726、1727、1725の濃度は、砒素 $1 \times 10^{18} \sim 1 \times 10^{21} / \text{cm}^3$ 程度のドーズで形成し、P型である半導体層1111、1120、1114は硼素 $1 \times 10^{15} \sim 1 \times 10^{17} / \text{cm}^3$ 程度のドーズで形成する。N型半導体層1721と1726は第一の導電膜である多結晶シリコン膜1511と第三の絶縁膜であるシリコン酸化膜1440を介して重なりを有することが好ましく、N型半導体層1726は、第一の導電膜である多結晶シリコン膜1512と第三の絶縁膜であるシリコン酸化膜1440を介して重なりを有することが好ましく、同様に、N型半導体層1727は第一の導電膜である多結晶シリコン膜1513と第三の絶縁膜であるシリコン酸化膜1440を介して重なりを有することが好ましい。また、N型半導体層1727と1725は第一の導電膜である多結晶シリコン膜1514と第三の絶縁膜であるシリコン酸化膜1444を介して重なりを有することが好ましい。

40

【0109】

次いで、例えばエッチバックもしくはCMP法などによりN型半導体層1725を後退さ

50

せ第五の絶縁膜であるシリコン酸化膜 1 4 2 5 を露出させ、N 型半導体層 1 7 2 5 を各々分離形成させる。

その後、第四の配線層を第二もしくは第三の配線層と方向が交差するよう N 型半導体層 1 7 2 5 の上部と接続する。

さらに、公知の技術により層間絶縁膜を形成しコンタクトホールおよびメタル配線を形成する。

これにより、M I S キャパシタで構成される電荷蓄積層に蓄積される電荷状態によってメモリ機能を有する半導体記憶装置が実現する。

【0 1 1 0】

この製造例では、第二の絶縁膜であるシリコン窒化膜 1 3 1 0 のような半導体基板もしくは多結晶シリコン膜の表面に形成される膜はシリコン表面側からシリコン酸化膜／シリコン窒化膜の複層膜としてもよい。また、第一の導電膜である多結晶シリコン膜 1 5 1 1 ～1 5 1 4 および第二の導電膜である多結晶シリコン膜 1 5 2 2, 1 5 2 3 の不純物の導入は多結晶シリコン膜の成膜時に行ってもよいし、成膜後もしくはサイドウォール形成後に行ってもよいし、導電膜としてなれば導入時期は制限されない。

なお、この製造例では、マスクを用いることなく各メモリセルの制御ゲートを一方向について連続するように形成した。これは、島状半導体層の配置が対称的でない場合に初めて可能である。すなわち、第二もしくは第三の配線層方向の島状半導体層との隣接間隔を、第四の配線層方向のそれより小さくすることにより、第四の配線層方向には分離され、第二もしくは第三の配線層方向に繋がる配線層がマスクなしで自動的に得られる。これに対して、例えば、島状半導体層の配置を対称にした場合には、フォトリソグラフィによりレジストのパターンニング工程により配線層の分離を行ってもよい。

【0 1 1 1】

製造例 4

この製造例で形成する半導体記憶装置は、電荷蓄積層として浮遊ゲートを複数形成し、且つ、選択ゲート及び制御ゲートを形成した後、トンネル酸化膜を形成し、選択エピタキシャルシリコン成長により柱状に島状半導体層を形成し、該島状半導体層を半導体基板に対して電氣的にフローティング状態とし、各々のメモリセルの活性領域を電氣的にフローティング状態とする半導体記憶装置において、島状半導体層の上部と下部に選択ゲート・トランジスタを配置し、選択ゲート・トランジスタに挟まれてメモリ・トランジスタを複数個、例えば 2 個配置し、各々メモリ・トランジスタのトンネル酸化膜は一括に形成され、各々トランジスタを該島状半導体層に沿って直列に接続し、且つ、選択ゲート・トランジスタのゲート絶縁膜厚がメモリ・トランジスタのゲート絶縁膜厚より大きい構造である。

【0 1 1 2】

このような半導体記憶装置は以下の製造方法により形成することができる。なお、図 1 8 6 ～図 1 9 5 及び図 1 9 6 ～図 2 0 5 は、それぞれ E E P R O M のメモリセルアレイを示す図 1 の A - A ' 及び B - B ' 断面図である。

この製造例では、各段の第一の導電膜となる、例えば多結晶シリコン膜 1 5 1 1 ～1 5 1 4 の形成および層間絶縁膜 1 6 1 2、1 6 1 3 を介して第二の導電膜である多結晶シリコン膜 1 5 2 2、1 5 2 3 を形成し、第五の絶縁膜となる例えばシリコン酸化膜 1 4 2 5 を 5 0 ～5 0 0 n m 堆積し、例えばエッチバックもしくは C M P 法などにより第二の絶縁膜であるシリコン窒化膜 1 3 1 0 の上部を露出させるまでは製造例 1 (図 7 2 ～図 9 2 及び図 9 7 ～図 1 1 7) と同じである (図 1 8 6 及び図 1 9 6)。

その後、第二の絶縁膜であるシリコン窒化膜 1 3 1 0 を、例えば等方性エッチングにより選択的に除去し、第一の溝部 1 2 1 0 を形成する。

【0 1 1 3】

つづいて、例えば C V D 法を用いて第一の溝部 1 2 1 0 の内壁に、例えば 2 0 n m 程度のゲート酸化膜となる第十三の絶縁膜としてシリコン酸化膜 1 4 5 1 を形成する (図 1 8 7 及び図 1 9 7)。ここで、第十三の絶縁膜であるシリコン酸化膜 1 4 5 1 は C V D 酸化膜に限らず、熱酸化膜又は窒素酸化膜でもよい。

10

20

30

40

50

次いで、第一の不純物拡散層 1710 もしくは p 型シリコン基板 1100 上にある第十三の絶縁膜であるシリコン酸化膜 1451 を選択的に除去する。例えば、異方性エッチングにより第一の溝部 1210 の側壁部のみにサイドウォール状に第十三の絶縁膜であるシリコン酸化膜 1451 を残存させる（図 188 及び図 198）。

その後、熱処理などにより、製造例 1 と同様に、第十三の絶縁膜であるシリコン酸化膜 1451 のトリートメント処理などを施す。

続いて、必要あるならば第一の不純物拡散層 1710 もしくは p 型シリコン基板 1100 表面に形成された酸化膜を、例えば希釈 HF などにより除去し、第一の溝部 1210 に島状半導体層 1721 ~ 1722 - 1 および 1111 を埋めこむ。例えば第一の溝部 1210 の底部に位置する第一の不純物拡散層 1710 もしくは p 型シリコン基板 1100 より半導体層を選択的にエピタキシャル成長させる。このとき下層より N 型半導体層 1721、P 型半導体層 1111、N 型半導体層 1722 - 1 を順次積層する（図 189 及び図 199）。N 型半導体層 1721 ~ 1722 - 1 の濃度は砒素 $1 \times 10^{18} \sim 1 \times 10^{21} / \text{cm}^3$ 程度のドーズで形成し、P 型である半導体層 1111 は硼素 $1 \times 10^{15} \sim 1 \times 10^{17} / \text{cm}^3$ 程度のドーズで形成する。また、N 型半導体層 1721 と 1722 - 1 は第一の導電膜である多結晶シリコン膜 1511 と第十三の絶縁膜であるシリコン酸化膜 1451 を介して重なりを有することが好ましい。さらに N 型半導体層 1722 - 1 は第一の導電膜である多結晶シリコン膜 1512 と重なりをもたない程度に形成するのが好ましい。

【0114】

その後、N 型半導体層 1722 - 1 をマスクに第十三の絶縁膜であるシリコン酸化膜 1451 を部分的に除去する（図 190 及び図 200）。例えば CVD 法を用いて第一の溝部 1210 の内壁に、例えば 10 nm 程度のトンネル酸化膜となる第三の絶縁膜としてシリコン酸化膜 1440 を形成する（図 191 及び図 201）。

つづいて、N 型半導体層 1722 - 1 上にある第三の絶縁膜であるシリコン酸化膜 1440 を選択的に除去する。例えば、異方性エッチングにより第一の溝部 1210 の側壁部のみにサイドウォール状に第三の絶縁膜であるシリコン酸化膜 1440 を残存させる（図 192 及び図 202）。

その後、熱処理などにより、第三の絶縁膜であるシリコン酸化膜 1440 のトリートメント処理などを施してもよい。

つづいて、前述と同様に第一の溝部 1210 に島状半導体層 1722 - 2 ~ 1724 - 1 および 1112 ~ 1113 を埋めこむ。例えば第一の溝部 1210 の底部に位置する島状半導体層 1722 - 1 より半導体層を選択的にエピタキシャル成長させる。このとき下層より N 型半導体層 1722 - 2、P 型半導体層 1112、N 型半導体層 1723、P 型半導体層 1113、N 型半導体層 1724 - 1 を順次積層する（図 193 及び図 203）。N 型半導体層 1722 - 2 ~ 1724 - 1 の濃度は先程と同様に砒素 $1 \times 10^{18} \sim 1 \times 10^{21} / \text{cm}^3$ 程度のドーズで形成し、P 型である半導体層 1112 ~ 1113 は硼素 $1 \times 10^{15} \sim 1 \times 10^{17} / \text{cm}^3$ 程度のドーズで形成する。また、N 型半導体層 1722 - 2 と 1723 は第一の導電膜である多結晶シリコン膜 1512 と第三の絶縁膜であるシリコン酸化膜 1440 を介して重なりを有することが好ましく、同様に、N 型半導体層 1723 と 1724 - 1 は第一の導電膜である多結晶シリコン膜 1513 と第三の絶縁膜であるシリコン酸化膜 1440 を介して重なりを有することが好ましい。さらに N 型半導体層 1724 - 1 は第一の導電膜である多結晶シリコン膜 1514 と重なりをもたない程度に形成するのが好ましい。

【0115】

その後、N 型半導体層 1724 - 1 をマスクに第三の絶縁膜であるシリコン酸化膜 1440 を部分的に除去する。

つづいて、例えば CVD 法を用いて第一の溝部 1210 の内壁に、例えば 20 nm 程度のゲート酸化膜となる第十三の絶縁膜としてシリコン酸化膜 1454 を形成する。ここで、第十三の絶縁膜であるシリコン酸化膜 1454 は CVD 酸化膜に限らず、熱酸化膜もしくは、窒素酸化膜でもよい。

10

20

30

40

50

次いで、島状半導体層 1724-1 上にある第十三の絶縁膜であるシリコン酸化膜 1454 を選択的に除去する。例えば、異方性エッチングにより第一の溝部 1210 の側壁部のみにサイドウォール状に第十三の絶縁膜であるシリコン酸化膜 1454 を残存させる。その後、熱処理などにより、第十三の絶縁膜であるシリコン酸化膜 1454 のトリートメント処理などを施す。

つづいて、前述と同様に第一の溝部 1210 に島状半導体層 1724-2 ~ 1725 および 1114 を埋めこむ。例えば第一の溝部 1210 の底部に位置する島状半導体層 1724-1 より半導体層を選択的にエピタキシャル成長させる。このとき下層より N 型半導体層 1724-2、P 型半導体層 1114、N 型半導体層 1725 を順次積層する（図 194 及び図 204）。N 型半導体層 1724-2 ~ 1725 の濃度は先程と同様に砒素 $1 \times 10^{18} \sim 1 \times 10^{21} / \text{cm}^3$ 程度のドーズで形成し、P 型である半導体層 1114 は硼素 $1 \times 10^{15} \sim 1 \times 10^{17} / \text{cm}^3$ 程度のドーズで形成する。また、N 型半導体層 1724-2 と 1725 は第一の導電膜である多結晶シリコン膜 1514 と第十三の絶縁膜であるシリコン酸化膜 1454 を介して重なりを有することが好ましい。

【0116】

その後、例えばエッチバックもしくは CMP 法などにより N 型半導体層 1725 を後退させ、第五の絶縁膜であるシリコン酸化膜 1425 を露出させ、N 型半導体層 1725 を各々分離形成させる。

続いて、第四の配線層を第二もしくは第三の配線層と方向が交差するよう N 型半導体層 1725 の上部と接続する。

その後、公知の技術により層間絶縁膜を形成し、コンタクトホールおよびメタル配線を形成する。

この製造例によっても製造例 1（図 72 ~ 図 96 及び図 97 ~ 図 121）と同様の効果が得られる。

【0117】

製造例 5

この製造例で形成する半導体記憶装置は、酸化膜が挿入された半導体基板、例えば SOI 基板の半導体部上に電荷蓄積層として浮遊ゲートを複数形成し、且つ、選択ゲート及び制御ゲートを形成した後、トンネル酸化膜を形成し、選択エピタキシャルシリコン成長により柱状に島状半導体層を形成し、該島状半導体層を半導体基板に対して電氣的にフローティング状態とし、各々のメモリセルの活性領域を電氣的にフローティング状態とする半導体記憶装置において、島状半導体層の上部と下部に選択ゲート・トランジスタを配置し、選択ゲート・トランジスタに挟まれてメモリ・トランジスタを複数個、例えば 2 個配置し、各々メモリ・トランジスタのトンネル酸化膜は一括に形成され、各々トランジスタを該島状半導体層に沿って直列に接続し、且つ、選択ゲート・トランジスタのゲート絶縁膜厚がメモリ・トランジスタのゲート絶縁膜厚と等しい構造である。

【0118】

このような半導体記憶装置は以下の製造方法により形成することができる。

なお、図 206 及び図 207 は、それぞれ EEPROM のメモリセルアレイを示す図 1 の A-A' 及び B-B' 断面図である。

この製造例では、基板として SOI 基板を用いた以外は、実質的に製造例 1 と同様であり（図 206 及び図 207）、同様の効果が得られる。さらに、第一の配線層となる不純物拡散層 1710 の接合容量が抑制もしくは除外される。また、基板として SOI 基板を用いることは本発明における全ての実施例において適応できる。

製造例 6

この製造例で形成する半導体記憶装置は、電荷蓄積層として浮遊ゲートを複数形成し、且つ、制御ゲートを形成した後、トンネル酸化膜を形成し、選択エピタキシャルシリコン成長により柱状に島状半導体層を形成し、該島状半導体層を半導体基板に対して電氣的にフローティング状態とし、各々のメモリセルの活性領域を電氣的にフローティング状態とする半導体記憶装置において、島状半導体層にメモリ・トランジスタを 2 個配置し、各々メ

10

20

30

40

50

モリ・トランジスタのトンネル酸化膜は一括に形成され、各々トランジスタを該島状半導体層に沿って直列に接続した構造である本発明の実施の形態を説明する。

【0119】

このような半導体記憶装置は以下の製造方法により形成することができる。なお、図208～図228及び図229～図249は、それぞれEEPROMのメモリセルアレイを示す図5のA-A'及びB-B'断面図である。

この製造例では、p型シリコン基板1100の表面に注入保護膜となる、例えば第一の絶縁膜としてシリコン酸化膜1410を2～20nm堆積し、イオン注入を利用してp型シリコン基板1100に第一の不純物層1710の導入を行う（図208及び図229）。例えば、0～7°程度傾斜した方向から5～100keVの注入エネルギー、砒素 $1 \times 10^{14} \sim 1 \times 10^{16} / \text{cm}^2$ 程度のドーズが挙げられる。イオン注入に代えて、CVD法により砒素を含む酸化膜を堆積し、その酸化膜からの砒素拡散を利用してもよい。また、p型シリコン基板1100の最表面に第一の不純物層1710が導入されなくてもよい。

10

【0120】

つづいて、公知のフォトリソグラフィ技術によりパターンニングされたレジストR5をマスクとして用いて、例えば反応性イオンエッチングにより第一の絶縁膜1410およびp型シリコン基板1100を第一の不純物層1710が分割されるように200～2000nmエッチングして第二の溝部1220を形成する（図209及び図230）。

レジストR5を除去した後、第二の溝部1220に第五の絶縁膜として、例えばシリコン酸化膜1420を100～300nm堆積し、エッチバックにより埋めこむ（図210及び図231）。第五の絶縁膜であるシリコン酸化膜1420を埋めこむ際は、等方性エッチングを用いたエッチバックでもよいし、異方性エッチングを用いたエッチバックでもよいし、CMPを用いた平坦化埋めこみでもよく、種々組み合わせてもよい。このとき第五の絶縁膜であるシリコン酸化膜1420はシリコン窒化膜でもよい。また、第五の絶縁膜であるシリコン酸化膜1410は除去されてもよいし、残存してもよい。例えば第一の絶縁膜であるシリコン酸化膜1410を除去した場合、次にp型シリコン基板1100もしくは第一の不純物層1710上に第二の絶縁膜として、例えばシリコン窒化膜1310を1000～10000nm形成する（図211及び図232）。

20

次に、公知のフォトリソグラフィ技術によりパターンニングされたレジストR6をマスクとして用いて、例えば反応性イオンエッチングにより第二の絶縁膜であるシリコン窒化膜1310をエッチングして、格子縞状の第四の溝部1240を形成する（図212及び図233）。

30

【0121】

その後、格子縞状の第四の溝部1240にCVD法により第五の絶縁膜として、例えばシリコン酸化膜1421を50～500nm堆積する。

次いで、第四の溝部1240の所望の深さまで、例えば等方性エッチングにより第五の絶縁膜である酸化膜1421を埋め込みを行い（図213及び図234）、第二の絶縁膜であるシリコン窒化膜1310の表面に第四の絶縁膜として、例えばシリコン酸化膜1431を1～10nm、つづいて、第一の導電膜となる、例えば多結晶シリコン膜1511を50～200nm程度堆積する（図214及び図235）。

40

同様に第一の導電膜である多結晶シリコン膜1511をエッチバックし、所望の高さのサイドウォールを形成する（図215及び図236）。このとき、第一の導電膜である多結晶シリコン膜1512は第二の絶縁膜であるシリコン窒化膜1310の周囲に形成され、第二の絶縁膜であるシリコン窒化膜1310の各々の周囲に形成されている第一の導電膜である多結晶シリコン膜1511はそれぞれ分離された状態となっている。

【0122】

つづいて、第一の導電膜である多結晶シリコン膜1511の表面に層間絶縁膜1611を形成する（図216及び図237）。この層間絶縁膜1611は、例えばONO膜とする。ONO膜は、製造例1と同様に形成することができる。

次いで、同様に第二の導電膜となる、例えば多結晶シリコン膜1521を15～150nm

50

m堆積し（図217及び図238）、堆積膜厚相当エッチバックすることで、第五の絶縁膜であるシリコン酸化膜1421上の層間絶縁膜1611を露出しつつ、第一の導電膜である多結晶シリコン膜1511の側部に層間絶縁膜1611を介して第二の導電膜である多結晶シリコン膜1521を配置させる。このとき第二の絶縁膜であるシリコン窒化膜1310の周囲には第二の導電膜である多結晶シリコン膜1525が残存しており、第二の導電膜である多結晶シリコン膜1521と多結晶シリコン膜1525は分離されていることが好ましい（図218及び図239）。なお、図5のA-A'方向について予め所定の値以下に設定しておくことによって、マスク工程を用いることなく、その方向に連続する制御ゲート線となる第三の配線層として形成される。

その後、第四の溝部1240に第五の絶縁膜として、例えばシリコン酸化膜1422を50～500nm堆積する。

【0123】

次いで、第四の溝部の所望の深さまで、例えば等方性エッチングにより第五の絶縁膜である酸化膜1422を埋めこみ（図219及び図240）、第五の絶縁膜であるシリコン酸化膜1422をマスクに等方性エッチングなどにより露出している第二の導電膜である多結晶シリコン膜1525を除去する（図220及び図241）。この際、第二の導電膜である多結晶シリコン膜1525の膜厚程度のエッチングであれば十分であり、これによりプロセスばらつきが低減できる。

つづいて、第二の絶縁膜であるシリコン窒化膜1310と第五の絶縁膜であるシリコン酸化膜1422に挟まれる部位に残存する第二の導電膜である多結晶シリコン膜1525を等方性エッチングもしくは異方性エッチングにより除去する（図221及び図242）。その後、前記第二の絶縁膜であるシリコン窒化膜1310と第五の絶縁膜であるシリコン酸化膜1422に挟まれる部位に埋めこむよう第六の絶縁膜として、例えばシリコン酸化膜1482を8～80nm堆積する。このとき、第六の絶縁膜であるシリコン酸化膜1482の膜厚は第二の導電膜である多結晶シリコン膜1521の堆積膜厚の約半分以上であればよい（図222及び図243）。

次いで、堆積膜厚相当の等方性エッチングを行うことで、第二の絶縁膜であるシリコン窒化膜1310の側部にある層間絶縁膜1611を露出させつつ、第四の溝部1240に第六の絶縁膜であるシリコン酸化膜1482の埋めこみを行う（図223及び図244）。このように第二の導電膜として多結晶シリコン膜1521の形成を述べたが、単純に堆積と異方性エッチングの組み合わせでサイドウォール状に形成してもよい。

【0124】

その後、第五の絶縁膜であるシリコン酸化膜1422をマスクに例えば、等方性エッチングにて層間絶縁膜1611を部分的に除去する（図224及び図245）。

同様に繰り返すことで第一の導電膜となる、例えば多結晶シリコン膜1512の側部に層間絶縁膜1612を介して第二の導電膜となる、例えば多結晶シリコン膜1522を配置させ、さらに第二の導電膜である多結晶シリコン膜1522を第五の絶縁膜となるシリコン酸化膜1423および第六の絶縁膜となるシリコン酸化膜1483で埋設する。

その後、例えばエッチバックもしくはCMP法などにより第二の絶縁膜であるシリコン窒化膜1310の上部を露出させる（図225及び図246）。このとき第五の絶縁膜であるシリコン酸化膜1423は、例えばシリコン窒化膜でもよい。

次いで、第二の絶縁膜であるシリコン窒化膜1310を、例えば等方性エッチングにより選択的に除去し、第一の溝部1210を形成する。

つづいて、例えばCVD法を用いて第一の溝部1210の内壁に、例えば10nm程度のトンネル酸化膜となる第三の絶縁膜としてシリコン酸化膜1440を形成する（図226及び図247）。ここで、第三の絶縁膜であるシリコン酸化膜1440はCVD酸化膜に限らず、熱酸化膜もしくは、窒素酸化膜でもよい。

次いで、第一の不純物拡散層1710もしくはp型シリコン基板1100上にある第三の絶縁膜であるシリコン酸化膜1440を選択的に除去する。例えば、異方性エッチングにより第一の溝部1210の側壁部のみにサイドウォール状に第三の絶縁膜であるシリコン

10

20

30

40

50

酸化膜 1 4 4 0 を残存させる。

その後、熱処理などにより、製造例 1 と同様の方法で、第三の絶縁膜であるシリコン酸化膜 1 4 4 0 のトリートメント処理などを施す。

次いで、必要あるならば第一の不純物拡散層 1 7 1 0 もしくは p 型シリコン基板 1 1 0 0 表面に形成された酸化膜を、例えば希釈 H F などにより除去し、第一の溝部 1 2 1 0 に島状半導体層 1 7 2 1 ~ 1 7 2 3 および 1 1 1 1、1 1 1 2 を埋めこむ。例えば第一の溝部 1 2 1 0 の底部に位置する第一の不純物拡散層 1 7 1 0 もしくは p 型シリコン基板 1 1 0 0 より半導体層を選択的にエピタキシャル成長させる。このとき下層より N 型半導体層 1 7 2 1、P 型半導体層 1 1 1 1、N 型半導体層 1 7 2 2、P 型半導体層 1 1 1 2、N 型半導体層 1 7 2 3 を順次積層する（図 2 2 7 及び図 2 4 8）。N 型半導体層 1 7 2 1 ~ 1 7 2 5 の濃度は砒素 $1 \times 10^{18} \sim 1 \times 10^{21} / \text{cm}^3$ 程度のドーズで形成し、P 型である半導体層 1 1 1 1、1 1 1 2 は硼素 $1 \times 10^{15} \sim 1 \times 10^{17} / \text{cm}^3$ 程度のドーズで形成する。また、N 型半導体層 1 7 2 1 と 1 7 2 2 は第一の導電膜である多結晶シリコン膜 1 5 1 1 と第三の絶縁膜であるシリコン酸化膜 1 4 4 0 を介して重なりを有することが好ましく、同様に、N 型半導体層 1 7 2 2 と 1 7 2 3 は第一の導電膜である多結晶シリコン膜 1 5 1 2 と第三の絶縁膜であるシリコン酸化膜 1 4 4 0 を介して重なりを有することが好ましい。

【0 1 2 5】

その後、例えばエッチバックもしくは C M P 法などにより N 型半導体層 1 7 2 3 を後退させ、第五の絶縁膜であるシリコン酸化膜 1 4 2 3 を露出させ、N 型半導体層 1 7 2 3 を各々分離形成させる。

次いで、第四の配線層を第二もしくは第三の配線層と方向が交差するよう N 型半導体層 1 7 2 3 の上部と接続する。

その後、公知の技術により層間絶縁膜を形成し、コンタクトホールおよびメタル配線を形成する。これにより、第一の導電膜となる多結晶シリコン膜を浮遊ゲートとする電荷蓄積層に蓄積される電荷状態によってメモリ機能を有する半導体記憶装置が実現する（図 2 2 8 及び図 2 4 9）。

【0 1 2 6】

この製造例では第二の絶縁膜であるシリコン窒化膜 1 3 1 0 のような半導体基板もしくは多結晶シリコン膜の表面に形成される膜はシリコン表面側からシリコン酸化膜／シリコン窒化膜の複層膜としてもよい。また、第一の導電膜である多結晶シリコン膜 1 5 1 1、1 5 1 2 および第二の導電膜である多結晶シリコン膜 1 5 2 1、1 5 2 2 の不純物の導入は、多結晶シリコン膜の成膜時に行ってもよいし、成膜後もしくはサイドウォール形成後に行ってもよいし、導電膜としてなれば導入時期は制限されない。

この製造例では、マスクを用いることなく各メモリセルの制御ゲートを一方向について連続するように形成した。これは、島状半導体層の配置が対称的でない場合に初めて可能である。すなわち、第二もしくは第三の配線層方向の島状半導体層との隣接間隔を、第四の配線層方向のそれより小さくすることにより、第四の配線層方向には分離され、第二もしくは第三の配線層方向に繋がる配線層がマスクなしで自動的に得られる。これに対して、例えば、島状半導体層の配置を対称にした場合にはフォトリソグラフィによりレジストのパターンニング工程により配線層の分離を行ってもよい。

【0 1 2 7】

製造例 7

この製造例で形成する半導体記憶装置は、電荷蓄積層として浮遊ゲートを複数形成し、且つ、選択ゲート及び制御ゲートを形成した後、トンネル酸化膜を形成し、選択エピタキシャルシリコン成長により柱状に島状半導体層を形成し、該島状半導体層を半導体基板に対して電氣的にフローティング状態とし、各々のメモリセルの活性領域を電氣的に共通とする半導体記憶装置において、島状半導体層の上部と下部に選択ゲート・トランジスタを配置し、選択ゲート・トランジスタに挟まれてメモリ・トランジスタを複数個、例えば 2 個配置し、各々メモリ・トランジスタのトンネル酸化膜は一括に形成され、各々トランジスタ

10

20

30

40

50

タを該島状半導体層に沿って直列に接続し、且つ、選択ゲート・トランジスタのゲート絶縁膜厚がメモリ・トランジスタのゲート絶縁膜厚と等しい構造である。

【0128】

このような半導体記憶装置は以下の製造方法により形成することができる。

なお、図250～図252及び図253～図255は、それぞれEEPROMのメモリセルアレイを示す図1のA-A'及びB-B'断面図である。また、図256～図258及び図259～図261は、それぞれEEPROMのメモリセルアレイを示す図1のA-A'及びB-B'断面図である。

このような半導体記憶装置は以下の製造方法により形成することができる。

この製造例では、第一の導電膜である多結晶シリコン膜1512の側部に層間絶縁膜1612を介して第二の導電膜である多結晶シリコン膜1522を配置させるまでは製造例1（図72～図90及び図97～図115）と同様に行う。ただし、第四の溝部1240に第五の絶縁膜であるシリコン酸化膜1423を埋めこむ際に、第二の導電膜である多結晶シリコン膜1522上に第五の絶縁膜であるシリコン酸化膜1423を20～40nm程度の厚さに制御するか、あるいは第二の導電膜である多結晶シリコン膜1522を露出し、20～40nm程度の厚さの熱酸化膜を形成する（図250及び図253）。このときメモリセルの浮遊ゲートである第一の導電膜である多結晶シリコン膜1512と1513の間隔を20～30とする（図251及び図254）ことにより、後の工程で第一の溝部1210に形成する島状半導体層1721～1725の内、メモリセルの間に形成される不純物拡散層1723を形成する必要がなくなる（図252及び図255）。

【0129】

また、別の製造例として、第一の導電膜である多結晶シリコン膜1511形成するまでは製造例1（図72～図79及び図97～図104）と同様に行う。ただし、選択ゲートとメモリセル間については第四の溝部1240に第五の絶縁膜であるシリコン酸化膜1422を埋めこむ際に、第一の導電膜である多結晶シリコン膜1521上に第五の絶縁膜であるシリコン酸化膜1422を20～40nm程度の厚さに制御するか、あるいは第二の導電膜である多結晶シリコン膜1521を露出し、20～40nm程度の厚さの熱酸化膜を形成する（図256及び図259）。

また、メモリセルとメモリセル間については前述と同様に第四の溝部1240に第五の絶縁膜であるシリコン酸化膜1423を埋めこむ際に、第二の導電膜である多結晶シリコン膜1522上に第五の絶縁膜であるシリコン酸化膜1423を20～40nm程度の厚さに制御するか、あるいは第二の導電膜である多結晶シリコン膜1522を露出し、20～40nm程度の厚さの熱酸化膜を形成する（図257及び図260）。このときメモリセルの浮遊ゲートである第一の導電膜である多結晶シリコン膜1512と1513の間隔を20～30nmとすることにより、後の工程で第一の溝部1210に形成する島状半導体層1721～1725の内、選択ゲートおよびメモリセル間に形成される不純物拡散層1722、1723、1724を形成する必要がなくなる（図258及び図261）。

【0130】

製造例8

この製造例で形成する半導体記憶装置は、電荷蓄積層として浮遊ゲートを複数形成し、且つ、選択ゲート及び制御ゲートを形成した後、トンネル酸化膜を形成し、選択エピタキシャルシリコン成長により柱状に島状半導体層を形成し、該島状半導体層を半導体基板に対して電氣的にフローティング状態とし、各々のメモリセルの活性領域を電氣的に共通とする半導体記憶装置において、島状半導体層の上部と下部に選択ゲート・トランジスタを配置し、選択ゲート・トランジスタに挟まれてメモリ・トランジスタを複数個、例えば2個配置し、各々メモリ・トランジスタのトンネル酸化膜は一括に形成され、各々トランジスタを該島状半導体層に沿って直列に接続し、且つ、選択ゲート・トランジスタのゲート絶縁膜厚がメモリ・トランジスタのゲート絶縁膜厚と等しい構造であり、各々のメモリ・トランジスタの活性領域に電位を伝達すべく各々のトランジスタの間に伝達ゲートを配置する。

10

20

30

40

50

このような半導体記憶装置は以下の製造方法により形成することができる。

なお、図262及び図263は、それぞれEEPROMのメモリセルアレイを示す図1のA-A'及びB-B'断面図である。

【0131】

この製造例では、第二の導電膜である多結晶シリコン膜1521、1522、1523、1524を形成させた後、第三の導電膜である多結晶シリコン膜1530によるゲート電極の形成を行う工程が追加されたこと以外は製造例1と同様に行う。

つまり、第二の導電膜である多結晶シリコン膜1521、1522、1523、1524を形成させた後、第一の導電膜である多結晶シリコン膜1521と1522の間の島状半導体層1110が露出し得る程度に第五の絶縁膜であるシリコン酸化膜1424～1422、層間絶縁膜1612、1613を等方性エッチングにより除去する。

その後、例えば熱酸化膜法を用いて第二十一の絶縁膜である酸化膜1400を選択ゲートおよびメモリセル間の島状半導体層1110表面および第一、第二の導電膜である多結晶シリコン膜1511、1512、1513、1514、1521、1522、1523、1524の露出部に形成した後、第三の導電膜である多結晶シリコン膜1530を全面に堆積する。

続いて、第二の導電膜である多結晶シリコン膜1523と1524のスペース部が露出し無い程度に第三の導電膜である多結晶シリコン膜1530を異方性エッチングによりエッチバックを行う。

さらに、製造例1と同様の方法により、半導体記憶装置を完成する（図262及び図263）。

【0132】

製造例9

この製造例では、第一の配線層の方向と第四の配線層の方向が平行である構造を得るための具体的な製造例を示す。なお、図264～図266及び図267～図269は、それぞれEEPROMのメモリセルアレイを示す図1のA-A'及びB-B'断面図である。

この製造例では、公知のフォトリソグラフィ技術によりパターンニングされたレジストR5をマスクとして用いて（図73及び図98参照）、例えば反応性イオンエッチングにより第一の絶縁膜1410およびp型シリコン基板1100を第一の不純物層1710が分割されるように200～2000nmエッチングして、後に連続するゲート線となる第二の配線層と交差する方向に第二の溝部1220を形成すること以外は、製造例と同じである（図264～図266及び図267～図269）。

これにより、第一の配線層と第四の配線層が平行である第一の導電膜となる多結晶シリコン膜を浮遊ゲートとする電荷蓄積層に蓄積される電荷状態によってメモリ機能を有する半導体記憶装置が実現する。

【0133】

この製造例では、第二の絶縁膜であるシリコン窒化膜1310のような半導体基板もしくは多結晶シリコン膜の表面に形成される膜はシリコン表面側からシリコン酸化膜／シリコン窒化膜の複層膜としても構わない。また、第一の導電膜である多結晶シリコン膜1511～1514および第二の導電膜である多結晶シリコン膜1522、1523の不純物の導入は多結晶シリコン膜の成膜時に行ってもよいし、成膜後もしくはサイドウォール形成後に行ってもよいし、導電膜としてなれば導入時期は制限されない。

なお、この製造例では、マスクを用いることなく各メモリセルの制御ゲートを一方向について連続するように形成した。これは、島状半導体層の配置が対称的でない場合に初めて可能である。すなわち、第二もしくは第三の配線層方向の島状半導体層との隣接間隔を、第四の配線層方向のそれより小さくすることにより、第四の配線層方向には分離され、第二もしくは第三の配線層方向に繋がる配線層がマスクなしで自動的に得られる。これに対して、例えば、島状半導体層の配置を対称にした場合にはフォトリソグラフィによりレジストのパターンニング工程により配線層の分離を行ってもよい。

また、複数のメモリセル部の上部と下部に選択ゲートを配置することでメモリセルトラン

10

20

30

40

50

ジスタが過剰消去の状態、すなわち、読み出し電圧が0 Vであってしきい値が負の状態になり、非選択セルでもセル電流が流れる現象を防止することができる。

【0134】

製造例10

この製造例では、第一の配線層がメモリアレイに対し電氣的に共通である構造を得るための具体的な製造例を示す。なお、図270～図271及び図272～図273は、それぞれEEPROMのメモリセルアレイを示す図1のA-A'及びB-B'断面図である。

この製造例では、半導体基板1100に第二の溝部1220を形成せず、製造例1から、これに関わる工程を省略したのと同じである。

これにより、少なくともアレイ内の第一の配線層が分割されずに共通となり、第一の導電膜となる多結晶シリコン膜を浮遊ゲートとする電荷蓄積層に蓄積される電荷状態によってメモリ機能を有する半導体記憶装置が実現する（図270～図271及び図272～図273）。 10

【0135】

製造例11

この製造例では、電荷蓄積層として浮遊ゲートを形成した後に島状半導体層を形成する手法において、浮遊ゲートが矩形に形成してある構造を得るための具体的な製造例を示す。なお、図274～図279及び図280～図285は、それぞれEEPROMのメモリセルアレイを示す図1のA-A'及びB-B'断面図である。

この製造例では、第一の導電膜となる多結晶シリコン膜1511～1514を形成する際、第二の絶縁膜であるシリコン窒化膜1310に被覆される第一の多結晶シリコン膜1512を異方性エッチによりサイドウォールとした後、第八の絶縁膜であるシリコン酸化膜1462を第一の導電膜である多結晶シリコン膜1512の間に所望の深さ埋め込み、第八の絶縁膜であるシリコン酸化膜1462をマスクに第一の導電膜である多結晶シリコン膜1512を等方性もしくは異方性エッチにより部分的に除去する（図274～図277及び図280～図283）。 20

次に、第八の絶縁膜であるシリコン酸化膜1462を除去し第一の導電膜である多結晶シリコン膜1512を矩形状に形成する。同様に第二の導電膜である多結晶シリコン膜1522も同様に行ってもよい。また、選択ゲートである第一の多結晶シリコン膜1511および1514についても同様に形成してもよい（図278～図279及び図284～図285）。 30

【0136】

製造例12

この製造例では、電荷蓄積層として浮遊ゲートを形成した後に島状半導体層を形成する手法において、浮遊ゲートの側面及び上面を層間絶縁膜を介して制御ゲートが被覆される構造を得るための具体的な製造例を示す。なお、図286～図289及び図290～図293は、それぞれEEPROMのメモリセルアレイを示す図1のA-A'及びB-B'断面図である。

この製造例では、第二の導電膜となる、例えば多結晶シリコン膜1522を15～150 nm堆積するまでは、製造例1と同じである。 40

その後、堆積膜厚相当エッチバックすることで、第五の絶縁膜であるシリコン酸化膜1422上の層間絶縁膜1612を露出しつつ、第一の導電膜である多結晶シリコン膜1512の側部に層間絶縁膜1612を介して第二の導電膜である多結晶シリコン膜1522を配置させる。このとき第二の絶縁膜であるシリコン窒化膜1310の周囲には第二の導電膜である多結晶シリコン膜1522が残存している（図286及び図290）。

次いで、第四の溝部1240に第五の絶縁膜として、例えばシリコン酸化膜1423を50～500 nm堆積する。

その後、第四の溝部の所望の深さまで例えば等方性エッチングにより第五の絶縁膜である酸化膜1423を埋めこみ（図287及び図291）、第五の絶縁膜であるシリコン酸化膜1423をマスクに等方性エッチングもしくは異方性エッチングなどにより露出してい 50

る第二の導電膜である多結晶シリコン膜1522を除去する(図288及び図292)。この際、第二の導電膜である多結晶シリコン膜1522の膜厚程度のエッチングであれば十分であり、これによりプロセスばらつきが低減できる。

続いて、第二の絶縁膜であるシリコン窒化膜1310と第五の絶縁膜であるシリコン酸化膜1423に挟まれる部位に第二の導電膜である多結晶シリコン膜1522が残存するようにする(図289及び図293)。これにより第一の導電膜である多結晶シリコン膜1512は層間容量膜1612を介して第二の導電膜である多結晶シリコン膜1522と接する面積が増大し、カップリングレシオが向上する。

【0137】

製造例13

電荷蓄積層として浮遊ゲートを形成した後に島状半導体層を形成する手法において、これらトランジスタのゲートの垂直な方向の長さが異なる具体的な製造例を示す。なお、図294～図295及び図296～図297は、それぞれEEPROMのメモリセルアレイを示す図1のA-A'及びB-B'断面図である。

この製造例では、メモリセルのゲートもしくは選択ゲートとなる第一の導電膜である多結晶シリコン膜1511～1514の半導体基板1100に対して垂直な方向の長さは、図294及び図296に示すように多結晶シリコン膜1511、1514の選択ゲート長が異なってもよい。

また、図295及び図297に示すように、第一の導電膜である多結晶シリコン膜1512、1513のメモリセルのゲート長が異なっても、第一の導電膜である多結晶シリコン膜1511～1514の垂直な方向の長さが同じ長さでなくてもよい。

【0138】

製造例14

電荷蓄積層として浮遊ゲートを形成した後に島状半導体層を形成する手法において、これらトランジスタの活性化領域の垂直な方向の長さが異なる具体的な製造例を示す。なお、図298及び図299は、それぞれEEPROMのメモリセルアレイを示す図1のA-A'及びB-B'断面図である。

この製造例では、メモリセルのチャネル部もしくは選択トランジスタのチャネル部となる半導体層1111～1114の半導体基板1100に対して垂直な方向の長さは、図298及び図299に示すように、半導体層1111、1114の選択トランジスタのチャネル長が異なっても、半導体層1112、1113のメモリセルのチャネル長が異なってもよい。

【0139】

製造例15

電荷蓄積層として浮遊ゲートを形成した後に島状半導体層を形成する手法において、第四の配線層1840と接続される半導体層1110の上端部に位置する不純物拡散層1725の高さを大きく配置する場合の具体的な製造例を示す。なお、図300及び図301は、それぞれEEPROMのメモリセルアレイを示す図1のA-A'及びB-B'断面図である。

この製造例では、第四の配線層1840と接続される半導体層1725の高さは大きくてもよい(図300及び図301)。このとき、第五の絶縁膜であるシリコン酸化膜1425の膜厚を厚く設定でき第一の導電膜である多結晶シリコン膜1514と第四の配線層1840との絶縁性が向上する。あるいは不純物拡散層1725を露出させる際、露出面積を大きく設定できるため、不純物拡散層1725と第四の配線層1840との接続性能が向上する。

【0140】

製造例16

電荷蓄積層として浮遊ゲートを形成した後に島状半導体層を形成する手法において、半導体層1110の上端部に位置する不純物拡散層1725を加工することにより第四の配線層1840を形成する具体的な製造例を示す。なお、図302～図303及び図304～

10

20

30

40

50

図305は、それぞれEEPROMのメモリセルアレイを示す図1のA-A'及びB-B'断面図である。

この製造例では、第四の配線層として半導体層1725を公知のフォトリソグラフィ技術によりパターンニングされたレジストR8をマスクとして用いて（図302及び図304）、反応性イオンエッチングにより加工して、第二の配線層もしくは第三の配線層の方向と交差するように第四の配線層を形成する（図303及び図304）。

【0141】

製造例17

電荷蓄積層として浮遊ゲートを形成した後に形成した島状半導体層の形状について具体的な製造例を示す。なお、図306～図307及び図308～図309は、それぞれEEPROMのメモリセルアレイを示す図1のA-A'及びB-B'断面図である。

10

この製造例では、反応性イオンエッチングにより第一の溝部1210を形成する際、第二の絶縁膜であるシリコン窒化膜1310の上端部と下端部の外形が異なった場合には、図306及び図308に示すようになる。

また、第二の絶縁膜であるシリコン窒化膜1310の上端部と下端部の水平方向の位置がずれた場合には、図307及び図309に示すようになる。

例えば、上面からの第二の絶縁膜であるシリコン窒化膜1310の形が円形を呈している場合、前者は円錐形を呈しており、後者は斜め円柱を呈している構造となる。なお、半導体基板1100に対して垂直な方向に直列にメモリセルを配置できる構造であるならば第二の絶縁膜であるシリコン窒化膜1310の形状は特に限定されない。

20

【0142】

製造例18

電荷蓄積層として浮遊ゲートを形成した後に島状半導体層を形成する際の半導体層1110の底部の形状について具体的な製造例を示す。なお、図310～図313及び図314～図317は、それぞれEEPROMのメモリセルアレイを示す図1のA-A'及びB-B'断面図である。

この製造例では、格子縞状の第一の溝部1210の底部形状は、図310及び図314、図311及び図315に示すように、直線状の傾斜構造を呈してもよい。

また、格子縞状の第一の溝部1210の底部形状は、図312及び図316、図313及び図317に示すように、丸みを帯びた傾斜構造を呈してもよい。

30

ここで、第一の導電膜となる多結晶シリコン膜1511の下端部が第一の溝部1210の底部の傾斜部に差ししかかっても差ししかからなくてもよい。

【0143】

製造例19

電荷蓄積層として浮遊ゲートを形成した後に島状半導体層を形成する手法において、下地段差部に堆積される多結晶シリコン膜の形状について具体的な製造例を示す。なお、図318～図323及び図324～図329は、それぞれEEPROMのメモリセルアレイを示す図1のA-A'及びB-B'断面図である。

第二の絶縁膜であるシリコン窒化膜1310に被覆される第一の多結晶シリコン膜1511～1514、第二の多結晶シリコン膜1521～1524は、図318～図323及び図324～図329に示すように、第一の溝部1210の底部形状に沿って均一に堆積された構造を呈してもよい。また、製造制1のように、底部形状によっては部分的に不均一に堆積された構造を呈してもよい。

40

【0144】

製造例20

各々のトランジスタの選択ゲートおよび浮遊ゲートを一括で形成する手法において、第一、第二及び第三の配線層と周辺回路との電氣的接続を実現する端子の具体的な製造例を示す。なお、図330～図335は、それぞれEEPROMのメモリセルアレイを示す図8及び図9のH-H'線断面図、I1-I1'線断面図、I2-I2'線断面図、I3-I3'線断面図、I4-I4'線断面図、I5-I5'線断面図である。また、図336～

50

図341も同様である。これらは埋設された配線層に外部から電圧を印加するために、例えば半導体装置上面に配置された端子と埋設されたとが電氣的に結合する部位1921、1932、1933、1934、1910がそれぞれ確認できる位置での断面図を示している。

この製造例では、配線層引き出し部における埋設される各々の第一及び第二、第三の配線層を図330～図335に示すように、階段状に配置し、各々の配線層の端部から所望の配線層以外の配線層と交わらないように第一及び第二、第三のコンタクト1921、1932、1933、1934、1910を形成することで、第一及び第二、第三の配線層を半導体装置上面へ引き出す。

なお、第一及び第二、第三のコンタクト1921、1932、1933、1934、1910を形成せず、例えば導電膜を半導体装置上面へ引き出すような配置を行うことにより同様の効果を得るようにしてもよい。

また、配線層引き出し部における埋設される各々の第一及び第二、第三の配線層を、図336～図341のように配置し、第一及び第二、第三のコンタクト1921、1932、1933、1934、1910を開口した後、第二十三の絶縁膜として、例えばシリコン酸化膜1499を10～100nm堆積し、つづいて堆積膜厚分程度エッチバックし、配線層引き出し部に形成したコンタクトの内壁に第二十三の絶縁膜であるシリコン酸化膜1499のサイドウォールを形成し、その後メタルあるいは導電膜をコンタクト部に埋め込むことにより、第一の配線層及び第二、第三の各配線層を半導体装置上面へ引き出してもよい（図336～図341）。この際、第二十三の絶縁膜はシリコン酸化膜に限らずシリコン窒化膜でもよく、絶縁膜であれば限定しない。

また、配線層を引き出すためのコンタクトは、図339～図341に示すように、隣接するA-A'方向に連続するメモリセルの配線層引き出し部に共通して形成してもよいし、図330～図335に示すように、各々の配線層引き出し部に形成してもよい。

以上のような第一の配線層及び第二、第三の配線層を半導体上面へ引き出す方法は、本発明における全ての実施例において適応できる。

【0145】

製造例21

DRAMを構成するトランジスタとキャパシタの配置の一例として、島状半導体層1110の上部から、トランジスタ、キャパシタ、トランジスタ、キャパシタの順で配置した場合において、具体的な製造例を示す。なお、図342及び図343は、それぞれEEPROMのメモリセルアレイを示す図11のA-A'及びB-B'断面図である。

この製造例では、不純物拡散層1710を形成せず、かつ該不純物拡散層の分離工程を導入しないこと以外は、製造例3に準じ、図342及び図343のような構造とする。

これにより島状半導体層1110に形成する複数のキャパシタをトランジスタで分離できる。また、不純物拡散層1710を配線層として用いないことにより、配線容量が小さくなる。

なお、電荷蓄積層を複数形成した後、選択エピタキシャルシリコン成長により柱状に島状半導体層1110を形成する上記製造例は、種々組み合わせて用いてもよい。

【0146】

【発明の効果】

本発明の半導体記憶装置の製造方法によれば、島状半導体層の垂直方向における基板のバックバイアス効果の回避又はばらつきを防止することが可能となり、ビットラインとソースライン間に直列に接続するメモリセルを複数形成することが可能となる半導体記憶装置を効率よく製造することができる。これにより、基板からのバックバイアス効果に起因する読み出し時における各メモリセルの閾値の低下によるメモリセルの特性のばらつきの発生を防止した、高性能なデバイスを作成することが可能となる。

【0147】

また、デバイス性能を決定する方向である垂直方向は最小加工寸法に依存することなく、より微細化を図ることが可能となる。

10

20

30

40

50

さらに、大容量化が可能となる。例えば、メモリトランジスタを備える半導体基板円柱の直径を最小加工寸法で形成し、互いの半導体基板柱とのスペース幅の最短距離を最小加工寸法で構成した場合、半導体基板円柱当りのメモリトランジスタの段数が２段であれば、従来の２倍の容量が得られる。つまり、半導体基板円柱当りのメモリトランジスタ段数倍の大容量化が行える。一般的に段数が多いほど大容量化が実現する。これによりビット当りのセル面積が縮小し、チップの縮小化及び低コスト化が図れる。しかも、デバイス性能を決定する方向である垂直方向は最小加工寸法に依存せず、デバイスの性能を維持することができる。

【０１４８】

さらに、各メモリセルは、島状半導体層を取り囲むように配置するため、駆動電流の向上及びＳ値の増大が実現したデバイスを製造することができる。 10

また、円形のパターンを用いて半導体基板を柱状に加工した後、該半導体基板側面を犠牲酸化することで、基板表面のダメージ、欠陥及び凹凸を取り除くことで、良好な活性領域面として用いることができる。この際、酸化膜厚を制御することで柱の直径を操作することが可能となり、トンネル酸化膜の表面積と浮遊ゲートと制御ゲートの層間容量膜の表面積できまる浮遊ゲートと制御ゲート間の容量の増大が容易に行える。

さらに、円形のパターンを用いることで、活性領域面に局所的な電界集中の発生が回避でき、電氣的制御が容易に行える。さらに、柱状の半導体基板にトランジスタのゲート電極を取り囲むように配置することで駆動電流の向上及びＳ値の増大が実現する。各メモリセルの活性領域を基板に対してフローティング状態となるように不純物拡散層を形成することで基板からのバックバイアス効果が無くなり読み出し時における各メモリセルの閾値の低下によるメモリセルの特性のばらつきが発生しなくなる。 20

【０１４９】

また、トンネル酸化膜及び浮遊ゲート堆積後、浮遊ゲート側壁に絶縁膜のサイドウォールを垂直方向に複数形成することで、浮遊ゲートの加工が一括で行える。つまり、トンネル酸化膜は各々のメモリセルに対して同質のものが得られる。これらの手法を用いることにより、メモリセルの特性ばらつきが抑制され、デバイスの性能のばらつきが抑制され、制御が容易となり低コスト化実現する。

【図面の簡単な説明】

【図１】 本発明の半導体記憶装置において電荷蓄積層として浮遊ゲートを有するＥＥＰＲＯＭのメモリセルアレイを示す平面図である。 30

【図２】 電荷蓄積層として浮遊ゲートを有するＥＥＰＲＯＭの別のメモリセルアレイを示す平面図である。

【図３】 電荷蓄積層として浮遊ゲートを有するＥＥＰＲＯＭのさらに別のメモリセルアレイを示す平面図である。

【図４】 電荷蓄積層として浮遊ゲートを有するＥＥＰＲＯＭのさらに別のメモリセルアレイを示す平面図である。

【図５】 電荷蓄積層として浮遊ゲートを有するＥＥＰＲＯＭのさらに別のメモリセルアレイを示す平面図である。

【図６】 電荷蓄積層として浮遊ゲートを有するＥＥＰＲＯＭのさらに別のメモリセルアレイを示す平面図である。 40

【図７】 電荷蓄積層として浮遊ゲートを有するＥＥＰＲＯＭのさらに別のメモリセルアレイを示す平面図である。

【図８】 電荷蓄積層として浮遊ゲートを有するＥＥＰＲＯＭのさらに別のメモリセルアレイを示す平面図である。

【図９】 電荷蓄積層として浮遊ゲートを有するＥＥＰＲＯＭのさらに別のメモリセルアレイを示す平面図である。

【図１０】 電荷蓄積層として積層絶縁膜を有するＭＯＮＯＳ構造であるメモリセルアレイを示す平面図である。

【図１１】 電荷蓄積層としてＭＩＳキャパシタを有するＤＲＡＭ構造であるメモリセル 50

【図１２】 電荷蓄積層として積層絶縁膜を有するMONOS構造であるメモリセルアレ
イを示す平面図である。

【図 14】 電荷蓄積層として浮遊ゲートを有する半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 16】 電荷蓄積層として浮遊ゲートを有する別の半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 18】 電荷蓄積層として浮遊ゲートを有するさらに別の半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 20】 電荷蓄積層として浮遊ゲートを有するさらに別の半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 22】 電荷蓄積層として浮遊ゲートを有するさらに別の半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 24】 電荷蓄積層として浮遊ゲートを有するさらに別の半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 26】 電荷蓄積層として浮遊ゲートを有するさらに別の半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。 30

【図 28】 電荷蓄積層として浮遊ゲートを有するさらに別の半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 30】 電荷蓄積層として浮遊ゲートを有するさらに別の半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 3 2】 電荷蓄積層として浮遊ゲートを有するさらに別の半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 3 4】 電荷蓄積層として浮遊ゲートを有するさらに別の半導体記憶装置の図 1 における B-B' 断面図に対応する断面図である。

【図 3 6】 電荷蓄積層として浮遊ゲートを有するさらに別の半導体記憶装置の図 1 にお 50

けるB-B'断面図に対応する断面図である。

【図37】 電荷蓄積層として積層絶縁膜を有する半導体記憶装置の図10におけるA-A'断面図に対応する断面図である。

【図38】 電荷蓄積層として積層絶縁膜を有する半導体記憶装置の図10におけるB-B'断面図に対応する断面図である。

【図39】 電荷蓄積層として積層絶縁膜を有する別の半導体記憶装置の図10におけるA-A'断面図に対応する断面図である。

【図40】 電荷蓄積層として積層絶縁膜を有する別の半導体記憶装置の図10におけるB-B'断面図に対応する断面図である。

【図41】 電荷蓄積層として積層絶縁膜を有するさらに別の半導体記憶装置の図10におけるA-A'断面図に対応する断面図である。 10

【図42】 電荷蓄積層として積層絶縁膜を有するさらに別の半導体記憶装置の図10におけるB-B'断面図に対応する断面図である。

【図43】 電荷蓄積層として積層絶縁膜を有するさらに別の半導体記憶装置の図10におけるA-A'断面図に対応する断面図である。

【図44】 電荷蓄積層として積層絶縁膜を有するさらに別の半導体記憶装置の図10におけるB-B'断面図に対応する断面図である。

【図45】 電荷蓄積層として積層絶縁膜を有するさらに別の半導体記憶装置の図10におけるA-A'断面図に対応する断面図である。

【図46】 電荷蓄積層として積層絶縁膜を有するさらに別の半導体記憶装置の図10におけるB-B'断面図に対応する断面図である。 20

【図47】 電荷蓄積層として積層絶縁膜を有するさらに別の半導体記憶装置の図10におけるA-A'断面図に対応する断面図である。

【図48】 電荷蓄積層として積層絶縁膜を有するさらに別の半導体記憶装置の図10におけるB-B'断面図に対応する断面図である。

【図49】 電荷蓄積層としてMISキャパシタを有する半導体記憶装置の図11におけるA-A'断面図に対応する断面図である。

【図50】 電荷蓄積層としてMISキャパシタを有する半導体記憶装置の図11におけるB-B'断面図に対応する断面図である。

【図51】 電荷蓄積層としてMISキャパシタを有する別の半導体記憶装置の図11におけるA-A'断面図に対応する断面図である。 30

【図52】 電荷蓄積層としてMISキャパシタを有する別の半導体記憶装置の図11におけるB-B'断面図に対応する断面図である。

【図53】 電荷蓄積層としてMISキャパシタを有するさらに別の半導体記憶装置の図11におけるA-A'断面図に対応する断面図である。

【図54】 電荷蓄積層としてMISキャパシタを有するさらに別の半導体記憶装置の図11におけるB-B'断面図に対応する断面図である。

【図55】 電荷蓄積層としてMISトランジスタを有する半導体記憶装置の図12におけるJ1-J1'断面図に対応する断面図である。

【図56】 電荷蓄積層としてMISトランジスタを有する半導体記憶装置の図12におけるJ2-J2'断面図に対応する断面図である。 40

【図57】 電荷蓄積層としてMISトランジスタを有する別の半導体記憶装置の図12におけるK1-K1'断面図に対応する断面図である。

【図58】 電荷蓄積層としてMISトランジスタを有する別の半導体記憶装置の図12におけるK2-K2'断面図に対応する断面図である。

【図59】 本発明の半導体記憶装置の等価回路図である。

【図60】 本発明の半導体記憶装置の別の等価回路図である。

【図61】 本発明の半導体記憶装置のさらに別の等価回路図である。

【図62】 本発明のMONOS構造のメモリセルアレイを有する半導体記憶装置のさらに別の等価回路図である。

【図 6 3】 本発明の MONOS 構造のメモリセルアレイを有する半導体記憶装置のさらに別の等価回路図である。

【図 6 4】 本発明の DRAM 構造のメモリセルアレイを有する半導体記憶装置のさらに別の等価回路図である。

【図 6 5】 本発明の DRAM 構造のメモリセルアレイを有する半導体記憶装置のさらに別の等価回路図である。

【図 6 6】 本発明の DRAM 構造のメモリセルアレイを有する半導体記憶装置のさらに別の等価回路図である。

【図 6 7】 本発明の DRAM 構造のメモリセルアレイを有する半導体記憶装置のさらに別の等価回路図である。

【図 6 8】 本発明の半導体記憶装置のさらに別の等価回路図である。

【図 6 9】 本発明の半導体記憶装置のさらに別の等価回路図である。

【図 7 0】 本発明の SRAM 構造のメモリセルアレイを有する半導体記憶装置のさらに別の等価回路図である。

【図 7 1】 本発明の SRAM 構造のメモリセルアレイを有する半導体記憶装置のさらに別の等価回路図である。

【図 7 2】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A ' 線）工程図である。

【図 7 3】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A ' 線）工程図である。

【図 7 4】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A ' 線）工程図である。

【図 7 5】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A ' 線）工程図である。

【図 7 6】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A ' 線）工程図である。

【図 7 7】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A ' 線）工程図である。

【図 7 8】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A ' 線）工程図である。

【図 7 9】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A ' 線）工程図である。

【図 8 0】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A ' 線）工程図である。

【図 8 1】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A ' 線）工程図である。

【図 8 2】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A ' 線）工程図である。

【図 8 3】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A ' 線）工程図である。

【図 8 4】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A ' 線）工程図である。

【図 8 5】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A ' 線）工程図である。

【図 8 6】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A ' 線）工程図である。

【図 8 7】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A ' 線）工程図である。

【図 8 8】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の A - A ' 線）工程図である。

10

20

30

40

50

【図 1 1 3】 本発明の半導体記憶装置の製造例1を示す断面（図 1 の B－B' 線）工程図である。

- 50

【図 163】 本発明の半導体記憶装置の製造例 3 を示す断面（図 11 の A-A' 線）工程図である。

【図 188】 本発明の半導体記憶装置の製造例 4 を示す断面（図 1 の A - A ' 線）工程図である。

- 50

【図 238】 本発明の半導体記憶装置の製造例 6 を示す断面（図 5 の B-B' 線）工程図である。

- 50

【図 264】 本発明の半導体記憶装置の製造例 9 を示す断面（図 1 の A - A ' 線）工程図である。

【図 265】 本発明の半導体記憶装置の製造例 9 を示す断面（図 1 の A - A ' 線）工程図である。

【図 266】 本発明の半導体記憶装置の製造例 9 を示す断面（図 1 の A-A' 線）工程図である。

【図 267】 本発明の半導体記憶装置の製造例 9 を示す断面（図 1 の B-B' 線）工程図である。

【図 268】 本発明の半導体記憶装置の製造例 9 を示す断面（図 1 の B-B' 線）工程図である。

【図 269】 本発明の半導体記憶装置の製造例 9 を示す断面（図 1 の B-B' 線）工程図である。

【図 270】 本発明の半導体記憶装置の製造例 10 を示す断面（図 1 の A-A' 線）工程図である。

【図 271】 本発明の半導体記憶装置の製造例 10 を示す断面（図 1 の A-A' 線）工程図である。

【図 272】 本発明の半導体記憶装置の製造例 10 を示す断面（図 1 の B-B' 線）工程図である。

【図 273】 本発明の半導体記憶装置の製造例 10 を示す断面（図 1 の B-B' 線）工程図である。

【図 274】 本発明の半導体記憶装置の製造例 11 を示す断面（図 1 の A-A' 線）工程図である。

【図 275】 本発明の半導体記憶装置の製造例 11 を示す断面（図 1 の A-A' 線）工程図である。

【図 276】 本発明の半導体記憶装置の製造例 11 を示す断面（図 1 の A-A' 線）工程図である。

【図 277】 本発明の半導体記憶装置の製造例 11 を示す断面（図 1 の A-A' 線）工程図である。

【図 278】 本発明の半導体記憶装置の製造例 11 を示す断面（図 1 の A-A' 線）工程図である。

【図 279】 本発明の半導体記憶装置の製造例 11 を示す断面（図 1 の A-A' 線）工程図である。

【図 280】 本発明の半導体記憶装置の製造例 11 を示す断面（図 1 の B-B' 線）工程図である。

【図 281】 本発明の半導体記憶装置の製造例 11 を示す断面（図 1 の B-B' 線）工程図である。

【図 282】 本発明の半導体記憶装置の製造例 11 を示す断面（図 1 の B-B' 線）工程図である。

【図 283】 本発明の半導体記憶装置の製造例 11 を示す断面（図 1 の B-B' 線）工程図である。

【図 284】 本発明の半導体記憶装置の製造例 11 を示す断面（図 1 の B-B' 線）工程図である。

【図 285】 本発明の半導体記憶装置の製造例 11 を示す断面（図 1 の B-B' 線）工程図である。

【図 286】 本発明の半導体記憶装置の製造例 12 を示す断面（図 1 の A-A' 線）工程図である。

【図 287】 本発明の半導体記憶装置の製造例 12 を示す断面（図 1 の A-A' 線）工程図である。

【図 288】 本発明の半導体記憶装置の製造例 12 を示す断面（図 1 の A-A' 線）工程図である。

【図 3 1 3】 本発明の半導体記憶装置の製造例 1 8 を示す断面（図 1 の A - A ' 線）工程図である。

- 【図 3 1 4】 本発明の半導体記憶装置の製造例 1 8 を示す断面（図 1 の B－B' 線）工程図である。
- 【図 3 1 5】 本発明の半導体記憶装置の製造例 1 8 を示す断面（図 1 の B－B' 線）工程図である。
- 【図 3 1 6】 本発明の半導体記憶装置の製造例 1 8 を示す断面（図 1 の B－B' 線）工程図である。
- 【図 3 1 7】 本発明の半導体記憶装置の製造例 1 8 を示す断面（図 1 の B－B' 線）工程図である。
- 【図 3 1 8】 本発明の半導体記憶装置の製造例 1 9 を示す断面（図 1 の A－A' 線）工程図である。
- 【図 3 1 9】 本発明の半導体記憶装置の製造例 1 9 を示す断面（図 1 の A－A' 線）工程図である。
- 【図 3 2 0】 本発明の半導体記憶装置の製造例 1 9 を示す断面（図 1 の A－A' 線）工程図である。
- 【図 3 2 1】 本発明の半導体記憶装置の製造例 1 9 を示す断面（図 1 の A－A' 線）工程図である。
- 【図 3 2 2】 本発明の半導体記憶装置の製造例 1 9 を示す断面（図 1 の A－A' 線）工程図である。
- 【図 3 2 3】 本発明の半導体記憶装置の製造例 1 9 を示す断面（図 1 の A－A' 線）工程図である。
- 【図 3 2 4】 本発明の半導体記憶装置の製造例 1 9 を示す断面（図 1 の B－B' 線）工程図である。
- 【図 3 2 5】 本発明の半導体記憶装置の製造例 1 9 を示す断面（図 1 の B－B' 線）工程図である。
- 【図 3 2 6】 本発明の半導体記憶装置の製造例 1 9 を示す断面（図 1 の B－B' 線）工程図である。
- 【図 3 2 7】 本発明の半導体記憶装置の製造例 1 9 を示す断面（図 1 の B－B' 線）工程図である。
- 【図 3 2 8】 本発明の半導体記憶装置の製造例 1 9 を示す断面（図 1 の B－B' 線）工程図である。
- 【図 3 2 9】 本発明の半導体記憶装置の製造例 1 9 を示す断面（図 1 の B－B' 線）工程図である。
- 【図 3 3 0】 本発明の半導体記憶装置の製造例 2 0 を示す断面（図 8、9 の H－H' 線）工程図である。
- 【図 3 3 1】 本発明の半導体記憶装置の製造例 2 0 を示す断面（図 8、9 の I1－I1' 線）工程図である。
- 【図 3 3 2】 本発明の半導体記憶装置の製造例 2 0 を示す断面（図 8、9 の I2－I2' 線）工程図である。
- 【図 3 3 3】 本発明の半導体記憶装置の製造例 2 0 を示す断面（図 8、9 の I3－I3' 線）工程図である。
- 【図 3 3 4】 本発明の半導体記憶装置の製造例 2 0 を示す断面（図 8、9 の I4－I4' 線）工程図である。
- 【図 3 3 5】 本発明の半導体記憶装置の製造例 2 0 を示す断面（図 8、9 の I5－I5' 線）工程図である。
- 【図 3 3 6】 本発明の半導体記憶装置の製造例 2 0 を示す別の断面（図 8、9 の H－H' 線）工程図である。
- 【図 3 3 7】 本発明の半導体記憶装置の製造例 2 0 を示す別の断面（図 8、9 の I1－I1' 線）工程図である。
- 【図 3 3 8】 本発明の半導体記憶装置の製造例 2 0 を示す別の断面（図 8、9 の I2－I2' 線）工程図である。

10

20

30

40

50

【図 3 3 9】 本発明の半導体記憶装置の製造例 2 0 を示す別の断面（図 8、9 の I3-I3' 線）工程図である。

【図 3 4 0】 本発明の半導体記憶装置の製造例 2 0 を示す別の断面（図 8、9 の I4-I4' 線）工程図である。

【図 3 4 1】 本発明の半導体記憶装置の製造例 2 0 を示す別の断面（図 8、9 の I5-I5' 線）工程図である。

【図 3 4 2】 本発明の半導体記憶装置の製造例 2 1 を示す断面（図 1 1 の A-A' 線）工程図である。

【図 3 4 3】 本発明の半導体記憶装置の製造例 2 1 を示す断面（図 1 1 の B-B' 線）工程図である。

10

【図 3 4 4】 従来の E E P R O M を示す平面図である。

【図 3 4 5】 図 2 6 9 の A-A' 及び B-B' 断面図である。

【図 3 4 6】 従来の E E P R O M の製造方法を示す工程断面図である。

【図 3 4 7】 従来の E E P R O M の製造方法を示す工程断面図である。

【図 3 4 8】 従来の E E P R O M の製造方法を示す工程断面図である。

【図 3 4 9】 従来の E E P R O M の製造方法を示す工程断面図である。

【図 3 5 0】 従来の E E P R O M の平面図及び対応する等価回路図である。

【図 3 5 1】 従来の MNOS 構造のメモリセルの断面図である

【図 3 5 2】 従来の別の MNOS 構造のメモリセルの断面図である

【図 3 5 3】 一つの柱状シリコン層に複数のメモリセルを形成した半導体装置の断面図である。

20

【符号の説明】

1 1 0 0、3 1 0 0 シリコン基板（半導体基板）

1 1 0 1 S O I 半導体基板（半導体基板）

1 1 1 0、3 1 1 0 島状半導体層

1 2 1 0、1 2 2 0、1 2 3 0、1 2 4 0 溝部

1 4 0 0、1 4 1 0、1 4 2 0、1 4 4 0、1 4 3 1、1 4 3 2、1 4 3 3、1 4 3 4、

1 4 2 1、1 4 2 2、1 4 2 3、1 4 2 4、1 4 2 5、1 4 8 2、1 4 8 3、1 4 5 0、

1 4 6 2、1 4 7 1、1 4 7 2、1 4 7 3、1 4 7 4、1 4 7 5、1 4 5 1、1 4 5 4、

1 4 9 0、1 4 9 1、3 4 2 0、3 4 3 1、3 4 3 4、3 4 7 1 シリコン酸化膜

30

1 3 1 0、1 3 2 0、1 3 3 0、1 3 4 2、1 3 5 0、1 3 6 0、1 3 7 0、1 3 8 1、

1 3 8 2、1 3 8 3、1 3 8 4、1 3 8 5、1 3 9 0 シリコン窒化膜

1 5 1 0、1 5 1 1、1 5 1 2、1 5 1 3、1 5 1 4、1 5 2 0、1 5 2 1、1 5 2 2、

1 5 2 3、1 5 2 4、1 5 3 0、3 5 1 1、3 5 1 2、3 5 1 3、3 5 1 4 多結晶シリコン膜

1 6 1 2、1 6 1 3 層間絶縁膜

1 6 2 2、1 6 2 3 積層絶縁膜

1 7 1 0、1 7 2 1、1 7 2 2、1 7 2 3、1 7 2 4、1 7 2 5、1 7 2 6、1 7 2 7、

3 7 1 0、3 7 2 1、3 7 2 4 不純物拡散層

1 8 1 0、1 8 2 1、1 8 2 4、1 8 3 2、1 8 3 3、1 8 4 0、3 8 4 0、3 8 5 0

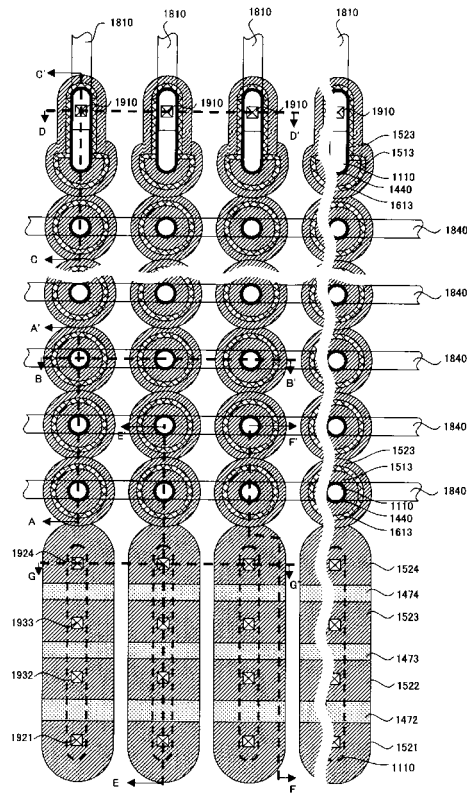
40

配線層

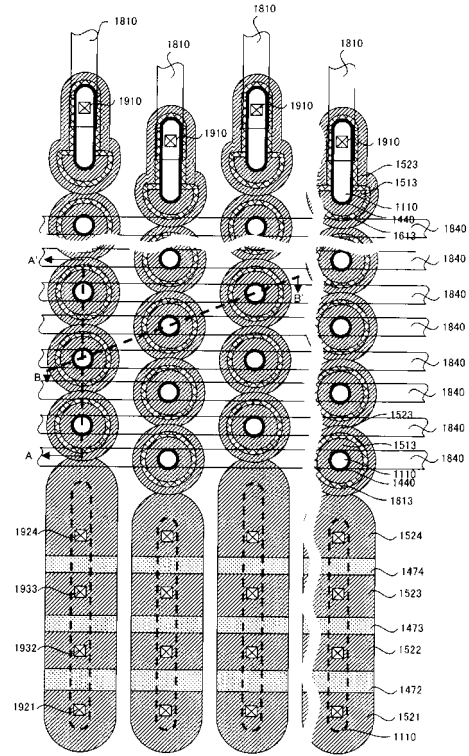
1 9 1 0、1 9 2 1、1 9 3 2、1 9 3 3、1 9 2 4 コンタクト部

R 5、R 6 R 8 レジスト

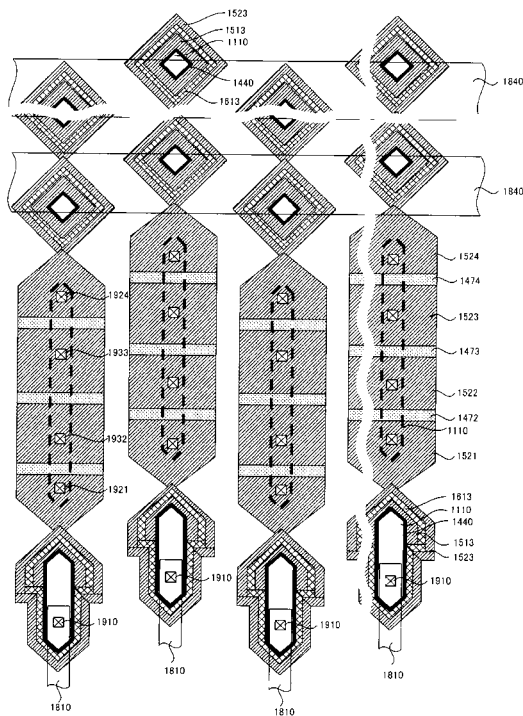
【図 1】



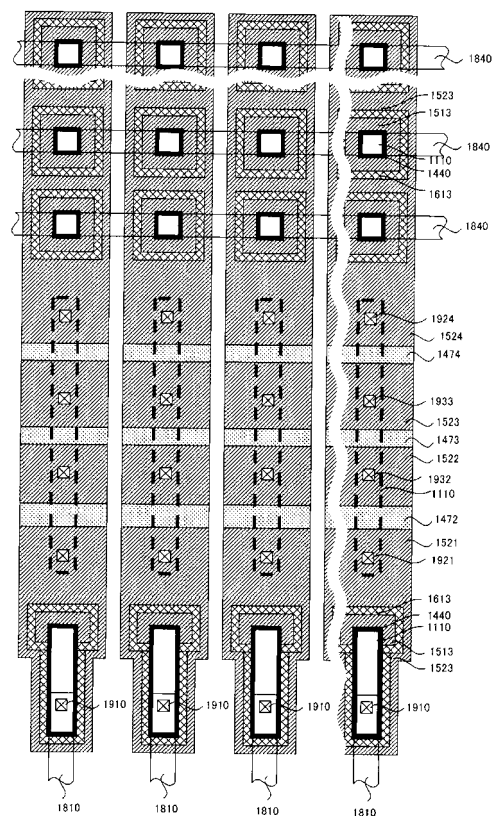
【図 2】



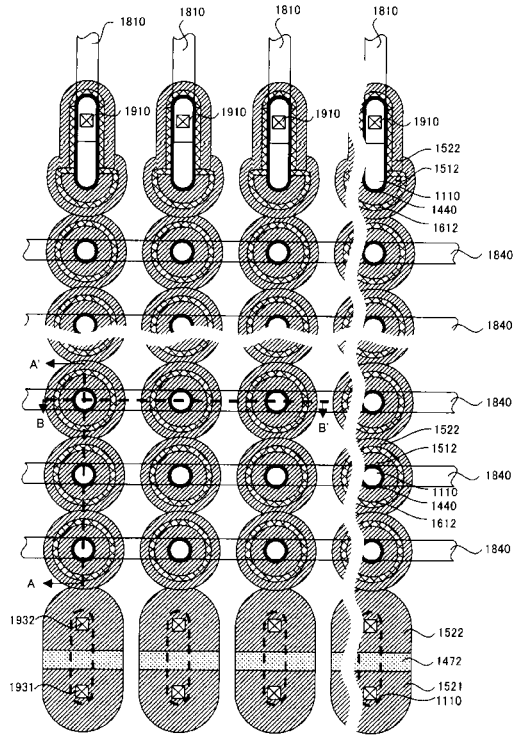
【図 3】



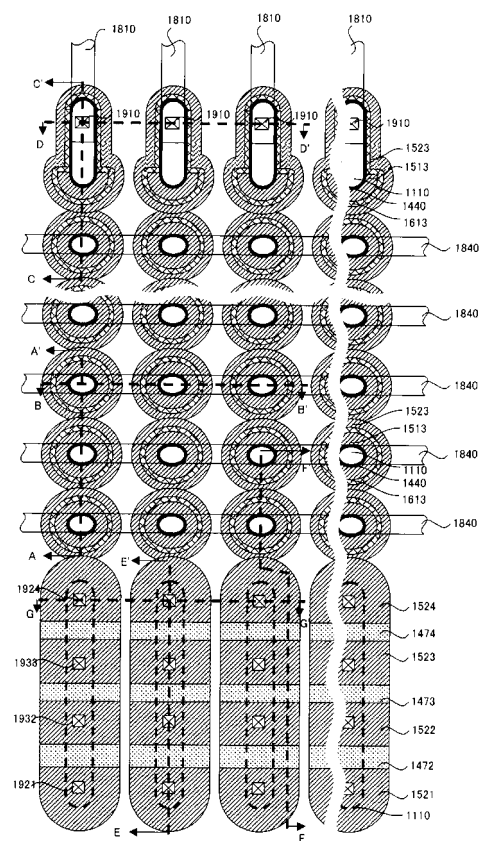
【図 4】



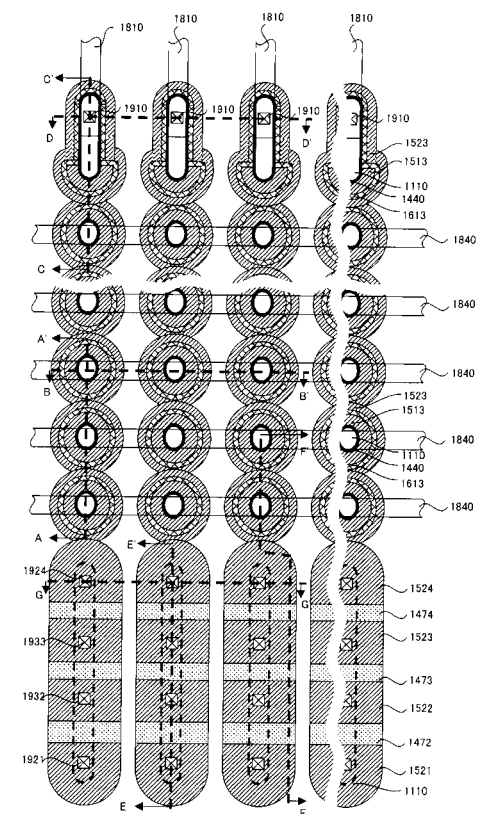
【図 5】



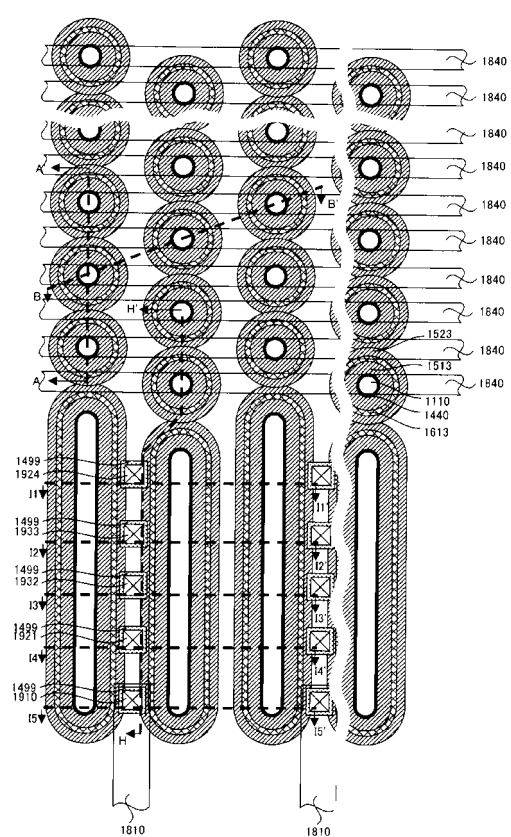
【図 6】



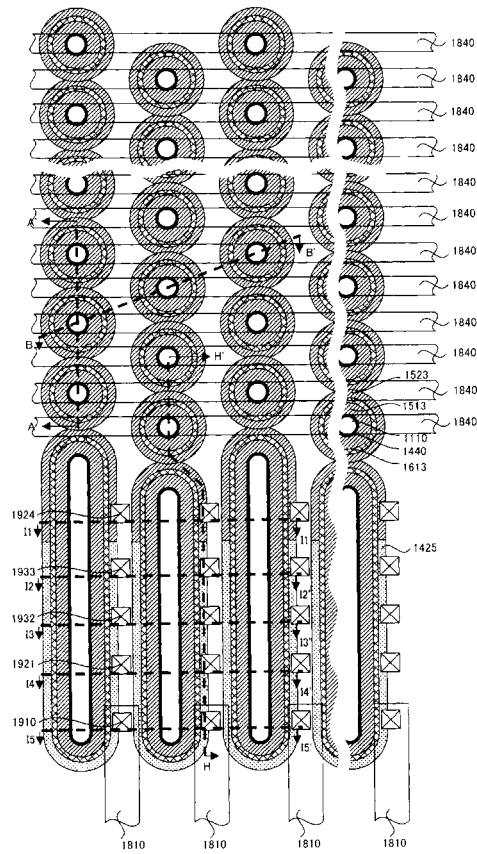
【図 7】



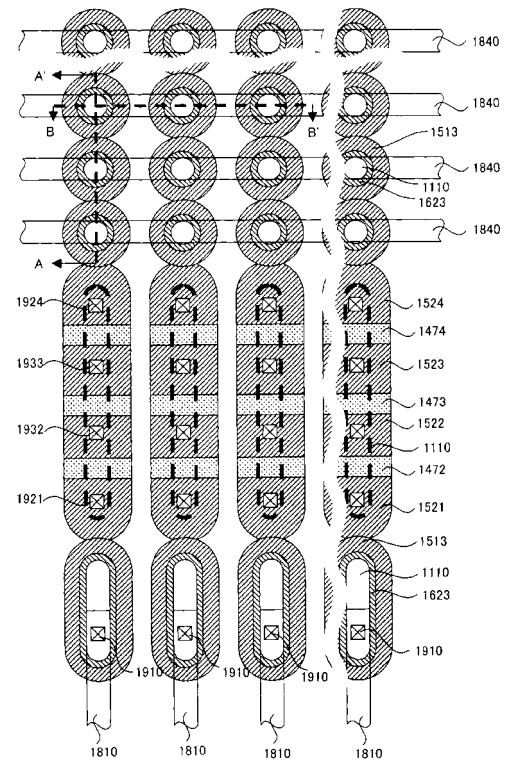
【図 8】



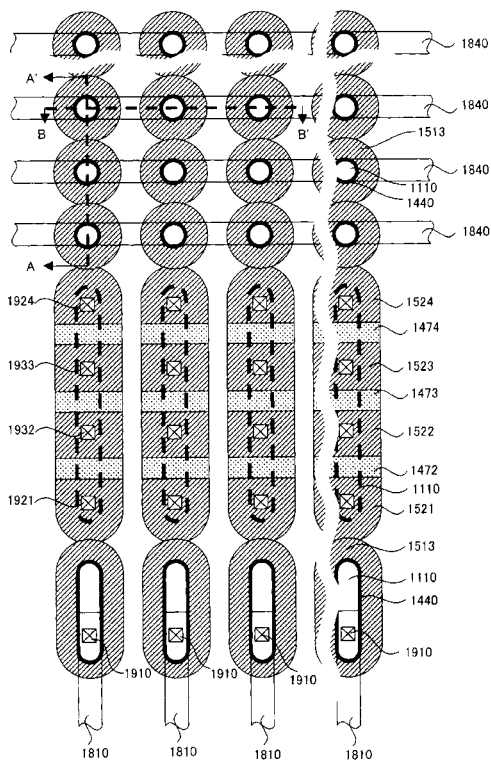
【図 9】



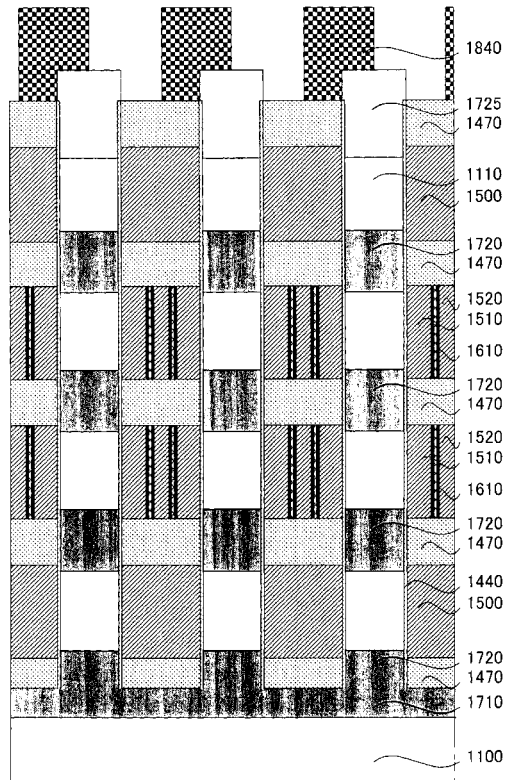
【図 10】



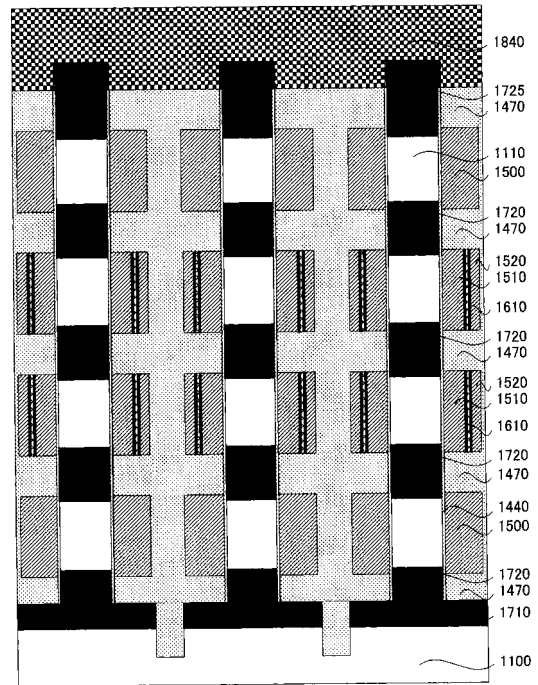
【図 11】



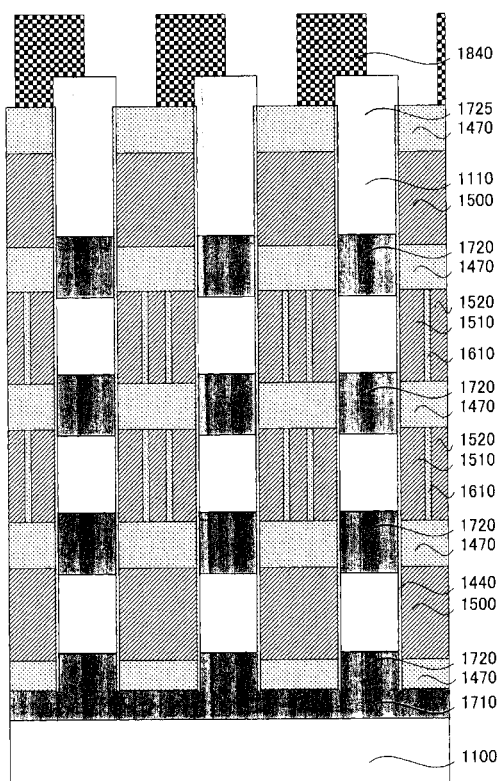
【図 13】



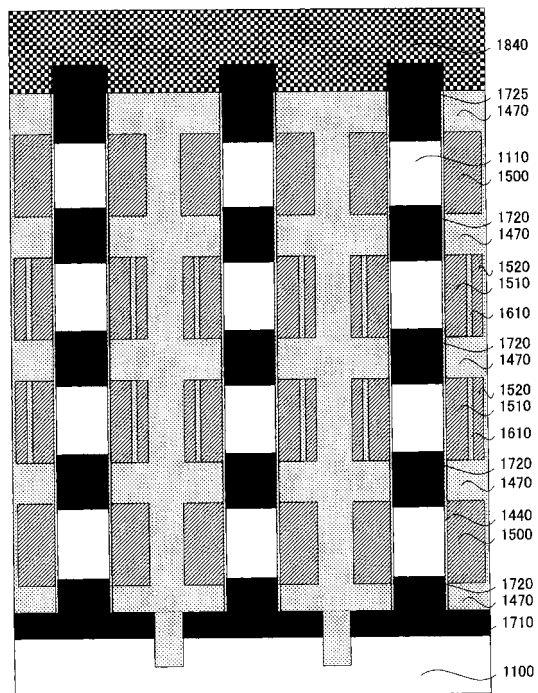
【図 14】



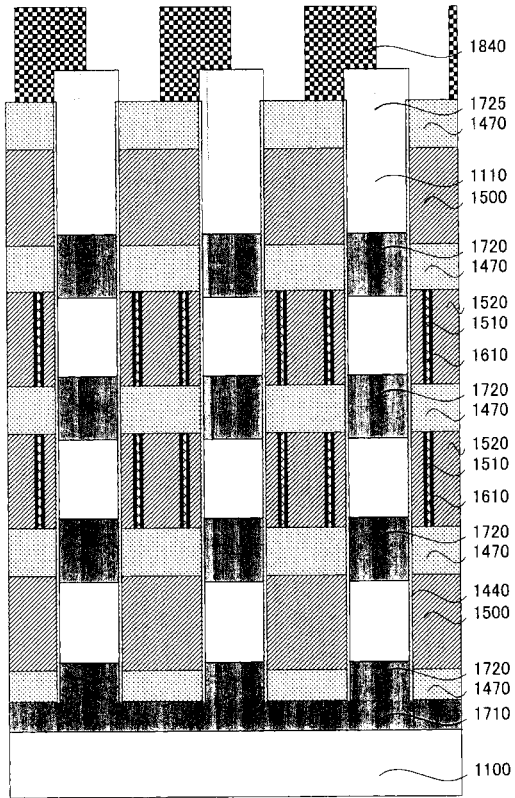
【図 15】



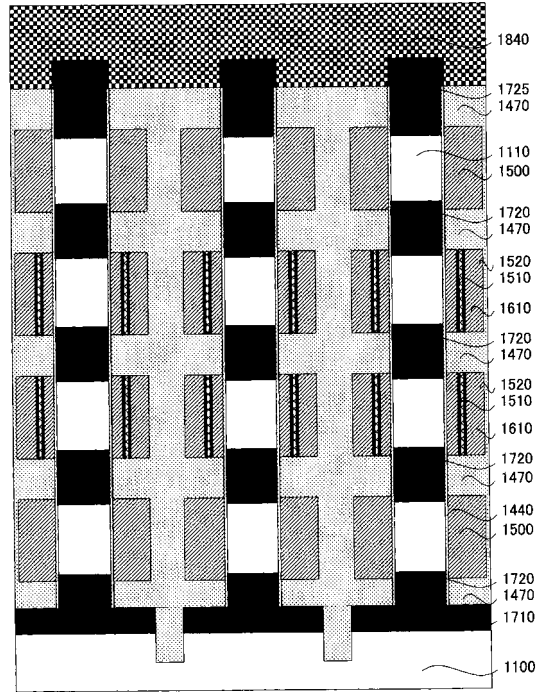
【図 16】



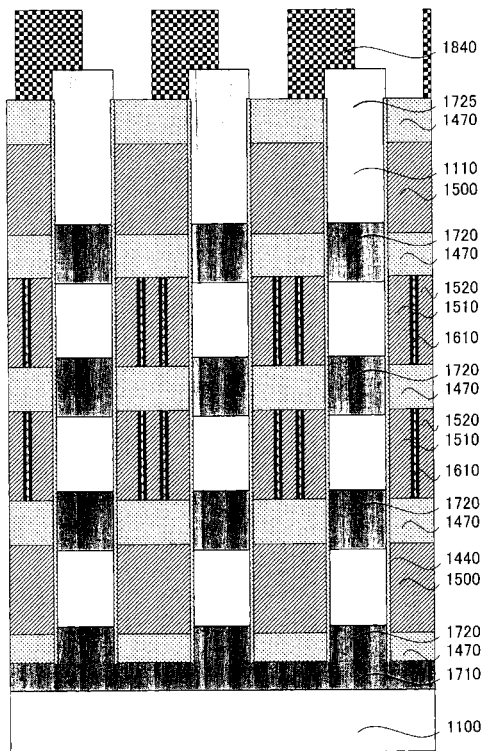
【図 17】



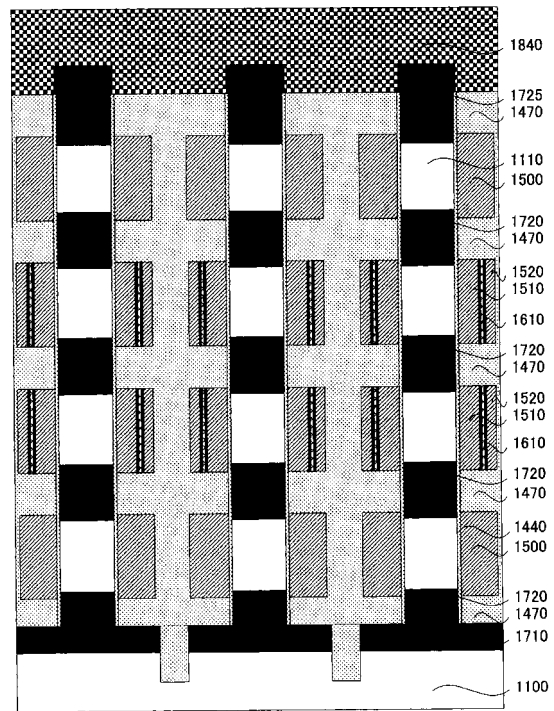
【図 18】



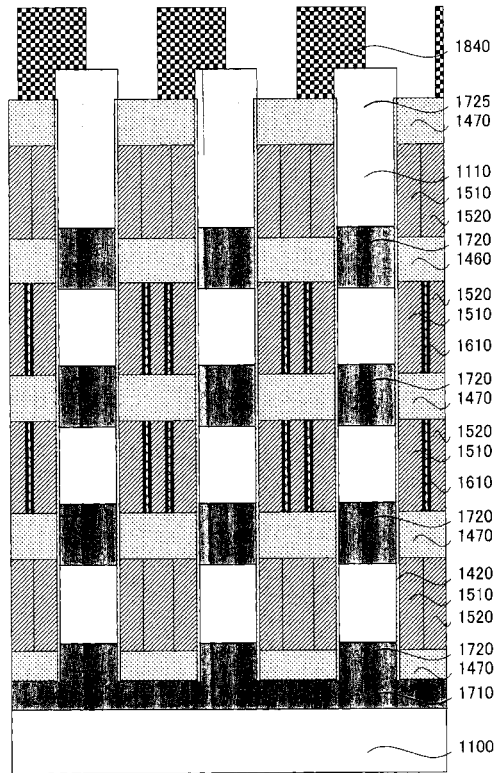
【図 19】



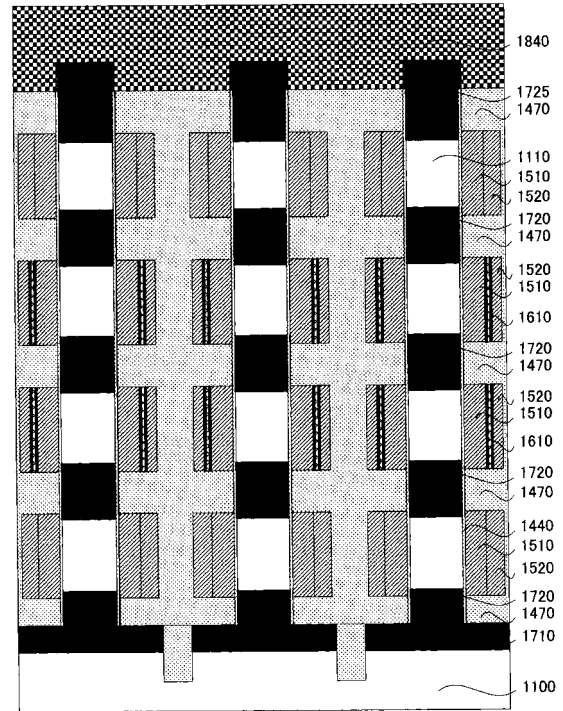
【図 20】



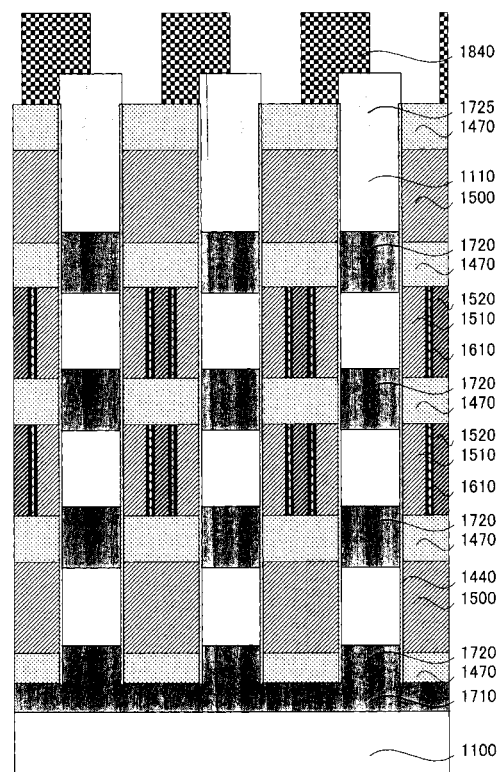
【図 2 1】



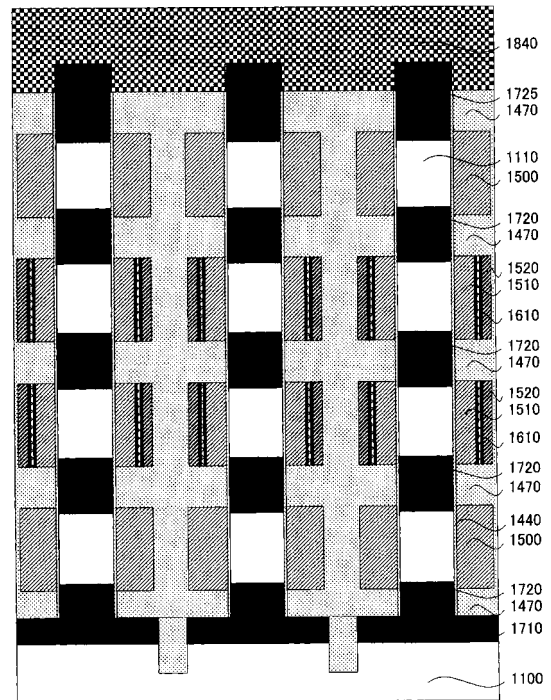
【図 2 2】



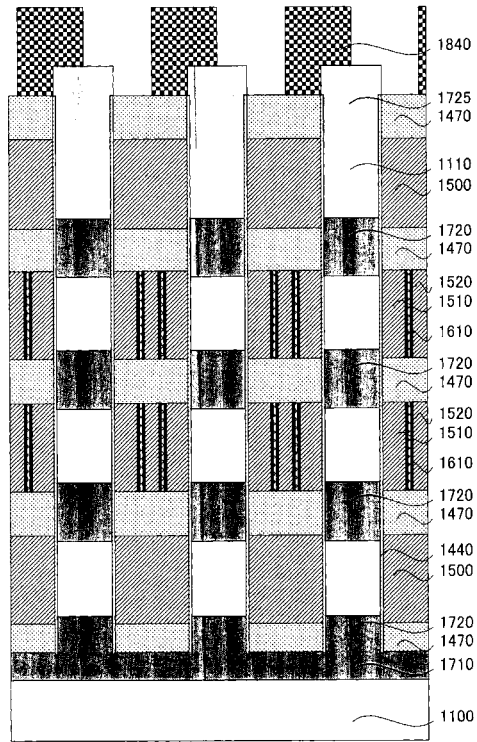
【図 2 3】



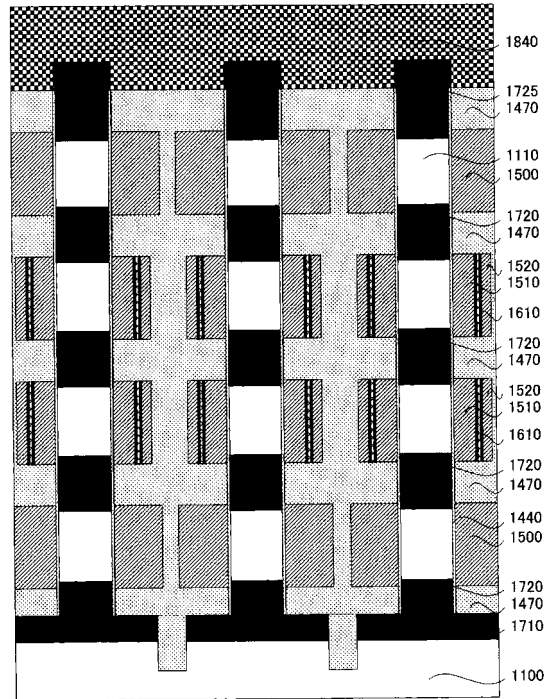
【図 2 4】



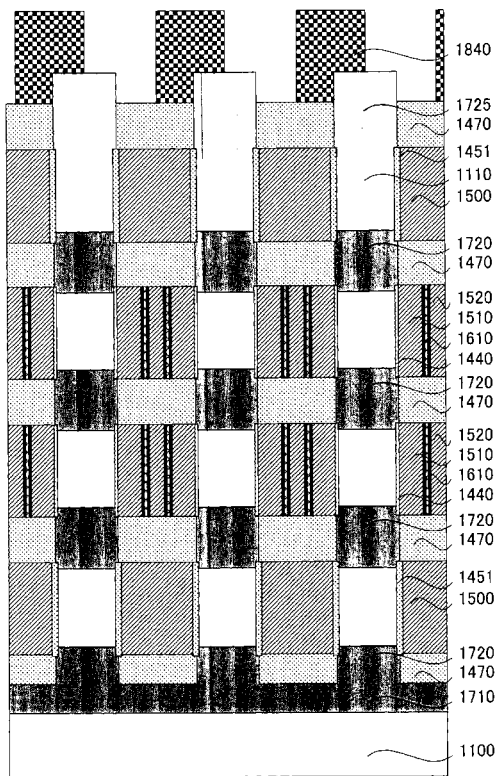
【図 25】



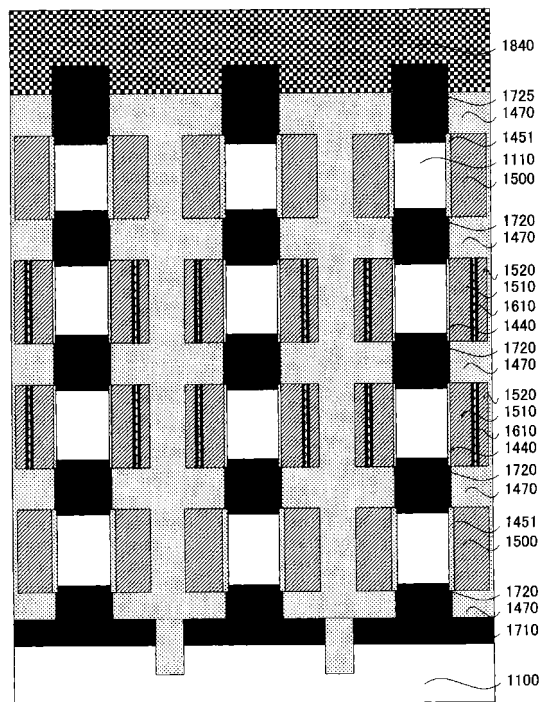
【図 26】



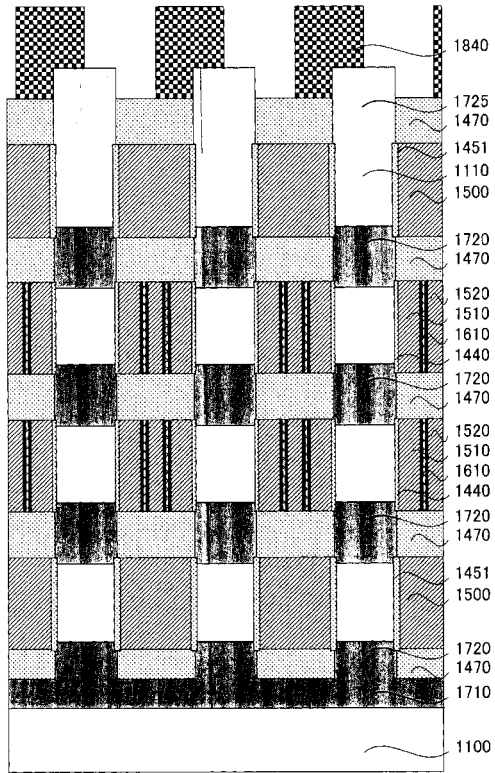
【図 27】



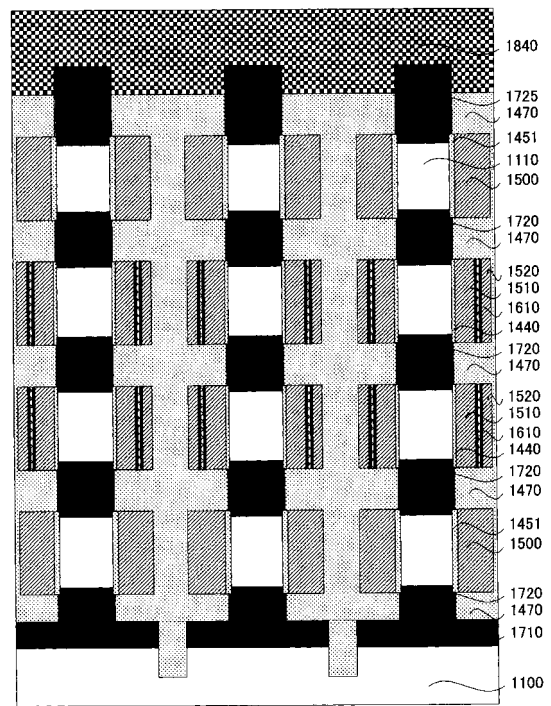
【図 28】



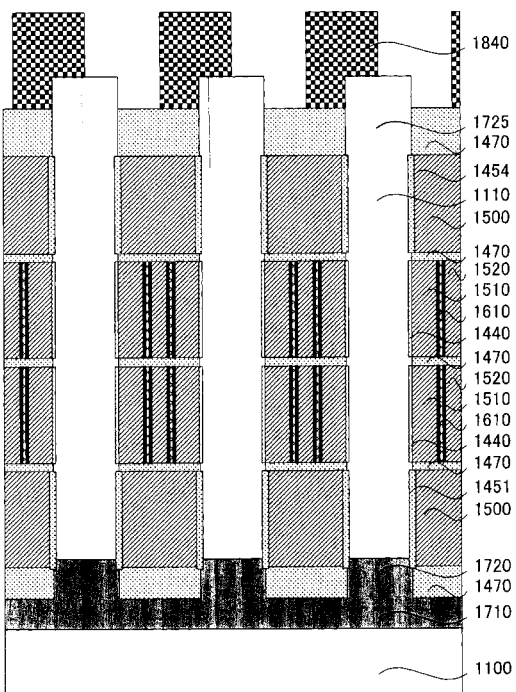
【図 29】



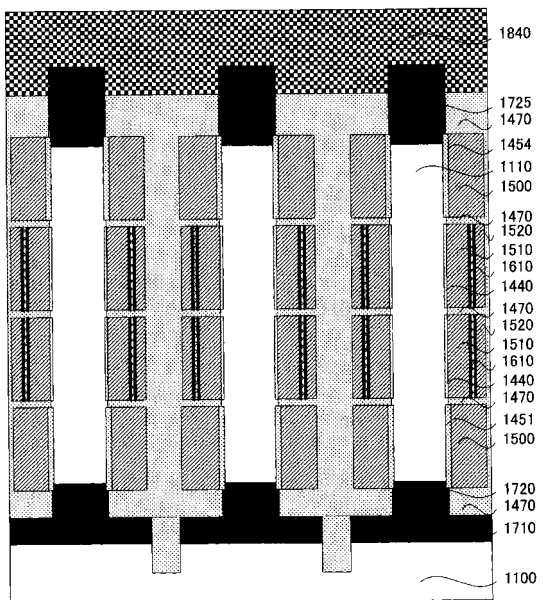
【図 30】



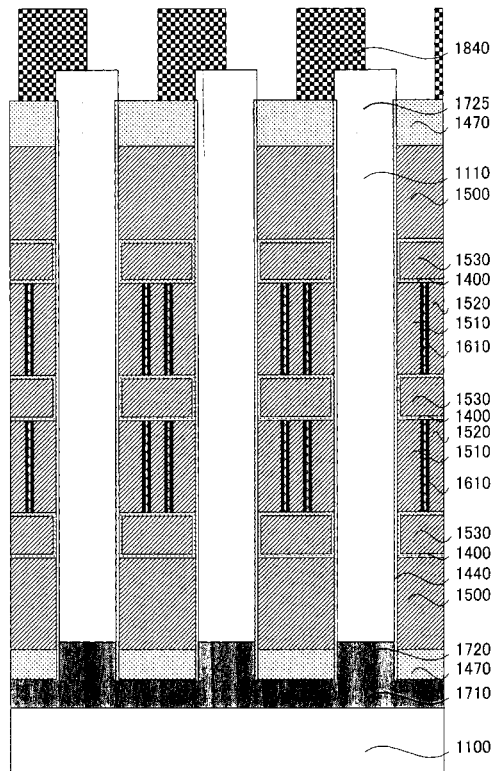
【図 31】



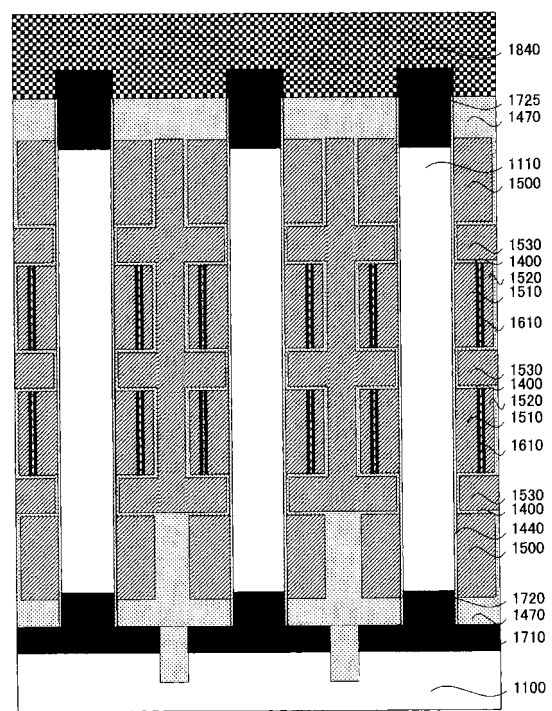
【図 32】



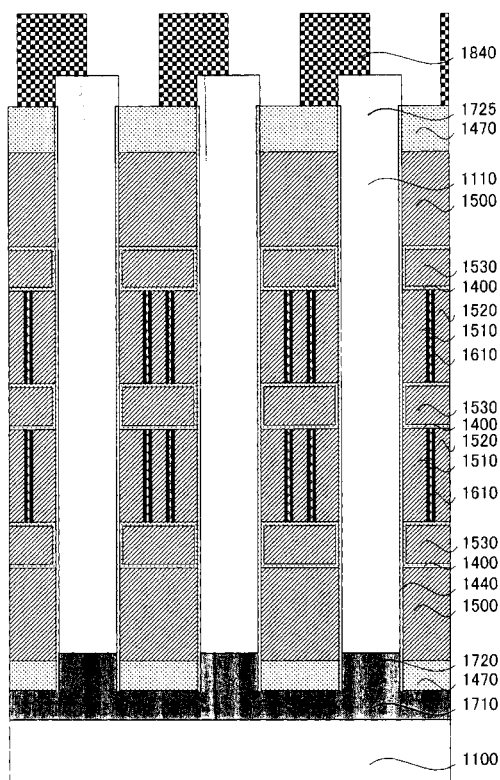
【図 3 3】



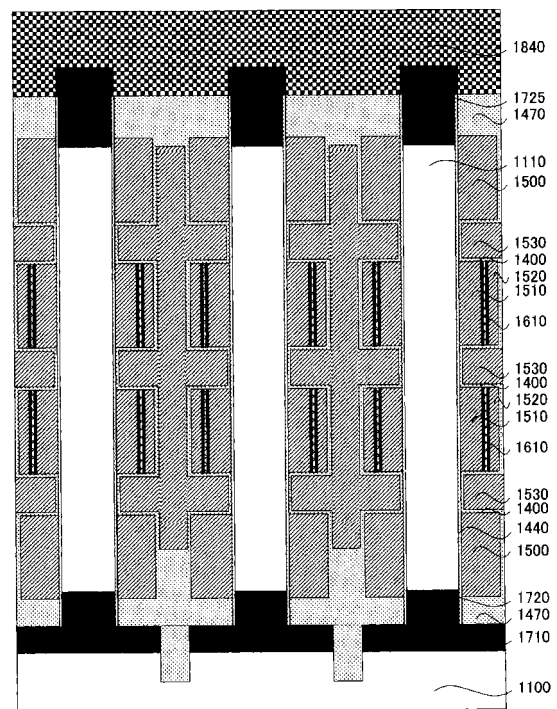
【図 3 4】



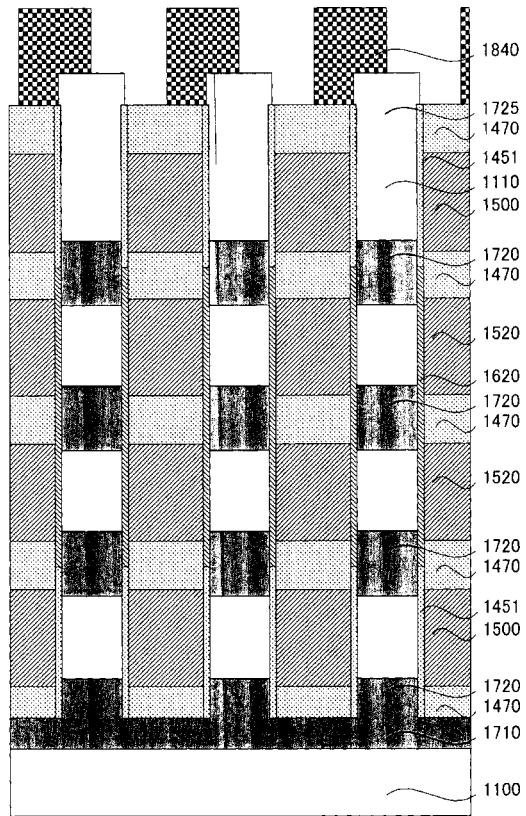
【図 3 5】



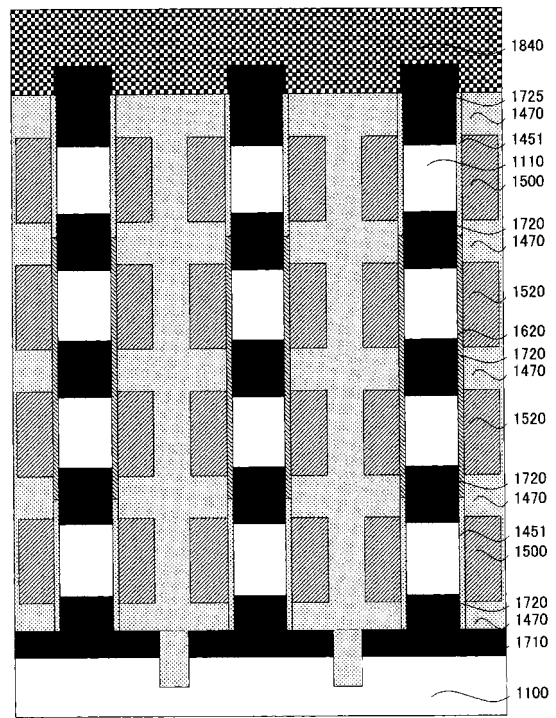
【図 3 6】



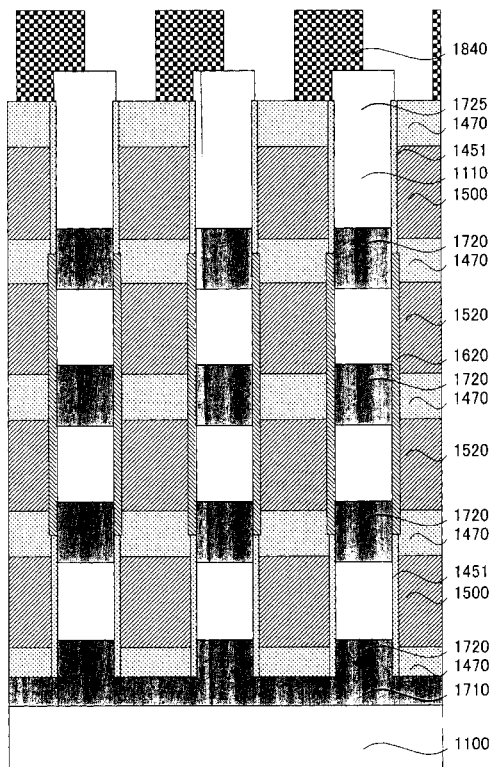
【図 37】



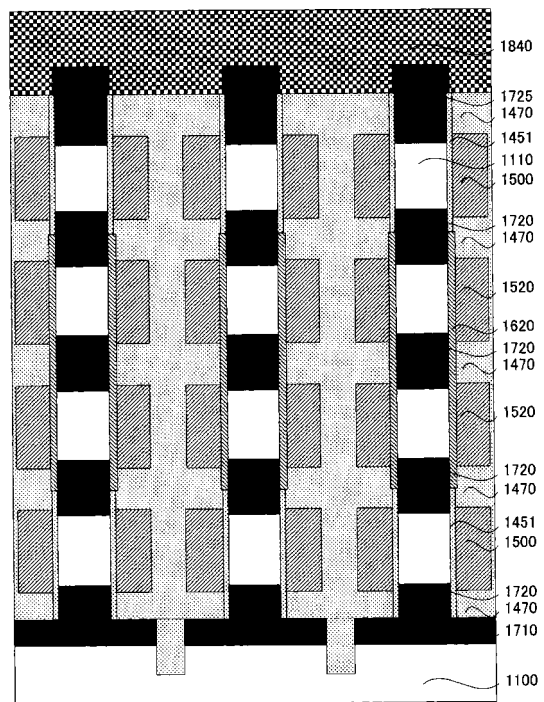
【図 38】



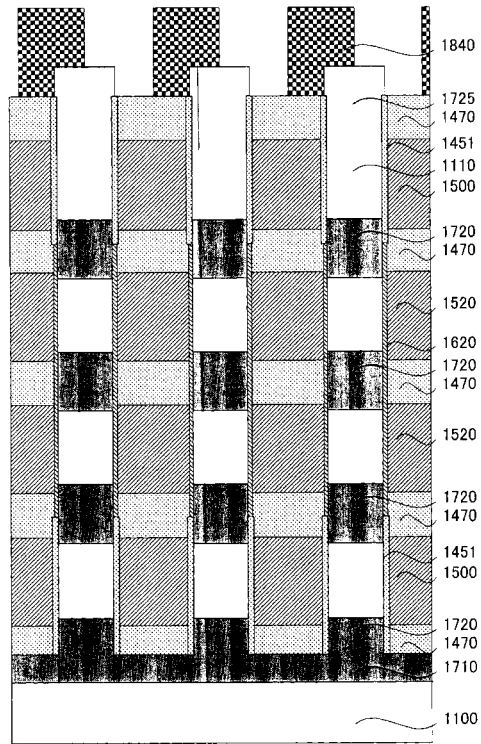
【図 39】



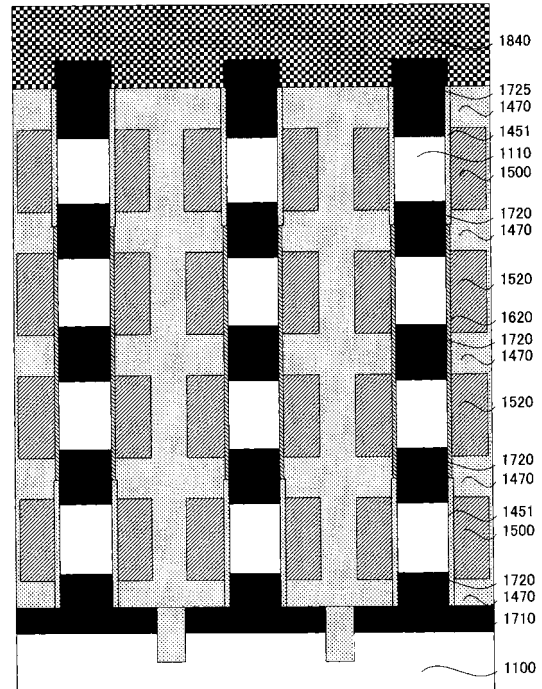
【図 40】



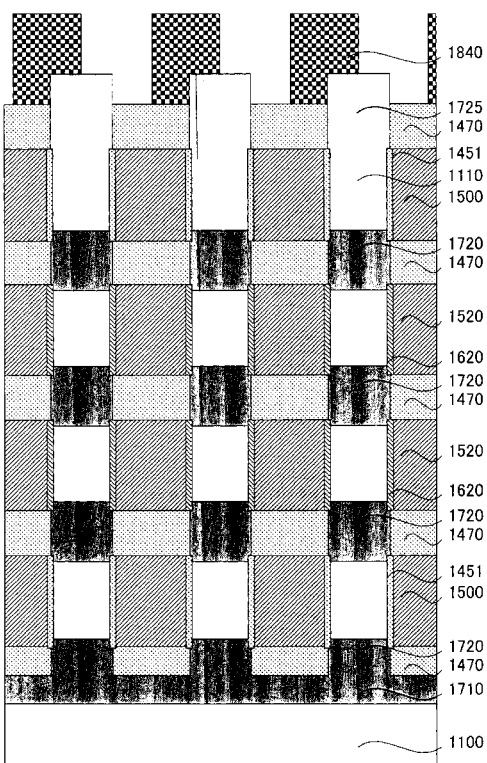
【図 4 1】



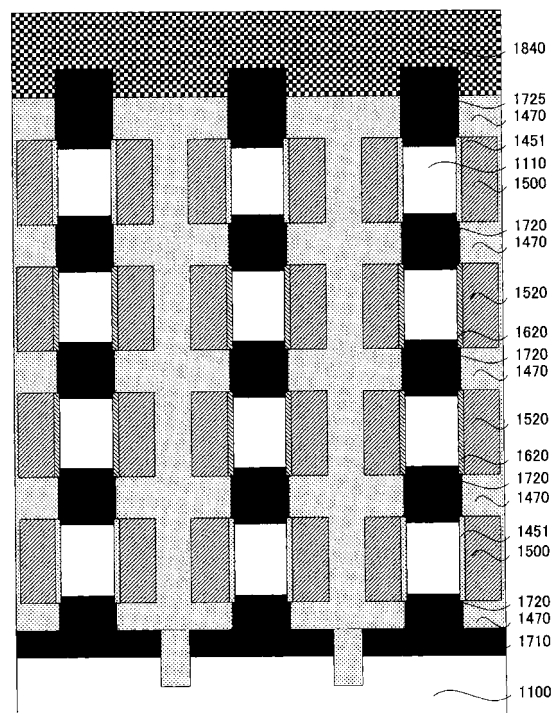
【図 4 2】



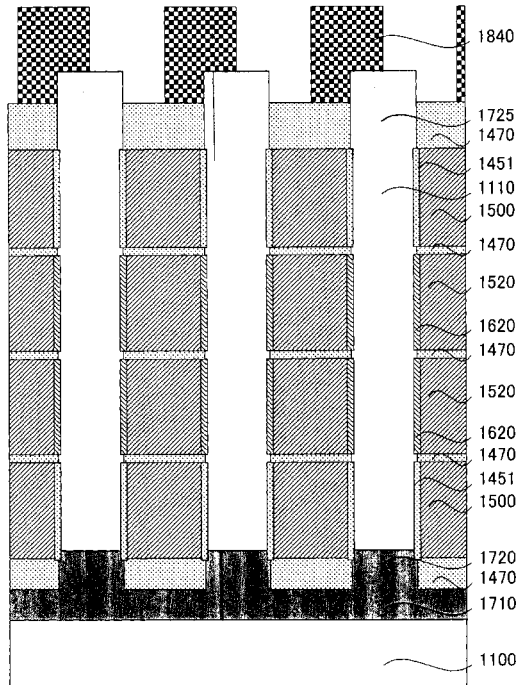
【図 4 3】



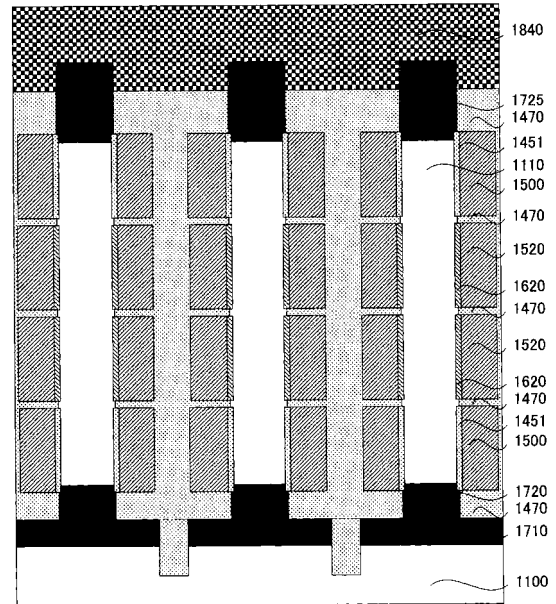
【図 4 4】



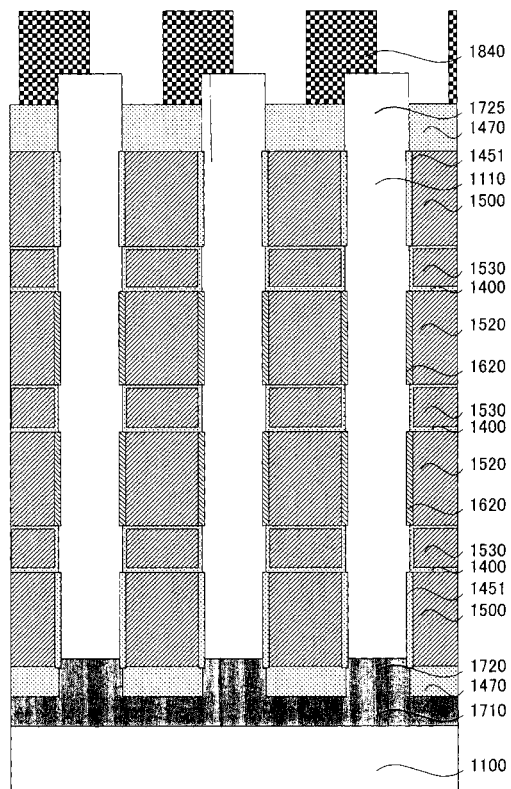
【図 4 5】



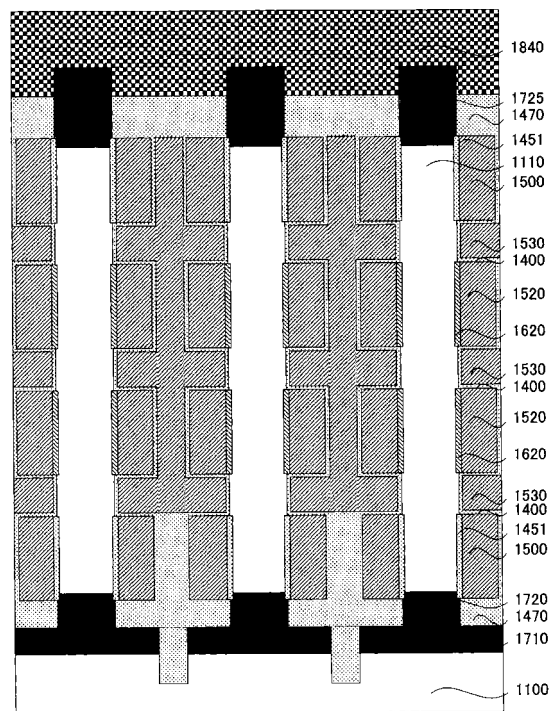
【図 4 6】



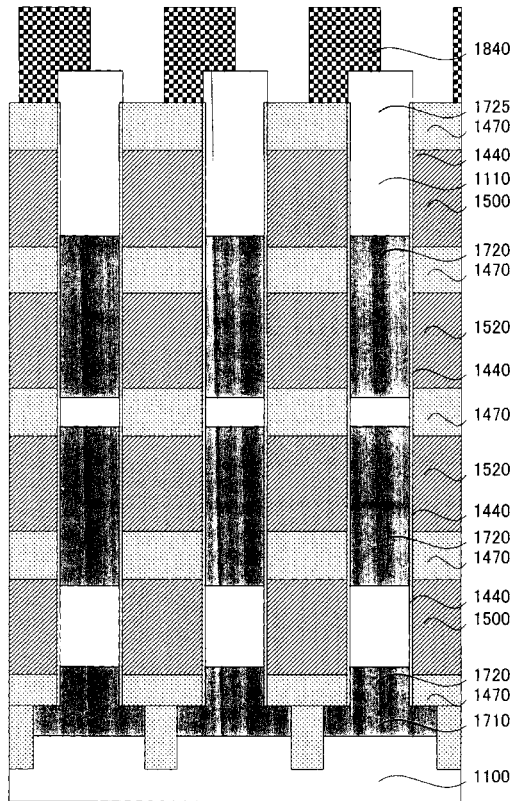
【図 4 7】



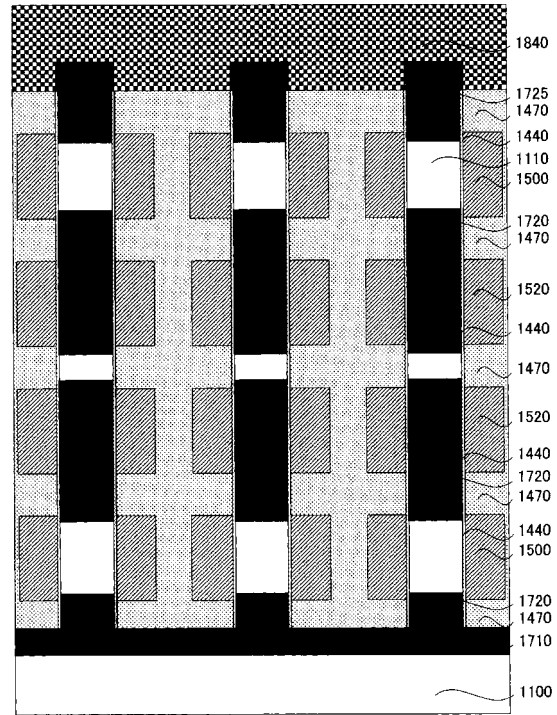
【図 4 8】



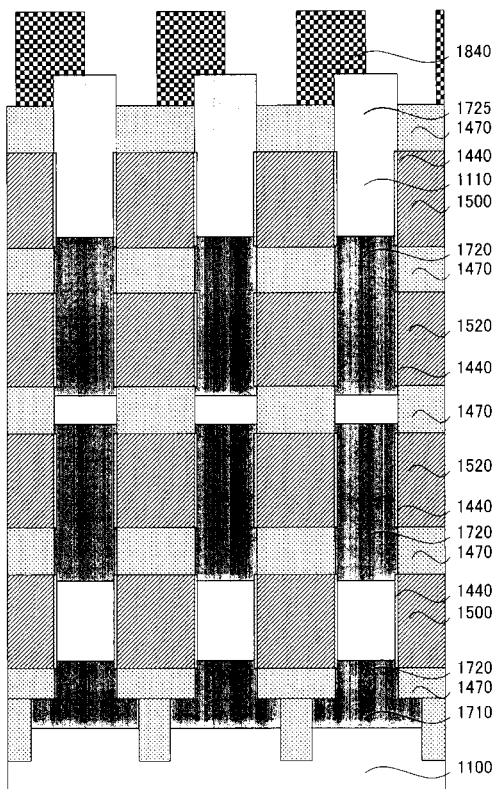
【図 49】



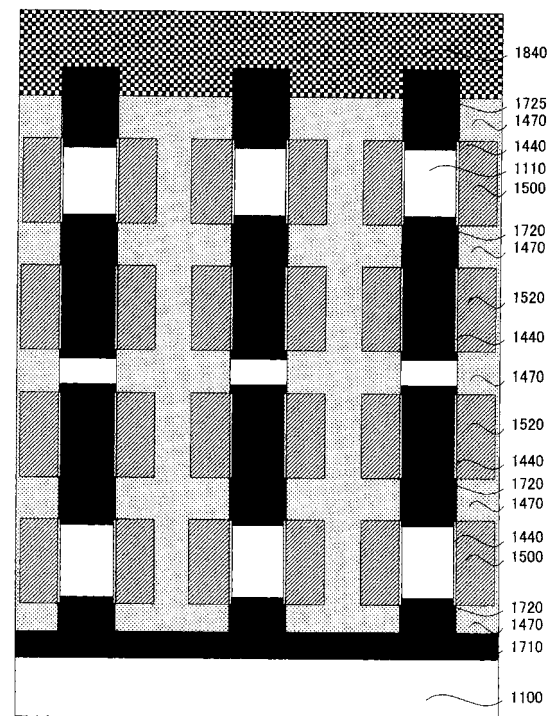
【図 50】



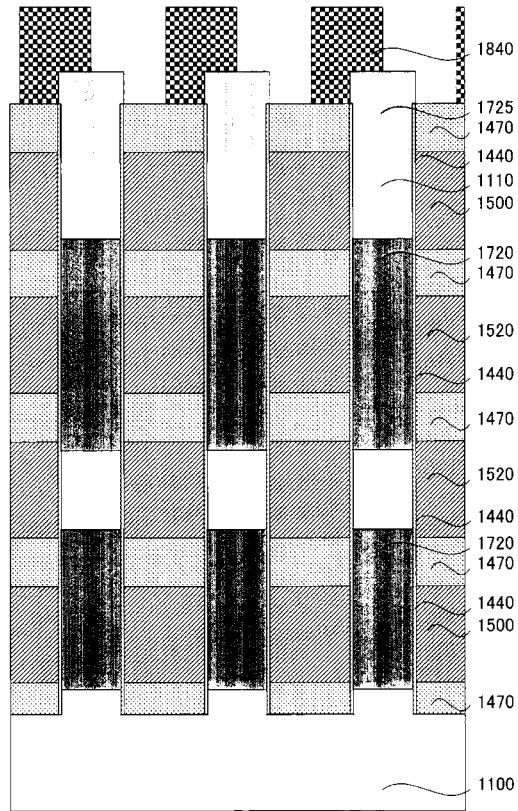
【図 51】



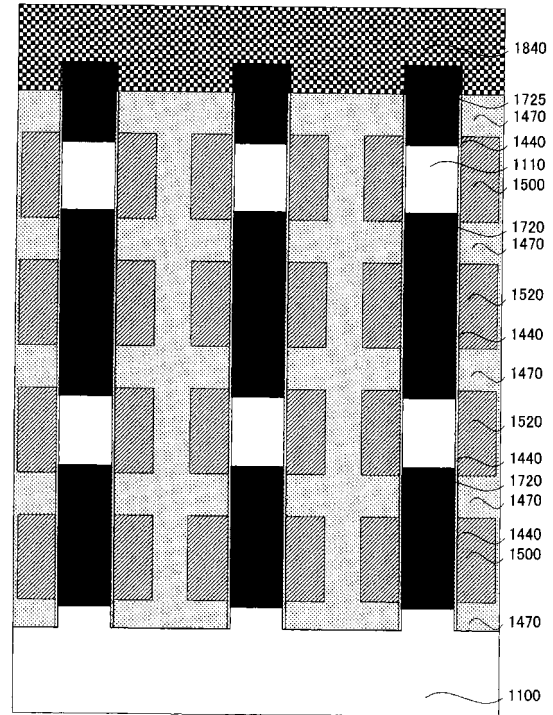
【図 52】



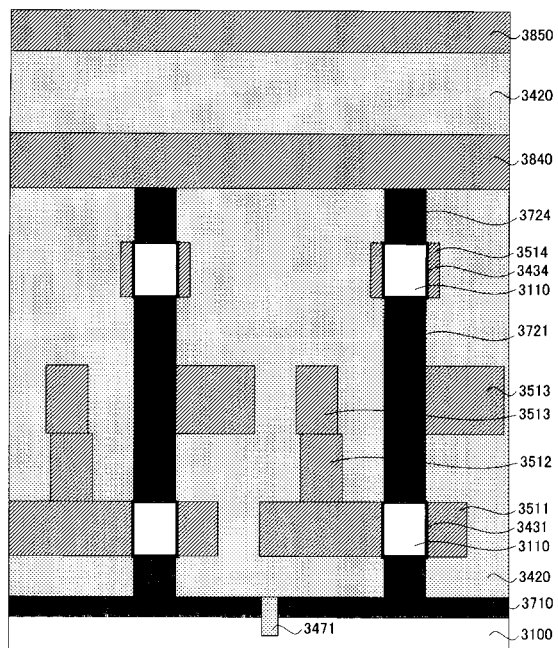
【図 5 3】



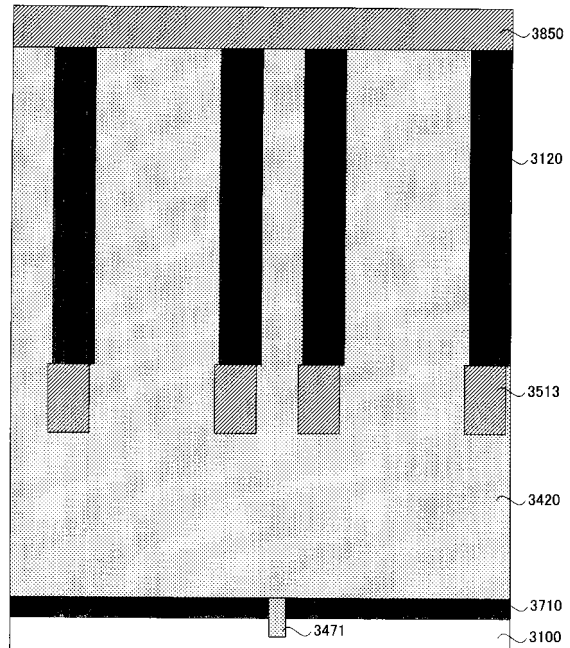
【図 5 4】



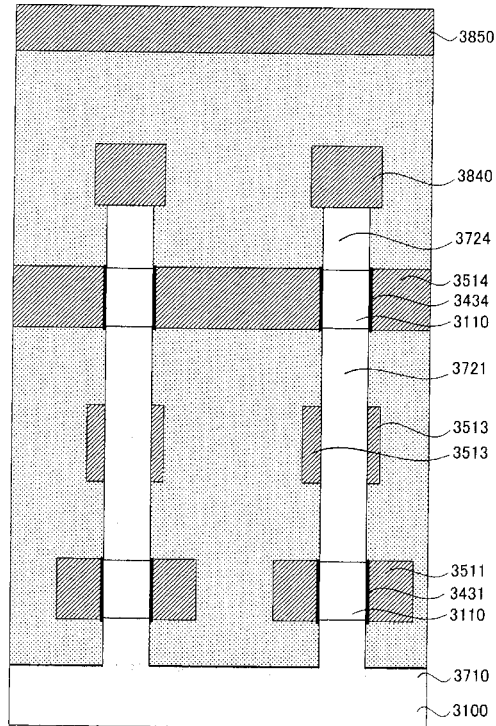
【図 5 5】



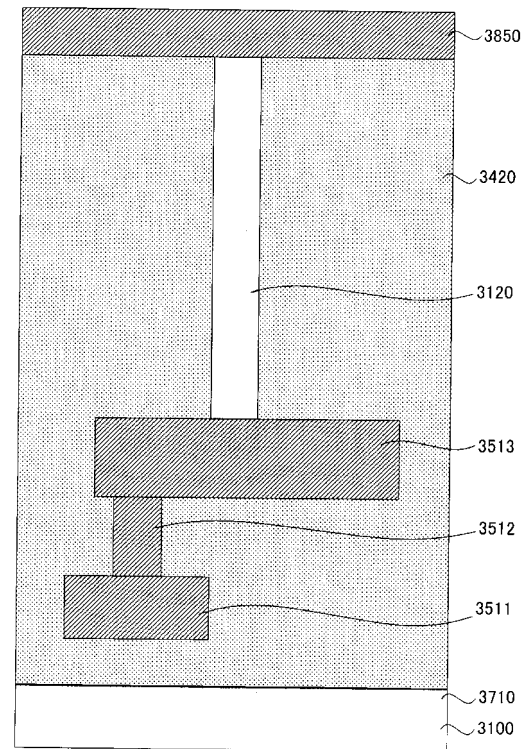
【図 5 6】



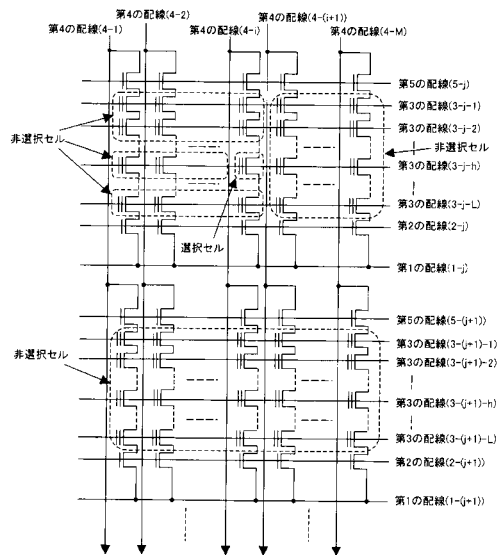
【図 57】



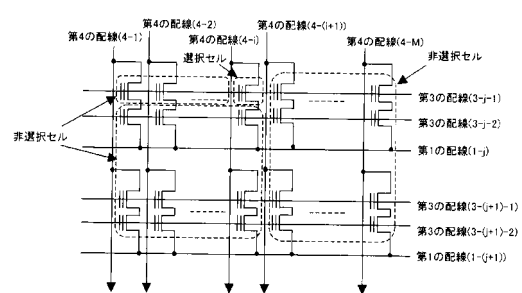
【図 58】



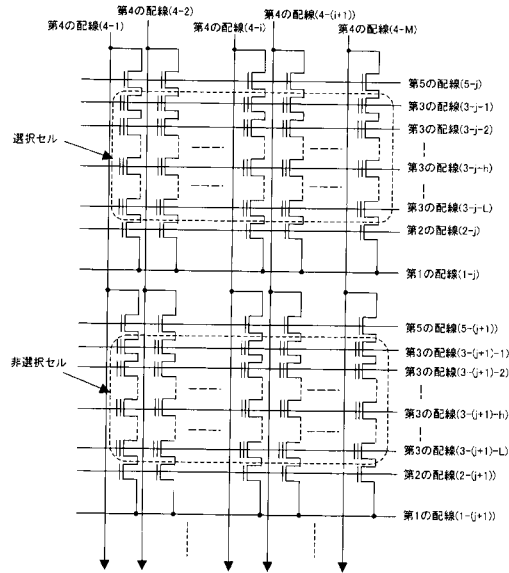
【図 59】



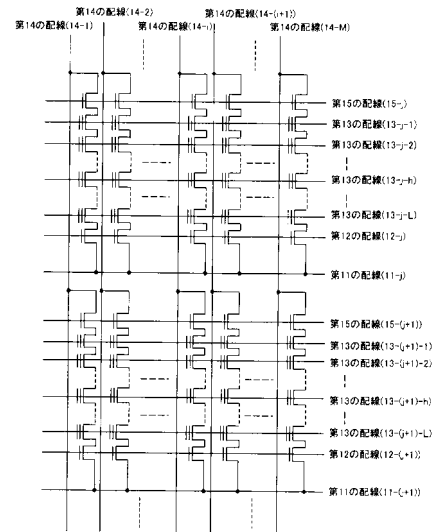
【図 60】



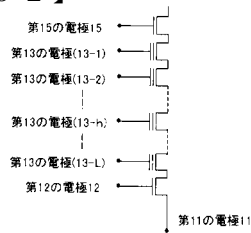
【図 6 1】



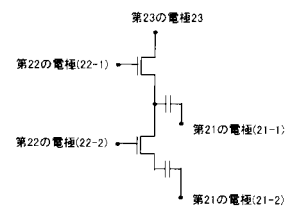
【図 6 3】



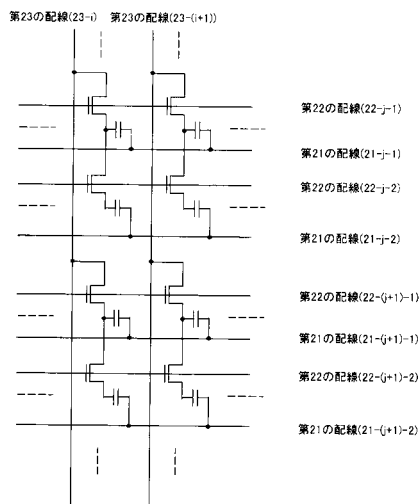
【図 6 2】



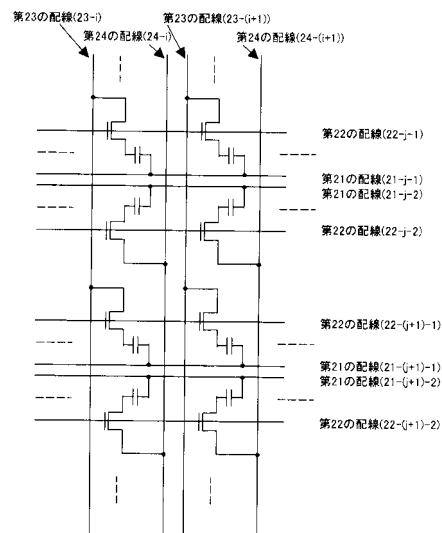
【図 6 4】



【図 6 5】



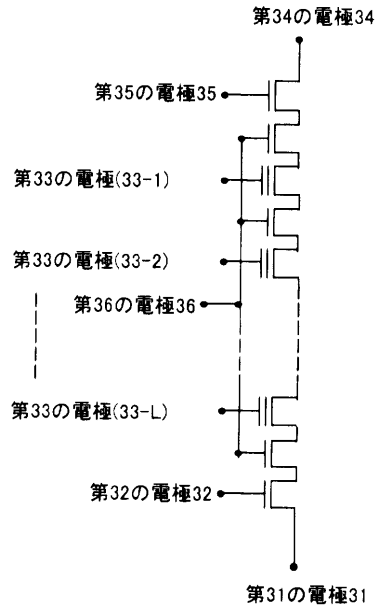
【図 6 7】



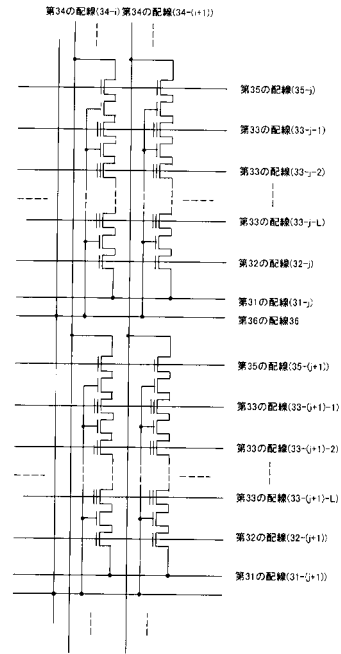
【図 6 6】



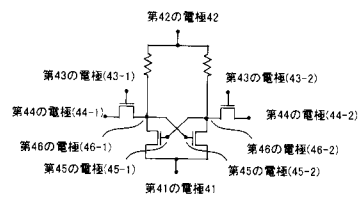
【図 68】



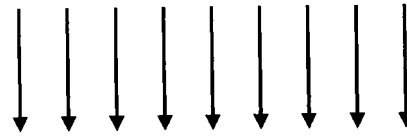
【図 69】



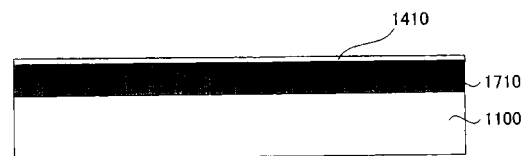
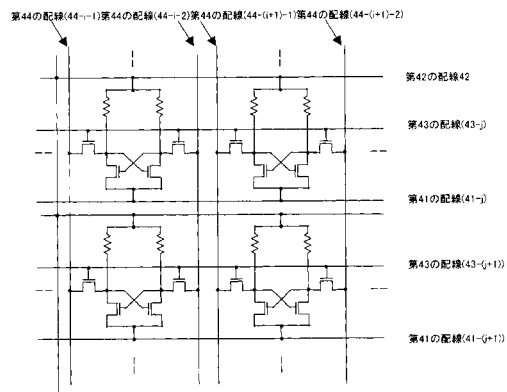
【図 70】



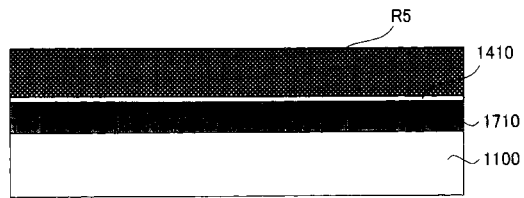
【図 72】



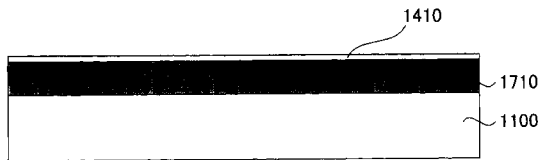
【図 71】



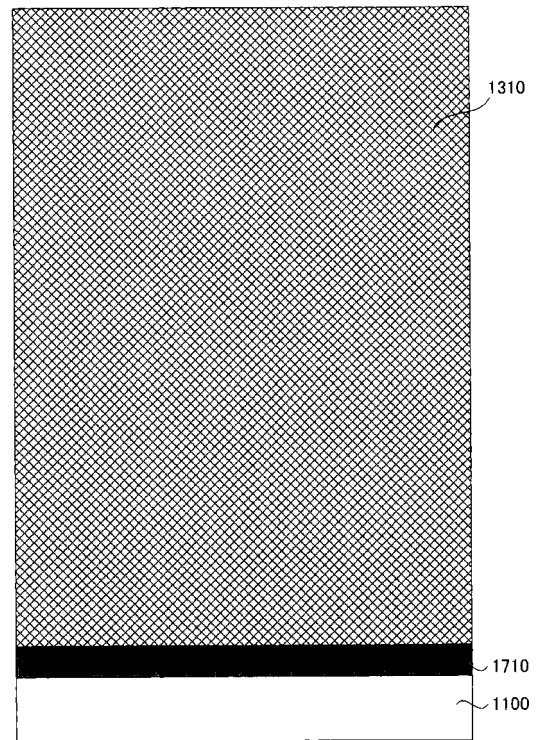
【図 7 3】



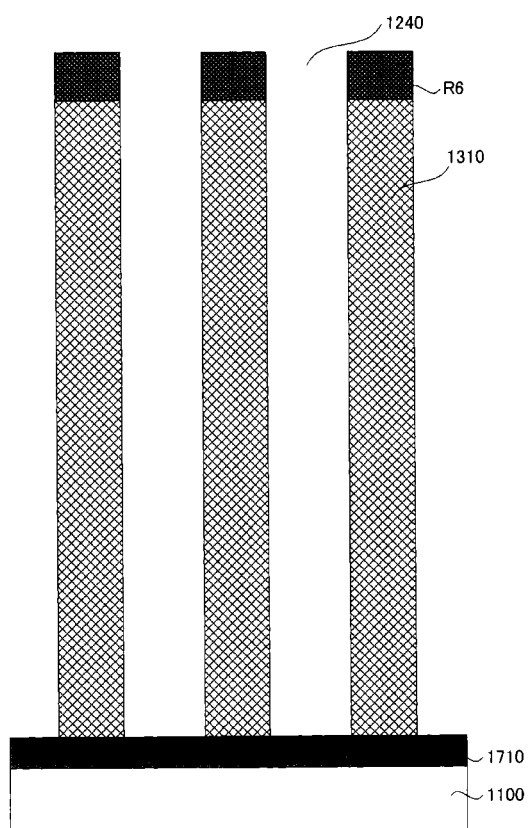
【図 7 4】



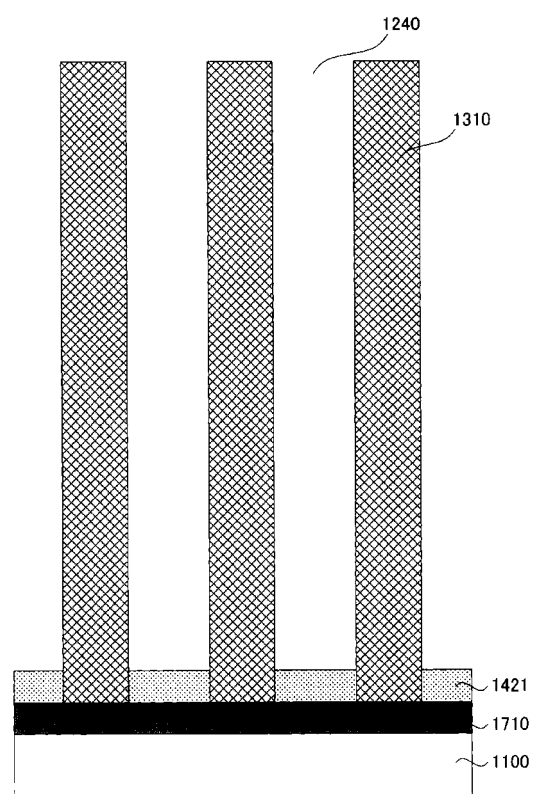
【図 7 5】



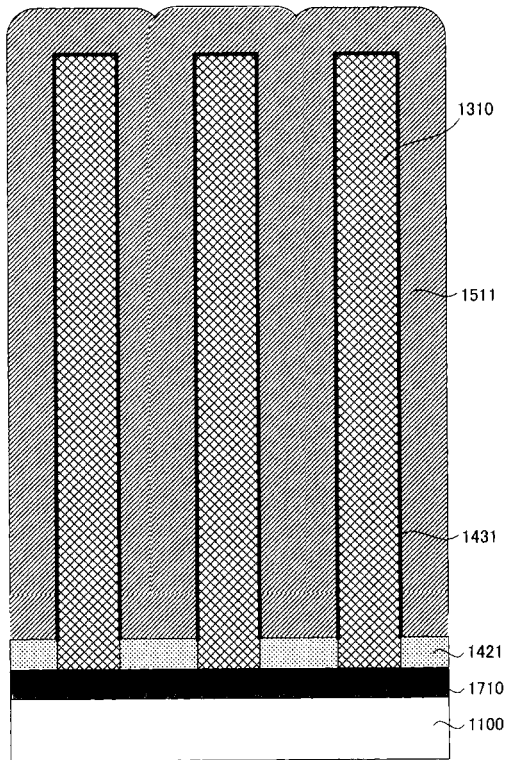
【図 7 6】



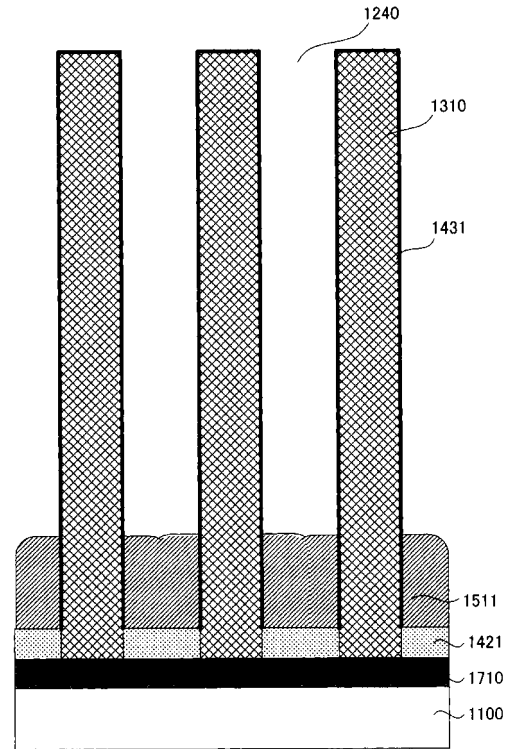
【図 7 7】



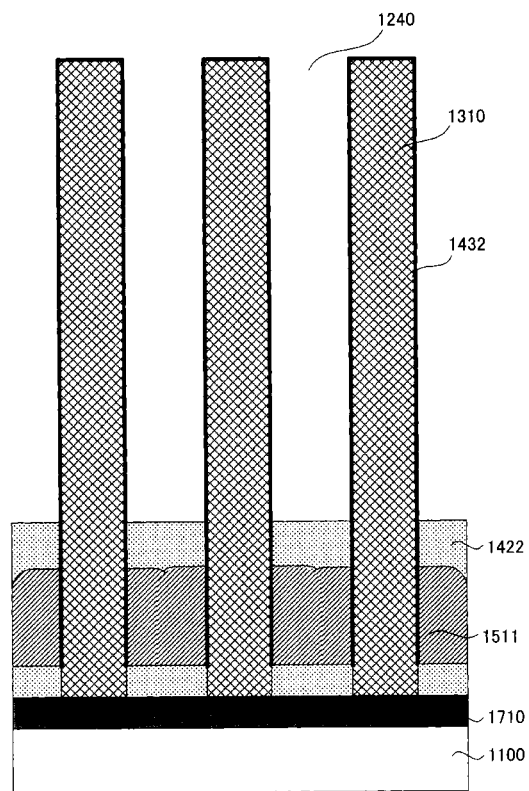
【図 78】



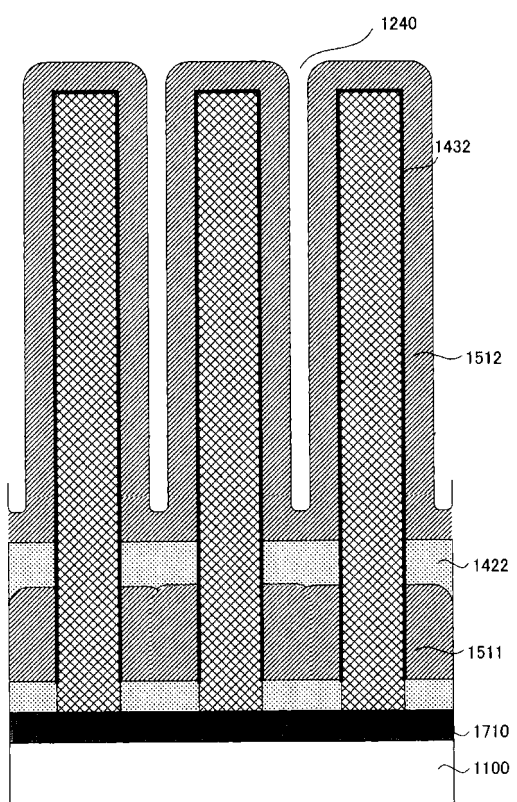
【図 79】



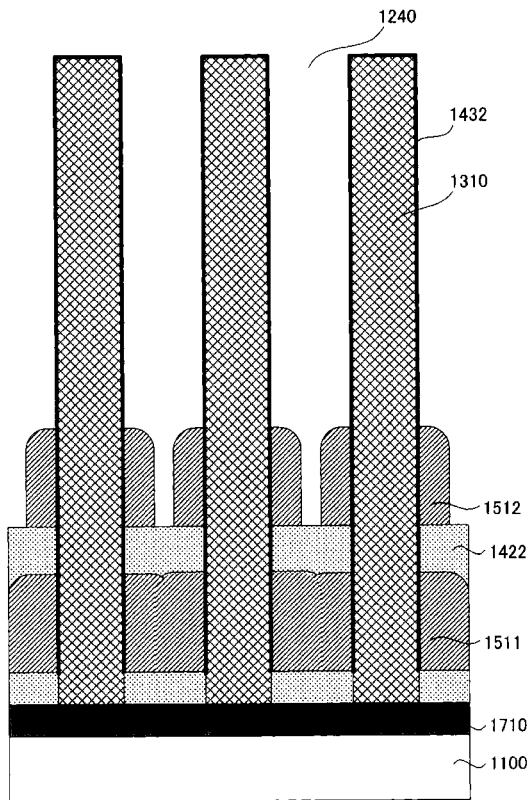
【図 80】



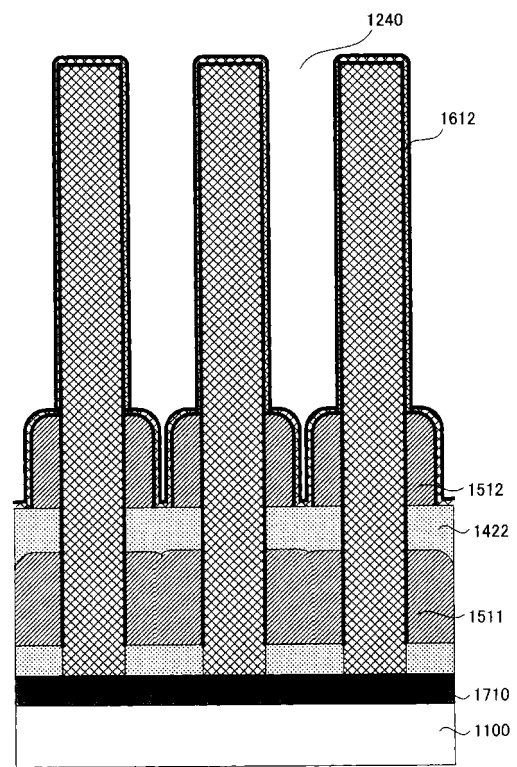
【図 81】



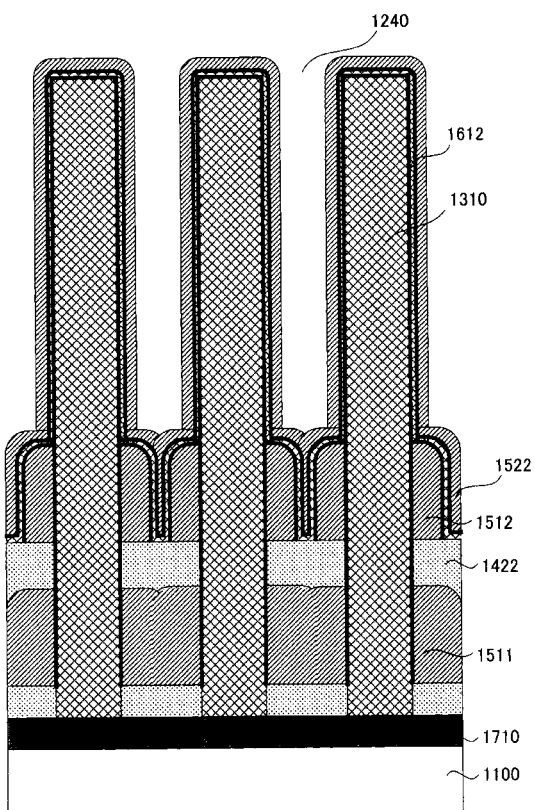
【図 8 2】



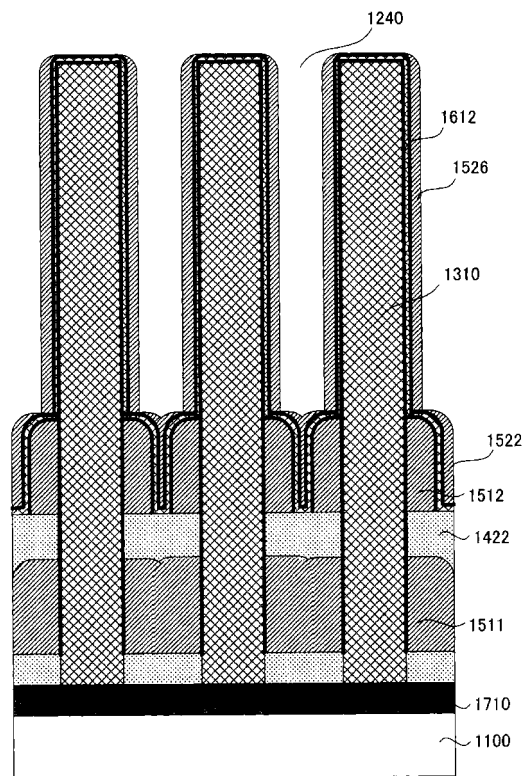
【図 8 3】



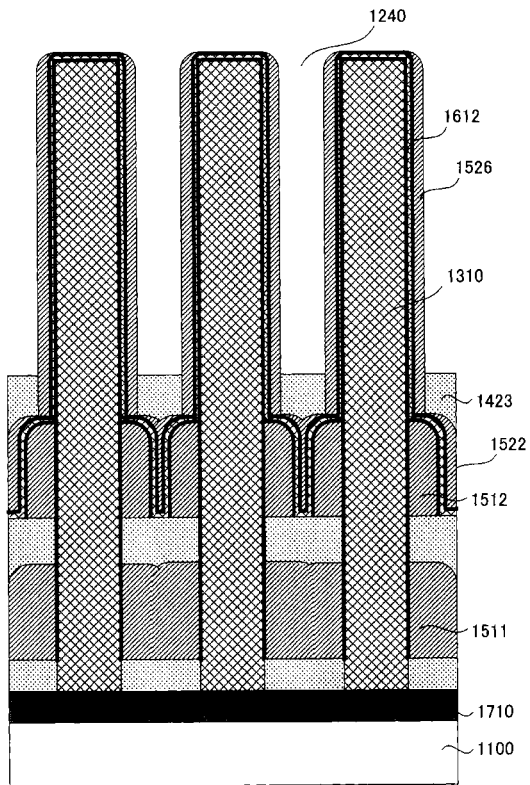
【図 8 4】



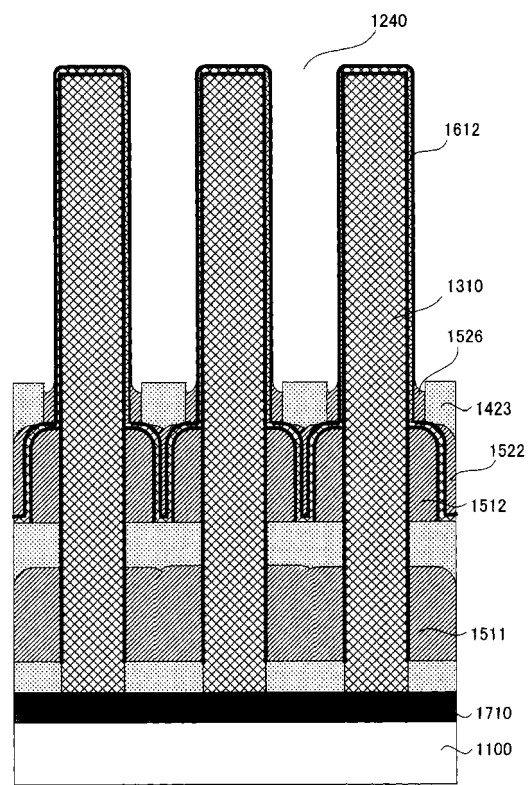
【図 8 5】



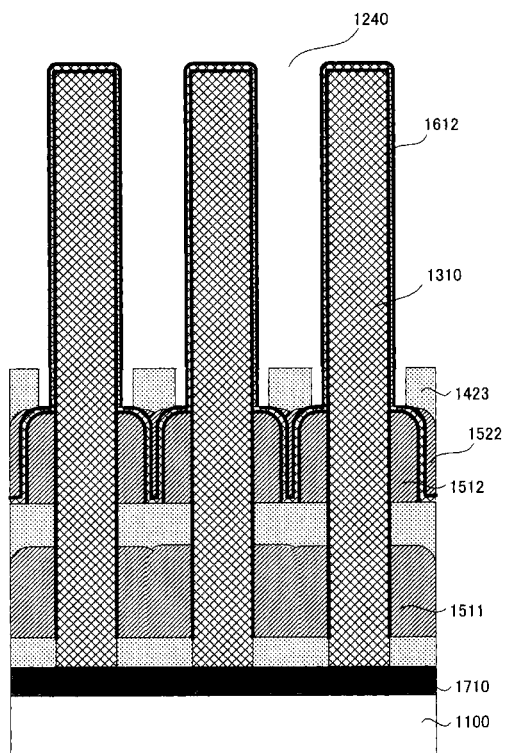
【図 8 6】



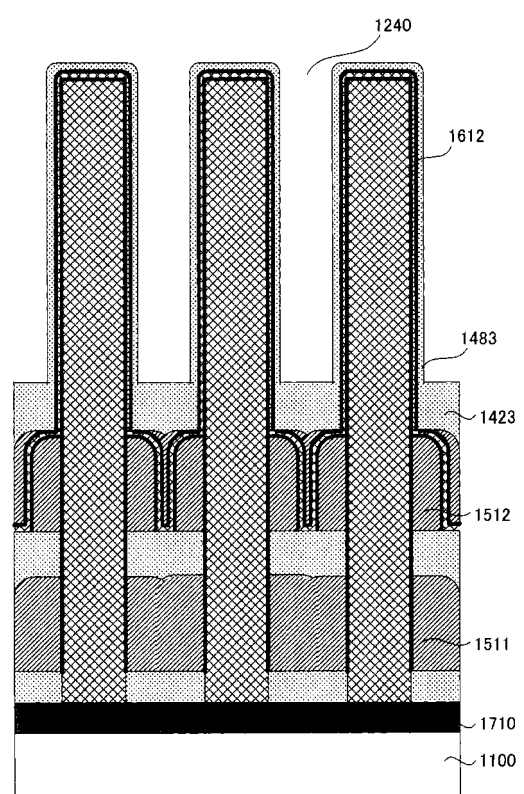
【図 8 7】



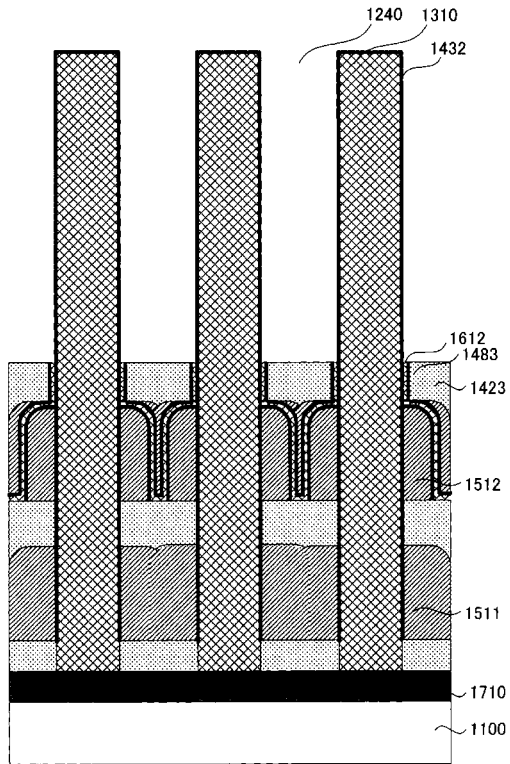
【図 8 8】



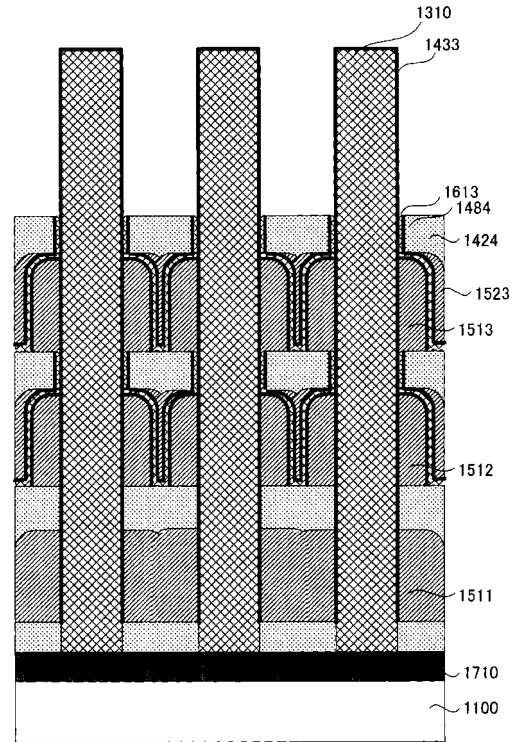
【図 8 9】



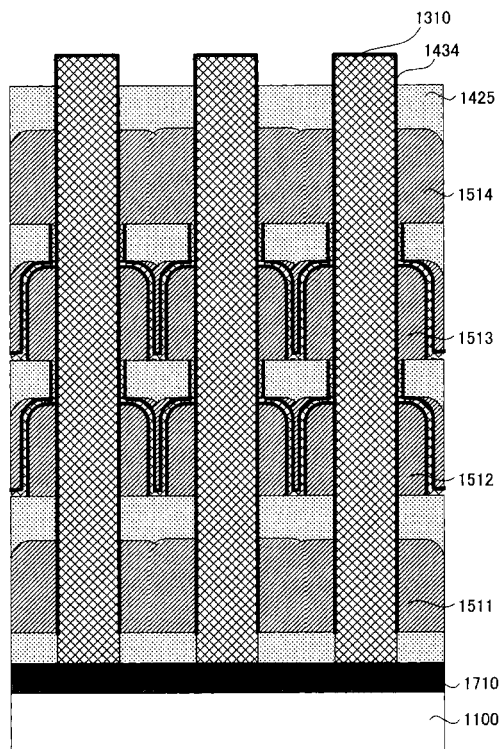
【図 9 0】



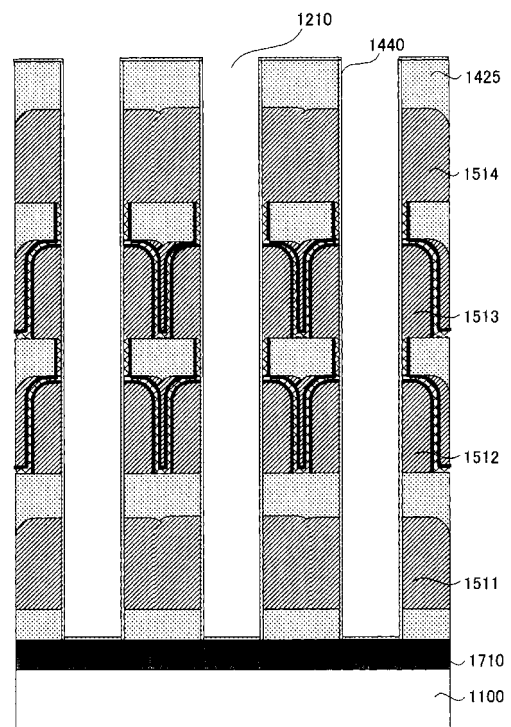
【図 9 1】



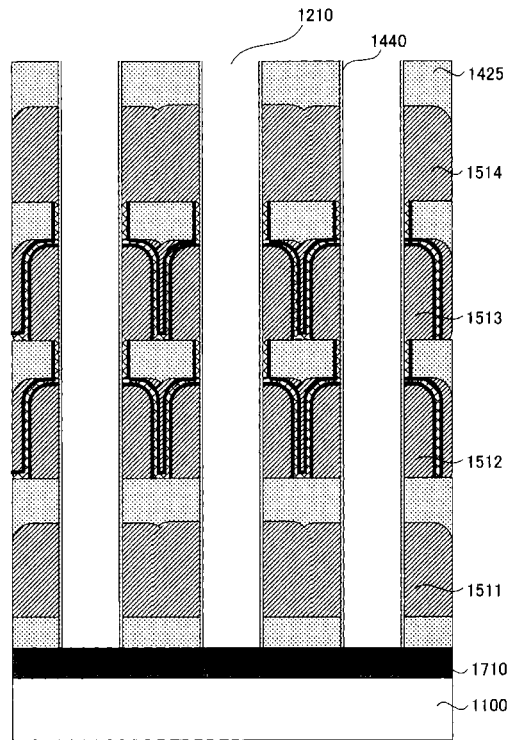
【図 9 2】



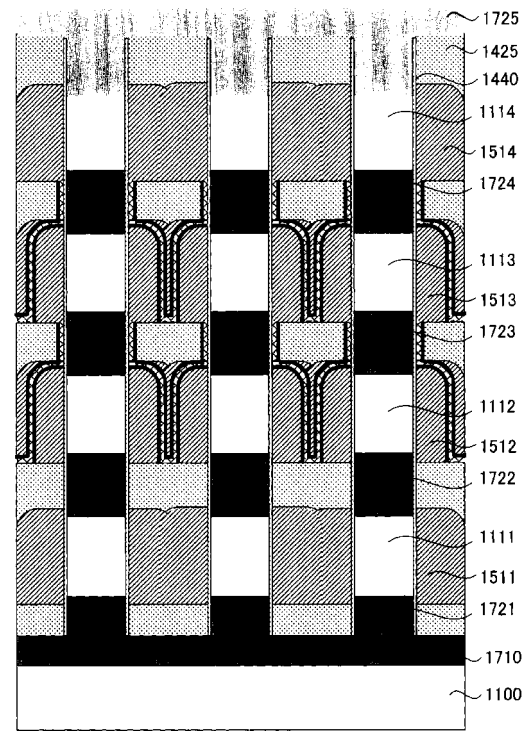
【図 9 3】



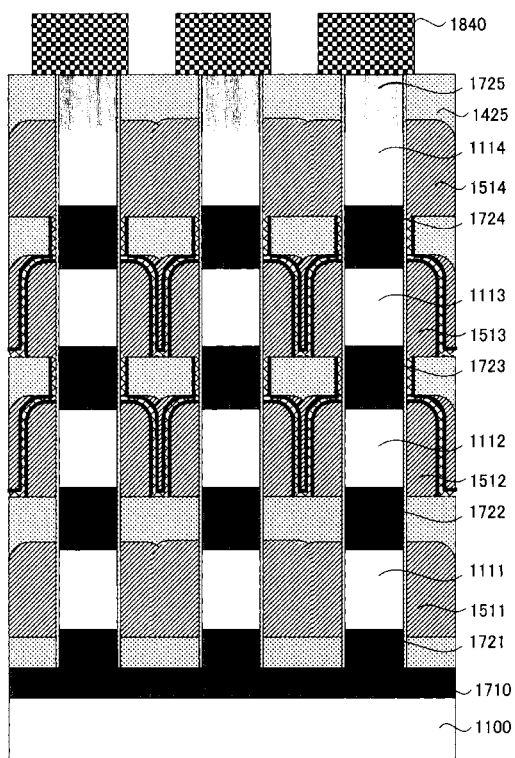
【図 9 4】



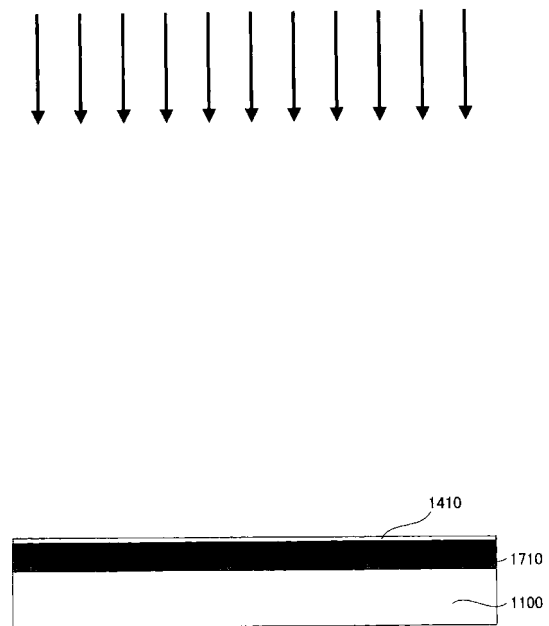
【図 9 5】



【図 9 6】



【図 9 7】



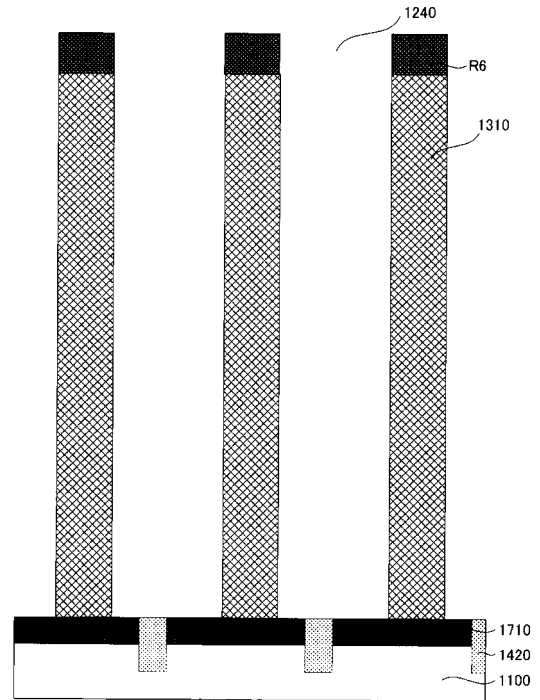
【図 9 8】



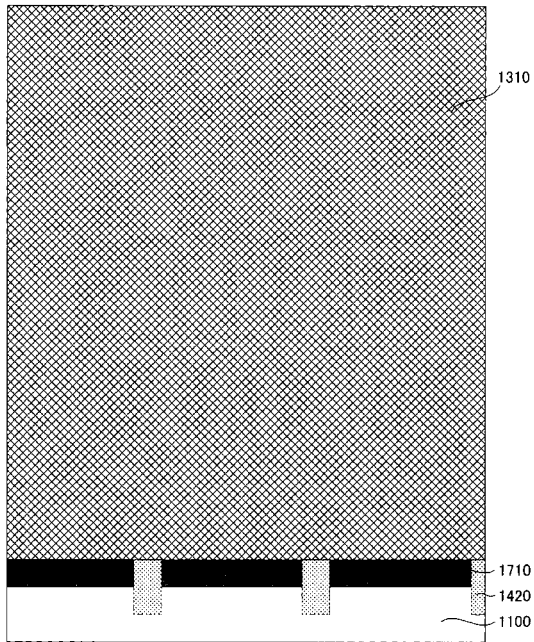
【図 99】



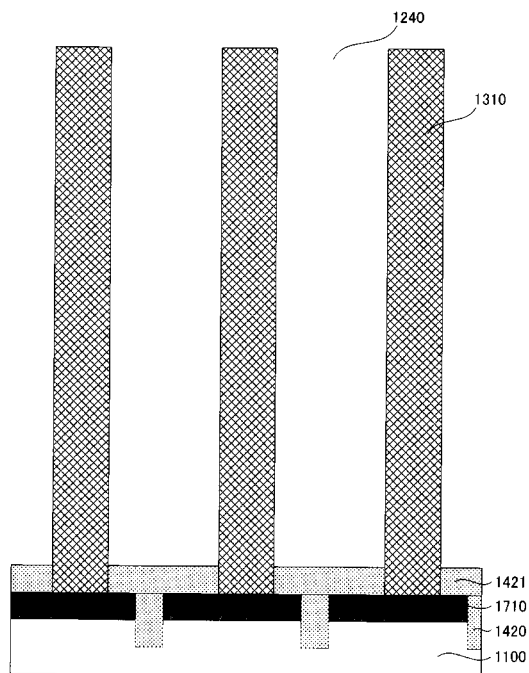
【図 101】



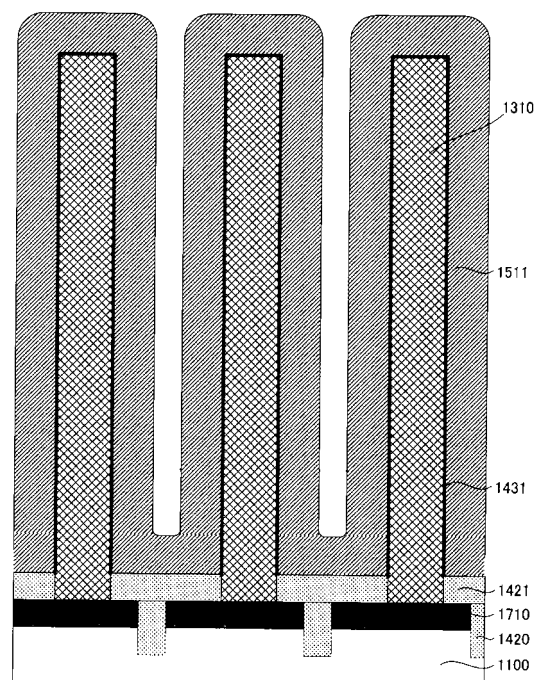
【図 100】



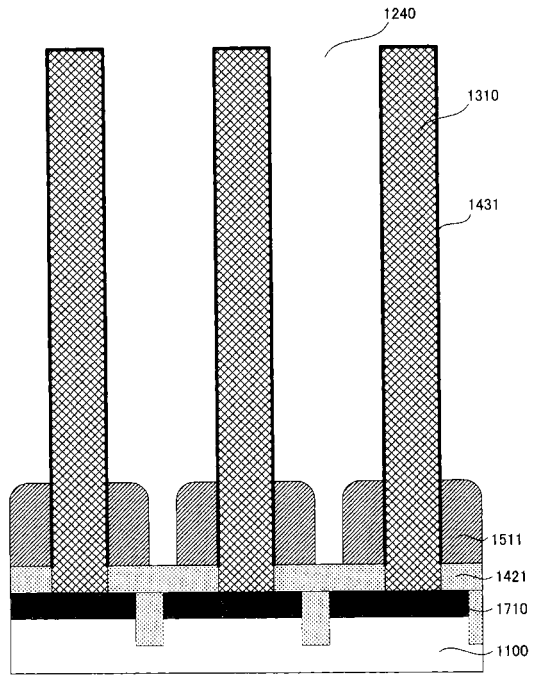
【図 102】



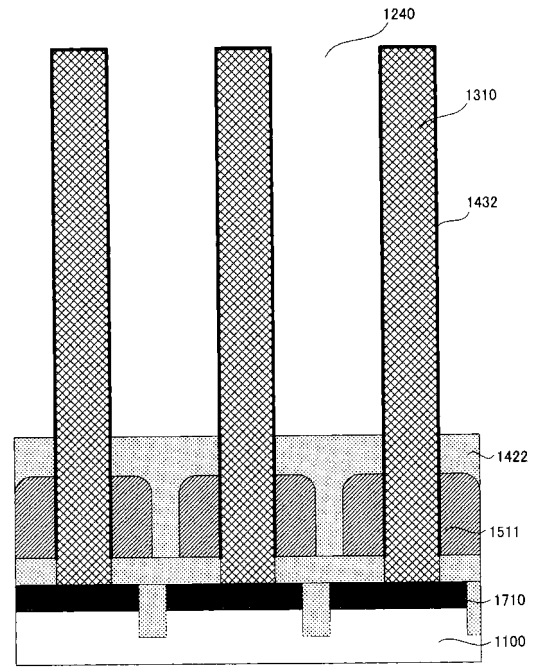
【図 103】



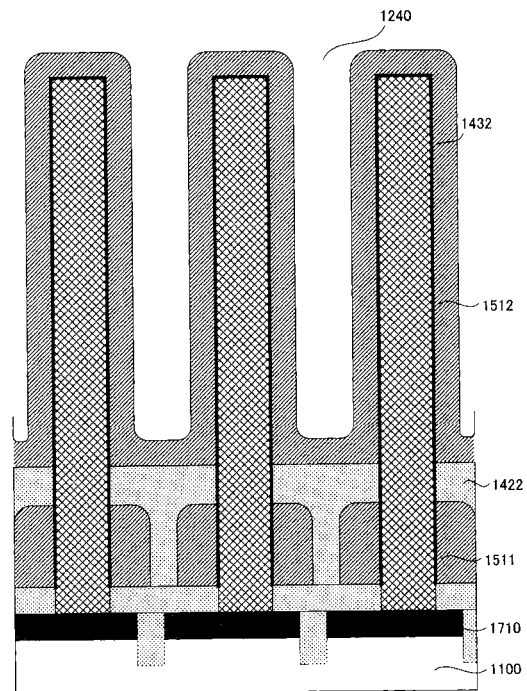
【図 104】



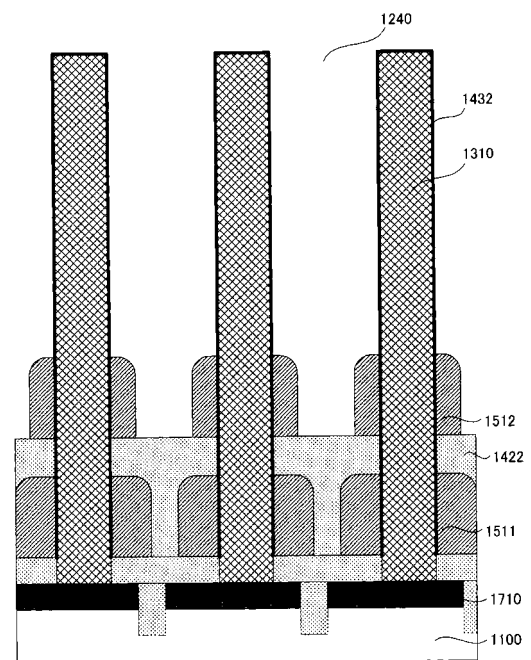
【図 105】



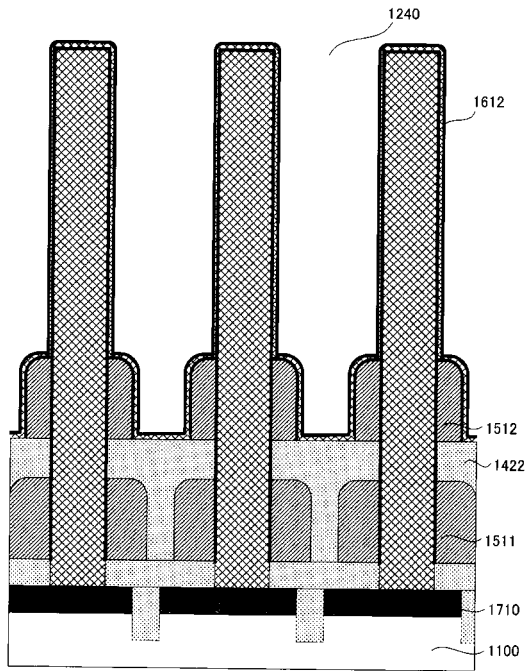
【図 106】



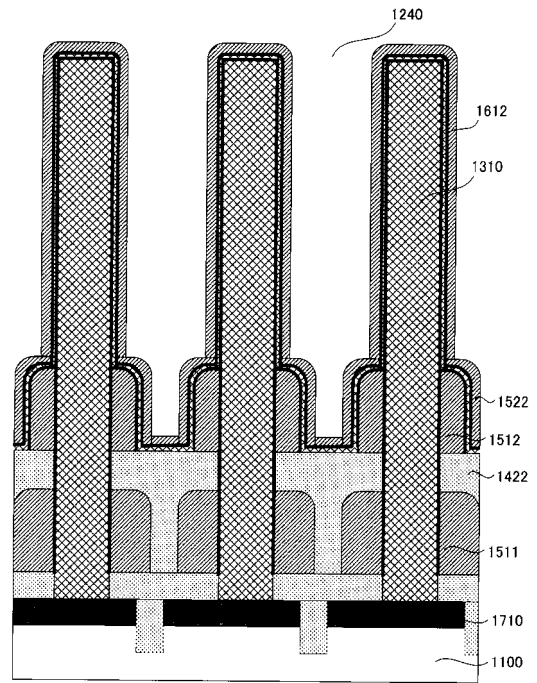
【図 107】



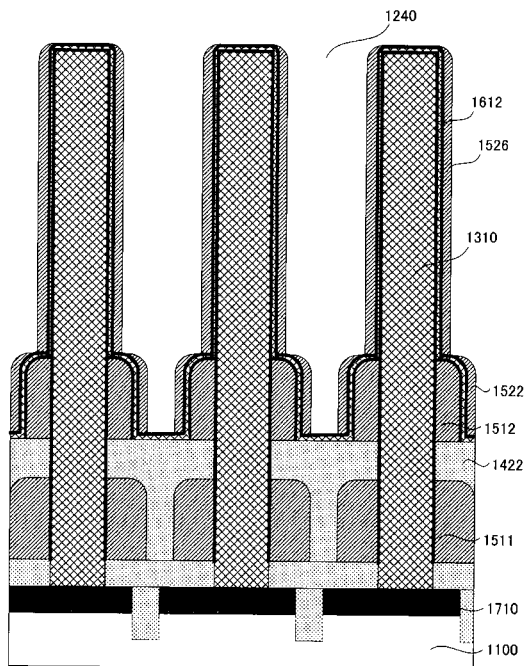
【図108】



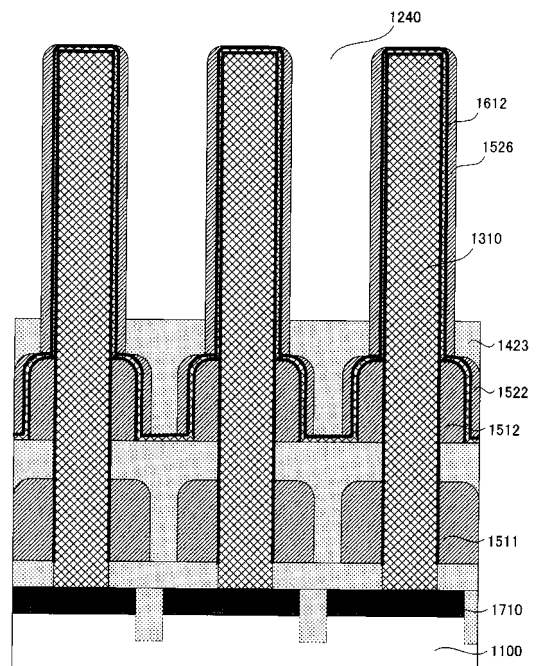
【図109】



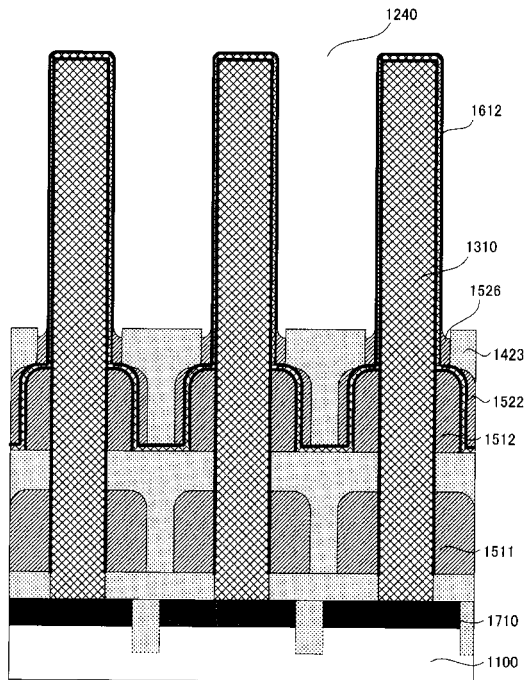
【図110】



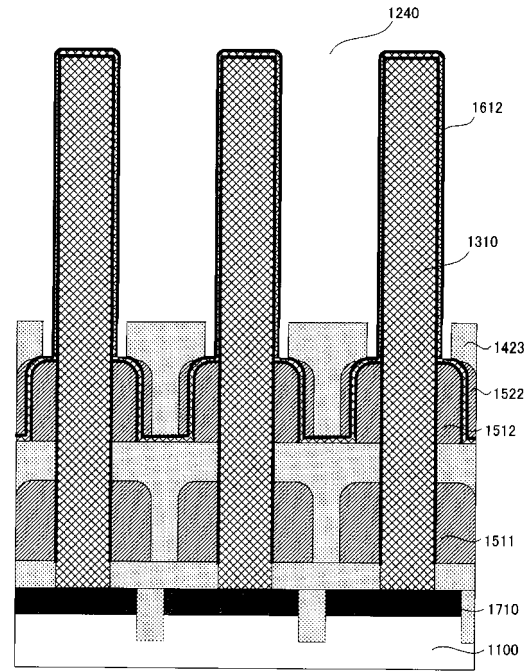
【図111】



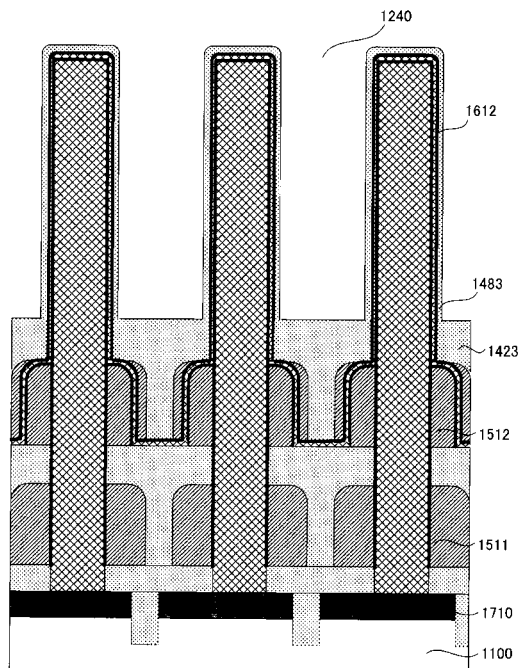
【図 1 1 2】



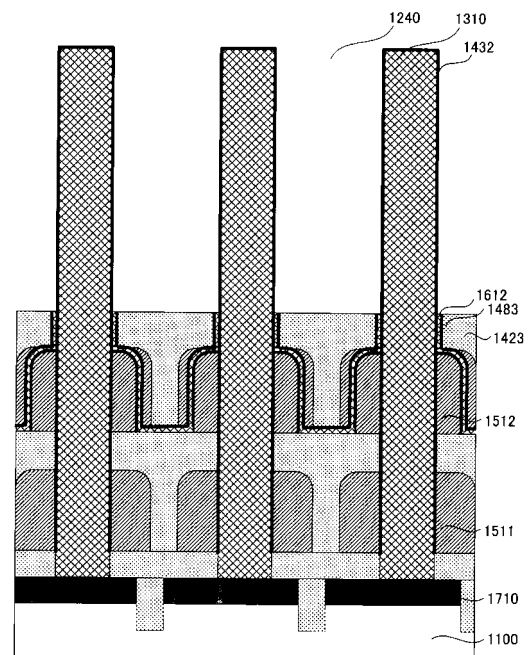
【図 1 1 3】



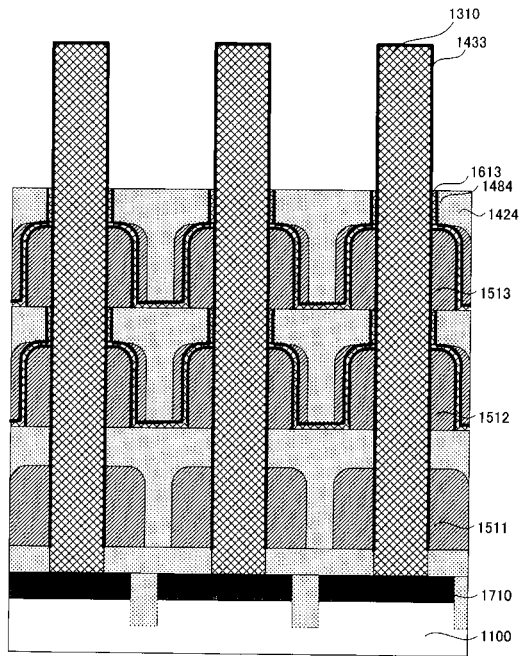
【図 1 1 4】



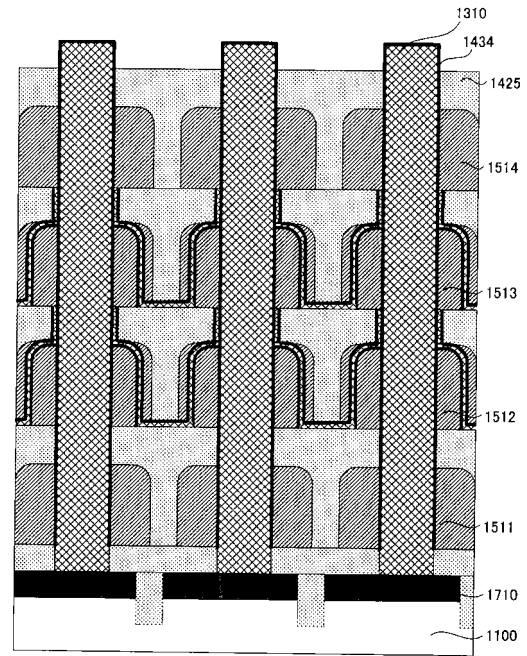
【図 1 1 5】



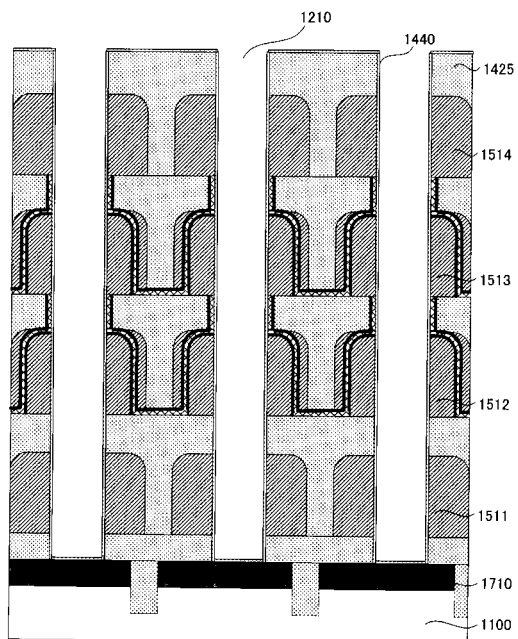
【図 1 1 6】



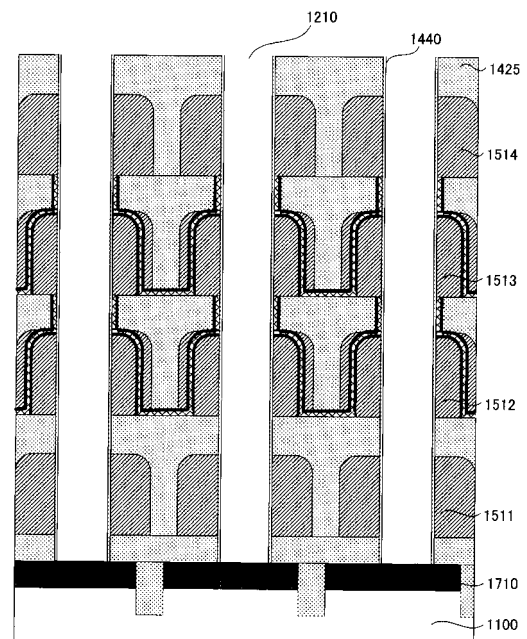
【図 1 1 7】



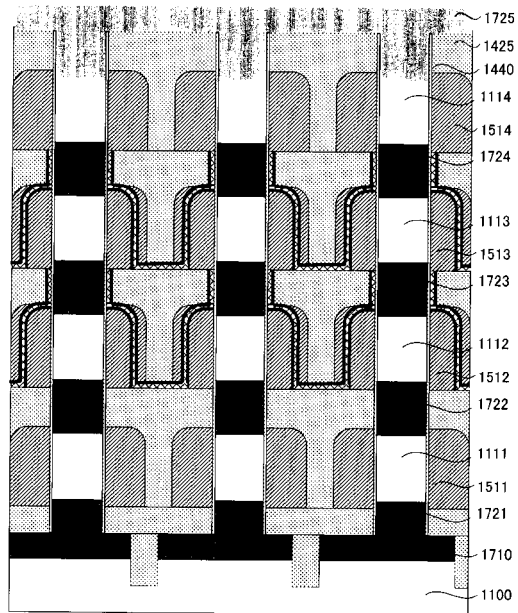
【図 1 1 8】



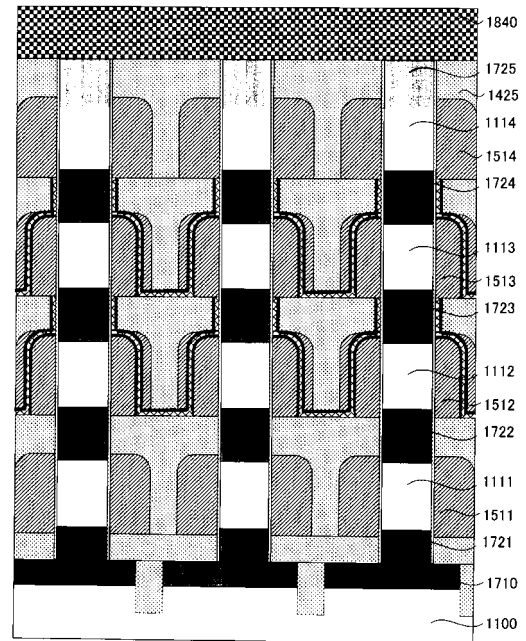
【図 1 1 9】



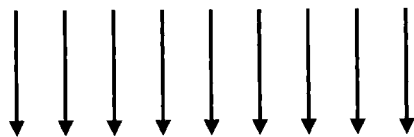
【図 1 2 0】



【図 1 2 1】



【図 1 2 2】



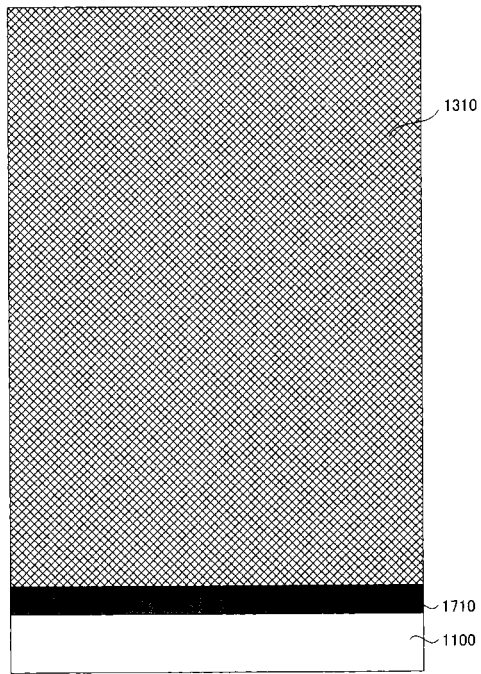
【図 1 2 3】



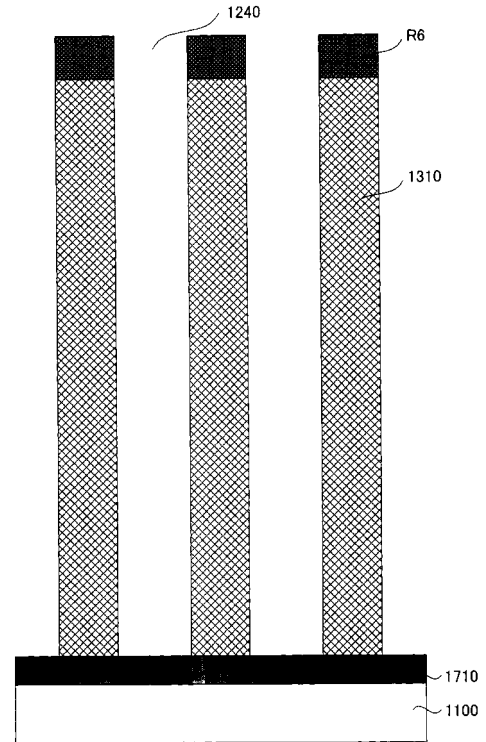
【図 1 2 4】



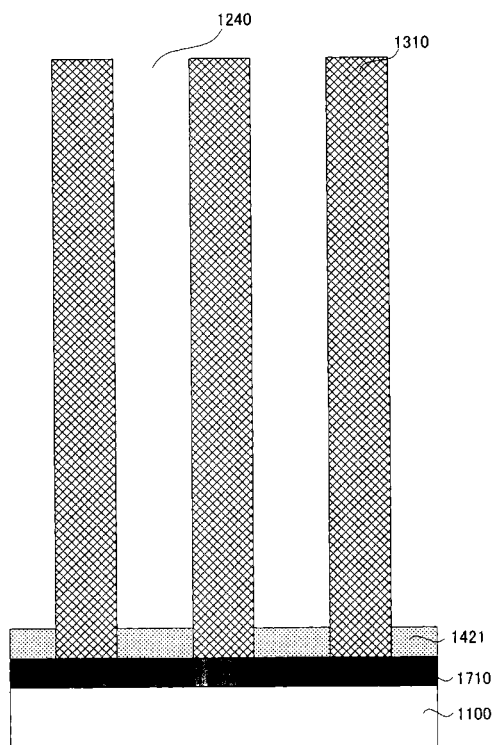
【図 1 2 5】



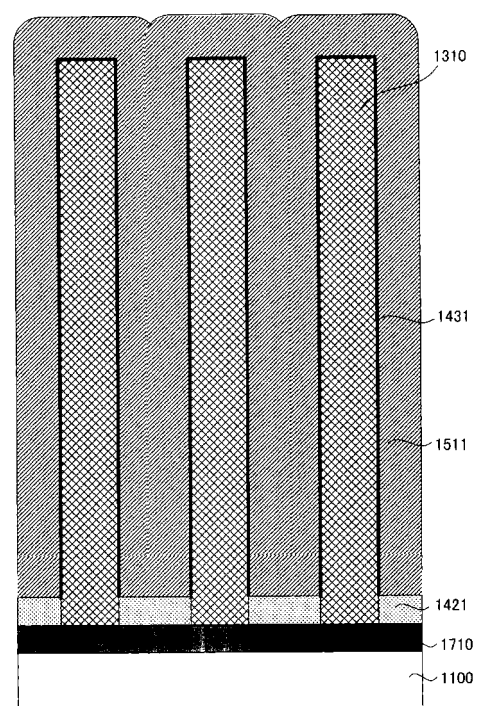
【図 1 2 6】



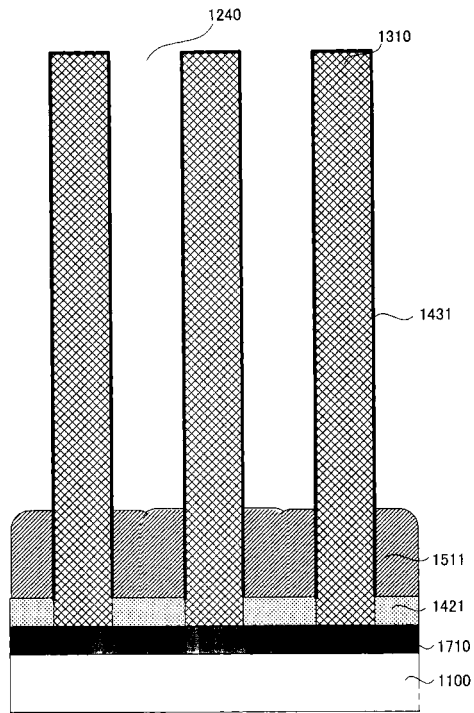
【図 1 2 7】



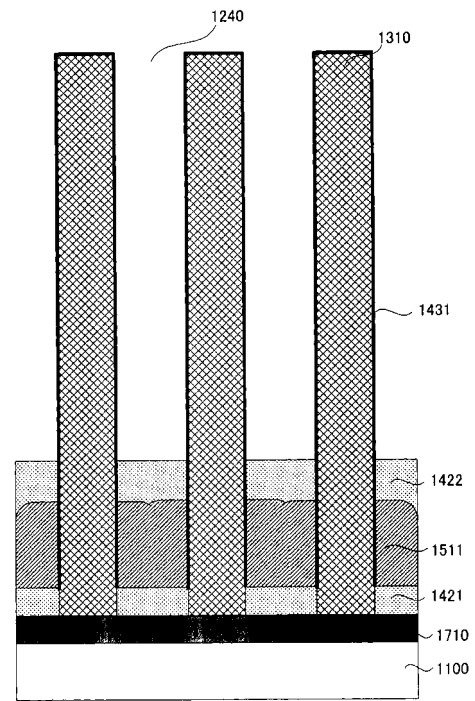
【図 1 2 8】



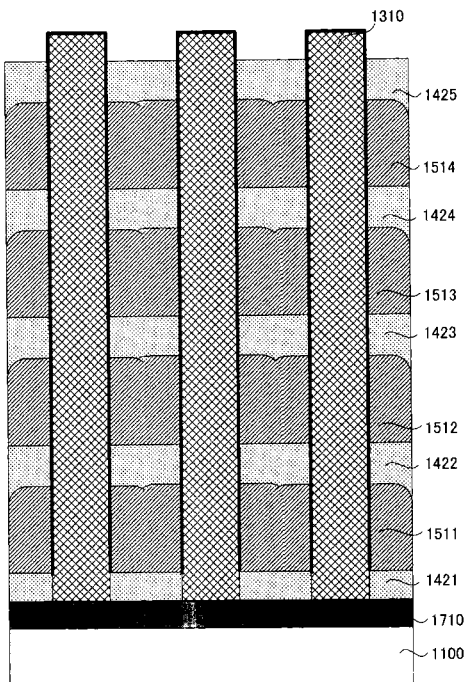
【図 1 2 9】



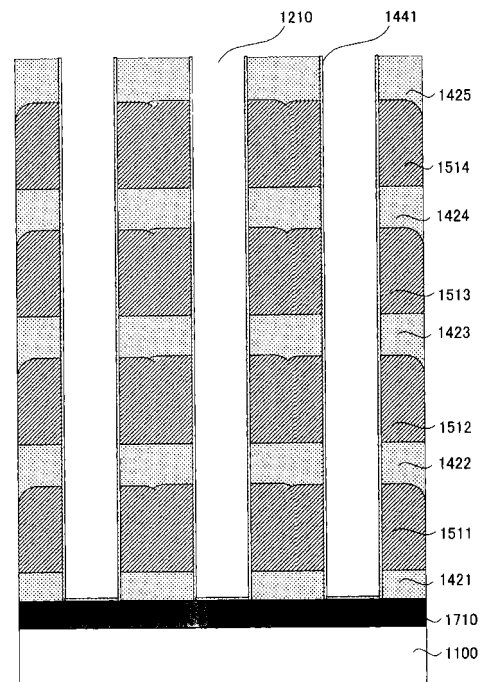
【図 1 3 0】



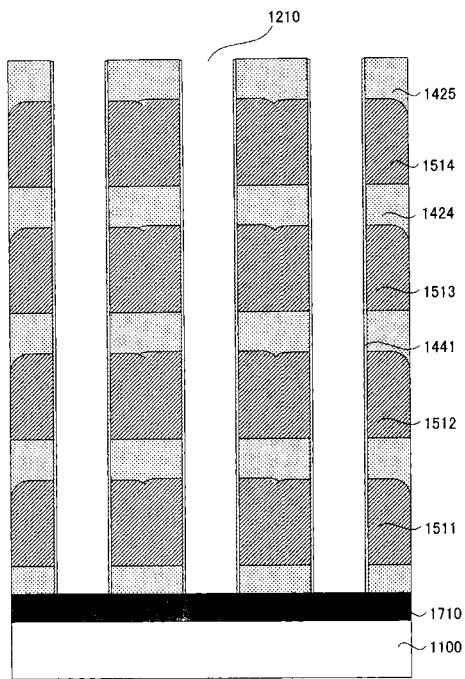
【図 1 3 1】



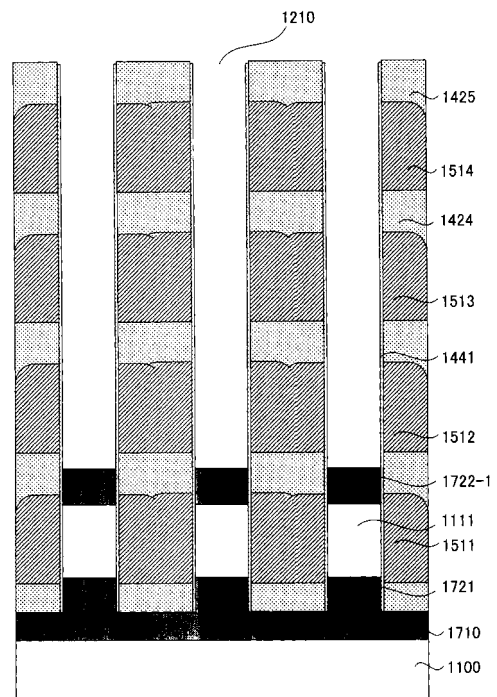
【図 1 3 2】



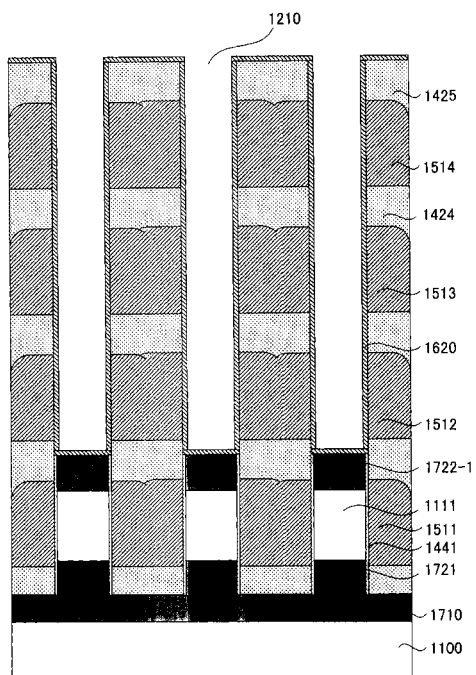
【図 1 3 3】



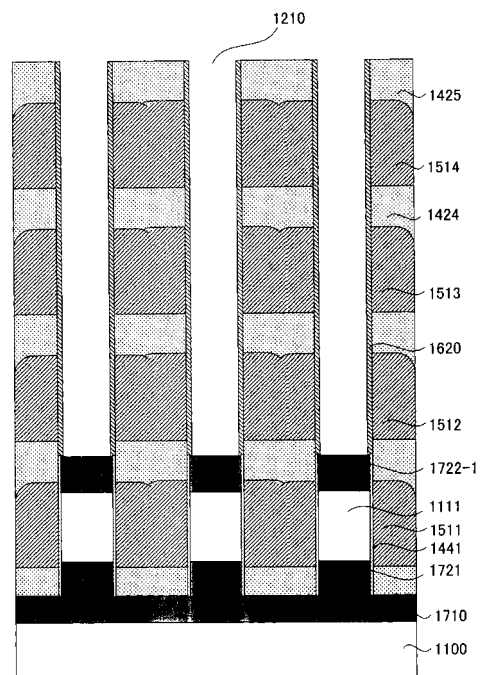
【図 1 3 4】



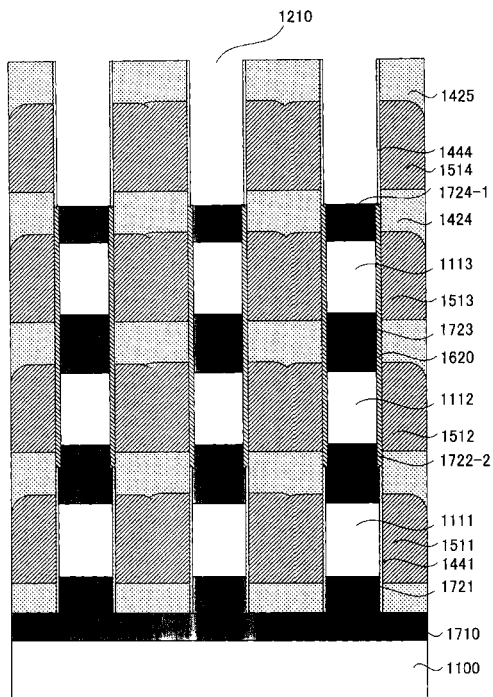
【図 1 3 5】



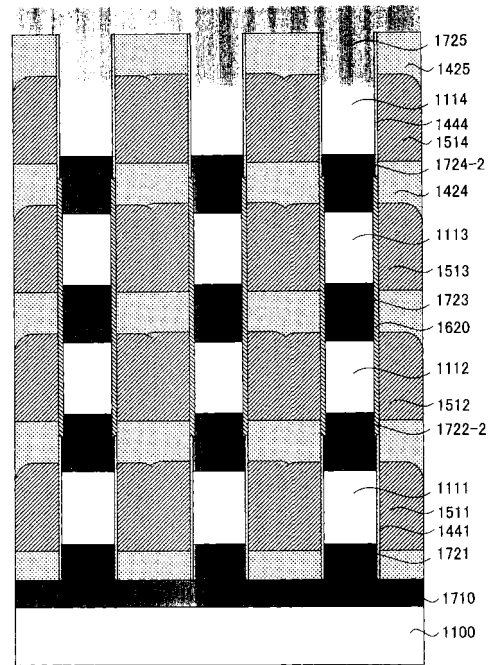
【図 1 3 6】



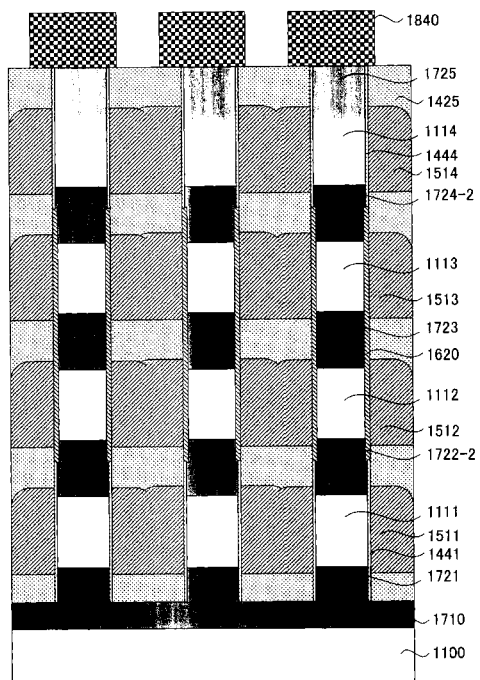
【図 1 3 7】



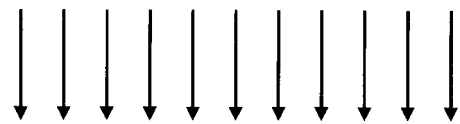
【図 1 3 8】



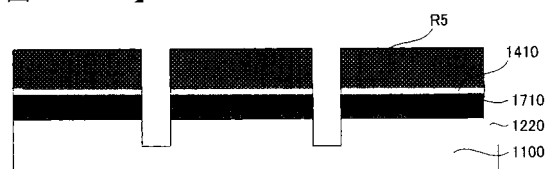
【図 1 3 9】



【図 1 4 0】



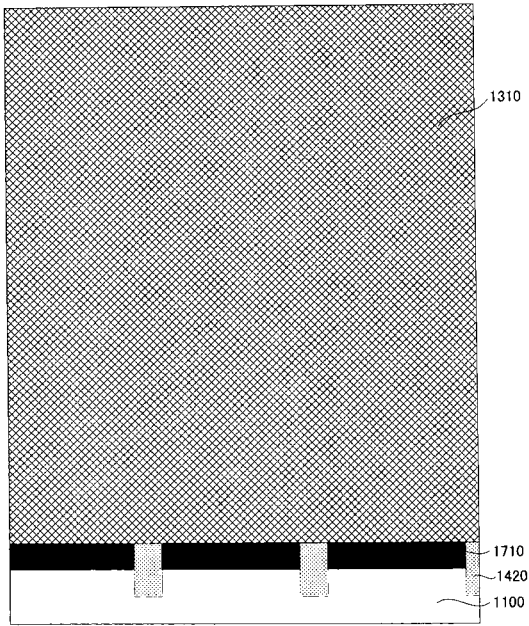
【図 1 4 1】



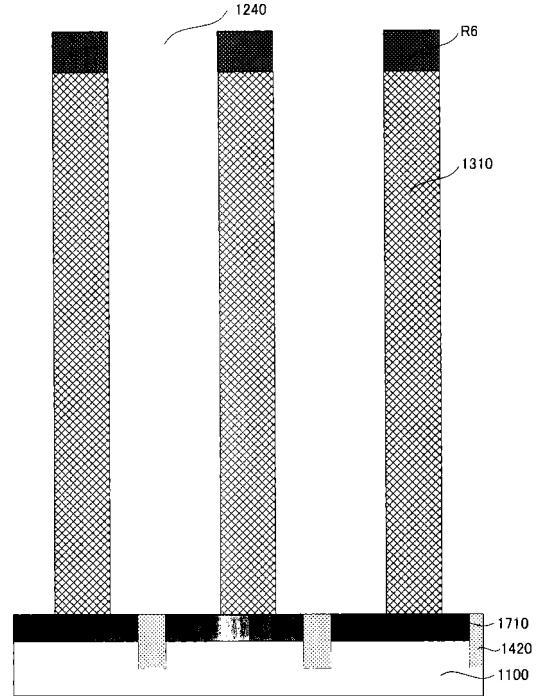
【図 1 4 2】



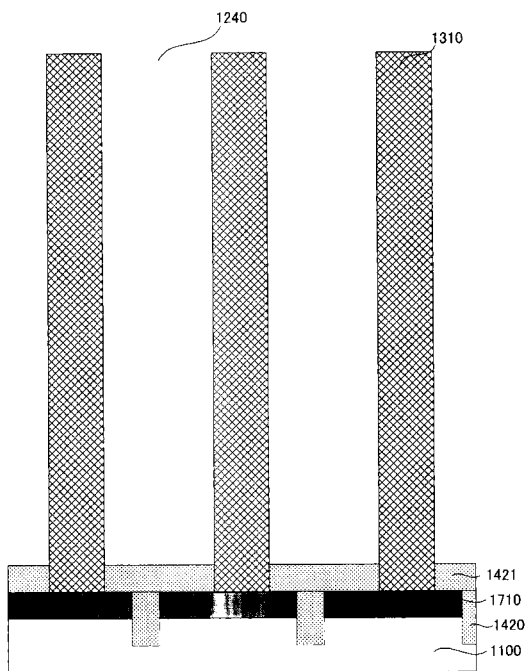
【図 1 4 3】



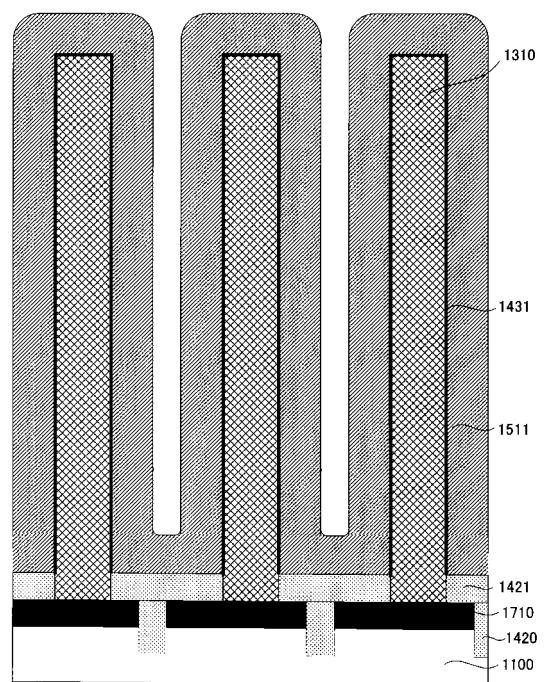
【図 1 4 4】



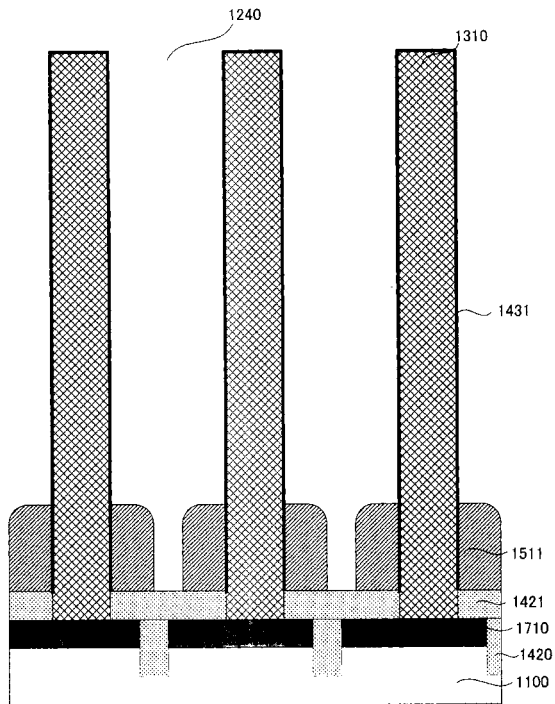
【図 1 4 5】



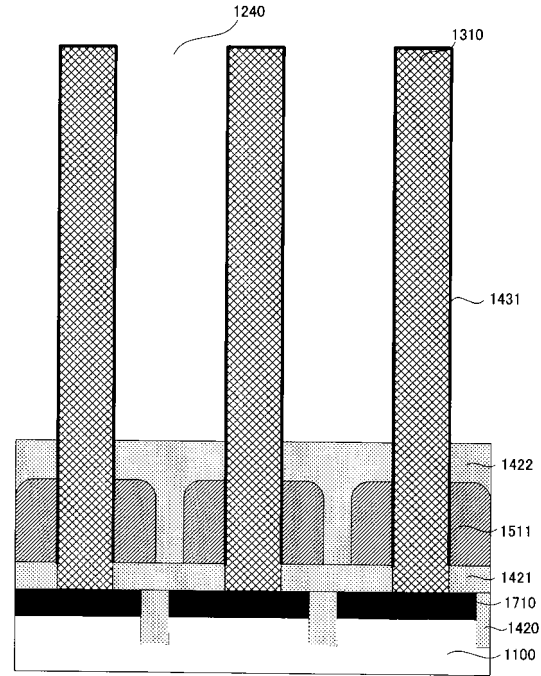
【図 1 4 6】



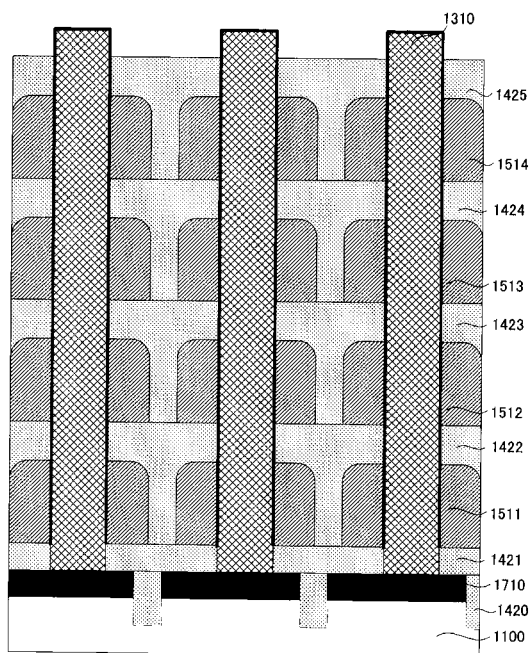
【図 1 4 7】



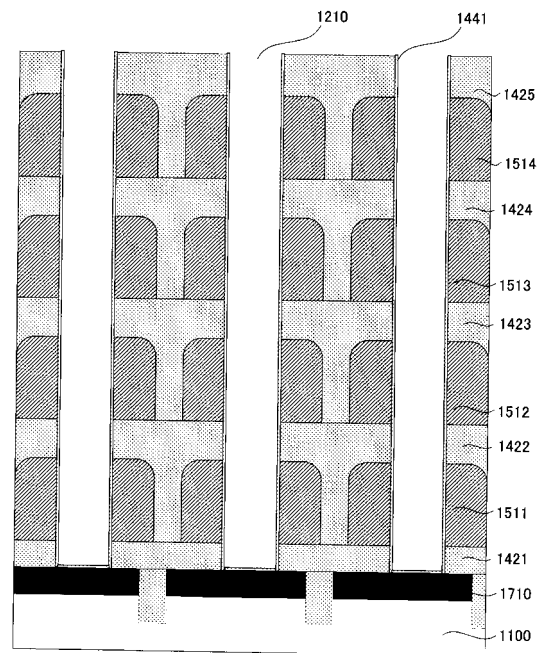
【図 1 4 8】



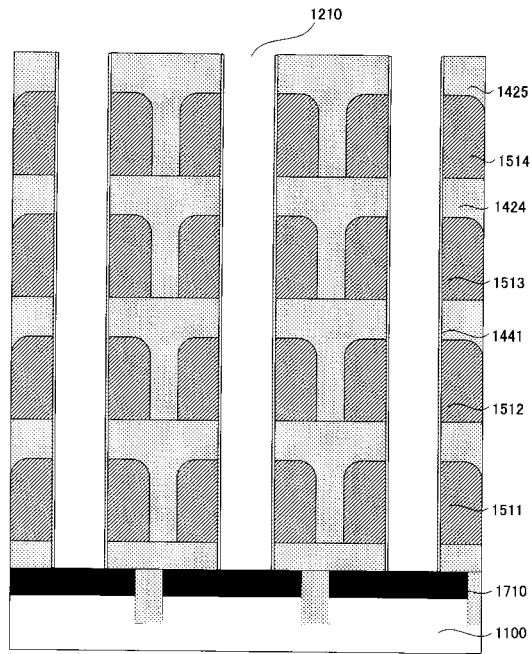
【図 1 4 9】



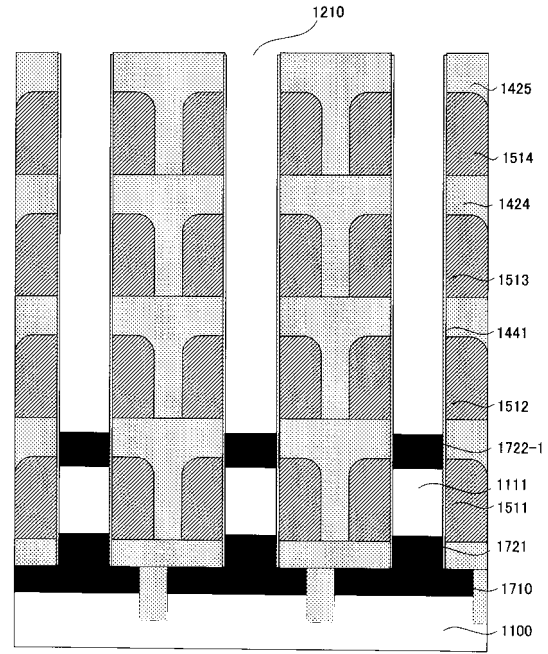
【図 1 5 0】



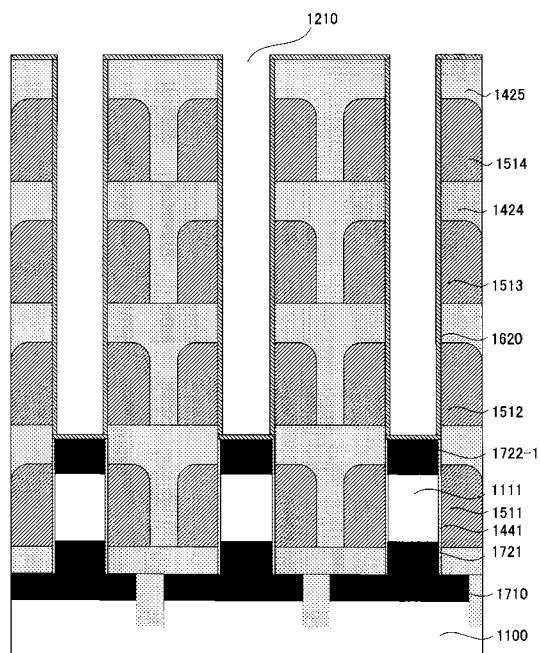
【図 1 5 1】



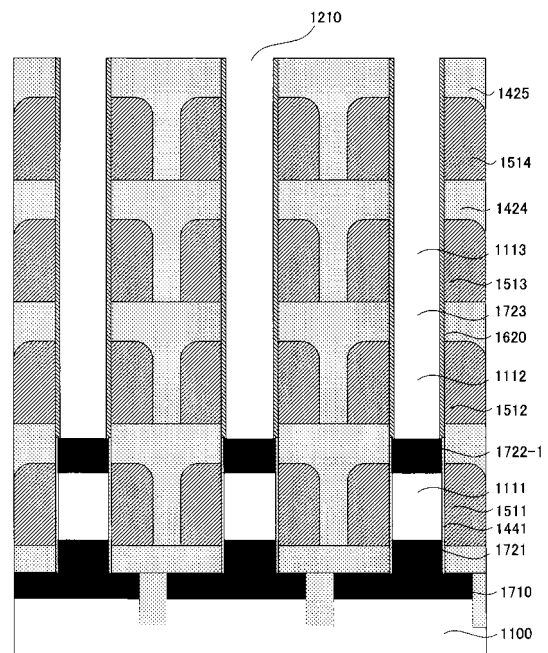
【図 1 5 2】



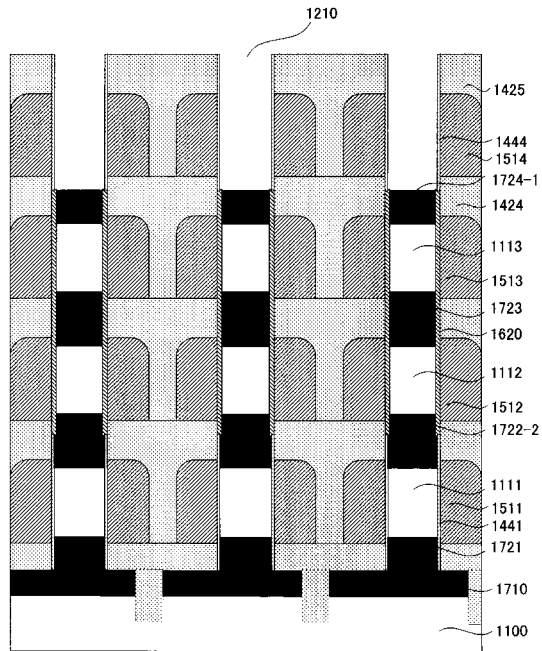
【図 1 5 3】



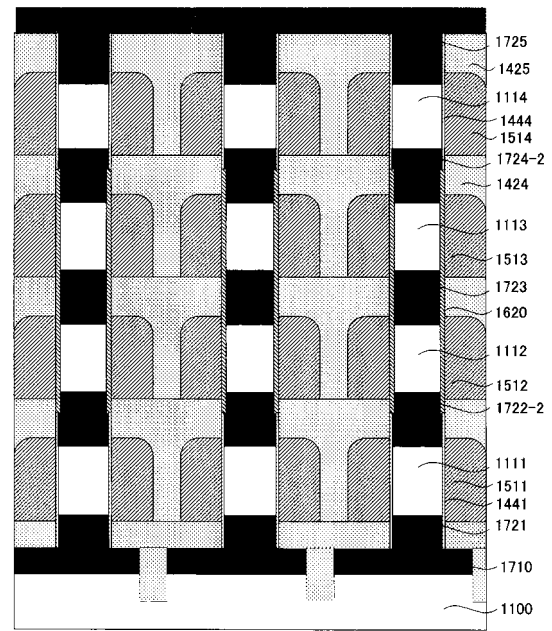
【図 1 5 4】



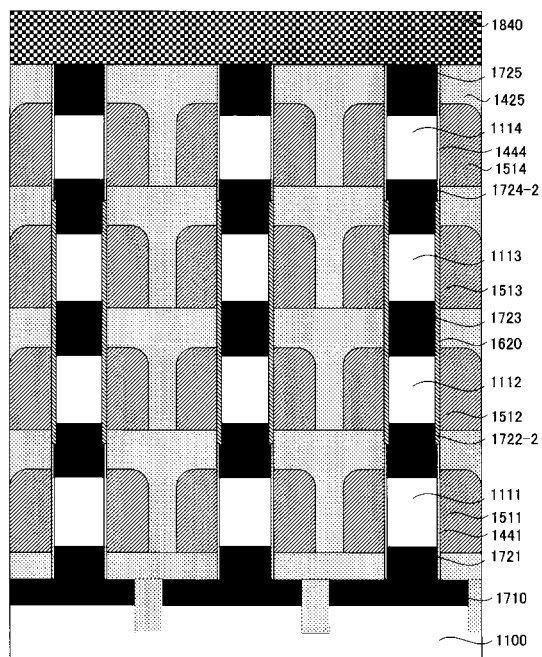
【図 1 5 5】



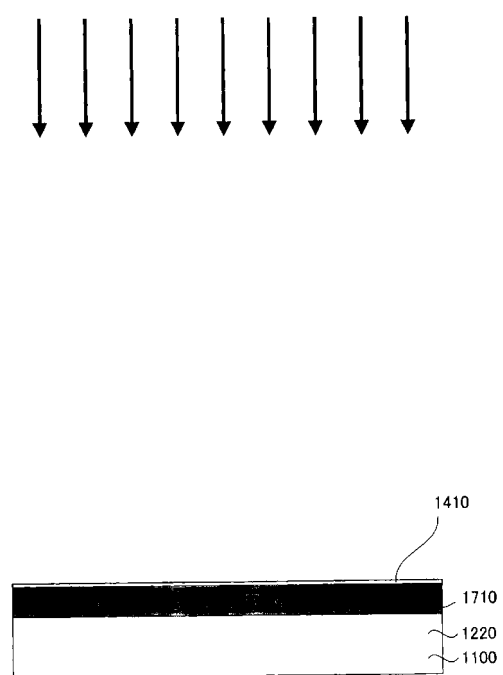
【図 1 5 6】



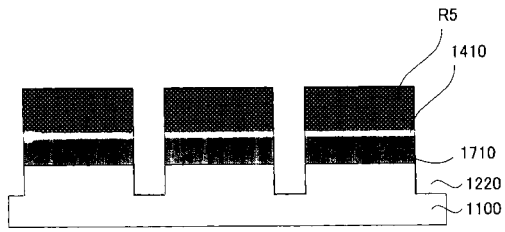
【図 1 5 7】



【図 1 5 8】



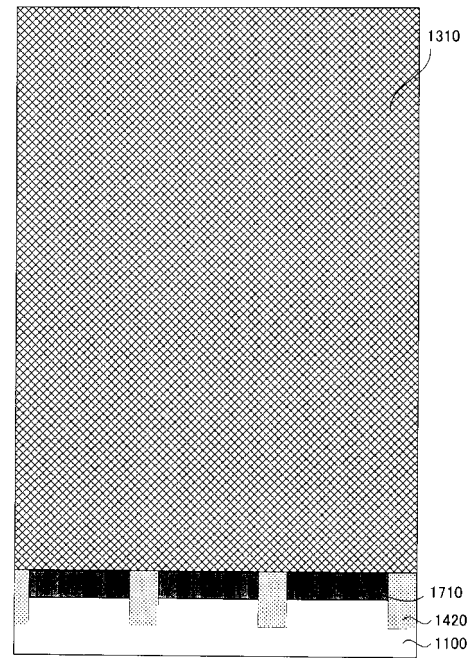
【図 1 5 9】



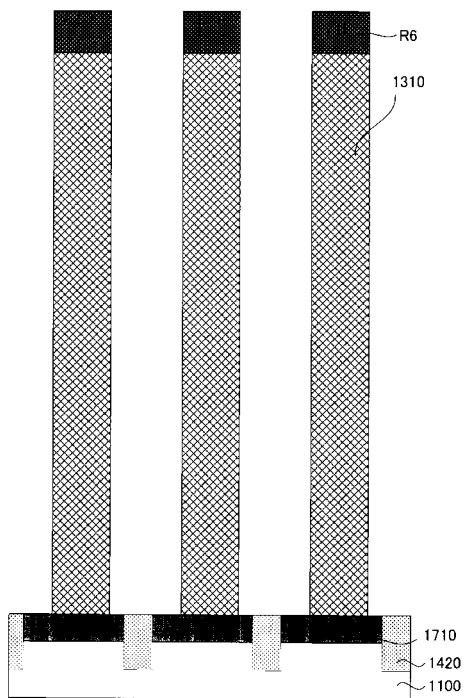
【図 1 6 0】



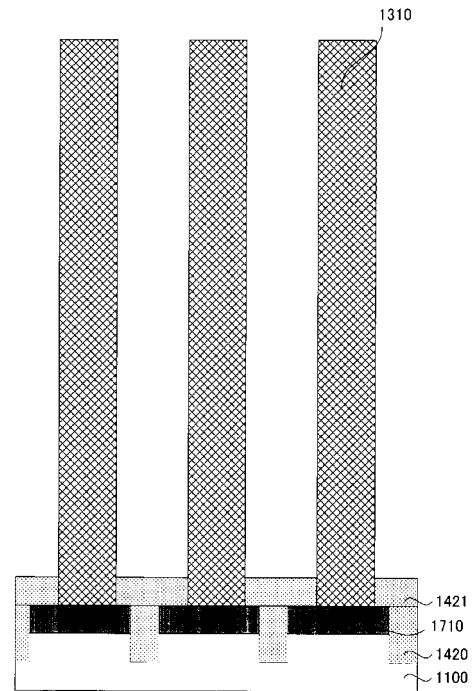
【図 1 6 1】



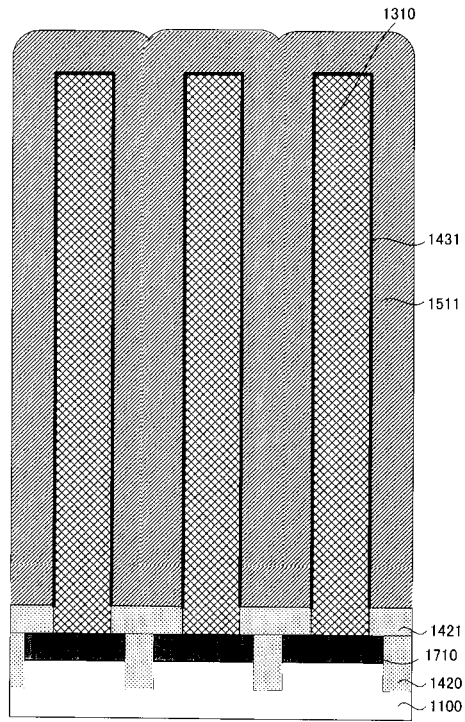
【図 1 6 2】



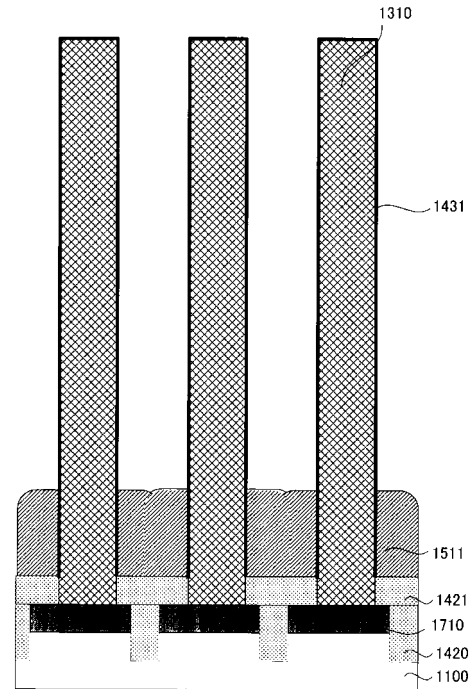
【図 1 6 3】



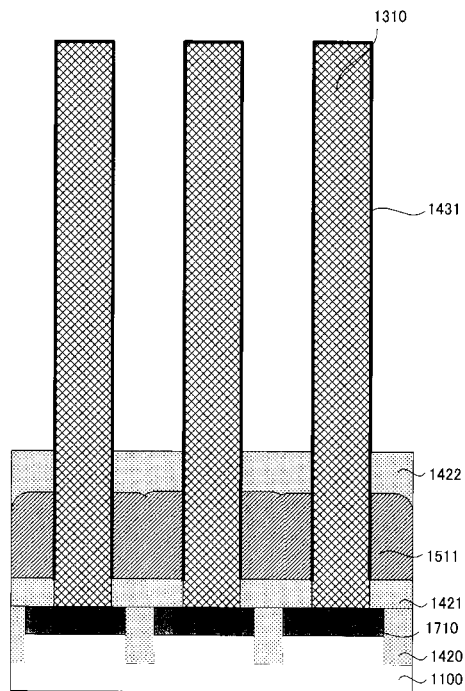
【図 1 6 4】



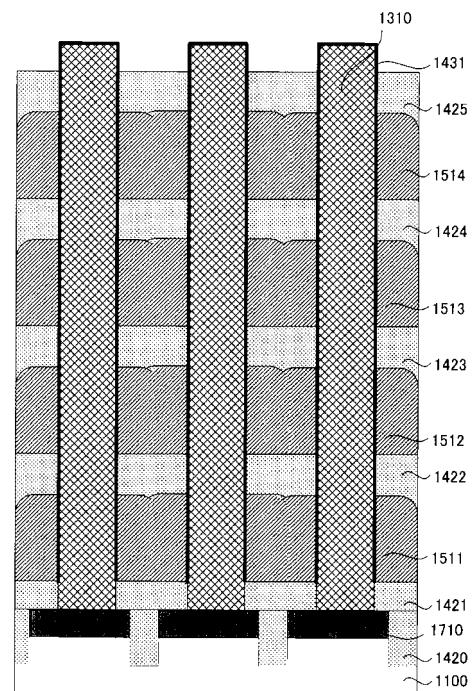
【図 1 6 5】



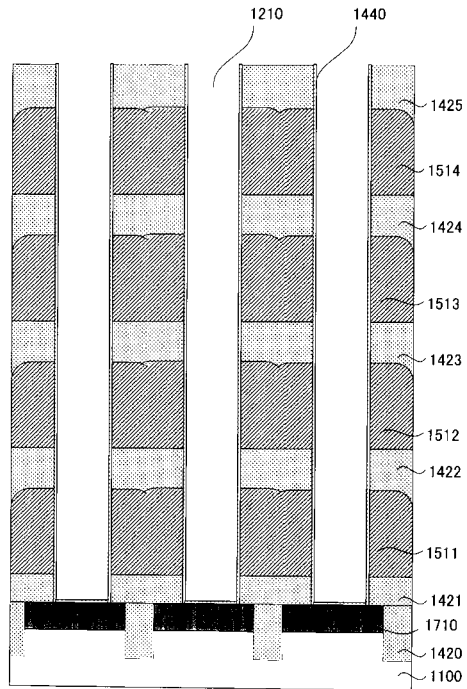
【図 1 6 6】



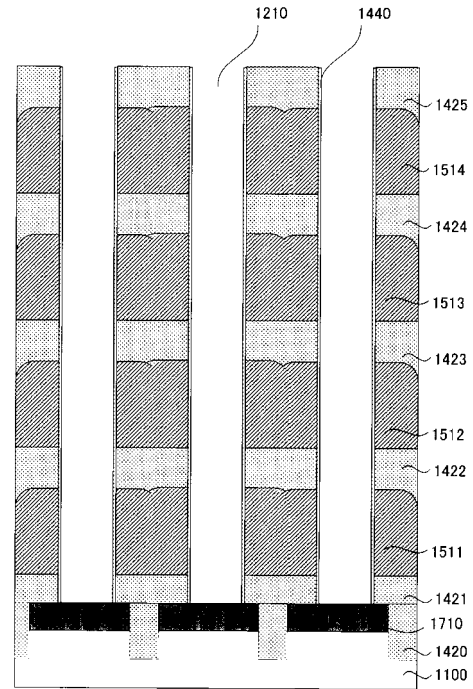
【図 1 6 7】



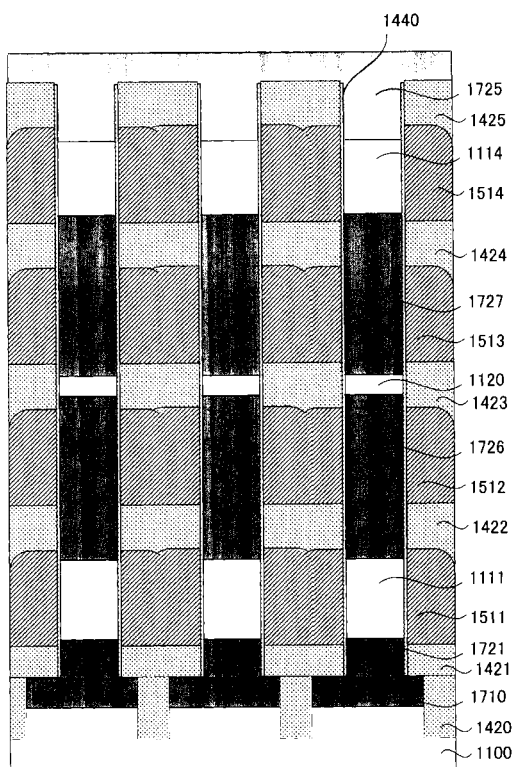
【図 1 6 8】



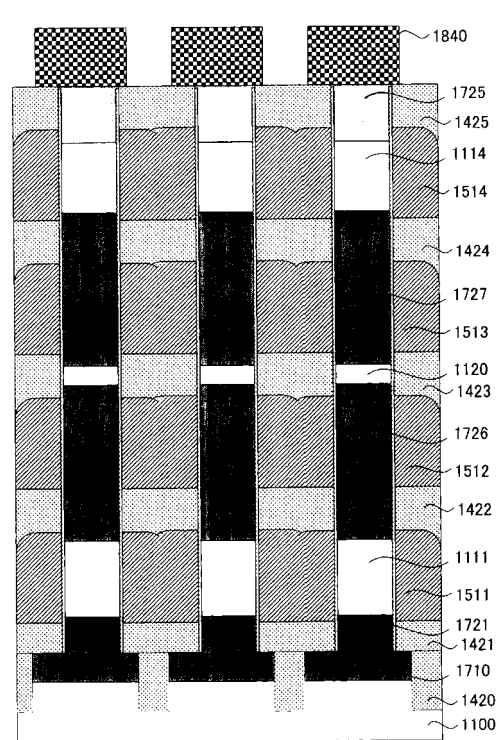
【図 1 6 9】



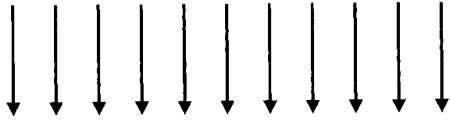
【図 1 7 0】



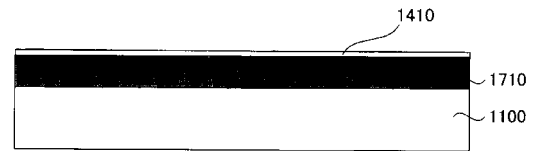
【図 1 7 1】



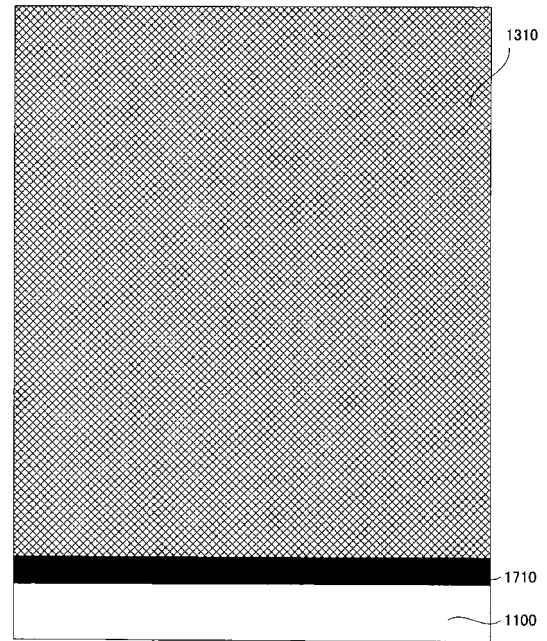
【図 172】



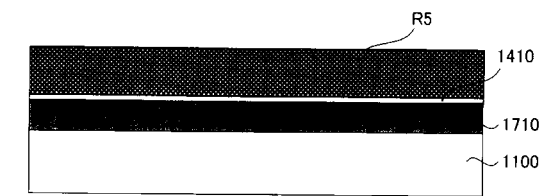
【図 174】



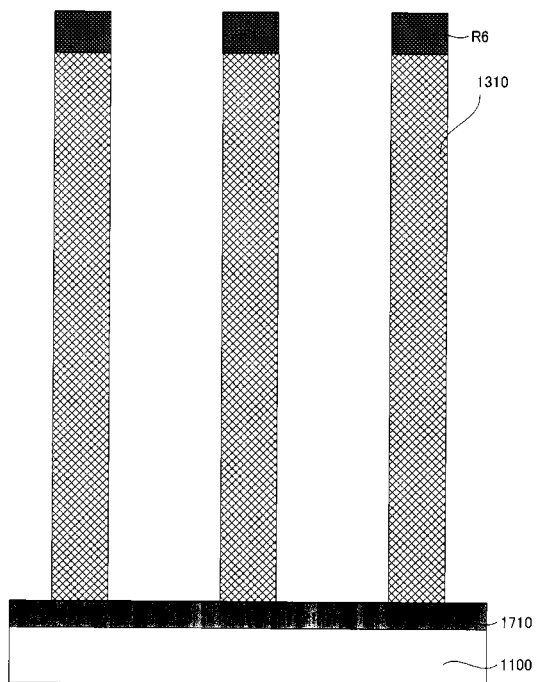
【図 175】



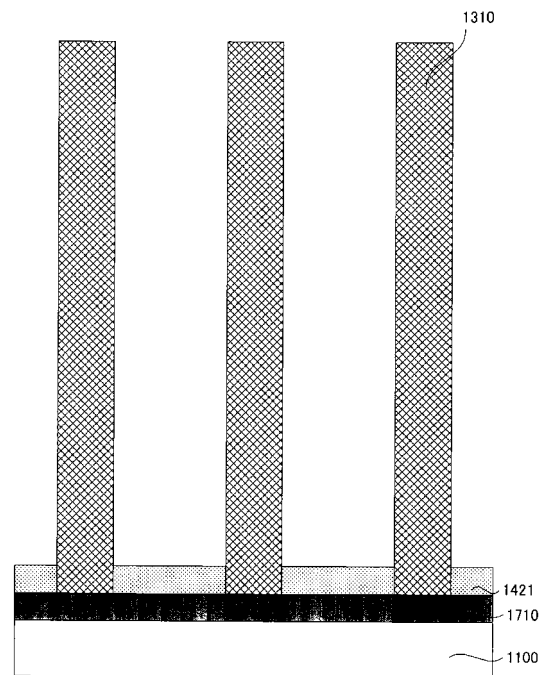
【図 173】



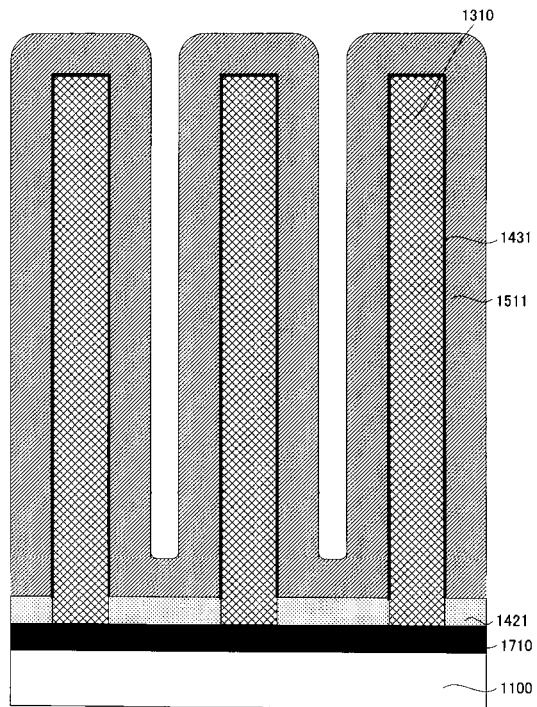
【図 176】



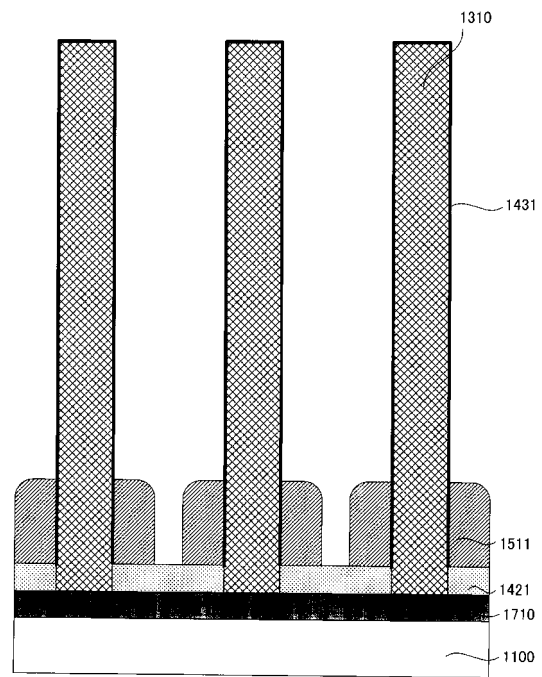
【図 177】



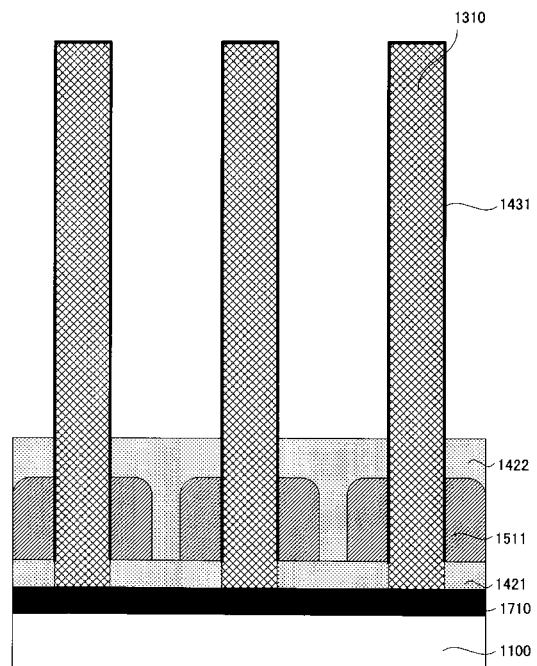
【図 178】



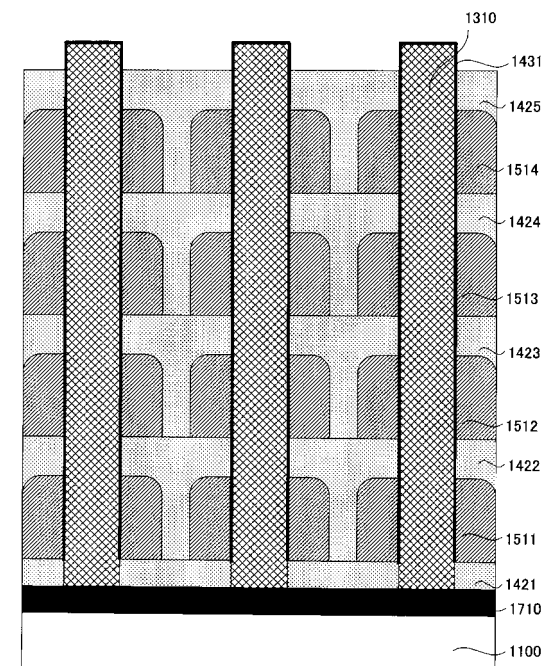
【図 179】



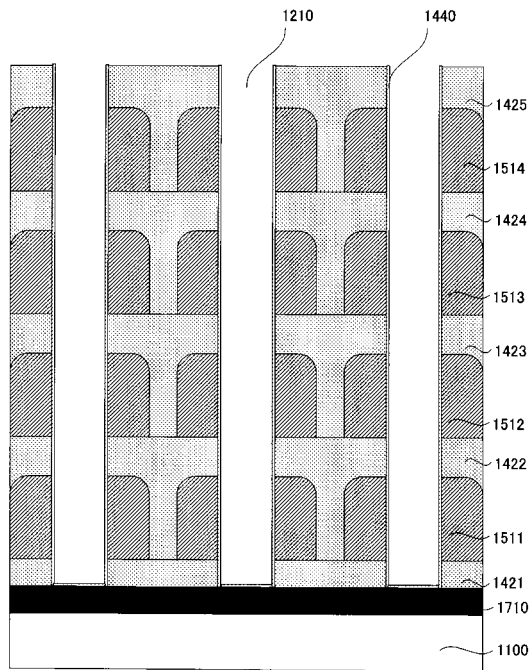
【図 180】



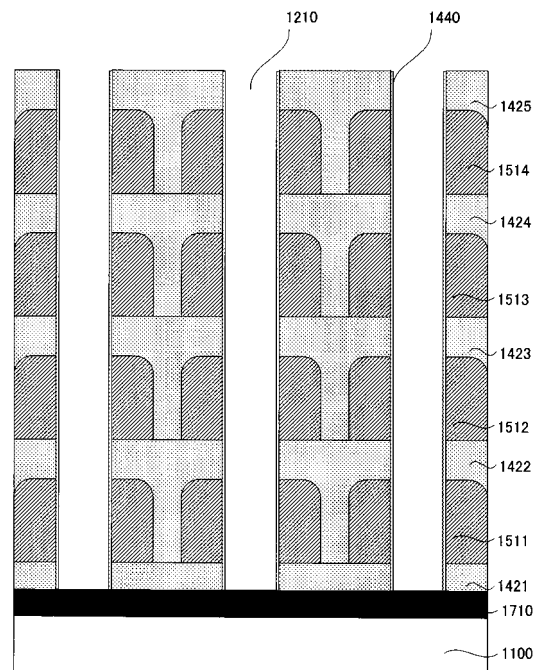
【図 181】



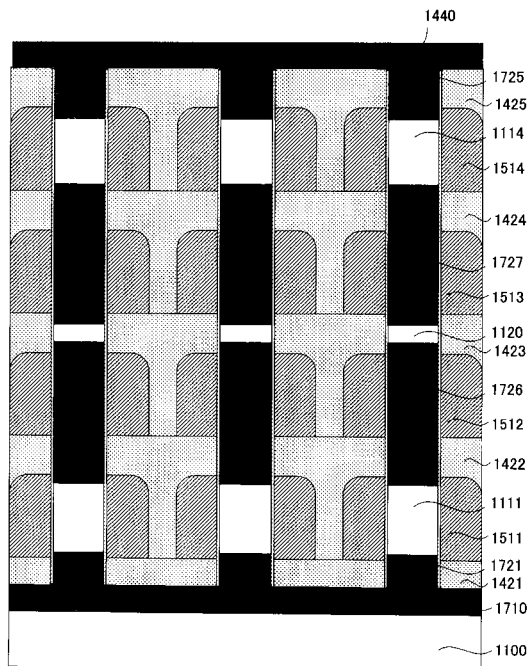
【図 1 8 2】



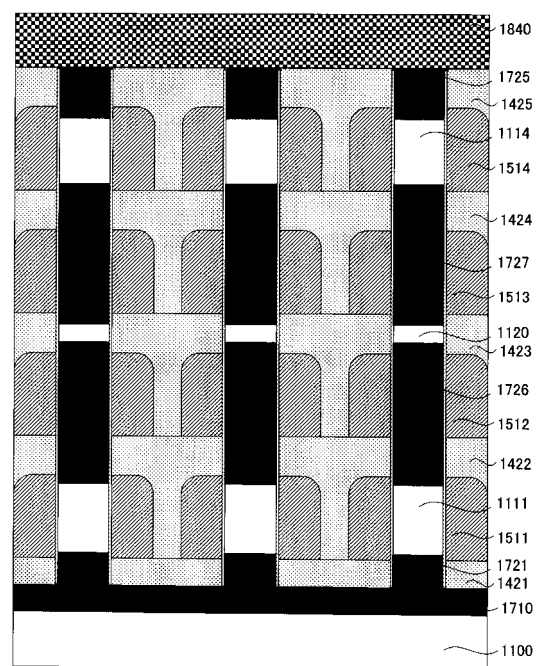
【図 1 8 3】



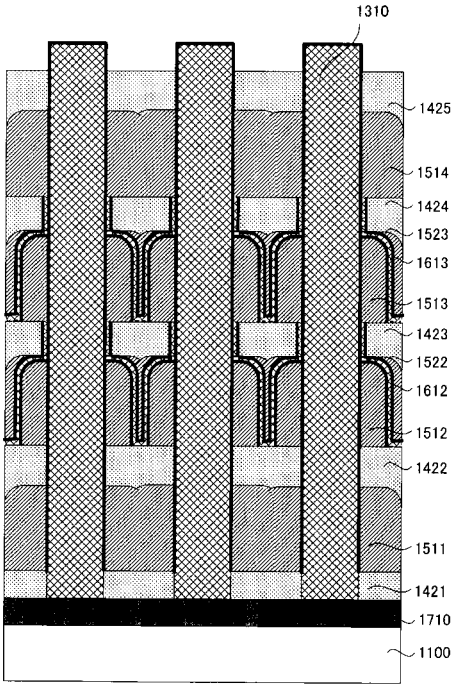
【図 1 8 4】



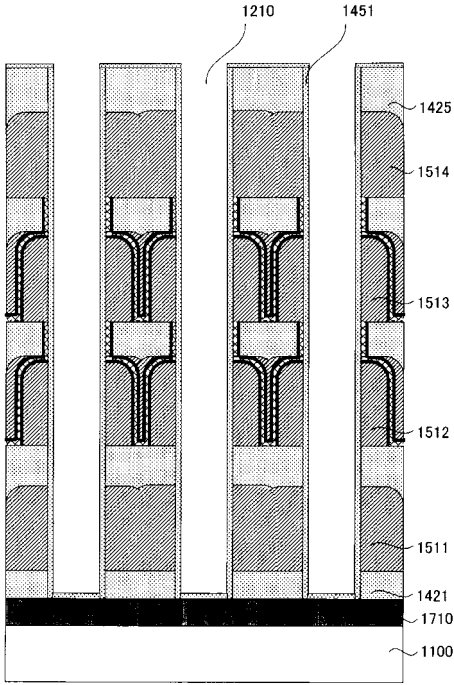
【図 1 8 5】



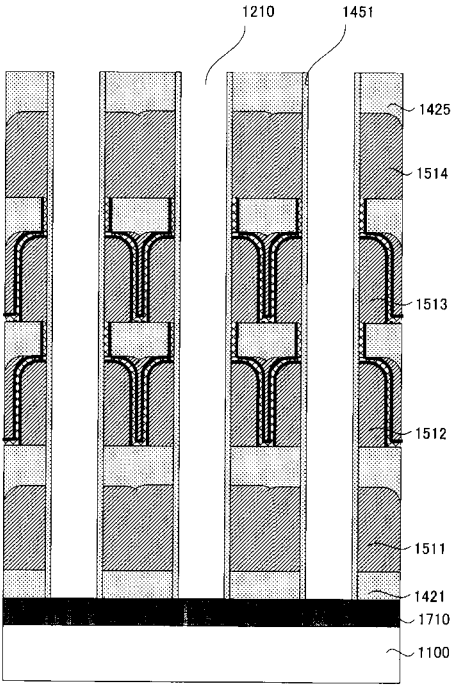
【図 1 8 6】



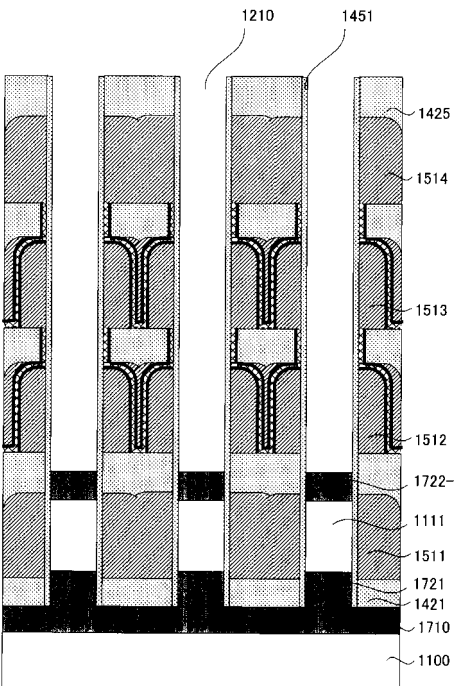
【図 1 8 7】



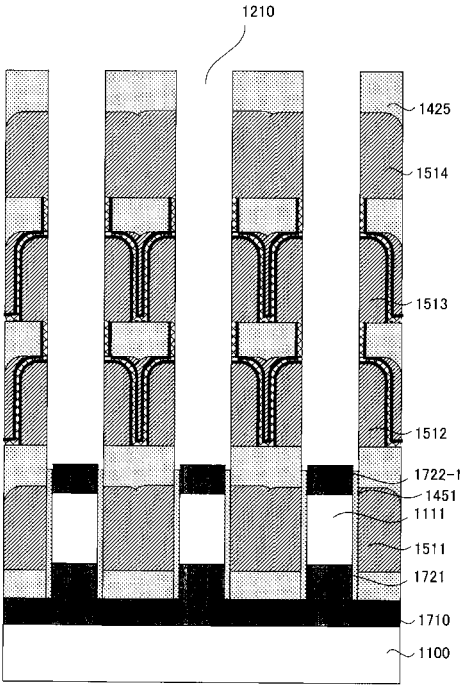
【図 1 8 8】



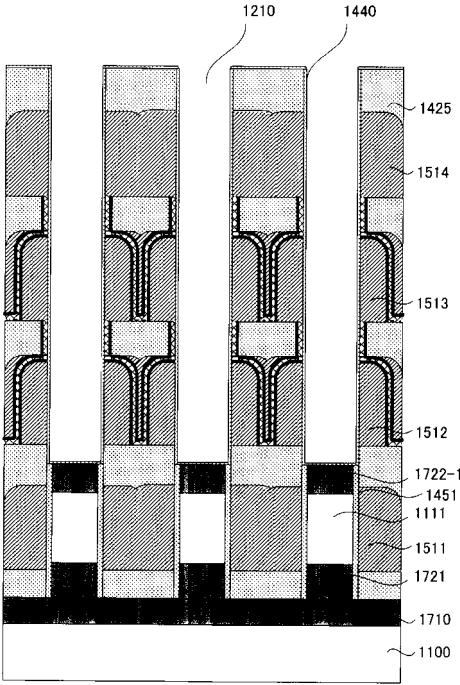
【図 1 8 9】



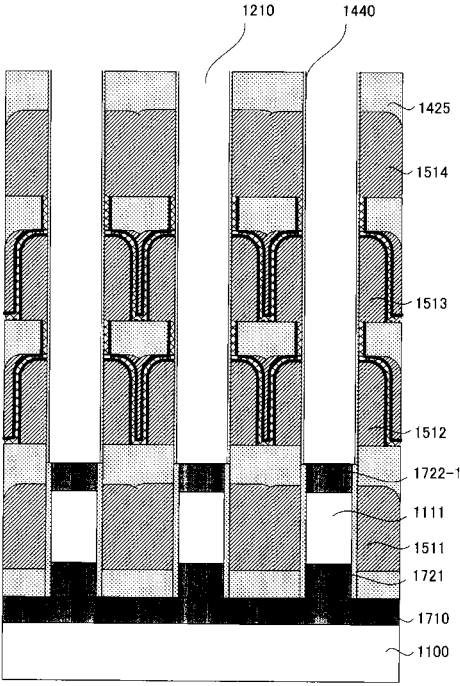
【図 1 9 0】



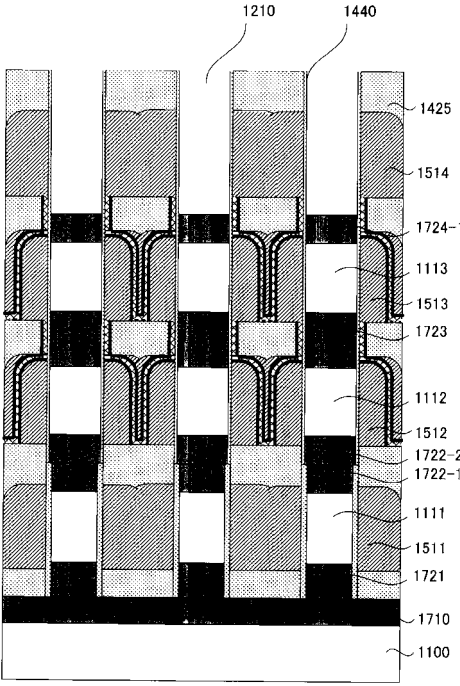
【図 1 9 1】



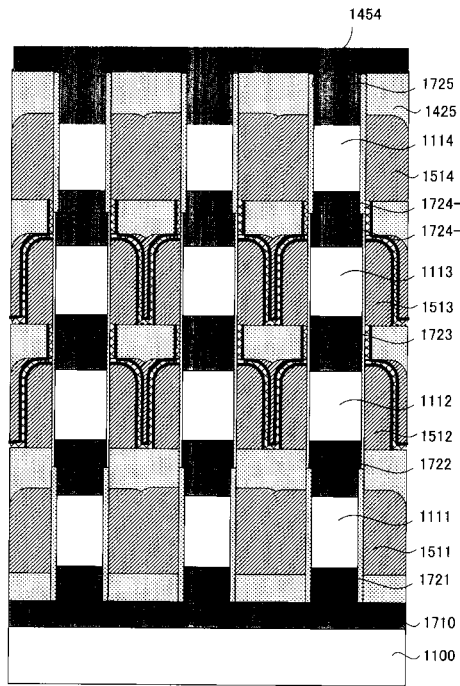
【図 1 9 2】



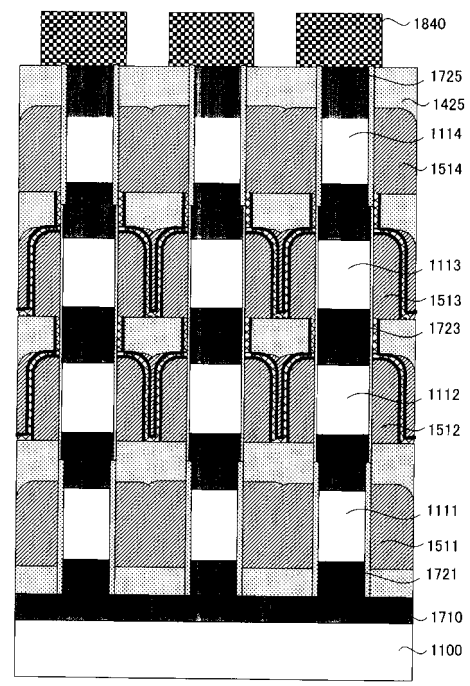
【図 1 9 3】



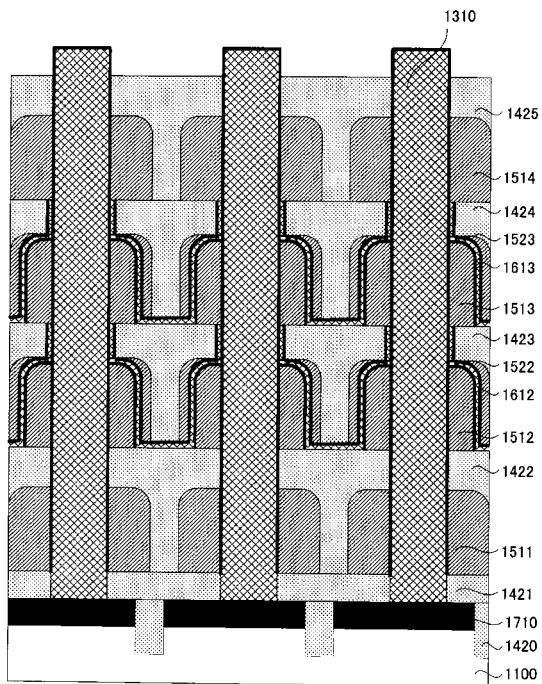
【図 194】



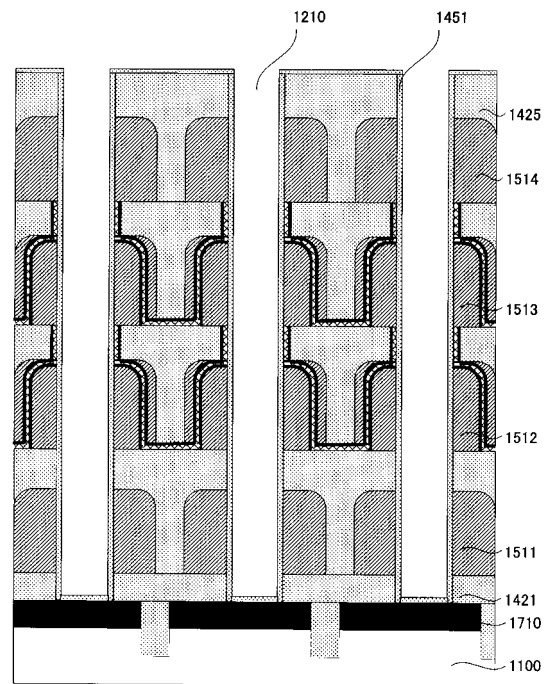
【図 195】



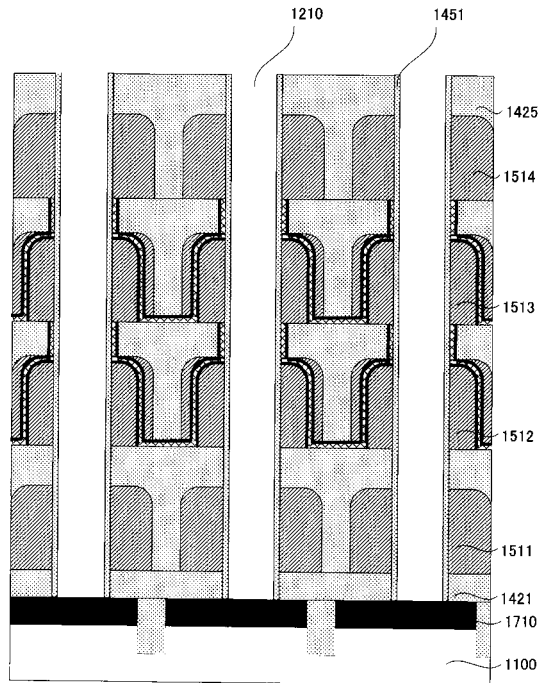
【図 196】



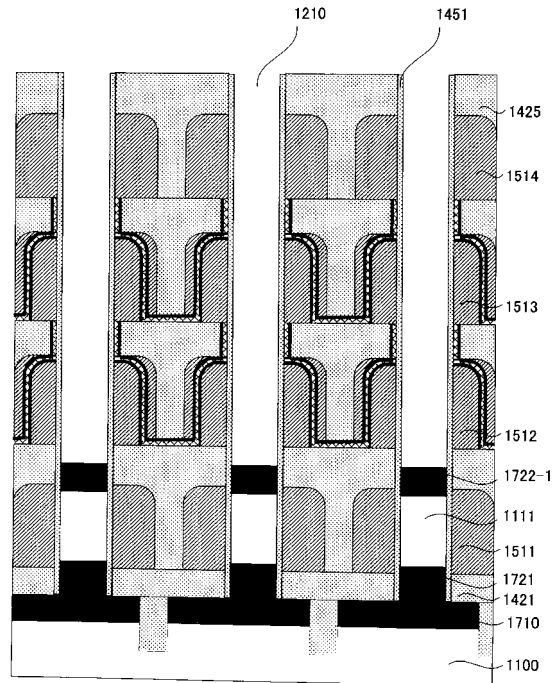
【図 197】



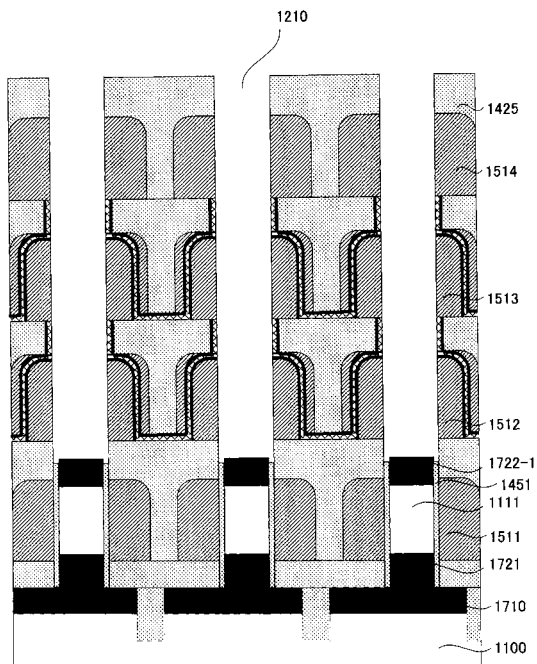
【図 198】



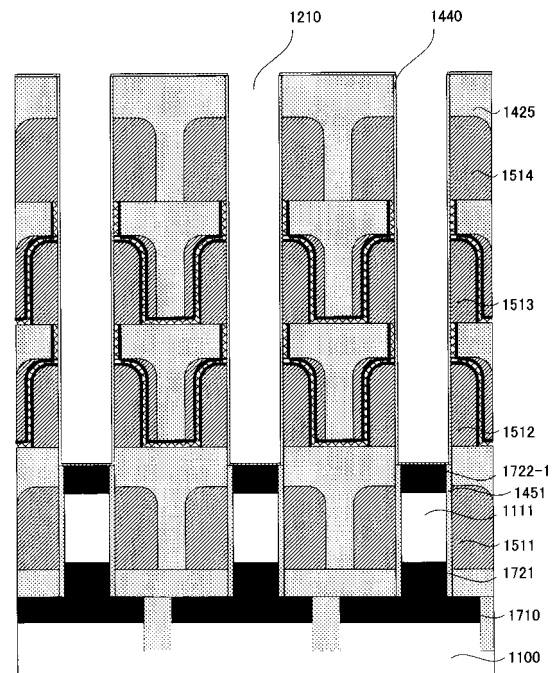
【図 199】



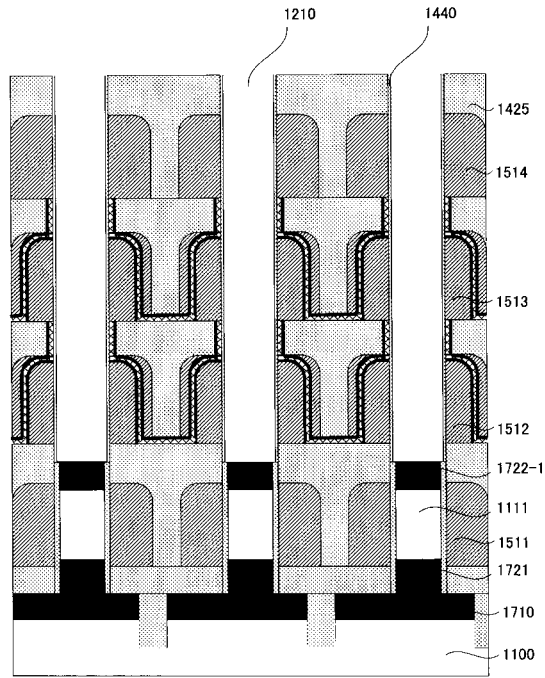
【図 200】



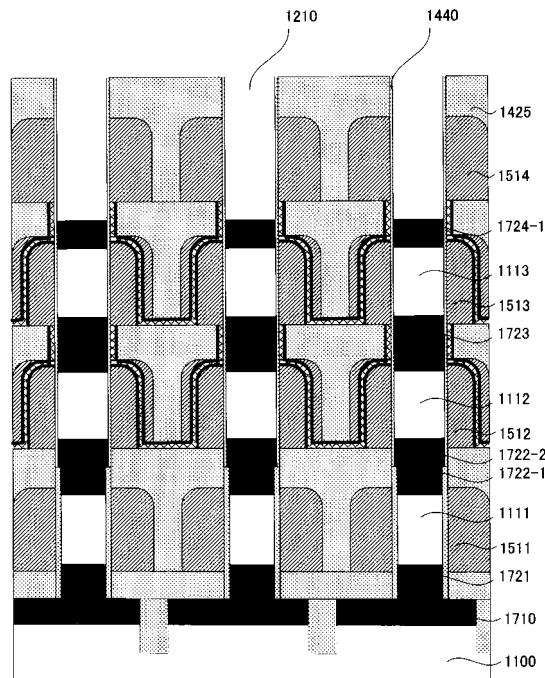
【図 201】



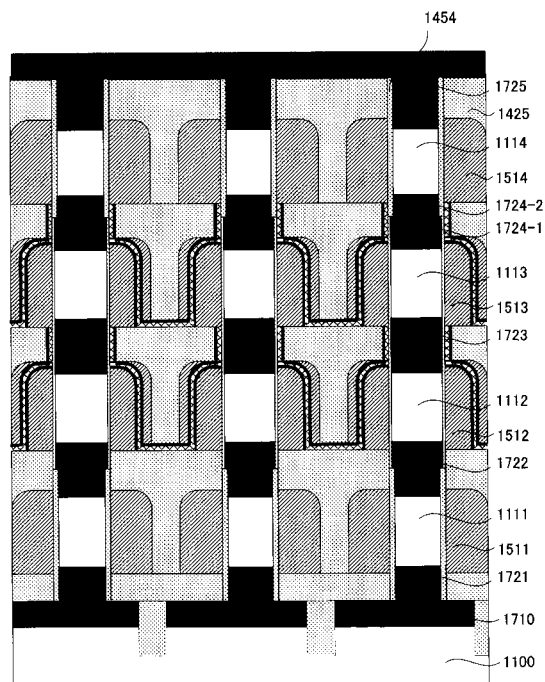
【図 2 0 2】



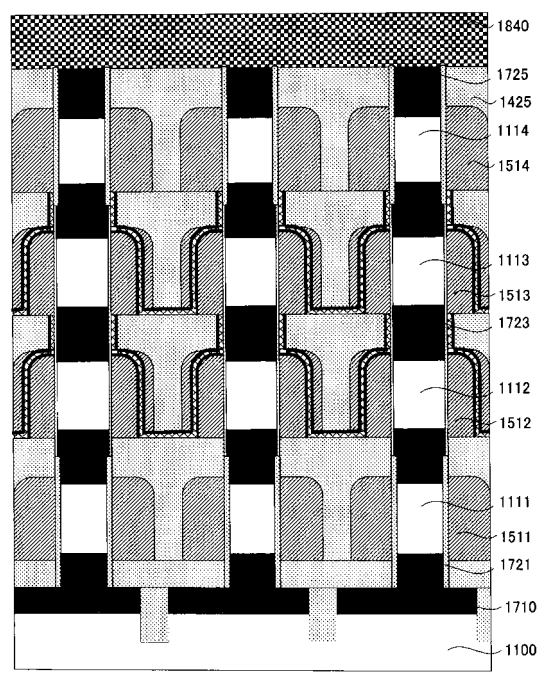
【図 2 0 3】



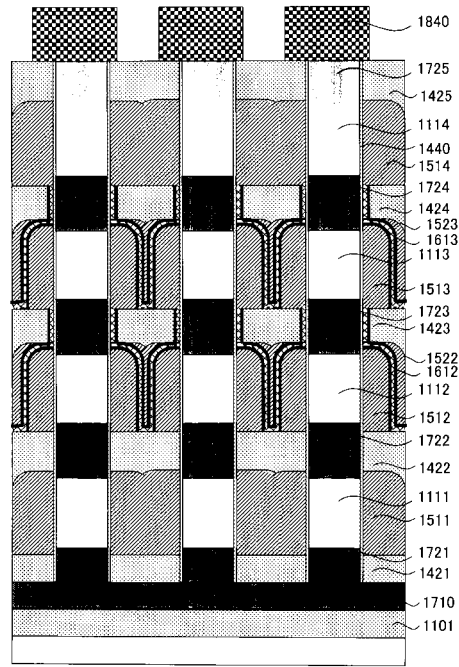
【図 2 0 4】



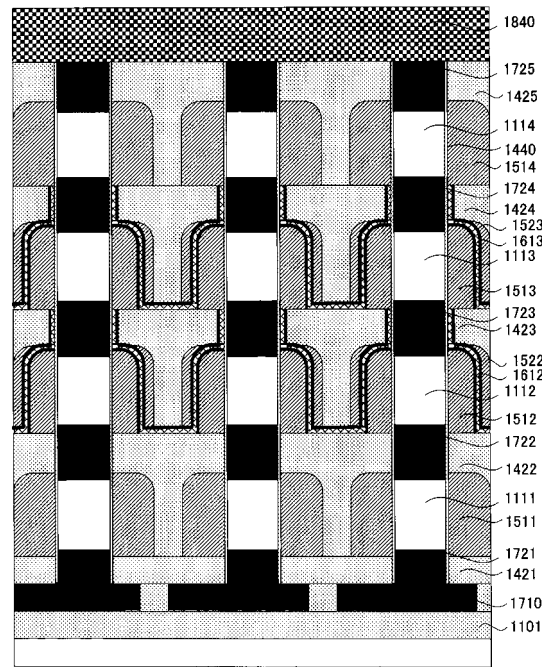
【図 2 0 5】



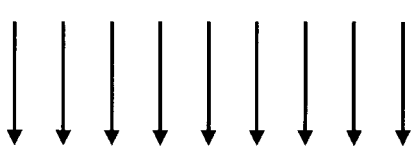
【図 2 0 6】



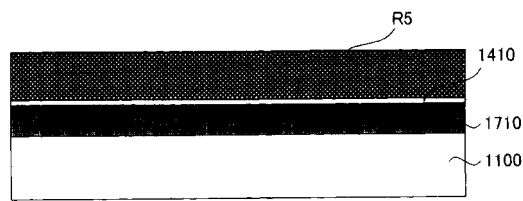
【図 2 0 7】



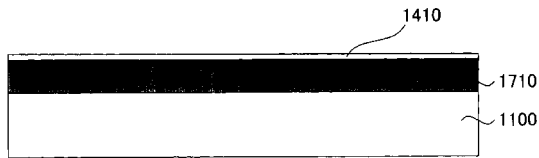
【図 2 0 8】



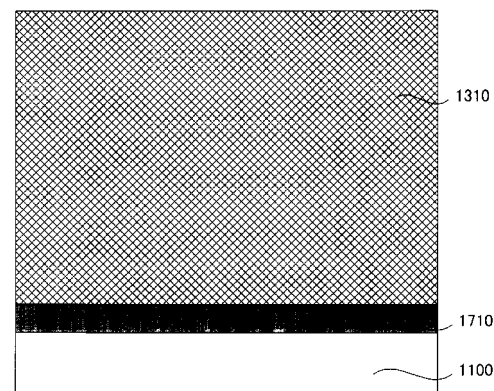
【図 2 0 9】



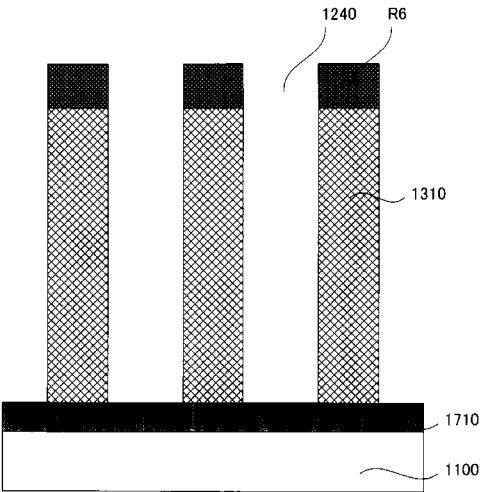
【図 2 1 0】



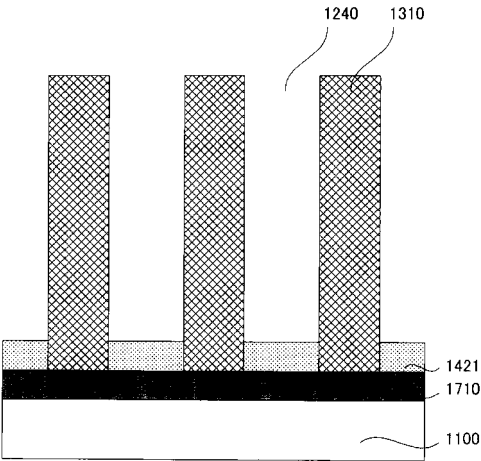
【図 2 1 1】



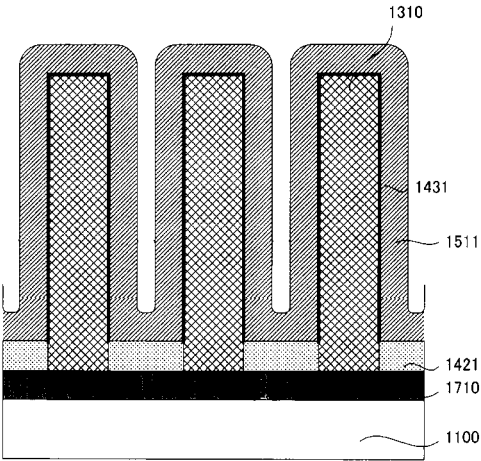
【図 2 1 2】



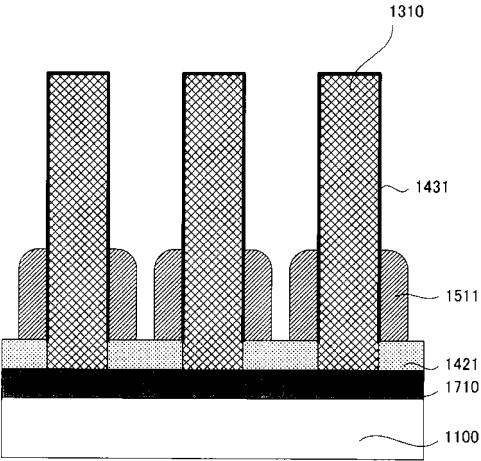
【図 2 1 3】



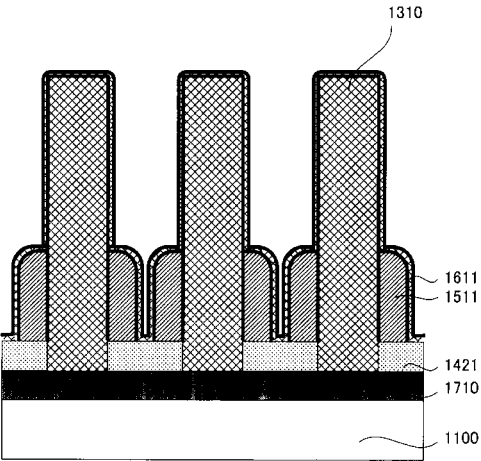
【図 2 1 4】



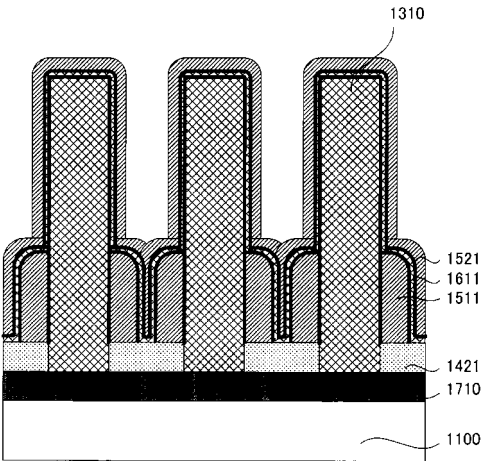
【図 2 1 5】



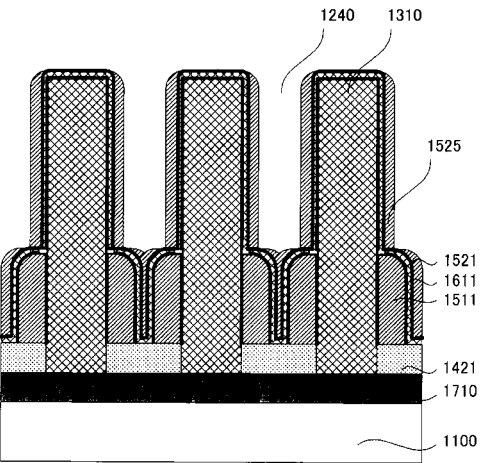
【図 2 1 6】



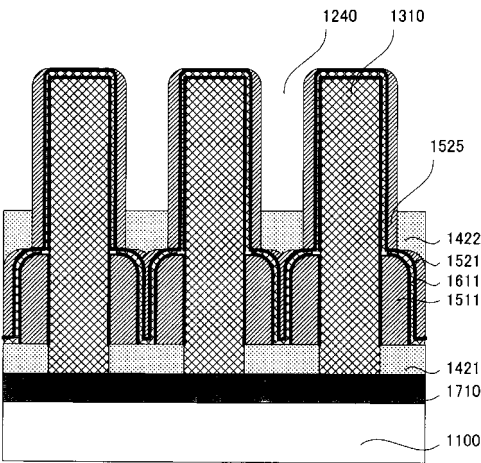
【図 2 1 7】



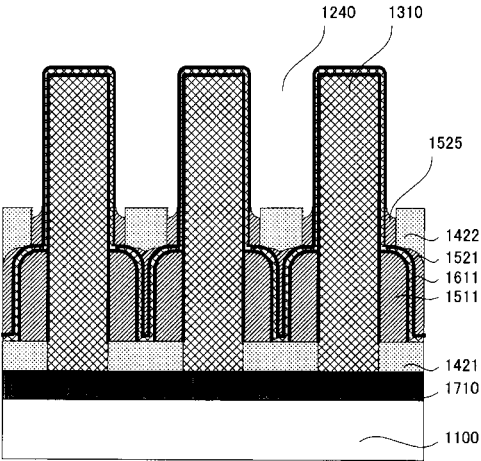
【図 2 1 8】



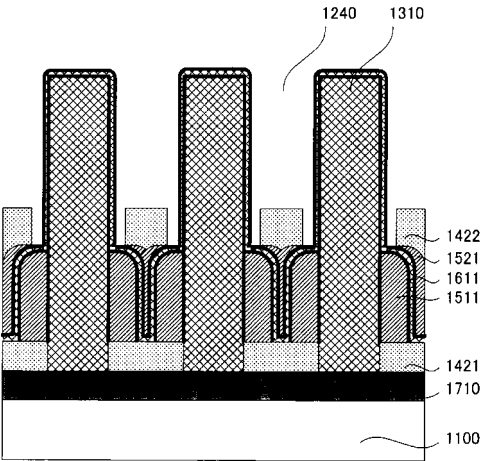
【図 2 1 9】



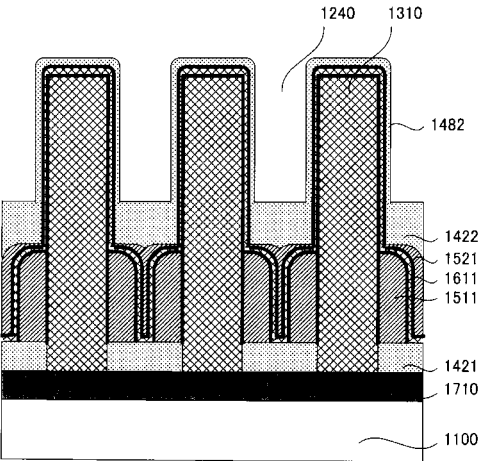
【図 2 2 0】



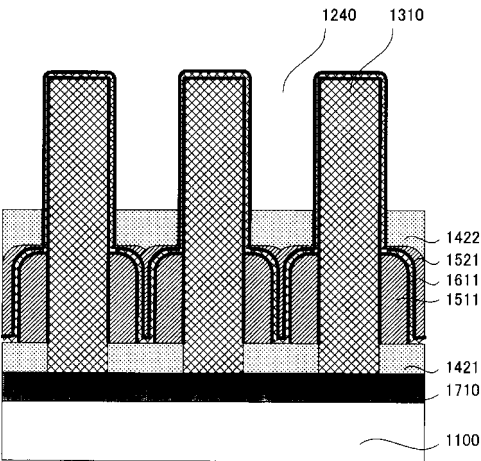
【図 2 2 1】



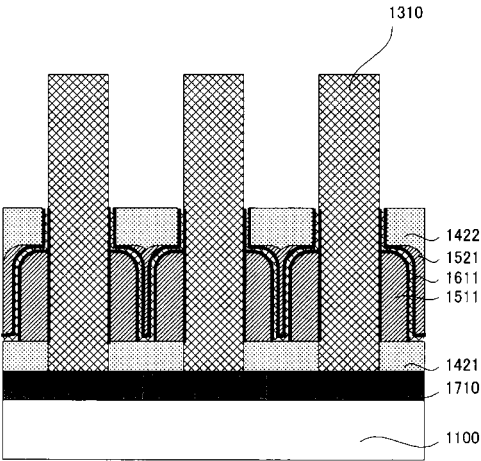
【図 2 2 2】



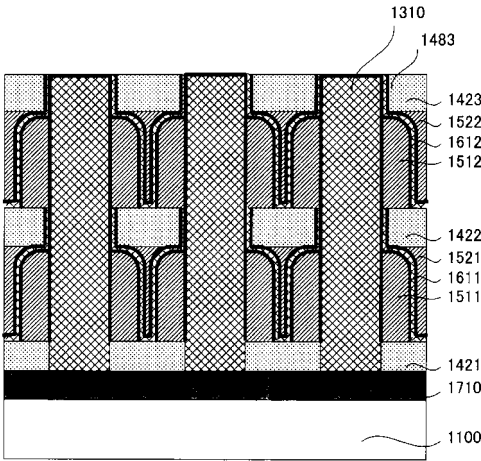
【図 2 2 3】



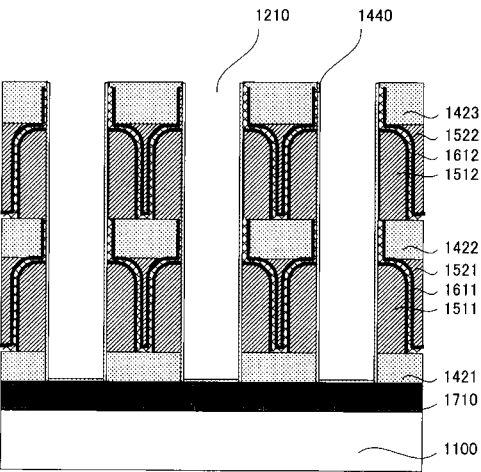
【図 2 2 4】



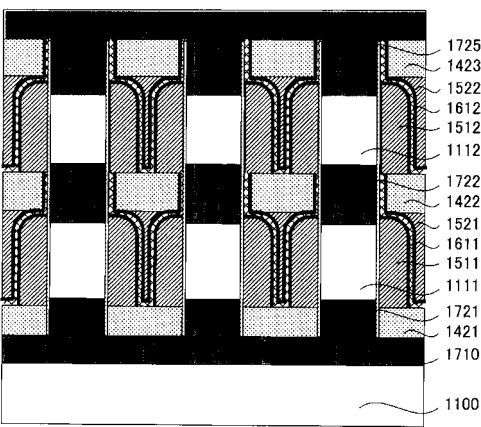
【図 2 2 5】



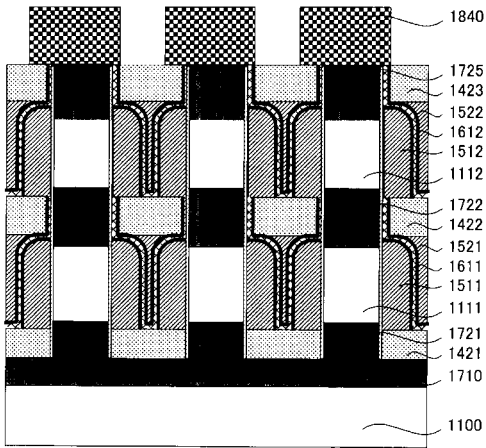
【図 2 2 6】



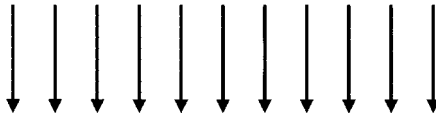
【図 2 2 7】



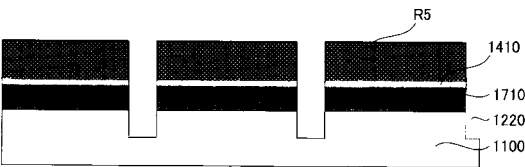
【図 2 2 8】



【図 2 2 9】



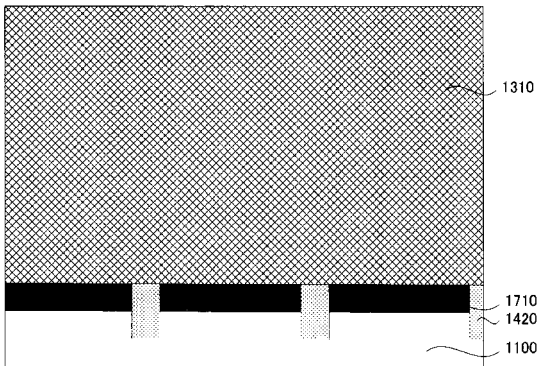
【図 2 3 0】



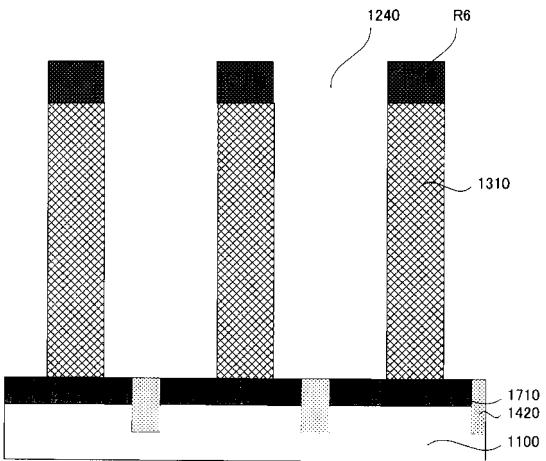
【図 2 3 1】



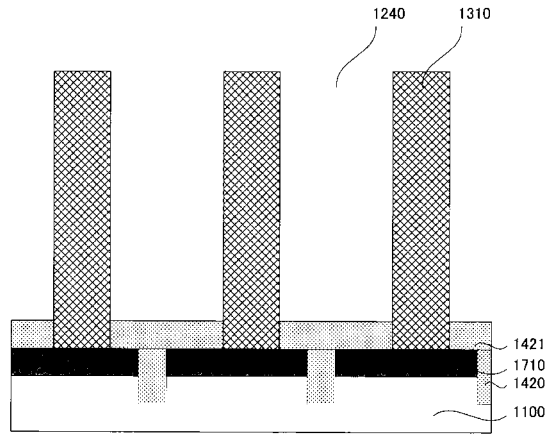
【図 2 3 2】



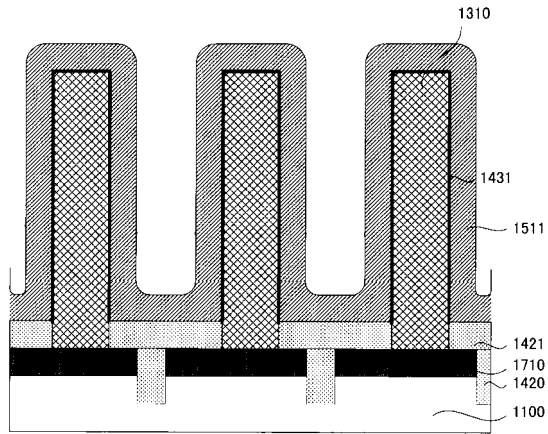
【図 2 3 3】



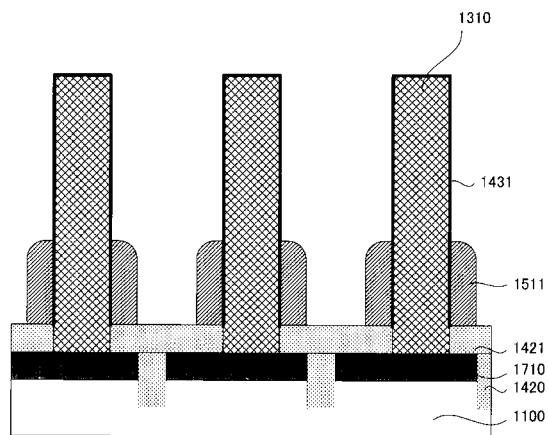
【図 2 3 4】



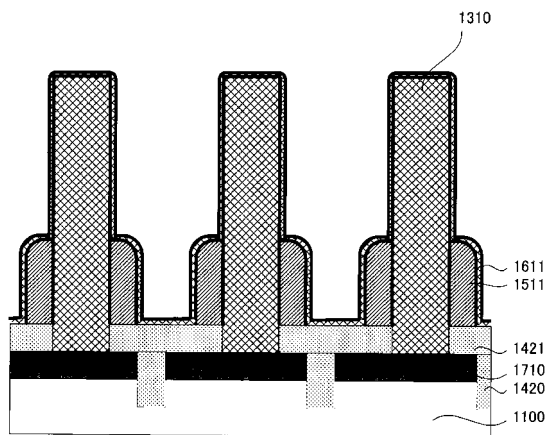
【図 2 3 5】



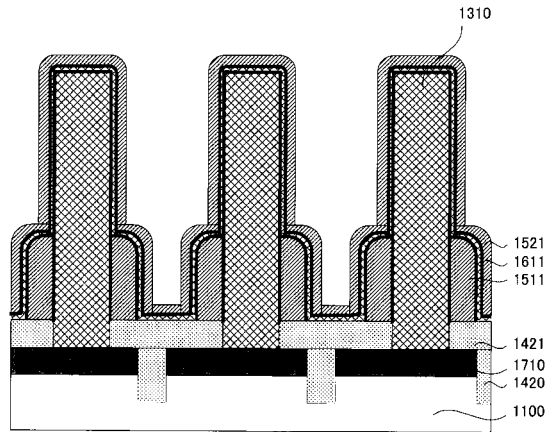
【図 2 3 6】



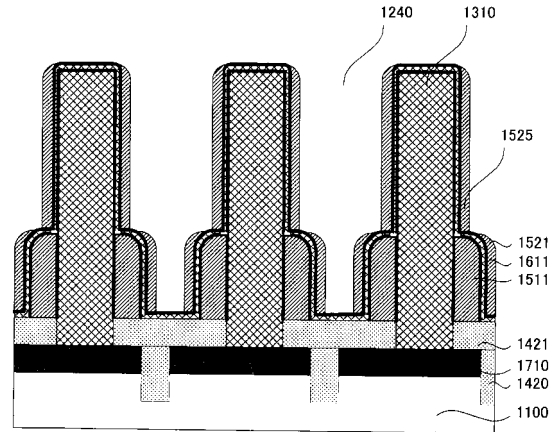
【図 2 3 7】



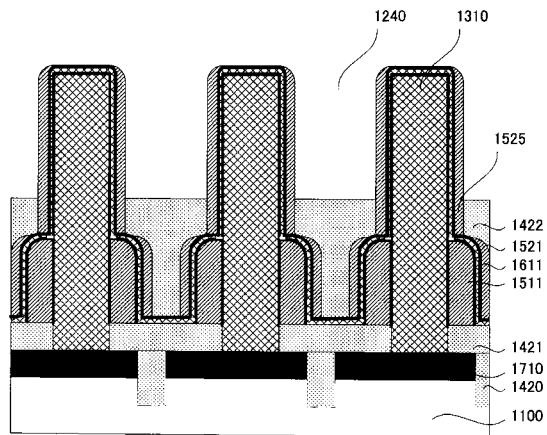
【図 2 3 8】



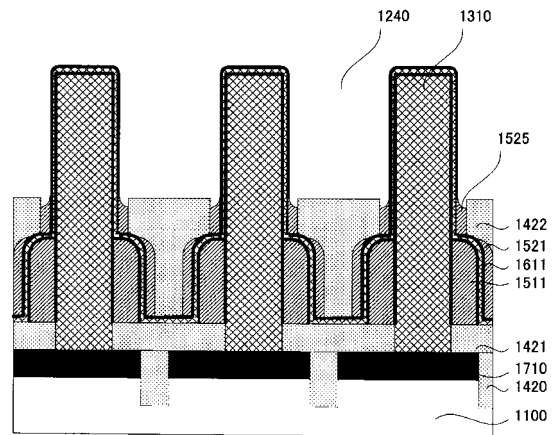
【図 2 3 9】



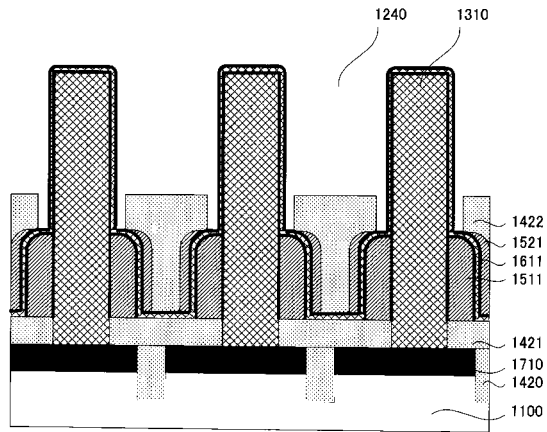
【図 2 4 0】



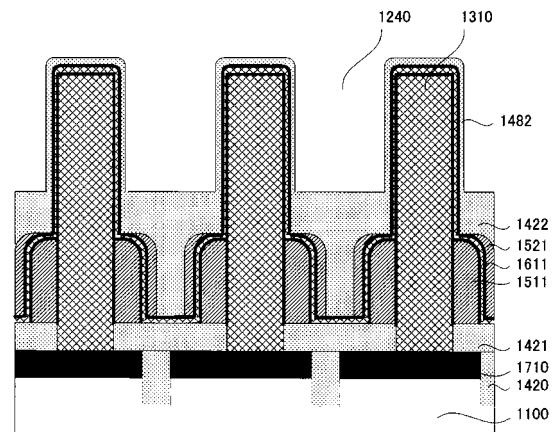
【図 2 4 1】



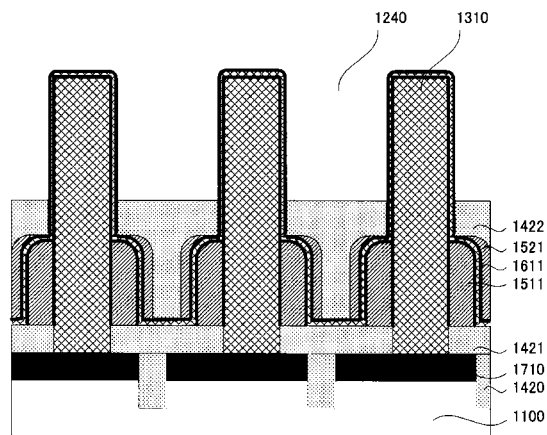
【図 2 4 2】



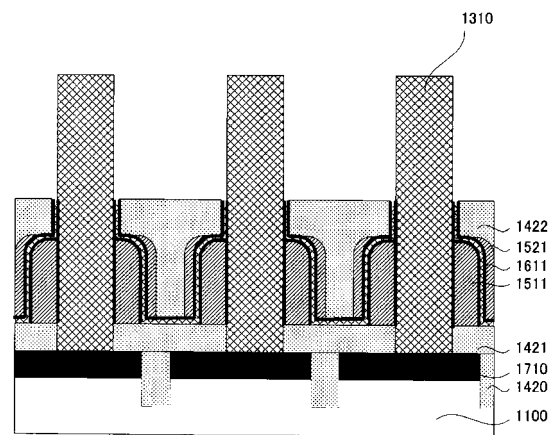
【図 2 4 3】



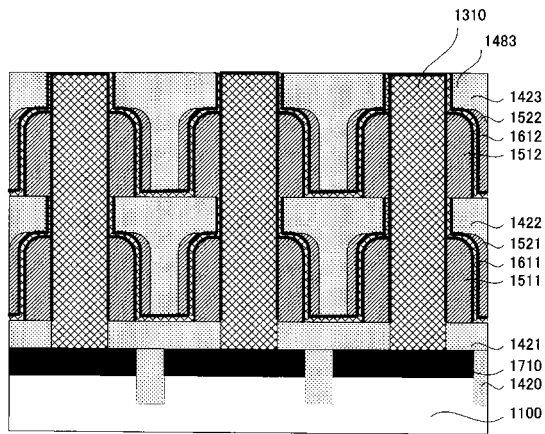
【図 2 4 4】



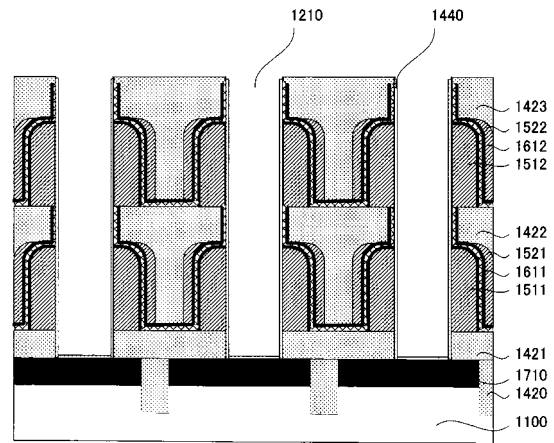
【図 2 4 5】



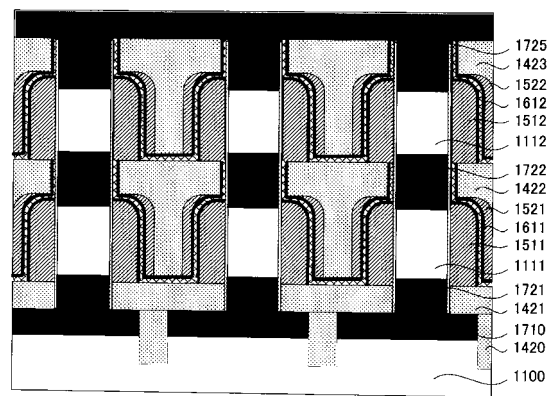
【図 2 4 6】



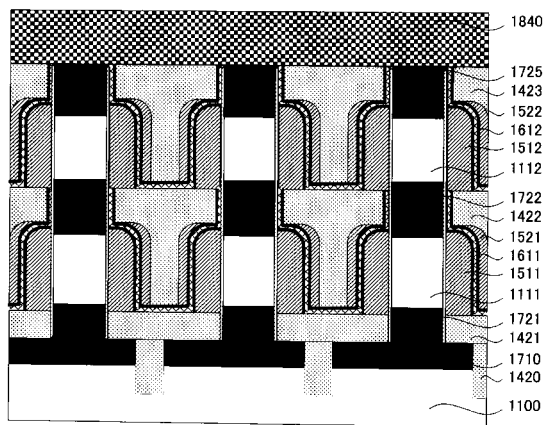
【図 2 4 7】



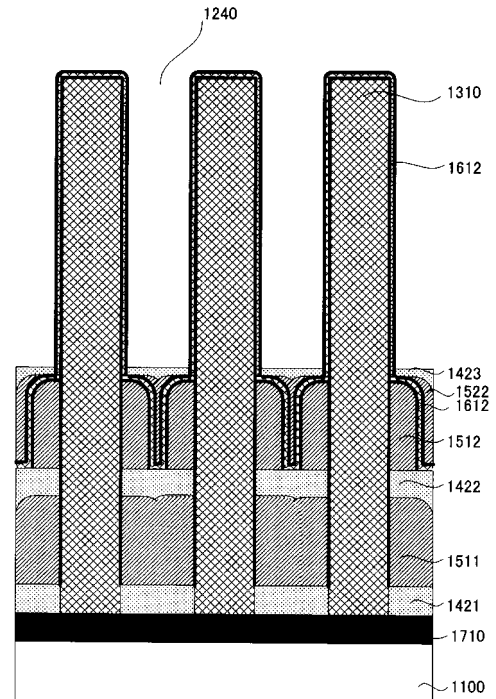
【図 2 4 8】



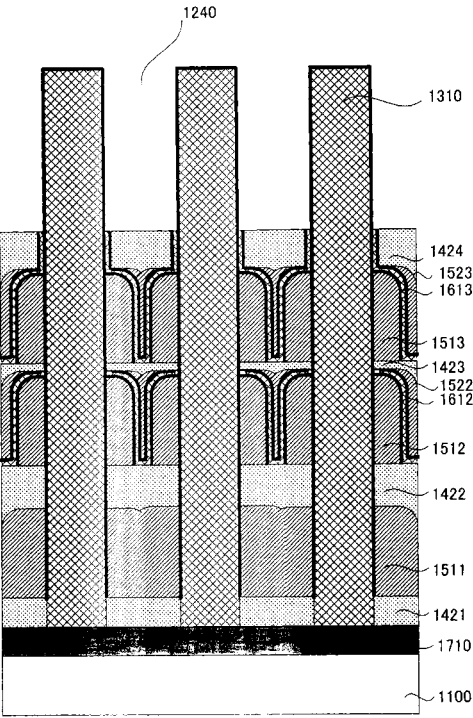
【図 2 4 9】



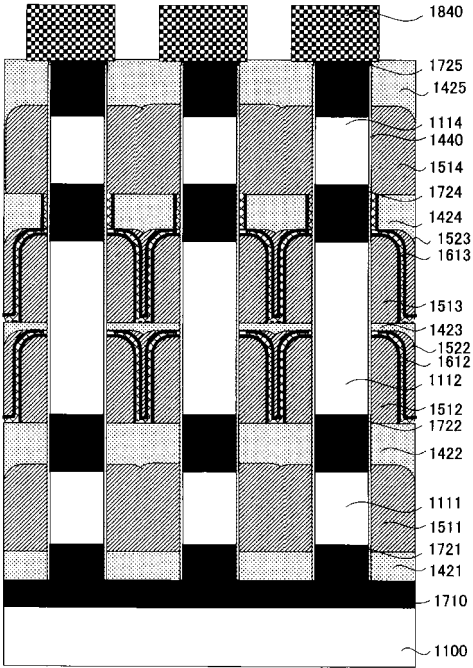
【図 2 5 0】



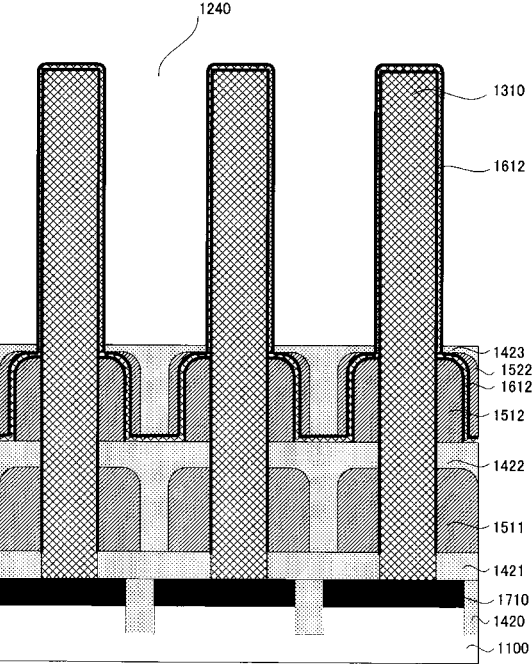
【図 2 5 1】



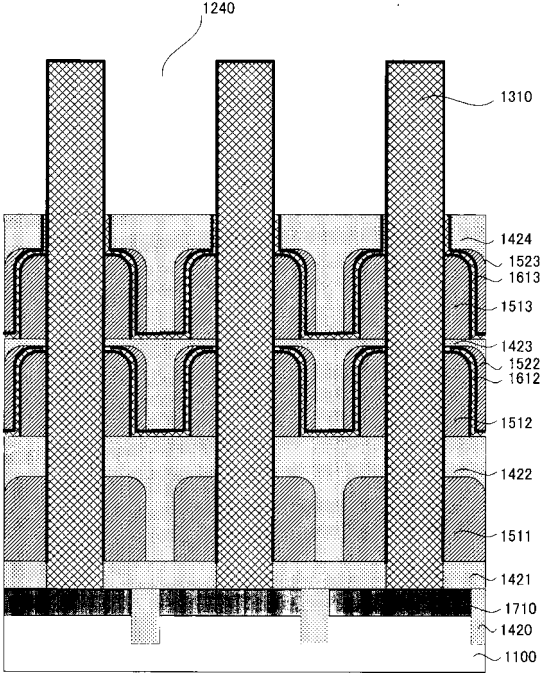
【図 2 5 2】



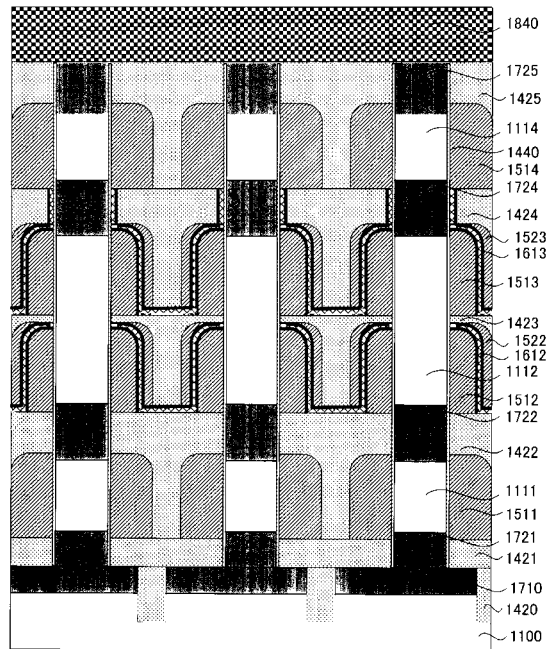
【図 2 5 3】



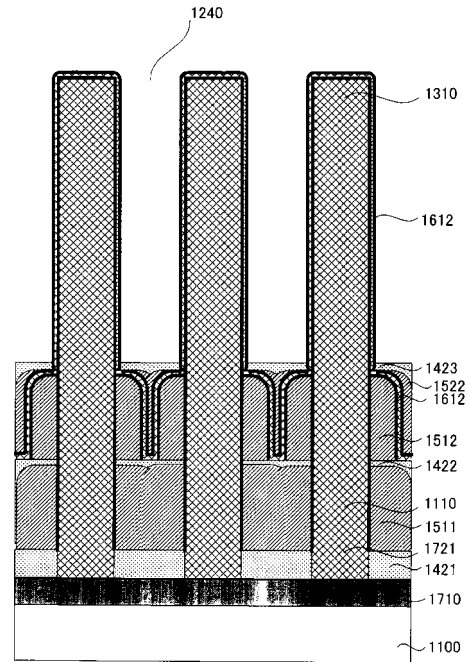
【図 2 5 4】



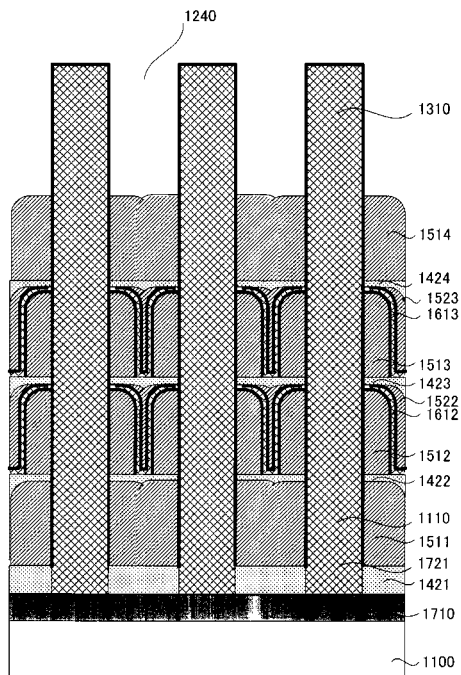
【図 2 5 5】



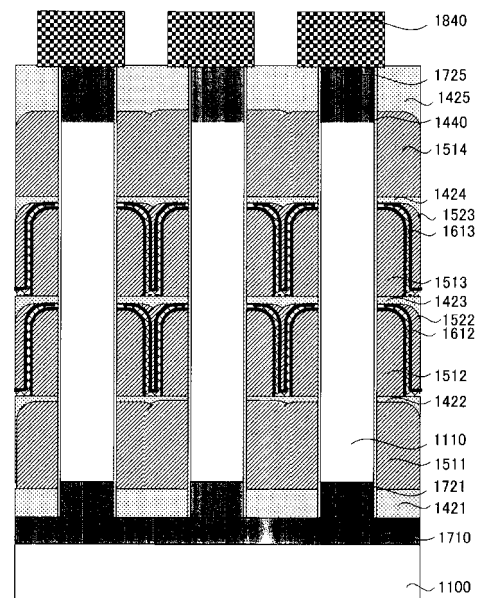
【図 2 5 6】



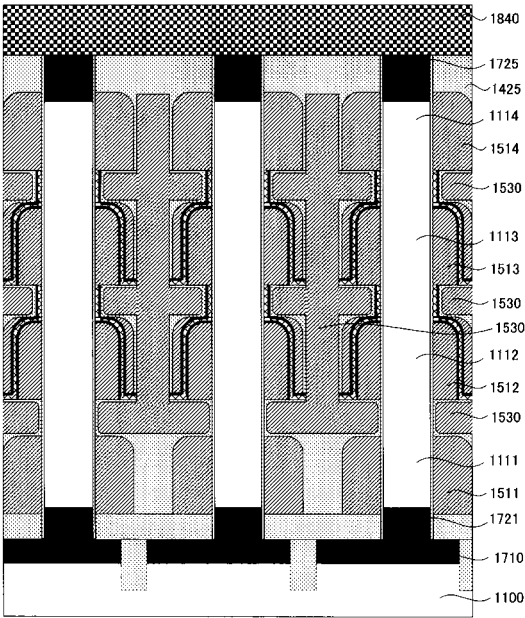
【図 2 5 7】



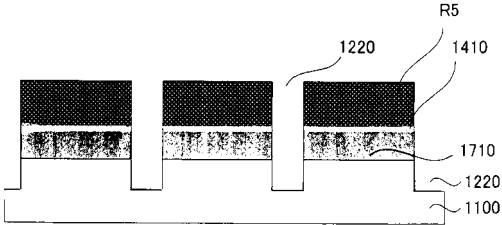
【図 2 5 8】



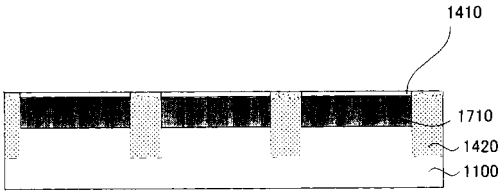
【図 2 6 3】



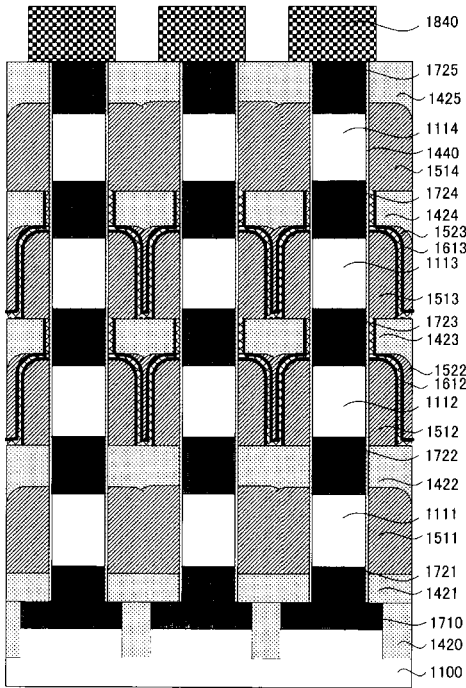
【図 2 6 4】



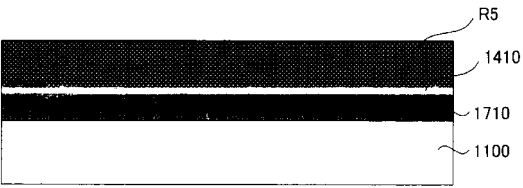
【図 2 6 5】



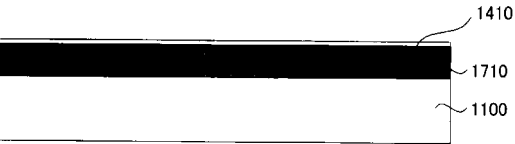
【図 2 6 6】



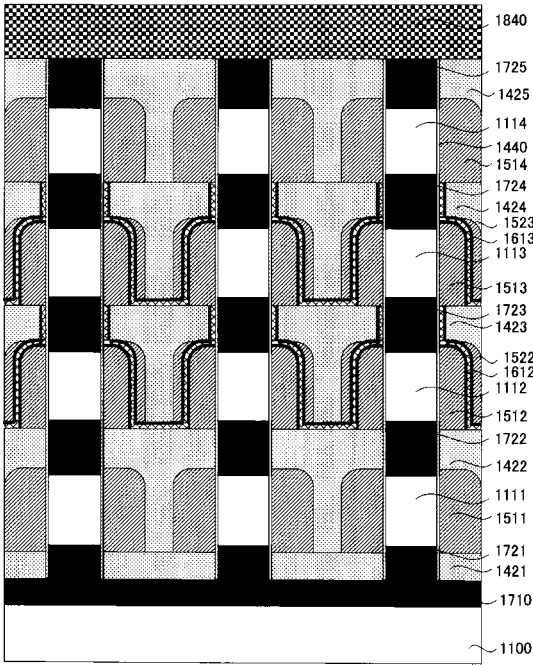
【図 2 6 7】



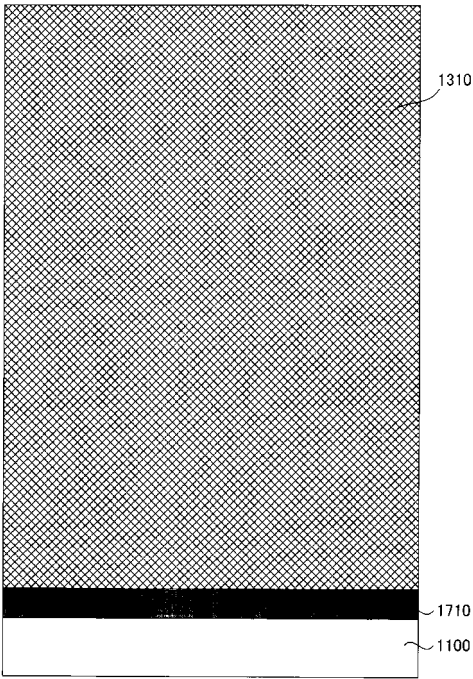
【図 2 6 8】



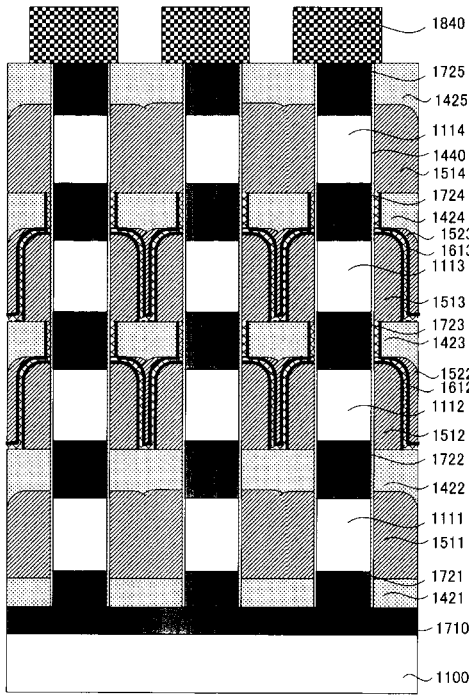
【図 2 6 9】



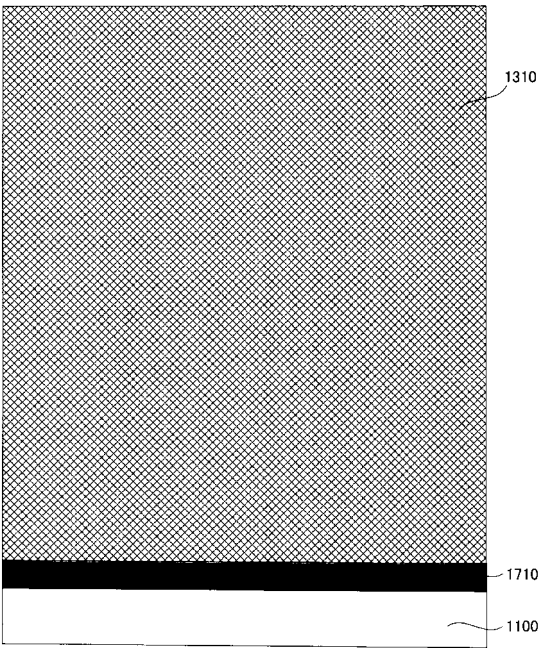
【図 2 7 0】



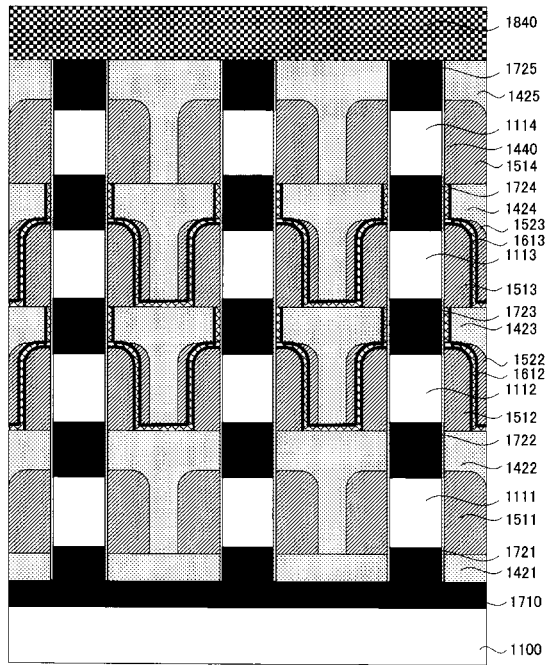
【図 2 7 1】



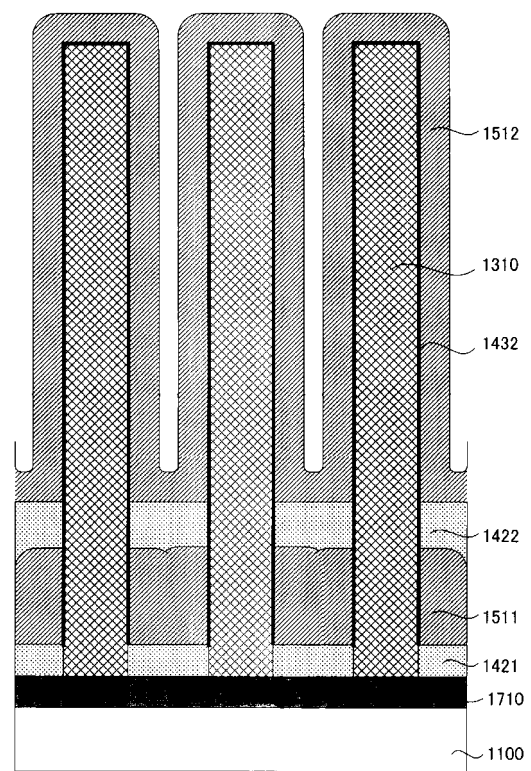
【図 2 7 2】



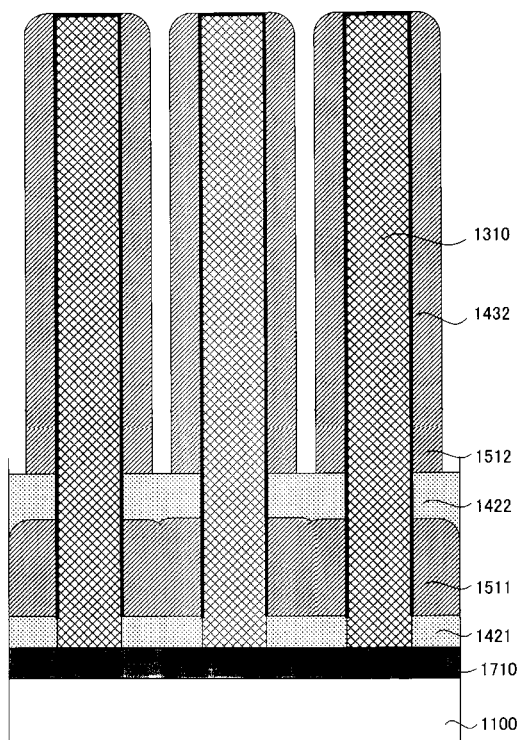
【図 273】



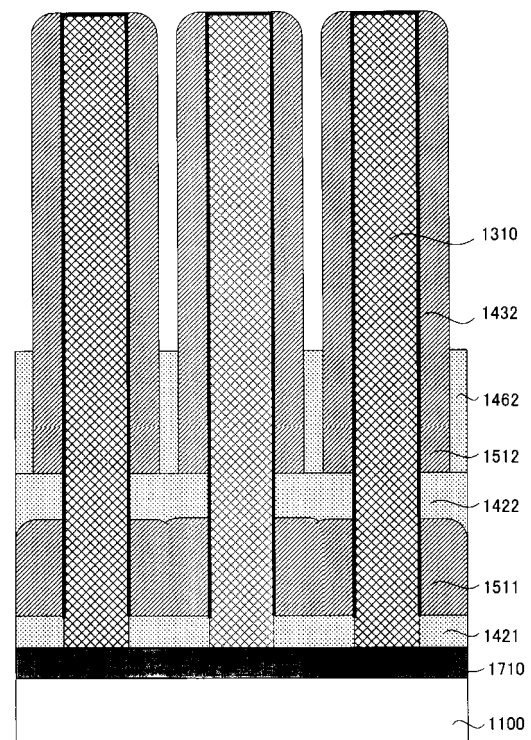
【図 274】



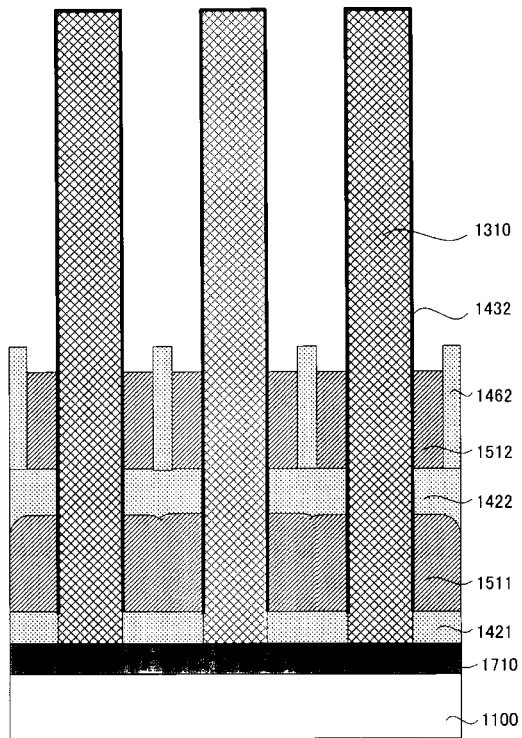
【図 275】



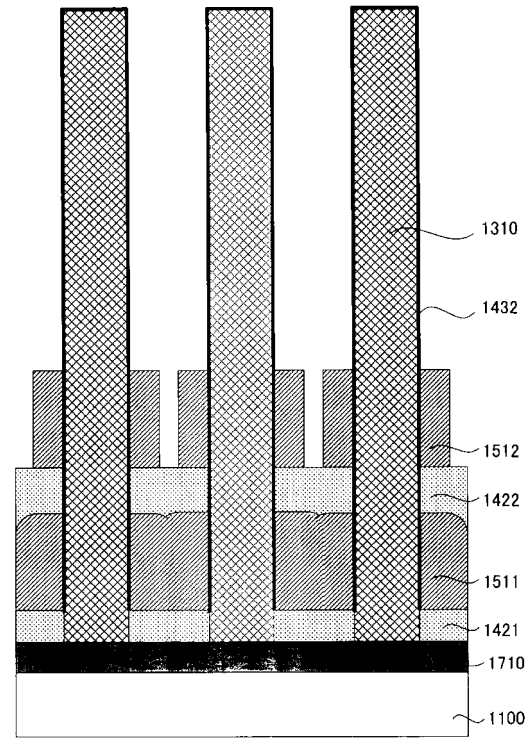
【図 276】



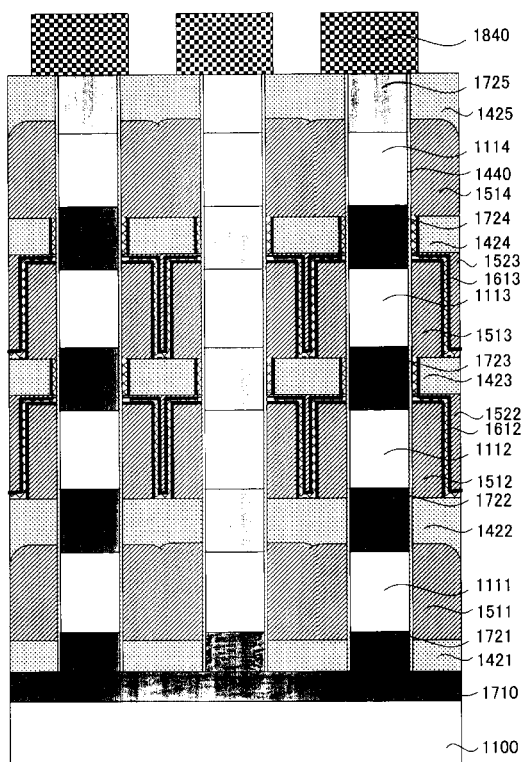
【図 277】



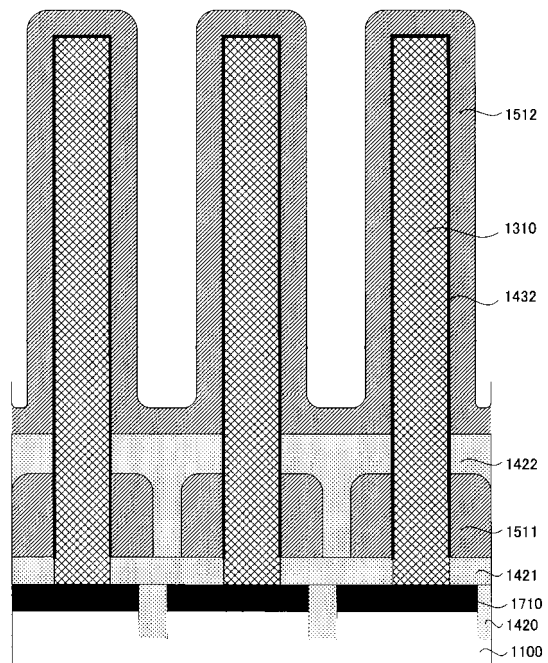
【図 278】



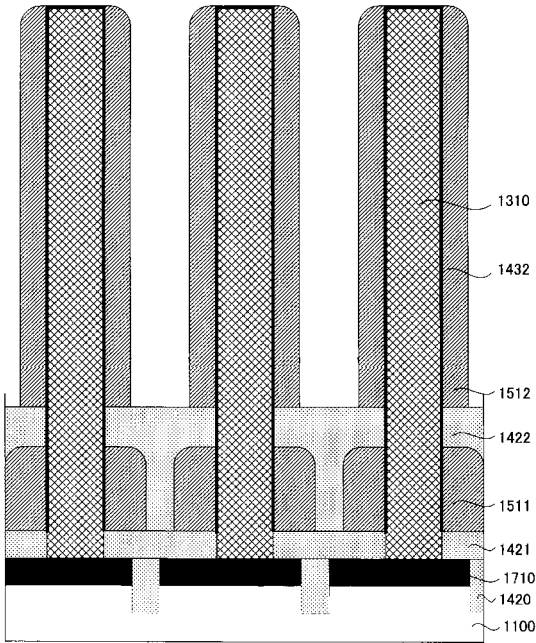
【図 279】



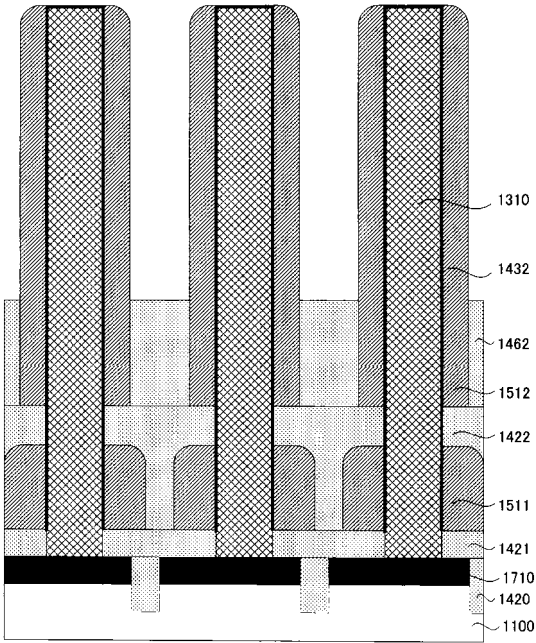
【図 280】



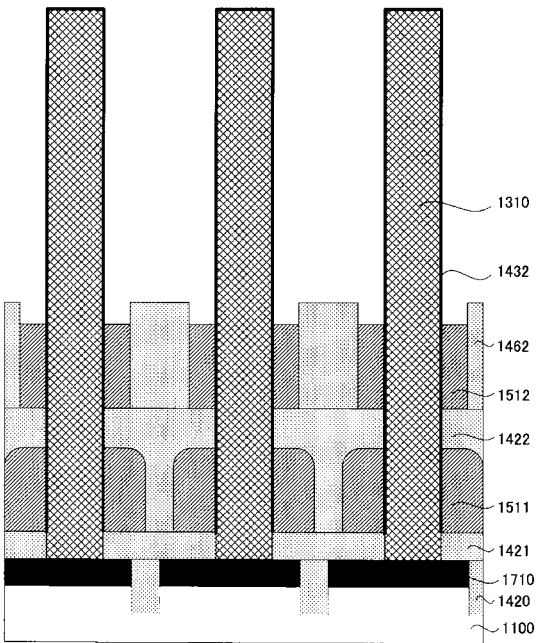
【図 2 8 1】



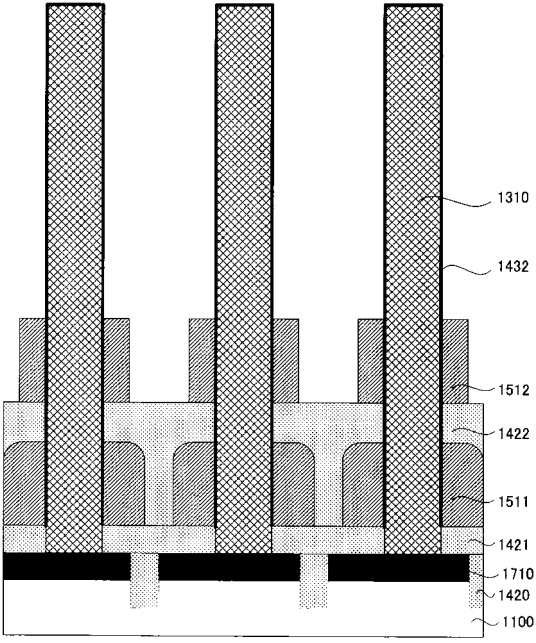
【図 2 8 2】



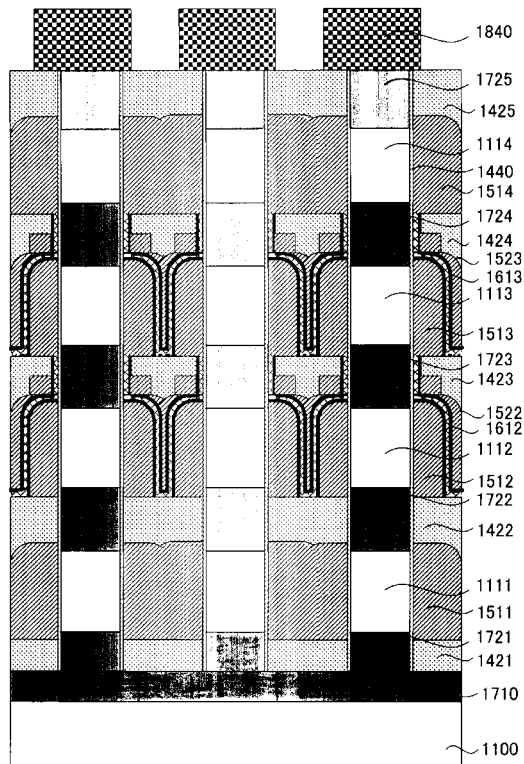
【図 2 8 3】



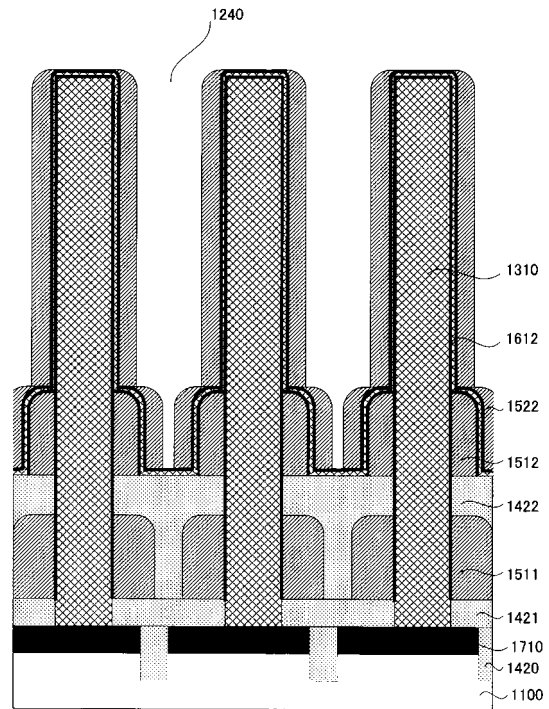
【図 2 8 4】



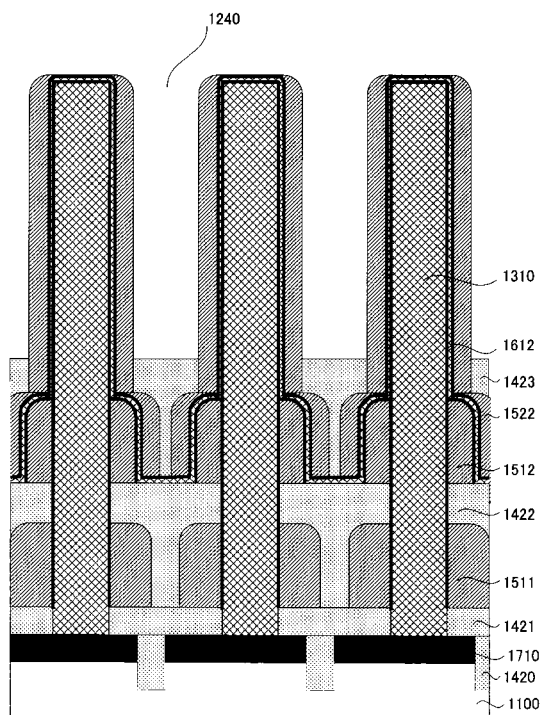
【図 289】



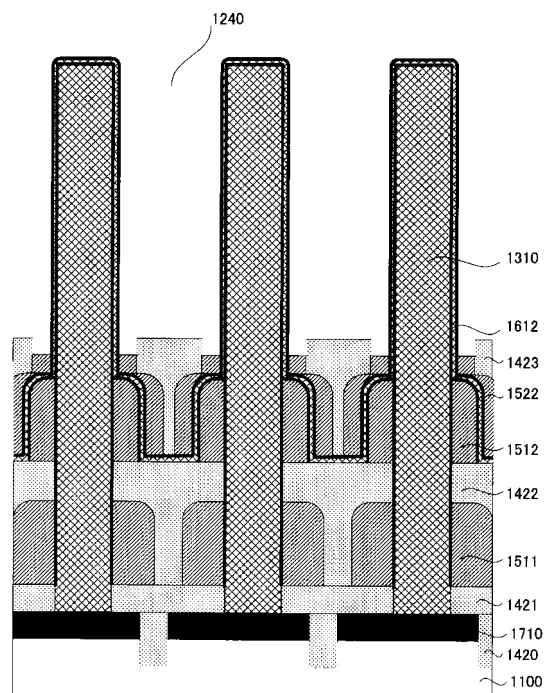
【図 290】



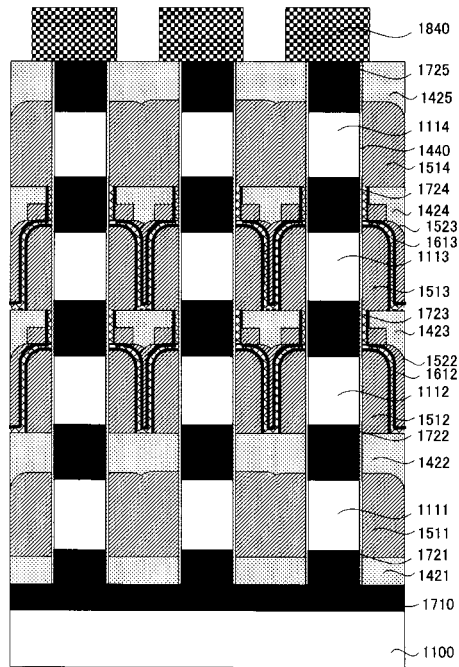
【 図 2 9 1 】



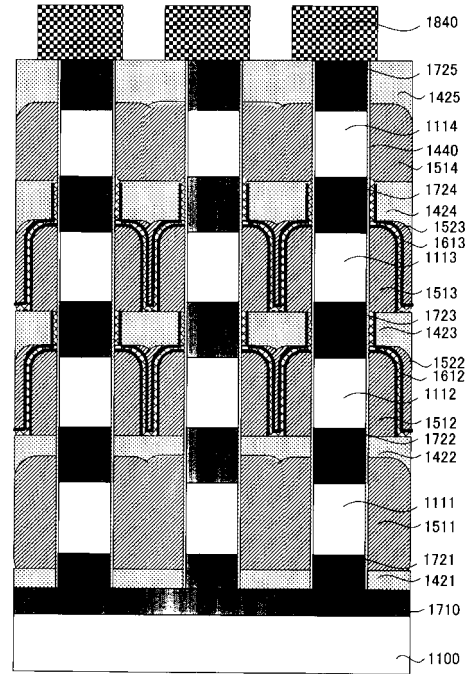
【图 2 9 2】



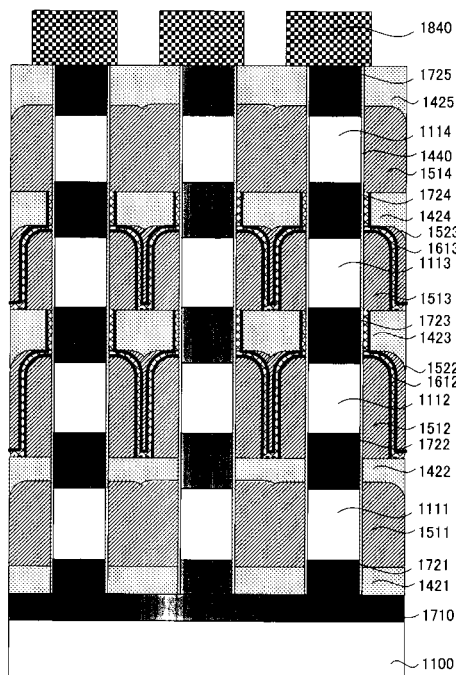
【図 2 9 3】



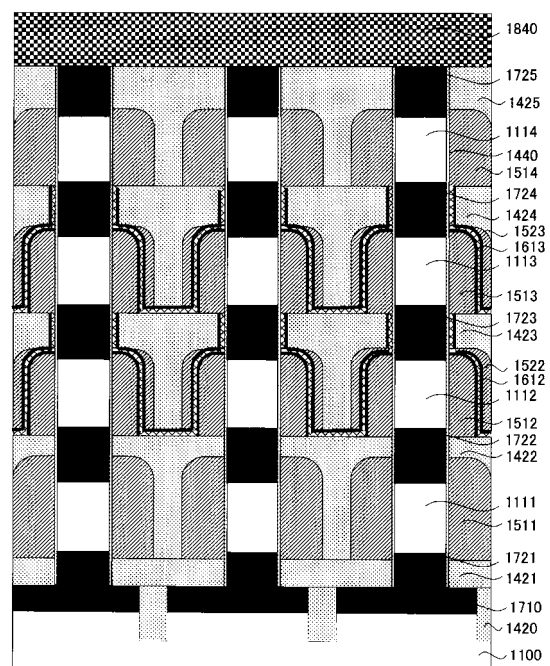
【图 2 9 4】



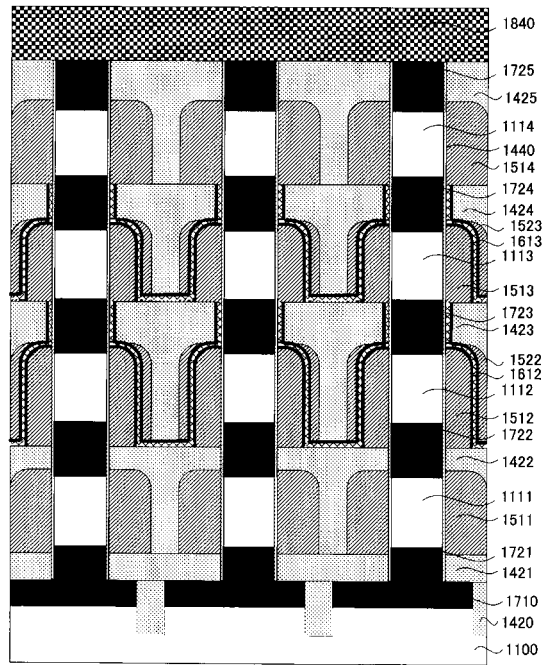
【図 2 9 5】



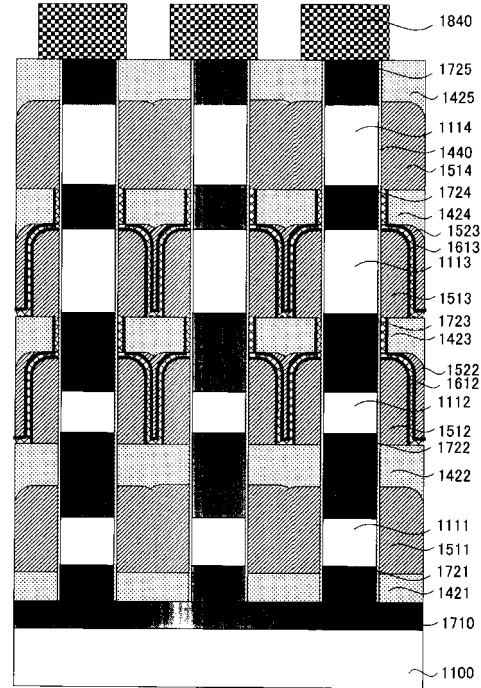
【图 2 9 6】



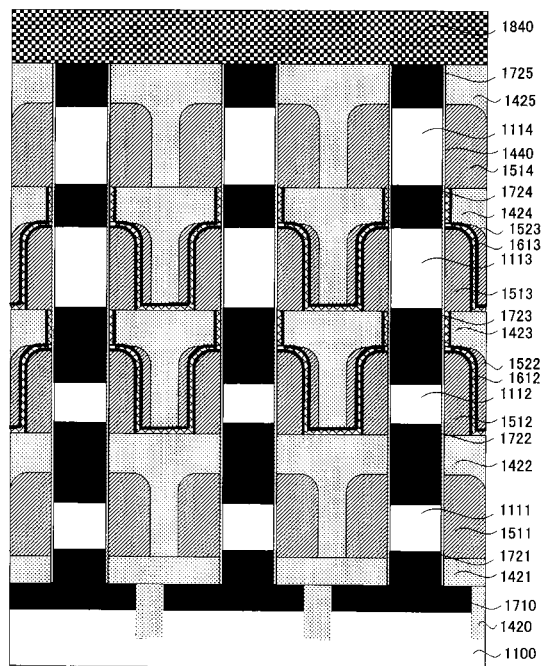
【図 297】



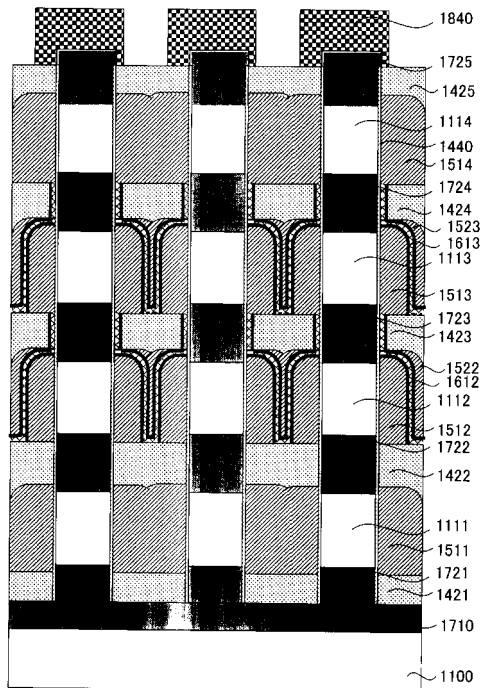
【図 298】



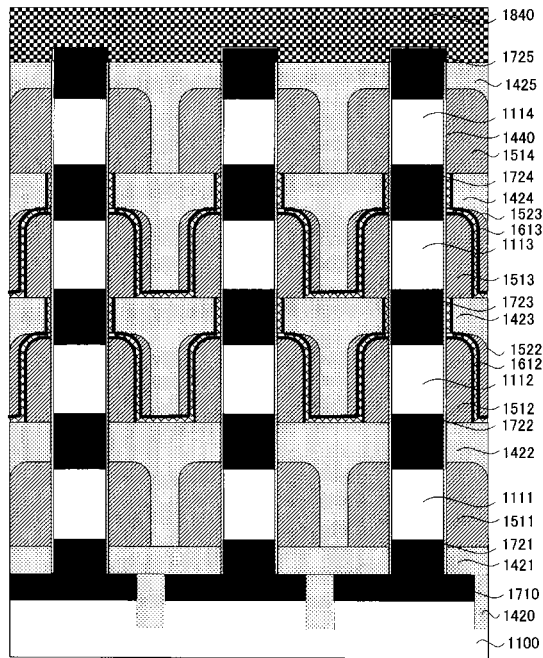
【図 299】



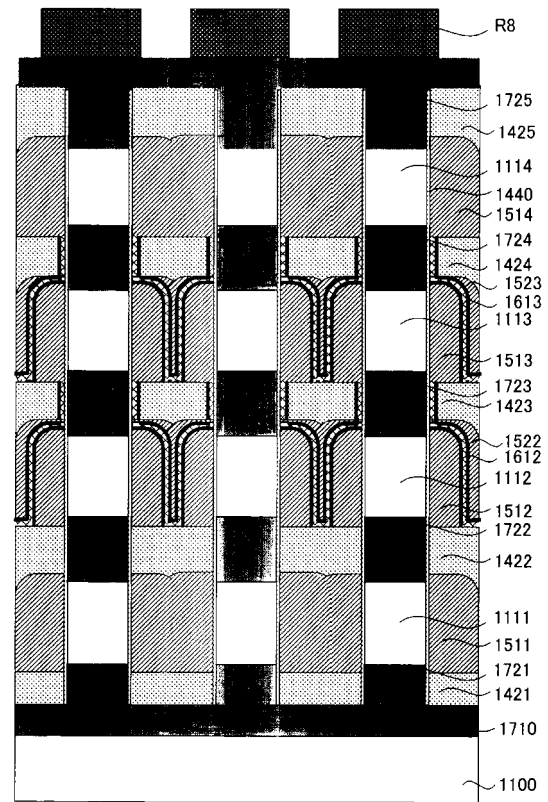
【図 300】



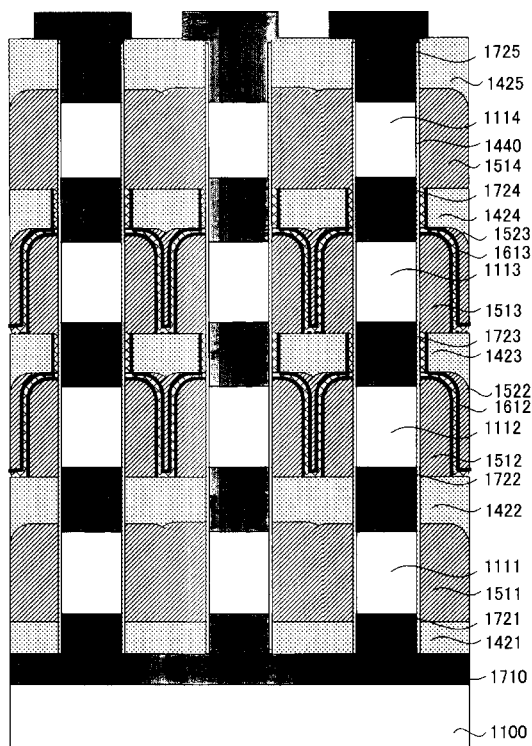
【図 3 0 1】



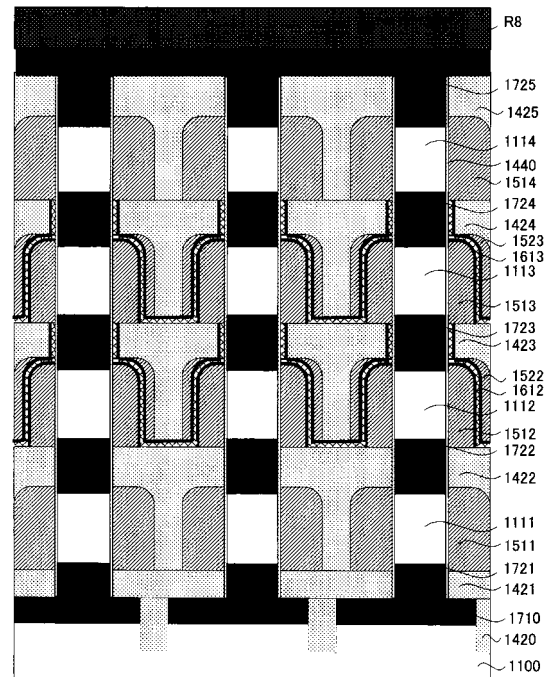
【図 3 0 2】



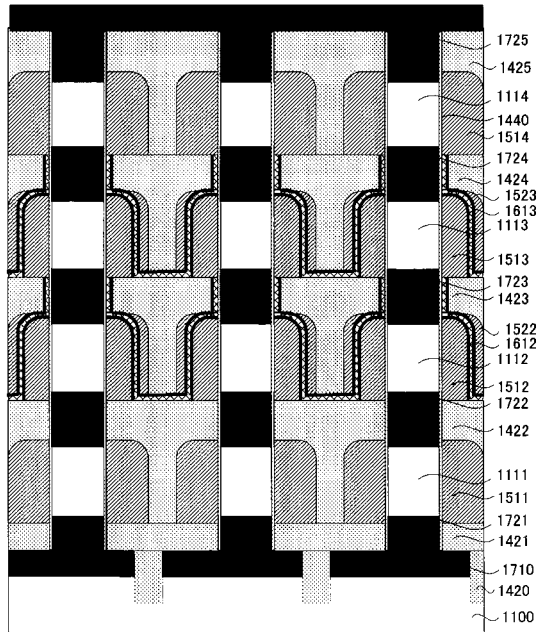
【図 3 0 3】



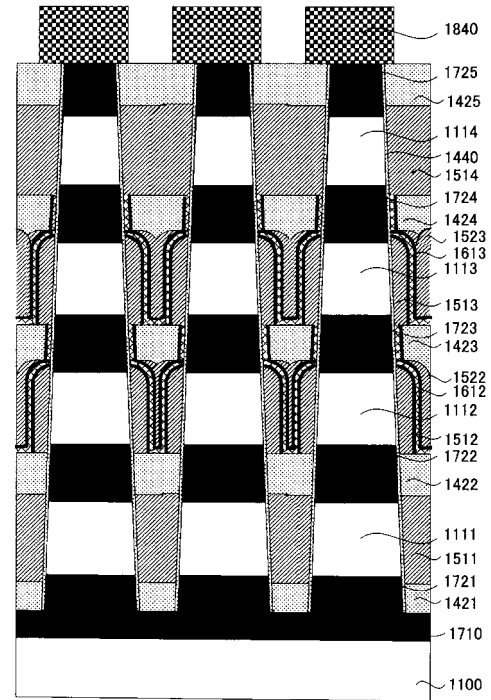
【図 3 0 4】



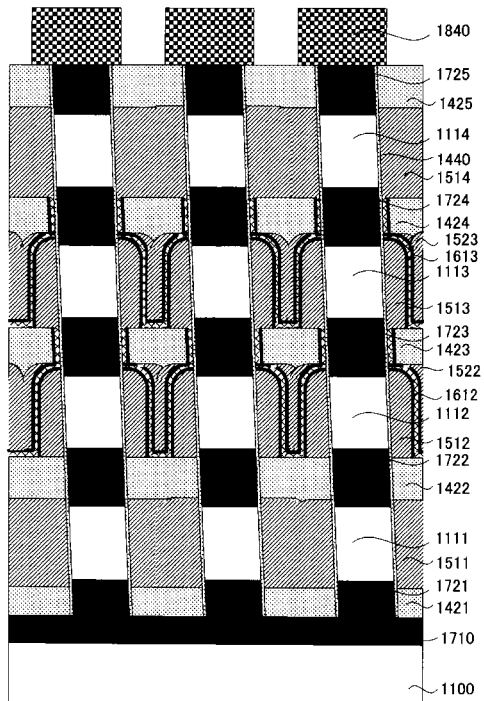
【図 305】



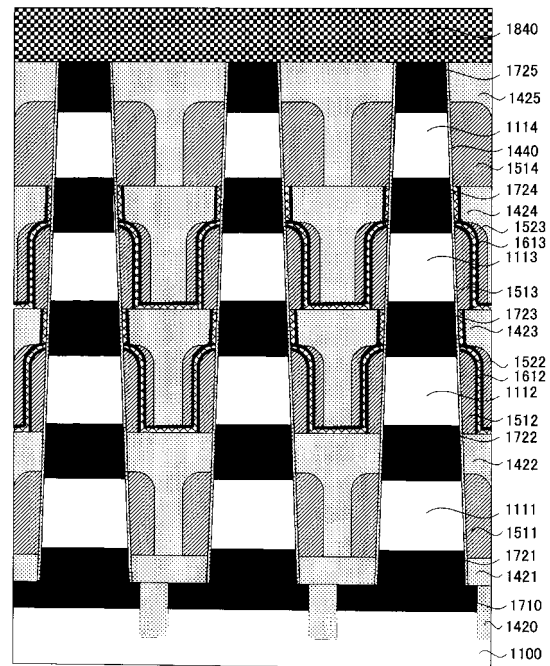
【図 306】



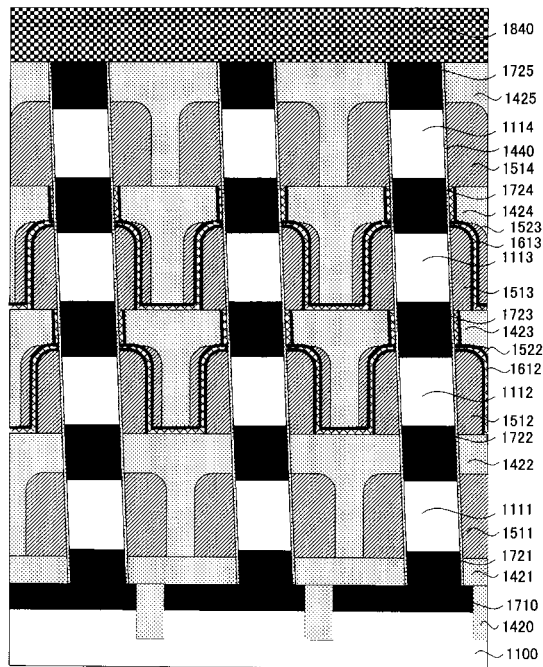
【図 307】



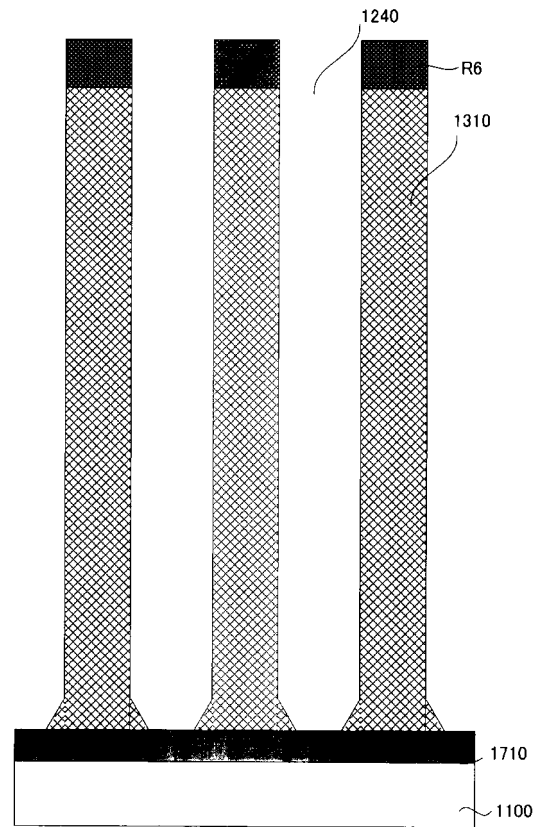
【図 308】



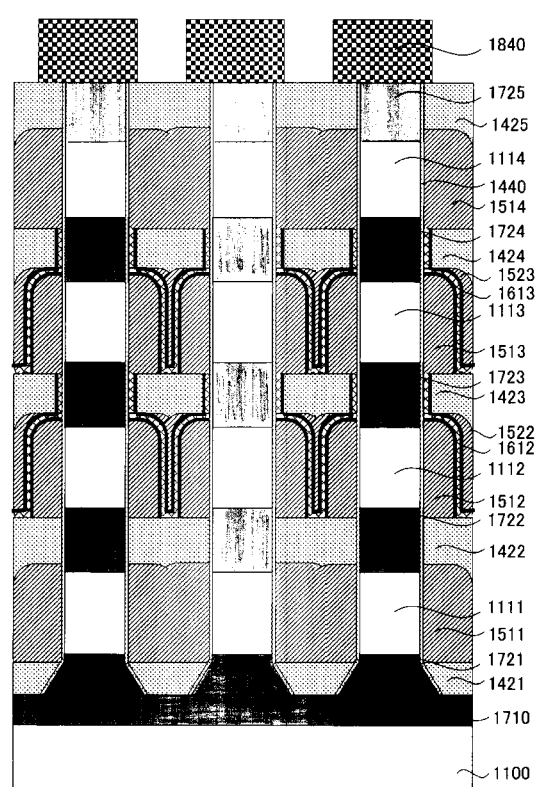
【図 3 0 9】



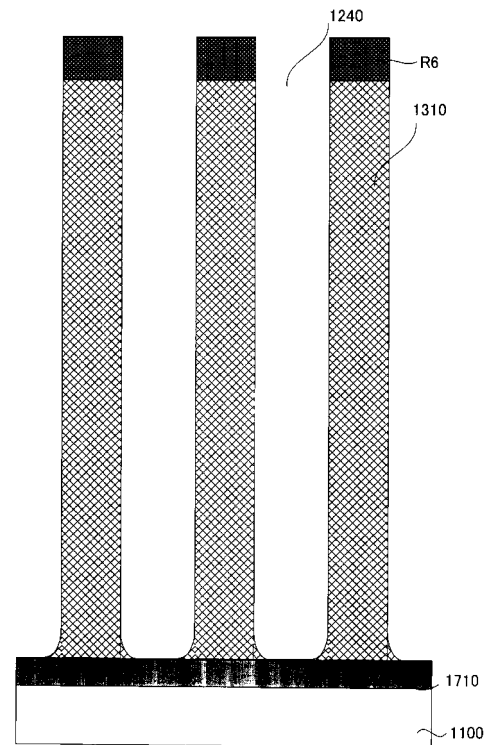
【図 3 1 0】



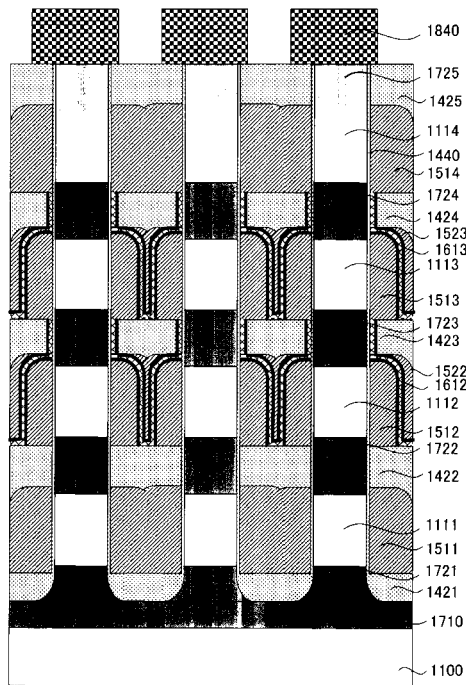
【図 3 1 1】



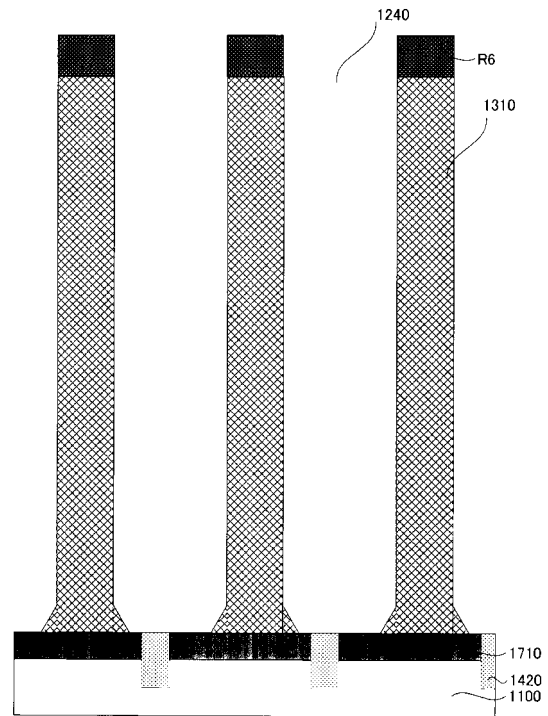
【図 3 1 2】



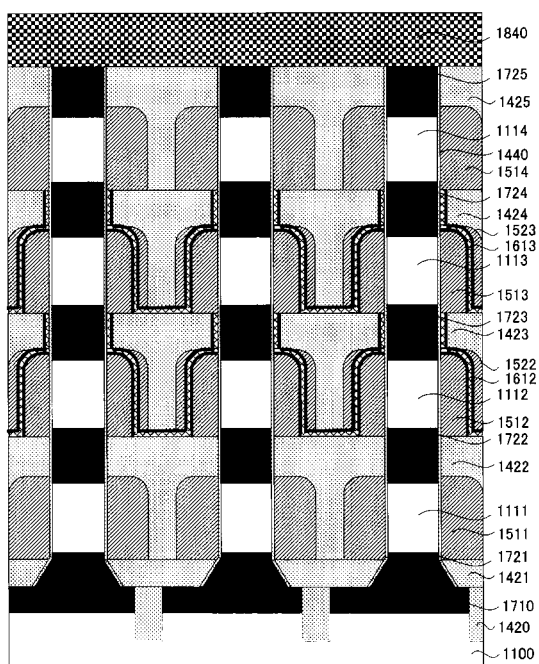
【 図 3 1 3 】



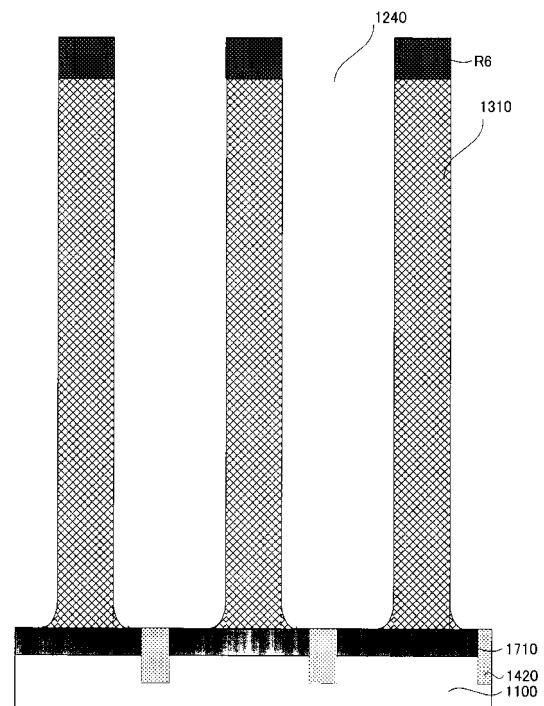
【図 3 1 4】



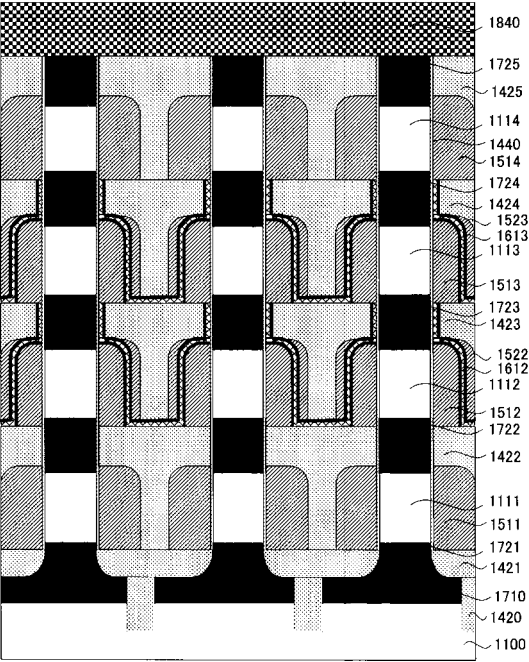
【 図 3 1 5 】



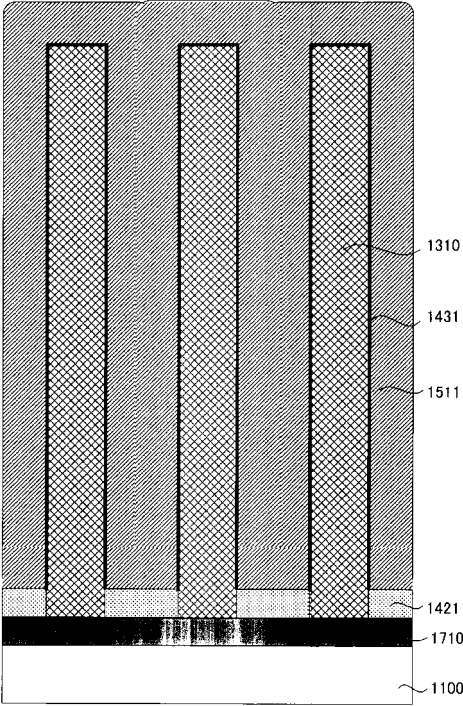
【図 3 1 6】



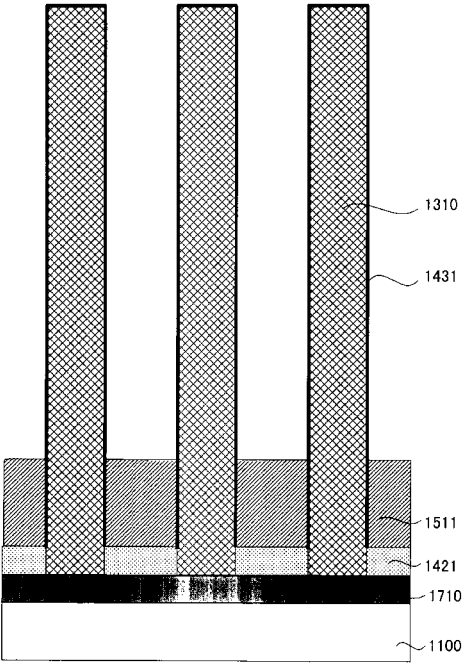
【図 3 1 7】



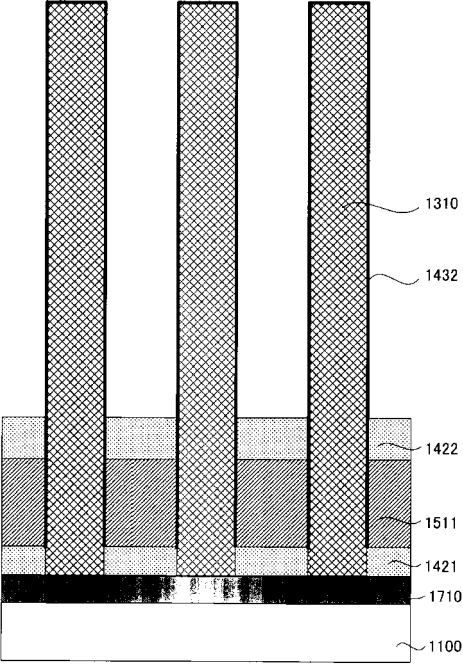
【図 3 1 8】



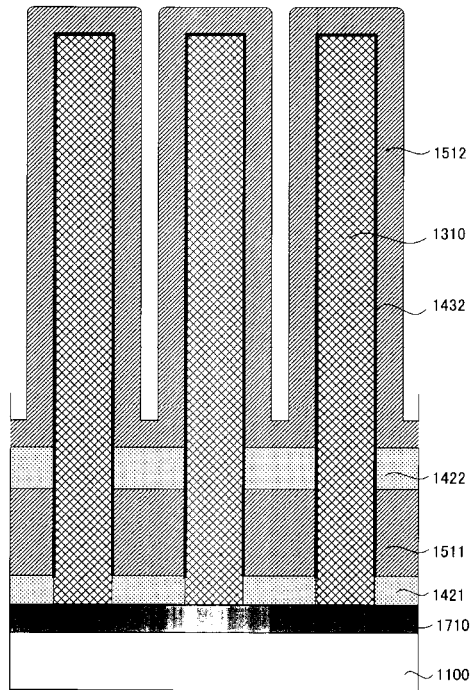
【図 3 1 9】



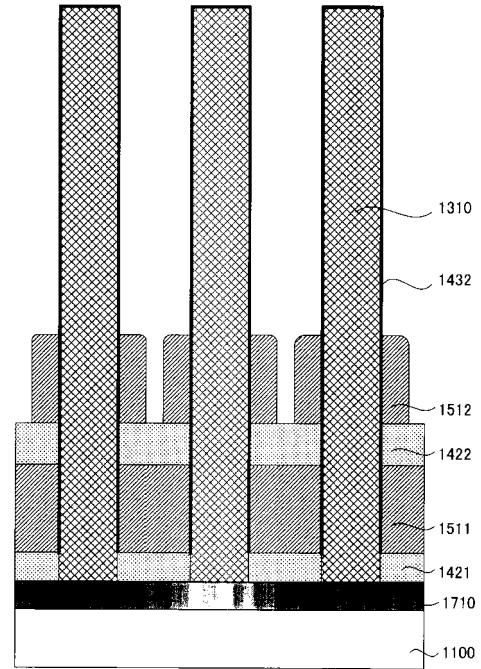
【図 3 2 0】



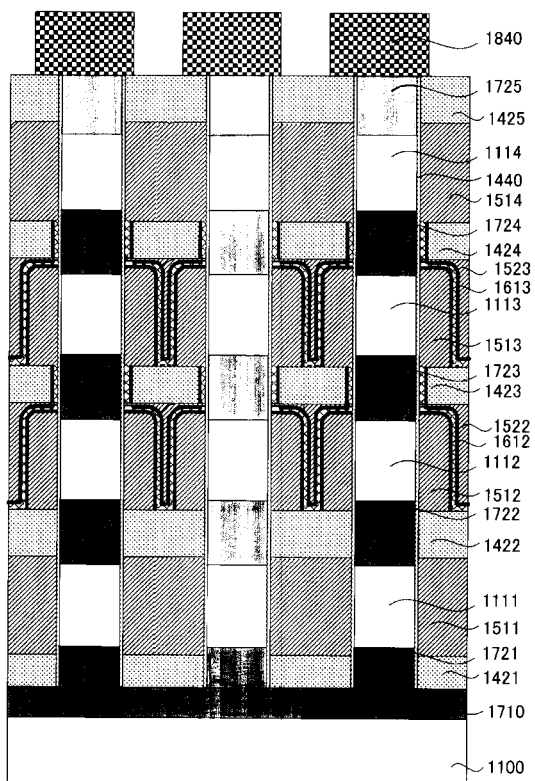
【図 3 2 1】



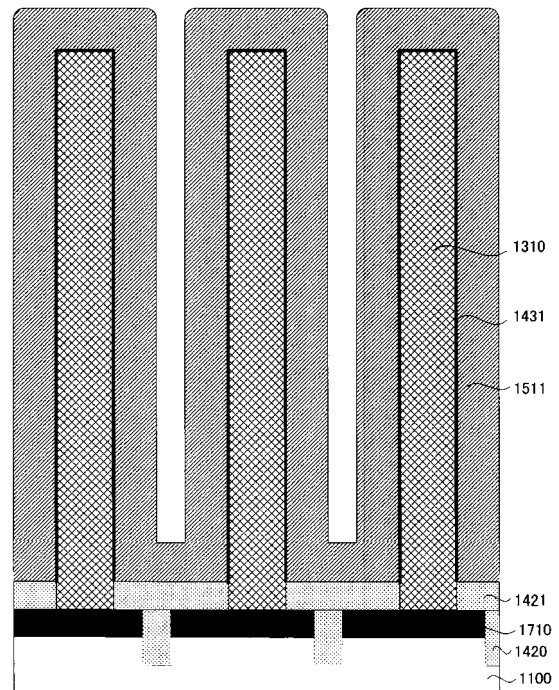
【図 3 2 2】



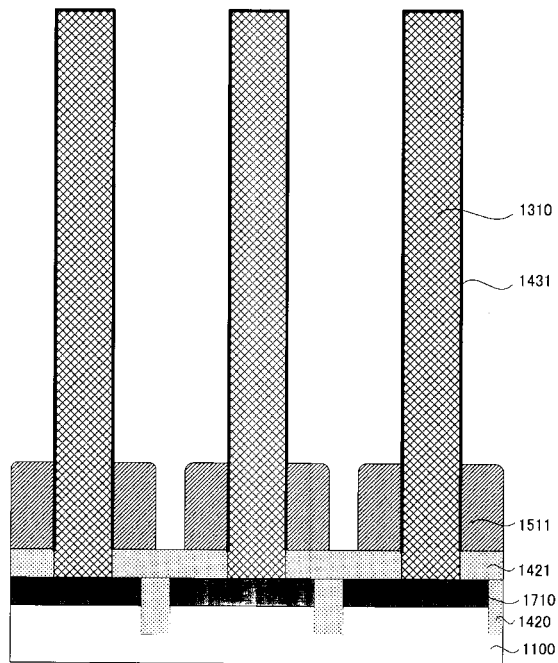
【図 3 2 3】



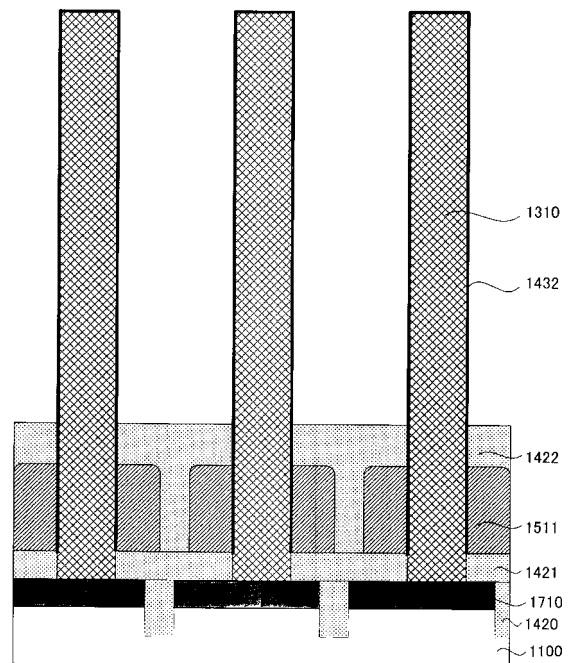
【図 3 2 4】



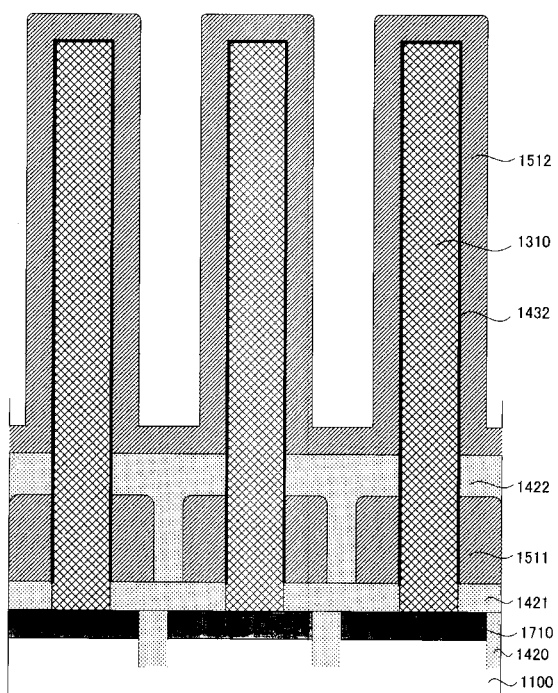
【図 3 2 5】



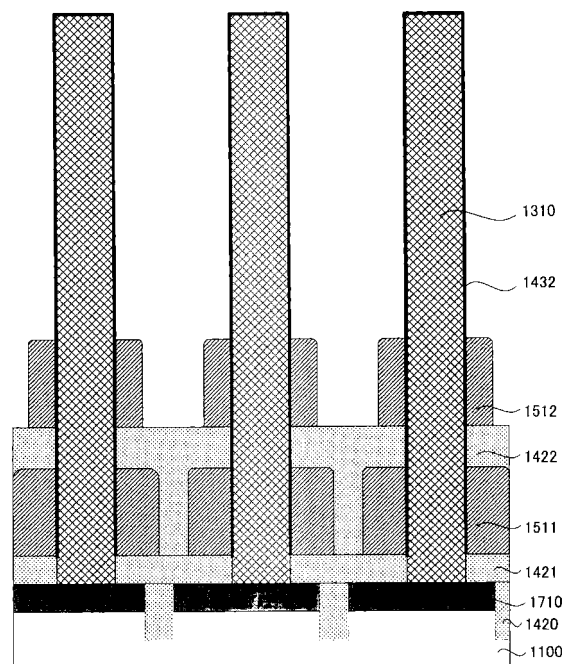
【図 3 2 6】



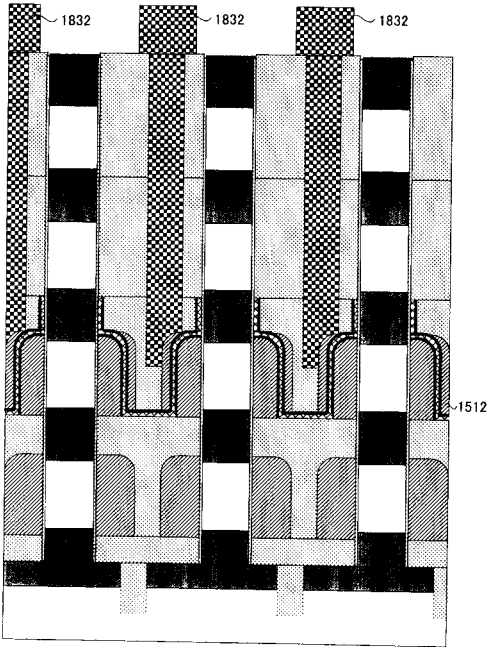
【図 3 2 7】



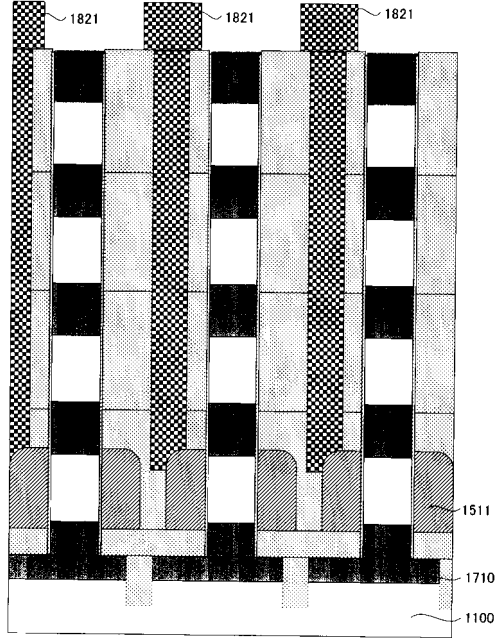
【図 3 2 8】



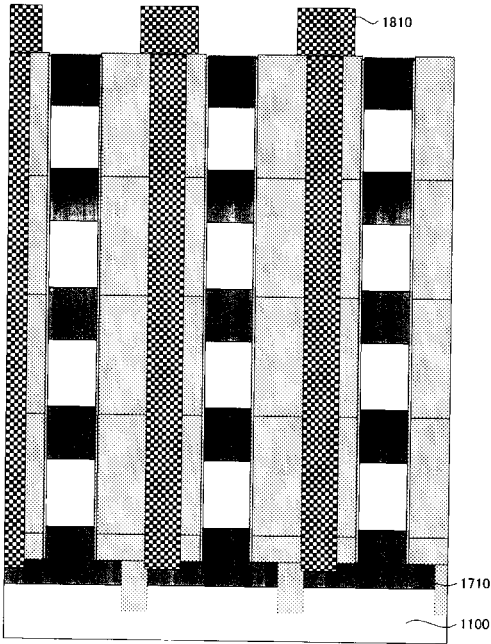
【図 3 3 3】



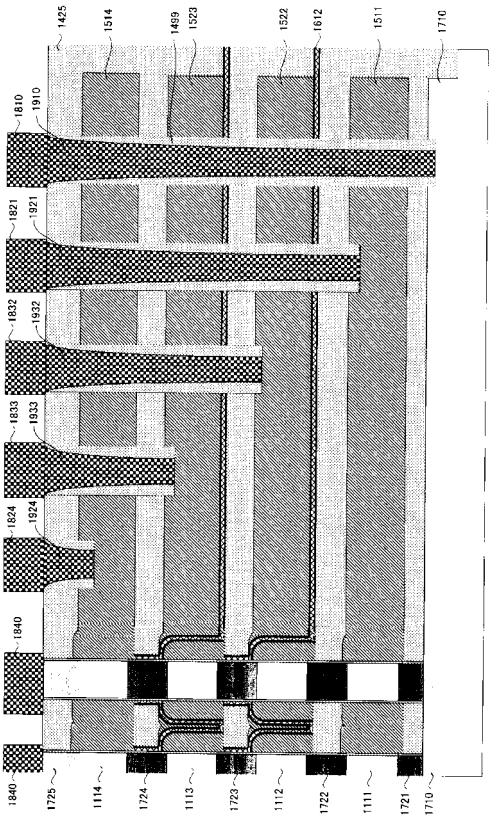
【図 3 3 4】



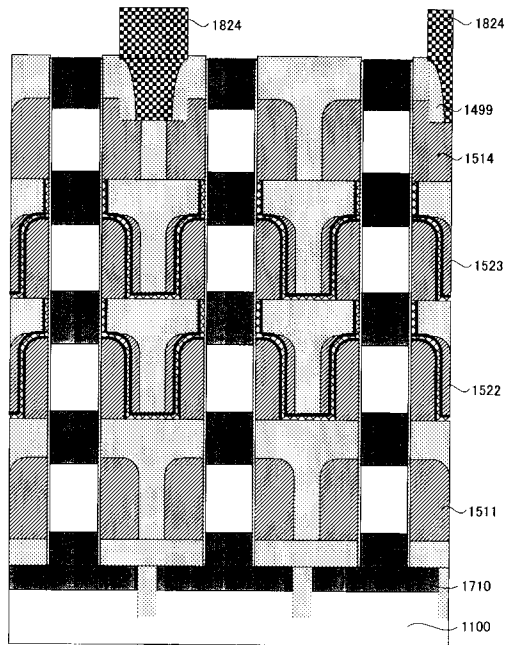
【図 3 3 5】



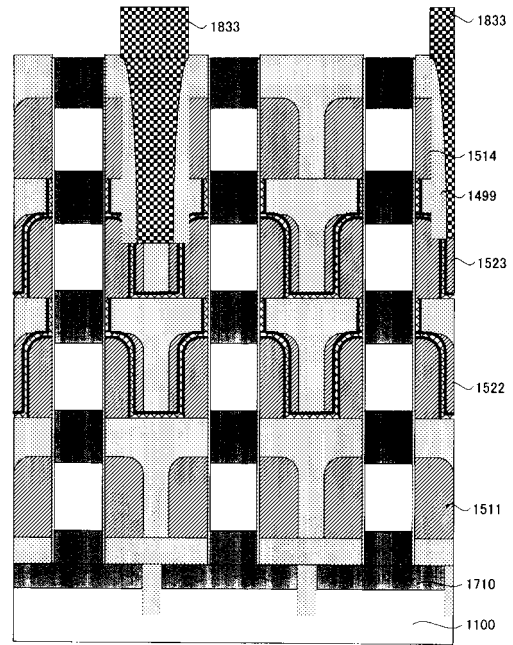
【図 3 3 6】



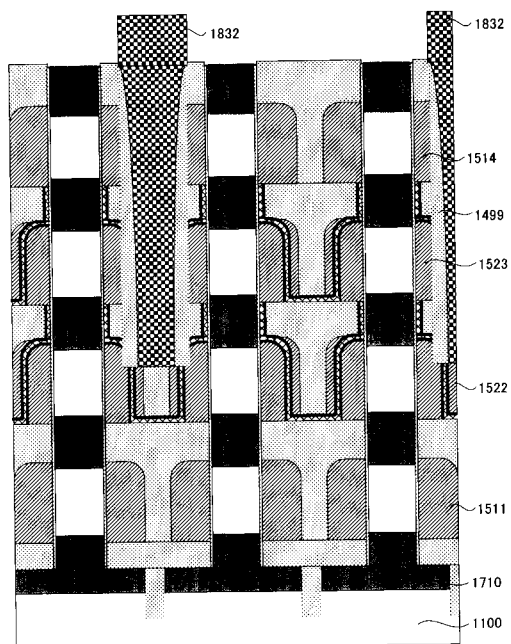
【図 3 3 7】



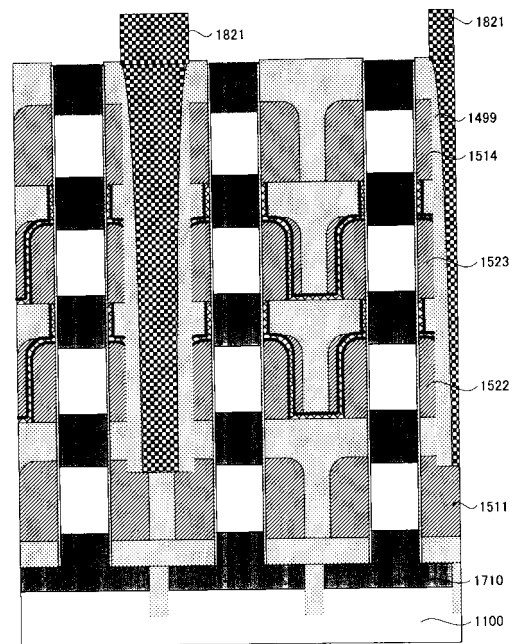
【図 3 3 8】



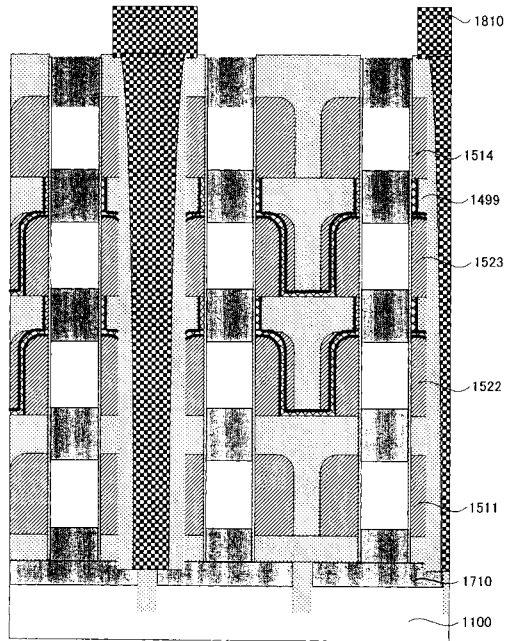
【図 3 3 9】



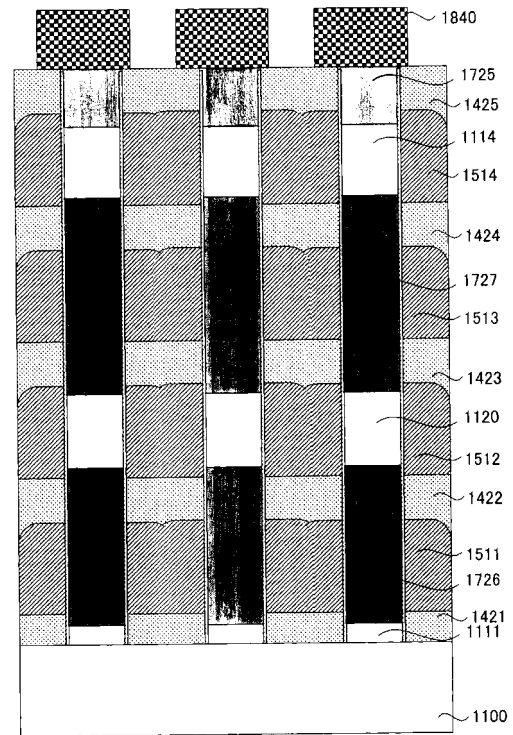
【図 3 4 0】



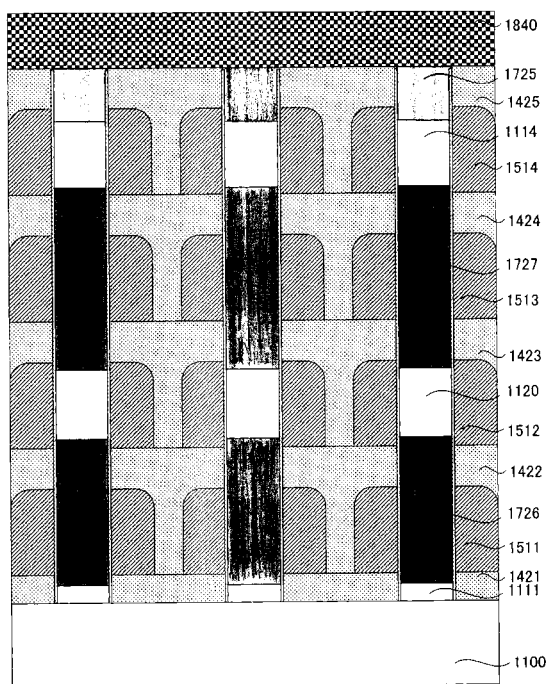
【図 3 4 1】



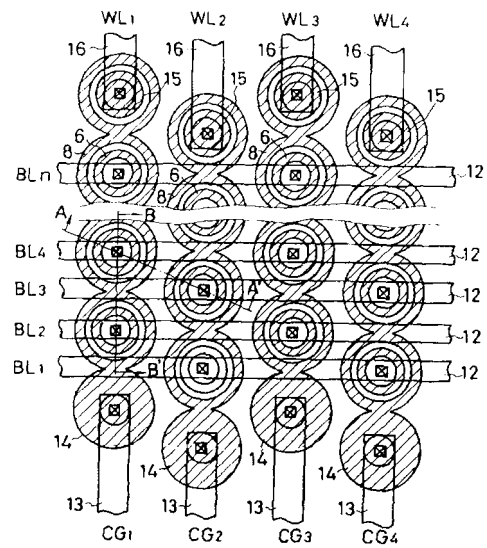
【図 3 4 2】



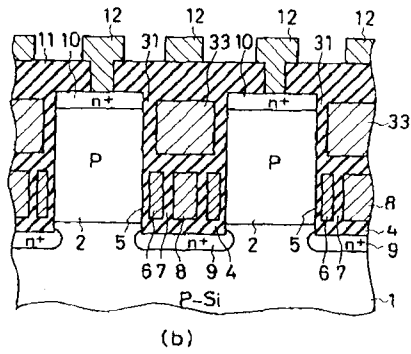
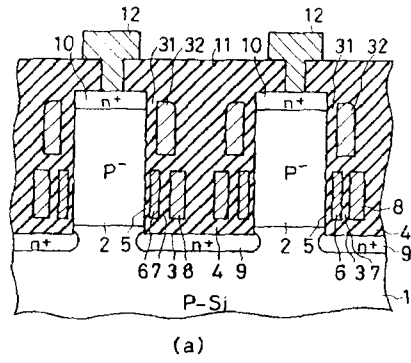
【図 3 4 3】



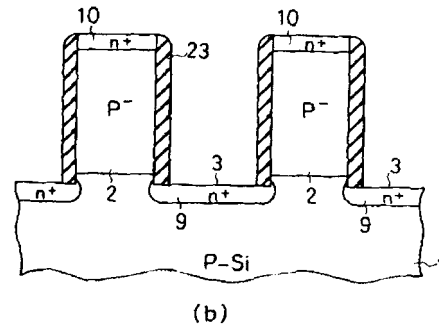
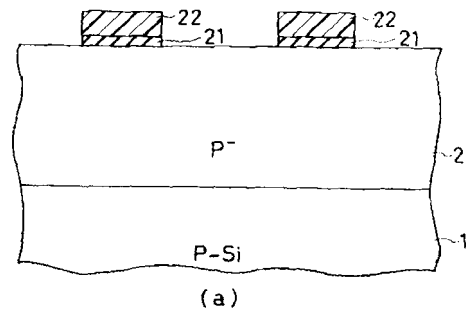
【図 3 4 4】



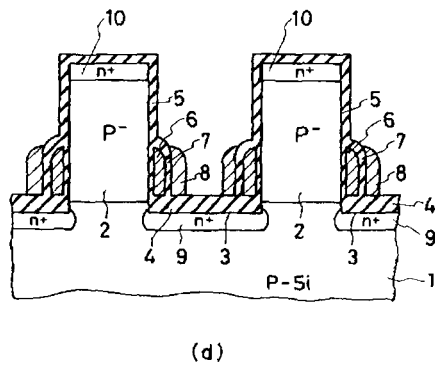
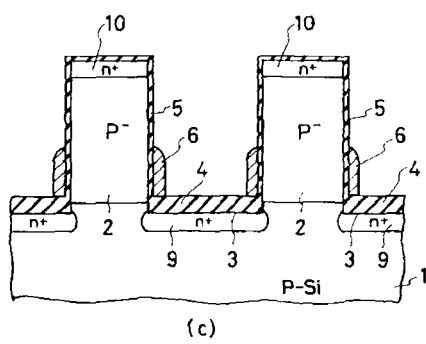
【図 3 4 5】



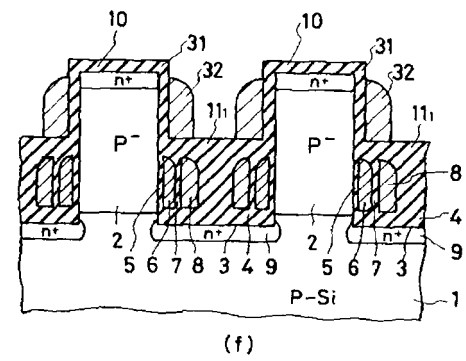
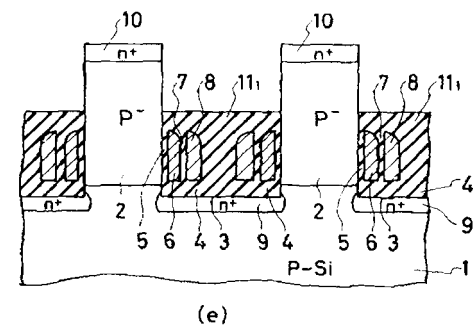
【図 3 4 6】



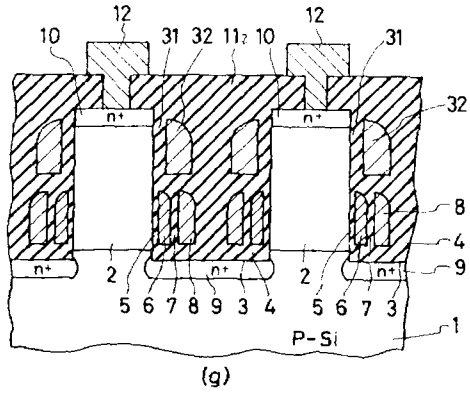
【図 3 4 7】



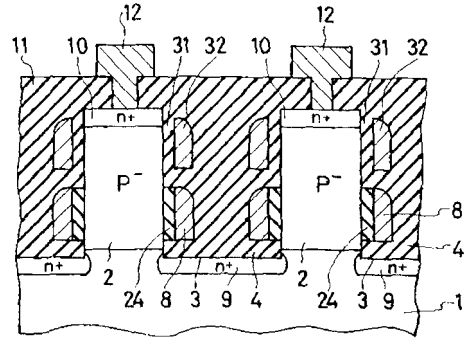
【図 3 4 8】



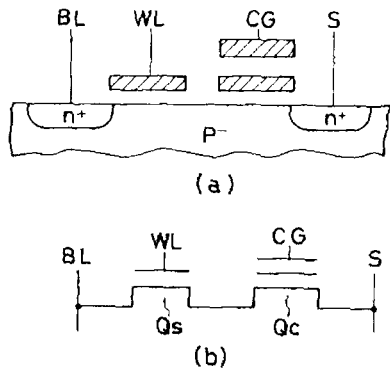
【図 3 4 9】



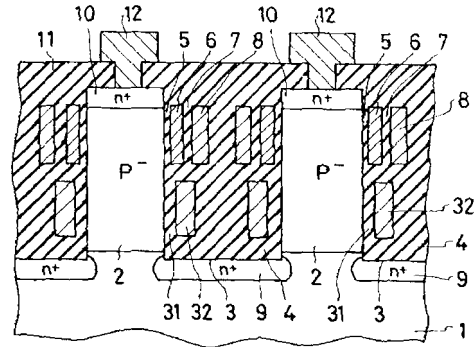
【図 3 5 1】



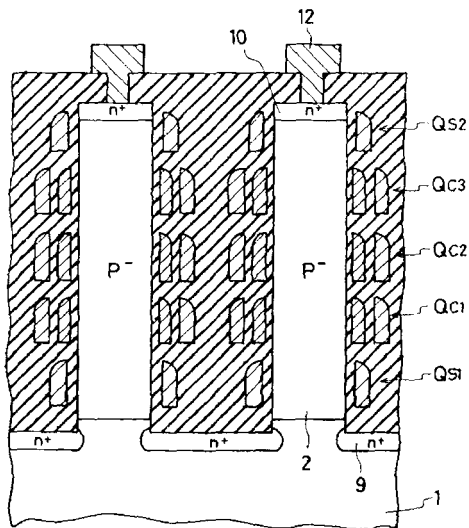
【図 3 5 0】



【図 3 5 2】



【図 3 5 3】



フロントページの続き

(51)Int.Cl. F I

H01L 27/108 (2006.01)

- (72)発明者 谷上 拓司
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
- (72)発明者 横山 敬
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
- (72)発明者 竹内 昇
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

審査官 瀧内 健夫

- (56)参考文献 特開平06-338602 (JP, A)
特許第3933412 (JP, B2)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242
H01L 21/8247
H01L 27/108
H01L 27/115
H01L 29/788
H01L 29/792