

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5600764号
(P5600764)

(45) 発行日 平成26年10月1日(2014.10.1)

(24) 登録日 平成26年8月22日(2014.8.22)

(51) Int.Cl.

F I

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 9 B

H O 1 L 21/336 (2006.01)

G O 2 F 1/1368

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1335 5 0 0

G O 2 F 1/1335 (2006.01)

G O 2 F 1/1343

G O 2 F 1/1343 (2006.01)

G O 9 F 9/30 3 3 8

請求項の数 3 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2013-36550 (P2013-36550)
 (22) 出願日 平成25年2月27日(2013.2.27)
 (62) 分割の表示 特願2011-218948 (P2011-218948)
 の分割
 原出願日 平成13年4月20日(2001.4.20)
 (65) 公開番号 特開2013-157611 (P2013-157611A)
 (43) 公開日 平成25年8月15日(2013.8.15)
 審査請求日 平成25年3月25日(2013.3.25)

早期審査対象出願

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 柴田 寛
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 棚田 一也

(56) 参考文献 特開平04-283729 (JP, A)

特開平10-031235 (JP, A)

特開平05-173183 (JP, A)

最終頁に続く

(54) 【発明の名称】 電気光学装置

(57) 【特許請求の範囲】

【請求項1】

基板上の第1の遮光層と、
 前記第1の遮光層上の半導体層と、
 前記半導体層上の第1の絶縁膜と、
 前記第1の絶縁膜上のゲート電極と、
 前記第1の絶縁膜上の第1の導電膜と、
 前記ゲート電極上及び前記第1の導電膜上の第2の絶縁膜と、
 前記第2の絶縁膜上の第2の導電膜と、
 前記第2の絶縁膜上の第3の導電膜と、
 前記第2の導電膜上及び前記第3の導電膜上の第3の絶縁膜と、
 前記第3の絶縁膜上の第2の遮光層と、を有し、
 前記第2の導電膜は、ソース電極又はドレイン電極の一方としての機能を有し、
 前記第3の導電膜は、ソース電極又はドレイン電極の他方としての機能を有し、
 前記第2の導電膜及び前記第3の導電膜は、それぞれ前記半導体層と電氣的に接続され

、
 前記第2の導電膜または前記第3の導電膜の一方は、画素電極と電氣的に接続され、
 前記半導体層は、前記ゲート電極と重なる第1の領域と前記第1の導電膜と重なる第2
 の領域とを有し、

前記第1の領域は、チャネル形成領域としての機能を有し、

前記第 2 の領域は、容量の一方の電極としての機能を有し、
 前記第 1 の導電膜は、前記容量の他方の電極としての機能を有し、
 前記第 1 の領域は、前記第 2 の遮光層と重なるとともに、前記第 2 の導電膜または前記第 3 の導電膜と重なり、
 前記第 2 の領域は、前記第 2 の遮光層と重なるとともに、前記第 2 の導電膜または前記第 3 の導電膜の前記一方と重なり、
 前記第 2 の導電膜及び前記第 3 の導電膜は、光を遮蔽する機能を有し、
 前記ゲート電極は、光を遮蔽する機能を有し、
 前記第 1 の導電膜は、光を遮蔽する機能を有し、
 前記第 1 の遮光層は、前記第 1 の領域とは重なり、前記第 2 の領域とは重ならないこと
 を特徴とする電気光学装置。 10

【請求項 2】

基板上の第 1 の遮光層と、
 前記第 1 の遮光層上の半導体層と、
 前記半導体層上の第 1 の絶縁膜と、
 前記第 1 の絶縁膜上のゲート電極と、
 前記第 1 の絶縁膜上の第 1 の導電膜と、
 前記ゲート電極上及び前記第 1 の導電膜上の第 2 の絶縁膜と、
 前記第 2 の絶縁膜上の第 2 の導電膜と、
 前記第 2 の絶縁膜上の第 3 の導電膜と、 20
 前記第 2 の導電膜上及び前記第 3 の導電膜上の第 3 の絶縁膜と、
 前記第 3 の絶縁膜上の第 2 の遮光層と、を有し、
 前記第 2 の導電膜は、ソース電極又はドレイン電極の一方としての機能を有し、
 前記第 3 の導電膜は、ソース電極又はドレイン電極の他方としての機能を有し、
 前記第 2 の導電膜及び前記第 3 の導電膜は、それぞれ前記半導体層と電氣的に接続され

、
 前記第 2 の導電膜または前記第 3 の導電膜の一方は、画素電極と電氣的に接続され、
 前記半導体層は、前記ゲート電極と重なる第 1 の領域と前記第 1 の導電膜と重なる第 2 の領域とを有し、

前記第 1 の領域は、チャネル形成領域として機能する部分を有し、 30
 前記第 2 の領域は、容量の一方の電極として機能する部分を有し、
 前記第 1 の導電膜は、前記容量の他方の電極としての機能を有し、
 前記第 1 の領域は、前記第 2 の遮光層と重なるとともに、前記第 2 の導電膜または前記第 3 の導電膜と重なり、

前記第 2 の領域は、前記第 2 の遮光層と重なるとともに、前記第 2 の導電膜または前記第 3 の導電膜の前記一方と重なり、

前記第 2 の導電膜及び前記第 3 の導電膜は、光を遮蔽する機能を有し、
 前記ゲート電極は、光を遮蔽する機能を有し、
 前記第 1 の導電膜は、光を遮蔽する機能を有し、
 上面からみた際に、前記第 2 の導電膜または前記第 3 の導電膜の他方の端部は、前記第 40
 2 の遮光層の端部よりも内側に位置し、

前記第 1 の遮光層は、前記第 1 の領域とは重なり、前記第 2 の領域とは重ならないこと
 を特徴とする電気光学装置。

【請求項 3】

請求項 1 または請求項 2 において、

画素を有し、

前記画素は、前記画素電極と前記容量とを有することを特徴とする電気光学装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は薄膜トランジスタ（以下、ＴＦＴという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【０００２】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【０００３】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百ｎｍ程度）を用いて薄膜トランジスタ（ＴＦＴ）を構成する技術が注目されている。薄膜トランジスタはＩＣや電気光学装置のような電子デバイスに広く応用され、特に液晶表示装置のスイッチング素子として開発が急がれている。

10

【０００４】

液晶表示装置において、高品位な画像を得るために、画素電極をマトリクス状に配置し、画素電極の各々に接続するスイッチング素子としてＴＦＴを用いたアクティブマトリクス型液晶表示装置が注目を集めている。

【０００５】

このアクティブマトリクス型液晶表示装置において、良好な品質の表示を行わせるには、ＴＦＴに接続された各画素電極に映像信号の電位を次の書き込み時まで保持できるようにする必要がある。一般的には、画素内に保持容量（Ｃｓ）を備えることで映像信号の電位を保持している。

20

【０００６】

上記保持容量（Ｃｓ）の構造やその形成法として様々な提案がなされているが、製造工程の簡素さ、また信頼性の観点から、画素を構成する絶縁膜のうち、最も質の高い絶縁膜であるＴＦＴのゲート絶縁膜を保持容量（Ｃｓ）の誘電体として利用することが望ましい。従来では、走査線と同じ配線層を用いて上部電極となる容量配線を設け、上部電極（容量配線）／誘電体層（ゲート絶縁膜）／下部電極（半導体膜）により保持容量（Ｃｓ）を構成することが行われていた。

【０００７】

また、表示性能の面から画素には大きな保持容量を持たせるとともに、高開口率化が求められている。各画素が高い開口率を持つことによりバックライトの光利用効率が向上し、所定の表示輝度を得るためのバックライト容量が抑制できる結果、表示装置の省電力化および小型化が達成できる。また、各画素が大きな保持容量を備えることにより、各画素の表示データ保持特性が向上して表示品質が向上する。

30

【０００８】

こうした要求は、液晶表示装置の高精細化（画素数の増大）及び小型化に伴う各表示画素ピッチの微細化を進める上で大きな課題となっている。

【０００９】

加えて、上述した従来の画素構成では高開口率と大きな保持容量の両立が難しいという問題がある。

40

【００１０】

また、バックライトを使用する液晶表示装置、特にプロジェクター用の液晶表示装置において各画素に配置されるＴＦＴ特性に変動が生じ、画質の劣化等が問題となっていた。

【発明の概要】

【発明が解決しようとする課題】

【００１１】

ＴＦＴ特性の変動の原因を調べたところ、本発明者は、回折した光（干渉した光とも呼ばれる）が半導体層に達している、即ち、半導体層に重なるよう光の照射側に設けられた遮光層の端部を回り込んで光が半導体層に照射されていることが原因の一つであることを見出した。

50

【 0 0 1 2 】

図 2 にシミュレーション結果を示す。図 2 は、基板 2 0 0 上に半導体層 2 0 1 を形成し、その半導体層 2 0 1 を覆って 1 5 0 n m の膜厚を有する絶縁膜 2 0 2 を設け、該絶縁膜 2 0 2 上に光透過率 0 % の遮光層 2 0 3 を設けたアクティブマトリクス基板を想定し、光源からの光を照射した際、遮光層 2 0 3 の端部を 0 m とし、回折した光の強度を計算した。なお、横軸は遮光層 2 0 3 の端部からの距離 X m を指し、縦軸は光の強度を指しており、開口部（グラフ左半分の - の領域に相当）の光の強度の平均を 1 とした。

【 0 0 1 3 】

図 2 より遮光層と半導体層の端部が一致するよう配置した場合、図 2 中の $X = 0$ m の縦軸の値、即ち、光源からの光の約 4 分の 1 程度の光強度となっている。従って、遮光層の端部と半導体層の端部とを一致させた場合、光源からの光の約 4 分の 1 程度が半導体層に照射されることを意味している。

10

【 0 0 1 4 】

また、 $X = 1 \mu\text{m}$ の縦軸の値は約 5 0 分の 1 の光強度となっており、また $X = 1.3 \mu\text{m}$ の縦軸の値は約 1 0 0 分の 1 の光強度となっている。即ち、遮光層の端部と半導体層の端部を $1 \mu\text{m}$ 、または $1.3 \mu\text{m}$ 離して配置しても微量の光が半導体層に照射されることを意味している。

【 0 0 1 5 】

従来においても遮光層は設けられていたが、回折した光が与える影響は考慮にいれず、開口率を向上させるため、即ち遮光層の面積を縮小するため、遮光しようとする半導体層の端部と遮光層の端部とを少なくとも一致させ、光源からの入射光を防ぐのみの画素構造としていた。

20

【 0 0 1 6 】

本発明は上述の問題に設計側から解決策を与えるものであり、遮光層の端部で回折した光が半導体層に照射されることを防止し、且つ、高い開口率を得ながら十分な保持容量（C s）を確保し、また同時に容量配線の負荷（画素書き込み電流）を時間的に分散させて実効的に低減する事により、高い表示品質をもつ液晶表示装置を提供するものである。

【課題を解決するための手段】

【 0 0 1 7 】

本発明は、半導体層の上方に設けられた第 2 遮光層で回折した光を第 1 遮光層またはゲート電極で遮蔽することを特徴としている。図 2 に示した結果に従えば、一つの遮光層で回折した光を十分に遮蔽するには、遮光層の面積を大きくする必要が生じ開口率が低減するが、異なる層に形成された 2 つ以上の遮光層を重ねて用いることで遮光層の面積を大きくすることなく回折した光を遮蔽することができる。なお、第 1 遮光層は、ソース電極またはドレイン電極と同時に形成した導電パターンで構成してもよいし、ソース電極の一部またはドレイン電極の一部で構成してもよい。

30

【 0 0 1 8 】

本明細書で開示する発明の構成は、絶縁表面上に半導体層と、該半導体層上に絶縁膜と、該絶縁膜上に前記半導体層と重なるゲート電極と、該ゲート電極上に絶縁膜と、該絶縁膜上に第 1 の遮光層と、該第 1 の遮光層上に絶縁膜と、該絶縁膜上に第 2 の遮光層とを有し、第 2 の遮光層から半導体層へ向かう方向に光を照射した際、前記第 2 の遮光層で回折する光を遮光するよう第 2 の遮光層の周縁部よりも内側に第 1 の遮光層及びゲート電極が配置されていることを特徴とする半導体装置である。

40

【 0 0 1 9 】

また、他の発明の構成は、絶縁表面上に半導体層と、該半導体層上に絶縁膜と、該絶縁膜上に前記半導体層と重なるゲート電極と、該ゲート電極上に絶縁膜と、該絶縁膜上に第 1 の遮光層と、該第 1 の遮光層上に絶縁膜と、該絶縁膜上に第 2 の遮光層とを有し、画素部における半導体層の全ての領域において上方には、第 2 の遮光層とゲート電極とを重畳させる、若しくは第 2 の遮光層と第 1 の遮光層とを重畳させることを特徴とする半導体装置である。

50

【0020】

また、上記各構成において、前記ゲート電極は、島状にパターンニングされていることを特徴としている。

【0021】

また、上記各構成において、前記ゲート電極は、導電性を付与する不純物元素がドーブされた poly-Si 、 W 、 WSi_x 、 Al 、 Ta 、 Cr 、または Mo から選ばれた元素を主成分とする膜またはそれらの積層膜からなることを特徴としている。

【0022】

また、本発明は、半導体層の上方に設けられた第3遮光層で回折した光を第2遮光層またはゲート電極で遮蔽することを特徴とし、さらに半導体層の下方に設けられた第1遮光層で外部からの光（または基板面の反射光等）を遮蔽する。なお、第2遮光層は、ソース電極またはドレイン電極と同時に形成した導電パターンで構成してもよいし、ソース電極の一部またはドレイン電極の一部で構成してもよい。

10

【0023】

本明細書で開示する発明の構成は、絶縁表面上に第1の遮光層と、前記第1の遮光層上に第1絶縁膜と、前記第1絶縁膜上に半導体層と、前記半導体層上に第2絶縁膜と、前記第2絶縁膜上に第2配線と、前記第1の遮光層と接続するゲート電極と、前記第2配線及び前記ゲート電極上に第3絶縁膜と、前記第3絶縁膜を間に挟んで前記半導体層と重なる第2の遮光層と、前記第2の遮光層上に第4絶縁膜と、前記第4絶縁膜上に第3の遮光層とを有し、第3の遮光層から半導体層に向かう方向に光を照射した際、前記第3の遮光層で回折する光を第2の遮光層及びゲート電極で遮光させたことを特徴とする半導体装置である。

20

【0024】

上記構成において、前記第2絶縁膜を介して前記半導体層と前記第2配線とが重なることを特徴としている。

【0025】

また、上記構成において、前記第2絶縁膜を介して前記第2配線と前記半導体層とが重なる領域には、前記第2絶縁膜を誘電体とする保持容量が形成されることを特徴としている。

【0026】

また、上記構成において、前記半導体層のうち、前記第2絶縁膜を介して前記第2配線と重なる領域には、導電性を付与する不純物元素が添加されていることを特徴としている。

30

【0027】

また、上記構成において、前記第2の遮光層は、導電層または染料を含み遮光性を有する樹脂であることを特徴としている。

【0028】

また、上記構成において、前記第3絶縁膜上に前記半導体層と接する電極と、該電極と接続する画素電極とを有することを特徴としている。また、前記第3絶縁膜上に前記半導体層と接する電極は、第2の遮光層と一体形成されたことを特徴としている。

40

【0029】

また、上記構成において、前記第1配線は、走査線であり、前記第2配線は、容量配線であり、前記第2絶縁膜は、ゲート絶縁膜であることを特徴としている。

【0030】

また、上記構成において、前記ゲート電極は、島状にパターンニングされていることを特徴としている。

【0031】

また、上記構成において、前記ゲート電極は、導電性を付与する不純物元素がドーブされた poly-Si 、 W 、 WSi_x 、 Al 、 Ta 、 Cr 、または Mo から選ばれた元素を主成分とする膜またはそれらの積層膜からなることを特徴としている。

50

【発明の効果】

【0032】

本発明により、半導体層の上方に設けられた遮光層で回折した光を遮蔽することができ、各画素に配置されるTFT特性の変動、代表的にはオフ電流を抑えることができるとともに、画質の劣化を抑えることができる。

【0033】

また、本発明により、保持容量を増加させ、また各走査線に接続されている複数の画素が各々独立した容量配線を持つ構成になることにより各画素は隣接する画素と連続的、又は同時に信号書き込みが行われる場合にも隣接画素の書き込み電流の影響を受けず、さらに各容量配線は電流負荷が時間的に分散されることから実効負荷が低減、容量配線抵抗への要求が緩和される。

10

【0034】

従って、本発明を用いた液晶表示装置によれば、高い開口率と各画素内に十分な表示信号電位を保持する保持容量を併せ持つ液晶表示素子が得られ、装置の小型化、省電力化を達成しながら良好な表示画像を得る事ができる。

【図面の簡単な説明】

【0035】

【図1】断面構造図を示す図。

【図2】遮光層の端部で回折する光強度と、遮光層の端部からの距離との関係を示す図。

【図3】画素部の一部を示す上面図。

20

【図4】画素部の作製工程断面図および上面図。

【図5】画素部の作製工程断面図および上面図。

【図6】画素部の作製工程断面図および上面図。

【図7】画素部の作製工程断面図および上面図。

【図8】画素部の作製工程断面図および上面図。

【図9】画素部の作製工程断面図および上面図。

【図10】画素部の上面図。(実施例2)

【図11】画素部の上面図。(実施例3)

【図12】画素部の上面図。(実施例4)

【図13】Vと光強度の関係を示すグラフ(実施例1~4)

30

【図14】画素部の作製工程断面図および上面図。(実施例5)

【図15】オン電流値の分布図。(実施例5)

【図16】オフ電流値の分布図。(実施例5)

【図17】電子機器の一例を示す図。

【図18】電子機器の一例を示す図。

【図19】電子機器の一例を示す図。

【発明を実施するための形態】

【0036】

本発明の実施形態について、以下に説明する。

【0037】

40

図1は、本発明の実施形態の一例を示した断面図の概略である。図1中、100は基板、101は走査線(第1遮光層)、102は絶縁膜、103は半導体層、104はゲート電極、105は絶縁膜、106は第2遮光層、107は絶縁膜、108は第3遮光層、109は絶縁膜、110は画素電極、111、113は配向膜、112は液晶材料、114は対向電極、115は対向基板である。また、116は光源からの光であり、117は第3遮光層の端部で回折した光である。

【0038】

本発明は、ソース電極またはドレイン電極の一部を第2遮光層106として用い、工程数を増やすことなく第3遮光層の端部で回折した光117を遮断する。

こうすることによって、開口率を犠牲にすることなく、回折した光を遮蔽することができ

50

る。

【 0 0 3 9 】

また、本発明は、開口率を向上させるとともに保持容量の増大を図るため、ゲート電極 1 0 4 と異なる層に走査線 1 0 1 (第 1 遮光層を兼ねる) を形成することを特徴としている。保持容量を増大することによって、第 2 遮光層 1 0 6 とゲート電極 1 0 4 とで形成される寄生容量が存在しても問題にならない画素構造とすることができる。なお、この走査線 1 0 1 で外部からの光 (または基板面で反射する光) を遮蔽する。本発明の一つの画素における T F T 周辺の構成の一例を図 3 に示した。

【 0 0 4 0 】

図 3 には積層構造を簡略に示すために画素 T F T の上面図を工程順に示した。
ここでは簡単に積層工程のみを説明する。

10

【 0 0 4 1 】

まず、絶縁表面上に走査線 4 0 2 を形成する。次いで走査線を覆う絶縁膜を形成し、該絶縁膜上に少なくともチャネル形成領域となる領域と重なるように半導体層 4 0 4 を形成する。(図 3 (A)) なお、走査線は第 1 遮光層として働く。

【 0 0 4 2 】

次いで、半導体層を覆う絶縁膜を形成し、該絶縁膜上に走査線 4 0 2 と接続するゲート電極 4 1 0 と、容量配線 4 1 1 とを同時形成する。(図 3 (B)) なお、絶縁膜を介してゲート電極 4 1 0 と重なる半導体層の領域がチャネル形成領域となる。また、絶縁膜を介して容量配線と重なる半導体層は、容量を形成する一方の電極となる。

20

【 0 0 4 3 】

次いで、ゲート電極及び容量配線を覆う絶縁膜を形成し、該絶縁膜上に半導体層と接続するソース配線 (ソース電極含む) 4 1 9 と、半導体層と接続するドレイン電極 4 1 8 とを同時形成する。(図 3 (C)) この段階で半導体層の全ての領域においてゲート電極、ソース配線、またはドレイン電極のいずれか一と重畳させる。なお、ソース配線の一部、またはドレイン電極の一部は第 2 遮光層として働く。

【 0 0 4 4 】

次いで、ソース配線、またはドレイン電極を覆う絶縁膜を形成し、該絶縁膜上に第 3 遮光層 4 2 1 を形成する。(図 3 (D)) なお、第 3 遮光層のパターン周縁部は、ゲート電極のパターンの外側にある程度マージンをもって配置される。
このように第 2 遮光層と第 3 遮光層とを設けることによって、第 3 遮光層の端部で回折した光が半導体層に照射されるのを防止することができる。

30

【 0 0 4 5 】

次いで、第 3 遮光層を覆う絶縁膜を形成し、該絶縁膜上にドレイン電極と接続する画素電極 4 2 3 を形成する。(図 3 (E)) なお、画素電極とドレイン電極とを接続する箇所においては第 3 遮光層を設けることができないため、できるだけチャネル形成領域との距離を大きくとることが望ましい。

【 0 0 4 6 】

また、本発明において、保持容量は、下部電極を半導体膜とし、半導体膜を覆う絶縁膜を誘電体とし、上部電極を容量配線 4 1 1 として形成する。なお、半導体膜を覆う絶縁膜を部分的に薄膜化することで保持容量の増大を図ってもよい。

40

【 0 0 4 7 】

また、本構成によれば、各画素の T F T は、チャネル形成領域の上方及び下方に絶縁膜を介してゲート電極を備えたデュアルゲート構造とすることができ、第 1 絶縁膜を適切な膜厚に設定することにより、走査線と他の配線とで形成される寄生容量を抑制しながら T F T の特性を向上することができる。

【 0 0 4 8 】

また、本発明は従来 (容量配線が走査線と平行) と異なり、容量配線が信号線と平行になるよう配置されていることを特徴としている。従って、駆動方式から各走査線に対応する画素には連続的に映像信号の書き込みが行われるが、この際該当する各画素はそれぞれ

50

独立した容量配線で形成された保持容量と接続されているため隣接画素の書き込み電流による容量配線電位の変動を回避でき、良好な表示画像を得る事ができる。

【0049】

また、従来は各走査線書き込み期間中の信号線電位（書き込み電位）の低下を防ぐために各信号線にはサンプルホールド容量が設けられていたが、本発明においては容量配線が信号線と平行で、且つ重なるよう配置されているため、信号線の寄生容量が増大して信号線電位の保持特性が向上することから周辺回路部にサンプルホールド容量を設ける必要がなくなり、従来と比べ周辺回路を小型化することができる。

【0050】

また、同じ理由により容量配線抵抗への要求性能が緩和されるため容量配線の配置やサイズ、膜厚の設計自由度が増し、また容量配線材料の選択の幅が広がることにより設計上の難度及び製造上の難度が下がり、より高い製造歩留まりを得ることにも繋がる。

【0051】

以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【実施例1】

【0052】

以下、本発明の実施例を投写型の点順次駆動の液晶表示装置を一例にとり説明する。

【0053】

TFTをスイッチング素子として用いるアクティブマトリクス型液晶表示装置は、画素電極がマトリクス状に配置された基板（アクティブマトリクス基板）と、対向電極が形成された対向基板とを液晶層を介して対向配置した構造となっている。両基板間はスペーサ等を介して所定の間隔に制御され、画素部の外周部にシール材を用いることで液晶層を封入している。

【0054】

また、アクティブマトリクス基板には画素部と、その周辺に形成される走査線駆動回路と、信号線駆動回路とを備えている。

【0055】

走査線駆動回路は、走査信号を順次転送するシフトレジスタによって主に構成されている。また、信号線駆動回路は、シフトレジスタとシフトレジスタ出力に基づいて入力される映像信号をサンプリングした後、保持し信号線を駆動するサンプルホールド回路により主に構成されている。

【0056】

画素部には走査線駆動回路に接続され互いに平行に所定の間隔で配置された複数の走査線（ゲート配線）と、信号線駆動回路に接続され互いに平行に所定の間隔で配置された複数の信号線とが交差して配置されており、その交差するそれぞれの位置にTFTを配置するとともに、走査線と信号線とで区画される各領域に画素電極が配置されている。この構成から各画素電極はマトリクス状の配置となる。また、GND（接地）または固定電位に接続された複数の容量配線が、信号線と平行に設けられている。

【0057】

以下、本実施例の半導体装置の作製工程を簡略に示す。なお、説明には画素部の一部の上面図および断面図を示した図4～13を用いる。

【0058】

まず、絶縁表面を有する基板401上に導電膜を形成し、パターニングを施すことにより走査線402を形成する。（図4（A））

【0059】

この走査線402は後に形成される活性層を光から保護する遮光層としても機能する。ここでは基板401として石英基板を用い、走査線402としてポリシリコン膜（膜厚50nm）とタングステンシリサイド（W-Si）膜（膜厚100nm）の積層構造を用いた。また、ポリシリコン膜はタングステンシリサイドから基板への汚染を保護するもので

10

20

30

40

50

ある。基板 401 には石英基板の他に、ガラス基板、プラスチック基板を用いることができる。ガラス基板を用いる場合には、ガラス歪み点よりも 10 ~ 20 程度低い温度であらかじめ熱処理しておいても良い。また、基板 401 の TFT を形成する表面に、基板 401 からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜を形成するとよい。走査線 402 としては、導電性を付与する不純物元素がドーパされた poly-Si や WSi_x ($x = 2.0 \sim 2.8$)、Al、Ta、W、Cr、Mo 等の導電性材料及びその積層構造を用いることができる。

【0060】

次いで、走査線 402 を覆う絶縁膜 403a、403b を膜厚 100 ~ 1000 nm (代表的には 300 ~ 500 nm) で形成する。(図 4(B)) ここでは CVD 法を用いた膜厚 100 nm の酸化シリコン膜と LPCVD 法を用いた膜厚 280 nm の酸化シリコン膜を積層させた。

【0061】

また、絶縁膜 403b を形成した後、絶縁膜表面を化学的及び機械的に研磨する処理(代表的には CMP 技術)等)により平坦化してもよい。例えば、絶縁膜表面の最大高さ (R_{max}) が 0.5 μm 以下、好ましくは 0.3 μm 以下となるようにする。

【0062】

次いで、非晶質半導体膜を膜厚 10 ~ 100 nm で形成する。ここでは膜厚 69 nm の非晶質シリコン膜 (アモルファスシリコン膜) を LPCVD 法を用いて形成した。次いで、この非晶質半導体膜を結晶化させる技術として特開平 8-78329 号公報記載の技術を用いて結晶化させた。同公報記載の技術は、非晶質シリコン膜に対して結晶化を助長する金属元素を選択的に添加し、加熱処理を行うことで添加領域を起点として広がる結晶質シリコン膜を形成するものである。ここでは結晶化を助長する金属元素としてニッケルを用い、脱水素化のための熱処理 (450、1 時間) の後、結晶化のための熱処理 (600、12 時間) を行った。次いで、結晶化率を高め、結晶粒内に残される欠陥を補修するためのレーザー光 (XeCl : 波長 308 nm) の照射を行う。レーザー光には波長 400 nm 以下のエキシマレーザー光や、YAG レーザの第 2 高調波、第 3 高調波を用いる。いずれにしても、繰り返し周波数 10 ~ 1000 Hz 程度のパルスレーザー光を用い、当該レーザー光を光学系にて 100 ~ 400 mJ/cm^2 に集光し、90 ~ 95% のオーバーラップ率をもって照射し、シリコン膜表面を走査させればよい。

【0063】

次いで、TFT の活性層とする領域から Ni をゲッタリングする。ここでは、ゲッタリング方法として希ガス元素を含む半導体膜を用いて行う例を示す。上記レーザー光の照射により形成された酸化膜に加え、オゾン水で表面を 120 秒処理して合計 1 ~ 5 nm の酸化膜からなるバリア層を形成する。次いで、バリア層上にスパッタ法にてゲッタリングサイトとなるアルゴン元素を含む非晶質シリコン膜を膜厚 150 nm で形成する。本実施例のスパッタ法による成膜条件は、成膜圧力を 0.3 Pa とし、ガス (Ar) 流量を 50 (sccm) とし、成膜パワーを 3 kW とし、基板温度を 150 とする。なお、上記条件での非晶質シリコン膜に含まれるアルゴン元素の原子濃度は、 $3 \times 10^{20} / \text{cm}^3 \sim 6 \times 10^{20} / \text{cm}^3$ 、酸素の原子濃度は $1 \times 10^{19} / \text{cm}^3 \sim 3 \times 10^{19} / \text{cm}^3$ である。その後、ランブアニール装置を用いて 650、3 分の熱処理を行いゲッタリングする。なお、ランブアニール装置の代わりに電気炉を用いてもよい。

【0064】

次いで、バリア層をエッチングストッパーとして、ゲッタリングサイトであるアルゴン元素を含む非晶質シリコン膜を選択的に除去した後、バリア層を希フッ酸で選択的に除去する。なお、ゲッタリングの際、ニッケルは酸素濃度の高い領域に移動しやすい傾向があるため、酸化膜からなるバリア層をゲッタリング後に除去することが望ましい。

【0065】

次いで、得られた結晶構造を有するシリコン膜 (ポリシリコン膜とも呼ばれる) の表面にオゾン水で薄い酸化膜を形成した後、レジストからなるマスクを形成し、所望の形状に

10

20

30

40

50

エッチング処理して島状に分離された半導体層 404 を形成する。半導体層 404 を形成した後、レジストからなるマスクを除去する。(図 4 (C1)) なお、半導体層 404 を形成した後の画素上面図を図 4 (C2) に示す。図 4 (C2) において、点線 A - A' で切断した断面図が図 4 (C1) に相当する。また、図 4 (C2) は、実施の形態に示した図 3 (A) とも対応しており、同じ部分には同一の符号を用いた。

【0066】

また、半導体層を形成した後、TFTのしきい値 (V_{th}) を制御するために p 型あるいは n 型を付与する不純物元素を添加してもよい。なお、半導体に対して p 型を付与する不純物元素には、ボロン (B)、アルミニウム (Al)、ガリウム (Ga) など周期律第 13 族元素が知られている。なお、半導体に対して n 型を付与する不純物元素としては周期律 15 族に属する元素、典型的にはリン (P) または砒素 (As) が知られている。

10

【0067】

次いで、保持容量を形成するため、マスク 405 を形成して半導体層の一部 (保持容量とする領域) 406 にリンをドーピングする。(図 5 (A))

【0068】

次いで、マスク 405 を除去し、半導体層を覆う絶縁膜を形成した後、マスク 407 を形成して保持容量とする領域 406 上の絶縁膜を除去する。(図 5 (B))

)

【0069】

次いで、マスク 407 を除去し、熱酸化を行って絶縁膜 (ゲート絶縁膜) 408a を形成する。この熱酸化によって最終的なゲート絶縁膜の膜厚は 80 nm となった。なお、保持容量とする領域上に他の領域より薄い絶縁膜 408b を形成した。(図 5 (C1)) ここでの画素上面図を図 5 (C2) に示す。図 5 (C2) において、点線 B - B' で切断した断面図が図 5 (C1) に相当する。また、図 5 中の鎖線内で示した領域は、薄い絶縁膜 408b が形成されている部分である。

20

【0070】

次いで、TFTのチャネル領域となる領域に p 型または n 型の不純物元素を低濃度に添加するチャネルドーピング工程を全面または選択的に行った。このチャネルドーピング工程は、TFTしきい値電圧を制御するための工程である。なお、ここではジボラン (B_2H_6) を質量分離しないでプラズマ励起したイオンドーピング法でボロンを添加した。もちろん、質量分離を行うイオンインプランテーション法を用いてもよい。

30

【0071】

次いで、絶縁膜 408a、及び絶縁膜 403a、403b 上にマスク 409 を形成し、走査線 402 に達するコンタクトホールを形成する。(図 6 (A)) そして、コンタクトホールの形成後、マスクを除去する。

【0072】

次いで、導電膜を形成し、パターニングを行ってゲート電極 410 および容量配線 411 を形成する。(図 6 (B)) ここでは、リンがドーピングされたシリコン膜 (膜厚 150 nm) とタングステンシリサイド (膜厚 150 nm) との積層構造を用いた。なお、保持容量は、絶縁膜 408b を誘電体とし、容量配線 411 と半導体層の一部 406 とで構成されている。

40

【0073】

次いで、ゲート電極 410 および容量配線 411 をマスクとして自己整合的にリンを低濃度に添加する。(図 6 (C1)) ここでの画素上面図を図 6 (C2) に示す。図 6 (C2) において、点線 C1 - C1' で切断した断面図と、点線 C2 - C2' で切断した断面図が図 6 (C1) に相当する。この低濃度に添加された領域のリンの濃度が、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ 、代表的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$ となるように調整する。また、図 6 (C2) は、実施の形態に示した図 3 (B) とも対応しており、同じ部分には同一の符号を用いた。

【0074】

50

次いで、マスク412を形成してリンを高濃度に添加し、ソース領域またはドレイン領域となる高濃度不純物領域413を形成する。(図7(A))この高濃度不純物領域のリンの濃度が $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $2 \times 10^{20} \sim 5 \times 10^{20} \text{ atoms/cm}^3$)となるように調整する。なお、半導体層404のうち、ゲート電極410と重なる領域はチャネル形成領域414となり、マスク412で覆われた領域は低濃度不純物領域415となりLDD領域として機能する。そして、不純物元素の添加後、マスク412を除去する。

【0075】

次いで、ここでは図示しないが、画素と同一基板上に形成される駆動回路に用いるpチャネル型TFTを形成するために、マスクでnチャネル型TFTとなる領域を覆い、ボロンを添加してソース領域またはドレイン領域を形成する。

【0076】

次いで、マスク412を除去した後、ゲート電極410および容量配線411を覆うパッシベーション膜416を形成する。ここでは、酸化シリコン膜を70nmの膜厚で形成した。次いで、半導体層にそれぞれの濃度で添加されたn型またはp型不純物元素を活性化するための熱処理工程を行う。ここでは850、30分の加熱処理を行った。

【0077】

次いで、有機樹脂材料からなる層間絶縁膜417を形成する。ここでは膜厚400nmのアクリル樹脂膜を用いた。次いで、半導体層に達するコンタクトホールを形成した後、ドレイン電極418及びソース配線419を形成する。本実施例ではドレイン電極418及びソース配線419を、Ti膜を100nm、Tiを含むアルミニウム膜を300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とした。(図7(B1))図7(B1)に示すように、ソース配線419とドレイン電極418とで半導体層への光を遮光する。このソース配線419とドレイン電極418とで後に形成する遮光層の端部で回折した光を遮断する。なお、図7(B2)において点線D-D'で切断した断面図が図7(B1)に相当する。また、図7(B2)は、実施の形態に示した図3(C)とも対応しており、同じ部分には同一の符号を用いた。

【0078】

次いで、水素化処理をおこなった後、アクリルからなる層間絶縁膜420を形成する。次いで、層間絶縁膜420上に遮光性を有する導電膜100nmを成膜し、遮光層421を形成する。(図8(A))図8(A)において、点線E-E'で切断した断面図が図8(B)に相当する。また、図8(B)は、実施の形態に示した図3(D)とも対応しており、同じ部分には同一の符号を用いた。

【0079】

次いで、層間絶縁膜422を形成する。次いで、ドレイン電極418に達するコンタクトホール形成する。次いで、100nmの透明導電膜(ここでは酸化インジウム・スズ(ITO)膜)を形成した後、パターンニングして画素電極423、424を形成する。(図9(A))図9(A)において、点線F-F'で切断した断面図が図9(B)に相当する。また、図9(B)は、実施の形態に示した図3(E)とも対応しており、同じ部分には同一の符号を用いた。

【0080】

こうして画素部には、表示領域(画素サイズ $23 \mu\text{m} \times 23 \mu\text{m}$)の面積(開口率74.5%)を確保しつつ、nチャネル型TFTでなる画素TFTが形成され、十分な保持容量(55.2 fF)を得ることができる。

【0081】

なお、本実施例は一例であって本実施例の工程に限定されないことはいうまでもない。例えば、各導電膜としては、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、シリコン(Si)から選ばれた元素、または前記元素を組み合わせた合金膜(代表的には、Mo-W合金、Mo-Ta合金)を用いることができる。また、各絶縁膜としては、酸化シリコン膜や窒化シリコン膜や酸化窒化シリコ

10

20

30

40

50

ン膜や有機樹脂材料（ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等）

膜を用いることができる。

【0082】

また、こうして得られたTFTのオフ電流は小さく、画素部のTFTとして適している。また、TFTの特性の変動が小さい。図9にそのTFTの特性の変動を光強度とV（V-T曲線の変動値）との関係を示す。このVは、V-T曲線を求め、光源からの光を100%とし、V-T曲線の縦軸である透過率Tが50%の値の時のVの値が、画素部において最初に印加される画素の値と、最後に印加される画素の値とで異なり、その差の絶対値を示している。このVの値が小さければ小さいほど、TFT特性の変動が小さいと言える。また、横軸の光強度（測定で使用した光源）に対する変化が小さければ小さいほど、光に対する劣化が小さいと言える。

10

【実施例2】

【0083】

本実施例は実施例1の画素構造に代えて図10に示した画素構造とした例を示す。

【0084】

本実施例は、実施例1とソース配線、ドレイン電極のパターン形状が異なるだけで他の構造は同一であるため、ここでは異なる点についてのみ説明することとする。

【0085】

実施例1では遮光層で半導体層の遮光を行いつつ、さらにソース配線の一部で半導体層の遮光を行い、加えてゲート電極と絶縁膜を介して一部が重なるドレイン電極を設けて半導体層の遮光を行う構造としたが、本実施例では、遮光層521でのみ半導体層の遮光を行う例である。

20

【0086】

なお、図10(A)は、図7(B2)と対応しており、ソース配線419に代えてソース配線519、ドレイン電極418に代えてドレイン電極518とする。また、図10(B)は、図8(B)と対応しており、遮光層421と同じパターン形状である遮光層521とする。

【0087】

図13に本実施例のTFTの特性の変動を光強度とV（V-T曲線の変動値）との関係を示す。本実施例は、実施例1と比べTFTの変動が大きい一方、本実施例の画素構造とすることによって、実施例1でゲート電極とドレイン電極とそれらの電極に挟まれた絶縁膜とで形成される寄生容量を低減することができる。

30

【実施例3】

【0088】

本実施例は実施例1の画素構造に代えて図11に示した画素構造とした例を示す。

【0089】

本実施例は、実施例1と遮光層のパターン形状が異なるだけで他の構造は同一であるため、ここでは異なる点についてのみ説明することとする。

【0090】

実施例1では遮光層のパターン形状はゲート電極を完全に覆う形状（ゲート電極の端部と遮光層の端部が一致しない）としていたが、本実施例では、実施例1よりも遮光層のパターン形状を小さくし、遮光層621の端部がゲート電極の端部と一部一致させる例である。

40

【0091】

なお、図11は、図8(B)と対応しており、遮光層421と異なるパターンである遮光層621とする。

【0092】

図13に本実施例のTFTの特性の変動を光強度とV（V-T曲線の変動値）との関係を示す。本実施例は、実施例1と比べTFTの変動が大きい一方、本実施例の画素構造

50

とすることによって、開口率を向上することができる。また、本実施例と実施例 1 の実験結果から、遮光層のパターン形状だけでも特性変動に影響があることが読み取れる。

【実施例 4】

【0093】

本実施例は実施例 1 の画素構造に代えて図 12 に示した画素構造とした例を示す。

【0094】

本実施例は、実施例 1 と画素電極のコンタクト位置が異なるだけで他の構造は同一であるため、ここでは異なる点についてのみ説明することとする。

【0095】

実施例 1 ではドレイン電極と画素電極とのコンタクト位置と、ゲート電極と走査線とのコンタクト位置を離して配置する構造としていたが、本実施例では、両方のコンタクト位置をほぼ同一の位置に配置した例である。また、図 12 に示したように半導体層のパターン形状と、容量配線の形状も若干変更した。

【0096】

なお、図 12 (A) は、図 7 (B2) と対応しており、ソース配線 419 に代えてソース配線 719、ドレイン電極 418 に代えてドレイン電極 718 とする。また、図 12 (B) は、図 8 (B) と対応しており、遮光層 421 と異なるパターン形状である遮光層 721 とする。また、図 12 (C) は、図 9 と対応しており、画素電極 423 と同じパターン形状である画素電極 723 とする。

【0097】

図 13 に本実施例の TFT の特性の変動を光強度と V (V - T 曲線の変動値) との関係を示す。本実施例は、実施例 1 と比べ TFT の変動が大きい一方、本実施例の画素構造とすることによって、開口率を向上することができる。また、本実施例と実施例 1 の実験結果から、画素電極のコンタクト位置だけでも特性変動に影響があることが読み取れる。

【実施例 5】

【0098】

本実施例では、実施例 1 とは異なる TFT 構造を示す。

【0099】

実施例 1 の TFT 構造は、ソース領域およびドレイン領域の間に二つのチャネル形成領域を有した構造 (ダブルゲート構造) となっている。このようなダブルゲート構造とすることで TFT の特性不良に対して冗長性を持たせることができるため、有効である。しかし、実施例 1 の TFT は、ダブルゲート構造とすることで画素一つに対する TFT の占める面積が大きくなり、開口率が低下していた。そこで本実施例では、図 14 (A) に示したように、図 7 (A) の工程の際でのレジストマスク 412 の設計をレジストマスク 812 に変え、二つのチャネル形成領域の間に低濃度不純物領域 (LDD 領域) を設けない構造とする。なお、図 7 (A) の工程までは実施例 1 に従って素子基板を形成すればよい。図 14 (A) に示したレジストマスク 812 をマスクとして高濃度のドーピングを行い、高濃度不純物領域 813 を形成する。二つのチャネル形成領域 814 の間の半導体領域は、ソース領域またはドレイン領域と同程度に不純物元素を含有している高濃度不純物領域 813 である。本実施例の TFT 構成とすることで二つのチャネル形成領域 814 の間隔を短くすることができ、画素一つに対する TFT の占める面積を小さくすることができる。

【0100】

次いで、実施例 1 と同様にマスクを除去した後、ゲート電極及び容量配線を覆う絶縁膜 816、817 を形成し、該絶縁膜上に半導体層と接続するソース配線 (ソース電極含む) 819 と、半導体層と接続するドレイン電極 818 とを同時形成する。(図 14 (B)) この段階で半導体層の全ての領域においてゲート電極、ソース配線、またはドレイン電極のいずれか一と重畳させる。なお、ソース配線の一部、またはドレイン電極の一部は第 2 遮光層として働く。

【0101】

10

20

30

40

50

次いで、ソース配線、またはドレイン電極を覆う絶縁膜を形成し、該絶縁膜上に第3遮光層821を形成する。なお、第3遮光層のパターン周縁部は、ゲート電極のパターンの外側にある程度マージンをもって配置される。このように第2遮光層と第3遮光層とを設けることによって、第3遮光層の端部で回折した光が半導体層に照射されるのを防止することができる。

【0102】

次いで、第3遮光層を覆う絶縁膜を形成し、該絶縁膜上にドレイン電極と接続する画素電極823を形成する。(図14(C))なお、画素電極とドレイン電極とを接続する箇所においては第3遮光層を設けることができないため、できるだけチャンネル形成領域との距離を大きくとることが望ましい。

10

【0103】

また、本実施例のTFT構造は、実施例1に示したTFTのオン電流値(確率分布曲線の最大値を示すオン電流値 $=3.09 \times 10^{-5} \text{ A}$)よりも高いオン電流値(確率分布曲線の最大値を示すオン電流値 $=4.24 \times 10^{-5} \text{ A}$)を有し、非常に有効である。図15にオフ電流値の確率分布図を示す。

【0104】

図16にオフ電流値の確率分布図を示す。また、実施例1に比べて本実施例のTFTのオフ電流値は、ほぼ同程度である。図15および図16において、二つのチャンネル形成領域の間隔を $1 \mu\text{m}$ としたサンプルA、 $2 \mu\text{m}$ としたサンプルBとを用意して比較を行った。また、本実施例と比較するために実施例1のTFT構造のサンプルCも用意して測定した結果も示している。加えて、本実施例と比較するために、二つのチャンネル形成領域の間に低濃度不純物領域(LDD領域: $1 \mu\text{m}$)のみを形成したサンプルDを用意して測定した結果も示している。

20

【0105】

さらに、本実施例のTFT構造は、TFTのオフ電流異常の発生割合を低減することができ、歩留まり向上にもつながる。それぞれのTFTのオフ電流異常の発生割合を求めた。マトリクス状に 12×17 個の画素を配置したサンプルに対して、オフ電流が 100 fA を越える画素の個数の割合をオフ電流異常値を有する画素発生割合として求めたところ、サンプルAは1%、サンプルBは2%、サンプルCは3%、サンプルDは17%となった。本実施例のTFT構造であるサンプルAが最もオフ電流異常発生率が低い。

30

【0106】

これらの実験結果から、本実施例のTFT構造とすることで、画素一つに対するTFTの占める面積を小さくすることができれば、開口率あるいは保持容量を増加させることができる。例えば、実施例1と同等の表示領域(画素サイズ $23 \mu\text{m} \times 23 \mu\text{m}$)の面積(開口率74.5%)を確保しつつ、nチャンネル型TFTでなる画素TFTが形成され、実施例1よりも大きい保持容量(57.9 fF)を得ることができる。

【0107】

また、本実施例は実施例1乃至4のいずれの構成とも自由に組み合わせることができる。

【実施例6】

40

【0108】

本発明を実施して形成された画素部は様々なモジュール(アクティブマトリクス型液晶モジュール、アクティブマトリクス型ELモジュール、アクティブマトリクス型ECモジュール)に用いることができる。即ち、それらを表示部に組み込んだ電子機器全てに本発明を実施できる。

【0109】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図17~図19に示す。

50

【 0 1 1 0 】

図 1 7 (A) はパーソナルコンピュータであり、本体 2 0 0 1、画像入力部 2 0 0 2、表示部 2 0 0 3、キーボード 2 0 0 4 等を含む。本発明を表示部 2 0 0 3 に適用することができる。

【 0 1 1 1 】

図 1 7 (B) はビデオカメラであり、本体 2 1 0 1、表示部 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 等を含む。本発明を表示部 2 1 0 2 に適用することができる。

【 0 1 1 2 】

図 1 7 (C) はモバイルコンピュータ (モービルコンピュータ) であり、本体 2 2 0 1、カメラ部 2 2 0 2、受像部 2 2 0 3、操作スイッチ 2 2 0 4、表示部 2 2 0 5 等を含む。本発明は表示部 2 2 0 5 に適用できる。

10

【 0 1 1 3 】

図 1 7 (D) はゴーグル型ディスプレイであり、本体 2 3 0 1、表示部 2 3 0 2、アーム部 2 3 0 3 等を含む。本発明は表示部 2 3 0 2 に適用することができる。

【 0 1 1 4 】

図 1 7 (E) はプログラムを記録した記録媒体 (以下、記録媒体と呼ぶ) を用いるプレーヤーであり、本体 2 4 0 1、表示部 2 4 0 2、スピーカ部 2 4 0 3、記録媒体 2 4 0 4、操作スイッチ 2 4 0 5 等を含む。なお、このプレーヤーは記録媒体として D V D (D i g t t i a l V e r s a t i l e D i s c)、C D 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部 2 4 0 2 に適用することができる。

20

【 0 1 1 5 】

図 1 7 (F) はデジタルカメラであり、本体 2 5 0 1、表示部 2 5 0 2、接眼部 2 5 0 3、操作スイッチ 2 5 0 4、受像部 (図示しない) 等を含む。本発明を表示部 2 5 0 2 に適用することができる。

【 0 1 1 6 】

図 1 8 (A) はフロント型プロジェクターであり、投射装置 2 6 0 1、スクリーン 2 6 0 2 等を含む。本発明は投射装置 2 6 0 1 の一部を構成する液晶モジュール 2 8 0 8 に適用することができる。

30

【 0 1 1 7 】

図 1 8 (B) はリア型プロジェクターであり、本体 2 7 0 1、投射装置 2 7 0 2、ミラー 2 7 0 3、スクリーン 2 7 0 4 等を含む。本発明は投射装置 2 7 0 2 の一部を構成する液晶モジュール 2 8 0 8 に適用することができる。

【 0 1 1 8 】

なお、図 1 8 (C) は、図 1 8 (A) 及び図 1 8 (B) 中における投射装置 2 6 0 1、2 7 0 2 の構造の一例を示した図である。投射装置 2 6 0 1、2 7 0 2 は、光源光学系 2 8 0 1、ミラー 2 8 0 2、2 8 0 4 ~ 2 8 0 6、ダイクロイックミラー 2 8 0 3、プリズム 2 8 0 7、液晶モジュール 2 8 0 8、位相差板 2 8 0 9、投射光学系 2 8 1 0 で構成される。投射光学系 2 8 1 0 は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図 1 8 (C) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、I R フィルム等の光学系を設けてもよい。

40

【 0 1 1 9 】

また、図 1 8 (D) は、図 1 8 (C) 中における光源光学系 2 8 0 1 の構造の一例を示した図である。本実施例では、光源光学系 2 8 0 1 は、リフレクター 2 8 1 1、光源 2 8 1 2、レンズアレイ 2 8 1 3、2 8 1 4、偏光変換素子 2 8 1 5、集光レンズ 2 8 1 6 で構成される。なお、図 1 8 (D) に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、I R フィルム等の光学系を設けてもよい。

50

【 0 1 2 0 】

ただし、図 1 8 に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及び E L モジュールでの適用例は図示していない。

【 0 1 2 1 】

図 1 9 (A) は携帯電話であり、本体 2 9 0 1、音声出力部 2 9 0 2、音声入力部 2 9 0 3、表示部 2 9 0 4、操作スイッチ 2 9 0 5、アンテナ 2 9 0 6、画像入力部 (C C D、イメージセンサ等) 2 9 0 7 等を含む。本発明を表示部 2 9 0 4 に適用することができる。

【 0 1 2 2 】

図 1 9 (B) は携帯書籍 (電子書籍) であり、本体 3 0 0 1、表示部 3 0 0 2、3 0 0 3、記憶媒体 3 0 0 4、操作スイッチ 3 0 0 5、アンテナ 3 0 0 6 等を含む。本発明は表示部 3 0 0 2、3 0 0 3 に適用することができる。

【 0 1 2 3 】

図 1 9 (C) はディスプレイであり、本体 3 1 0 1、支持台 3 1 0 2、表示部 3 1 0 3 等を含む。本発明は表示部 3 1 0 3 に適用することができる。

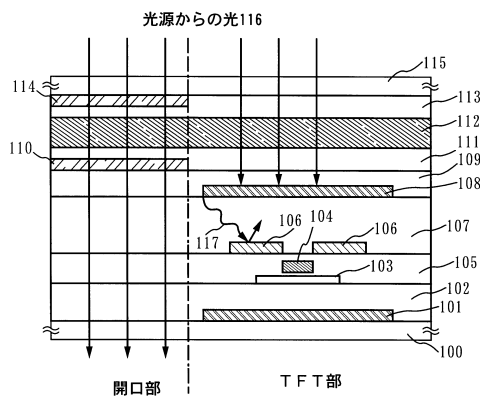
【 0 1 2 4 】

ちなみに図 1 9 (C) に示すディスプレイは中小型または大型のもの、例えば 5 ~ 2 0 インチの画面サイズのものである。また、このようなサイズの表示部を形成するためには、基板の一边が 1 m のものを用い、多面取りを行って量産することが好ましい。

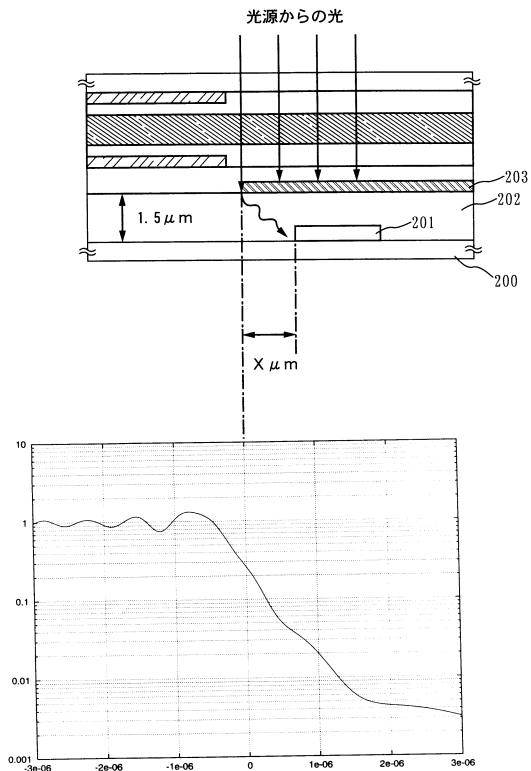
【 0 1 2 5 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器の作製方法に適用することが可能である。また、本実施例の電子機器は実施例 1 ~ 5 のどのような組み合わせからなる構成を用いても実現することができる。

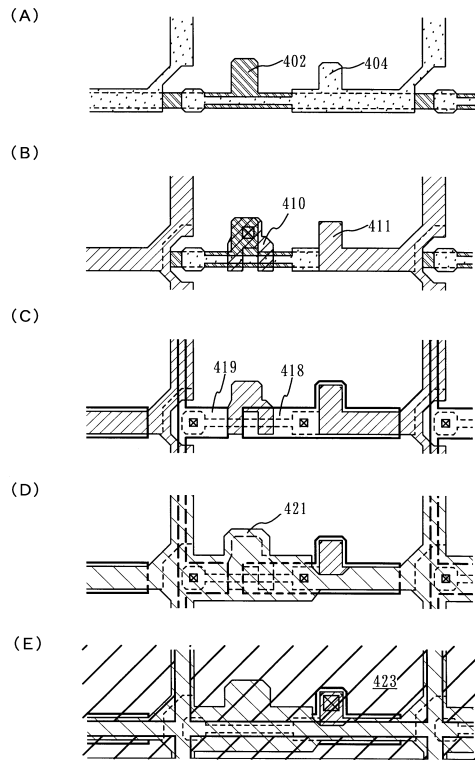
【 図 1 】



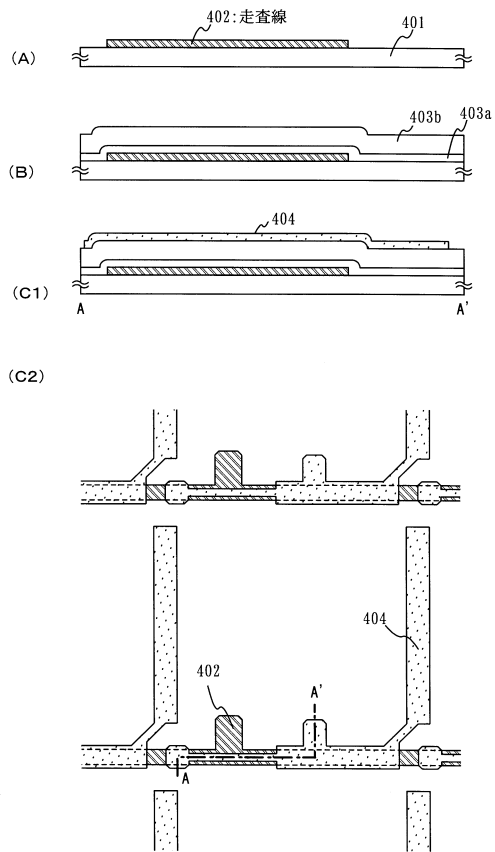
【 図 2 】



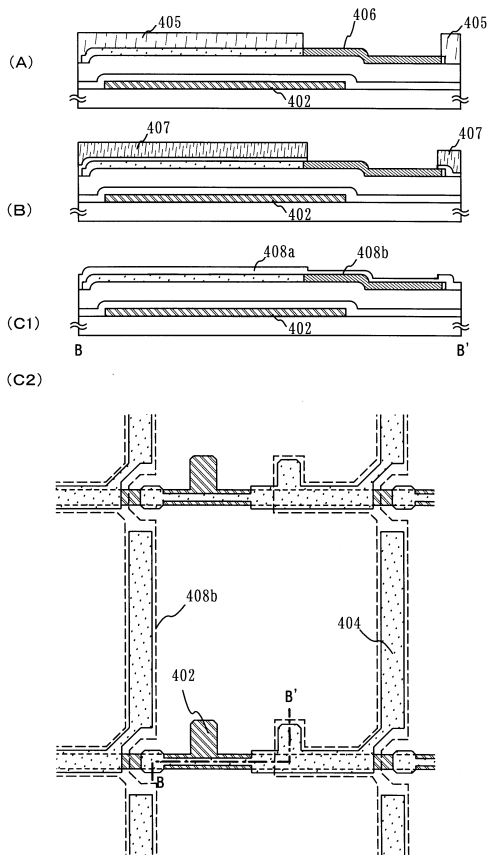
【図 3】



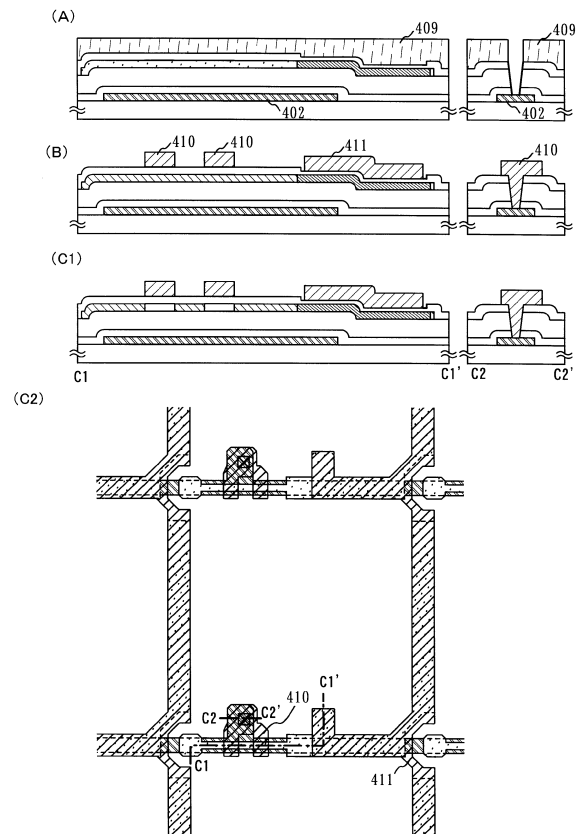
【図 4】



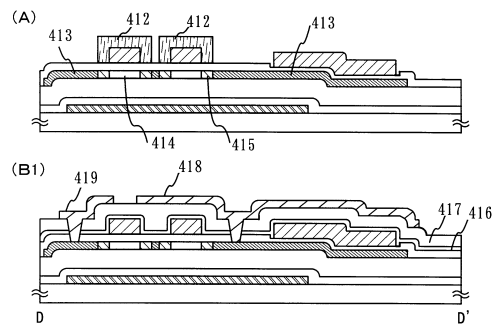
【図 5】



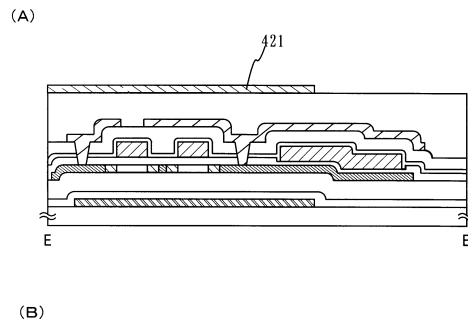
【図 6】



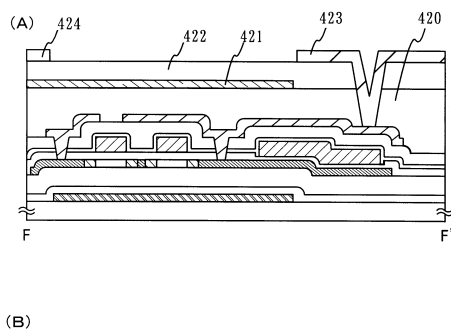
【図 7】



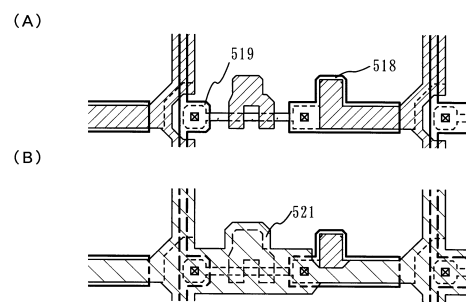
【図 8】



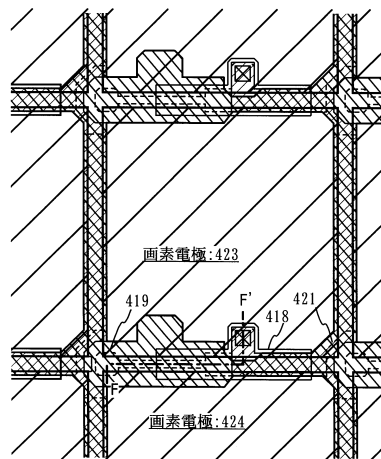
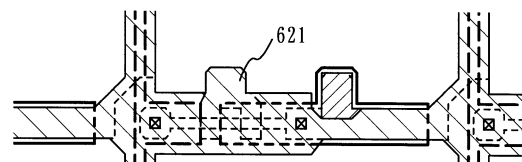
【図 9】



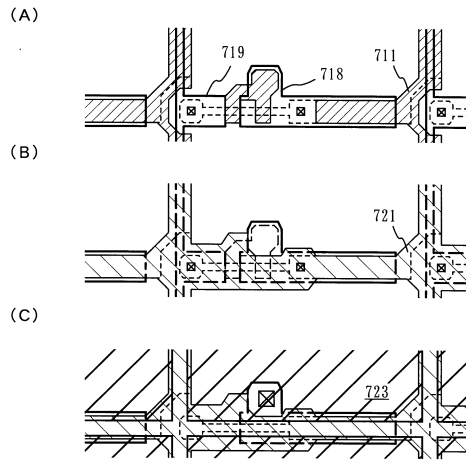
【図 10】



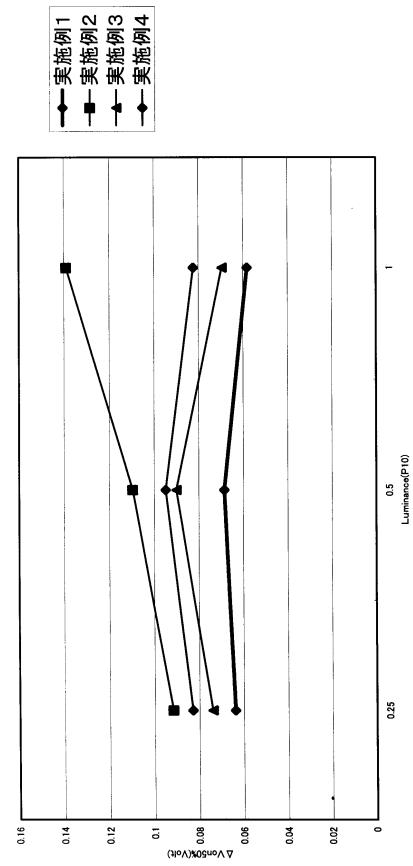
【図 11】



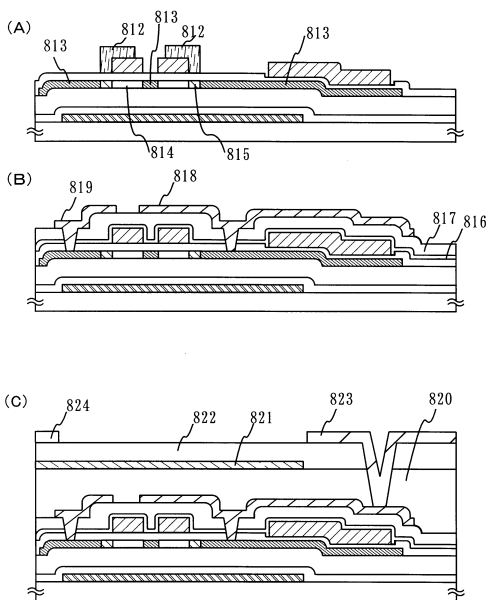
【図 1 2】



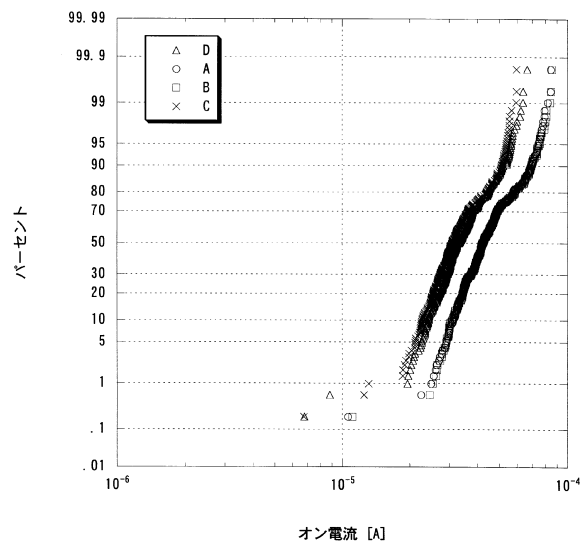
【図 1 3】



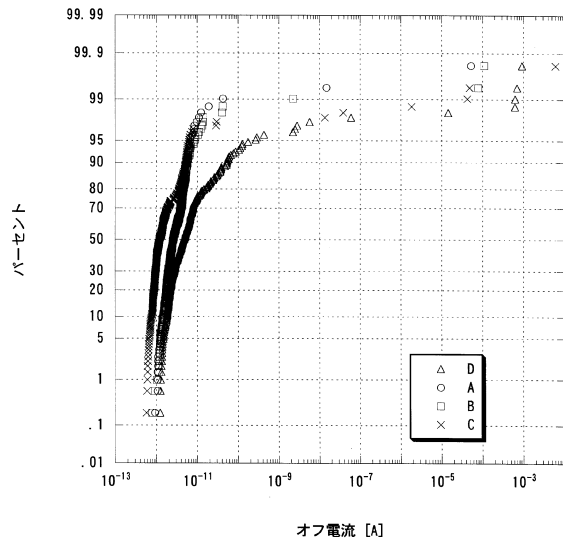
【図 1 4】



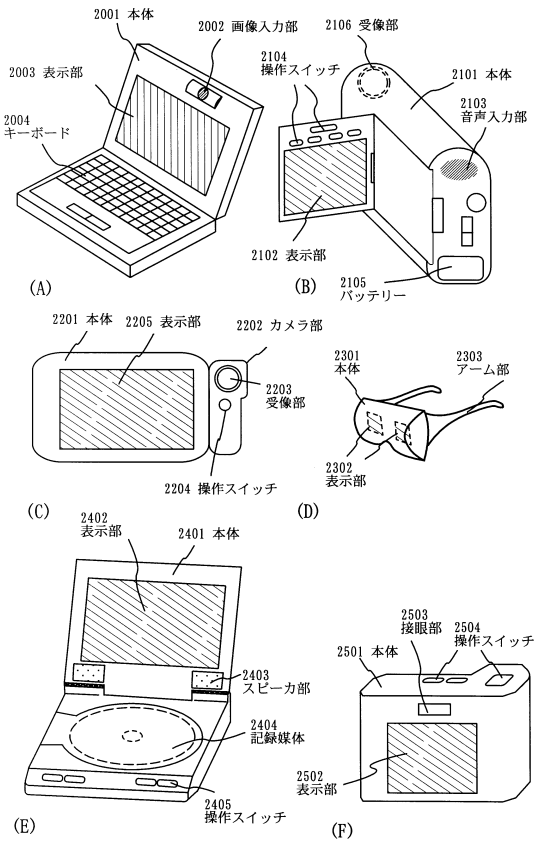
【図 1 5】



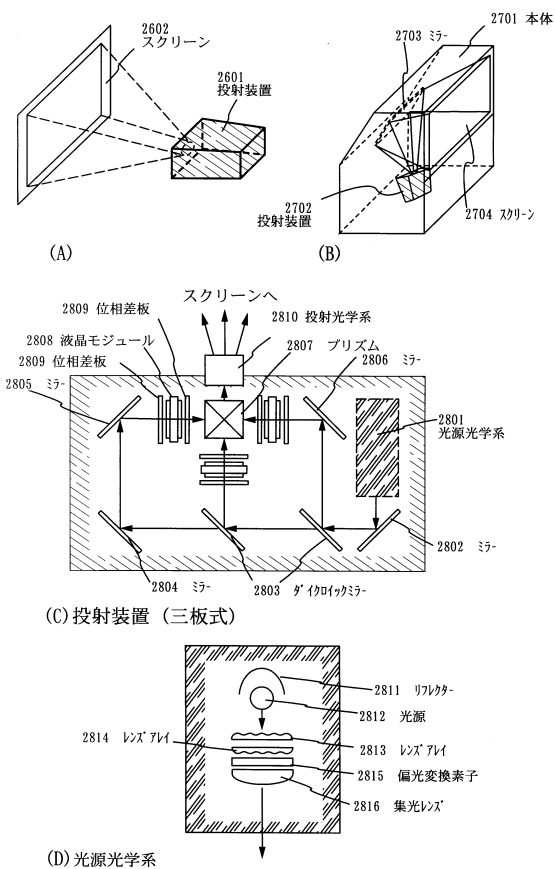
【図 16】



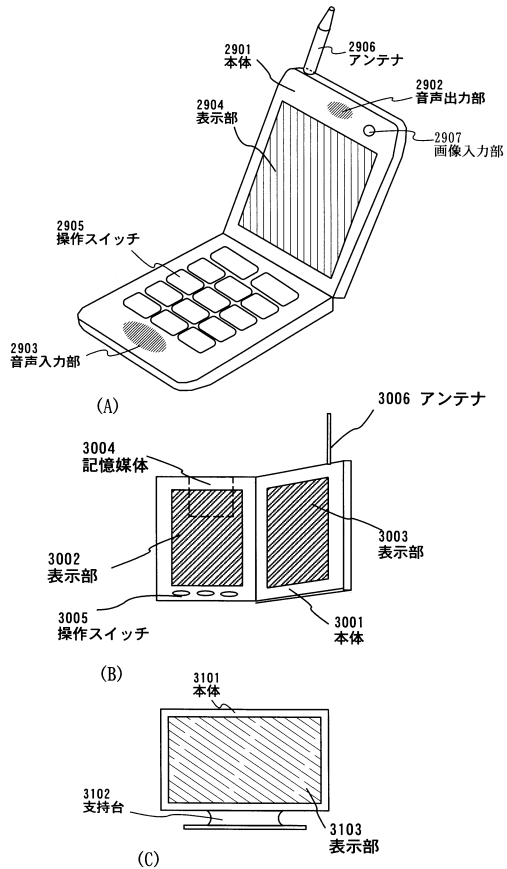
【図 17】



【図 18】



【図 19】



フロントページの続き

(51)Int.Cl. F I

G 0 9 F 9/30 (2006.01)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L	2 1 / 3 3 6
G 0 2 F	1 / 1 3 3 5
G 0 2 F	1 / 1 3 4 3
G 0 2 F	1 / 1 3 6 8
G 0 9 F	9 / 3 0
H 0 1 L	2 9 / 7 8 6