



(12) 发明专利

(10) 授权公告号 CN 102097584 B

(45) 授权公告日 2013. 10. 23

(21) 申请号 201010522973. 3

(22) 申请日 2010. 10. 26

(30) 优先权数据

091745760 2009. 10. 30 EP

(73) 专利权人 株式会社日立制作所

地址 日本东京都

(72) 发明人 小川晋 戴维·威廉斯 福田宏

鹭尾胜由

(74) 专利代理机构 北京银龙知识产权代理有限公司

公司 11243

代理人 许静

(51) Int. Cl.

H01L 43/08 (2006. 01)

H01L 43/12 (2006. 01)

G01R 33/09 (2006. 01)

审查员 陈冠源

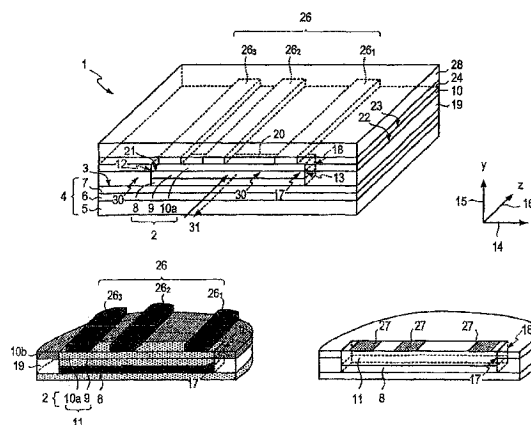
权利要求书3页 说明书15页 附图22页

(54) 发明名称

磁阻器件

(57) 摘要

磁阻器件包括：晶片(4,64)；细长的半导体沟道(11)，在第一方向(14)延伸；以及至少两根导线(26)，提供与沟道的一组触点(27)。器件可以包括与沟道接触的可选的半导体分流器(8)。可选的分流器、沟道和触点组在垂直于第一方向(14)和衬底的表面的第二方向(15)上相对于衬底堆叠。器件具有沿着沟道行进的侧面(30)。器件响应于通常垂直于侧面的磁场(31)。



1. 一种磁阻器件,包括:
衬底 (4,64),具有表面 (3);
细长的半导体沟道 (11),在第一方向 (14) 延伸;以及
至少两根导线 (26),提供了一组到沟道的触点 (27);
其中,沟道和所述一组触点在垂直于第一方向和衬底的表面的第二方向 (15) 上相对于衬底堆叠,其中所述器件具有沿着沟道行进的侧面 (30),所述侧面 (30) 是位于平行于第一和第二方向 (14、15) 的平面,
其特征在于,所述器件能够对通常与侧面垂直的磁场 (31) 作出响应。
2. 根据权利要求 1 所述的器件,还包括与沟道接触的半导体分流器 (8),其中分流器 (8)、沟道 (11) 和所述一组触点 (27) 在第二方向 (15) 上相对于衬底堆叠。
3. 根据权利要求 2 所述的器件,其中,沟道 (11) 是未掺杂的,或者其中沟道 (11) 比起分流器 (8) 较少的掺杂并且具有与分流器相反的导电类型。
4. 根据权利要求 2 或 3 所述的器件,其中,分流器 (8) 是单晶的。
5. 根据权利要求 2 所述的器件,其中分流器 (8) 包括硅。
6. 根据权利要求 2 所述的器件,还包括与分流器 (8) 接触的导电层 (7),其中该分流器被插入在导电层 (7) 和沟道 (11) 之间。
7. 根据权利要求 6 所述的器件,其中,导电层 (7) 包括硅。
8. 根据权利要求 6 所述的器件,其中,导电层 (7) 包括衬底 (4) 的顶层。
9. 根据权利要求 6 所述的器件,其中导电层 (7) 包括金属硅化物。
10. 根据权利要求 1 所述的器件,其中,沟道 (11) 包括第二半导体层 (9) 和第三半导体层 (10) 的部分 (10a),第二半导体层 (9) 被插入到分流器 (8) 和第三半导体层 (10) 之间。
11. 根据权利要求 10 所述的器件,其中,第二半导体层 (9) 和第三半导体层的部分 (10a) 是单晶的,和 / 或第三半导体层 (10) 的其他部分 (10b) 是非晶体的。
12. 根据权利要求 1 所述的器件,其中,沟道包括硅或锗化硅。
13. 根据权利要求 1 所述的器件,还包括介电层 (19),介电层具有沟槽 (20),其中在沟槽中形成分流器 (8) 和至少部分沟道 (11)。
14. 根据权利要求 1 所述的器件,其中,所述至少两根导线 (26) 包括硅和 / 或金属硅化物。
15. 根据权利要求 1 所述的器件,还包括额外的导线 (261),该额外的导线提供向沟道 (11) 的额外的触点 (27a),其中沟道被布置在所述额外的触点和所述一组触点 (27) 之间。
16. 根据权利要求 1 所述的器件,还包括第一和第二磁场屏蔽层 (60,61),其中分流器 (8)、沟道 (11) 和所述一组触点 (27) 被布置在第一和第二磁场屏蔽层之间。
17. 根据权利要求 1 所述的器件,其中,衬底 (64) 包括磁头滑撬衬底,为 AlTiC 衬底的形式。
18. 一种用于磁盘驱动器的磁头滑撬 (70),所述滑撬包括根据前述权利要求中的任一项所述的器件。
19. 一种磁盘驱动器 (87),包括:
外壳 (88);
装配在外壳内的磁介质 (89);

根据权利要求 18 所述的磁头滑撬 (70), 其中所述滑撬被保持在外壳内, 用于靠近磁介质移动。

20. 一种制造磁阻器件的方法, 所述方法包括:

提供具有表面 (3) 的衬底 (4);

形成细长的半导体沟道 (11), 其中沟道在第一方向 (14) 延伸; 以及

形成至少两根导线 (26), 提供到沟道的一组触点 (27);

其中, 沟道 (11) 和所述一组触点 (27) 在垂直于第一方向和衬底的表面的第二方向 (15) 上堆叠在衬底上, 所述方法还包括:

形成在沟道旁行进的面 (30), 所述面 (30) 是位于平行于第一和第二方向 (14、15) 的平面,

其特征在于, 所述器件能够对通常垂直于所述面的磁场 (31) 作出响应。

21. 根据权利要求 20 所述的方法, 还包括:

在衬底 (4) 的表面 (3) 上形成半导体分流器 (8)。

22. 根据权利要求 20 或 21 所述的方法, 还包括:

在衬底 (4) 的表面 (3) 上形成介电层 (19'), 其中介电层具有第一沟槽 (20'), 第一沟槽 (20') 中暴露衬底的表面; 以及

在衬底上形成分流器 (8) 或沟道 (11)。

23. 根据权利要求 22 所述的方法, 其中, 衬底 (4) 包括顶部半导体层 (7'), 并且所述方法包括:

在顶部半导体层上形成第一半导体层 (8'),

其中形成第一半导体层 (8') 包括:

在顶部半导体层 (7') 上外延地生长第一半导体层 (8')。

24. 根据权利要求 23 所述的方法, 包括:

在第一半导体层 (8') 上形成第二半导体层 (9'),

其中形成第二半导体层包括:

在第一半导体层 (8') 上外延地生长第二半导体层 (9')。

25. 根据权利要求 24 所述的方法, 包括:

在第二半导体层 (9') 和介电层 (19') 上形成第三半导体层 (10'), 其中在第二半导体层 (9') 上形成第三半导体层的部分 (10a');

其中第二半导体层 (9') 和第三半导体层的部分 (10a) 是单晶的和 / 或第三半导体层 (10) 的其他部分 (10b) 是非晶体的。

26. 根据权利要求 25 所述的方法, 还包括:

在第三半导体层上形成第二介电层 (24'), 其中第二介电层具有一组第二沟槽 (25'), 在所述一组第二沟槽中暴露第三半导体层的表面; 以及

在第三半导体层上形成所述导线。

27. 根据权利要求 20 所述的方法, 其中, 形成所述导线的步骤包括沉积第四半导体层 (55) 以及, 硅化第四半导体层。

28. 根据权利要求 20 所述的方法, 其中, 所述器件包括在衬底 (4') 上形成的堆叠结构 (66'), 所述方法还包括:

将另一个衬底(64')结合到堆叠结构上。

29. 根据权利要求 28 所述的方法,包括:

牺牲衬底(4')的至少部分(5',6')。

30. 根据权利要求 20 所述的方法,其中,形成面(30)的步骤包括研磨边缘。

31. 一种制造磁头滑撬的方法,包括根据权利要求 20 到 30 中的任一项所述的制造磁阻器件的方法。

磁阻器件

技术领域

[0001] 本发明涉及磁阻器件,该磁阻器件特别但并非专门用作硬盘驱动器中的读取头。

背景技术

[0002] 硬盘驱动器 (HDD) (或磁盘驱动器) 被广泛地用于高密度信息存储。通常在与这种类型存储传统地相关联的计算机系统中能够发现 HDD, 例如服务器和台式计算机。然而, 在例如音频播放器和照相机等手持电子装置中也可以发现具有较小的形状因子 (form factor) 的 HDD, 例如 1 英寸驱动器。

[0003] 通过增加存储密度可以实现 HDD 中的较高的存储容量。当前, 存储密度大约每年翻倍, 并且使用现有技术当前能实现的最高存储密度大约为 100Gb/in^2 , 现有技术例如为在磁记录介质中纵向排列的位单元中记录数据并且使用所谓的“自旋值 (spin value)”读取头读取数据。

[0004] 然而, 随着 HDD 中的存储密度持续增加, 记录介质和读取头面临超顺磁效应的问题。

[0005] 当铁磁颗粒足够小使得改变颗粒的磁性方向所需的能量与热能相当时, 引起超顺磁效应。由此, 颗粒的磁性易于变动, 并且由此导致数据损失。

[0006] 对于记录介质, 已经证明解决上述问题的方法涉及将比特单元布置为与记录介质的表面垂直 (而不是纵向), 这允许每个比特单元足够大以避免超顺磁效应。

[0007] 为了解决读取头中的上述问题, 提出了避免使用任何铁磁材料以及利用所谓的非常磁阻效应 (extraordinary magnetoresistance EMR effect)。

[0008] 在 S. A. Solin, T. Thio, D. R. Hines 和 J. J. Heremans, Science volume 289, p. 1530 (2000) 的 “Enhanced Room-Temperature Geometric Magnetoresistance in Inhomogeneous Narrow-Gap Semiconductors” 中描述了具有 EMR 效应的器件。在 van der Paw 结构中布置了该器件, 并且该器件包括在非磁性锑化铟 (InSb) 的磁盘中心嵌入的高导电金异质性 (inhomogeneity)。在零应用磁场 ($H = 0$), 电流流过金异质性。然而, 在非零应用磁场 ($H \neq 0$), 电流偏离垂直于场线分布, 围绕金异质性并且通过环面。这引起电导下降。

[0009] 当前, 具有低的载流子密度的窄禁带半导体看起来是基于 EMR 的读取头的最佳备选, 例如锑化铟 (在 300°K 时 $\mu_n = 7 \times 10^4 \text{cm}^2 \text{V}^{-1} \text{s}^{-1}$) 砷化铟 (在 300°K 时 $\mu_n = 3 \times 10^4 \text{cm}^2 \text{V}^{-1} \text{s}^{-1}$) 和砷化镓 (在 300°K 时 $\mu_n = 8.5 \times 10^3 \text{cm}^2 \text{V}^{-1} \text{s}^{-1}$)。

[0010] S. A. Solin, D. R. Hines, A. C. H. Row, J. S. Tsai 和 Yu A. Pashkin 在 Journal of Vacuum Science and Technology, volume B21, p. 3002 (2003) 的 “Nanoscopic magnetic field sensor based on extraordinary magnetoresistance” 中描述了具有 Hall bar 类型布置的器件, 该 Hall bar 类型布置具有锑化铟 / 锑化铝铟 ($\text{InSb}/\text{In}_{1-x}\text{Al}_x\text{Sb}$) 量子井异质结构。

[0011] 这种器件的缺点在于它需要厚的 (大约 75nm) 钝化层来保护和限制活性层以及氮

化硅形式的绝缘敷层。这增加了沟道和磁介质之间的分离,并且由此减小了磁场强度,从而减小了输出信号。

[0012] 硅不需要钝化并且具有磁阻的基于硅的磁场传感器是已知的。

[0013] 例如,EP1868254A 描述了具有硅形成的沟道的表现出 EMR 效应的器件。由硅化钛或高掺杂的硅形成的导体作为分流器并且沿着沟道的一侧与沟道连接。导线在沟道的另一侧连接至沟道并沿着沟道间隔。由此,沟道、分流器和导线形成了横向或“平面”的 EMR 器件,该 EMR 器件响应于与形成该器件的层垂直的磁场。

[0014] 2008 年 6 月 9 日申请的 EP 申请号 08157887 (Article 54(3)EPC) 描述了具有硅形成的沟道的平面 EMR 器件,其包括细长沟道。分流器沿着沟道的一侧连接至沟道,并且沿着沟道的另一侧连接一组导线。该器件还包括顶栅布置以在沟道中形成反向层。

[0015] US2006/0022672A1 描述了在 III-V 异质结构中形成的另一个平面 EMR 器件。

[0016] 2008 年 6 月 9 日申请的 EP 申请号 08157888.2 (Article 54(3)EPC) 描述了具有由硅形成的沟道的(非 EMR)磁阻器件。一组导线沿着沟道的一侧连接至沟道。在沟道下可选地提供分流器。该器件还包括顶栅布置以在沟道中形成反向层。

[0017] 平面 EMR 器件和相似类型的平面 MR 器件(例如应用 Lorentz 力以弯曲电流路径和/或利用 Hall 效应)通常与用于制造 HDD 的磁头滑撬(slider)的现有工艺不兼容,特别是用于形成气浮表面的研磨(lapping)工艺。

发明内容

[0018] 本发明用于改进这样的问题。

[0019] 根据本发明的第一方面,提供一种磁阻器件,包括:衬底,在第一方向延伸的细长的半导体沟道,以及至少两个导线,向沟道提供一组触点,其中,沟道和上述一组触点在垂直于第一方向和衬底的表面的第二方向上相对于衬底堆叠,其中所述器件具有沿着沟道行进的侧面并且所述器件响应于通常与侧面垂直的磁场。

[0020] 由此,与现有的平面类型的 MR 器件相比,器件可以提供“垂直类型”或“堆叠的”MR 器件,其与现有的滑撬(slider)形成技术兼容。特别地,侧面可以形成空气轴承表面的部分。

[0021] 器件可以还包括与沟道接触的半导体分流器。

[0022] 沟道可以是未掺杂的,或者沟道比起分流器较少的掺杂,并且具有与分流器和/或导线相反的导电类型。例如,沟道可以是 p^- 型。分流器可以是单晶的。分流器可以包括硅。分流器可以使是 n^+ 型。

[0023] 对于沟道的未掺杂的基于硅的材料的使用和用于分流器和导线的高掺杂的基于硅材料的使用可以导致磁阻器件具有足够高的电阻、足够高的输出信号和足够低的 Johnson 噪声。

[0024] 器件可以包括与可选的分流器接触的导电层,其中可选的分流器被插入层和沟道之间。导电层可以包括硅。导电层可以包括衬底的顶层。导电层可以包括金属硅化物。

[0025] 沟道可以包括第二半导体层和第三半导体层的部分,第二半导体层被布置在可选的分流器和第三半导体层之间。第二半导体层和第三半导体层的部分可以是单晶的,第三半导体层的其他部分可以是非晶体的。沟道可以包括硅或锗化硅。

[0026] 器件可以还包括介电层,介电层具有沟槽,其中在沟槽中形成可选的分流器和至少部分沟道。

[0027] 所述至少两根导线包括半导体材料并且可以是 n^+ 型,所述至少两个导线包括硅和/或金属硅化物。

[0028] 器件还包括额外的导线,导线向沟道提供另外的触点,其中沟道被布置在所述另外的触点和上述一组触点之间。

[0029] 器件还包括第一和第二磁场屏蔽层,其中可选的分流器、沟道和上述一组触点被布置在第一和第二磁场屏蔽层之间。

[0030] 衬底可以包括磁头滑撬衬底,可选地为 AlTiC 衬底的形式。

[0031] 根据本发明的第二方面,提供一种磁头滑撬,用于磁盘驱动器,所述滑撬 (slider) 包括前述器件。

[0032] 根据本发明的第三方面,提供一种磁盘驱动器,包括:外壳;装配在外壳内的磁介质;磁头滑撬 (slider),其中所述滑撬被保持在外壳内,用于移动地靠近于磁介质。

[0033] 根据本发明的第四方面,提供一种制造磁阻器件的方法,所述方法包括:提供具有表面的衬底;形成细长的半导体沟道,其中沟道在第一方向延伸;以及形成至少两个导线,向沟道提供一组触点,使得沟道和上述一组触点在垂直于第一方向和衬底的表面的第二方向上堆叠在衬底上,所述方法还包括:形成在沟道旁行进的面并且其中所述器件响应于通常所述面垂直的磁场。

[0034] 该方法还包括:在衬底的表面上形成半导体分流器。

[0035] 该方法还包括:在衬底的表面上形成介电层,其中介电层具有沟槽,沟槽中暴露衬底的表面;以及在衬底上选择性地形成分流器或沟道。

[0036] 衬底可以包括顶部半导体层,并且所述方法包括:在顶部半导体层上选择性地形成第一半导体层。选择性地形成第一半导体层包括:在顶部半导体层上外延地生长第一半导体层。

[0037] 该方法还包括:在第一半导体层上或在衬底上选择性地形成第二半导体层。选择性地形成第二半导体层包括:外延地生长第二半导体层。

[0038] 该方法还包括:在第二或第三半导体层和介电层上形成第三半导体层,其中在第二或第三半导体层上形成第三半导体层的部分;第二半导体层和第三半导体层的部分是单晶的。第三半导体层的其他部分是非晶体的。

[0039] 该方法还包括:在第三半导体层上形成第二介电层,其中第二介电层具有一组沟槽,在该组沟槽中暴露第三半导体层的表面;以及在第三半导体层上选择性地形成导线。

[0040] 形成导线的步骤包括沉积第四半导体层以及使得第四半导体层成为硅化物。

[0041] 该方法可以包括牺牲衬底的至少部分。器件可以包括在衬底上形成的堆叠的结构。该方法还包括将另一个衬底结合到堆叠的结构上。

[0042] 上述形成在沟道旁行进的面步骤包括研磨边缘。

[0043] 根据本发明的第五方面,提供一种包括制造磁阻器件的制造磁头滑撬 (magnetic head slider) 的方法。

附图说明

- [0044] 下面将参考附图通过示例的方式描述本发明的一些实施例,其中;
- [0045] 图 1 是第一磁阻器件的示意性透视图;
- [0046] 图 1a 是图 1 所示的第一磁阻器件的分流器、沟道层和导线的更详细的示意性透视图;
- [0047] 图 1b 是图 1 所示的第一磁阻器件的分流器、沟道和接触区域的更详细的示意性透视图;
- [0048] 图 2 是图 1 所示的第一磁阻器件的平面图;
- [0049] 图 3 是沿着线 A-A' 截取的图 2 所示的第一磁阻器件的横截面图;
- [0050] 图 4 是用于操作图 1 所示的第一磁阻器件的电路布置的示意图;
- [0051] 图 5 示出图 1 所示的第一磁阻器件的敏感区域;
- [0052] 图 6 示出对于三个不同的层厚度值,图 1 所示的第一磁阻器件的仿真电流-电压特性;
- [0053] 图 7 示出图 1 所示的第一磁阻器件的仿真电流密度特性;
- [0054] 图 8 示出图 1 所示的第一磁阻器件的仿真磁阻特性;
- [0055] 图 9a 到 9r 示出制造第一磁阻器件的不同阶段;
- [0056] 图 10 是第二磁阻器件的示意性透视图;
- [0057] 图 11 是用于操作图 10 所示的第二磁阻器件的电路布置的示意图;
- [0058] 图 12 是第三磁阻器件的示意性透视图;
- [0059] 图 13 是用于操作图 12 所示的第三磁阻器件的电路布置的示意图;
- [0060] 图 14 是第四磁阻器件的示意性透视图;
- [0061] 图 14a 是图 14 所示的第四磁阻器件的沟道和接触区域的更详细的示意性透视图;
- [0062] 图 14b 是可选磁阻器件的沟道和接触区域的更详细的示意性透视图;
- [0063] 图 15 是用于操作图 14 所示的第四磁阻器件的电路布置的示意图;
- [0064] 图 16 是第五磁阻器件的示意性透视图;
- [0065] 图 17 是用于操作图 16 所示的第五磁阻器件的电路布置的示意图;
- [0066] 图 18 是第六磁阻器件的示意性透视图;
- [0067] 图 19 是图 18 所示的第六磁阻器件的横截面图;
- [0068] 图 20a 到 20f 示出在制造过程中在不同阶段图 18 所示的第六磁阻器件的制造;
- [0069] 图 21 是第七磁阻器件的示意性透视图;
- [0070] 图 22 是第八磁阻器件的示意性透视图;
- [0071] 图 23 是第九磁阻器件的示意性透视图;
- [0072] 图 24 是第十磁阻器件的示意性透视图;
- [0073] 图 25a 到 25c 示出硬盘驱动器中滑撬的头元件部的制造,该头元件部包括磁阻器件;
- [0074] 图 26 是制造滑撬的方法的处理流程图;
- [0075] 图 27 是滑撬的示意性透视图;以及
- [0076] 图 28 是磁盘驱动器的示意性平面图。

具体实施方式

[0077] 第一磁阻器件 1

[0078] 器件结构

[0079] 参考图 1、1a、1b、2 和 3, 示出了第一磁阻器件 1。

[0080] 器件 1 包括在通用的平面衬底 4 的表面 3 上布置的层结构 2。衬底 4 采取绝缘体上半导体的衬底形式, 其包括半导体基底 5 (下面称为“操作层 (handle layer)”)、绝缘埋层 6 和具有厚度 t_1 的半导体顶层 7。如将在下面详细描述, 半导体表面层 7 使用种子层 (seed layer), 用于随后层 8、9、10a 的外延生长。半导体基底 5 和绝缘埋层 6 可以是牺牲层。另一个衬底 64 (图 19) 可以被连接到器件剩余部分的相对侧上的面 65 (图 19)。

[0081] 在这个例子中, 使用绝缘体上的硅衬底 4。由此, 半导体基底 5 包括硅 (Si), 绝缘埋层 6 包括二氧化硅 (SiO_2), 并且种子层 7 包括单晶硅 (Si)。在这个例子中, 种子层具有大约 1nm 的厚度 t_1 。

[0082] 层结构 2 包括在种子层 7 上生长的具有厚度 t_2 半导体材料的第一层 8、在第一半导体层 8 上生长的具有厚度 t_3 的半导体材料的第二层 9、以及在第二半导体层 9 上生长的具有厚度 t_3 的半导体材料的第三层 10 的部分 10a。第一和第二半导体层 8、9 和第三半导体层 10 的部分 10a 是外延层并且是单晶的。如在更详细的层所述, 第三半导体层 10 包括非晶体的另一个部分 10b。

[0083] 第一半导体层 8 是 n^+ 类型 (即 n 型并且掺杂到 10^{20}cm^{-3} 或 10^{21}cm^{-3} 的量级)。第二和第三半导体层 9、10 是未掺杂的 (即固有的) 或者可以是 p^- 类型 (即, p^- 类型并且掺杂到大约 10^{15}cm^{-3} 和 10^{18}cm^{-3} 的量级之间)。在一些实施例中, 第二和第三半导体层 9、10 可以是 n^- 类型 (即, n^- 类型并且掺杂到大约 10^{15}cm^{-3} 和 10^{18}cm^{-3} 的量级之间)。

[0084] 第二半导体层 9 和第三半导体层 10 的部分 10a 形成了有源传感器沟道 11。由此, 第二半导体层 9 和第三半导体层 10 的部分 10a 在此分别称为第一和第二沟道层 9、10a。较重掺杂的第一半导体层 8 提供了低电阻导电区域, 从沟道 11 流经低电阻导电区域的电流可以被分流。由此, 第一半导体层 8 在此被称为“分流器层”或简称为“分流器 (shunt)”。例如, 分流器 8 可以掺杂砷 (As) 到 10^{20}cm^{-3} 或 10^{21}cm^{-3} 量级的浓度。在一些实施例中, 可以省略第一半导体层 8 (即, 分流器)。

[0085] 在这个例子中, 分流器和沟道层 8、9、10a 均由硅 (Si) 形成。然而, 分流器层 8 和 / 或沟道层 9、10a 可以由锗化硅 ($\text{Si}_{1-x}\text{Ge}_x$) 形成, 例如, 大约具有 10% 的锗含量 (即, $x = 0.1$)。

[0086] 分流器 8 具有大约 1nm 的厚度 t_2 , 并且第一沟道层 9 具有大约 1nm 的厚度 t_3 。

[0087] 分流器和沟道层 8、9、10a 每个都具有大约 1nm 和 10nm 之间的厚度。然而, 层 8、9、10a 优选地尽可能地薄, 从而减小器件电阻。

[0088] 沟道 11 是细长的, 通常在第一纵向方向 14 (下面标记为 x 轴) 具有第一和第二端 12、13 之间的长度 L 。在这个例子中, 长度 L 大约为 150nm。第一、第二和第三方向 14、15、16 是正交的。第二方向 15 是层堆叠的方向 (下面标记为 y 方向)。第二方向 15 与衬底 4 的表面 3 垂直。这里, 第二方向 15 也称为“垂直方向”或“堆叠方向”。沟道 11 在第三方向上 (下面标记为 z 轴) 具有第一和第二边缘 (或“侧”) 17、18 之间的宽度 W 。在这个例子中, 宽度 W 大约 10nm。分流器和沟道层 8、9、10a 通常共同扩张 (在平面上), 并且由此分流

器 8 具有与沟道 11 实质上相同的横向 (lateral) 尺寸 (即, 在 x 和 z 轴上)。

[0089] 衬底 4 也支撑沉积的介电材料的第一图案层 19 (这里简称为“第一介电层”), 其包括沿着第一方向 14 取向的细长凹进台阶 20 (或开口侧的“槽”或“沟槽”)。分流器 8 和第一沟道层 9 形成在沟槽 20 中。分流器 8 和第一沟道层 9 的组合厚度与第一介电层 19 的厚度相同。由此, 第一沟道层 9 的表面 21 和第一介电层 19 的表面 22 是水平的。在这个例子中, 介电材料包括二氧化硅 (SiO_2)。

[0090] 在第一沟道层 9 和第一介电层 19 的表面 21、21 上形成有第三半导体层 10, 并且第三半导体层 10 具有上表面 23。第三半导体层 10 可包括硅, 尽管也可以使用锗化硅。在这个例子中, 第三半导体层 10 具有大约 1nm 的厚度 t_4 。

[0091] 如前所述, 取决于下面的材料, 第三半导体层 10 包括晶体的和非晶体的区域 10a、10b。由此, 在第一沟道层 9 上面的第三半导体层 10 的部分 10a 是单晶的, 但是在第一介电层 19 上面的其他部分是非晶体的。

[0092] 第三半导体层 10 支撑沉积的介电材料的第二图案层 24 (这里简称为“第二介电层”), 其包括与细长的沟道 11 垂直放置的三个细长的沟槽 25, 即, 沿着第三方向 16 导向。第二图案层 24 包括二氧化硅 (SiO_2)。在这个例子中, 第二介电层 24 具有大约 1nm 的厚度。

[0093] 还参考图 1a (为了清楚的目的省略了第二介电层 24), 第三半导体层 10 还支撑一组导线 26, 即, 第一、第二和第三导线 26_1 、 26_2 、 26_3 。导线 26 形成在第二介电层 24 的各个沟槽 25 中。导线 26 沿着沟道 11 (沿着 x 轴 14) 间隔, 垂直于沟道 (沿着 z 轴 16) 导向。第一和第二导线 26_1 、 26_2 间隔大约 30nm 的长度 s_1 。第二和第三导线 26_2 、 26_3 间隔大约 30nm 的长度 s_2 。然而, 如图 1 所示, 第一和第二导线 26_1 、 26_2 的间隔可以大于第二和第三导线的 26_2 、 26_3 间隔, 即 $s_1 > s_2$ 。导线 26 具有大约 30nm 的长度 l (即, 沿着第一方向 14)。

[0094] 每个导线 26 可以包括高掺杂半导体层。在这例子中, 半导体是硅。导线 26 优选地具有与分流器 8 相同的导电类型。在这个例子中, 导线 26 是 n 型。例如, 导线 26 可以掺杂砷 (As) 至大约 $1 \times 10^{20} \text{cm}^{-3}$ 的浓度。在这个例子中, 导线具有大约 20nm 的厚度 t_5 , 但是厚度也可以为 1nm。

[0095] 导线 26 可以包括金属半导体合金以增加导电性。例如, 在硅的情况下, 可以通过沉积一薄层镍、钛或钨, 在大约 500°C 退火并且对于未反应的金属进行湿蚀刻, 从而使导线 26 为硅化物。

[0096] 参考图 1b, 导线 26 在沟道 11 的第一边缘 17 开始, 并且在第三方向 16 上越过沟道 11 和沟道 11 的第二边缘 18。在沟道 11 的第一和第二边缘 17、18 之间, 导线 26 提供与沟道 11 的接口或触点 27。

[0097] 参考图 1、2 和 3, 第二介电层 24 和导线 26 由具有暴露的表面 29 的沉积的绝缘材料的第三层 28 (“第三介电层 28”) 覆盖。第三介电层 28 包括二氧化硅 (SiO_2)。

[0098] 如稍后详细描述, 可以对介电层 28 的表面 29 沉积或结合另外的层 (或者在介电层 28 上的顶部其他层), 包括另外的介电层、磁屏蔽层和 / 或新的衬底。

[0099] 器件 1 具有实质上平坦的面 30, 并且面 30 位于平行于第一和第二方向 14、15 的平面, 即平行于沟道 8 并且平行于层堆叠的方向。由此, 沟道 11 的第一边缘 17 沿着面 30 行进。这里, 面被称为“侧面”。侧面 30 可以覆盖有绝缘材料的保护层 (未显示)。这可以包括自然形成的一层二氧化硅 (SiO_2)。

[0100] 在操作中,器件 1 呈现非常磁阻 (EMR) 效应,并且可以用作磁场传感器以检测垂直通过或近似垂直(略微偏离垂直)通过侧面 30 的磁场 31,即平行(或反平行)或近似平行(或近似反平行)于 z 轴 16。在图 14 中,示出磁场 31 穿进纸面。然而,磁场可以穿出纸面。

[0101] 如稍后更详细描述,器件 1 可以用作磁盘驱动器 87(图 28)中的读取头 80(图 27)。使用当前的滑撬制造技术(例如研磨),分流器 8(如果存在)、沟道 11 和导线 26 的布置允许器件 1 被集成入磁头滑撬 70(图 27)。研磨被用于处理表面,其被称为空气轴承表面 (ABS)、它面对磁介质 89(图 28)。由此,器件 1 可以被与滑撬合成一体,由此器件 1 的侧面 30 是由研磨形成的,并且形成空气轴承表面的部分。因为器件 1 响应于垂直侧面 30 通过的磁场 31,所以器件被正确地导向以检测源自磁介质 89(图 28)的磁场。

[0102] 器件操作

[0103] 特别参考图 4,示出了用于操作磁阻器件 1 的电路 32。电路 32 包括电流源 33,用于驱动通过第一和第三导线 26_1 、 26_3 之间的分流器 8 和沟道 11 的电流 I,以及电压表 35,用于测量通过第二和第三导线 26_2 、 26_3 之间的电压 V。在可选配置中,电流源 33 可以用于驱动第一和第二导线 26_1 、 26_2 之间的电流。

[0104] 当缺乏施加的磁场 31 时,通过第一和第三导线 26_1 、 26_3 的电流例如沟道 11 并且沿着路径 35 通过分流器 8 被分流。当沿着 z 轴 16(图 1)施加磁场 31 时,从电流从分流器 8 偏转并且沿着路径 36 通过沟道 11。检测通过电压线 26_2 、 26_3 由于施加的磁场 31 引起的电阻的改变。

[0105] 参考图 5,用于施加的磁场 31 的敏感区域 37 位于第二和第三导线 26_2 、 26_3 之间掺杂的或轻掺杂的沟道 11。由此,大约 30nm 的导线间隔 s_2 和组合层厚度 $d = t_3 + t_4$ 可以用于检测磁介质 89(图 28)中的比特,该磁介质 89 具有对应于大约 10Tb/in² 的存储密度的类似尺寸。

[0106] 图 6 示出具有三个不同值的沟道厚度 d(即 $d = 2\text{nm}$, $d = 5\text{nm}$ 和 $d = 10\text{nm}$) 的器件的电流-电压曲线的 ATLAS 仿真。在这个模型中,导线宽度 l_1 、 l_2 、 l_3 是相同的,即 $l_1 = l_2 = l_3 = 30\text{nm}$,并且导线间隔 s_1 、 s_2 也是相同的,即 $s_1 = s_2 = 30\text{nm}$ 。分流器 8 的宽度 W 是 10nm。

[0107] 图 7 示出了当 $d = 2\text{nm}$ 时,相同器件的电流密度的 ATLAS 仿真。如图 7 所示,电流主要在导线 26 和分流器 8 之间流动。在第一和第二导线 26_1 、 26_2 之间的电阻 R 大约 $1\text{k}\Omega$ 。

[0108] 图 8 示出作为施加的磁场的函数的输出信息的 ATLAS 仿真。这里,向第一导线 26_1 施加 0V 的偏压,并且向第三导线 26_3 施加 1V 的偏压,并且对于沿着 z 轴 16(图 1)施加的磁场的范围测量第二和第三导线 26_2 、 26_3 之间的电压差。从较大器件(未显示)的测量得到的仿真和线性外插指示器件的输出信号大约 $2\mu\text{V}/\text{Oe}$ 。

[0109] 器件制造

[0110] 参考图 9a 到 9r,描述制造器件 1 的方法。

[0111] 参考图 9a,处理开始于绝缘体上的半导体晶片 41。晶片 41 具有半导体操作层 5'、绝缘埋层 6'以及单晶半导体的顶层 42。顶部半导体层 42 通常具有几十纳米的厚度。不需要这样的厚层 42 并且所以使得层 42 变薄。

[0112] 在这个例子中,使用绝缘体上的硅晶片 41。顶部硅层 42 通常具有大约 20nm 到

100nm范围内的厚度。为了使得顶部硅层 42 变薄,可以在湿蚀刻之后进行热氧化。晶片 41 被热氧化,从而将顶部硅层 42 的表面区域 43 转化为二氧化硅。如图 9b 所示,在单晶硅的薄层 7' 上留下了一层二氧化硅 44,此后称为种子层 7'。使用 2 : 5 : 3 混合的 NH_2F : $\text{C}_2\text{H}_4\text{O}_2$: H_2O 移除二氧化硅层 44 (也称为“SILOX 蚀刻”)。

[0113] 参考图 9c,示出了准备用于层沉积的晶片 3',并且包括位于绝缘埋层 6' 上的种子层 7',该绝缘埋层 6' 依次位于操作层 5' 上。

[0114] 参考图 9d,在种子层 7' 上沉积绝缘材料的第一层 19'。在这个例子中,绝缘材料是二氧化硅并且使用化学气相沉积 (CVD) 来进行沉积。

[0115] 参考图 9e,一层电子束光刻胶 (未显示) 被施加 (例如,旋转施加 (spun-on)) 到第一介电层 19' 的上表面 45,并且通过烘焙而卷曲。使用扫描电子束 (未显示) 来使得电子束光刻胶层 (未显示) 图案化,并且使用适合的显影剂进行显影以留下图案化的光刻胶层 46,其包括细长的 (沿着 x 轴 14) 的窗口 47。窗口 47 与预期的分流器和第一沟道层 8、9 具有大约相同的长度 (沿着 x 轴 14),但是更宽 (沿着 z 轴 16)。

[0116] 通过湿蚀刻 (例如使用 SILOX 蚀刻) 来移除向下延伸到种子层 7' 的第一介电层 19' 的区域 48。图 9f 示出了得到的结构,并且该结构包括在图案化的第一介电层 19' 中的宽的沟槽 20'。

[0117] 移除图案化的光刻胶层 46。图 9g 中示出了得到的结构,并且该结构包括在沟槽 20' 底部的种子层 7' 的暴露的区域 49。

[0118] 参考图 9h,在沟槽 20' 中的种子层 7' 的暴露的区域 49 上选择性地生长半导体材料的第一层 8'。第一半导体层 8' 是高掺杂的并且具有第一导电类型。在这个例子中,半导体层 8' 是 n 型并且在生长过程中在原处掺杂。

[0119] 在种子层 7' 上外延生长第一半导体层 8',并且由此形成单晶层。半导体层 8' 不在图案化的第一介电层 19' 上生长。在这个例子中,半导体是硅,并且由此在大约 700°C 使用 CVD 可以实现选择的外延生长。

[0120] 参考图 9i,在第一半导体层 8' 上选择性地生长半导体材料的第二层 9'。第二半导体层 9' 未被掺杂或者被轻度掺杂,从而具有第二导电性类型。在这个例子中,半导体层 8' 是固有的 (intrinsic)。

[0121] 在第一半导体层 8' 上外延生长第二半导体层 9' 并形成单晶层。第二半导体层 9' 没有生长在图案化的第一介电层 19'。在这个例子中,半导体是硅,尽管也可以使用锗化硅。对于硅,可以在大约 700°C 使用 CVD 再次实现选择性生长。

[0122] 参考图 9j,在第二半导体层 9' 和图案化的第一介电层 19' 上生长半导体材料的第三层 10'。第三半导体层 10' 未被掺杂或被轻微掺杂,从而具有第二导电性类型。在这个例子中,第三半导体层 10' 是固有的。

[0123] 在第二半导体层 9' 上外延生长第三半导体层 10' 并且形成单晶层 10a'。然而,第三半导体层 10' 在图案化的第一介电层 19' 上生长并形成了非晶体层 10b'。在这个例子中,半导体是硅,尽管也可以使用锗化硅。在大约 600°C 使用 CVD 可以实现非选择性生长。

[0124] 参考图 9k,在第三半导体层 10' 上生长第二层介电材料 24'。在这个例子中,介电材料是二氧化硅,尽管可以使用例如氮化硅的其他介电材料。

[0125] 参考图 9l,一层电子束光刻胶 (未显示) 被施加 (例如旋转施加) 到第二介电层

24' 的上表面 50, 并且通过烘焙而卷曲。使用扫描电子束 (未显示) 来使得电子束光刻胶层 (未显示) 图案化, 并且使用适合的显影剂进行显影以留下图案化的光刻胶层 51, 其包括细长的 (沿着 z 方向 16) 的窗口 47。

[0126] 通过湿蚀刻 (例如使用 SILOX 蚀刻) 来移除向下延伸到第三半导体层 10' 的第二介电层 24' 的区域 53。图 9m 示出了得到的结构, 并且该结构包括在图案化的第二介电层 24'' 中的沟槽 25'。

[0127] 移除图案化的光刻胶层 51。图 9n 中示出了得到的结构, 并且该结构包括在沟槽 25' 底部的第三半导体层 10' 的暴露的区域 54。

[0128] 参考图 9o, 在沟槽 25' 中的第三半导体层 10' 的暴露的区域 54 上选择性地生长半导体材料的第四层 55。第四半导体层 55 是高掺杂的并且具有第一导电类型。在这个例子中, 半导体层 55 是 n 型并且在生长过程中在原处掺杂。

[0129] 在第三半导体层 10' 上外延生长第四半导体层 55, 并且由此形成单晶层。第四半导体层 55 不在图案化的第二介电层 24'' 上生长。在这个例子中, 半导体是硅。如前所述, 对于硅, 在大约 700°C 使用化学气相沉积可以实现选择性生长。

[0130] 可以留下第四半导体层 55 以形成导线 26 (图 1)。然而, 导线可以是硅化物, 从而减少导线的电阻率。这可以包括在第四半导体层 55 和第二介电层 24'' 沉积适合的金属 (例如镍 (Ni)、钛 (Ti) 或钨 (W)), 并且退火以形成硅化物。对于镍和硅, 可以在大约 500°C 执行退火。可以使用湿蚀刻移除未反应的金属 (例如在第二介电层 24'')。

[0131] 参考图 9p, 在第四半导体层 55 和第二介电层 24'' 上沉积第三层介电材料 29'。在这个例子中, 介电材料是二氧化硅, 尽管可以使用例如氮化硅等其他介电材料。

[0132] 如后面所述, 可以执行额外的处理步骤, 例如在第三介电层 29' 或在第三介电层 29' 之上的层 60' (图 20b) 的顶部上结合载体晶片 64' (图 20b), 例如由钛化铝形成、移除操作层 5' 和绝缘体层 6', 将种子层 7 图案化并使其称为硅化物, 并且在第一介电层 19'' 的分流器层和剩余部分下面形成保护的介电层。

[0133] 参考图 9q, 沿着线 58 切割晶片以将晶片的侧面和边缘部分 56 从相邻部分 57 移除, 其切割通过 (宽的) 分流器层 8' 和沟道 11'。这可以使用用于粗糙切割的晶片锯和用于精细切割的研磨来实现。然而, 可以使用其他形式的切割, 例如离子束碾磨。图 9r 示出了得到的结构, 其示出了器件 1 包括侧面 30、分流器 8 和沟道层 9、10a。

[0134] 二氧化硅或其他材料的薄的 (例如等于或小于 2nm) 保护层被沉积、生长或允许生长以覆盖侧面 30。

[0135] 如稍后所描述, 切割的处理可以包括条的形成和研磨条的边缘以形成侧面 30。

[0136] 第二磁阻器件 201

[0137] 参考图 10, 示出了第二磁阻器件 201。

[0138] 第二磁阻器件 201 类似于前面描述的第一磁阻器件 1 (图 1)。由此, 相同的附图标记用于参考相同的特性。

[0139] 第二器件 201 与第一器件 1 (图 1) 的不同之处在于存在四根导线 26, 即第一、第二、第三和第四导线 26_1 、 26_2 、 26_3 、 26_4 (并且由此存在连接至沟道 11 的四个触点)。第三和第四导线之间的间隔 S_2 与第二和第三导线之间的 S_2 相同。沟道和分流器 8、11 可以被进一步延长以容纳数根导线 26。

[0140] 参考图 11, 示出了用于操作磁阻器件 201 的电路 32。

[0141] 电流源 33 被布置为驱动通过第一和第三导线 26_1 、 26_3 之间的分流器 8 和沟道 9 的电流 I 。电压表 34 用于测量通过第三和第四导线 26_3 、 26_4 的电压 V 。

[0142] 第二器件 201 的输出信号可以是第一器件 1 (图 1) 的两倍。然而, 敏感区域 37_2 更宽地位于第二和第四导线 26_2 、 26_4 之间。

[0143] 以与第一器件 1 (图 1) 实质上相同的方式制造第二器件 201。然而, 图案化的光刻胶层 51 (图 91) 具有不同的图案, 由此导致四根导线而不是三根导线。

[0144] 第三磁阻器件 301

[0145] 参考图 12, 示出了第三磁阻器件 301。

[0146] 第三磁阻器件 301 与前面描述的第一磁阻器件 1 (图 1) 相似。由此, 相同的附图标记参考相同的特性。

[0147] 第三器件 301 与第一器件 1 (图 1) 的不同之处在于仅存在两根导线 26, 即第一和第二导线 26_1 、 26_2 。第一和第二导线之间的间隔 S_1' 与第一和第二器件中的第二和第三导线之间的 S_2 相同。分流器 8 和沟道 11 可以更短。

[0148] 参考图 13, 示出了用于操作磁阻器件 301 的电路 32。

[0149] 电流源 33 被布置为驱动通过第一和第二导线 26_1 、 26_2 之间的分流器 8 和沟道 9 的电流 I 。电压表 34 用于测量通过第一和第二导线 26_1 、 26_2 的电压 V 。

[0150] 第三器件 301 的输出信号类似于第一器件 1 (图 1) 的输出信号。

[0151] 以与第一器件 1 (图 1) 实质上相同的方式制造第三器件 301。然而, 图案化的光刻胶层 51 (图 91) 具有不同的图案, 由此导致两根导线而不是三根导线。

[0152] 第四磁阻器件 401

[0153] 参考图 14 和 14a, 示出了第四磁阻器件 401。

[0154] 第四磁阻器件 401 类似于前面描述的第二磁阻器件 201 (图 10)。由此, 相同的附图标记用于参考相同的特性。

[0155] 第四器件 401 与第二器件 201 (图 10) 的不同之处在于第一导线 26_1 连接至分流器 8 并且分流器 8 有效地变成第一导线 26_1 的部分。由此, 第一导线 26_1 具有平面上的“L”形。结果, 沟道 11 也具有包括分别沿着 x 轴和 z 轴布置的第一和第二部分 11_1 、 11_2 的平面上的“L”形。

[0156] 第二、第三和第四导线 26_2 、 26_3 、 26_4 提供与沟道 11 的表面 21 的触点 27, 并且第一导线 26_1 提供与沟道 11 的相对面的触点 $27a$ 。在图 14 和 14a 中, 表面 21 是沟道 11 的顶部, 相对面是沟道的底部面和下面。器件 401 可以被反转并且被并入滑撬, 使得表面 21 是器件的下面并且相对面是与下面的衬底相关的顶部。

[0157] 在一些实施例中, 可以省略第一半导体层 8, 并且可以由图案化的硅化物种子层 7 提供导线 26_1 。这可以用于形成具有较短 (沿着 y 轴) 由沟道 11 提供的连接区域的器件。可以从触点 (例如连接层的底部) 注入电荷, 并且可以在例如连接层的顶部由触点收集电荷, 由此形成“Y”形状的器件。由不同触点收集的电荷的比例受施加的磁场影响。

[0158] 参考图 14b, 导线 26_1 可以被图案化, 使得并非如图 14a 所示提供相对长的触点 $27a$, 而是提供相对短的触点 $27a'$ 。

[0159] 因为沟道层 11 的第二部分 11_2 垂直于侧面 30, 并且由此与垂直于侧面 30 施加的

磁场 31 平行,它并不贡献于器件 401 的磁阻响应。

[0160] 参考图 15,示出了用于操作磁阻器件 401 的电路 32。如图 15 所示,可以使用与用于操作第二器件 201(图 10) 的布置相同的布置,即,如图 11 所示的四导线布置。

[0161] 当施加磁场 31 时,引起第二和第四导线 26_2 、 26_4 之间的电压。由于沟道 11 的长度,引起的电压可以包括 Hall 电压组分以及由磁场 31 中的电流路径 35 的弯曲引起的电压差组分。

[0162] 以与第一器件 1(图 1 到 4) 实质上相同的方式制造第四器件 401。然而,在两处制造不同。

[0163] 第一,图案化的光刻胶层 46(图 9e) 具有不同的图案,即,使用“L”形图案,而不是细长的条。

[0164] 第二,图案化的光刻胶层 24(图 9i) 具有不同的图案。图案依然定义三根导线,但是这些导线被不同地放置。

[0165] 第五磁阻器件 501

[0166] 参考图 16,示出了第五磁阻器件 501。

[0167] 第五磁阻器件 501 与前面描述的第四磁阻器件 401(图 14) 相似。由此,相同的附图标记参考相同的特性。

[0168] 类似于第四器件 401,第一导线 26_1 连接至分流器 8,并且分流器 8 有效地变成第一导线 26_1 的部分。然而,第五器件 501 仅具有三根导线 26,即,第二和第三导线 26_2 、 26_3 。

[0169] 类似于第四器件 401,导线 26_1 可以被图案化,使得并非类似于如图 14a 所示提供相对长的触点 27a,而是提供类似于图 14b 所示相对短的触点 27a'。

[0170] 参考图 17,示出了用于操作磁阻器件 501 的电路 32。如图 17 所示,可以使用与用于操作第一器件 1(图 1) 的布置相同的布置,即,如图 4 所示的三导线布置。

[0171] 以与第一器件 1(图 1) 实质上相同的方式制造第五器件 501。然而,在两处制造不同。

[0172] 第一,图案化的光刻胶层 46(图 9e) 具有不同的图案,即,“L”形图案,而不是细长的条。

[0173] 第二,图案化的光刻胶层 24(图 9i) 具有不同的图案。图案依然定义三根导线,但是这些导线被不同地放置。

[0174] 第六磁阻器件 601

[0175] 参考图 18 和 19,示出了第六磁阻器件 601。

[0176] 第六磁阻器件 601 与前面描述的第一磁阻器件 1(图 1) 相似。由此,相同的附图标记参考相同的特性。

[0177] 第六器件 601 的不同之处在于第一和第二磁屏蔽层 60、61 之间夹层一个垂直结构 62,垂直结构 62 包括分流器 8、沟道 11、第一图案化的介电层 19、第二图案化的介电层 24、导线 26 以及第三介电层 29。第六器件 601 的不同之处还在于操作层 5(图 1) 是牺牲的,绝缘埋层 6(图 1) 也是牺牲的,并且由不同的更厚的介电层 63 替代。器件 601 被结合到表面 65 上的铝钛碳晶片 64(为了清楚的目的没有在图 18 中示出)。

[0178] 与用于操作第一器件 1(图 1) 的布置相同的布置可以被用于操作第六器件 601。

[0179] 参考图 20a 到 20f,现在将描述用于制造第六器件 601 的额外的处理步骤。

[0180] 特别参考图 20a, 在第三介电层 29' 的上表面 29 上沉积第一磁屏蔽层 60'。在这个例子中, 磁屏蔽层 60' 包括坡莫合金 (permalloy) (即, 镍和铁的合金), 并且通过溅射沉积。

[0181] 参考图 20b, 结构 66 被结合到晶片 64'。在这个例子中, 晶片 64' 采用铝钛碳 (“AlTiC”) 晶片 64' 的形式。特别地, 晶片 64' 被结合到第一磁屏蔽层 60' 的上表面 65'。

[0182] 将操作层 5' 蚀刻回到绝缘埋层 6'。图 20c 示出了得到的结构。

[0183] 将绝缘埋层 6' 蚀刻回到种子层 7'。图 20d 示出了得到的结构。

[0184] 可以使用电子束光刻和湿蚀刻来使得种子层 7' 图案化, 从而具有与 (宽的) 沟道 11' 或 (宽的) 分流器层 8' 相同或相似的延伸, 并且可以被硅化, 例如使用镍 (Ni) 硅化。种子层 7 可以被图案化以向沟道 11' 或分流器层 8' 提供短长度的触点 27a' (图 14b)。

[0185] 参考图 20e, 在种子层 7' 的下侧 68 或图案化的硅化物种子层 (未显示) 和第一介电层 19' 的下侧 (未显示) 上沉积新一层绝缘材料 63'。在这个例子中, 绝缘材料是二氧化硅并且使用化学气相沉积 (CVD) 进行沉积。

[0186] 参考图 20f, 在第三介电层 63' 的下表面 69 上沉积第二磁屏蔽层 61'。在这个例子中, 磁屏蔽层 61' 包括坡莫合金, 并且通过溅射沉积。

[0187] 图 20f 示出了在晶片 64' 上得到的器件结构 71。

[0188] 在这一点上, 可以通过将晶片切片成条 (未显示) 并且研磨条的边缘来形成侧面 30 (图 18)。

[0189] 然而, 如果器件 601 (图 18) 用于形成磁头滑撬 70 的部分 (图 27), 通常在执行切片和研磨步骤之前制造写入头 72 (图 25a)。这将在下面更详细地描述。

[0190] 第七磁阻器件 701

[0191] 参考图 21, 示出了第七磁阻器件 701。

[0192] 第七磁阻器件 701 类似于前面描述的第二磁阻器件 201 (图 10) 和第六磁阻器件 601 (图 18)。由此, 相同的附图标记用于参考相同的特性。

[0193] 第七磁阻器件 701 与第六磁阻器件 601 (图 18) 的不同之处在于它具有四根导线 26, 即第一、第二、第三和第四导线 26_1 、 26_2 、 26_3 、 26_4 。第三和第四导线之间的间隔 S_2 与第二和第三导线之间的 S_2 相同。可以使得层结构 2 更长以容纳数根导线 26。

[0194] 可以以与第二器件 201 相同的方式操作第七器件 701。

[0195] 以与第六器件 601 (图 18) 实质上相同的方式制造第七器件 701。然而, 类似于第二磁阻器件 201 (图 10), 图案化的光刻胶层 51 (图 91) 具有不同的图案以形成四根导线 26 而不是三根导线。

[0196] 第八磁阻器件 801

[0197] 参考图 22, 描述第八磁阻器件 801。

[0198] 第八磁阻器件 801 类似于前面描述的第三磁阻器件 301 (图 12) 和第六磁阻器件 601 (图 18)。由此, 相同的附图标记用于参考相同的特性。

[0199] 第八磁阻器件 801 与第三磁阻器件 301 (图 12) 类似, 第八磁阻器件 801 与第六磁阻器件 601 (图 18) 的不同之处在于它具有两根导线 26, 即第一、第二导线 26_1 、 26_2 。

[0200] 可以以与第三器件 301 (图 12) 相同的方式操作第八器件 801。

[0201] 以与第六器件 601 (图 18) 实质上相同的方式制造第八器件 801。然而, 类似于第

三磁阻器件 301(图 12), 图案化的光刻胶层 51(图 91) 具有不同的图案以形成两根导线 26 而不是三根导线。

[0202] 第九磁阻器件 901

[0203] 参考图 23, 描述第九磁阻器件 901。

[0204] 第九磁阻器件 901 类似于前面描述的第四磁阻器件 401(图 14) 和第六磁阻器件 601(图 18)。由此, 相同的附图标记用于参考相同的特性。

[0205] 第九磁阻器件 901 与第四磁阻器件 401(图 14) 类似, 第九磁阻器件 901 与第六磁阻器件 601(图 18) 的不同之处在于第一导线 26_1 连接至分流器 8 和分流器 8 有效地变成第一导线 26_1 的部分。

[0206] 可以以与第四器件 401(图 14) 相同的方式操作第九器件 901。

[0207] 以与第六器件 601(图 18) 实质上相同的方式制造第九器件 901。然而, 类似于第四磁阻器件 401(图 14), 图案化的光刻胶层 46(图 9e) 具有不同的图案, 即“L”形图案, 而不是直条, 并且图案化的光刻胶层 51(图 91) 具有不同的图案。图案依然定义三根导线, 但是导线被不同地放置。第十磁阻器件 1001

[0208] 参考图 24, 描述第十磁阻器件。

[0209] 第十磁阻器件 1001 类似于前面描述的第五磁阻器件 501(图 16) 和第六磁阻器件 601(图 18)。由此, 相同的附图标记用于参考相同的特性。

[0210] 第十磁阻器件 1001 与第五磁阻器件 501(图 16) 类似, 第十磁阻器件 1001 与第六磁阻器件 601(图 18) 的不同之处在于第一导线 26_1 连接至分流器 8。

[0211] 可以以与第五器件 501(图 16) 相同的方式操作第十器件 1001。

[0212] 以与第六器件 601(图 18) 实质上相同的方式制造第十器件 1001。然而, 类似于第五磁阻器件 501(图 16), 图案化的光刻胶层 46(图 9e) 具有不同的图案, 即“L”形图案, 而不是直条, 并且图案化的光刻胶层 51(图 91) 具有不同的图案。图案定义两根导线。

[0213] 磁头滑撬

[0214] 参考图 25 和 26, 示出了制造磁头滑撬 70 的方法。

[0215] 如前所述制造读取头结构 71(步骤 S1)。如图 25a 所示, 读取头结构 71 包括未研磨的垂直层结构 2', 该垂直层结构 2' 包括未研磨的沟道 11' 和可选的分流器 8'。

[0216] 制造写入头结构 72(步骤 S2)。

[0217] 如图 25a 所示, 可以通过厚的介电层 73(例如包括溅射的氧化铝 Al_2O_3) 彼此分隔读取头结构 71 和写入头结构 72。写入头结构 72 也可以由另一个厚的介电层 74 保护。

[0218] 通过在沟道 11 的顶部上的触点 27 以及在沟道 11 下面的分流器 8 来说明前面描述的大多数器件。然而, 器件也可以被反转并且并入滑撬 70, 使得分流器 8 处于沟道的顶部并且触点 27 位于沟道 11 的下面。由此, 如图 25a 所示, 读取头结构 71 相对于图 20f 所示的读取头结构 71 反转。

[0219] 将被处理的晶片 75 切片成沿着 x 轴延长并具有边缘 76 的条 76(步骤 S3)。通常, 条 76 支撑大约 50 个读取头和写入头。

[0220] 研磨边缘 77 以形成包括侧面 30 的空气轴承表面 78(步骤 S4)。在 US2002/0126421A1 中描述了适合的研磨处理, 其结合在此作为参考。

[0221] 图 25c 示出了在结合的衬底 64 上沉积的得到的结构 79, 在此称为“头元件部”。

头元件部 79 包括读取头 80, 例如第六、第七、第八、第九或第十磁阻器件 601、701、801、901、1001 和读取头 81。

[0222] 在空气轴承表面 78 的空中形成了例如具有若干纳米厚度的保护膜 (未显示) (步骤 S5)。通过干蚀刻形成了空气轴承表面轨道 (步骤 S6)。被处理的横条被切割成分离的磁铁滑撬 70 (步骤 S7)。最终, 在将磁头滑撬 70 装配到悬架之前可以测试该磁头滑撬 70 (步骤 S8)。

[0223] 参考图 27, 更详细地示出了磁头滑撬 70。

[0224] 如前所述, 在衬底 64 上形成了头元件部分 79, 并且头元件部分 79 包括读取头 80 和写入头 81。

[0225] 包括一组阶梯表面 82、83、84 的空气轴承表面 78 包括轨道表面 82、浅花纹表面 83 和深花纹表面 84。滑撬 70 具有前面 85 和后端 86。

[0226] 参考图 28, 示出了磁盘驱动器 87。

[0227] 磁盘驱动器 87 包括外壳 88, 其中一对磁盘或“介质”89 (为了清楚的目的仅显示一个) 转配到由旋转马达 (未显示) 驱动的中心轴 90。

[0228] 每个磁盘 89 提供有两个滑撬 70, 每个滑撬 70 用于磁盘 89 的每一侧。每个滑撬 70 附接到各个悬架 91 的尖端, 悬架 91 通过由制动器 93 驱动的各个臂 92 支撑。

[0229] 由此, 磁盘驱动器 87 可以提供有具有如前所述的垂直类型的磁阻器件的滑撬 70。

[0230] 可以理解到能够对前述实施例进行多种修改。

[0231] 例如, 沟道 11 可以是轻掺杂的 p 型。此外, 可以使用 $\text{Si}_{1-x}\text{Ge}_x$ 来替代硅, 其中 x 是例如大约 0.1。

[0232] 可以使用应变的半导体, 例如应变硅。

[0233] 可以使用其他的半导体材料系统, 例如 III-V 材料。

[0234] 沟道可以是未掺杂的或者掺杂有杂质 (n 型或 p 型) 直到大约 $1 \times 10^{15} \text{cm}^{-3}$ 的浓度、直到大约 $1 \times 10^{16} \text{cm}^{-3}$ 的浓度、直到大约 $1 \times 10^{17} \text{cm}^{-3}$ 的浓度或直到大约 $1 \times 10^{18} \text{cm}^{-3}$ 的浓度。

[0235] 分流器和 / 或导线可以掺杂有杂质 (n 型或 p 型), 具有至少大约 $1 \times 10^{19} \text{cm}^{-3}$ 的浓度、至少大约 $1 \times 10^{20} \text{cm}^{-3}$ 的浓度或至少大约 $1 \times 10^{21} \text{cm}^{-3}$ 的浓度, 例如大约 $1 \times 10^{21} \text{cm}^{-3}$ 的浓度, 和 / 或可以包括一个或多个 6 掺杂层。

[0236] 沟道和 / 或分流器可以具有在大约 1 到 5nm 之间的厚度、大约 5 到 10nm 之间的厚度或大约 10 到 20nm 之间的厚度。导线可以具有在大约 1 到 5nm 之间的厚度、大约 5 到 10nm 之间的厚度、大约 10 到 20nm 之间的厚度或大约 20 到 50nm 之间的厚度。沟道、分流器和导线可以具有不同的厚度。

[0237] 例如, 由于在生长沟道层之前掩膜了部分分流器, 或者通过在生长之后蚀刻第一沟道层, 分流器可以沿着部分沟道延伸, 反之亦然。分流器不需要是矩形的。

[0238] 沟道可以具有大约 1 到 5nm 之间的宽度 (即 W)、大约 5 到 10nm 之间的宽度或大约 10 到 20nm 之间的宽度。沟道可以具有在大约 20 到 50nm 之间的长度 (即 L)、大约 50 到 100nm 之间的长度、大约 100 到 200nm 之间的长度或大约 200 到 500nm 之间的长度。

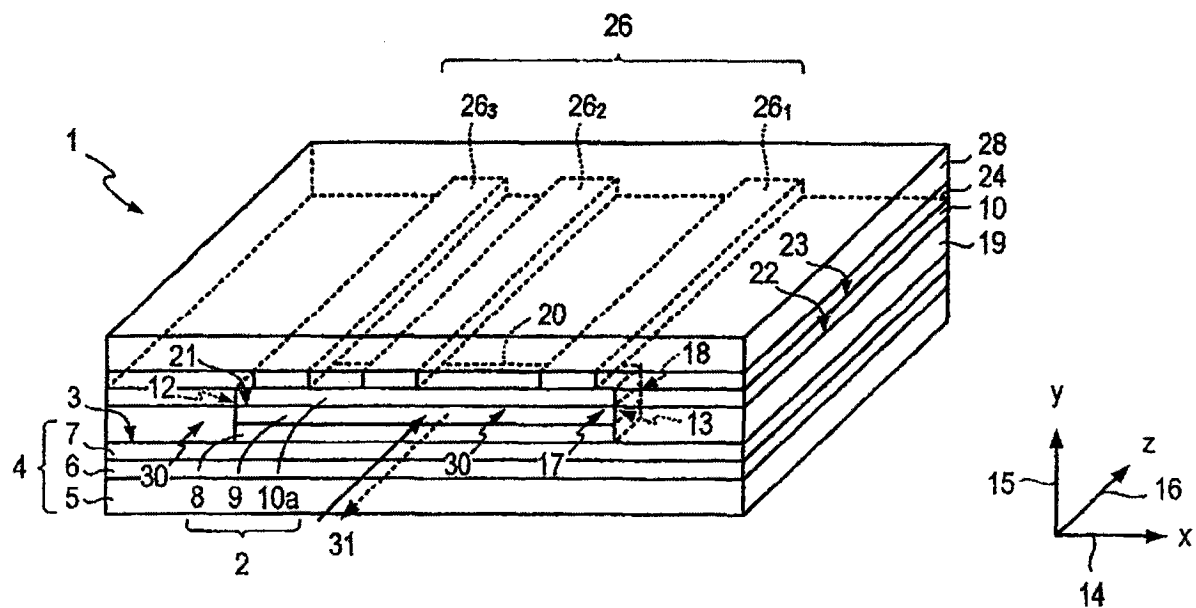
[0239] 如果沟道的敏感区域与多晶硅中的颗粒尺寸相比是小的, 那么可以使用多晶种子层。

[0240] 可以布置端导线以从沟道的端接近沟道, 仍然不是垂直地接近。器件可以包括不

使用的导线。例如，器件可以包括四根或更多导线，但是较少的导线用于驱动和测量通过沟道的信号。

[0241] 可以通过例行试验来发现适当形式的 CVD 和适合的沉积条件以提供半导体材料的选择性或不可选择性的沉积。可以使用用于蚀刻和显影剂的其他浓度和混合比。可以使用其他蚀刻（例如干蚀刻）、光刻胶和显影剂。蚀刻、暴露和显影次数可能不同，并且由例行试验发现。也可以由例行试验来发现退火温度。

[0242] 器件不需要表现出 EMR 效应，但是可以呈现 MR 效应，例如使用 Lorentz 力来弯曲电流路径和 / 或使用 Hall 效应。



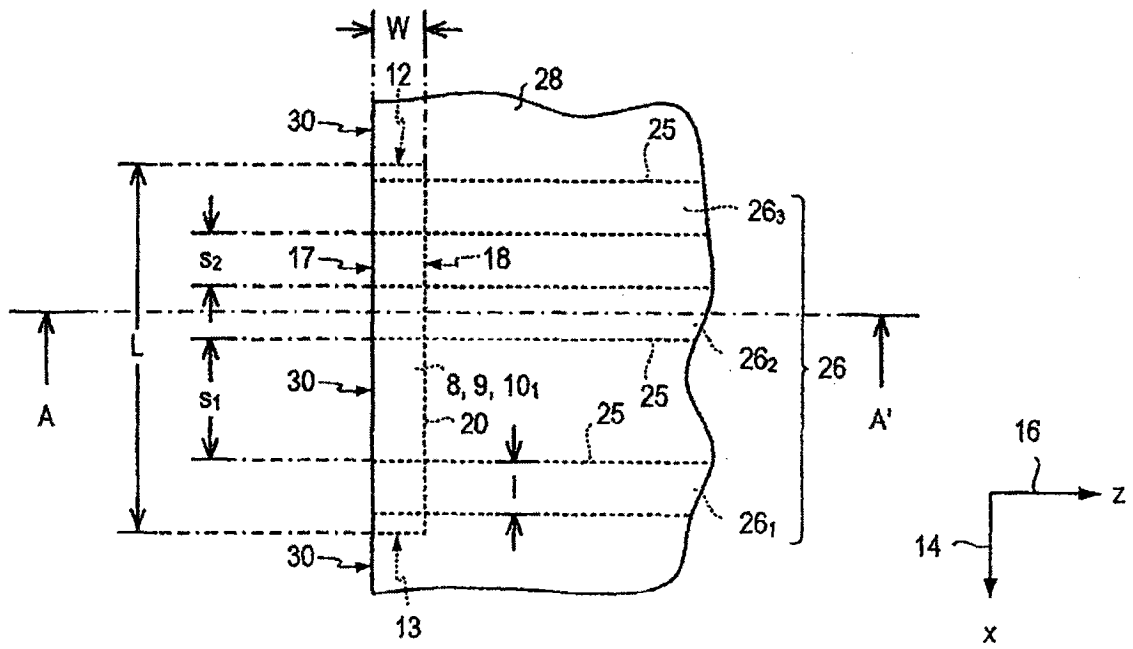


图 2

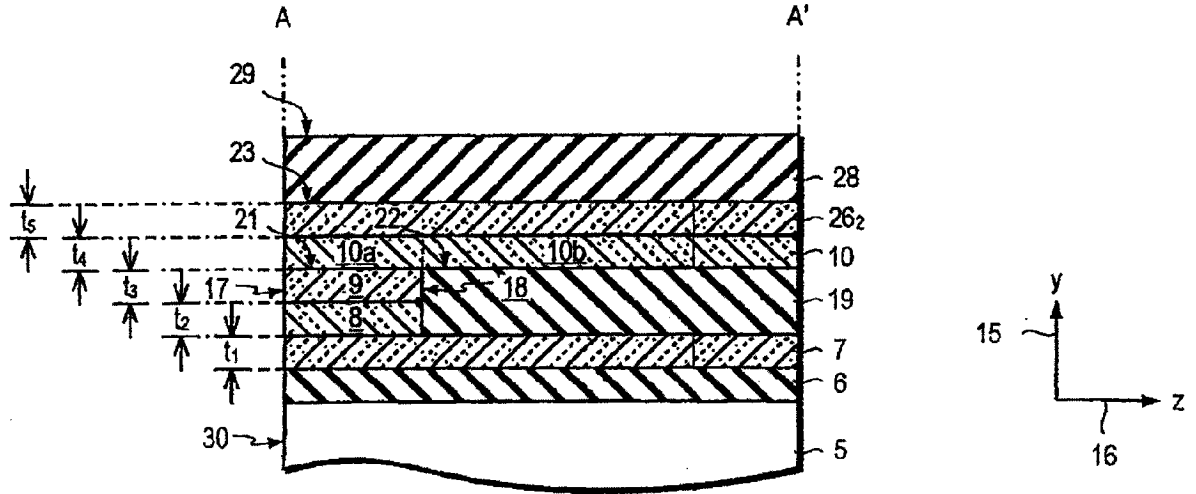


图 3

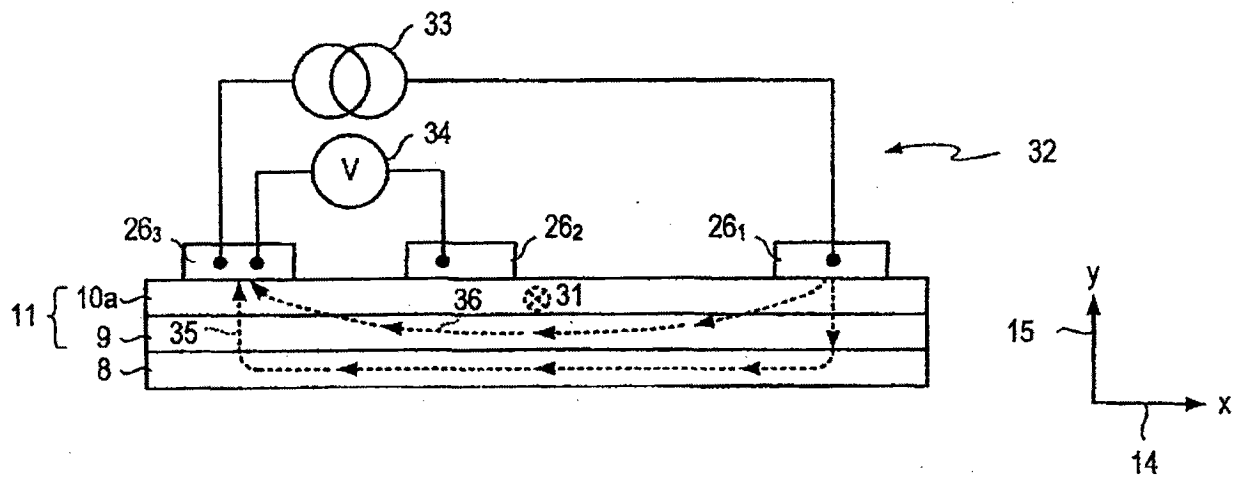


图 4

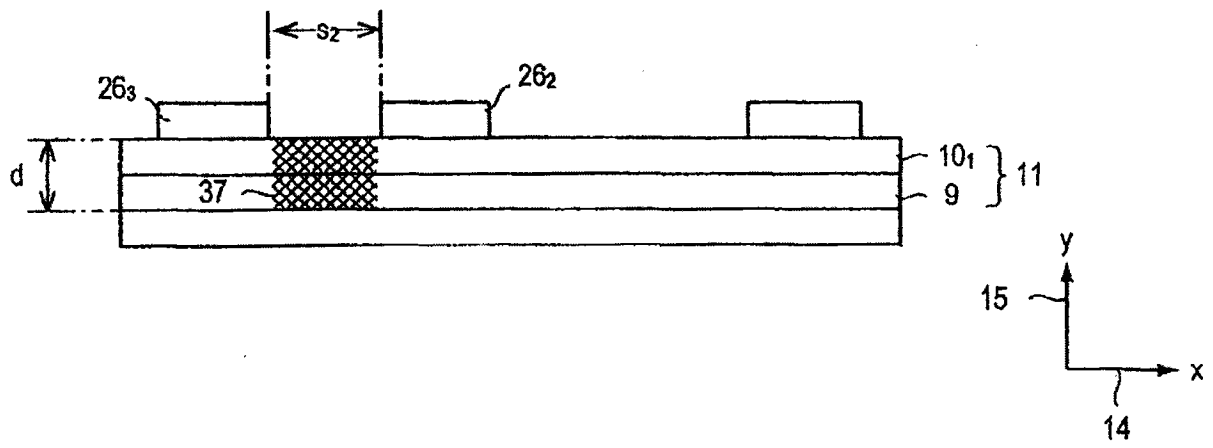


图 5

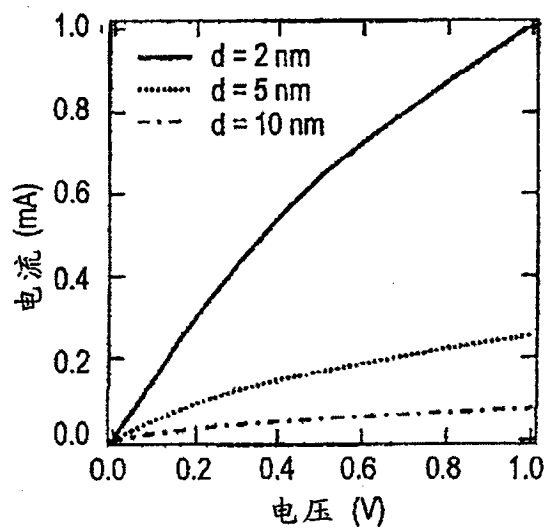


图 6

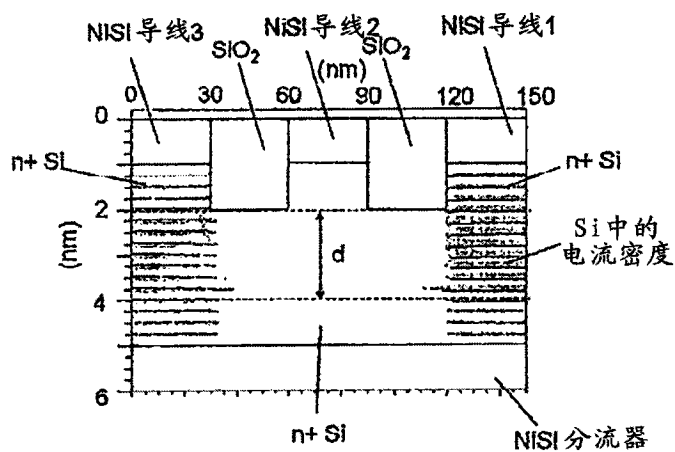


图 7

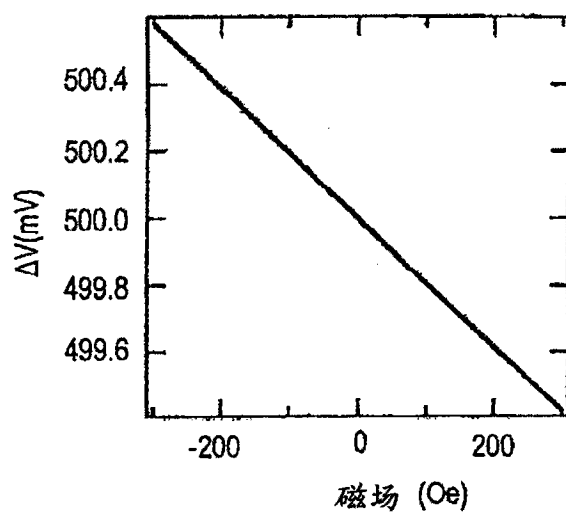


图 8

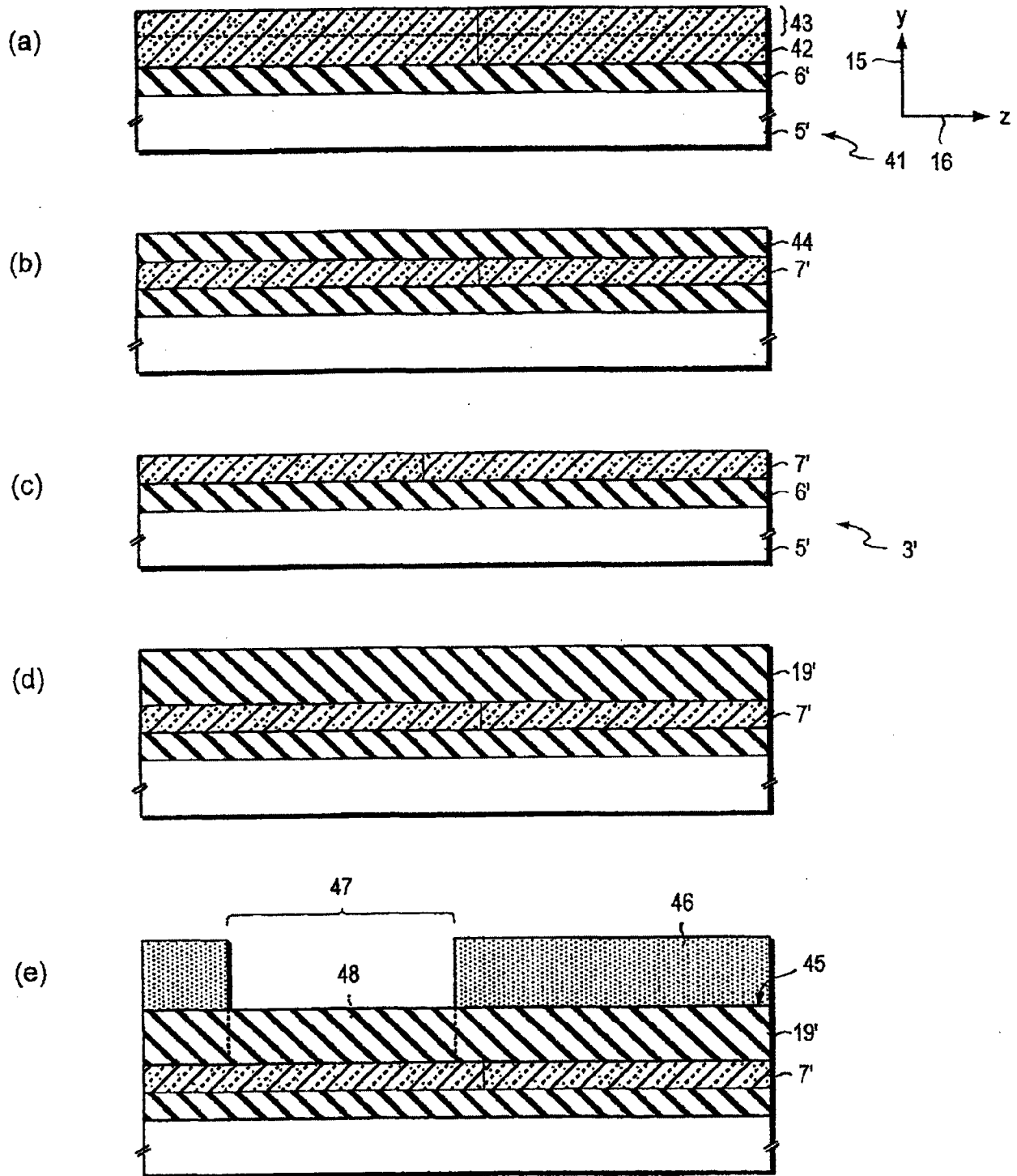


图 9

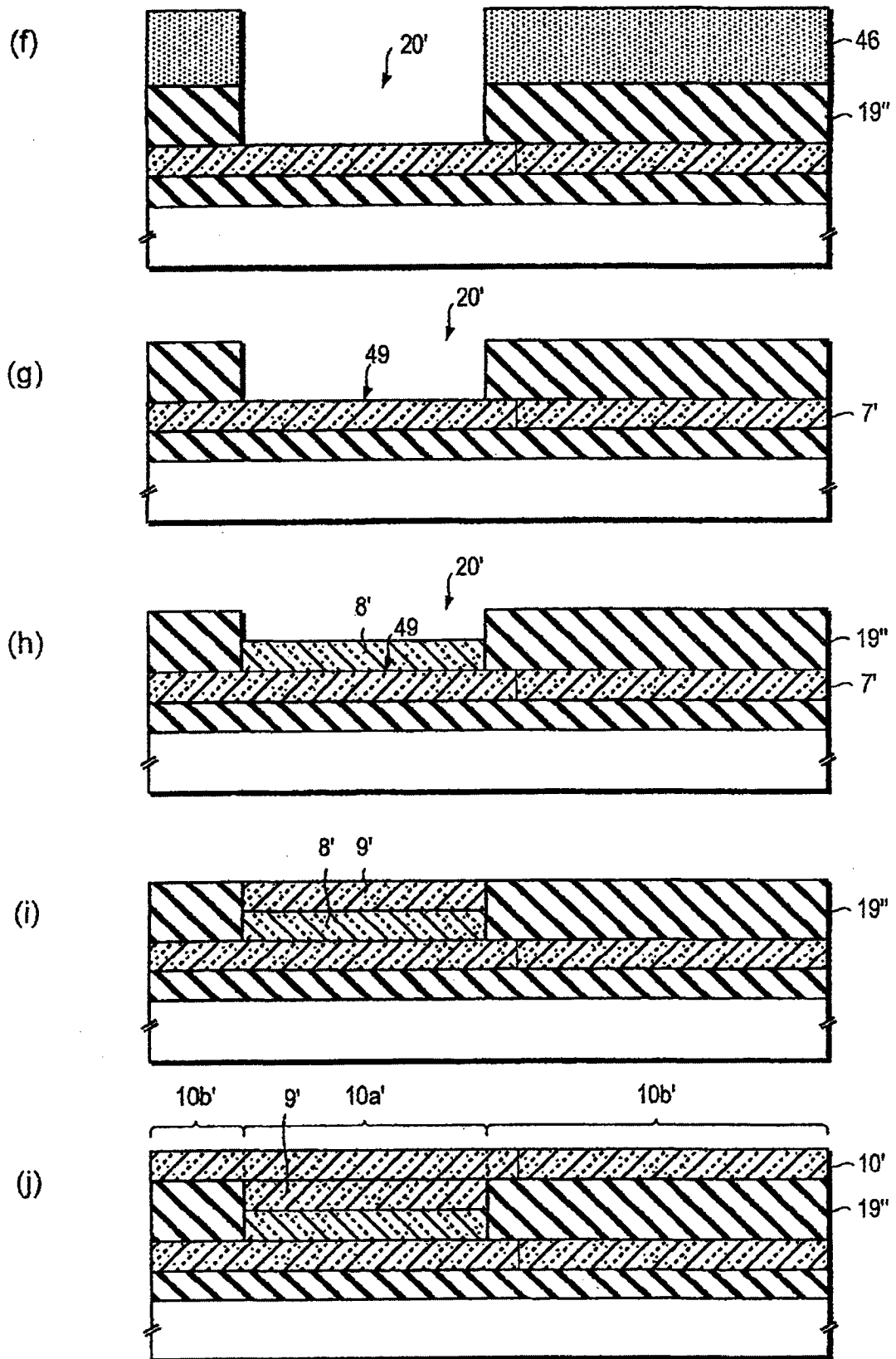


图 9

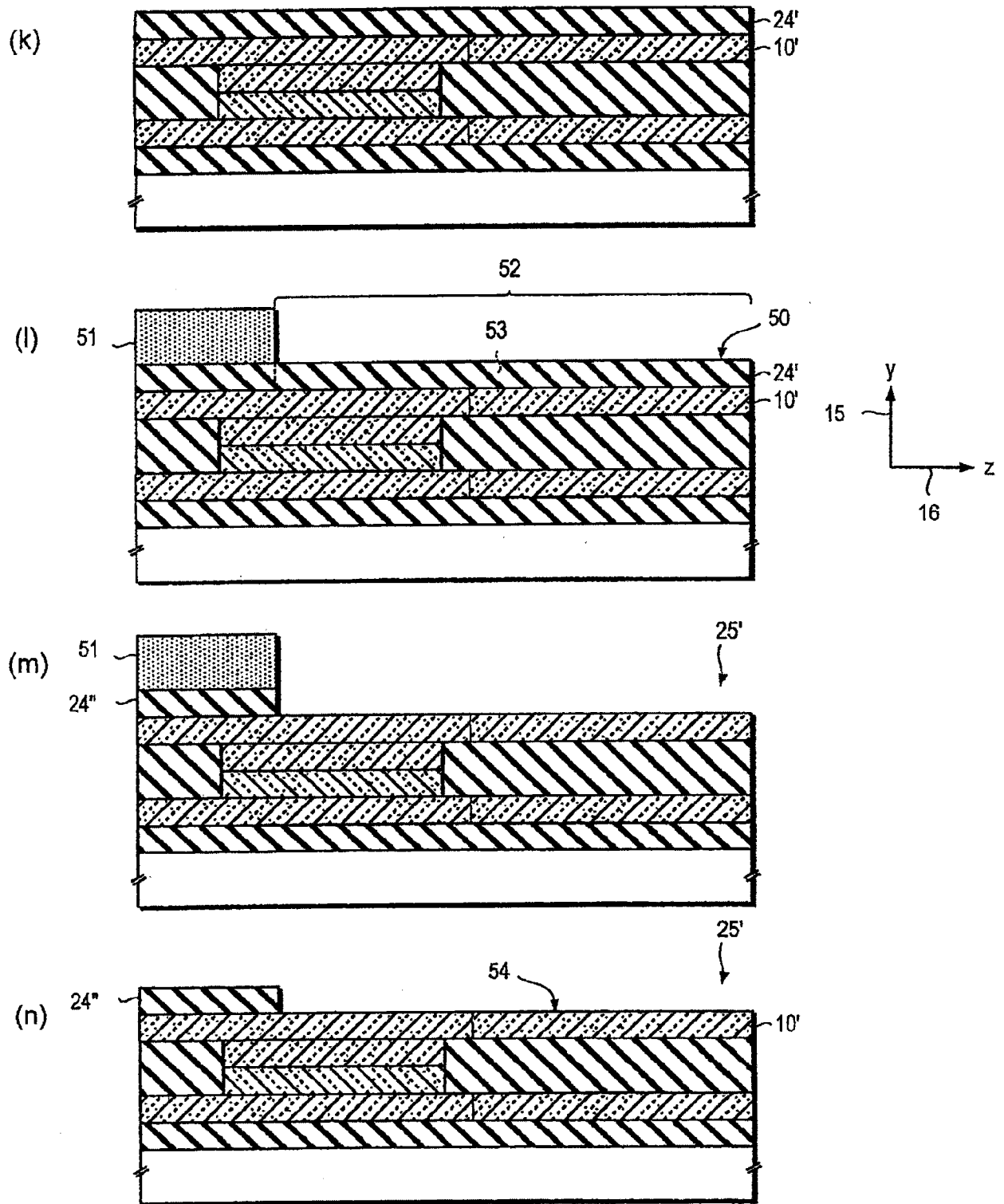


图 9

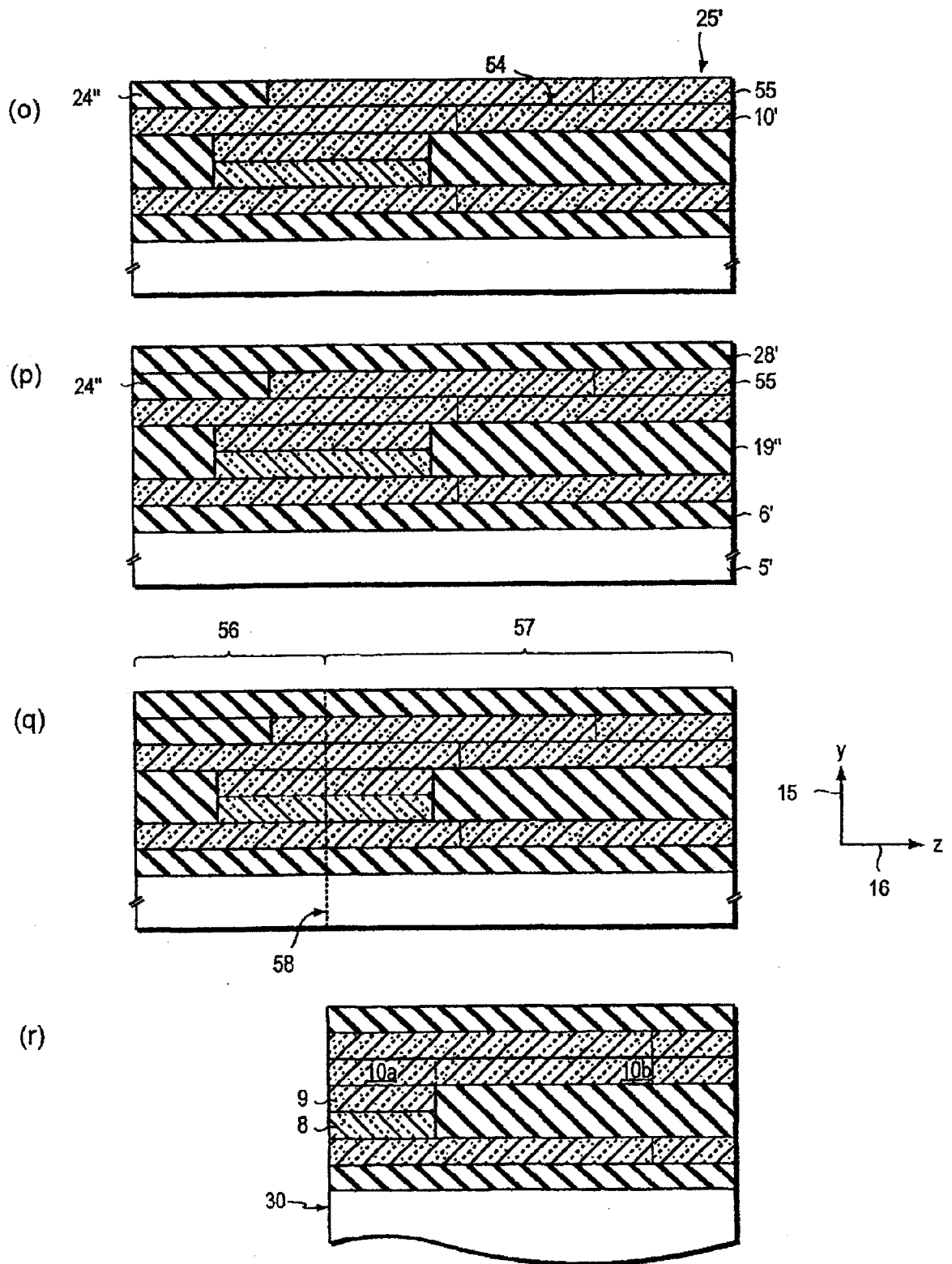


图 9

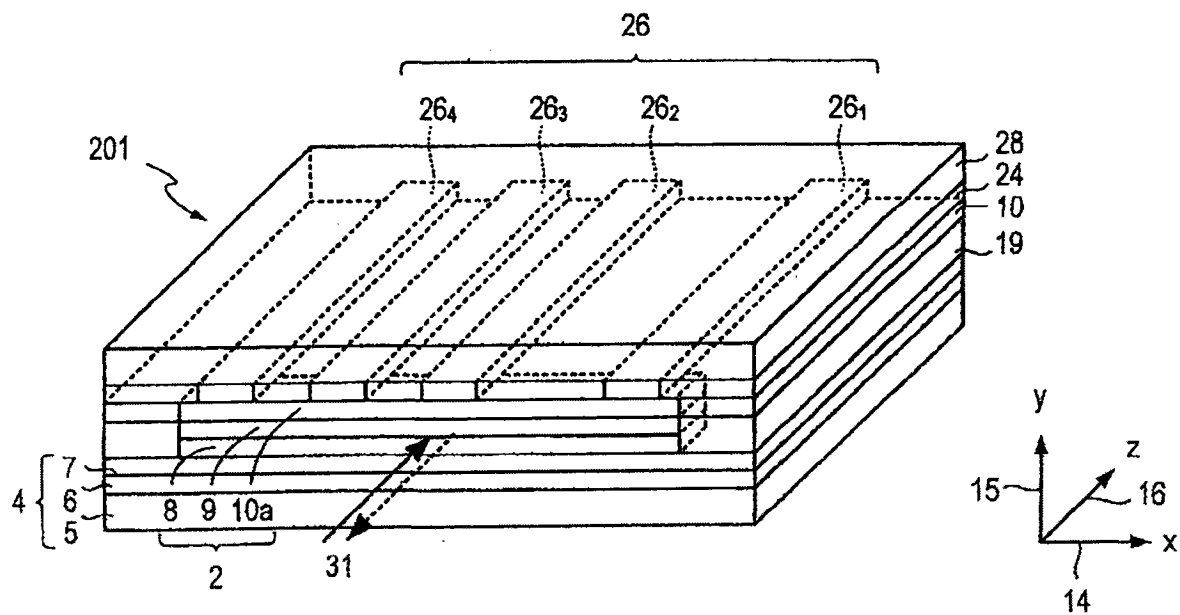


图 10

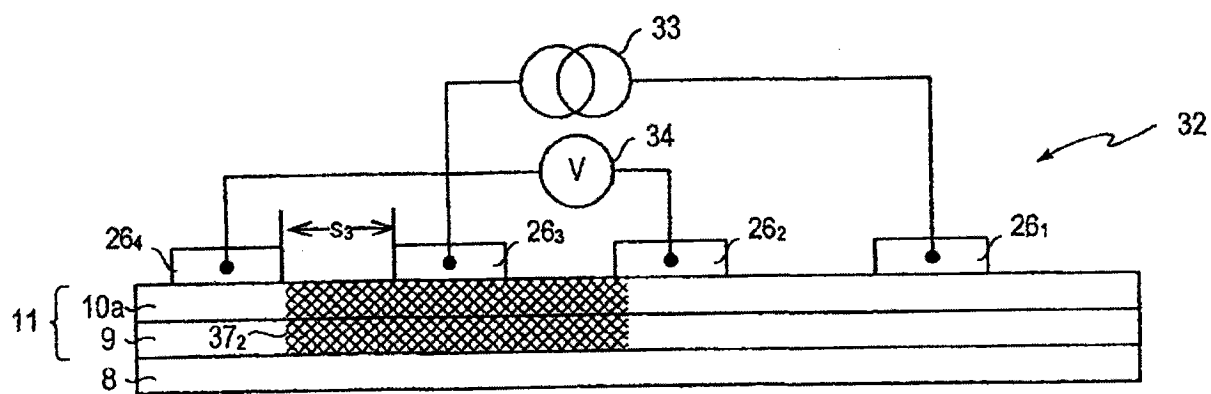


图 11

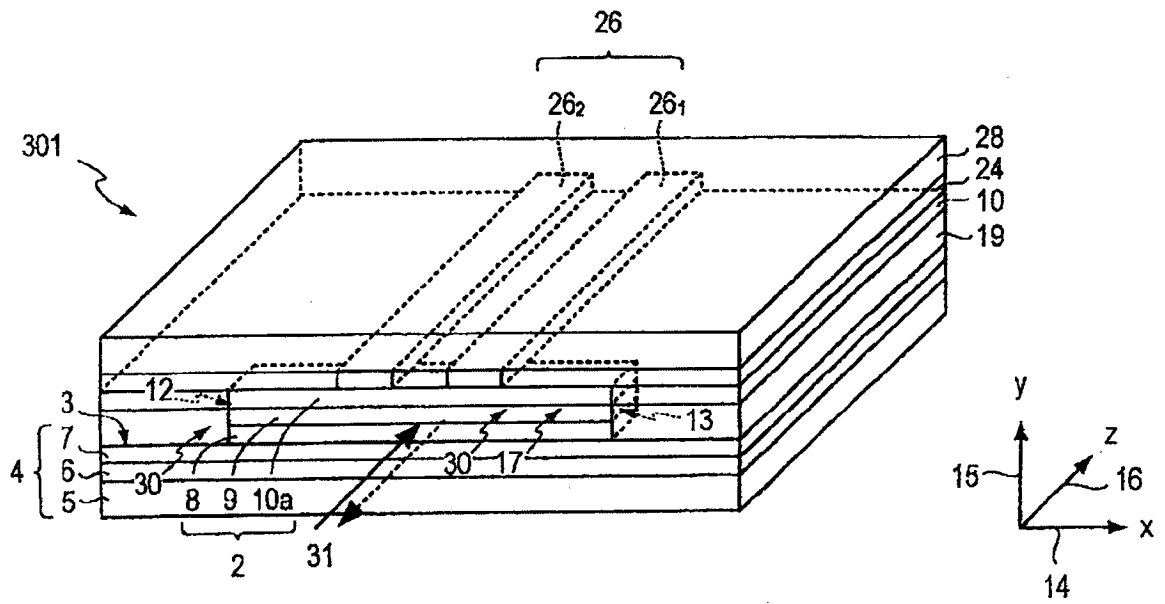


图 12

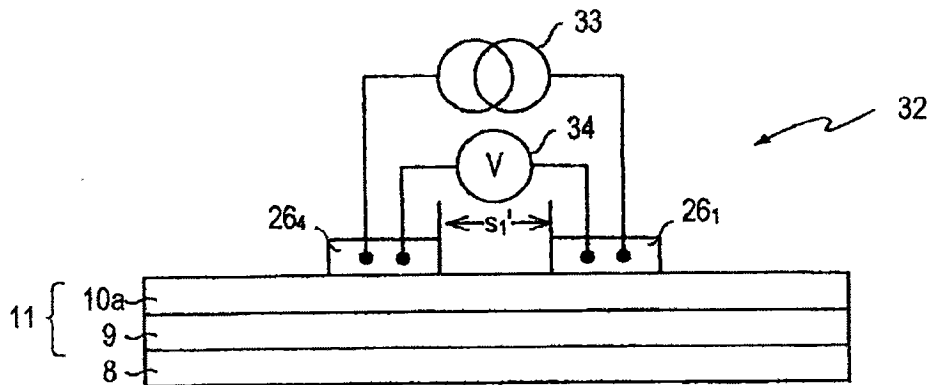


图 13

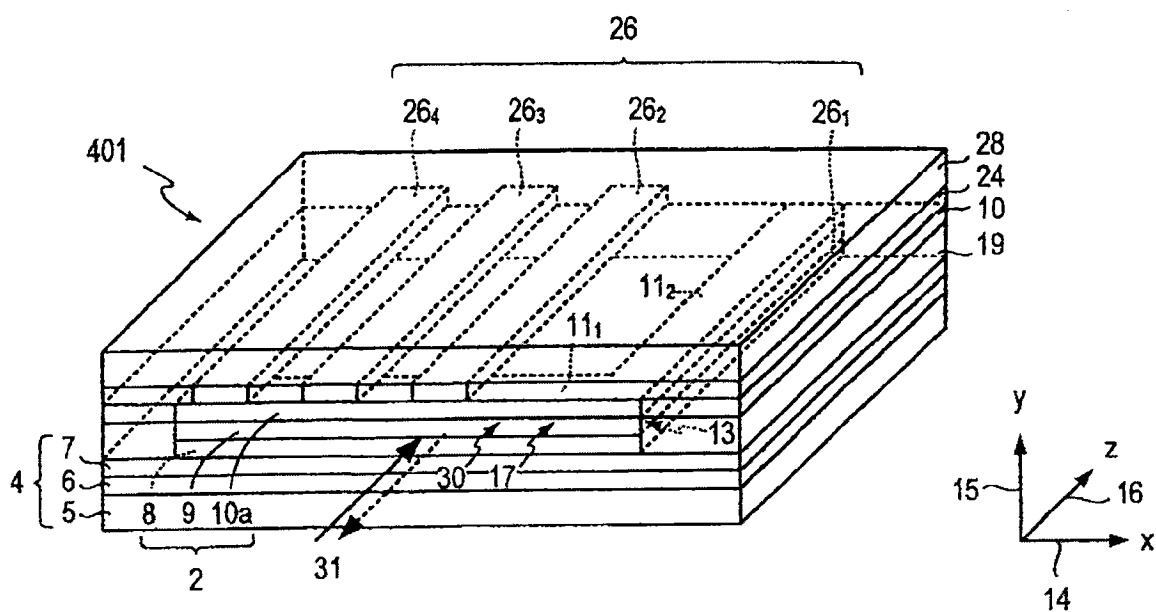


图 14

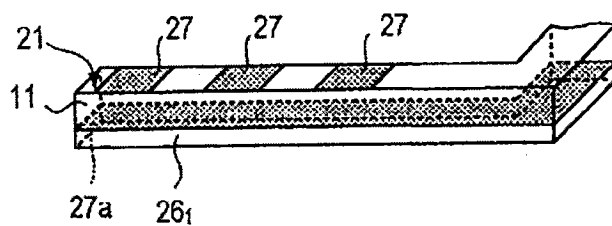


图 14a

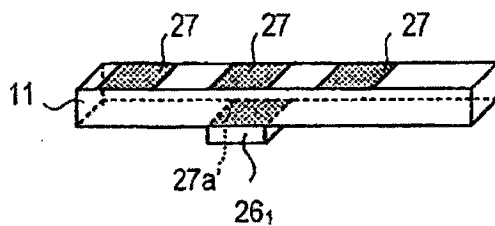


图 14b

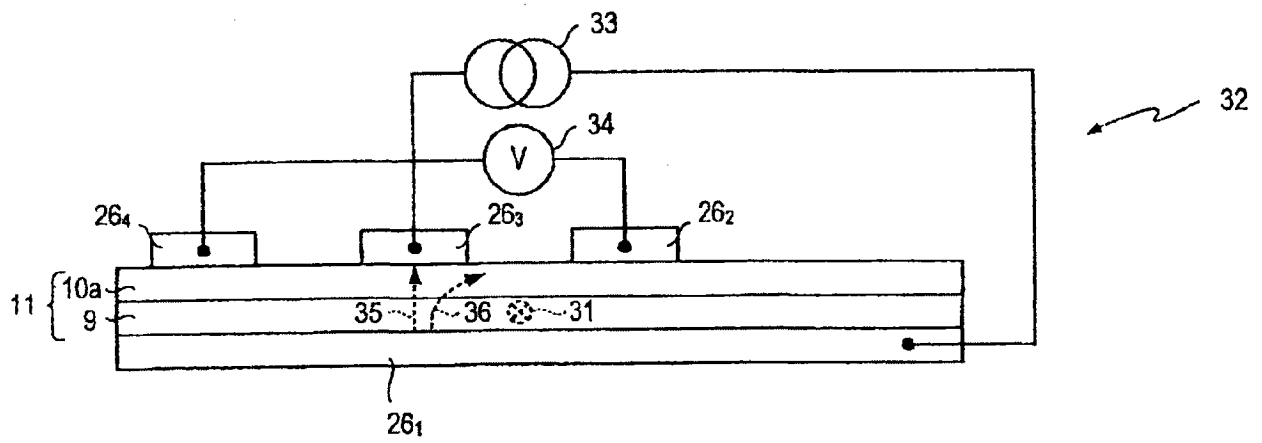


图 15

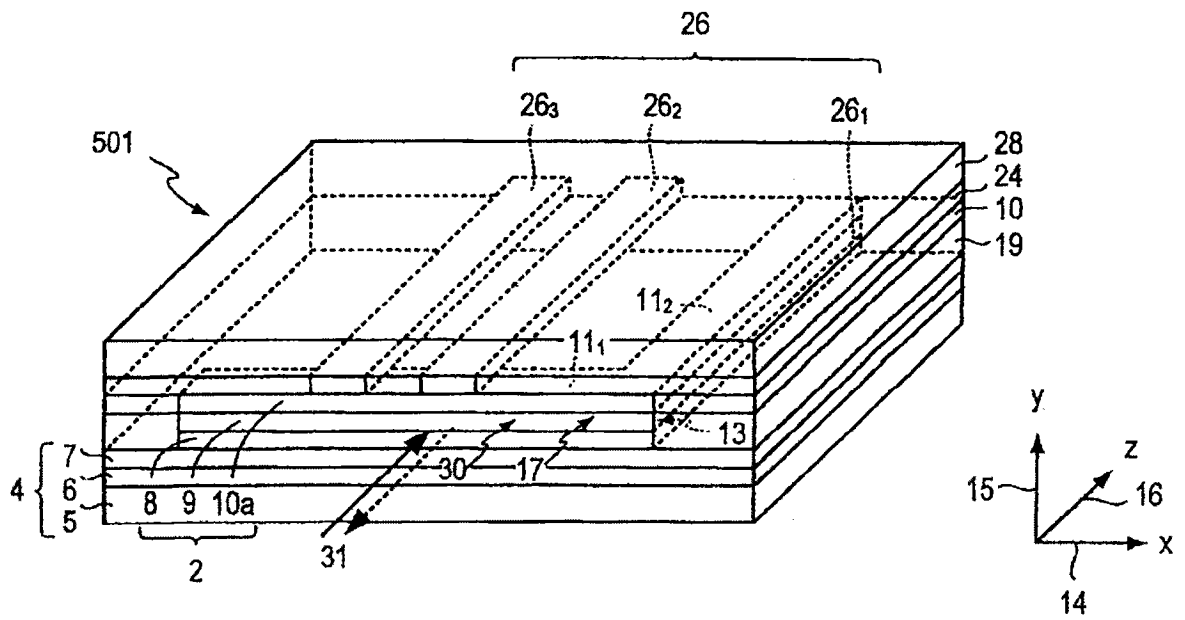


图 16

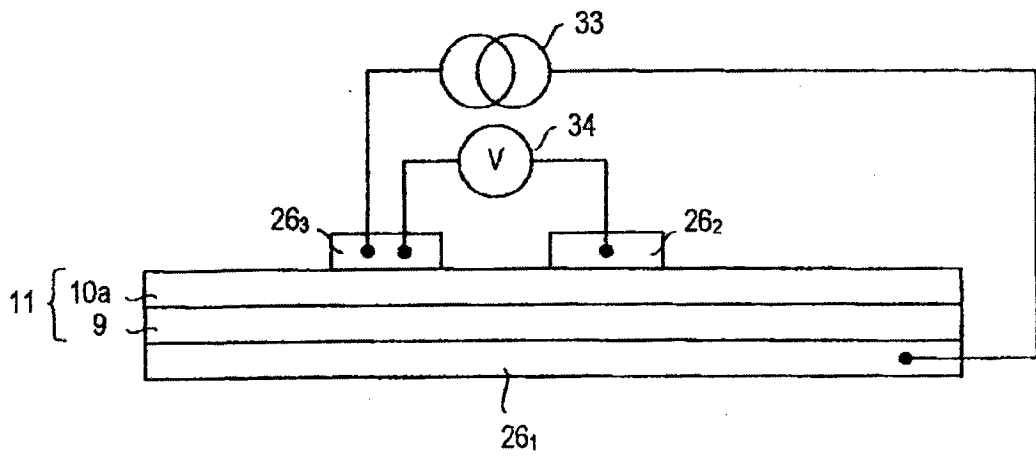


图 17

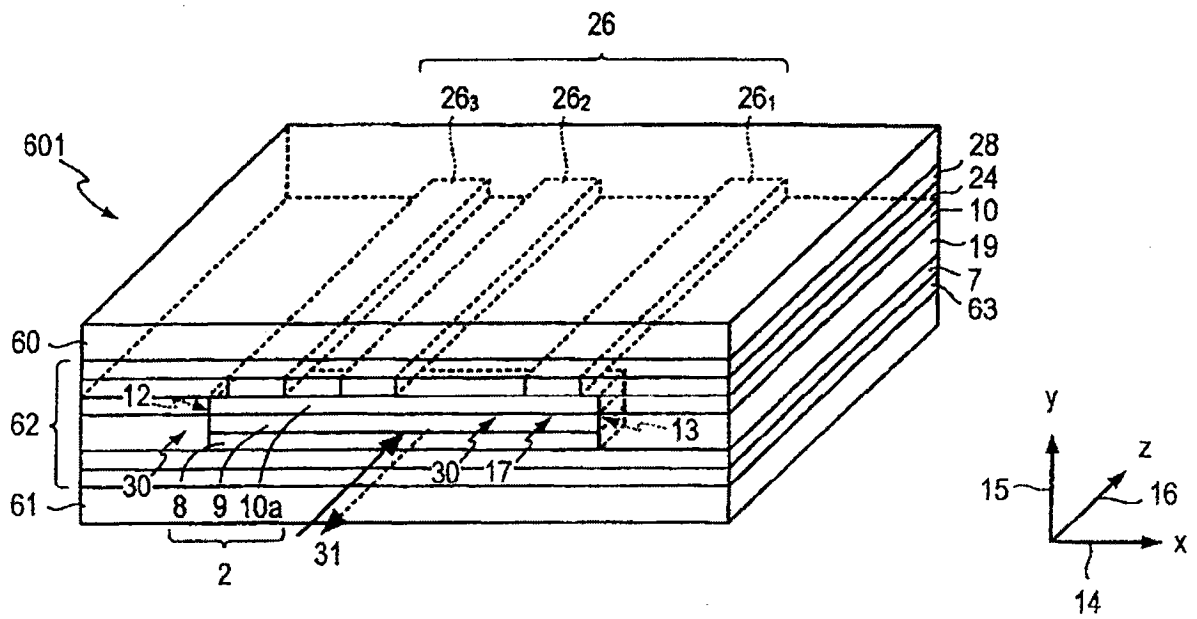


图 18

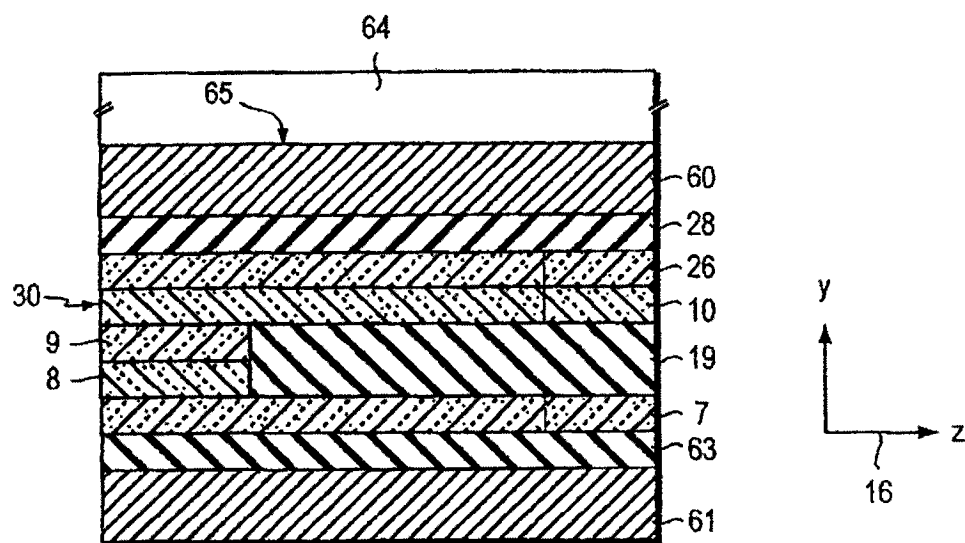


图 19

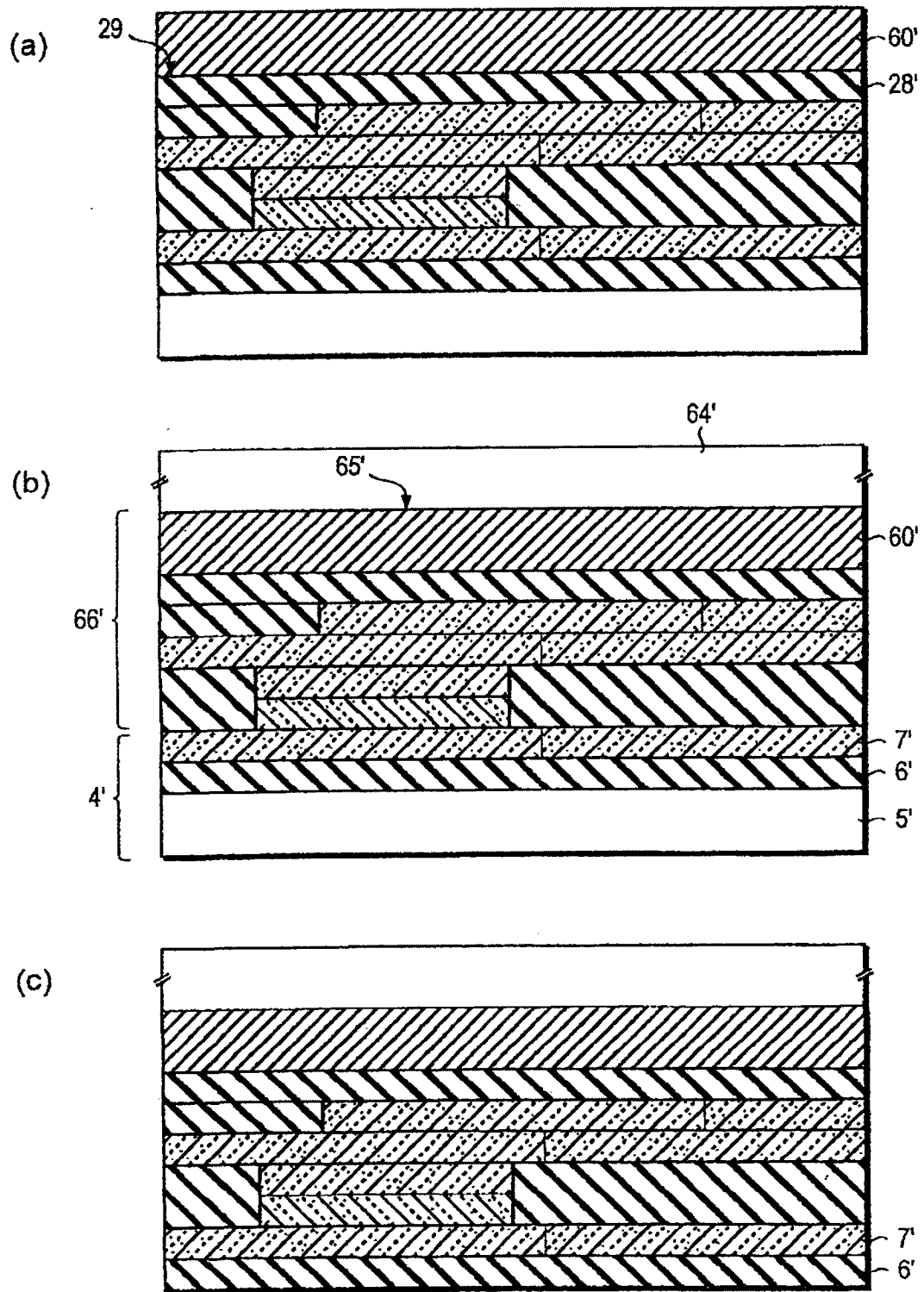


图 20

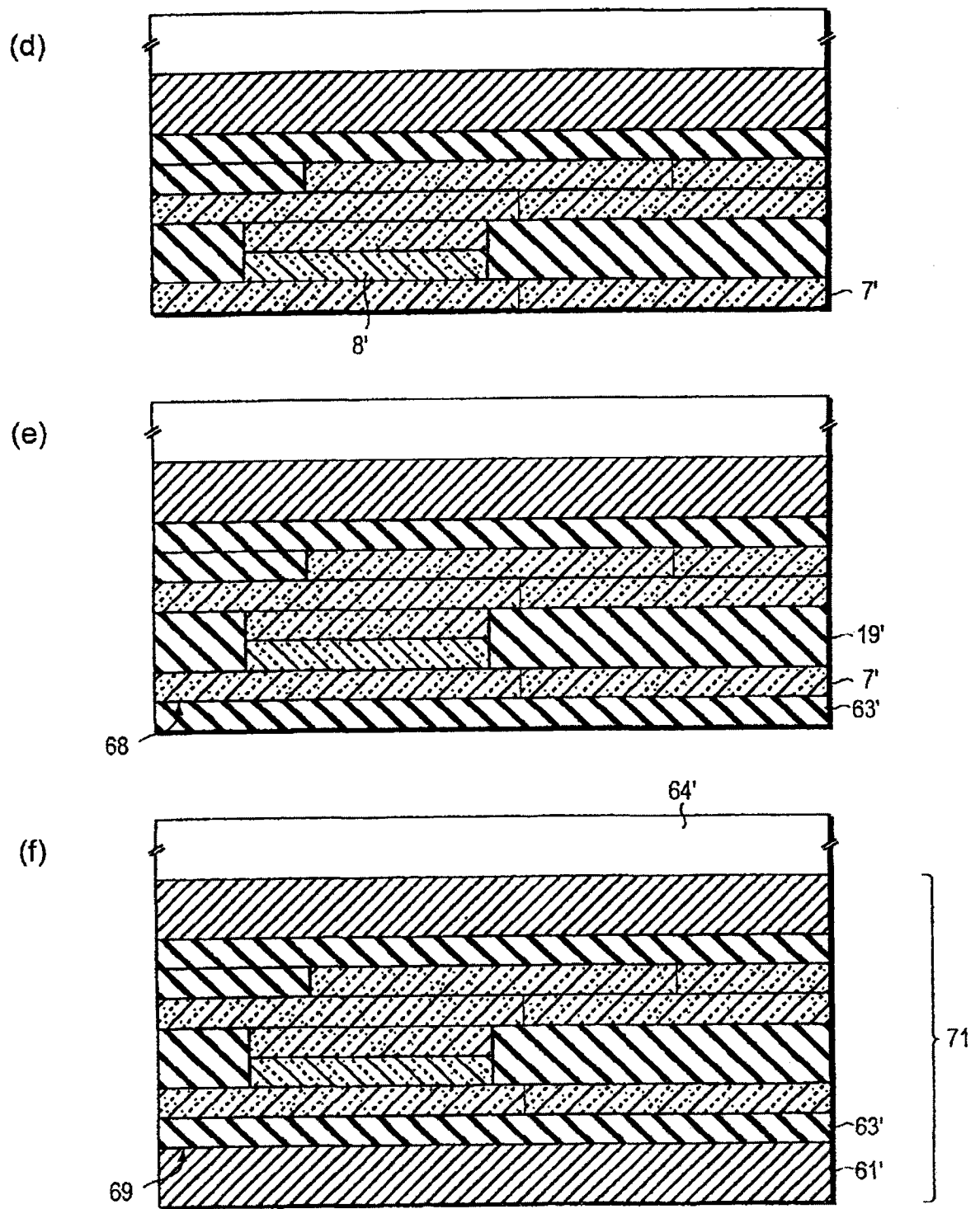


图 20

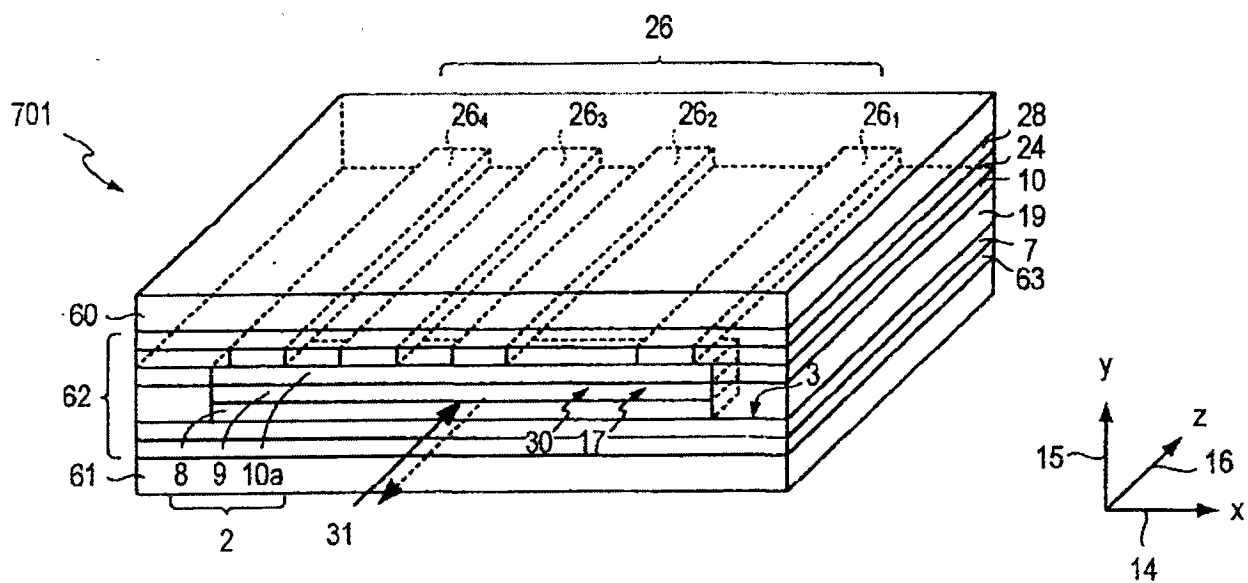


图 21

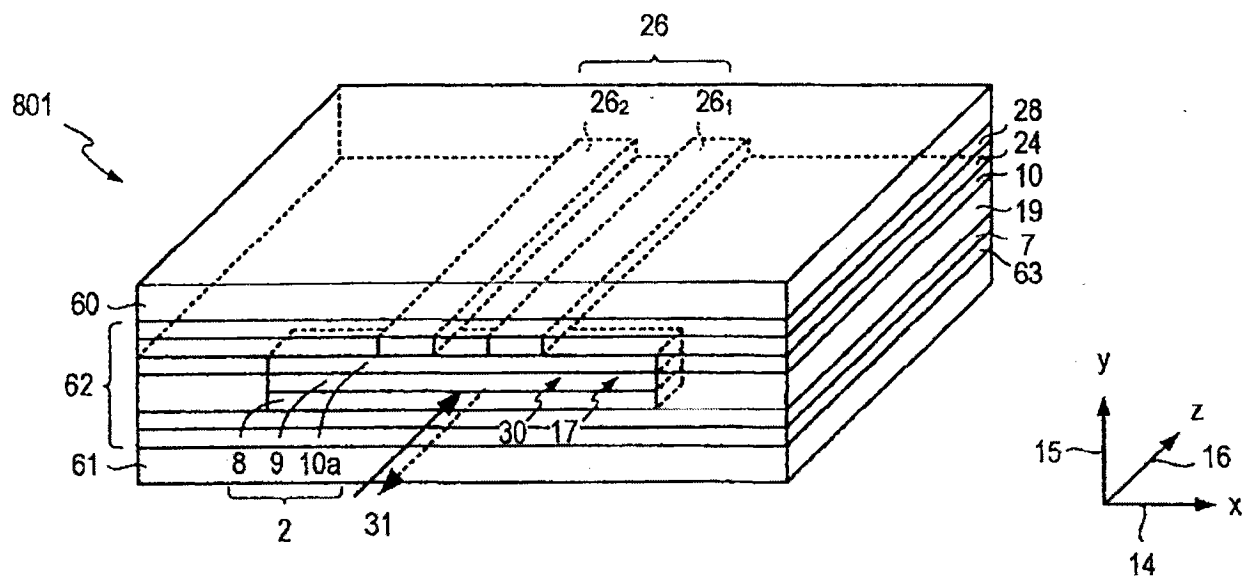


图 22

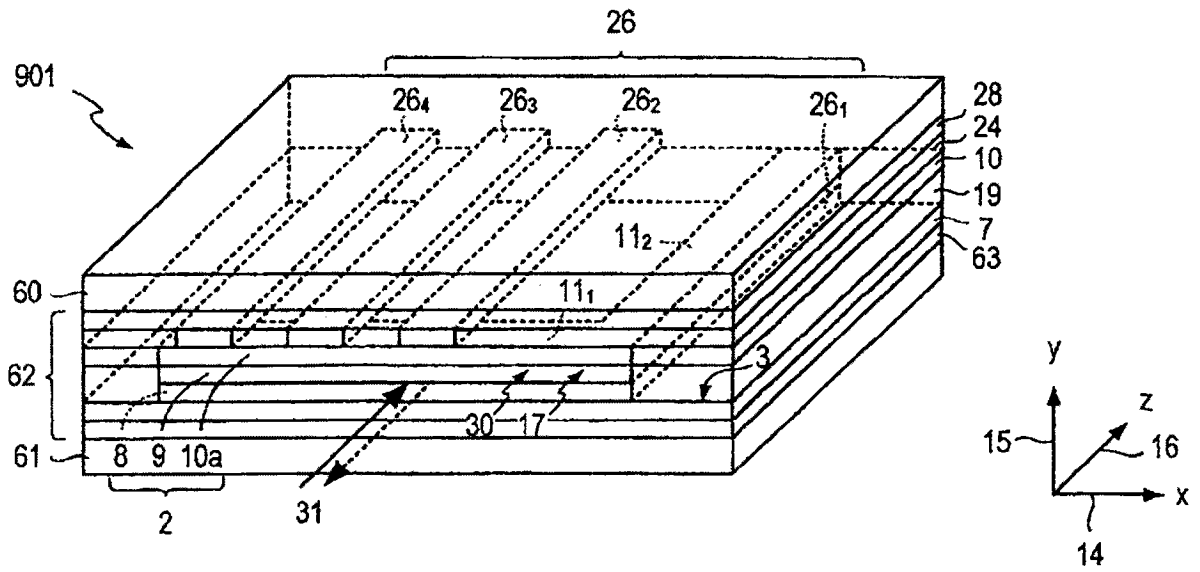


图 23

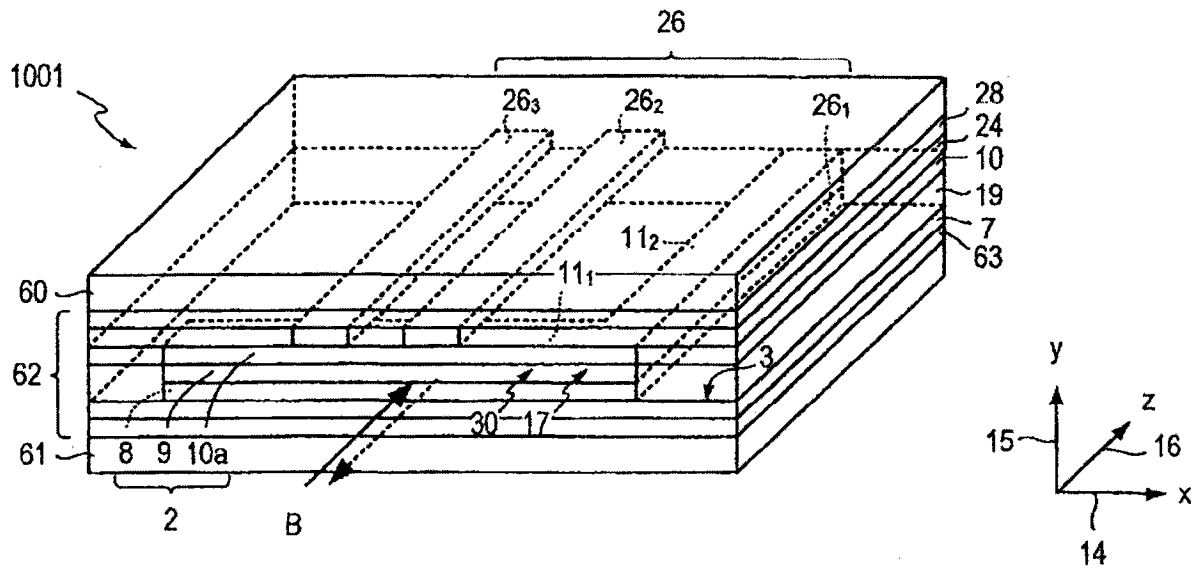


图 24

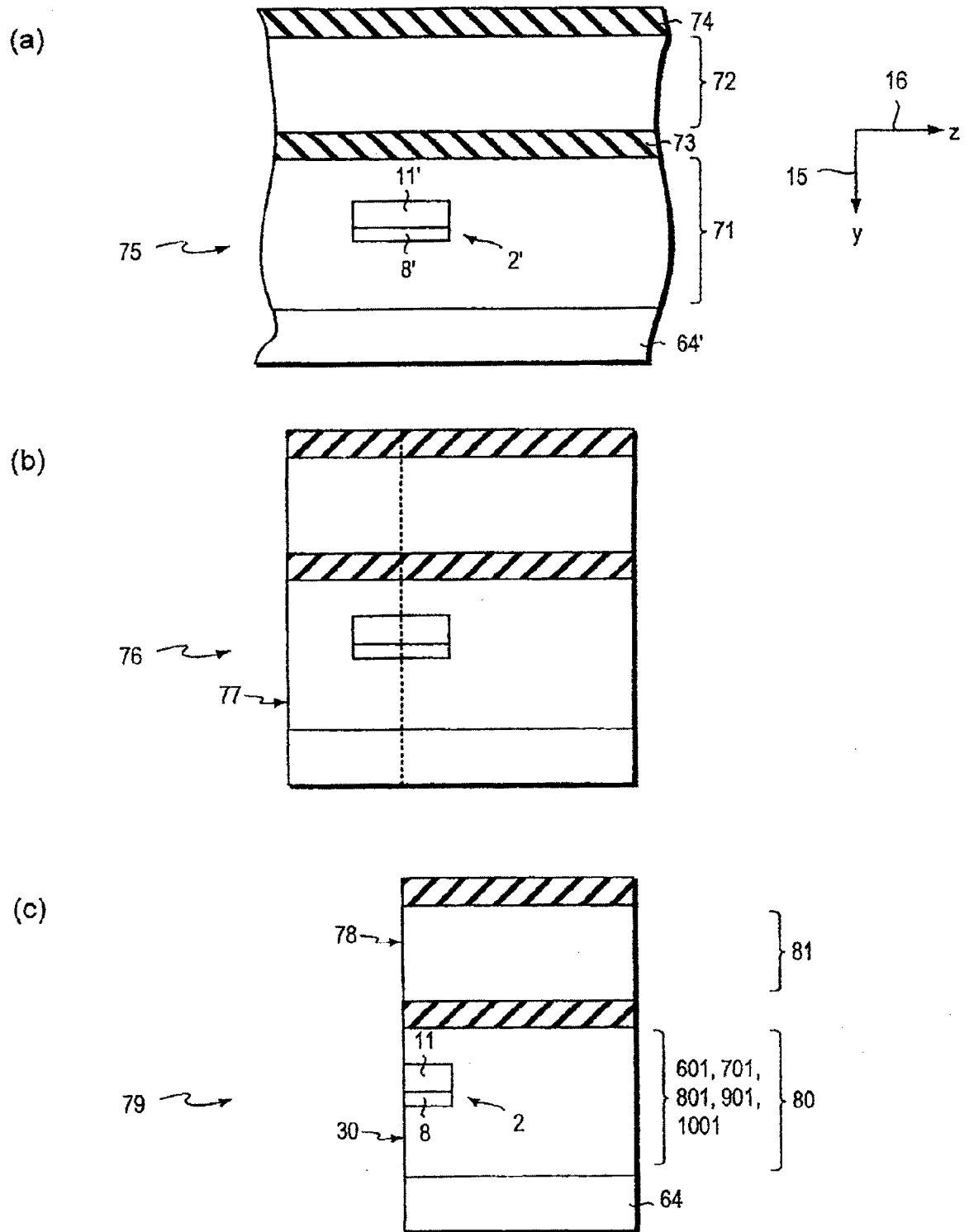


图 25

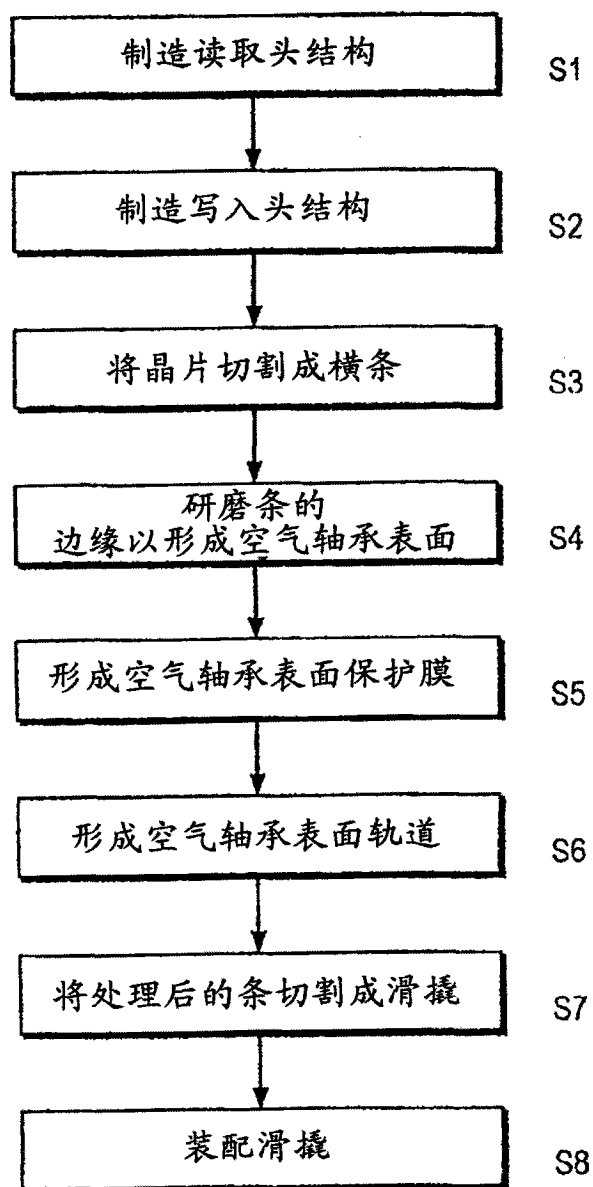


图 26

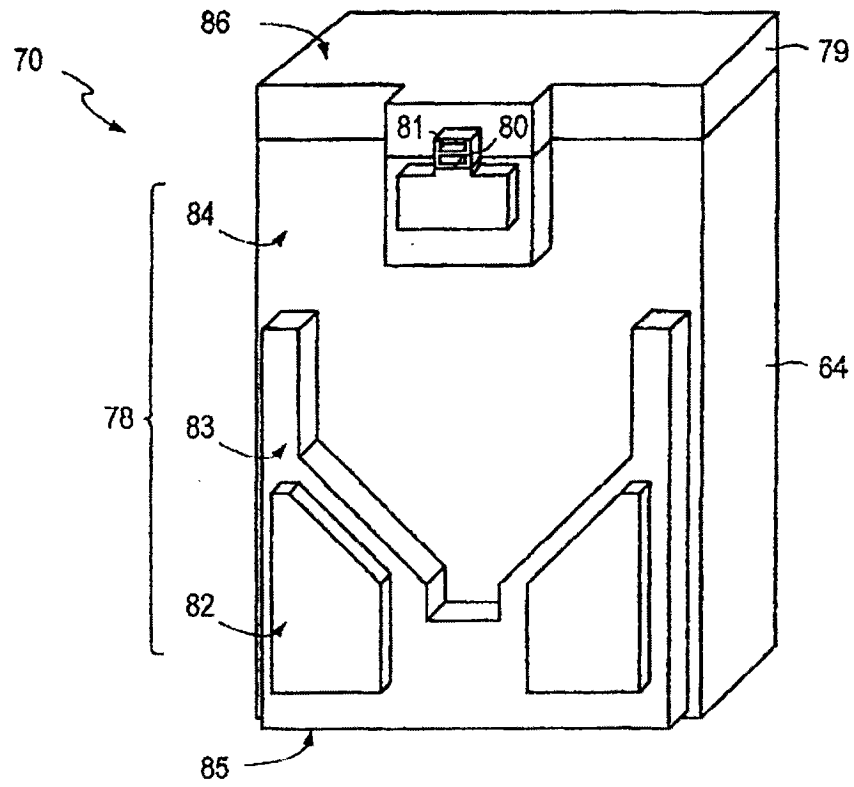


图 27

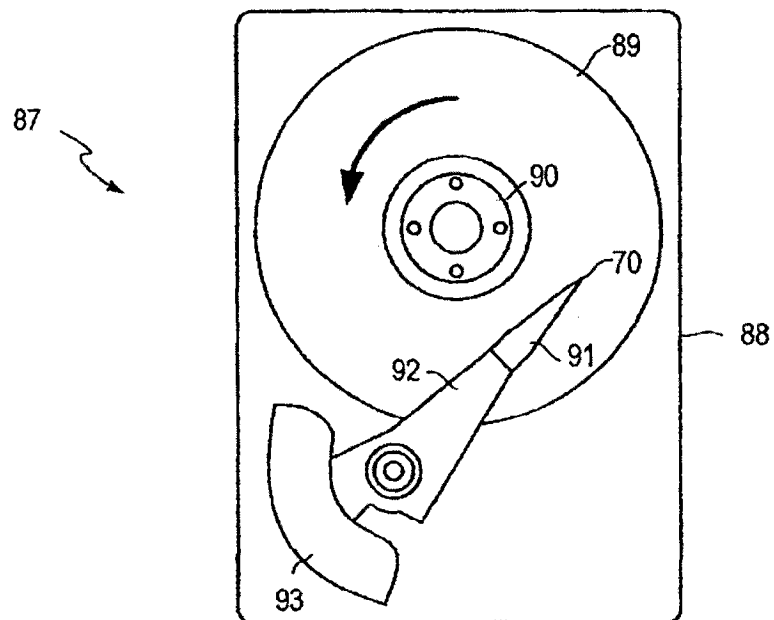


图 28