



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년08월28일
(11) 등록번호 10-1435745
(24) 등록일자 2014년08월22일

(51) 국제특허분류(Int. Cl.)
H03K 3/037 (2006.01) H03K 19/00 (2006.01)
(21) 출원번호 10-2013-0019566
(22) 출원일자 2013년02월25일
심사청구일자 2013년02월25일
(56) 선행기술조사문헌
KR2019950001439 Y1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
인하대학교 산학협력단
인천광역시 남구 인화로 100, 인하대학교 (용현동)
(72) 발명자
윤광섭
인천 연수구 앵고개로 183, 106동 301호 (동춘동, 대우3차아파트)
윌커슨벤자민
경기도 의왕시 내손2동 동부시장2길 태광빌라 가동 103호
(74) 대리인
양성보

전체 청구항 수 : 총 2 항

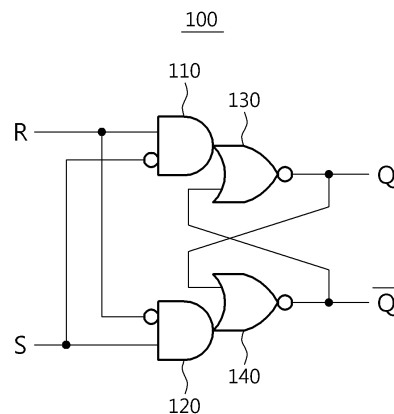
심사관 : 김남인

(54) 발명의 명칭 금지된 입력이 없는 콤플렉스 게이트를 이용한 RS 래치 회로

(57) 요약

본 발명의 실시예는 금지된 입력을 가지지 않는 콤플렉스 게이트를 이용한 RS 래치 회로에 관한 것이다. RS 래치 회로에 있어서, R 입력 신호와 S 입력 신호의 반전 신호를 입력하는 제1 AND 게이트; R 입력 신호의 반전 신호와 S 입력 신호를 입력하는 제2 AND 게이트; 제1 AND 게이트와 제2 AND 게이트의 출력 단에 각각 구비하기 위한 두 개의 NOR 게이트를 포함하고, 두 개의 NOR 게이트의 출력 단을 다른 NOR 게이트의 입력 단에 교차시키는 것을 특징으로 하는 RS 래치 회로가 제공될 수 있다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 NRF-2010-0020163

부처명 교육과학기술부

연구사업명 중점연구소 지원사업

연구과제명 그린 생체모방형 임플란터블 전자칩 및 U-생체정보처리 플랫폼 융합기술개발

기 여 율 0.5/1

주관기관 인하대학교 산학협력단

연구기간 2010.09.01 ~ 2013.04.30

이 발명을 지원한 국가연구개발사업

과제고유번호 1415123348

부처명 지식경제부

연구사업명 대학 IT 연구센터 육성지원사업

연구과제명 정보기기용 시스템반도체 핵심 설계 기술 개발 및 인력 양성

기 여 율 0.5/1

주관기관 서울시립대학교 산학협력단

연구기간 2011.06.01 ~ 2015.12.31

특허청구의 범위

청구항 1

RS 래치 회로에 있어서,

R 입력 신호와 S 입력 신호의 반전 신호를 입력하는 제1 AND 게이트;

상기 R 입력 신호의 반전 신호와 상기 S 입력 신호를 입력하는 제2 AND 게이트;

상기 제1 AND 게이트와 상기 제2 AND 게이트의 출력단에 각각 구비하기 위한 두 개의 NOR 게이트를 포함하고,

상기 두 개의 NOR 게이트의 출력단을 다른 NOR 게이트의 입력단에 교차시키고,

상기 두 개의 NOR 게이트의 출력은 상기 제1 AND 게이트와 상기 제2 AND 게이트의 입력값에 상관없이 상보적인 결과를 출력하는 것

을 특징으로 하는 RS 래치 회로.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 제1 AND 게이트와 상기 제2 AND 게이트로 반전 신호를 입력하기 위해서 NOT 게이트를 더 포함하는 것

을 특징으로 하는 RS 래치 회로.

명세서

기술분야

[0001] 본 발명의 실시예는 금지된 입력을 가지지 않는 콤플렉스 게이트를 이용한 RS 래치 회로에 관한 것이다.

배경기술

[0002] RS 래치 회로란 한 비트의 데이터를 일시적으로 저장하는 기능을 가지는 회로를 말한다. RS 래치의 동작에 대해서 설명하면, R 입력은 리셋 입력이고 S 입력은 세트입력이며, RS 입력에 따른 출력 Q와 Q의 상보적인 출력 Q'에 따라 리셋과 세트 동작을 수행한다.

[0003] 기존의 RS 래치를 NOR Gate로 구성할 경우, R 입력과 S 입력에 “1”을 동시에 가하면 $Q = Q' = “0”$ 이 되기 때문에, 이는 금지된 상태(부정 상태)로 상보 출력이 되지 않아 이에 대해서 정의되지 않는다.

[0004] 또한 RS 래치를 NAND Gate로 구성할 경우 R 입력과 S 입력에 “0”을 동시에 가하면 금지된 상태(부정 상태)로 상보적인 출력 $Q = Q' = “1”$ 이 되는 정의 되지 못하는 현상이 나타난다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예는 상기에 기재한 문제를 해결하기 위한 것으로, RS 래치를 두 개의 콤플렉스 게이트(Complex Gate)로 구성함으로써 R 입력과 S 입력에 1이나 0을 동시에 가하여도 부정 상태가 되지 않고, 상보적인 출력들이 이전의 입력에 의한 상태를 그대로 유지하는 RS 래치 회로 구성을 제공하고자 한다.

과제의 해결 수단

- [0006] RS 래치 회로에 있어서, R 입력 신호와 S 입력 신호의 반전 신호를 입력하는 제1 AND 게이트; R 입력 신호의 반전 신호와 S 입력 신호를 입력하는 제2 AND 게이트; 제1 AND 게이트와 제2 AND 게이트의 출력 단에 각각 구비하기 위한 두 개의 NOR 게이트를 포함하고, 두 개의 NOR 게이트의 출력 단을 다른 NOR 게이트의 입력 단에 교차시키는 것을 특징으로 하는 RS 래치 회로가 제공될 수 있다.
- [0007] 일측에 있어서, 두 개의 NOR 게이트의 출력은 제1 AND 게이트와 제2 AND 게이트의 입력 값에 상관없이 상보적인 결과를 출력할 수 있다.
- [0008] 또 다른 측면에 있어서, 제1 AND 게이트에 연결된 NOR 게이트의 출력은 정위상 출력이며, 제2 AND 게이트에 연결된 NOR 게이트의 출력은 역위상 출력이 될 수 있다.
- [0009] 또 다른 측면에 있어서, 제1 AND 게이트와 제2 AND 게이트로 반전 신호를 입력하기 위해서 NOT 게이트를 더 포함할 수 있다.

발명의 효과

- [0010] 본 발명의 실시예를 통해, RS 래치를 두 개의 콤플렉스 게이트(Complex Gate)로 구성함으로써 R 입력과 S 입력에 1이나 0을 동시에 가하여도 부정 상태가 되지 않고, 상보적인 출력들이 이전의 입력에 의한 상태를 그대로 유지하는 RS 래치 회로 구성을 제공할 수 있다.
- [0011] 또한, R 입력과 S 입력의 신호는 상보적인 신호였을 때에 전단의 CMOS 드라이버(Driver)이 이상적이면 R 입력과 S 입력이 동시에 "1"이나 "0"이 되지 않고 항상 상보적이지만 실제로는 제조공정의 변화가 CMOS FET의 특성 차이로 인한 신호 왜곡의 문제로 나타나는데 이런 듀티사이클(Duty-cycle)이 변하는 문제를 해결할 수 있다.

도면의 간단한 설명

- [0012] 도 1은 본 발명의 일실시예에 있어서, RS 래치 회로의 구성을 설명하기 위한 회로도이다.
- 도 2는 본 발명의 일실시예에 있어서, RS 래치 회로의 동작을 설명하기 위한 표이다.
- 도 3은 본 발명의 일실시예에 있어서, RS 래치 회로의 입력과 이에 따른 출력 값을 도시한 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하, RS 래치 회로 구성과 그 동작에 대해서 첨부된 도면을 참조하여 자세히 설명하도록 한다.
- [0014] 도 1은 본 발명의 일실시예에 있어서, 콤플렉스 게이트(Complex Gate)를 사용한 RS 래치(Latch) 회로의 구성을 도시하고 있다.
- [0015] 기본적으로 RS 래치 회로는 기본적으로 리셋 입력을 위한 R 입력과 세트 입력을 위한 S 입력이 존재하며, 두 개의 출력은 상보적으로 나타난다. 예컨대, 하나의 출력이 "1" 이라면, 다른 하나의 출력은 "0" 으로 도출되는 것이다.
- [0016] 그러나 상기에 설명한 바와 같이, 기존의 RS 래치 회로는 RS 입력이 같으면 부정이 되는 구조를 가지고 있기 때문에 신호 전달 시에 문제가 나타날 수 있다.
- [0017] 도 1과 같은 구성의 RS 래치 회로(100)는 AND 게이트(110, 120) 두 개와 NOR 게이트(130, 140) 두 개를 포함하여 구성될 수 있다. 도시된 바와 같이, 하나의 AND 게이트(110)에는 R 입력 신호와 S 입력 신호의 반전 신호를 입력하고, AND 게이트(120)에는 R 입력 신호의 반전 신호와 S 입력 신호를 입력하게 된다. 여기서 RS 래치 회로(100)는 R 입력 신호와 S 입력 신호의 반전 신호를 입력하기 위해 각 AND 게이트 입력 단에 NOT 게이트를 포함하여 구성될 수 있다.
- [0018] 그리고 각 AND 게이트(110, 120)의 출력 단에 NOR 게이트(130, 140)를 구성한다. NOR 게이트도 결과 값을 출력하기 위해서는 두 개의 입력 값이 필요한데 각 AND 게이트(110, 120)에 연결된 NOR 게이트(130, 140)는 연결되어 있는 AND 게이트(110, 120)의 출력 값을 하나의 입력으로 하며, 나머지 하나의 입력으로 다른 하나의 NOR 게이트 출력을 연결한다. 예컨대, NOR 게이트(130)의 출력인 Q를 NOR 게이트(140)의 입력으로 연결하며, NOR 게이트(140)의 출력 Q'(도 1에는 $\bar{Q}$ 로 표기)는 NOR 게이트(130)의 입력으로 연결할 수 있다.

[0019] 상기와 같이 연결된 RS 래치의 출력은 하기의 수학적 식 1과 수학적 식 2와 같이 나타난다.

수학적 식 1

$$Q = \overline{(R \cdot \overline{S}) + \overline{Q}}$$

수학적 식 2

$$\overline{Q} = \overline{(S \cdot \overline{R}) + Q}$$

[0022] 출력 Q는 AND 게이트(110)에 연결되어 있는 NOR 게이트(130)의 출력으로 정위상 출력이며, 이에 상보적인 출력 Q'는 AND 게이트(120)에 연결되어 있는 NOR 게이트(140)의 출력으로 Q와 출력 위상이 반대로 나타나는 역위상 출력이다.

[0023] 수학적 식 1과 수학적 식 2를 통해 R 입력과 S 입력이 어떤 상태가 되어도 Q와 Q'는 항상 상보적인 출력이 나올 수 있다.

[0024] 도 2는 본 발명의 일실시예에 있어서, 도 1을 통해 설명한 RS 래치 회로의 동작을 설명하기 위한 동작표를 도시한 것이다. RS 래치의 특성 R 입력이 0이고 S 입력이 1일 때 세트 동작하며, 반면 R 입력이 1이고 S 입력이 0일 때 리셋 동작한다.

[0025] 본 발명에서 중요한 것은 R 입력과 S 입력이 같을 때에 대한 것이다. 도 1과 같이 RS 래치 회로(100)를 구성함으로써 R 입력 = S 입력 = 0 일 때에 또는 R 입력 = S 입력 = 1 일 때에 정위상 출력 Q와 역위상 출력 Q'는 모두 이전의 출력 값을 유지하는 상태로 동작할 수 있다. 이와 관련하여는 도 1의 RS 래치 회로(100)를 참조로 도출된 수학적 식 1과 수학적 식 2를 참조할 수 있다.

[0026] 도 2에 도시된 바와 같이, R 입력과 S 입력이 같을 때에도 출력 값을 유지함으로써 상보적인 출력 관계를 유지할 수 있다.

[0027] 도 3은 본 발명의 일실시예에 있어서, RS 래치 회로의 입력과 이에 따른 출력 값을 함께 도시한 그래프이다. 그래프 (a)는 R 입력 값, 그래프 (b)는 S 입력 값을 나타내고 있으며, 그래프 (c)는 정위상 출력 값인 Q값을, 그래프 (d)는 Q 값의 역위상 출력 값인 Q' 값을 나타내고 있다.

[0028] 그래프 (a)와 그래프 (b)의 듀티사이클(Duty-cycle)은 도시된 바와 같이 완전히 일치하지 않으며, 약간의 오차를 보이기 때문에 순간적으로 R 입력과 S 입력이 같아지는 구간이 존재한다.

[0029] 본 발명의 RS 래치 회로는 R 입력과 S 입력이 같을 때엔 이전의 출력을 그대로 유지하는 동작을 수행하기 때문에, 그래프 (c)나 그래프 (d)의 출력 값은 R 입력과 S 입력의 값이 잠시 같을 때에는 그 값을 그대로 유지하다가 두 입력 값이 달라지는 순간에 그 값이 변하는 것을 확인할 수 있다.

[0030] 따라서, 도시된 바와 같이, 그래프 (c)와 그래프 (d)의 출력 값의 위상은 정반대로 나타나며, 듀티사이클이 일치하는 것을 확인할 수 있다. 더불어, 출력 값의 듀티사이클은 안정적으로 나타날 수 있다.

[0031] 본 발명의 실시예를 통해서 RS 래치를 두 개의 콤플렉스 게이트(Complex Gate)로 구성함으로써 R 입력과 S 입력에 1이나 0을 동시에 가하여도 부정 상태가 되지 않고, 상보적인 출력들이 이전의 입력에 의한 상태를 그대로 유지하는 RS 래치 회로 구성을 제공할 수 있다.

[0032] 또한, R 입력과 S 입력의 신호는 상보적인 신호였을 때에 전단의 CMOS 드라이버(Driver)이 이상적이면 R 입력과 S 입력이 동시에 "1"이나 "0"이 되지 않고 항상 상보적이지만 실제로는 제조공정의 변화가 CMOS FET의 특성 차이로 인한 신호 왜곡의 문제로 나타나는데 이런 듀티사이클(Duty-cycle)이 변하는 문제를 해결할 수 있다.

[0033] 이상과 같이 RS 래치 회로에 대한 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술

들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등한 것들에 의하여 대체되거나 치환되더라도 적절한 결과가 달성될 수 있다.

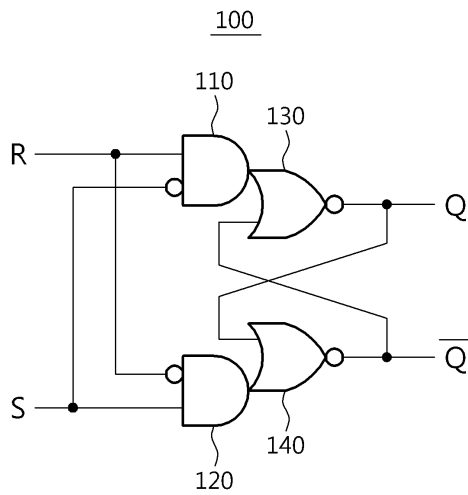
[0034] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

부호의 설명

[0035] 100: RS 래치 회로
110, 120: AND 게이트
130, 140: NOR 게이트

도면

도면1



도면2

RS 래치 동작										
특성 표						여진 표				
R	S	Q_{next}	$\overline{Q}_{next}$	동작	Q	Q_{next}	$\overline{Q}$	$\overline{Q}_{next}$	R	S
0	0	Q	$\overline{Q}$	유지 상태	0	0	1	1	1	X
0	1	1	0	세트	0	1	1	0	X	0
1	0	0	1	리셋	1	0	0	1	1	0
1	1	Q	$\overline{Q}$	유지 상태	1	1	0	0	X	1
									0	X

도면3

