



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I681379 B

(45) 公告日：中華民國 109 (2020) 年 01 月 01 日

(21) 申請案號：107135521

(22) 申請日：中華民國 107 (2018) 年 10 月 09 日

(51) Int. Cl. : G09G3/3225 (2016.01)

G09G3/32 (2016.01)

(30) 優先權：2018/01/19 中國大陸

201810054293.X

(71) 申請人：大陸商昆山國顯光電有限公司 (中國大陸) (CN)

中國大陸

(72) 發明人：吳劍龍 (CN)；黃秀頌 (CN)；胡思明 (CN)；朱暉 (CN)

(74) 代理人：李保祿

(56) 參考文獻：

TW 201734993A

CN 107527589A

US 2008/0055208A1

US 2017/0365211A1

審查人員：陳恩筌

申請專利範圍項數：9 項 圖式數：5 共 37 頁

(54) 名稱

發射控制驅動電路、發射控制驅動器及有機發光顯示裝置

(57) 摘要

本發明公開了一種發射控制驅動電路、發射控制驅動器及有機發光顯示裝置，隔離單元連接在第二電源輸入端與第一柵壓控制電路和/或第二柵壓控制電路之間。若該第一柵控電壓和該第二柵控電壓中的一個低於該第二電源輸入端的電壓值，該隔離單元將低於該第二電源輸入端的電壓值的柵控電壓與該第一柵壓控制電路和/或該第二柵壓控制電路隔離。本發明的隔離單元可防止第一柵控電壓和第三柵控電壓過低時，第一柵壓控制電路和/或第二柵壓控制電路中的電晶體柵源間電壓過大，造成擊穿事故。

指定代表圖：

符號簡單說明：

10 . . . 第一柵壓控制電路

11 . . . 第一輸入端

12 . . . 第二輸入端

13 . . . 第三輸入端

20 . . . 第二柵壓控制電路

30 . . . 輸出單元

31 . . . 輸出端

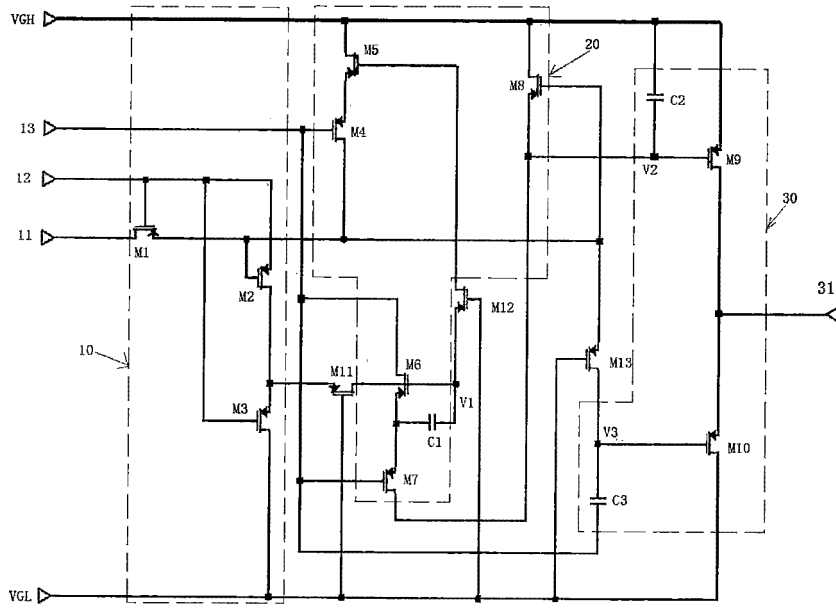


圖 3

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

發射控制驅動電路、發射控制驅動器及有機發光顯示裝置

【技術領域】

【0001】 本發明屬於光電技術領域，具體是關於一種發射控制驅動電路、發射控制驅動器及有機發光顯示裝置。

【先前技術】

【0002】 近年，國內外開發出了眾多類型的顯示裝置，例如液晶顯示裝置，等離子顯示裝置，電潤濕顯示裝置，電泳顯示裝置，有機發光顯示裝置等。其中有機發光顯示裝置利用電洞對在特定材料中的複合，發出特定波長的光，來顯示圖像，具有快速回應，功耗低，輕薄，色域廣等優點。現有的有機發光顯示裝置通常包括發射控制驅動器來控制像素的發射時間段，然而現有的發射控制驅動器容易被擊穿損壞。

【發明內容】

【0003】 有鑑於此，本發明提供一種發射控制驅動電路、發射控制驅動器及有機發光顯示裝置，以解決現有的有機發光顯示裝置的發射控制驅動電路中的電晶體擊穿的問題。

【0004】 根據本發明的一個方面，提供一種發射控制驅動電路，包括：第一柵壓控制電路，第一柵壓控制電路根據第一輸入端、第二輸入端和第

二電源輸入端的信號產生第一柵控電壓；第二柵壓控制電路，第二柵壓控制電路根據第一柵控電壓、第一輸入端、第二輸入端、第三輸入端、第一電源輸入端和第二電源輸入端的信號產生第二柵控電壓和第三柵控電壓，第一柵壓控制電路和第二柵壓控制電路各自包括若干電晶體，若干電晶體連接第一柵控電壓和第三柵控電壓；輸出單元，輸出單元根據第二柵控電壓、第三柵控電壓、第一電源輸入端和第二電源輸入端的信號產生輸出信號；以及隔離單元，隔離單元連接在第二電源輸入端與第一柵壓控制電路和第二柵壓控制電路之間，若第一柵控電壓和第三柵控電壓中的一個低於第二電源輸入端的電壓值，隔離單元將低於第二電源輸入端的電壓值的柵控電壓與第一柵壓控制電路和/或第二柵壓控制電路隔離。

【0005】 在一個實施例中，若第一柵控電壓低於第二電源輸入端的電壓值，隔離單元將第一柵控電壓與第一柵壓控制電路和第三柵壓控制電路隔離；若第三柵控電壓低於第二電源輸入端的電壓值，隔離單元將第三柵控電壓與第三柵壓控制電路隔離；或者在一個實施例中，若第一柵控電壓低於第二電源輸入端的電壓值，隔離單元將第一柵控電壓與第一柵壓控制電路隔離；若第三柵控電壓低於第二電源輸入端的電壓值，隔離單元將第三柵控電壓與第一柵壓控制電路和第三柵壓控制電路隔離。

【0006】 在一個實施例中，第一柵壓控制電路包括第一電晶體、第二電晶體和第三電晶體，第一電晶體、第二電晶體和第三電晶體為 P 型薄膜電晶體；第一電晶體的柵極連接第二輸入端，第一電晶體的源極連接第二電晶體的柵極，第一電晶體的漏極連接第一輸入端；第二電晶體的源極連接第二輸入端，第二電晶體的漏極連接第三電晶體的源極，第二電晶體的

柵極還連接第二柵壓控制電路；第三電晶體的柵極連接第二輸入端，第三電晶體的漏極連接第二電源輸入端，第三電晶體的源極還連接第二柵壓控制電路。

【0007】 在一個實施例中，第二柵壓控制電路包括第四電晶體、第五電晶體、第六電晶體、第七電晶體、第八電晶體和第一電容，第四電晶體、第五電晶體、第六電晶體、第七電晶體和第八電晶體為 P 型薄膜電晶體；第四電晶體的柵極連接第三輸入端，第四電晶體的源極連接第五電晶體的源極，第四電晶體的漏極連接第二電晶體的柵極；第五電晶體的柵極連接第三電晶體的源極，第五電晶體的漏極連接第一電源輸入端；第六電晶體的柵極連接第三電晶體的源極，第六電晶體的源極連接第七電晶體的源極，第六電晶體的漏極連接第三輸入端；第七電晶體的柵極連接第三輸入端，第七電晶體的漏極連接第八電晶體的源極；第八電晶體的柵極連接第一輸入端和輸出單元，第八電晶體的漏極連接第一電源輸入端，第八電晶體的源極還連接輸出單元；第一電容的一端連接第六電晶體的柵極，另一端連接第六電晶體的源極。

【0008】 在一個實施例中，輸出單元包括第九電晶體、第十電晶體、第二電容、第三電容，第九電晶體和第十電晶體為 P 型薄膜電晶體；第九電晶體的柵極連接第八電晶體的源極，第九電晶體的源極連接第一電源輸入端，第九電晶體的漏極連接第十電晶體的源極；第十電晶體的柵極連接第八電晶體的柵極，第十電晶體的漏極連接第二電源輸入端；第二電容的一端連接第九電晶體的柵極，另一端連接第九電晶體的源極；第三電容一端連接第十電晶體的柵極，另一端連接第三輸入端；輸出單元產生的輸出

信號從第十電晶體的源極輸出。

【0009】 在一個實施例中，隔離單元包括第十一電晶體、第十二電晶體和第十三電晶體，第十一電晶體、第十二電晶體和第十三電晶體為 P 型薄膜電晶體；第十一電晶體連接在第三電晶體的源極和第六電晶體的柵極之間，第十一電晶體的柵極連接第二電源輸入端，第十一電晶體的源極連接第三電晶體的源極，第十一電晶體的漏極連接第六電晶體的柵極；第十二電晶體連接在第五電晶體的柵極和第六電晶體的柵極之間，第十二電晶體的柵極連接第二電源輸入端，第十二電晶體的漏極連接第五電晶體的柵極，第十二電晶體的源極連接第六電晶體的柵極；第十三電晶體連接在第八電晶體的柵極和第十電晶體的柵極之間，第十三電晶體的柵極連接第二電源輸入端，第十三電晶體的漏極連接第十電晶體的柵極，第十三電晶體的源極連接第八電晶體的柵極。

【0010】 在一個實施例中，隔離單元包括第十四電晶體、第十六電晶體和第十五電晶體，其中：第十四電晶體、第十六電晶體和第十五電晶體為 P 型薄膜電晶體；第十四電晶體連接在第二電晶體的柵極和第十電晶體的柵極之間，第十四電晶體的柵極連接第二電源輸入端，第十四電晶體的源極連接第二電晶體的柵極，第十四電晶體的漏極連接第十電晶體的柵極；第十六電晶體連接在第五電晶體的柵極和第六電晶體的柵極之間，第十六電晶體的柵極連接第二電源輸入端，第十六電晶體的漏極連接第五電晶體的柵極，第十六電晶體的源極連接第六電晶體的柵極；第十五電晶體連接在第八電晶體的柵極和第十電晶體的柵極之間，第十五電晶體的柵極連接第二電源輸入端，第十五電晶體的漏極連接第十電晶體的柵極和第十四電

晶體的漏極，第十五電晶體的源極連接第八電晶體的柵極。

【0011】 在一個實施例中，第六電晶體的柵極產生第一柵控電壓，第九電晶體的柵極產生第二柵控電壓；第十電晶體的柵極產生第三柵控電壓。

【0012】 根據本發明的第二方面，提供一種發射控制驅動器，包括至少兩個該發射控制驅動電路，每個發射控制驅動電路的第一輸入端連接前一個發射控制驅動電路的輸出端。

【0013】 在一個實施例中，每一個該發射控制驅動電路的第一輸入端接收開始信號或前一發射控制驅動電路的輸出信號，奇數發射控制驅動電路的第二輸入端接收第一時鐘信號，第三輸入端接收第二時鐘信號；偶數發射控制驅動電路的第二輸入端接收第二時鐘信號，第三輸入端接收第一時鐘信號，第一時鐘信號和第二時鐘信號具有相同的時間段並且具有不重疊的相位，開始信號在第一時鐘信號的第二個下降沿電壓來臨時，輸出上升沿電壓並持續至第一時鐘信號的第四個下降沿電壓來臨。

【0014】 本發明的第三方面提供一種有機發光顯示裝置，包括該發射控制驅動器。

【0015】 根據本發明提供的發射控制驅動電路、發射控制驅動器及有機發光顯示裝置，通過在發射控制驅動電路中的第二電源輸入端與第一柵壓控制電路和第二柵壓控制電路之間設置隔離單元，該隔離單元可以在第一柵壓控制電路輸出的第一柵控電壓低於第二電源輸入端的電壓值時，將第一柵控電壓與第一柵壓控制電路和/或第二柵壓控制電路隔離，或者在第二柵壓控制電路輸出的第三柵控電壓低於第二電源輸入端的電壓值時，將

第三柵控電壓與第一柵壓控制電路和/或第二柵壓控制電路隔離，從而防止第一柵控電壓或第三柵控電壓過低造成第一柵壓控制電路和/或第二柵壓控制電路中的電晶體柵源間電壓過大而損壞。

【圖式簡單說明】

【0016】

圖 1 為一實施例提供的有機發光顯示裝置的結構示意圖；

圖 2a 所示為一實施例提供的發射控制驅動器的結構示意圖；

圖 2b 所示為圖 2a 中虛線框示出的一個重複單元的放大圖；

圖 3 為一實施例提供的發射控制驅動電路的電路結構示意圖；

圖 4 是本發明一實施例發射控制驅動電路信號波形圖；

圖 5 是本發明另一實施例發射控制驅動電路的電路結構示意圖。

【實施方式】

【0017】 為使本發明的目的、技術手段和優點更加清楚明白，以下結合附圖對本發明作進一步詳細說明。

【0018】 圖 1 所示為本發明一實施例提供的有機發光顯示裝置的結構示意圖。從圖中可以看出，該有機發光顯示裝置包括：多個像素（PX11、PX12、…、PXn1、PXn2）形成的像素電路 100，用於顯示圖像；資料驅動器 300，將資料電壓施加到像素；掃描驅動器 200，將掃描信號順序地施加到像素；發射控制驅動器 400，將發射控制信號施加到像素。像素回應於掃描信號而接收資料電壓，產生具有與資料電壓對應的預定亮度的光以顯示

路 20 各自包括若干電晶體，第一柵壓控制電路 10 中的一個電晶體連接第一柵控電壓 V1，第二柵壓控制電路 20 中的兩個電晶體分別連接第一柵控電壓 V1 和第三柵控電壓 V3。具體而言，第一柵壓控制電路 10 和第一柵控電壓 V1 之間連接的電晶體為第二電晶體 M2，第二柵壓控制電路 20 和第一柵控電壓 V1 之間連接的電晶體為第五電晶體 M5，第二柵壓控制電路 20 和第三柵控電壓 V3 之間連接的電晶體為第八電晶體 M8。這樣，隔離單元可以防止第一柵控電壓 V1 過低造成第一柵壓控制電路和第二柵壓控制電路中與第一柵控電壓 V1 連接的電晶體（第二電晶體 M2、第五電晶體 M5 或第八電晶體 M8）損壞。

【0026】 具體的，在圖 3 所示的發射控制驅動電路中，第一柵壓控制電路 10 包括第一電晶體 M1、第二電晶體 M2 和第三電晶體 M3，其中：第一電晶體 M1、第二電晶體 M2 和第三電晶體 M3 例如可以是 P 型薄膜電晶體。第一電晶體 M1 的柵極連接第二輸入端 12，第一電晶體 M1 的源極連接第二電晶體 M2 的柵極，第一電晶體 M1 的漏極連接第一輸入端 11；第二電晶體 M2 的源極連接第二輸入端 12，第二電晶體 M2 的漏極連接第三電晶體 M3 的源極，第二電晶體 M2 的柵極還連接第二柵壓控制電路 20；第三電晶體 M3 的柵極連接第二輸入端 12，第三電晶體 M3 的漏極連接第二電源輸入端 VGL，第三電晶體 M3 的源極還連接第二柵壓控制電路 20。

【0027】 在一個實施例中，第二電晶體 M2 的數量可以為多個，且該多個第二電晶體 M2 依次相連接。具體而言，多個第二電晶體 M2 的柵極均連接第一電晶體 M1 的源極，每個第二電晶體 M2 的源極和相鄰的第二電晶體 M2 的漏極相連接，這樣通過該多個第二電晶體 M2 的串聯，可以減小電

晶體關斷後源漏極間的漏電流，提高電晶體關斷的可靠性。

【0028】 在圖 3 所示的發射控制驅動電路中，第二柵壓控制電路 20 包括第四電晶體 M4、第五電晶體 M5、第六電晶體 M6、第七電晶體 M7、第八電晶體 M8 和第一電容 C1。其中：第四電晶體 M4、第五電晶體 M5、第六電晶體 M6、第七電晶體 M7 和第八電晶體 M8 例如可以是 P 型薄膜電晶體。第四電晶體 M4 的柵極連接第三輸入端 13，第四電晶體 M4 的源極連接第五電晶體 M5 的源極，第四電晶體 M4 的漏極連接第二電晶體 M2 的柵極；第五電晶體 M5 的柵極（依次通過 M12 的漏極或源極和 M11 的漏極或源極）耦合至第三電晶體 M3 的源極，第五電晶體 M5 的漏極連接第一電源輸入端 VGH；第六電晶體 M6 的柵極連接第三電晶體 M3 的源極，第六電晶體 M6 的源極連接第七電晶體 M7 的源極，第六電晶體 M6 的漏極連接第三輸入端 13；第七電晶體 M7 的柵極連接第三輸入端 13，第七電晶體 M7 的漏極連接第八電晶體 M8 的源極；第八電晶體 M8 的柵極連接第一輸入端 11 和輸出單元 30，第八電晶體 M8 的漏極連接第一電源輸入端 VGH；第八電晶體 M8 的源極還連接輸出單元 30；第一電容 C1 的一端連接第六電晶體 M6 的柵極，另一端連接第六電晶體 M6 的源極。

【0029】 在圖 3 所示的發射控制驅動電路中，輸出單元 30 包括第九電晶體 M9、第十電晶體 M10、第二電容 C2、第三電容 C3 和輸出端 31。其中：第九電晶體 M9 和第十電晶體 M10 例如可以是 P 型薄膜電晶體。第九電晶體 M9 的柵極連接第八電晶體 M8 的源極，第九電晶體 M9 的源極連接第一電源輸入端 VGH，第九電晶體 M9 的漏極連接第十電晶體 M10 的源極；第十電晶體 M10 的柵極連接第八電晶體 M8 的柵極，第十電晶體 M10 的源

極連接輸出端 31，第十電晶體 M10 的漏極連接第二電源輸入端 VGL；第二電容 C2 一端連接第九電晶體 M9 的柵極，另一端連接第九電晶體 M9 的源極；第三電容 C3 一端連接第十電晶體 M10 的柵極，另一端連接第三輸入端 13；輸出單元 30 產生的輸出信號從輸出端 31 輸出。

【0030】 在圖 3 所示的發射控制驅動電路中，隔離單元包括第十一電晶體 M11、第十二電晶體 M12 和第十三電晶體 M13，其中：第十一電晶體 M11、第十二電晶體 M12 和第十三電晶體 M13 例如可以是 P 型薄膜電晶體；第十一電晶體 M11 連接在第三電晶體 M3 的源極和第六電晶體 M6 的柵極之間，第十一電晶體 M11 的柵極連接第二電源輸入端 VGL，第十一電晶體 M11 的源極連接第三電晶體 M3 的源極，第十一電晶體 M11 的漏極連接第六電晶體 M6 的柵極；第十二電晶體 M12 連接在第五電晶體 M5 的柵極和第六電晶體 M6 的柵極之間，第十二電晶體 M12 的柵極連接第二電源輸入端 VGL，第十二電晶體 M12 的漏極連接第五電晶體 M5 的柵極，第十二電晶體 M12 的源極連接第六電晶體 M6 的柵極；第十三電晶體 M13 連接在第八電晶體 M8 的柵極和第十電晶體 M10 的柵極之間，第十三電晶體 M13 的柵極連接第二電源輸入端 VGL，第十三電晶體 M13 的漏極連接第十電晶體 M10 的柵極，第十三電晶體 M13 的源極連接第八電晶體 M8 的柵極。

【0031】 對於圖 3 所示的發射控制驅動電路，第六電晶體 M6 的柵極產生第一柵控電壓 V1，第九電晶體 M9 的柵極產生第二柵控電壓 V2；第十電晶體 M10 的柵極產生第三柵控電壓 V3。

【0032】 當將圖 3 所示的發射控制驅動電路應用於圖 2a 所示的發射控制驅動器時，在發射控制驅動電路中，第一輸入端 11 接收前一發射控制

驅動電路的輸出信號，例如圖 2b 所示的第二發射控制驅動電路 2 的第一輸入端 11 連接到第一發射控制驅動電路 1 的輸出端 31，以接收第一發射控制驅動電路 1 的輸出信號 EM1，輸出信號 EM1 的波形如圖 4 所示，第一發射控制驅動電路 1 的第一輸入端 11 接收開始信號 EIN，開始信號 EIN 的波形如圖 4 所示，奇數的發射控制驅動電路，例如第一發射控制驅動電路 1 的第二輸入端 12 接收第一時鐘信號 ECK1，奇數的發射控制驅動電路，例如第一發射控制驅動電路 1 的第三輸入端 13 接收第二時鐘信號 ECK2；偶數的發射控制驅動電路，例如第二發射控制驅動電路 2 的第二輸入端 12 接收第二時鐘信號 ECK2，偶數的發射控制驅動電路，例如第二個發射控制驅動電路 2 的第三輸入端 13 接收第一時鐘信號 ECK1，第一時鐘信號 ECK1 和第二時鐘信號 ECK2 的波形如圖 4 所示。

【0033】 進一步的，第一時鐘信號 ECK1 和第二時鐘信號 ECK2 具有相同的時間段並且具有不重疊的相位，如圖 4 所示，開始信號 EIN 在第一時鐘信號 ECK1 第二個下降沿電壓來臨時，輸出上升沿電壓並持續至第一時鐘信號 ECK1 第四個下降沿電壓來臨。第一電源輸入端 VGH 的電壓值高於第二電源輸入端 VGL 的電壓值。

【0034】 本實施例還提供一種發射控制驅動器，該發射控制驅動器包括多個該發射控制驅動電路，每個發射控制驅動電路的第一輸入端連接前一個發射控制驅動電路的輸出端。

【0035】 本實施例還提供一種有機發光顯示裝置，該有機發光顯示裝置包括多個該發射控制驅動器。

【0036】 在本實施例提供的發射控制驅動電路及有機發光顯示裝置

中，若第一柵控電壓 V1 低於第二電源輸入端 VGL 的電壓值，隔離單元將第一柵控電壓 V1 與第一柵壓控制電路 10 和第二柵壓控制電路 20 隔離，防止第一柵控電壓 V1 過低造成第一柵壓控制電路 10 和第二柵壓控制電路 20 的電晶體（第二電晶體 M2 和第五電晶體 M5）柵源間電壓過大從而損壞；若第三柵控電壓 V3 低於第二電源輸入端 VGL 的電壓值，隔離單元將第三柵控電壓 V3 與第二柵壓控制電路 20 隔離（第三柵控電壓 V3 低於第二電源輸入端 VGL 的電壓值時，第十三電晶體 M13 的柵極電壓大於源極電壓，M13 關斷，將 V3 與第八電晶體的柵極隔離），防止第三柵控電壓 V3 過低造成第二柵壓控制電路 20 的電晶體（第八電晶體 M8）柵源間電壓過大從而損壞。

【0037】 另外，由於隔離單元包括第十一電晶體 M11、第十二電晶體 M12 和第十三電晶體 M13，且皆為 P 型薄膜電晶體，且第十一電晶體 M11、第十二電晶體 M12 和第十三電晶體 M13 的柵極連接第二電源輸入端 VGL，當第十一電晶體 M11、第十二電晶體 M12 和第十三電晶體 M13 的源極和漏極電壓沒有過低時，第十一電晶體 M11、第十二電晶體 M12 和第十三電晶體 M13 自動導通，第十一電晶體 M11、第十二電晶體 M12 和第十三電晶體 M13 的源極或漏極電壓過低時（低於第二電源輸入端 VGL），第十一電晶體 M11、第十二電晶體 M12 和第十三電晶體 M13 自動關斷，進行源極和漏極的隔離。

【0038】 本實施例對第一個發射控制驅動電路的時序波形進行分析，如圖 4 所示，開始信號 EIN 和第一時鐘信號 ECK1 在第一時間點 t1 具有低電平，第二時鐘信號 ECK2 在第一時間段 t1 具有高電平。由於第十一電晶

體 M11、第十二電晶體 M12 和第十三電晶體 M13 皆為 P 型薄膜電晶體，且其柵極連接第二電源輸入端，因此在以下分析中的正常情況下相當於導通的導線，不予贅述。

【0039】 具有低電平的第一時鐘信號 ECK1 被施加到第一電晶體 M1 的柵極端和第三電晶體 M3 的柵極端。因此，第一電晶體 M1 和第三電晶體 M3 導通。

【0040】 具有低電平的開始信號 EIN 通過導通的第一電晶體 M1 被施加到第二電晶體 M2 的柵極端和第三柵控電壓 V3。因此，第二電晶體 M2 導通，並且第三柵控電壓 V3 處的電壓具有低電平。

【0041】 具有低電平的第一時鐘信號 ECK1 和第二電源輸入端 VGL 分別通過導通的第二電晶體 M2 和導通的第三電晶體 M3 被施加第一柵控電壓 V1。因此，第一柵控電壓 V1 處的電壓具有低電平。

【0042】 具有高電平的第二時鐘信號 ECK2 被施加到第四電晶體 M4 和第七電晶體 M7。因此，第四電晶體 M4 和第七電晶體 M7 截止。

【0043】 由於第三柵控電壓 V3 為低電平，所以第八電晶體 M8 導通。第一電源輸入端 VGH 通過導通的第八電晶體 M8 被施加到第二柵控電壓 V2。因此，第二柵控電壓 V2 處的電壓具有高電平。第二電容 C2 被充有第一電源輸入端 VGH。換言之，第二電容 C2 被充有具有高電平的電壓。由於第二柵控電壓 V2 處的電壓具有高電平，所以第九電晶體 M9 截止。

【0044】 由於第三柵控電壓 V3 處的電壓具有低電平，所以第十電晶體 M10 導通。由於導通的第十電晶體 M10，第二電源輸入端 VGL 被施加到第一發射控制線 EM1，因此，第一個發射控制驅動電路的輸出信號 EM1 具

有低電平。

【0045】 在第二時間點 t_2 ，開始信號 EIN 具有低電平，第一時鐘信號 ECK1 和第二時鐘信號 ECK2 具有高電平。第一電晶體 M1 和第三電晶體 M3 通過具有高電平的第一時鐘信號 ECK1 截止。

【0046】 由於第三柵控電壓 V3 處的電壓保持低電平，所以第二電晶體 M2 導通。具有高電平的第一時鐘信號 ECK1 通過導通的第二電晶體 M2 被施加到第一柵控電壓 V1。因此，第一柵控電壓 V1 處的電壓具有高電平。

【0047】 第三柵控電壓 V3 處的電壓具有低電平，因此，第八電晶體 M8 和第十電晶體 M10 導通。第一電源輸入端 VGH 通過導通的第八電晶體 M8 被施加到第二柵控電壓 V2，從而第二柵控電壓 V2 處的電壓保持在高電平。

【0048】 由於第二柵控電壓 V2 處的電壓具有高電平並且第三柵控電壓 V3 處的電壓具有低電平，所以第九電晶體 M9 截止並且第十電晶體 M10 導通。因此，第一發射控制信號保持在低電平。

【0049】 在第三時間點 t_3 ，第二時鐘信號 ECK2 從高電平轉變為低電平，然後從低電平再次轉變為高電平。因此，由於第三電容 C3 的耦合，第三柵控電壓 V3 處的電勢通過第二時鐘信號 ECK2 的電勢的變化而被自舉 (bootstrapped)。即，在第二時間點 t_2 第二時鐘信號 ECK2 為高電平時，第三柵控電壓 V3 尚且為低電平，當第三時間點 t_3 第二時鐘信號 ECK2 從高電平轉變為低電平時，由於第三電容 C3 的耦合 (自舉效應)，則第三柵控電壓 V3 的電平進一步降低，甚至低於第二電源輸入端 VGL 的電壓，此時，對第八電晶體 M8 來說，其柵極電壓大大低於源極電壓 (第八電晶體 M8 的

漏極連接到第一電源輸入端 VGH，且此時第八電晶體 M8 導通，源極電壓也為高電平)，若此時第八電晶體 M8 的柵極直接連接第三柵控電壓 V3，會造成擊穿損壞，為了避免此風險，本實施例加入了第十三電晶體 M13，此時第十三電晶體 M13 的漏極連接在第三柵控電壓 V3 上，柵極連接第二電源輸入端 VGL，由於第三柵控電壓 V3 低於第二電源輸入端 VGL，第十三電晶體 M13 快速關斷，使第八電晶體 M8 與第三柵控電壓 V3 隔離，防止第八電晶體 M8 損壞。由於第十電晶體 M10 的源極（此時第十電晶體 M10 導通）連接第二電源輸入端 VGL，為低電平，所以第十電晶體 M10 的柵極和源極間的電壓相差較小，不會損壞，繼續導通，第一發射控制信號保持在低電平。

【0050】 在第四時間點段 t4，開始信號 EIN 和第二時鐘信號 ECK2 具有高電平，第一時鐘信號 ECK1 具有低電平，此時第二時鐘信號 ECK2 結束了低電平，並翻轉為高電平，第三電容 C3 連接第三輸入端 13 的一端的電壓升高結束了自舉效應，第三電容 C3 結束耦合過程，第三柵控電壓 V3 低電平恢復到第二電源輸入端 VGL，第十三電晶體 M13 繼續導通。

【0051】 第一電晶體 M1 被具有低電平的第一時鐘信號 ECK1 導通，並且具有高電平的開始信號 EIN 被施加到第三柵控電壓 V3，第三柵控電壓 V3 處的電壓具有高電平，因此，第二電晶體 M2 和第十電晶體 M10 截止。

【0052】 第三電晶體 M3 回應於具有低電平的第一時鐘信號 ECK1 而被導通，並且第二電源輸入端 VGL 被施加到第一柵控電壓 V1。因此，第一柵控電壓 V1 處的電壓具有低電平。

【0053】 第七電晶體 M7 回應於具有高電平的第二時鐘信號 ECK2 而

被截止。由於第三柵控電壓 V3 處的電壓具有高電平，所以第八電晶體 M8 截止。第二柵控電壓 V2 處的電壓通過第二電容 C2 的充電效應被保持在高電平。第二柵控電壓 V2 處的電壓保持在高電平，因此，第九電晶體 M9 截止。因此，第一發射控制信號被保持在低電平。

【0054】 在第五時間點 t_5 ，開始信號 EIN 和第一時鐘信號 ECK1 具有高電平，並且第二時鐘信號 ECK2 具有低電平。

【0055】 第一電晶體 M1 和第三電晶體 M3 通過具有高電平的第一時鐘信號 ECK1 截止。由於第三柵控電壓 V3 處的電壓保持在高電平，所以第二電晶體 M2、第八電晶體 M8 和第十電晶體 M10 截止。

【0056】 第四電晶體 M4 和第七電晶體 M7 回應於具有低電平的第二時鐘信號 ECK2 而被導通。另外，第一柵控電壓 V1 處的電壓具有低電平，從而第五電晶體 M5 和第六電晶體 M6 導通。

【0057】 如上的自舉，由於第一電容 C1 的耦合，第一柵控電壓 V1 的電勢通過第二時鐘信號 ECK2 的電勢的變化被自舉。即，在第四時間點 t_4 第二時鐘信號 ECK2 為高電平時，第一柵控電壓 V1 尚且為低電平，當第五時間點 t_5 第二時鐘信號 ECK2 從高電平轉變為低電平時，由於第一電容 C1 的耦合（自舉效應），則第一柵控電壓 V1 的電平進一步降低，甚至低於第二電源輸入端 VGL 的電壓，此時，對第二電晶體 M2 來說，若第二電晶體 M2 的漏極直接連接第一柵控電壓 V1，其柵極電壓（開始信號 EIN 為高電平）大大高於漏極電壓，會造成擊穿損壞，為了避免此風險，本實施例加入了第十一電晶體 M11，此時第十一電晶體 M11 的漏極連接在第一柵控電壓 V1 上，柵極連接第二電源輸入端 VGL，由於第一柵控電壓 V1 低於第二

電源輸入端 VGL，第十一電晶體 M11 快速關斷，使第二電晶體 M2 與第一柵控電壓 V1 隔離，防止第二電晶體 M2 損壞。

【0058】 同樣的，第一柵控電壓 V1 處的電壓的大幅降低也會影響第五電晶體 M5，若第五電晶體 M5 的柵極直接連接第一柵控電壓 V1，而第五電晶體 M5 的漏極連接第一電源輸入端 VGH（本思路參考電壓，第一電源輸入端 VGH 為高電平，大約 7V 左右，由於第五電晶體 M5 導通，因此源極也保持在 7V 左右，而柵極在-17.2V 左右，柵源間電壓為 24.2V），則柵源電壓過大會造成擊穿損壞，為了避免此風險，本實施例加入了第十二電晶體 M12，此時第十二電晶體 M12 的源極連接在第一柵控電壓 V1 上，柵極連接第二電源輸入端 VGL，由於第一柵控電壓 V1 低於第二電源輸入端 VGL，第十二電晶體 M12 快速關斷，使第五電晶體 M5 與第一柵控電壓 V1 隔離（隔離後第五電晶體 M5 的柵極電壓為-5.3V，柵源間電壓從 24.2V 減小為 12.3V），柵絕緣層被大電壓擊穿風險大大降低，防止第五電晶體 M5 損壞。

【0059】 具有低電平的第二時鐘信號 ECK2 通過導通的第六電晶體 M6 和第七電晶體 M7 被施加到第二柵控電壓 V2。因此，第二柵控電壓 V2 處的電壓在第五時間點 t5 具有低電平。由於第二柵控電壓 V2 處的電壓具有低電平，所以第九電晶體 M9 導通。

【0060】 由於第九電晶體 M9 導通且第十電晶體 M10 截止，所以第一發射控制信號被保持在高電平。

【0061】 在第六時間點 t6，開始信號 EIN 和第一時鐘信號 ECK1 具有低電平，並且第二時鐘信號 ECK2 具有高電平。根據第一時間點 t1 處的操作，第一發射控制信號在第六時間點 t6 具有低電平。

【0062】 本實施例中，第一至第九電晶體 M1-M9 均為 P 型薄膜電晶體。在其它實施例中，第一至第九電晶體 M1-M9 也可以為 N 型薄膜電晶體。P 型薄膜電晶體在柵極信號為低電平時導通，N 型薄膜電晶體在柵極信號為高電平時導通。因此，只要將選擇的電晶體類型與導通電位相匹配即可。

<實施例二>

【0063】 在本實施例中，如圖 5 所示，第一柵壓控制電路、第二柵壓控制電路、輸出單元的結構與上一實施例中的結構相同，區別在於：隔離單元連接在第二電源輸入端 VGL 與第一柵壓控制電路 10 和第二柵壓控制電路 20 之間；若第一柵控電壓 V1 低於第二電源輸入端 VGL 的電壓值，隔離單元將第一柵控電壓 V1 與第二柵壓控制電路 20 隔離，即第五電晶體 M5 的柵極與第一柵控電壓 V1 隔離；若第三柵控電壓 V3 低於第二電源輸入端 VGL 的電壓值，隔離單元將第三柵控電壓 V3 與第一柵壓控制電路 10 和第二柵壓控制電路 20 隔離，即第二電晶體 M2 的源極與第三柵控電壓 V3 隔離，以及第八電晶體 M8 的漏極與第三柵控電壓 V3 隔離。

【0064】 具體的，隔離單元包括第十四電晶體 M14、第十六電晶體 M16 和第十五電晶體 M15。其中：第十四電晶體 M14、第十六電晶體 M16 和第十五電晶體 M15 為 P 型薄膜電晶體。第十四電晶體 M14 連接在第二電晶體 M2 的柵極和第十電晶體 M10 的柵極之間，第十四電晶體 M14 的柵極連接第二電源輸入端 VGL，第十四電晶體 M14 的源極連接第二電晶體 M2 的柵極，第十四電晶體 M14 的漏極連接第十電晶體 M10 的柵極；第十六電晶體 M16 的結構和連接關係與上一實施例中相同，連接在第五電晶體 M5 的柵極和第六電晶體 M6 的柵極之間，第十六電晶體 M16 的柵極連接第二

電源輸入端 VGL，第十六電晶體 M16 的漏極連接第五電晶體 M5 的柵極，第十六電晶體 M16 的源極連接第六電晶體 M6 的柵極；第十五電晶體 M15 連接在第八電晶體 M8 的柵極和第十電晶體 M10 的柵極之間，第十五電晶體 M15 的柵極連接第二電源輸入端 VGL，第十五電晶體 M15 的漏極連接第十電晶體 M10 的柵極和第十四電晶體 M14 的漏極，第十五電晶體 M15 的源極連接第八電晶體 M8 的柵極。

【0065】 另外，由於隔離單元包括第十四電晶體 M14、第十六電晶體 M16 和第十五電晶體 M15，且皆為 P 型薄膜電晶體，且第十四電晶體 M14、第十六電晶體 M16 和第十五電晶體 M15 的柵極連接第二電源輸入端 VGL，當第十四電晶體 M14、第十六電晶體 M16 和第十五電晶體 M15 的源漏極電壓沒有過低時，第十四電晶體 M14、第十六電晶體 M16 和第十五電晶體 M15 自動導通，第十四電晶體 M14、第十六電晶體 M16 和第十五電晶體 M15 的源漏極電壓過低時（低於第二電源輸入端 VGL），第十四電晶體 M14、第十六電晶體 M16 和第十五電晶體 M15 自動關斷，進行源極和漏極的隔離。

【0066】 本實施例對第一個發射控制驅動電路的時序波形進行分析，如圖 4 所示，開始信號 EIN 和第一時鐘信號 ECK1 在第一時間點 t1 具有低電平，第二時鐘信號 ECK2 在第一時間段 t1 具有高電平。由於第十四電晶體 M14、第十六電晶體 M16 和第十五電晶體 M15 皆為 P 型薄膜電晶體，且其柵極連接第二電源輸入端 VGL，因此在以下分析中的正常情況下相當於導通的導線，不予贅述。

【0067】 具有低電平的第一時鐘信號 ECK1 被施加到第一電晶體 M1 的柵極端和第三電晶體 M3 的柵極端。因此，第一電晶體 M1 和第三電晶體

M3 導通。

【0068】 具有低電平的開始信號 E1N 通過導通的第一電晶體 M1 被施加到第二電晶體 M2 的柵極端和第三柵控電壓 V3。因此，第二電晶體 M2 導通，並且第三柵控電壓 V3 處的電壓具有低電平。

【0069】 具有低電平的第一時鐘信號 ECK1 和第二電源輸入端 VGL 分別通過導通的第二電晶體 M2 和導通的第三電晶體 M3 被施加第一柵控電壓 V1。因此，第一柵控電壓 V1 處的電壓具有低電平。

【0070】 具有高電平的第二時鐘信號 ECK2 被施加到第四電晶體 M4 和第七電晶體 M7。因此，第四電晶體 M4 和第七電晶體 M7 截止。

【0071】 由於第三柵控電壓 V3 為低電平，所以第八電晶體 M8 導通。第一電源輸入端 VGH 通過導通的第八電晶體 M8 被施加到第二柵控電壓 V2。因此，第二柵控電壓 V2 處的電壓具有高電平。第二電容 C2 被充有第一電源輸入端 VGH。換言之，第二電容 C2 被充有具有高電平的電壓。由於第二柵控電壓 V2 處的電壓具有高電平，所以第九電晶體 M9 截止。

【0072】 由於第三柵控電壓 V3 處的電壓具有低電平，所以第十電晶體 M10 導通。由於導通的第十電晶體 M10，第二電源輸入端 VGL 被施加到第一發射控制線 EM1，因此，第一個發射控制驅動電路的輸出信號 EM1 具有低電平。

【0073】 在第二時間點 t_2 ，開始信號 E1N 具有低電平，第一時鐘信號 ECK1 和第二時鐘信號 ECK2 具有高電平。第一電晶體 M1 和第三電晶體 M3 通過具有高電平的第一時鐘信號 ECK1 截止。

【0074】 由於第三柵控電壓 V3 處的電壓保持低電平，所以第二電晶

體 M2 導通。具有高電平的第一時鐘信號 ECK1 通過導通的第二電晶體 M2 被施加到第一柵控電壓 V1。因此，第一柵控電壓 V1 處的電壓具有高電平。

【0075】 第三柵控電壓 V3 處的電壓具有低電平，因此，第八電晶體 M8 和第十電晶體 M10 導通。第一電源輸入端 VGH 通過導通的第八電晶體 M8 被施加到第二柵控電壓 V2，從而第二柵控電壓 V2 處的電壓保持在高電平。

【0076】 由於第二柵控電壓 V2 處的電壓具有高電平並且第三柵控電壓 V3 處的電壓具有低電平，所以第九電晶體 M9 截止並且第十電晶體 M10 導通。因此，第一發射控制信號保持在低電平。

【0077】 在第三時間點 t_3 ，第二時鐘信號 ECK2 從高電平轉變為低電平，然後從低電平再次轉變成高電平。因此，由於第三電容 C3 的耦合，第三柵控電壓 V3 處的電勢通過第二時鐘信號 ECK2 的電勢的變化而被自舉 (bootstrapped)。即，在第二時間點 t_2 第二時鐘信號 ECK2 為高電平時，第三柵控電壓 V3 尚且為低電平，當第三時間點 t_3 第二時鐘信號 ECK2 從高電平轉變為低電平時，由於第三電容 C3 的耦合 (自舉效應)，則第三柵控電壓 V3 的電平進一步降低，甚至具有低於第二電源輸入端 VGL 的電壓，此時，對於第二電晶體 M2 來說，其柵極電壓大大低於源極電壓 (第二電晶體的源極電壓連接第二輸入端 12，此時第一時鐘信號 ECK1 為高電平)，若此時第二電晶體的柵極直接連接第三柵控電壓 V3，會造成擊穿損壞，為了避免此風險，本實施例加入了第十四電晶體 M14，此時第十四電晶體 M14 的漏極連接在第三柵控電壓 V3 上，柵極連接第二電源輸入端 VGL，由於第三柵控電壓低於第二電源輸入端 VGL，第十四電晶體 M14 快速關斷，使第二

電晶體與第三柵控電壓隔離，防止第二電晶體損壞。同理，對第八電晶體 M8 來說，其柵極電壓大大低於源極電壓（第八電晶體的漏極連接到第一電源輸入端 VGH，且此時第八電晶體導通，源極電壓也為高電平），若此時第八電晶體的柵極直接連接第三柵控電壓 V3，會造成擊穿損壞，為了避免此風險，本實施例加入了第十五電晶體 M15，此時第十五電晶體 M15 的漏極連接在第三柵控電壓 V3 上，柵極連接第二電源輸入端 VGL，由於第三柵控電壓低於第二電源輸入端 VGL，第十五電晶體 M15 快速關斷，使第八電晶體與第三柵控電壓隔離，防止第八電晶體損壞。由於第十電晶體的源極（此時第十電晶體導通）連接第二電源輸入端 VGL，為低電平，所以第十電晶體的柵源電壓相差較小，不會損壞，繼續導通，第一發射控制信號保持在低電平。

【0078】 在第四時間點段 t4，開始信號 EIN 和第二時鐘信號 ECK2 具有高電平，第一時鐘信號 ECK1 具有低電平，此時第二時鐘信號 ECK2 結束了低電平，並翻轉為高電平，第三電容連接第三輸入端 13 的一端的電壓升高結束了自舉效應，第三電容結束耦合過程，第三柵控電壓 V3 低電平恢復到第二電源輸入端 VGL，第十四電晶體和第十五電晶體繼續導通。

【0079】 第一電晶體 M1 被具有低電平的第一時鐘信號 ECK1 導通，並且具有高電平的開始信號 EIN 被施加到第三柵控電壓 V3，第三柵控電壓 V3 處的電壓具有高電平，因此，第二電晶體 M2 和第十電晶體 M10 截止。

【0080】 第三電晶體 M3 回應於具有低電平的第一時鐘信號 ECK1 而被導通，並且第二電源輸入端 VGL 被施加到第一柵控電壓 V1。因此，第一柵控電壓 V1 處的電壓具有低電平。

【0081】 第七電晶體 M7 回應於具有高電平的第二時鐘信號 ECK2 而被截止。由於第三柵控電壓 V3 處的電壓具有高電平，所以第八電晶體 M8 截止。第二柵控電壓 V2 處的電壓通過第二電容 C2 的充電效應被保持在高電平。第二柵控電壓 V2 處的電壓保持在高電平，因此，第九電晶體 M9 截止。因此，第一發射控制信號被保持在低電平。

【0082】 在第五時間點 t_5 ，開始信號 EIN 和第一時鐘信號 ECK1 具有高電平，並且第二時鐘信號 ECK2 具有低電平。

【0083】 第一電晶體 M1 和第三電晶體 M3 通過具有高電平的第一時鐘信號 ECK1 截止。由於第三柵控電壓 V3 處的電壓保持在高電平，所以第二電晶體 M2、第八電晶體 M8 和第十電晶體 M10 截止。

【0084】 第四電晶體 M4 和第七電晶體 M7 回應於具有低電平的第二時鐘信號 ECK2 而被導通。另外，第一柵控電壓 V1 處的電壓具有低電平，從而第五電晶體 M5 和第六電晶體 M6 導通。

【0085】 如上的自舉，由於第一電容 C1 的耦合，第一柵控電壓 V1 的電勢通過第二時鐘信號 ECK2 的電勢的變化被自舉。即，在第四時間點 t_4 第二時鐘信號 ECK2 為高電平時，第一柵控電壓 V1 尚且為低電平，當第五時間點 t_5 第二時鐘信號 ECK2 從高電平轉變為低電平時，由於第一電容 C1 的耦合（自舉效應），則第一柵控電壓 V1 的電平進一步降低，甚至具有低於第二電源輸入端 VGL 的電壓。第一柵控電壓 V1 處的電壓的大幅降低也會影響第五電晶體 M5，若第五電晶體的柵極直接連接第一柵控電壓 V1，而第五電晶體的漏極連接第一電源輸入端 VGH（高電平），則柵源電壓過大會造成擊穿損壞，為了避免此風險，本實施例加入了第十六電晶體 M16，

此時第十六電晶體的源極連接在第一柵控電壓 V1 上，柵極連接第二電源輸入端 VGL，由於第一柵控電壓低於第二電源輸入端 VGL，第十六電晶體快速關斷，使第五電晶體與第一柵控電壓隔離，防止第五電晶體損壞。

【0086】 具有低電平的第二時鐘信號 ECK2 通過導通的第六電晶體 M6 和第七電晶體 M7 被施加到第二柵控電壓 V2。因此，第二柵控電壓 V2 處的電壓在第五時間點 t5 具有低電平。由於第二柵控電壓 V2 處的電壓具有低電平，所以第九電晶體 M9 導通。

【0087】 由於第九電晶體 M9 導通且第十電晶體 M10 截止，所以第一發射控制信號被保持在高電平。

【0088】 在第六時間點 t6，開始信號 EIN 和第一時鐘信號 ECK1 具有低電平，並且第二時鐘信號 ECK2 具有高電平。根據第一時間點 t1 處的操作，第一發射控制信號在第六時間點 t6 具有低電平。

【0089】 綜上，上述實施例對發射控制驅動電路的不同質性進行了詳細說明，當然，本發明包括但不局限於上述實施中所列舉的構型，任何在上述實施例提供的構型基礎上進行變換的內容，均屬於本發明所保護的範圍。本領域技術人員可以根據上述實施例的內容舉一反三。

【0090】 以上僅為本發明的較佳實施例而已，並非用於限定本發明的保護範圍。凡在本發明的精神和原則之內，所作的任何修改、等同替換、改進等，均應包含在本發明的保護範圍之內。

【符號說明】

【0091】

1	第一發射控制驅動電路	2	第二發射控制驅動電路
10	第一柵壓控制電路	11	第一輸入端
12	第二輸入端	13	第三輸入端
20	第二柵壓控制電路	30	輸出單元
31	輸出端	100	像素電路
200	掃描驅動器	300	資料驅動器
400	發射控制驅動器		

發明摘要

【發明名稱】(中文/英文)

發射控制驅動電路、發射控制驅動器及有機發光顯示裝置

【中文】

本發明公開了一種發射控制驅動電路、發射控制驅動器及有機發光顯示裝置，隔離單元連接在第二電源輸入端與第一柵壓控制電路和第二柵壓控制電路之間。若該第一柵控電壓和該第二柵控電壓中的一個低於該第二電源輸入端的電壓值，該隔離單元將低於該第二電源輸入端的電壓值的柵控電壓與該第一柵壓控制電路和/或該第二柵壓控制電路隔離。本發明的隔離單元可防止第一柵控電壓和第三柵控電壓過低時，第一柵壓控制電路和第二柵壓控制電路中的電晶體柵源間電壓過大，造成擊穿事故。

【英文】

【代表圖】

【本案指定代表圖】：圖 3。

【本代表圖之符號簡單說明】：

10	第一柵壓控制電路	11	第一輸入端
12	第二輸入端	13	第三輸入端
20	第二柵壓控制電路	30	輸出單元
31	輸出端		

圖式

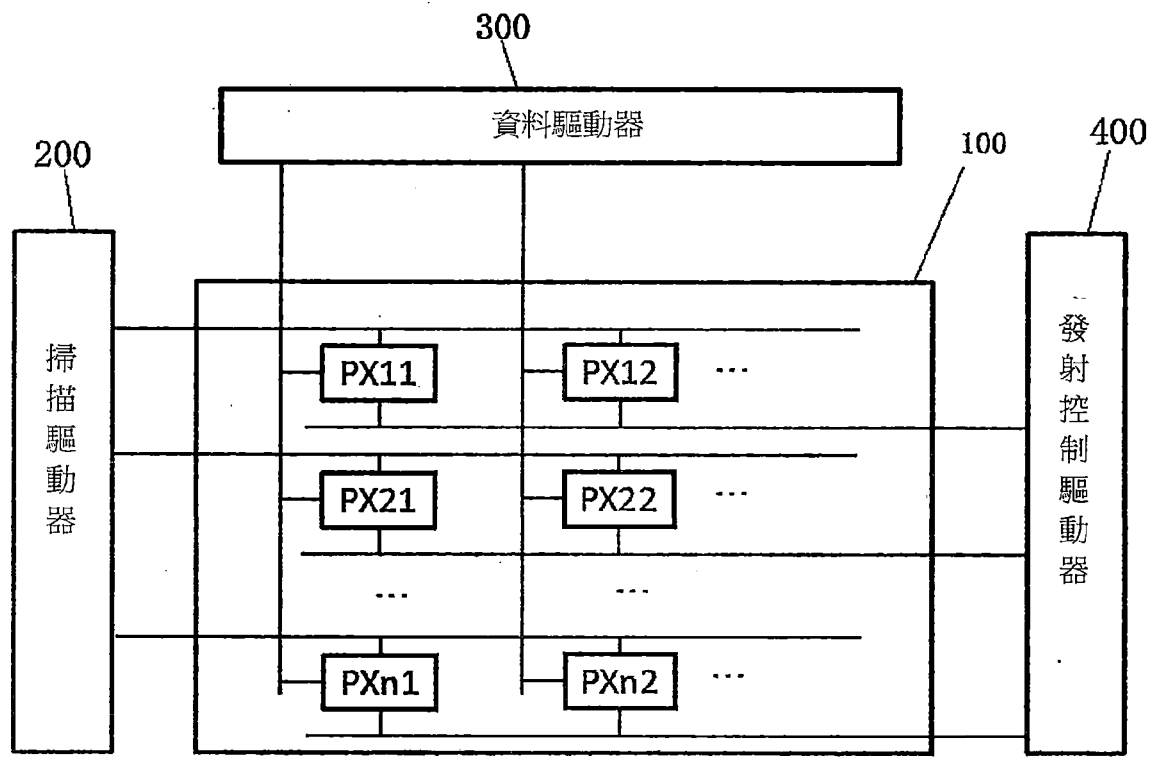


圖 1

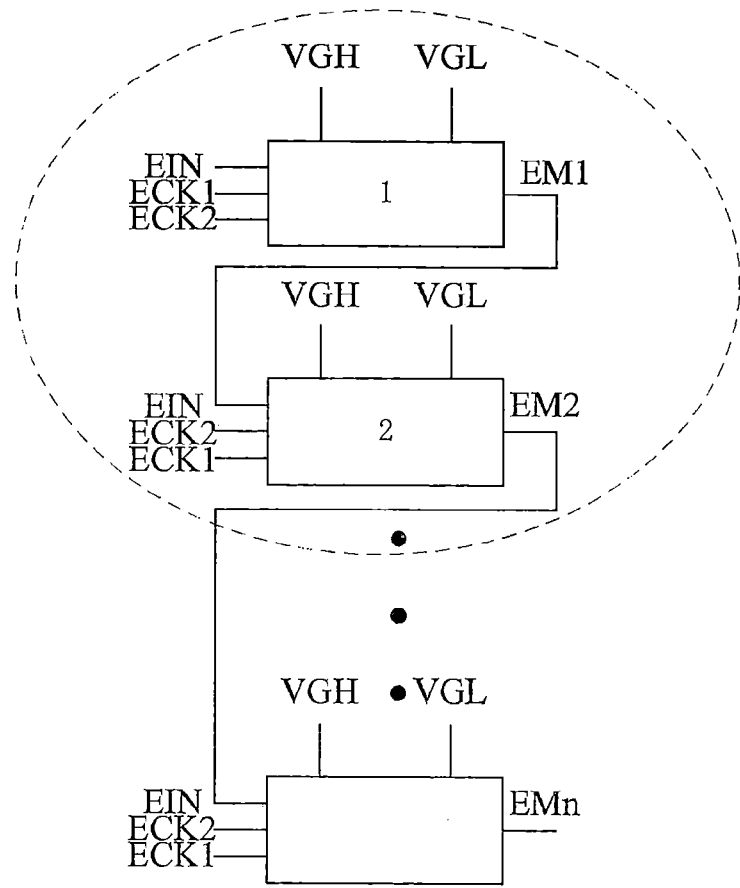


圖 2a

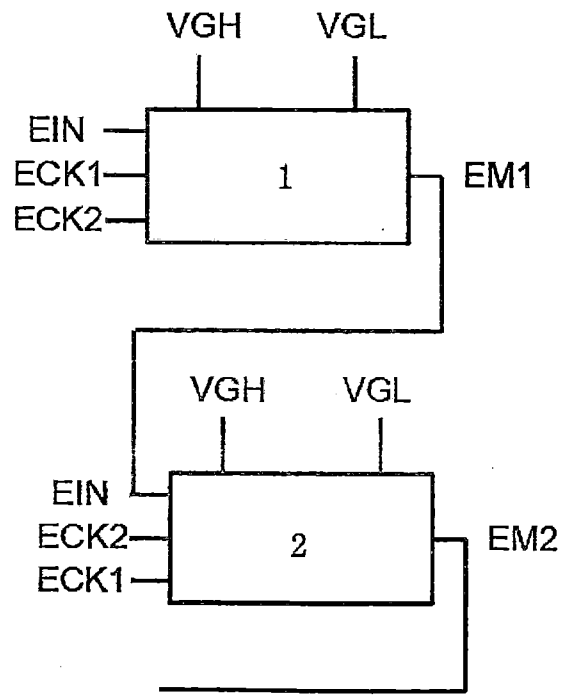


圖 2b

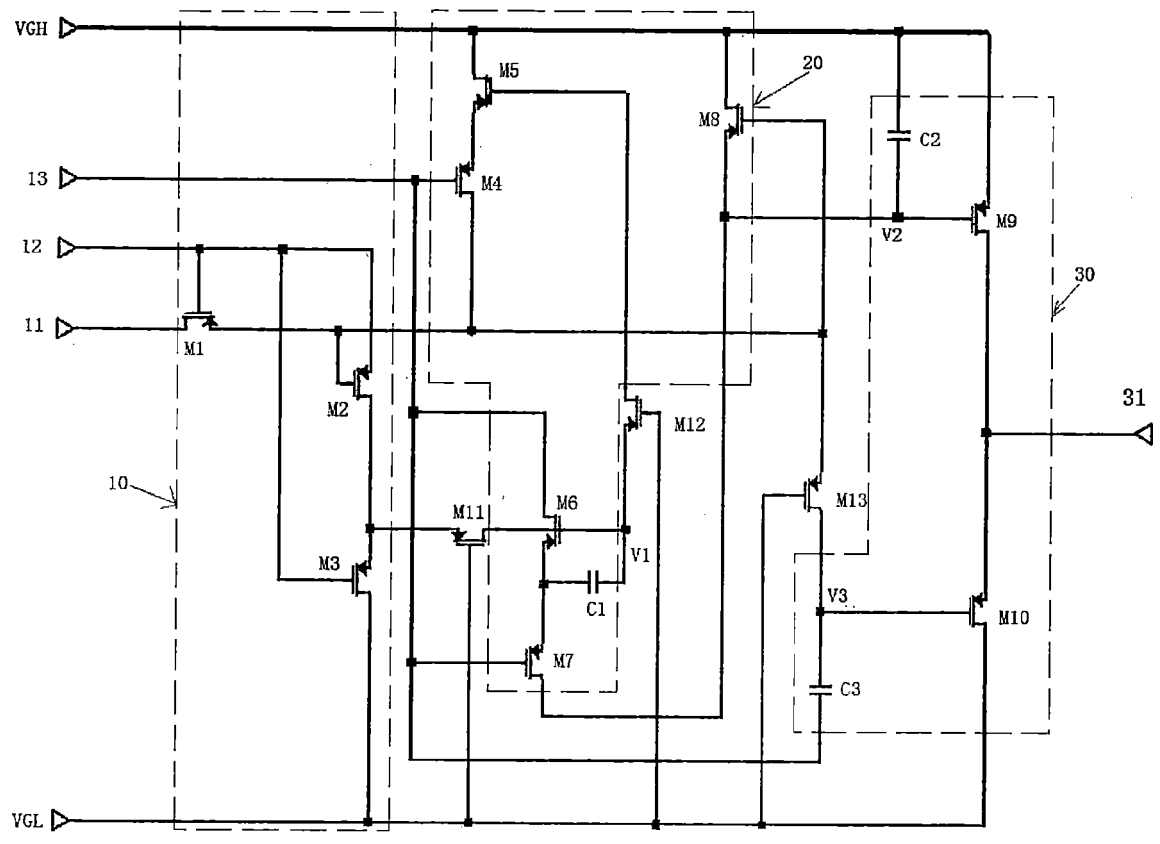


圖 3

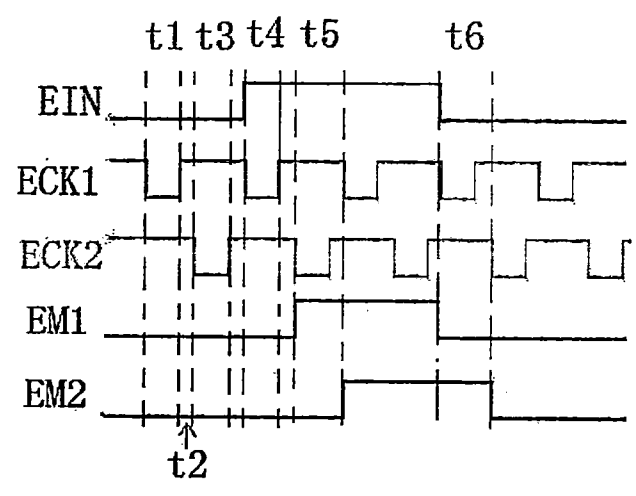


圖 4

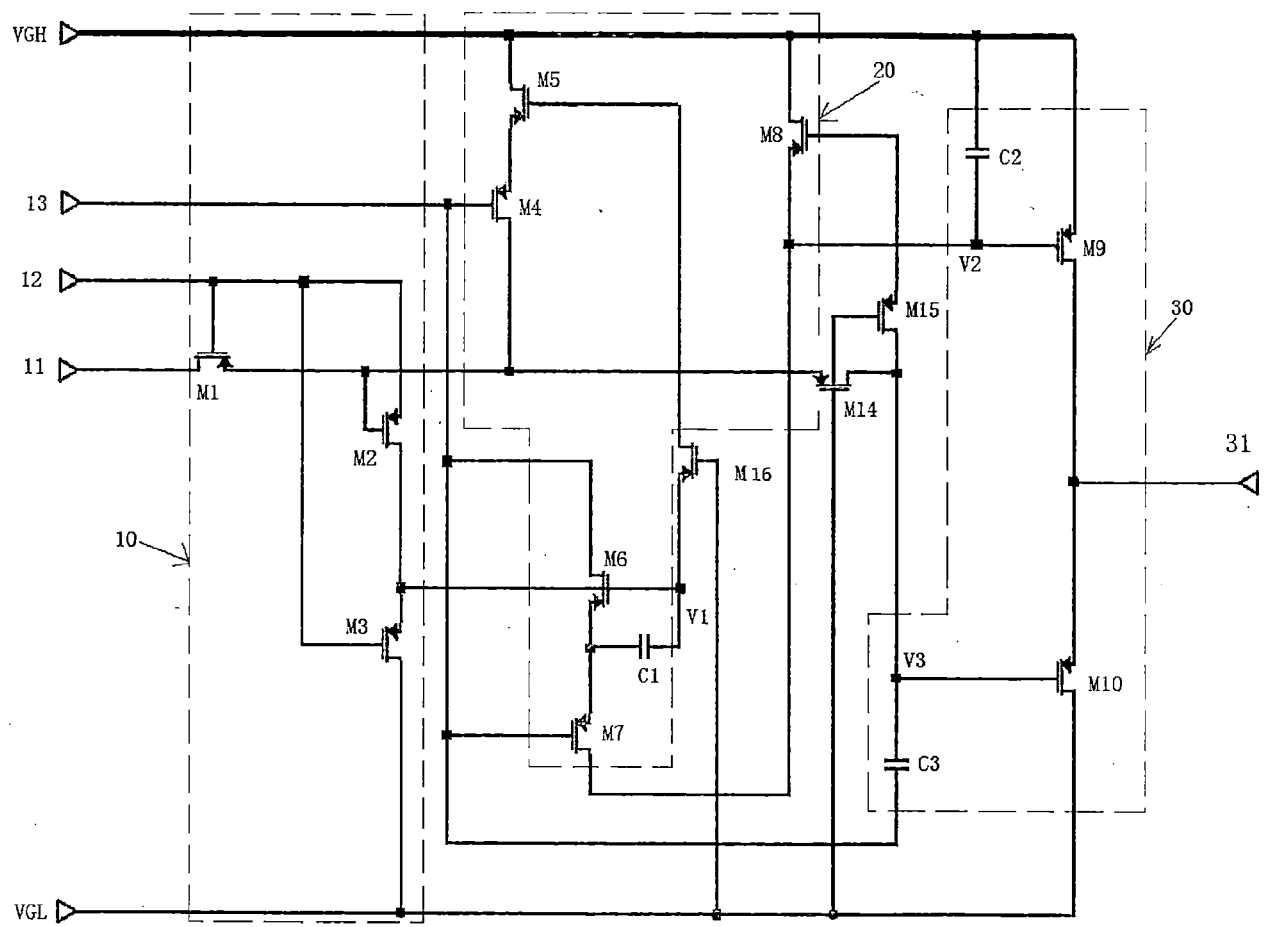


圖 5

108年11月05日修正

圖像，發射控制驅動器 400 回應於初始控制信號被初始化，並產生發射控制信號，以控制像素的發射時間段。

【0019】 由於發射控制驅動器中需要有電容進行電壓的保持等作用，但電容兩端的電壓具有自舉效應，會造成電容兩端的電壓下降過快，這時與電容連接的電晶體會有關源間電壓降過大的風險，可能會造成電晶體擊穿損壞，為解決這一技術問題，本發明提供了一種發射控制驅動器。

【0020】 首先需要說明的是，本文附圖中的標記 EIN、ECK1、ECK2、VGH、VGL、EM1 既可以指代一個端子，也可以指代相應端子輸入的信號，具體取決於文字部分的限定。例如，第一時鐘信號端 ECK1 指代的是一個端子，第一時鐘信號 ECK1 指代的是第一時鐘信號，並且該第一時鐘信號是輸入到第一時鐘信號端 ECK1 的。

<實施例一>

【0021】 圖 2a 所示為一實施例提供的發射控制驅動器的結構示意圖。如圖 2a 所示，該發射控制驅動器包括多個級聯的發射控制驅動電路，每一個發射控制驅動電路包括第一電源輸入端 VGH、第二電源輸入端 VGL、第一時鐘信號輸入端 ECK1、第二時鐘信號輸入端 ECK2、輸入端 EIN 和輸出端 EM_n (n=1, 2, …)。

【0022】 為了能夠清楚的描述圖 2a 中多個發射控制驅動電路的連接關係，參閱圖 2b 所示的圖 2a 中虛線框示出的一個重複單元的放大圖。如圖 2b 所示，該重複單元包括第一發射控制驅動電路 1 和第二發射控制驅動電路 2，其中第一發射控制驅動電路 1 代表奇數發射控制驅動電路，第二發射控制驅動電路 2 代表偶數發射控制驅動電路，第一發射控制驅動電路 1 的

108 年 11 月 05 日修正

輸出端 EM1 連接第二發射控制驅動電路 2 的輸入端 EIN，後續按照該第一發射控制驅動電路 1 和該第二發射控制驅動電路 2 的結構重複接續，即可最終形成圖 2a 中的發射控制驅動器 400。

【0023】 圖 3 為一實施例提供的發射控制驅動電路的電路結構示意圖，如圖 3 所示，該發射控制驅動電路包括第一柵壓控制電路 10、第二柵壓控制電路 20、輸出單元 30 和隔離單元。

【0024】 其中，第一柵壓控制電路 10 根據第一輸入端 11、第二輸入端 12 和第二電源輸入端 VGL 的信號產生第一柵控電壓 V1。第二柵壓控制電路 20 根據第一柵控電壓 V1、第一輸入端 11、第二輸入端 12、第三輸入端 13、第一電源輸入端 VGH 和第二電源輸入端 VGL 的信號產生第二柵控電壓 V2 和第三柵控電壓 V3。輸出單元 30 根據第二柵控電壓 V2、第三柵控電壓 V3、第一電源輸入端 VGH 和第二電源輸入端 VGL 的信號產生輸出信號。隔離單元連接在第二電源輸入端 VGL 與第一柵壓控制電路 10 和第二柵壓控制電路 20 之間，即隔離單元分別與第二電源輸入端 VGL、第一柵壓控制電路 10、第二柵壓控制電路 20 相連；若第一柵控電壓 V1 低於第二電源輸入端 VGL 的電壓值，隔離單元將第一柵控電壓 V1 分別與第一柵壓控制電路 10 和第二柵壓控制電路 20 隔離，即第二電晶體 M2 的漏極與第一柵控電壓 V1 隔離，第五電晶體 M5 的柵極與第一柵控電壓 V1 隔離；進一步地，若第三柵控電壓 V3 低於第二電源輸入端 VGL 的電壓值，隔離單元將第三柵控電壓 V3 與第二柵壓控制電路 20 隔離，即第八電晶體 M8 的柵極與第三柵控電壓 V3 隔離。

【0025】 在一個實施例中，第一柵壓控制電路 10 和第二柵壓控制電

108年11月05日修正

申請專利範圍

1. 一種發射控制驅動電路，包括：

第一柵壓控制電路，該第一柵壓控制電路根據第一輸入端、第二輸入端和第二電源輸入端的信號產生第一柵控電壓；

第二柵壓控制電路，該第二柵壓控制電路根據該第一柵控電壓、該第一輸入端、該第二輸入端、第三輸入端、第一電源輸入端和該第二電源輸入端的信號產生第二柵控電壓和第三柵控電壓；

該第一柵壓控制電路和該第二柵壓控制電路各自包括若干電晶體，該若干電晶體連接該第一柵控電壓和該第三柵控電壓；

輸出單元，該輸出單元根據該第二柵控電壓、該第三柵控電壓、該第一電源輸入端和該第二電源輸入端的信號產生輸出信號；以及

隔離單元，該隔離單元連接在該第二電源輸入端與該第一柵壓控制電路和該第二柵壓控制電路之間，若該第一柵控電壓和該第二柵控電壓中的一個低於該第二電源輸入端的電壓值，該隔離單元將低於該第二電源輸入端的電壓值的柵控電壓與該第一柵壓控制電路和/或該第二柵壓控制電路隔離；

其中，

若該第一柵控電壓低於該第二電源輸入端的電壓值，該隔離單元將該第一柵控電壓與該第一柵壓控制電路和該第二柵壓控制電路隔離；

若該第三柵控電壓低於該第二電源輸入端的電壓值，該隔離單元將該第三柵控電壓與該第二柵壓控制電路隔離；或者，

若該第一柵控電壓低於該第二電源輸入端的電壓值，該隔離單元將該第

108 年 11 月 05 日 修正

- 一柵控電壓與該第一柵壓控制電路隔離；
- 若該第三柵控電壓低於該第二電源輸入端的電壓值，該隔離單元將該第三柵控電壓與該第一柵壓控制電路和該第二柵壓控制電路隔離。
2. 如請求項 1 所述的發射控制驅動電路，其中，該第一柵壓控制電路包括第一電晶體、第二電晶體和第三電晶體，
- 該第一電晶體、該第二電晶體和該第三電晶體為 P 型薄膜電晶體；
- 該第一電晶體的柵極連接該第二輸入端，該第一電晶體的源極連接該第二電晶體的柵極，該第一電晶體的漏極連接該第一輸入端；
- 該第二電晶體的源極連接該第二輸入端，該第二電晶體的漏極連接該第三電晶體的源極，該第二電晶體的柵極還連接該第二柵壓控制電路；
- 該第三電晶體的柵極連接該第二輸入端，該第三電晶體的漏極連接該第二電源輸入端，該第三電晶體的源極還連接該第二柵壓控制電路。
3. 如請求項 2 所述的發射控制驅動電路，其中，該第二柵壓控制電路包括第四電晶體、第五電晶體、第六電晶體、第七電晶體、第八電晶體和第一電容，
- 該第四電晶體、該第五電晶體、該第六電晶體、該第七電晶體和該第八電晶體為 P 型薄膜電晶體；
- 該第四電晶體的柵極連接該第三輸入端，該第四電晶體的源極連接該第五電晶體的源極，該第四電晶體的漏極連接該第二電晶體的柵極；
- 該第五電晶體的柵極連接該第三電晶體的源極，該第五電晶體的漏極連接第一電源輸入端；
- 該第六電晶體的柵極連接該第三電晶體的源極，該第六電晶體的源極連

108年11月05日修正

- 接該第七電晶體的源極，該第六電晶體的漏極連接該第三輸入端；
- 該第七電晶體的柵極連接該第三輸入端，該第七電晶體的漏極連接該第八電晶體的源極；
- 該第八電晶體的柵極連接該第一輸入端和輸出單元，該第八電晶體的漏極連接該第一電源輸入端，該第八電晶體的源極還連接該輸出單元；
- 該第一電容的一端連接該第六電晶體的柵極，另一端連接該第六電晶體的源極。
4. 如請求項 3 所述的發射控制驅動電路，其中，該輸出單元包括第九電晶體、第十電晶體、第二電容、第三電容，
- 該第九電晶體和該第十電晶體為 P 型薄膜電晶體；
- 該第九電晶體的柵極連接該第八電晶體的源極，該第九電晶體的源極連接該第一電源輸入端，該第九電晶體的漏極連接該第十電晶體的源極；
- 該第十電晶體的柵極連接該第八電晶體的柵極，該第十電晶體的漏極連接該第二電源輸入端；
- 該第二電容的一端連接該第九電晶體的柵極，另一端連接該第九電晶體的源極；
- 該第三電容一端連接該第十電晶體的柵極，另一端連接該第三輸入端；
- 該輸出單元產生的輸出信號從第十電晶體的源極輸出。
5. 如請求項 4 所述的發射控制驅動電路，其中，
- 該隔離單元包括第十一電晶體、第十二電晶體和第十三電晶體，
- 該第十一電晶體、該第十二電晶體和該第十三電晶體為 P 型薄膜電晶體；
- 該第十一電晶體連接在該第三電晶體的源極和該第六電晶體的柵極之間，

108年11月05日修正

第十一電晶體的柵極連接該第二電源輸入端，該第十一電晶體的源極連接該第三電晶體的源極，該第十一電晶體的漏極連接該第六電晶體的柵極；該第十二電晶體連接在該第五電晶體的柵極和該第六電晶體的柵極之間，該第十二電晶體的柵極連接該第二電源輸入端，該第十二電晶體的漏極連接該第五電晶體的柵極，該第十二電晶體的源極連接該第六電晶體的柵極；該第十三電晶體連接在該第八電晶體的柵極和該第十電晶體的柵極之間，該第十三電晶體的柵極連接該第二電源輸入端，該第十三電晶體的漏極連接該第十電晶體的柵極，該第十三電晶體的源極連接該第八電晶體的柵極；或者，

該隔離單元包括第十四電晶體、第十六電晶體和第十五電晶體，

該第十四電晶體、該第十六電晶體和該第十五電晶體為P型薄膜電晶體；

該第十四電晶體連接在該第二電晶體的柵極和該第十電晶體的柵極之間，第十四電晶體的柵極連接該第二電源輸入端，該第十四電晶體的源極連接該第二電晶體的柵極，該第十四電晶體的漏極連接該第十電晶體的柵極；該第十六電晶體連接在該第五電晶體的柵極和該第六電晶體的柵極之間，該第十六電晶體的柵極連接該第二電源輸入端，該第十六電晶體的漏極連接該第五電晶體的柵極，該第十六電晶體的源極連接該第六電晶體的柵極；該第十五電晶體連接在該第八電晶體的柵極和該第十電晶體的柵極之間，該第十五電晶體的柵極連接該第二電源輸入端，該第十五電晶體的漏極連接該第十電晶體的柵極和第十四電晶體的漏極，該第十五電晶體的源極連接該第八電晶體的柵極。

108年11月05日修正

6. 如請求項 5 所述的發射控制驅動電路，其中，該第六電晶體的柵極產生該第一柵控電壓，該第九電晶體的柵極產生該第二柵控電壓；該第十電晶體的柵極產生該第三柵控電壓。
7. 一種發射控制驅動器，包括至少兩個請求項 1 至 6 中任一項所述的發射控制驅動電路，每個發射控制驅動電路的第一輸入端連接前一個發射控制驅動電路的輸出端。
8. 如請求項 7 所述的發射控制驅動器，每一個該發射控制驅動電路的第一輸入端接收開始信號或前一發射控制驅動電路的輸出信號，奇數發射控制驅動電路的第二輸入端接收第一時鐘信號，第三輸入端接收第二時鐘信號；偶數發射控制驅動電路的第二輸入端接收第二時鐘信號，第三輸入端接收第一時鐘信號；其中，該第一時鐘信號和該第二時鐘信號具有相同的時間段並且具有不重疊的相位，該開始信號在該第一時鐘信號的第二個下降沿電壓來臨時，輸出上升沿電壓並持續至該第一時鐘信號的第四個下降沿電壓來臨。
9. 一種有機發光顯示裝置，包括如請求項 7 或 8 所述的發射控制驅動器。