

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号  
特許第6093564号  
(P6093564)

(45) 発行日 平成29年3月8日 (2017.3.8)

(24) 登録日 平成29年2月17日 (2017.2.17)

(51) Int.Cl.

F I

HO 1 L 29/786 (2006.01)

HO 1 L 21/336 (2006.01)

HO 1 L 21/8242 (2006.01)

HO 1 L 27/108 (2006.01)

HO 1 L 27/10 (2006.01)

HO 1 L 29/78 6 1 8 B

HO 1 L 29/78 6 2 6 C

HO 1 L 29/78 6 1 9 A

HO 1 L 27/10 6 7 1 Z

HO 1 L 27/10 6 8 1 F

請求項の数 4 (全 36 頁) 最終頁に続く

(21) 出願番号	特願2012-277604 (P2012-277604)	(73) 特許権者	000153878
(22) 出願日	平成24年12月20日 (2012.12.20)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2013-149968 (P2013-149968A)		神奈川県厚木市長谷398番地
(43) 公開日	平成25年8月1日 (2013.8.1)	(72) 発明者	山崎 舜平
審査請求日	平成27年12月9日 (2015.12.9)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2011-281566 (P2011-281566)		半導体エネルギー研究所内
(32) 優先日	平成23年12月22日 (2011.12.22)		
(33) 優先権主張国	日本国 (JP)	審査官	竹口 泰裕
		(56) 参考文献	特開2011-243971 (JP, A)
			)
			特開2011-243974 (JP, A)
			)
		(58) 調査した分野 (Int.Cl., DB名)	
			HO 1 L 2 1 / 3 3 6、2 9 / 7 8 6

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

下地絶縁膜を成膜し、  
前記下地絶縁膜に第1の条件、第2の条件の順で酸素添加を行った後、前記下地絶縁膜上に酸化物半導体膜を形成し、  
前記酸化物半導体膜上にゲート絶縁膜を成膜し、  
前記ゲート絶縁膜上に前記酸化物半導体膜と重畳する領域を有するゲート電極を形成し、

前記第1の条件で行う酸素添加は、加速電圧が10kV以上100kV以下であるイオン注入法で行い、

前記第2の条件で行う酸素添加は、加速電圧が1kV以上10kV未満であるイオン注入法で行うことを特徴とする半導体装置の作製方法。

【請求項 2】

下地絶縁膜を成膜し、  
前記下地絶縁膜上にゲート電極を形成し、  
前記ゲート電極上にゲート絶縁膜を形成し、  
前記ゲート絶縁膜上に、前記ゲート電極と重畳する領域を有する酸化物半導体膜を形成し、

前記酸化物半導体膜上に保護絶縁膜を形成し、

前記保護絶縁膜に第1の条件、第2の条件の順で酸素添加を行い、

前記第 1 の条件で行う酸素添加は、加速電圧が 1 0 k V 以上 1 0 0 k V 以下であるイオン注入法で行い、

前記第 2 の条件で行う酸素添加は、加速電圧が 1 k V 以上 1 0 k V 未満であるイオン注入法で行うことを特徴とする半導体装置の作製方法。

【請求項 3】

下地絶縁膜を成膜し、

前記下地絶縁膜上に酸化物半導体膜を形成し、

前記酸化物半導体膜上にゲート絶縁膜を成膜し、

前記ゲート絶縁膜に第 1 の条件、第 2 の条件の順で酸素添加を行った後、前記ゲート絶縁膜上に前記酸化物半導体膜と重畳する領域を有するゲート電極を形成し、

10

前記第 1 の条件で行う酸素添加は、加速電圧が 1 0 k V 以上 1 0 0 k V 以下であるイオン注入法で行い、

前記第 2 の条件で行う酸素添加は、加速電圧が 1 k V 以上 1 0 k V 未満であるイオン注入法で行うことを特徴とする半導体装置の作製方法。

【請求項 4】

下地絶縁膜を成膜し、

前記下地絶縁膜上にゲート電極を形成し、

前記ゲート電極上にゲート絶縁膜を形成し、

前記ゲート絶縁膜に第 1 の条件、第 2 の条件の順で酸素添加を行った後、前記ゲート絶縁膜上に、前記ゲート電極と重畳する領域を有する酸化物半導体膜を形成し、

20

前記酸化物半導体膜上に保護絶縁膜を形成し、

前記第 1 の条件で行う酸素添加は、加速電圧が 1 0 k V 以上 1 0 0 k V 以下であるイオン注入法で行い、

前記第 2 の条件で行う酸素添加は、加速電圧が 1 k V 以上 1 0 k V 未満であるイオン注入法で行うことを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

半導体装置の作製方法に関する。

【0002】

30

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能し得る装置全般をいい、電気光学装置、半導体回路および電子機器などは全て半導体装置である。

【背景技術】

【0003】

絶縁表面を有する基板上に形成された半導体膜を用いて、トランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（表示装置）のような半導体装置に広く応用されている。トランジスタに適用可能な半導体膜としてシリコンが知られているが、近年では酸化物半導体が注目されている。

【0004】

例えば、トランジスタに、電子キャリア濃度が  $10^{18} / \text{cm}^3$  未満であるインジウム、ガリウムおよび亜鉛を含む非晶質酸化物半導体膜を用いたトランジスタが開示されている（特許文献 1 参照。）。

40

【0005】

酸化物半導体膜を用いたトランジスタは、非晶質シリコン膜を用いたトランジスタと比べて酸化物半導体膜中の電子移動度が高いため、動作速度を大幅に向上させることができる。また、非晶質シリコン膜を用いたトランジスタの生産設備の一部を改良して利用することが可能であるため、設備投資を抑えられるメリットもある。

【先行技術文献】

【特許文献】

【0006】

50

【特許文献1】特開2006-165528号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

酸化物半導体膜中および酸化物半導体膜近傍に存在する酸素欠損は、一部がドナーとなり電子を生成する。そのため、酸素欠損を含む酸化物半導体膜を用いたトランジスタのしきい値電圧は、マイナス方向へ変動することがある。なお、本明細書において酸化物半導体膜近傍とは、酸化物半導体膜と接する膜との界面近傍を含んだ範囲をいう。

【0008】

そこで本発明の一態様は、酸化物半導体膜中および酸化物半導体膜近傍に存在する酸素欠損を低減し、酸化物半導体膜を用いたトランジスタの電気特性を向上させることを課題の一とする。

10

【0009】

また本発明の一態様は、酸化物半導体膜を用いたトランジスタを有する、信頼性に優れた半導体装置を提供することを課題の一とする。

【課題を解決するための手段】

【0010】

本発明の一態様は、酸化物半導体膜を用いたトランジスタであって、酸化物半導体膜と接する絶縁膜の少なくとも一が余剰酸素を含む絶縁膜である。

【0011】

20

酸化物半導体膜と接する絶縁膜に含まれる余剰酸素により、酸化物半導体膜中および酸化物半導体膜近傍に存在する酸素欠損を低減することができる。

【0012】

なお、余剰酸素を含む絶縁膜の余剰酸素濃度のプロファイルは、深さ方向に二カ所以上の余剰酸素濃度の極大値を有する。なお、余剰酸素濃度の極大値となる深さが絶縁膜の表面（深さが0）と一致する場合もある。また、絶縁膜の余剰酸素濃度の極大値はいずれかが余剰酸素濃度の最大値となる。なお、余剰酸素濃度の極大値となる深さは、一般に酸素濃度の極大値となる深さと一致する。

【0013】

絶縁膜が、深さ方向に二カ所以上の余剰酸素濃度の極大値を有する場合、二種以上の酸素放出条件を有することになる。具体的には、浅い領域にある余剰酸素濃度の極大値に対応する酸素放出は、低いエネルギーによって起こる。また、深い領域にある余剰酸素濃度の極大値に対応する酸素放出は、高いエネルギーによって起こる。なお、エネルギーを加熱処理の温度に読み替えても構わない。

30

【0014】

このように、異なる酸素放出条件を有する絶縁膜は、例えば加熱処理によって酸素放出させる場合、幅広い温度で酸素を放出することができる。従って、幅広い温度において、酸素を酸化物半導体膜中および酸化物半導体膜近傍に供給することができる。

【0015】

深さ方向に少なくとも二カ所以上の余剰酸素濃度の極大値を有する絶縁膜は、例えば、絶縁膜を成膜し、次に、当該絶縁膜に対し複数回の酸素添加を行うことで形成すればよい。

40

【0016】

酸素添加の方法は、イオン注入法、イオンドーピング法などで行えばよい。特に、イオン注入法は質量分離によって酸素のみを添加することが可能であるため、不純物の混入が少なくなつて好ましい。または、酸素を含むプラズマ中で絶縁膜側にバイアス電圧を印加することで行えばよい。

【0017】

他にも、深さ方向に少なくとも二カ所以上の余剰酸素濃度の極大値を有する絶縁膜は、絶縁膜を成膜し、次に、当該絶縁膜に対し第1の条件で酸素添加を行った後、絶縁膜に第2の条件で酸素添加を行うことで形成すればよい。

50

## 【 0 0 1 8 】

このとき、第 1 の条件および第 2 の条件は、酸素の注入深さが異なるように選択する。具体的には、第 1 の条件は加速電圧が 1 0 k V 以上 1 0 0 k V 以下であるイオン注入法で行い、第 2 の条件は加速電圧が 1 k V 以上 1 0 k V 未満であるイオン注入法で行う。または、第 1 の条件は加速電圧が 1 0 k V 以上 1 0 0 k V 以下であるイオン注入法で行い、第 2 の条件は、酸素を含むプラズマ中で前記基板側に 1 0 V 以上 1 k V 未満のバイアス電圧を印加することで行う。

## 【 0 0 1 9 】

なお、第 1 の条件と第 2 の条件とを入れ替えても構わない。ただし、第 2 の条件より第 1 の条件の酸素の注入深さを深くする方が好ましい。これは、第 1 の条件で添加された酸素と第 2 の条件で添加される酸素が干渉しあうことを防止するためである。これは、複数回の酸素添加を行う場合も同様であり、酸素添加を行う順番が後になるほど、酸素の注入深さが浅くなるように条件を選択すると好ましい。

10

## 【 0 0 2 0 】

本発明の一態様は、基板上に下地絶縁膜を成膜し、下地絶縁膜に複数回の酸素添加を行い、複数回の酸素添加を行った下地絶縁膜上に酸化物半導体膜を形成し、酸化物半導体膜上にゲート絶縁膜を成膜し、ゲート絶縁膜を介して酸化物半導体膜と重畳してゲート電極を形成する半導体装置の作製方法である。

## 【 0 0 2 1 】

また、本発明の一態様は、基板上に下地絶縁膜を成膜し、下地絶縁膜上にゲート電極を形成し、ゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜に複数回の酸素添加を行い、複数回の酸素添加を行ったゲート絶縁膜を介して、ゲート電極と重畳して酸化物半導体膜を形成する半導体装置の作製方法である。

20

## 【 0 0 2 2 】

また、本発明の一態様は、基板上に下地絶縁膜を成膜し、下地絶縁膜に第 1 の条件で酸素添加を行った後、下地絶縁膜に第 2 の条件で酸素添加を行い、第 1 の条件および第 2 の条件で酸素添加を行った下地絶縁膜上に酸化物半導体膜を形成し、酸化物半導体膜上にゲート絶縁膜を成膜し、ゲート絶縁膜を介して酸化物半導体膜と重畳してゲート電極を形成する半導体装置の作製方法である。

## 【 0 0 2 3 】

また、本発明の一態様は、基板上に下地絶縁膜を成膜し、下地絶縁膜上にゲート電極を形成し、ゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜に第 1 の条件で酸素添加を行った後、ゲート絶縁膜に第 2 の条件で酸素添加を行い、第 1 の条件および第 2 の条件で酸素添加を行ったゲート絶縁膜を介して、ゲート電極と重畳して酸化物半導体膜を形成する半導体装置の作製方法である。

30

## 【 発明の効果 】

## 【 0 0 2 4 】

酸化物半導体膜と接する絶縁膜より、酸化物半導体膜中に効率的に酸素が供給され、酸化物半導体膜中および酸化物半導体膜近傍に存在する酸素欠損を低減することができる。そのため、酸化物半導体膜を用いたトランジスタの電気特性を向上させることができる。

40

## 【 0 0 2 5 】

また、酸化物半導体膜を用いたトランジスタを有する半導体装置の信頼性を高めることができる。

## 【 図面の簡単な説明 】

## 【 0 0 2 6 】

【 図 1 】 本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

【 図 2 】 本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

【 図 3 】 本発明の一態様に係るトランジスタの作製方法の一例を示す断面図。

【 図 4 】 本発明の一態様に係るトランジスタの作製方法の一例を示す断面図。

【 図 5 】 本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

50

【図 6】本発明の一態様に係るトランジスタの作製方法の一例を示す断面図。

【図 7】本発明の一態様に係るトランジスタの作製方法の一例を示す断面図。

【図 8】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

【図 9】本発明の一態様に係るトランジスタの作製方法の一例を示す断面図。

【図 10】本発明の一態様に係るトランジスタの作製方法の一例を示す断面図。

【図 11】本発明の一態様に係るトランジスタの作製方法の一例を示す断面図。

【図 12】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

【図 13】本発明の一態様に係るトランジスタの作製方法の一例を示す断面図。

【図 14】本発明の一態様に係るトランジスタの作製方法の一例を示す断面図。

【図 15】本発明の一態様に係る液晶表示装置の一例を示す回路図。

10

【図 16】本発明の一態様に係る半導体記憶装置の一例を示す回路図および電気特性を示す図。

【図 17】本発明の一態様に係る半導体記憶装置の一例を示す回路図および電気特性を示す図。

【図 18】本発明の一態様に係る CPU の具体例を示すブロック図およびその一部の回路図。

【図 19】本発明の一態様に係る電子機器の一例を示す斜視図。

【図 20】酸素の注入深さを示す計算結果。

【図 21】酸素の注入深さを示す計算結果。

【発明を実施するための形態】

20

【0027】

本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。

【0028】

なお、第 1、第 2 として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

30

【0029】

(実施の形態 1)

本実施の形態では、本発明の一態様に係るトランジスタについて図 1 乃至図 4 を用いて説明する。

【0030】

図 1 (A) は本発明の一態様に係るトランジスタの上面図である。図 1 (A) に示す一点鎖線 A - B に対応する断面図を図 1 (B) に示す。なお、簡単のため、図 1 (A) においては、ゲート絶縁膜 112、下地絶縁膜 102 などを省略して示す。

【0031】

40

図 1 (B) に示すトランジスタは、基板 100 上に設けられた下地絶縁膜 102 と、下地絶縁膜 102 上に設けられた酸化物半導体膜 106 と、酸化物半導体膜 106 上に設けられた一対の電極 116 と、酸化物半導体膜 106 および一対の電極 116 上に設けられたゲート絶縁膜 112 と、ゲート絶縁膜 112 を介して酸化物半導体膜 106 と重畳して設けられたゲート電極 104 と、を有する。

【0032】

なお、下地絶縁膜 102 およびゲート絶縁膜 112 の少なくとも一方を、深さ方向に少なくとも二カ所以上の余剰酸素濃度の極大値を有する絶縁膜とする。なお、余剰酸素濃度の極大値の深さが絶縁膜の表面 (深さが 0) と一致する場合もある。また、絶縁膜の余剰酸素濃度の極大値はいずれかが余剰酸素濃度の最大値となる。

50

## 【0033】

好ましくは、下地絶縁膜102を、深さ方向に少なくとも二カ所以上の余剰酸素濃度の極大値を有する絶縁膜とする。例えば、下地絶縁膜102は、ゲート絶縁膜112よりも厚く設けるための制約が少なく、余剰酸素を含ませやすい。また、下地絶縁膜102は酸化物半導体膜106の下地となるため、酸化物半導体膜106の形成時から酸素を供給することができる。

## 【0034】

下地絶縁膜102およびゲート絶縁膜112の少なくともいずれかは、深さ方向に少なくとも二カ所以上の余剰酸素濃度の極大値を有する絶縁膜である。そのため、複数の酸素放出条件を有することになる。例えば加熱処理によって酸素放出させる場合、幅広い温度で酸素を放出することができる。従って、幅広い温度で酸化物半導体膜106中および酸化物半導体膜106近傍に酸素を供給することができる。

10

## 【0035】

例えば、酸化物半導体膜106と接する絶縁膜（下地絶縁膜102およびゲート絶縁膜112）において、酸化物半導体膜106に近い領域に有する余剰酸素は、酸化物半導体膜106近傍の酸素欠損を低減するために効果的に用いられる。一方、酸化物半導体膜106に遠い領域に有する余剰酸素は、さらに高いエネルギーを加えられた際に放出され、酸化物半導体膜106中の酸素欠損を低減するために効果的に用いられる。

## 【0036】

下地絶縁膜102およびゲート絶縁膜112の少なくともいずれかに含まれる余剰酸素は、化合物の化学量論的組成を超えて含まれる酸素である。従って、余剰酸素は、エネルギーを与えられると放出する性質を有する。余剰酸素は、放出することによって失われても、膜質を低下させることがない。

20

## 【0037】

下地絶縁膜102は、酸化アルミニウム、窒化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを含む絶縁膜から一種以上選択して、単層または積層で用いればよい。また、前述の単層または積層に加えて、窒化酸化シリコン、窒化シリコンを積層しても構わない。

## 【0038】

酸化窒化シリコンは、その組成において、窒素よりも酸素の含有量が多いものを示し、また、窒化酸化シリコンは、その組成において、酸素よりも窒素の含有量が多いものを示す。

30

## 【0039】

ゲート絶縁膜112は酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを含む絶縁膜から一種以上選択して、単層または積層して用いればよい。

## 【0040】

酸化物半導体膜106としては、例えば、In-M-Zn酸化物膜を用いればよい。ここで、金属元素Mは酸素との結合エネルギーがInおよびZnよりも高い元素である。または、In-M-Zn酸化物膜から酸素が脱離することを抑制する機能を有する元素である。金属元素Mの作用によって、酸化物半導体膜の酸素欠損の生成がある程度抑制される。そのため、酸素欠損に起因するトランジスタの電気特性の変動を低減することができ、信頼性の高いトランジスタを得ることができる。

40

## 【0041】

金属元素Mは、具体的にはAl、Sc、Ti、V、Cr、Mn、Fe、Co、Ni、Ga、Y、Zr、Nb、Mo、Sn、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu、Hf、TaまたはWとすればよく、好ましくはAl、Ti、Ga、Y、Zr、CeまたはHfとする。金属元素Mは、前述の元素から一種ま

50

たは二種以上選択すればよい。また、金属元素Mの代わりにSiまたはGeを用いても構わない。

【0042】

ただし、酸化物半導体膜106に含まれる金属元素Mの作用のみでは酸化物半導体膜106の酸素欠損の生成を完全に抑制できるわけではない。そのため、下地絶縁膜102およびゲート絶縁膜112の少なくともいずれかから酸素を供給することが重要となる。

【0043】

好ましくは、酸化物半導体膜106中の水素濃度は、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下とする。これは、酸化物半導体膜106に含まれる水素が意図しないキャリアを生成することがあるためである。生成されたキャリアは、トランジスタの電気特性を変動させる要因となる。

【0044】

酸化物半導体膜106は、単結晶、多結晶（ポリクリスタルともいう。）または非晶質などの状態をとる。

【0045】

好ましくは、酸化物半導体膜106は、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜とする。

【0046】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界(グレインバウンダリーともいう。)は確認できない。そのため、CAAC-OS膜は、粒界に起因するキャリア移動度の低下が抑制される。

【0047】

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面または表面に垂直な方向に揃い、かつab面に垂直な方向から見て三角形または六角形の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、 $85^\circ$ 以上 $95^\circ$ 以下の範囲も含まれることとする。

【0048】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜106の表面側から結晶成長させる場合、被形成面側に対し表面側では結晶部の占める割合が高くなることもある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0049】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAAC-OS膜の形状(被形成面の断面形状または表面の断面形状)によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-OS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

【0050】

CAAC-OS膜は、バンドギャップが $2.8 \text{ eV} \sim 3.2 \text{ eV}$ 程度であり、少数キャリアが $10^{-9} \text{ 個/cm}^3$ 程度と極めて少なく、多数キャリアはトランジスタのソースから

10

20

30

40

50

来るのみである。そのため、C A A C - O S 膜を用いたトランジスタはアバランシェブレークダウンがない。

【 0 0 5 1 】

また、C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【 0 0 5 2 】

また、C A A C - O S 膜、または不純物濃度が低く、酸素欠損の少ない酸化物半導体膜を用いたトランジスタは、ゲート電極の電界が F E T のチャネル領域を完全空乏化するため、例えばチャネル長が  $3 \mu\text{m}$ 、チャネル幅が  $1 \mu\text{m}$  のときのオフ電流は、 $85 \sim 95$  において  $10^{-2.3} \text{ A}$  以下とすることができる。また、室温では  $10^{-2.5} \text{ A}$  以下とすることができる。

10

【 0 0 5 3 】

基板 1 0 0 に大きな制限はないが、少なくとも、後の熱処理に耐え得る程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板などを、基板 1 0 0 として用いてもよい。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、S O I (Silicon On Insulator) 基板などを適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板 1 0 0 として用いてもよい。

【 0 0 5 4 】

また、基板 1 0 0 として、第 5 世代 ( $1000 \text{ mm} \times 1200 \text{ mm}$  または  $1300 \text{ mm} \times 1500 \text{ mm}$ )、第 6 世代 ( $1500 \text{ mm} \times 1800 \text{ mm}$ )、第 7 世代 ( $1870 \text{ mm} \times 2200 \text{ mm}$ )、第 8 世代 ( $2200 \text{ mm} \times 2500 \text{ mm}$ )、第 9 世代 ( $2400 \text{ mm} \times 2800 \text{ mm}$ )、第 10 世代 ( $2880 \text{ mm} \times 3130 \text{ mm}$ ) などの大型ガラス基板を用いる場合、半導体装置の作製工程における加熱処理などで生じる基板 1 0 0 の縮みによって、微細な加工が困難になる場合がある。そのため、前述したような大型ガラス基板を基板 1 0 0 として用いる場合、縮みの小さいものを用いることが好ましい。例えば、基板 1 0 0 として、 $400^\circ\text{C}$ 、好ましくは  $450^\circ\text{C}$ 、さらに好ましくは  $500^\circ\text{C}$  の温度で 1 時間加熱処理を行った後の縮み量が  $10 \text{ ppm}$  以下、好ましくは  $5 \text{ ppm}$  以下、さらに好ましくは  $3 \text{ ppm}$  以下である大型ガラス基板を用いればよい。

20

【 0 0 5 5 】

また、基板 1 0 0 として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板 1 0 0 に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。

30

【 0 0 5 6 】

ゲート電極 1 0 4 は、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、Ta および W を一種以上含む、単体、窒化物、酸化物または合金の導電膜を、単層または積層して用いればよい。

【 0 0 5 7 】

一対の電極 1 1 6 は、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、Ta および W を一種以上含む、単体、窒化物、酸化物または合金である導電膜を、単層または積層して用いればよい。なお、本実施の形態では、一対の電極 1 1 6 が酸化物半導体膜 1 0 6 の上面において接している構造を示しているが、この構造に限定されるものではない。例えば、一対の電極 1 1 6 が酸化物半導体膜 1 0 6 の下面において接している構造としても構わない。

40

【 0 0 5 8 】

以下に、図 3 および図 4 を用いて、図 1 ( B ) に示すトランジスタの作製方法を示す。

【 0 0 5 9 】

なお、図 3 に、深さ方向に少なくとも二カ所以上の余剰酸素濃度の極大値を有する絶縁膜である下地絶縁膜 1 0 2 を基板 1 0 0 上へ形成する方法を示す。

50



## 【0060】

まず、基板100を準備する。

## 【0061】

次に、基板100上に下地絶縁膜102aを成膜する。下地絶縁膜102aは、下地絶縁膜102として示した絶縁膜から選択し、スパッタリング法、化学気相成長(CVD: Chemical Vapor Deposition)法、分子線エピタキシー(MBE: Molecular Beam Epitaxy)法、原子層堆積(ALD: Atomic Layer Deposition)法またはパルスレーザ堆積(PLD: Pulsed Laser Deposition)法を用いて成膜すればよい。

## 【0062】

ここで、下地絶縁膜102aの脱水化、脱水素化処理を行うと好ましい。脱水化、脱水素化処理は、例えば、加熱処理によって行うことができる。加熱処理の温度は、250以上650以下、好ましくは300以上500以下で行えばよい。加熱処理の雰囲気は、不活性ガス雰囲気、酸化性ガスを10ppm以上、好ましくは1%以上、さらに好ましくは10%以上含む雰囲気、または減圧状態で行う。または、加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、好ましくは1%以上、さらに好ましくは10%以上含む雰囲気で加熱処理を行ってもよい。または、脱水化、脱水素化処理として、プラズマ処理、UV処理または薬液処理を行っても構わない。

## 【0063】

次に、下地絶縁膜102aに対し、上面側から第1の条件で酸素140aを添加する(図3(A)参照。)。酸素140aの添加は、イオン注入法またはイオンドーピング法を用いて行えばよい。その場合、加速電圧を10kV以上100kV以下とする。また、酸素140aの添加量は $1 \times 10^{14}$  ions/cm<sup>2</sup>以上 $1 \times 10^{16}$  ions/cm<sup>2</sup>以下とする。

## 【0064】

下地絶縁膜102aに、酸素140aが添加されることで下地絶縁膜102bが形成される。

## 【0065】

次に、下地絶縁膜102bに対し、上面側から第2の条件で酸素140bを添加する(図3(B)参照。)。酸素140bの添加は、イオン注入法またはイオンドーピング法を用いて行えばよい。その場合、加速電圧を1kV以上10kV未満とする。また、酸素140bの添加量は $1 \times 10^{14}$  ions/cm<sup>2</sup>以上 $1 \times 10^{16}$  ions/cm<sup>2</sup>以下とする。

## 【0066】

または、酸素140bの添加は、酸素を含むプラズマ中で基板側にバイアス電圧を印加することで行えばよい。その場合、バイアス電圧を10V以上1kV未満とする。また、バイアス電圧の印加時間は、10s以上1000s以下、好ましくは10s以上200s以下、さらに好ましくは10s以上60s以下とすればよい。バイアス電圧が高いほど、バイアス電圧の印加時間が長いほど、酸素を添加することができるが、同時に膜がエッチングされる。

## 【0067】

下地絶縁膜102bに、酸素140bが添加されることで下地絶縁膜102が形成される(図3(C)参照。)。

## 【0068】

または、第1の条件、第2の条件に加えて、第3の条件乃至第nの条件(nは4以上の自然数である。 )で酸素添加を行ってもよい。

## 【0069】

なお、第1の条件と第2の条件とを入れ替えても構わない。ただし、第2の条件より第1の条件の酸素の注入深さを深くする方が好ましい。これは、第1の条件で添加された酸素

10

20

30

40

50

と第2の条件で添加される酸素が干渉しあうことを防止するためである。これは、n回の酸素添加を行う場合も同様であり、酸素添加を行う順番が後になるほど、酸素の注入深さが浅くなるように条件を選択すると好ましい。

#### 【0070】

以上のようにして余剰酸素を含ませた下地絶縁膜102を形成すればよい。ただし、本実施の形態は、下地絶縁膜102に余剰酸素を含む場合に限定されない。後述するゲート絶縁膜112に余剰酸素を含ませる場合には、下地絶縁膜102が余剰酸素を含ませなくてもよい場合がある。

#### 【0071】

下地絶縁膜102は十分な平坦性を有することが好ましいため、下地絶縁膜102に対し、平坦化処理を行ってもよい。平坦化処理としては、化学機械研磨(CMP: Chemical Mechanical Polishing)、またはドライエッチング法を用いればよい。具体的には、平均面粗さ(Ra)が1nm以下、好ましくは0.3nm以下、さらに好ましくは0.1nm以下となるように下地絶縁膜102を設ける。上述の数値以下のRaとすることで、酸化物半導体膜106に結晶領域が形成されやすくなる。また、下地絶縁膜102と酸化物半導体膜106との界面の凹凸が小さくなることで、界面散乱の影響を小さくできる。なお、Raとは、JIS B 0601:2001(ISO 4287:1997)で定義されている算術平均粗さを曲面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」で表現でき、数式(1)にて定義される。

#### 【0072】

##### 【数1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy \quad (1)$$

#### 【0073】

ここで、指定面とは、粗さ計測の対象となる面であり、座標( $x_1, y_1, f(x_1, y_1)$ ), ( $x_1, y_2, f(x_1, y_2)$ ), ( $x_2, y_1, f(x_2, y_1)$ ), ( $x_2, y_2, f(x_2, y_2)$ )の4点で表される四角形の領域とし、指定面をxy平面に投影した長方形の面積を $S_0$ 、基準面の高さ(指定面の平均の高さ)を $Z_0$ とする。Raは原子間力顕微鏡(AFM: Atomic Force Microscope)にて測定可能である。

#### 【0074】

次に、酸化物半導体膜を成膜する。酸化物半導体膜は、酸化物半導体膜106として示した酸化物膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。酸化物半導体膜は、好ましくはスパッタリング法を用いて成膜する。この際、酸化性ガスを5%以上、好ましくは10%以上、さらに好ましくは20%以上、さらに好ましくは50%以上含む成膜ガスを用いる。該成膜ガスとして、水素などの不純物濃度が低いガスを用いる。

#### 【0075】

酸化物半導体膜の成膜後、第1の加熱処理を行ってもよい。第1の加熱処理の温度は、250以上650以下、好ましくは300以上500以下で行えばよい。第1の加熱処理の雰囲気は、不活性ガス雰囲気、酸化性ガスを10ppm以上、好ましくは1%以上、さらに好ましくは10%以上含む雰囲気、または減圧状態で行う。または、第1の加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、好ましくは1%以上、さらに好ましくは10%以上含む雰囲気で加熱処理を行ってもよい。第1の加熱処理によって、酸化物半導体膜から水素や水などの不純物を除去することができる。

#### 【0076】

次に、酸化物半導体膜を加工し島状にして、酸化物半導体膜 106 を形成する（図 4（A）参照。）。

【0077】

次に、一对の電極 116 となる導電膜を成膜する。一对の電極 116 となる導電膜は、一对の電極 116 として示した導電膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。次に、一对の電極 116 となる導電膜を加工し、一对の電極 116 を形成する（図 4（B）参照。）。

【0078】

次に、ゲート絶縁膜 112 を成膜する。ゲート絶縁膜 112 は、ゲート絶縁膜 112 として示した絶縁膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

10

【0079】

ここで、ゲート絶縁膜 112 の脱水化、脱水素化処理を行うと好ましい。脱水化、脱水素化処理は下地絶縁膜 102a に対して行った方法を参照する。

【0080】

なお、ゲート絶縁膜 112 として、深さ方向に少なくとも二カ所以上の余剰酸素濃度の極大値を有する絶縁膜を用いる場合、図 3（A）乃至図 3（C）を参照して余剰酸素を含ませればよい。

【0081】

次に、ゲート電極 104 となる導電膜を成膜する。ゲート電極 104 となる導電膜は、ゲート電極 104 として示した導電膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。次に、ゲート電極 104 となる導電膜を加工し、ゲート電極 104 を形成する（図 4（C）参照。）。

20

【0082】

なお、ゲート電極 104 の形成後、第 2 の加熱処理を行う。第 2 の加熱処理によって、下地絶縁膜 102 または / およびゲート絶縁膜 112 から余剰酸素を放出させることができる。放出された余剰酸素は、酸化物半導体膜 106 中および酸化物半導体膜 106 近傍へ供給され、酸素欠損を低減することができる。第 2 の加熱処理は、第 1 の加熱処理と同様の条件で行えばよい。

【0083】

また、第 2 の加熱処理は、ゲート電極 104 の形成後に限定されず、例えば、ゲート電極 104 上に保護絶縁膜などを設けた後に行ってもよい。

30

【0084】

以上のようにして図 1（B）に示すトランジスタを作製することができる。

【0085】

図 1（B）に示すトランジスタは、酸化物半導体膜 106 中および酸化物半導体膜 106 近傍における酸素欠損が少なく、優れた電気特性を有する。また、トランジスタの動作に伴い生じる電気特性の変動も抑制されるため、当該トランジスタを用いた半導体装置の信頼性を高めることができる。

【0086】

図 2 は図 1 とは異なる本発明の一態様に係るトランジスタを示す図である。なお、図 2（A）は上面図である。図 2（A）に示す一点鎖線 A - B に対応する断面図を図 2（B）に示す。なお、簡単のため、図 2（A）においては、ゲート絶縁膜 112、下地絶縁膜 102 などを省略して示す。

40

【0087】

図 2（B）に示すトランジスタは、基板 100 上に設けられた下地絶縁膜 102 と、下地絶縁膜 102 上に設けられた酸化物半導体膜 106 と、酸化物半導体膜 106 上に設けられた一对の電極 116 と、酸化物半導体膜 106 および一对の電極 116 上に設けられたゲート絶縁膜 112 と、ゲート絶縁膜 112 を介して酸化物半導体膜 106 と重畳し、一对の電極 116 と重畳しないように設けられたゲート電極 105 と、を有する。

50

## 【 0 0 8 8 】

図 2 ( B ) に示すトランジスタは、図 1 ( B ) に示すトランジスタとゲート電極の形状が異なる以外は同様の構造である。そのため、そのほかについては図 1 の説明を参照する。

## 【 0 0 8 9 】

図 2 ( B ) に示すトランジスタは、一对の電極 1 1 6 とゲート電極 1 0 5 とが重畳しない構造である。従って、ゲート電極 1 0 5 と重畳する酸化物半導体膜 1 0 6 の領域がチャネル領域となる。酸化物半導体膜 1 0 6 のチャネル領域と、一对の電極 1 1 6 との間にはオフセット領域または L D D ( L i g h t l y D o p e d D r a i n ) 領域を有することになる。オフセット領域および L D D 領域を有することで、チャネル領域の近傍の電界集中が緩和され、ホットキャリアによるトランジスタの電気特性の劣化を抑制することができる。従って、信頼性の高いトランジスタを得ることができる。

10

## 【 0 0 9 0 】

なお、L D D 領域を形成するために、図 2 ( B ) に示すトランジスタに対し、上面側から酸化物半導体膜を低抵抗化する不純物を注入しても構わない。酸化物半導体膜を低抵抗化する不純物として、具体的には、ヘリウム、ホウ素、窒素、フッ素、ネオン、アルミニウム、リン、アルゴン、ヒ素、クリプトン、インジウム、スズ、アンチモンおよびキセノンから選ばれた一種以上を添加すればよい。なお、その方法は、イオン注入法、イオンドーピング法で行えばよい。その後、加熱処理を行ってもよい。

## 【 0 0 9 1 】

本実施の形態により、電気特性の優れたトランジスタを提供することができる。また、当該トランジスタを用いた信頼性の高い半導体装置を提供することができる。

20

## 【 0 0 9 2 】

なお、本実施の形態は適宜他の実施の形態と組み合わせて用いることができる。

## 【 0 0 9 3 】

## ( 実施の形態 2 )

本実施の形態では、実施の形態 1 とは異なる構造のトランジスタについて図 5 乃至図 7 を用いて説明する。

## 【 0 0 9 4 】

図 5 ( A ) は本発明の一態様に係るトランジスタの上面図である。図 5 ( A ) に示す一点鎖線 A - B に対応する断面図を図 5 ( B ) に示す。なお、簡単のため、図 5 ( A ) においては、保護絶縁膜 2 1 8、下地絶縁膜 1 0 2などを省略して示す。

30

## 【 0 0 9 5 】

図 5 ( B ) に示すトランジスタは、基板 1 0 0 上に設けられた下地絶縁膜 1 0 2 と、下地絶縁膜 1 0 2 上に設けられた第 1 の領域 2 0 6 a および第 2 の領域 2 0 6 b を有する酸化物半導体膜 2 0 6 と、酸化物半導体膜 2 0 6 上に設けられたゲート絶縁膜 2 1 2 と、ゲート絶縁膜 2 1 2 を介して酸化物半導体膜 2 0 6 と重畳して設けられたゲート電極 2 0 4 と、ゲート電極 2 0 4 および酸化物半導体膜 2 0 6 上に設けられた、酸化物半導体膜 2 0 6 に達する開口部を有する保護絶縁膜 2 1 8 と、保護絶縁膜 2 1 8 の開口部を介して酸化物半導体膜 2 0 6 の第 2 の領域 2 0 6 b と接して設けられた一对の電極 2 1 6 と、を有する。なお、酸化物半導体膜 2 0 6 の第 1 の領域 2 0 6 a はゲート電極 2 0 4 と重畳する領域に設けられる。

40

## 【 0 0 9 6 】

なお、実施の形態 1 と同様に、下地絶縁膜 1 0 2 およびゲート絶縁膜 2 1 2 の少なくとも一方を、深さ方向に少なくとも二カ所以上の余剰酸素濃度の極大値を有する絶縁膜とする。

## 【 0 0 9 7 】

なお、酸化物半導体膜 2 0 6 の第 1 の領域 2 0 6 a は、トランジスタのチャネル領域として機能する。また、酸化物半導体膜 2 0 6 の第 2 の領域 2 0 6 b は、トランジスタのソース領域およびドレイン領域として機能する。

## 【 0 0 9 8 】

50

なお、基板 100、下地絶縁膜 102 については、実施の形態 1 の説明を参照する。

【0099】

ゲート電極 204 は、ゲート電極 104 と同様の導電膜から選択して用いればよい。

【0100】

ゲート絶縁膜 212 は、ゲート絶縁膜 112 と同様の絶縁膜から選択して用いればよい。

【0101】

また、本実施の形態では側壁絶縁膜を有さない構造について説明しているが、これに限定されない。例えば、ゲート電極 204 の側面と接して側壁絶縁膜を有する構造としても構わない。

【0102】

なお、図 5 (C) では、ゲート絶縁膜 212 とゲート電極 204 とが同様の上面形状である以外は図 5 (B) と同様である。そのため、図 5 (C) については、図 5 (B) の説明を参照する。

【0103】

酸化物半導体膜 206 は、酸化物半導体膜 106 と同様の酸化物膜から選択して用いればよい。

【0104】

保護絶縁膜 218 は、酸化アルミニウム、窒化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを含む絶縁膜から一種以上選択して、単層または積層して用いればよい。

【0105】

なお、保護絶縁膜 218 は、比誘電率が低く、かつ十分な厚さを有すると好ましい。例えば、比誘電率が 3.8 程度である酸化シリコン膜を用い、200nm 以上 1000nm 以下の厚さで設ければよい。保護絶縁膜 218 の表面は、大気成分などの影響で僅かに固定電荷を有し、その影響により、トランジスタのしきい値電圧が変動することがある。そのため、保護絶縁膜 218 は、表面に生じる電荷の影響が十分に小さくなるような範囲の比誘電率および厚さとするのが好ましい。同様の理由で、保護絶縁膜 218 上に樹脂膜を形成することで、表面に生じる電荷の影響を軽減しても構わない。

【0106】

一対の電極 216 は、一対の電極 116 と同様の導電膜から選択して用いればよい。

【0107】

以下に、図 6 および図 7 を用いて、図 5 (B) に示すトランジスタの作製方法を示す。

【0108】

なお、図 6 (A) に示す、基板 100 上に下地絶縁膜 102 を形成し、下地絶縁膜 102 上に酸化物半導体膜 106 を形成するまでの作製方法については、実施の形態 1 を参照する。

【0109】

次に、ゲート絶縁膜 212 を成膜する。ゲート絶縁膜 212 は、ゲート絶縁膜 112 と同様の方法で成膜すればよい。

【0110】

ここで、ゲート絶縁膜 212 の脱水化、脱水素化処理を行うと好ましい。脱水化、脱水素化処理は、実施の形態 1 を参照する。

【0111】

なお、ゲート絶縁膜 212 として、深さ方向に少なくとも二カ所以上の余剰酸素濃度の極大値を有する絶縁膜を用いる場合、図 3 を参照して余剰酸素を含ませればよい。

【0112】

次に、導電膜 234 を成膜する (図 6 (B) 参照。)。導電膜 234 は、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【0113】

次に、第2の加熱処理を行う。第2の加熱処理は、実施の形態1で説明した加熱処理を参照して行えばよい。

【0114】

次に、導電膜234を加工し、ゲート電極204を形成する(図6(C)参照。 )。

【0115】

図5(C)に示すトランジスタを作製するために、次に、ゲート絶縁膜212を加工することで、ゲート電極204と同様の上面形状であるゲート絶縁膜213を形成してもよい。なお、ゲート絶縁膜212は、ゲート電極204の加工に用いたレジストマスクを用いて加工してもよいし、該レジストマスクを除去した後に、ゲート電極204をマスクを用いて加工してもよい。

10

【0116】

次に、側壁絶縁膜を形成してもよい。まずは側壁絶縁膜となる絶縁膜を成膜する。側壁絶縁膜となる絶縁膜は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。次に、側壁絶縁膜となる絶縁膜に対し異方性の高いエッチング処理を行うことにより、ゲート電極204の側面に接する側壁絶縁膜を形成することができる。なお、図5(C)に示すトランジスタに側壁絶縁膜を設ける場合、側壁絶縁膜は、ゲート絶縁膜213およびゲート電極204の側面に接する形状となる。

【0117】

なお、側壁絶縁膜となる絶縁膜は、酸化アルミニウム、窒化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを含む絶縁膜から一種以上選択して用いればよい。

20

【0118】

次に、ゲート電極204をマスクとし、酸化物半導体膜106に酸化物半導体膜を低抵抗化する不純物を添加する。具体的には、ヘリウム、ホウ素、窒素、フッ素、ネオン、アルミニウム、リン、アルゴン、ヒ素、クリプトン、インジウム、スズ、アンチモンおよびキセノンから選ばれた一種以上を添加すればよい。なお、その方法は、イオン注入法、イオンドーピング法で行えばよい。好ましくはイオン注入法を用いる。なお、イオン注入法にて酸化物半導体膜を低抵抗化する不純物を添加した後、加熱処理を行ってもよい。

【0119】

不純物の添加された領域は低抵抗化し、第2の領域206bとなる。また、不純物の添加されない領域は第1の領域206aとなる。以上のようにして、第1の領域206aおよび第2の領域206bを有する酸化物半導体膜206を形成する(図7(A)参照。 )。

30

【0120】

なお、ゲート電極204に接して側壁絶縁膜が設けられる場合は、側壁絶縁膜と重畳する領域も不純物の添加されない領域となる。そのため、第1の領域206aはゲート電極204および側壁絶縁膜と重畳する領域に形成されることになる。

【0121】

次に、ゲート絶縁膜212およびゲート電極204上に保護絶縁膜218を成膜する。保護絶縁膜218は、保護絶縁膜218として示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

40

【0122】

次に、保護絶縁膜218およびゲート絶縁膜212を加工して、酸化物半導体膜206の第2の領域206bを露出する一対の開口部を形成する。該開口部の形成は、酸化物半導体膜206がなるべくエッチングされないような条件で行うが、これに限定されない。具体的には、該開口部を形成する際に、酸化物半導体膜206の第2の領域206bの表面の一部をエッチングしてしまっても構わないし、第2の領域206bを貫通し、下地絶縁膜102を露出してしまっても構わない。

【0123】

次に、保護絶縁膜218、および露出された酸化物半導体膜206上に、一対の電極21

50

6となる導電膜を成膜する。該導電膜は、一対の電極216として示した導電膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0124】

次に、一対の電極216となる導電膜を加工し、一対の電極216を形成する(図7(C)参照。 )。

【0125】

以上のようにして、図5(B)に示すトランジスタを作製することができる。

【0126】

図5(B)に示すトランジスタは、酸化物半導体膜206中および酸化物半導体膜206近傍における酸素欠損が少なく、優れた電気特性を有する。また、トランジスタの動作に伴い生じる電気特性の変動も抑制されるため、当該トランジスタを用いた半導体装置の信頼性を高めることができる。

10

【0127】

本実施の形態により、電気特性の優れたトランジスタを提供することができる。また、当該トランジスタを用いた信頼性の高い半導体装置を提供することができる。

【0128】

なお、本実施の形態は適宜他の実施の形態と組み合わせて用いることができる。

【0129】

(実施の形態3)

20

【0130】

本実施の形態では、実施の形態1および実施の形態2とは異なる構造のトランジスタについて図8乃至図11を用いて説明する。

【0131】

図8(A)は本発明の一態様に係るトランジスタの上面図である。図8(A)に示す一点鎖線A-Bに対応する断面図を図8(B)に示す。なお、簡単のため、図8(A)においては、保護絶縁膜328、保護絶縁膜318、ゲート絶縁膜312、側壁絶縁膜310および下地絶縁膜102などを省略して示す。

【0132】

図8(B)に示すトランジスタは、基板100上に設けられた下地絶縁膜102と、下地絶縁膜102上に設けられた第1の領域306aおよび第2の領域306bを有する酸化物半導体膜306と、酸化物半導体膜306上に設けられたゲート絶縁膜312と、ゲート絶縁膜312を介して酸化物半導体膜306上に設けられたゲート電極304と、ゲート電極304上に設けられた絶縁膜320と、ゲート電極304および絶縁膜320の側面と接して設けられた側壁絶縁膜310と、酸化物半導体膜306上に設けられ、酸化物半導体膜306の第2の領域306bおよび側壁絶縁膜310と接して設けられた一対の電極316と、一対の電極316上に設けられ、絶縁膜320と上面の高さの揃った保護絶縁膜318と、保護絶縁膜318および絶縁膜320上に設けられた保護絶縁膜328と、とを有し、保護絶縁膜318および保護絶縁膜328は、一対の電極316に達する開口部が設けられ、当該開口部において、一対の電極316と接して配線366が設けられる。

30

40

【0133】

なお、実施の形態1および実施の形態2と同様に、下地絶縁膜102およびゲート絶縁膜312の少なくとも一方を、深さ方向に少なくとも二カ所以上の余剰酸素濃度の極大値を有する絶縁膜とする。

【0134】

図8(B)に示すトランジスタは、ゲート電極304と絶縁膜320が同様の上面形状である。また、ゲート絶縁膜312は、ゲート電極304および側壁絶縁膜310と重畳する領域と同様の上面形状である。

【0135】

50

なお、酸化物半導体膜 306 の第 1 の領域 306a は、トランジスタのチャネル領域として機能する。また、酸化物半導体膜 306 の第 2 の領域において、側壁絶縁膜 310 と重畳する領域が LDD 領域として機能する。そのため、LDD 領域の長さを制御しやすい。また、酸化物半導体膜 306 の第 2 の領域 306b の一対の電極 316 と接する領域は、トランジスタのソース領域およびドレイン領域として機能する。

【0136】

図 8 (B) に示すトランジスタは、一対の電極 316 が側壁絶縁膜 310 を挟んでゲート電極 304 の近くにまで設けられている。

【0137】

LDD 領域を有することで、チャネル領域の近傍の電界集中が低減され、ホットキャリアによるトランジスタの電気特性の劣化を抑制することができる。従って、信頼性の高いトランジスタを得ることができる。

10

【0138】

なお、基板 100、下地絶縁膜 102 については、実施の形態 1 の説明を参照する。

【0139】

ゲート電極 304 は、ゲート電極 104 と同様の導電膜から選択して用いればよい。

【0140】

ゲート絶縁膜 312 は、ゲート絶縁膜 112 と同様の絶縁膜から選択して用いればよい。

【0141】

酸化物半導体膜 306 は、酸化物半導体膜 106 と同様の酸化物膜から選択して用いればよい。

20

【0142】

側壁絶縁膜 310 は、酸化アルミニウム、窒化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを含む絶縁膜から一種以上選択して用いればよい。

【0143】

絶縁膜 320 は、酸化アルミニウム、窒化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを含む絶縁膜から一種以上選択して用いればよい。

30

【0144】

一対の電極 316 は、一対の電極 116 と同様の導電膜から選択して用いればよい。

【0145】

なお、保護絶縁膜 318 は、保護絶縁膜 218 と同様の絶縁膜から選択して用いればよい。

【0146】

なお、保護絶縁膜 328 は、保護絶縁膜 218 と同様の絶縁膜から選択して用いればよい。

【0147】

配線 366 は、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、Ta および W を一種以上含む、単体、窒化物、酸化物または合金を、単層または積層して用いればよい。

40

【0148】

以下に、図 9 乃至図 11 を用いて、図 8 (B) に示すトランジスタの作製方法を示す。

【0149】

なお、図 9 (A) に示す、基板 100 上に下地絶縁膜 102 を形成し、下地絶縁膜 102 上に酸化物半導体膜 106 を形成し、酸化物半導体膜 106 上にゲート絶縁膜 212 を成膜するまでの作製方法については、実施の形態 1 および実施の形態 2 を参照する。

【0150】

50



次に、導電膜 334 を成膜する。導電膜 334 は、ゲート電極 304 として示した導電膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【0151】

次に、絶縁膜 321 を成膜する（図 9（A）参照。）。絶縁膜 321 は、絶縁膜 320 として示した絶縁膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【0152】

次に、絶縁膜 321 および導電膜 334 を加工し、同様の上面形状である絶縁膜 322 およびゲート電極 304 を形成する（図 9（B）参照。）。 10

【0153】

次に、絶縁膜 322 およびゲート電極 304 をマスクとし、酸化物半導体膜 106 に酸化物半導体膜を低抵抗化する不純物を添加する。具体的には、ヘリウム、ホウ素、窒素、フッ素、ネオン、アルミニウム、リン、アルゴン、ヒ素、クリプトン、インジウム、スズ、アンチモンおよびキセノンから選ばれた一種以上を添加すればよい。なお、その方法は、イオン注入法、イオンドーピング法で行えばよい。好ましくはイオン注入法を用いる。なお、イオン注入法にて酸化物半導体膜を低抵抗化する不純物を添加した後、加熱処理を行ってもよい。

【0154】

不純物の添加された領域は低抵抗化し、第 2 の領域 306b となる。また、不純物の添加されない領域は第 1 の領域 306a となる。以上のようにして、第 1 の領域 306a および第 2 の領域 306b を有する酸化物半導体膜 306 を形成する（図 9（C）参照。）。 20

【0155】

次に、側壁絶縁膜 311 となる絶縁膜を成膜する。側壁絶縁膜 311 となる絶縁膜は、側壁絶縁膜 310 として示した絶縁膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。次に、側壁絶縁膜 311 となる絶縁膜に対し異方性の高いエッチング処理を行うことにより、絶縁膜 322 およびゲート電極 304 の側面に接する側壁絶縁膜 311 を形成することができる。

【0156】

側壁絶縁膜 311 を形成するとともに、ゲート絶縁膜 212 を側壁絶縁膜 311 およびゲート電極 304 をマスクとして加工し、ゲート絶縁膜 312 を形成する（図 10（A）参照。）。 30

【0157】

次に、導電膜 317 を成膜する（図 10（B）参照。）。導電膜 317 は、一对の電極 316 として示した導電膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【0158】

なお、導電膜 317 の形成後、第 2 の加熱処理を行う。第 2 の加熱処理によって、下地絶縁膜 102 またはノおよびゲート絶縁膜 312 から余剰酸素を放出させることができる。放出された余剰酸素は、酸化物半導体膜 306 中および酸化物半導体膜 306 近傍へ供給され、酸素欠損を低減することができる。第 2 の加熱処理は、実施の形態 1 で示した第 2 の加熱処理と同様の条件で行えばよい。 40

【0159】

また、第 2 の加熱処理は、導電膜 317 の形成後に限定されず、導電膜 317 を形成した後であればどの工程時に行ってもよい。

【0160】

次に、保護絶縁膜 319 を成膜する（図 10（C）参照。）。保護絶縁膜 319 は、保護絶縁膜 318 として示した絶縁膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【0161】

次に、保護絶縁膜 319 上から平坦化处理（CMP 処理、ドライエッチング処理など）を行い、一对の電極 316、側壁絶縁膜 310、保護絶縁膜 318 および絶縁膜 320 を形成する（図 11（A）参照。）。

【0162】

保護絶縁膜 319 上から平坦化处理を行うことで、導電膜 317 の絶縁膜 322（ゲート電極 304）と重畳している領域のみを除去することができる。その際に、絶縁膜 322 も平坦化处理に曝され、厚さの薄くなった絶縁膜 320 となる。

【0163】

このような方法を用いて、一对の電極 316 を形成することにより、一对の電極 316 を側壁絶縁膜 310 を挟んだゲート電極 304 の近くにまで設けることができる。

10

【0164】

次に、保護絶縁膜 328 を成膜する（図 11（B）参照。）。保護絶縁膜 328 は、保護絶縁膜 328 として示した絶縁膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【0165】

次に、保護絶縁膜 328 および保護絶縁膜 318 を加工し、一对の電極 316 を露出する開口部を形成する。

【0166】

次に、配線 366 となる導電膜を成膜する。配線 366 となる導電膜は、配線 366 として示した導電膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

20

【0167】

次に、配線 366 となる導電膜を加工して、保護絶縁膜 328 および保護絶縁膜 318 に設けられた開口部で一对の電極 316 と接する配線 366 を形成する（図 11（C）参照。）。

【0168】

以上のようにして、図 8（B）に示すトランジスタを作製することができる。

【0169】

図 8（B）に示すトランジスタは、酸化物半導体膜 306 中および酸化物半導体膜 306 近傍における酸素欠損が少なく、優れた電気特性を有する。また、トランジスタの動作に伴い生じる電気特性の変動も抑制されるため、当該トランジスタを用いた半導体装置の信頼性を高めることができる。

30

【0170】

図 8（B）に示すトランジスタは、LDD 領域を有するため、チャネル領域の近傍の電界集中が低減され、ホットキャリアによるトランジスタの電気特性の劣化を抑制することができる。従って、信頼性の高いトランジスタを得ることができる。

【0171】

本実施の形態により、電気特性の優れたトランジスタを提供することができる。また、当該トランジスタを用いた信頼性の高い半導体装置を提供することができる。

【0172】

なお、本実施の形態は適宜他の実施の形態と組み合わせて用いることができる。

40

【0173】

（実施の形態 4）

本実施の形態では、本発明の一態様に係るトランジスタについて図 12 乃至図 14 を用いて説明する。

【0174】

図 12（A）は本発明の一態様に係るトランジスタの上面図である。図 12（A）に示す一点鎖線 A - B に対応する断面図を図 12（B）に示す。なお、簡単のため、図 12（A）においては、保護絶縁膜 418、ゲート絶縁膜 412などを省略して示す。

【0175】

50

図 1 2 ( B ) に示すトランジスタは、基板 1 0 0 上に設けられた下地絶縁膜 4 0 2 と、下地絶縁膜 4 0 2 上に設けられたゲート電極 4 0 4 と、ゲート電極 4 0 4 上に設けられたゲート絶縁膜 4 1 2 と、ゲート絶縁膜 4 1 2 を介してゲート電極 4 0 4 と重畳して設けられた酸化物半導体膜 4 0 6 と、酸化物半導体膜 4 0 6 上に設けられた一対の電極 4 1 6 と、一対の電極 4 1 6 上に設けられた保護絶縁膜 4 1 8 と、を有する。

【 0 1 7 6 】

なお、ゲート絶縁膜 4 1 2 および保護絶縁膜 4 1 8 の少なくとも一方は、深さ方向に少なくとも二カ所以上の余剰酸素濃度の極大値を有する絶縁膜とする。

【 0 1 7 7 】

ゲート絶縁膜 4 1 2 および保護絶縁膜 4 1 8 の少なくともいずれかは、深さ方向に少なくとも二カ所以上の余剰酸素濃度の極大値を有する絶縁膜である。そのため、複数の酸素放出条件を有することになる。例えば加熱処理によって酸素放出させる場合、幅広い温度で酸素を放出することができる。従って、幅広い温度で酸素を酸化物半導体膜 4 0 6 中および酸化物半導体膜 4 0 6 近傍に供給することができる。

10

【 0 1 7 8 】

ゲート絶縁膜 4 1 2 および保護絶縁膜 4 1 8 の少なくともいずれかに含まれる余剰酸素は、化合物の化学量論的組成を超えて含まれる酸素である。従って、余剰酸素は、エネルギーを与えられると放出する性質を有する。余剰酸素は余剰であるため、放出することによって失われても、膜質を低下させることがない。

【 0 1 7 9 】

なお、基板 1 0 0 は、実施の形態 1 の説明を参照する。

20

【 0 1 8 0 】

下地絶縁膜 4 0 2 は、基板 1 0 0 に起因する不純物が、酸化物半導体膜 4 0 6 に影響しないようにするために設ける。ただし、基板 1 0 0 が不純物を含まない場合は、下地絶縁膜 4 0 2 を設けなくても構わない。

【 0 1 8 1 】

下地絶縁膜 4 0 2 は、酸化アルミニウム、窒化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを含む絶縁膜から一種以上選択して、単層または積層で用いればよい。また、前述の単層または積層に加えて、窒化酸化シリコン、窒化シリコンを積層しても構わない。

30

【 0 1 8 2 】

ゲート電極 4 0 4 は、ゲート電極 1 0 4 と同様の導電膜から選択して用いればよい。

【 0 1 8 3 】

ゲート絶縁膜 4 1 2 は、ゲート絶縁膜 1 1 2 と同様の絶縁膜から選択して用いればよい。

【 0 1 8 4 】

酸化物半導体膜 4 0 6 は、酸化物半導体膜 1 0 6 と同様の酸化物膜から選択して用いればよい。

【 0 1 8 5 】

一対の電極 4 1 6 は、一対の電極 1 1 6 と同様の導電膜から選択して用いればよい。

40

【 0 1 8 6 】

保護絶縁膜 4 1 8 は、酸化アルミニウム、窒化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを含む絶縁膜から一種以上選択して、単層または積層で用いればよい。また、前述の単層または積層に加えて、窒化酸化シリコン、窒化シリコンを積層しても構わない。

【 0 1 8 7 】

なお、保護絶縁膜 4 1 8 は、比誘電率が低く、かつ十分な厚さを有すると好ましい。例えば、比誘電率が 3 . 8 程度である酸化シリコン膜を用い、200nm 以上 1000nm 以下の厚さで設ければよい。保護絶縁膜 4 1 8 の表面は、大気成分などの影響で僅かに固定

50

電荷を有し、その影響により、トランジスタのしきい値電圧が変動することがある。そのため、保護絶縁膜 418 は、表面に生じる電荷の影響が十分に小さくなるような範囲の比誘電率および厚さとするのが好ましい。同様の理由で、保護絶縁膜 418 上に樹脂膜を形成することで、表面に生じる電荷の影響を軽減しても構わない。

【0188】

以下に、図 13 および図 14 を用いて、図 12 (B) に示すトランジスタの作製方法を説明する。

【0189】

まず、基板 100 を準備し、基板 100 上に下地絶縁膜 402 を成膜する。下地絶縁膜 402 は、下地絶縁膜 402 として示した絶縁膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

10

【0190】

次に、ゲート電極 404 となる導電膜を成膜する。ゲート電極 404 となる導電膜は、ゲート電極 404 として示した導電膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【0191】

次に、ゲート電極 404 となる導電膜を加工し、ゲート電極 404 を形成する(図 13 (A) 参照。 )。

【0192】

次に、ゲート絶縁膜 412 a を成膜する。ゲート絶縁膜 412 a は、ゲート絶縁膜 412 として示した絶縁膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

20

【0193】

ここで、ゲート絶縁膜 412 a の脱水化、脱水素化処理を行うと好ましい。脱水化、脱水素化処理は、実施の形態 1 を参照する。

【0194】

次に、ゲート絶縁膜 412 a に対し、上面側から第 1 の条件で酸素 440 a を添加する(図 13 (B) 参照。 )。酸素 440 a の添加は、イオン注入法またはイオンドーピング法を用いて行えばよい。その場合、加速電圧を 10 kV 以上 100 kV 以下とする。また、酸素 440 a の添加量は  $1 \times 10^{14} \text{ ions/cm}^2$  以上  $1 \times 10^{16} \text{ ions/cm}^2$  以下とする。

30

【0195】

ゲート絶縁膜 412 a に、酸素 440 a が添加されることでゲート絶縁膜 412 b が形成される。

【0196】

次に、ゲート絶縁膜 412 b に対し、上面側から第 2 の条件で酸素 440 b を添加する(図 13 (C) 参照。 )。酸素 440 b の添加は、イオン注入法またはイオンドーピング法を用いて行えばよい。その場合、加速電圧を 1 kV 以上 10 kV 未満とする。また、酸素 440 b の添加量は  $1 \times 10^{14} \text{ ions/cm}^2$  以上  $1 \times 10^{16} \text{ ions/cm}^2$  以下とする。

40

【0197】

または、酸素 440 b の添加は、酸素を含むプラズマ中で基板側にバイアス電圧を印加することで行えばよい。その場合、バイアス電圧を 10 V 以上 1 kV 未満とする。また、バイアス電圧の印加時間は、10 s 以上 1000 s 以下、好ましくは 10 s 以上 200 s 以下、さらに好ましくは 10 s 以上 60 s 以下とすればよい。バイアス電圧が高いほど、バイアス電圧の印加時間が長いほど、同時に膜がエッチングされる。

【0198】

ゲート絶縁膜 412 b に、酸素 440 b が添加されることでゲート絶縁膜 412 が形成される(図 14 (A) 参照。 )。

【0199】

50

または、第 1 の条件、第 2 の条件に加えて、第 3 の条件乃至第 n の条件 ( n は 4 以上の自然数である。 ) で酸素添加を行ってもよい。

【 0 2 0 0 】

なお、第 1 の条件と第 2 の条件とを入れ替えても構わない。ただし、第 2 の条件より第 1 の条件の酸素の注入深さを深くする方が好ましい。これは、第 1 の条件で添加された酸素と第 2 の条件で添加される酸素が干渉しあうことを防止するためである。これは、 n 回の酸素添加を行う場合も同様であり、酸素添加を行う順番が後になるほど、酸素の注入深さが浅くなるように条件を選択すると好ましい。

【 0 2 0 1 】

以上のようにして余剰酸素を含ませたゲート絶縁膜 4 1 2 を形成すればよい。ただし、本実施の形態は、ゲート絶縁膜 4 1 2 に余剰酸素を含む場合に限定されない。後述する保護絶縁膜 4 1 8 に余剰酸素を含ませる場合には、ゲート絶縁膜 4 1 2 が余剰酸素を含ませなくてもよい場合がある。

10

【 0 2 0 2 】

次に、酸化物半導体膜 4 0 6 となる酸化物半導体膜を成膜する。酸化物半導体膜 4 0 6 となる酸化物半導体膜は酸化物半導体膜 4 0 6 として示した酸化物膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【 0 2 0 3 】

次に、第 1 の加熱処理を行う。第 1 の加熱処理は、実施の形態 1 で示した第 1 の加熱処理と同様の条件から選択して行えばよい。

20

【 0 2 0 4 】

次に、酸化物半導体膜 4 0 6 となる酸化物半導体膜を加工し島状にして、酸化物半導体膜 4 0 6 を形成する ( 図 1 4 ( B ) 参照。 ) 。

【 0 2 0 5 】

次に、一対の電極 4 1 6 となる導電膜を成膜する。一対の電極 4 1 6 となる導電膜は、一対の電極 4 1 6 として示した導電膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【 0 2 0 6 】

次に、一対の電極 4 1 6 となる導電膜を加工し、一対の電極 4 1 6 を形成する。

【 0 2 0 7 】

30

次に、保護絶縁膜 4 1 8 を成膜する ( 図 1 4 ( C ) 参照。 ) 。保護絶縁膜 4 1 8 は、保護絶縁膜 4 1 8 として示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【 0 2 0 8 】

なお、保護絶縁膜 4 1 8 として、深さ方向に少なくとも二カ所以上の余剰酸素濃度の極大値を有する絶縁膜を用いる場合、図 1 3 ( B ) 、図 1 3 ( C ) および図 1 4 ( A ) を参照して余剰酸素を含ませればよい。

【 0 2 0 9 】

なお、保護絶縁膜 4 1 8 の形成後、第 2 の加熱処理を行うと好ましい。第 2 の加熱処理によって、ゲート絶縁膜 4 1 2 または / および保護絶縁膜 4 1 8 から余剰酸素を放出させることができる。放出された余剰酸素は、酸化物半導体膜 4 0 6 中および酸化物半導体膜 4 0 6 近傍へ供給され、酸素欠損を低減することができる。第 2 の加熱処理は、第 1 の加熱処理と同様の条件で行えばよい。

40

【 0 2 1 0 】

以上のようにして、図 1 2 ( B ) に示すトランジスタを作製すればよい。

【 0 2 1 1 】

本実施の形態により、電気特性の優れたトランジスタを提供することができる。また、当該トランジスタを用いた信頼性の高い半導体装置を提供することができる。

【 0 2 1 2 】

なお、本実施の形態は適宜他の実施の形態と組み合わせて用いることができる。

50

## 【 0 2 1 3 】

(実施の形態 5)

本実施の形態では実施の形態 1 乃至実施の形態 4 のいずれかに示すトランジスタを用いて作製した液晶表示装置について説明する。なお、本実施の形態では液晶表示装置に本発明の一形態を適用した例について説明するが、これに限定されるものではない。例えば、発光装置の一つである EL (Electro Luminescence) 表示装置に本発明の一形態を適用することも、当業者であれば容易に想到し得るものである。

## 【 0 2 1 4 】

図 15 にアクティブマトリクス駆動方式の液晶表示装置の回路図を示す。液晶表示装置は、ソース配線 SL<sub>1</sub> 乃至ソース配線 SL<sub>a</sub>、ゲート配線 GL<sub>1</sub> 乃至ゲート配線 GL<sub>b</sub> および複数の画素 2200 を有する。画素 2200 は、トランジスタ 2230 と、キャパシタ 2220 と、液晶素子 2210 と、を含む。こうした画素 2200 が複数集まって液晶表示装置の画素部を構成する。なお、単にソース配線またはゲート配線を指す場合には、ソース配線 SL またはゲート配線 GL と記載することもある。

10

## 【 0 2 1 5 】

トランジスタ 2230 は、実施の形態 1 乃至実施の形態 4 のいずれかに示すトランジスタを用いる。

## 【 0 2 1 6 】

ゲート配線 GL はトランジスタ 2230 のゲートと接続し、ソース配線 SL はトランジスタ 2230 のソースと接続し、トランジスタ 2230 のドレインは、キャパシタ 2220 の一方の容量電極および液晶素子 2210 の一方の画素電極と接続する。キャパシタ 2220 の他方の容量電極および液晶素子 2210 の他方の画素電極は、共通電極と接続する。なお、共通電極はゲート線 GL と同一層で設けてもよい。

20

## 【 0 2 1 7 】

また、ゲート配線 GL は、ゲート駆動回路と接続される。ゲート駆動回路は、実施の形態 1 乃至実施の形態 4 のいずれかに示すトランジスタを含んでもよい。

## 【 0 2 1 8 】

また、ソース配線 SL は、ソース駆動回路と接続される。ソース駆動回路は、実施の形態 1 乃至実施の形態 4 のいずれかに示すトランジスタを含んでもよい。

## 【 0 2 1 9 】

なお、ゲート駆動回路およびソース駆動回路のいずれかまたは両方を、別途用意された基板上に形成し、COG (Chip On Glass)、ワイヤボンディング、または TAB (Tape Automated Bonding) などの方法を用いて各配線と接続してもよい。

30

## 【 0 2 2 0 】

また、トランジスタは静電気などにより破壊されやすいため、保護回路を設けることが好ましい。保護回路は、非線形素子を用いて構成することが好ましい。

## 【 0 2 2 1 】

ゲート配線 GL にトランジスタ 2230 のしきい値電圧以上になるように電圧を印加すると、ソース配線 SL から供給された電荷がトランジスタ 2230 のドレイン電流となってキャパシタ 2220 に蓄積される。1 行分の充電後、該行にあるトランジスタ 2230 はオフ状態となり、ソース配線 SL から電圧が掛からなくなるが、キャパシタ 2220 に蓄積された電荷によって必要な電圧を維持することができる。その後、次の行のキャパシタ 2220 の充電を行う。このようにして、1 行から b 行の充電を行う。なお、ドレイン電流は、トランジスタにおいてドレインからチャネルを介してソースに流れる電流のことである。ドレイン電流はゲート電圧がしきい値電圧よりも大きいときに流れる。

40

## 【 0 2 2 2 】

なお、トランジスタ 2230 はオフ電流が極めて小さい。そのため、動きの少ない画像 (静止画を含む。) では、表示の書き換え周波数を低減でき、さらなる消費電力の低減が可能となる。また、キャパシタ 2220 の容量をさらに小さくすることが可能となるため、

50

充電に必要な消費電力を低減することができる。

【0223】

また、トランジスタ2230はトランジスタの動作に起因する電気特性の変動が小さいため、信頼性の高い液晶表示装置を得ることができる。

【0224】

以上のように、本発明の一態様によって、消費電力が小さく、信頼性の高い液晶表示装置を提供することができる。

【0225】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【0226】

(実施の形態6)

本実施の形態では、実施の形態1乃至実施の形態4のいずれかに示すトランジスタを用いて、半導体記憶装置を作製する例について説明する。

【0227】

揮発性半導体記憶装置の代表的な例としては、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶するDRAM(Dynamic Random Access Memory)、フリップフロップなどの回路を用いて記憶内容を保持するSRAM(Static Random Access Memory)がある。

【0228】

不揮発性半導体記憶装置の代表例としては、トランジスタのゲートとチャネル領域との間にノードを有し、当該ノードに電荷を保持することで記憶を行うフラッシュメモリがある。

【0229】

上述した半導体記憶装置に含まれるトランジスタの一部に実施の形態1乃至実施の形態4のいずれかに示すトランジスタを適用することができる。

【0230】

まずは、実施の形態1乃至実施の形態4のいずれかに示すトランジスタを適用した半導体記憶装置のメモリセルについて図16を用いて説明する。

【0231】

メモリセルは、ビット線BLと、ワード線WLと、センスアンプSAmpと、トランジスタTrと、キャパシタCと、を有する(図16(A)参照。 )。

【0232】

キャパシタCに保持された電圧の時間変化は、トランジスタTrのオフ電流によって図16(B)に示すように徐々に低減していくことが知られている。当初V0からV1まで充電された電圧は、時間が経過するとdata1を読み出す限界点であるVAまで低減する。この期間を保持期間T<sub>1</sub>とする。即ち、2値メモリセルの場合、保持期間T<sub>1</sub>の間にリフレッシュをする必要がある。

【0233】

ここで、トランジスタTrに実施の形態1乃至実施の形態4のいずれかに示すトランジスタを適用すると、オフ電流が小さいため、保持期間T<sub>1</sub>を長くすることができる。即ち、リフレッシュの頻度を少なくすることが可能となるため、消費電力を低減することができる。例えば、オフ電流が $1 \times 10^{-21}$  Aから $1 \times 10^{-25}$  Aである酸化物半導体膜を用いたトランジスタでメモリセルを構成すると、電力を供給せずに数日間から数十年間に渡ってデータを保持することが可能となる。

【0234】

また、トランジスタTrに実施の形態1乃至実施の形態4のいずれかに示すトランジスタを適用すると、該トランジスタはトランジスタの動作に起因する電気特性の変動が小さいため、信頼性の高い半導体記憶装置を得ることができる。

【0235】

10

20

30

40

50

以上のように、本発明の一態様によって、信頼性が高く、消費電力の小さい半導体記憶装置を得ることができる。

【0236】

次に、実施の形態1乃至実施の形態4のいずれかに示すトランジスタを適用した半導体記憶装置であるメモリセルについて図16と異なる例を図17を用いて説明する。

【0237】

図17(A)は、メモリセルの回路図である。メモリセルは、トランジスタ $T_{r\_1}$ と、トランジスタ $T_{r\_1}$ のゲートと接続するワード線 $W_{L\_1}$ と、トランジスタ $T_{r\_1}$ のソースと接続するソース配線 $S_{L\_1}$ と、トランジスタ $T_{r\_2}$ と、トランジスタ $T_{r\_2}$ のソースと接続するソース配線 $S_{L\_2}$ と、トランジスタ $T_{r\_2}$ のドレインと接続するドレイン配線 $D_{L\_2}$ と、キャパシタ $C$ と、キャパシタ $C$ の一端と接続する容量配線 $C_{L}$ と、キャパシタ $C$ の他端、トランジスタ $T_{r\_1}$ のドレインおよびトランジスタ $T_{r\_2}$ のゲートと接続するノード $N$ と、を有する。

10

【0238】

なお、本実施の形態に示す半導体記憶装置は、ノード $N$ の電位に応じて、トランジスタ $T_{r\_2}$ のしきい値電圧が変動することを利用したものである。例えば、図17(B)は容量配線 $C_{L}$ の電圧 $V_{CL}$ と、トランジスタ $T_{r\_2}$ を流れるドレイン電流 $I_{d\_2}$ との関係を説明する図である。

【0239】

ここで、ノード $N$ は、トランジスタ $T_{r\_1}$ を介して電位を調整することができる。例えば、ソース配線 $S_{L\_1}$ の電位を $V_{DD}$ とする。このとき、ワード線 $W_{L\_1}$ の電位をトランジスタ $T_{r\_1}$ のしきい値電圧 $V_{th}$ に $V_{DD}$ を加えた電位以上とすることで、ノード $N$ の電位を $HIGH$ にすることができる。また、ワード線 $W_{L\_1}$ の電位をトランジスタ $T_{r\_1}$ のしきい値電圧 $V_{th}$ 以下とすることで、ノード $N$ の電位を $LOW$ にすることができる。

20

【0240】

そのため、 $N = LOW$ で示した $V_{CL} - I_{d\_2}$ カーブと、 $N = HIGH$ で示した $V_{CL} - I_{d\_2}$ カーブのいずれかをすることができる。即ち、 $N = LOW$ では、 $V_{CL} = 0V$ にて $I_{d\_2}$ が小さいため、データ0となる。また、 $N = HIGH$ では、 $V_{CL} = 0V$ にて $I_{d\_2}$ が大きいため、データ1となる。このようにして、データを記憶することができる。

30

【0241】

ここで、トランジスタ $T_{r\_1}$ に実施の形態1乃至実施の形態4のいずれかに示すトランジスタを適用すると、該トランジスタはオフ電流を極めて小さくすることができるため、ノード $N$ に蓄積された電荷がトランジスタ $T_{r\_1}$ のソースおよびドレイン間を意図せずにリークすることを抑制できる。そのため、長期間に渡ってデータを保持することができる。また、書き込み時に高い電圧が不要であるため、フラッシュメモリなどと比較して消費電力を低減することができる。

【0242】

また、トランジスタ $T_{r\_1}$ に実施の形態1乃至実施の形態4のいずれかに示すトランジスタを適用すると、該トランジスタはトランジスタの動作に起因する電気特性の変動が小さいため、信頼性の高い半導体記憶装置を得ることができる。

40

【0243】

なお、トランジスタ $T_{r\_2}$ に、実施の形態1乃至実施の形態4のいずれかに示すトランジスタを適用しても構わない。

【0244】

以上のように、本発明の一態様によって、消費電力が小さく、信頼性が高い半導体記憶装置を得ることができる。

【0245】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

50



## 【0246】

## (実施の形態7)

実施の形態1乃至実施の形態4のいずれかに示すトランジスタまたは実施の形態6に示した半導体記憶装置を少なくとも一部に用いてCPU(Central Processing Unit)を構成することができる。

## 【0247】

図18(A)は、CPUの具体的な構成を示すブロック図である。図18(A)に示すCPUは、基板1190上に、演算論理装置(ALU: Arithmetic logic unit)1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース(Bus I/F)1198、書き換え可能なROM1199、およびROMインターフェース(ROM I/F)1189を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図18(A)に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。

10

## 【0248】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

20

## 【0249】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行う。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行う。

30

## 【0250】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、クロック信号CLK2を上記各種回路に供給する。

## 【0251】

図18(A)に示すCPUでは、レジスタ1196に、記憶素子が設けられている。レジスタ1196の記憶素子には、実施の形態6に示す半導体記憶装置を用いることができる。

40

## 【0252】

図18(A)に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作を行う。即ち、レジスタ1196が有する記憶素子において、フリップフロップによるデータの保持を行うか、キャパシタによるデータの保持を行う。フリップフロップによってデータが保持されている場合、レジスタ1196内の記憶素子への、電源電圧の供給が行われる。キャパシタによってデータが保持されている場合、キャパシタへのデータの書き換えが行われ、レジスタ1196内の記憶素子への電源電圧の供給を停止することができる。

## 【0253】

電源停止に関しては、図18(B)または図18(C)に示すように、記憶素子群と、電

50

源電位  $V_{DD}$  または電源電位  $V_{SS}$  の与えられているノード間に、スイッチング素子を設けることにより行うことができる。以下に図 18 (B) および図 18 (C) の回路の説明を行う。

【0254】

図 18 (B) および図 18 (C) では、記憶素子への電源電位の供給を制御するスイッチング素子に実施の形態 1 乃至実施の形態 4 のいずれかに示すトランジスタを用いた構成の一例を示す。

【0255】

図 18 (B) に示す記憶装置は、スイッチング素子 1141 と、記憶素子 1142 を複数有する記憶素子群 1143 とを有している。具体的に、それぞれの記憶素子 1142 には、実施の形態 6 に示す半導体記憶装置を用いることができる。記憶素子群 1143 が有するそれぞれの記憶素子 1142 には、スイッチング素子 1141 を介して、ハイレベルの電源電位  $V_{DD}$  が供給されている。さらに、記憶素子群 1143 が有するそれぞれの記憶素子 1142 には、信号  $IN$  の電位と、ローレベルの電源電位  $V_{SS}$  の電位が与えられている。

10

【0256】

図 18 (B) では、スイッチング素子 1141 として、オフ電流の極めて小さいトランジスタを用いており、該トランジスタは、そのゲートに与えられる信号  $SigA$  によりスイッチングが制御される。

【0257】

20

なお、図 18 (B) では、スイッチング素子 1141 がトランジスタを一つだけ有する構成を示しているが、これに限定されず、トランジスタを複数有していてもよい。スイッチング素子 1141 が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていてもよいし、直列に接続されていてもよいし、直列と並列が組み合わされて接続されていてもよい。

【0258】

また、図 18 (C) には、記憶素子群 1143 が有するそれぞれの記憶素子 1142 に、スイッチング素子 1141 を介して、ローレベルの電源電位  $V_{SS}$  が供給されている、記憶装置の一例を示す。スイッチング素子 1141 により、記憶素子群 1143 が有するそれぞれの記憶素子 1142 への、ローレベルの電源電位  $V_{SS}$  の供給を制御することができる。

30

【0259】

記憶素子群と、電源電位  $V_{DD}$  または電源電位  $V_{SS}$  の与えられているノード間に、スイッチング素子を設け、一時的に CPU の動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、CPU の動作を停止することができ、それにより消費電力を低減することができる。

【0260】

ここでは、CPU を例に挙げて説明したが、DSP (Digital Signal Processor)、カスタム LSI、FPGA (Field Programmable Gate Array) などの LSI にも応用可能である。

40

【0261】

本実施の形態は、上記実施の形態と適宜組み合わせ実施することが可能である。

【0262】

(実施の形態 8)

本実施の形態では、実施の形態 1 乃至実施の形態 7 の少なくともいずれかを適用した電子機器の例について説明する。

【0263】

図 19 (A) は携帯型情報端末である。図 19 (A) に示す携帯型情報端末は、筐体 93

50

00と、ボタン9301と、マイクロフォン9302と、表示部9303と、スピーカ9304と、カメラ9305と、を具備し、携帯型電話機としての機能を有する。本発明の一形態は、表示部9303およびカメラ9305に適用することができる。また、図示しないが、本体内部にある演算装置、無線回路または記憶回路に本発明の一形態を適用することもできる。

【0264】

図19(B)は、ディスプレイである。図19(B)に示すディスプレイは、筐体9310と、表示部9311と、を具備する。本発明の一形態は、表示部9311に適用することができる。本発明の一形態を適用することで、消費電力が小さく、信頼性が高いディスプレイとすることができる。

10

【0265】

図19(C)は、デジタルスチルカメラである。図19(C)に示すデジタルスチルカメラは、筐体9320と、ボタン9321と、マイクロフォン9322と、表示部9323と、を具備する。本発明の一形態は、表示部9323に適用することができる。また、図示しないが、記憶回路またはイメージセンサに本発明の一形態を適用することもできる。

【0266】

図19(D)は2つ折り可能な携帯情報端末である。図19(D)に示す2つ折り可能な携帯情報端末は、筐体9630、表示部9631a、表示部9631b、留め具9633、操作スイッチ9638、を有する。本発明の一形態は、表示部9631aおよび表示部9631bに適用することができる。また、図示しないが、本体内部にある演算装置、無線回路または記憶回路に本発明の一形態を適用することもできる。

20

【0267】

なお、表示部9631aまたは/および表示部9631bは、一部または全部をタッチパネルとすることができ、表示された操作キーに触れることでデータ入力などを行うことができる。

【0268】

本発明の一形態に係る半導体装置を用いることで、電子機器の性能を高め、消費電力を小さくでき、かつ信頼性を高めることができる。

【0269】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

30

【実施例1】

【0270】

本実施例では、酸化シリコン膜中へ複数回の酸素イオン注入を行った場合の、深さ方向における注入した酸素濃度を計算し、その結果を示す。なお、酸素イオン注入により添加された酸素は、酸化シリコン膜中で余剰酸素となる。

【0271】

なお、計算には、TRIM(Transport of Ion in Matter)を用いた。

【0272】

計算に用いた酸化シリコン膜は、厚さを200nm、膜密度を $2.2\text{ g/cm}^3$ とした。

40

【0273】

図20(A)は、第1の条件として、加速電圧を20kV、ドーズ量を $1 \times 10^{15}\text{ ions/cm}^2$ にて酸素イオンを注入し、第2の条件として、加速電圧を2.5kV、ドーズ量を $1 \times 10^{15}\text{ ions/cm}^2$ にて酸素イオンを注入した酸化シリコン膜中の、注入した酸素濃度を示す。

【0274】

図20(A)より、第1の条件によって深さ50nm~60nmに注入した酸素濃度の極大値を有し、第2の条件によって深さ10nm程度に注入した酸素濃度の極大値を有する酸化シリコン膜が得られた。

【0275】

50

図20(B)は、第1の条件として、加速電圧を50kV、ドーズ量を $1 \times 10^{15}$  ions/cm<sup>2</sup>にて酸素イオンを注入し、第2の条件として、加速電圧を5kV、ドーズ量を $1 \times 10^{15}$  ions/cm<sup>2</sup>にて酸素イオンを注入した酸化シリコン膜中の、注入した酸素濃度を示す。

【0276】

図20(B)より、第1の条件によって深さ120nm～160nmに注入した酸素濃度の極大値を有し、第2の条件によって深さ10nm～20nmに注入した酸素濃度の極大値を有する酸化シリコン膜が得られた。

【0277】

図21(A)は、第1の条件として、加速電圧を50kV、ドーズ量を $1 \times 10^{15}$  ions/cm<sup>2</sup>にて酸素イオンを注入し、第2の条件として、加速電圧を20kV、ドーズ量を $1 \times 10^{15}$  ions/cm<sup>2</sup>にて酸素イオンを注入し、第3の条件として、加速電圧を1kV、ドーズ量を $1 \times 10^{15}$  ions/cm<sup>2</sup>にて酸素イオンを注入した酸化シリコン膜中の、注入した酸素濃度を示す。

10

【0278】

図21(A)より、第1の条件によって深さ120nm～160nmに注入した酸素濃度の極大値を有し、第2の条件によって深さ50nm～60nmに注入した酸素濃度の極大値を有し、第3の条件によって深さ4nm程度に注入した酸素濃度の極大値を有する酸化シリコン膜が得られた。

【0279】

20

図21(B)は、第1の条件として、加速電圧を50kV、ドーズ量を $1 \times 10^{15}$  ions/cm<sup>2</sup>にて酸素イオンを注入し、第2の条件として、加速電圧を20kV、ドーズ量を $1 \times 10^{15}$  ions/cm<sup>2</sup>にて酸素イオンを注入し、第3の条件として、加速電圧を5kV、ドーズ量を $1 \times 10^{15}$  ions/cm<sup>2</sup>にて酸素イオンを注入した酸化シリコン膜中の、注入した酸素濃度を示す。

【0280】

図21(B)より、第1の条件によって深さ120nm～160nmに注入した酸素濃度の極大値を有し、第2の条件によって深さ50nm～60nmに注入した酸素濃度の極大値を有し、第3の条件によって深さ10～20nmに注入した酸素濃度の極大値を有する酸化シリコン膜が得られた。

30

【0281】

本実施例より、複数回の酸素イオン注入により、注入した酸素濃度の極大値を複数有する酸化シリコン膜を得られることがわかる。

【符号の説明】

【0282】

- 100 基板
- 102 下地絶縁膜
- 102a 下地絶縁膜
- 102b 下地絶縁膜
- 104 ゲート電極
- 105 ゲート電極
- 106 酸化物半導体膜
- 112 ゲート絶縁膜
- 116 一対の電極
- 140a 酸素
- 140b 酸素
- 204 ゲート電極
- 206 酸化物半導体膜
- 206a 領域
- 206b 領域

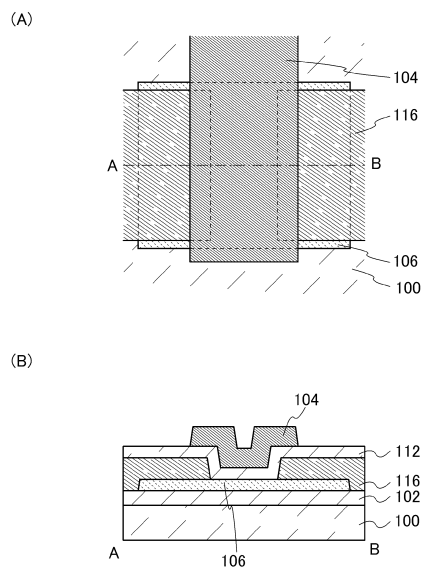
40

50

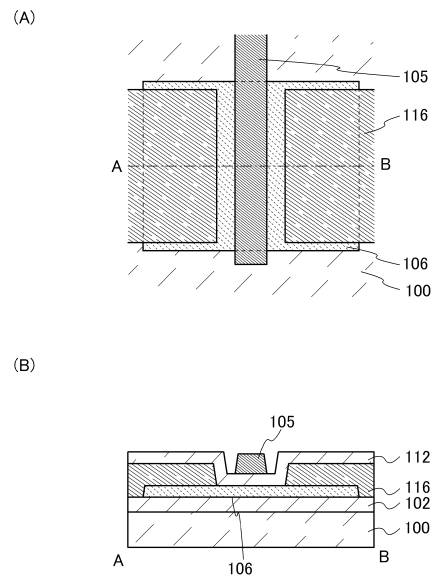
2 1 2	ゲート絶縁膜	
2 1 3	ゲート絶縁膜	
2 1 6	一对の電極	
2 1 8	保護絶縁膜	
2 3 4	導電膜	
3 0 4	ゲート電極	
3 0 6	酸化物半導体膜	
3 0 6 a	領域	
3 0 6 b	領域	
3 1 0	側壁絶縁膜	10
3 1 1	側壁絶縁膜	
3 1 2	ゲート絶縁膜	
3 1 6	一对の電極	
3 1 7	導電膜	
3 1 8	保護絶縁膜	
3 1 9	保護絶縁膜	
3 2 0	絶縁膜	
3 2 1	絶縁膜	
3 2 2	絶縁膜	
3 2 8	保護絶縁膜	20
3 3 4	導電膜	
3 6 6	配線	
4 0 2	下地絶縁膜	
4 0 4	ゲート電極	
4 0 6	酸化物半導体膜	
4 1 2	ゲート絶縁膜	
4 1 2 a	ゲート絶縁膜	
4 1 2 b	ゲート絶縁膜	
4 1 6	一对の電極	
4 1 8	保護絶縁膜	30
4 4 0 a	酸素	
4 4 0 b	酸素	
1 1 4 1	スイッチング素子	
1 1 4 2	記憶素子	
1 1 4 3	記憶素子群	
1 1 8 9	R O Mインターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L Uコントローラ	
1 1 9 3	インストラクションデコーダ	40
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	R O M	
2 2 0 0	画素	
2 2 1 0	液晶素子	
2 2 2 0	キャパシタ	
2 2 3 0	トランジスタ	50

9 3 0 0	筐体
9 3 0 1	ボタン
9 3 0 2	マイクロフォン
9 3 0 3	表示部
9 3 0 4	スピーカ
9 3 0 5	カメラ
9 3 1 0	筐体
9 3 1 1	表示部
9 3 2 0	筐体
9 3 2 1	ボタン
9 3 2 2	マイクロフォン
9 3 2 3	表示部
9 6 3 0	筐体
9 6 3 1 a	表示部
9 6 3 1 b	表示部
9 6 3 3	留め具
9 6 3 8	操作スイッチ

【図 1】

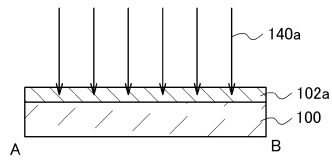


【図 2】

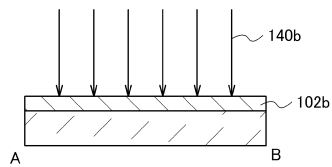


【図 3】

(A)



(B)

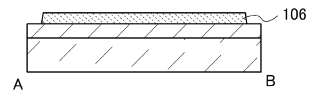


(C)

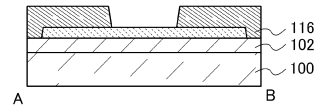


【図 4】

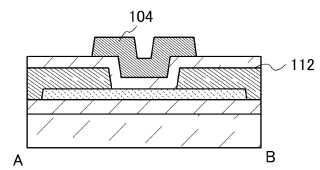
(A)



(B)

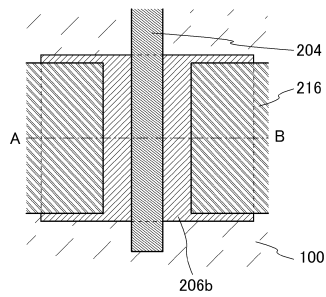


(C)

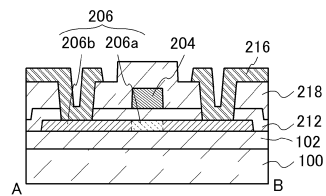


【図 5】

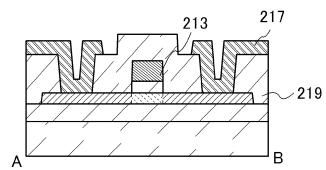
(A)



(B)

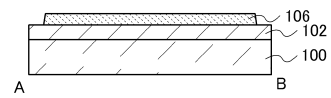


(C)

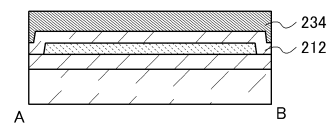


【図 6】

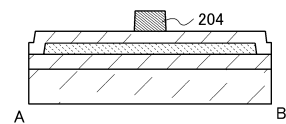
(A)



(B)

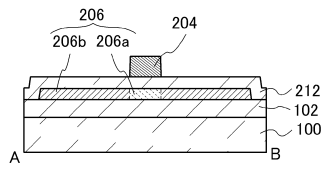


(C)

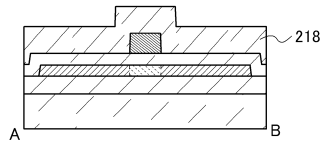


【図 7】

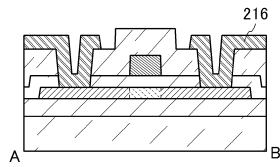
(A)



(B)

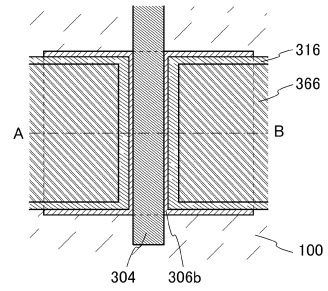


(C)

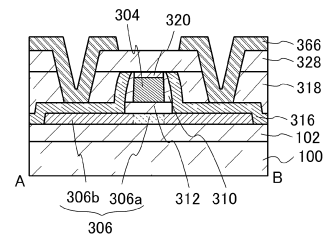


【図 8】

(A)

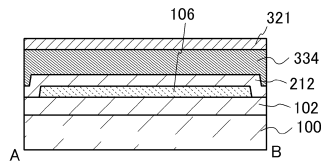


(B)

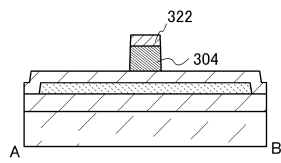


【図 9】

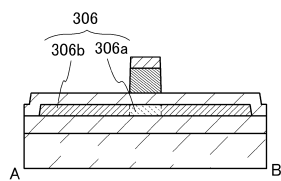
(A)



(B)

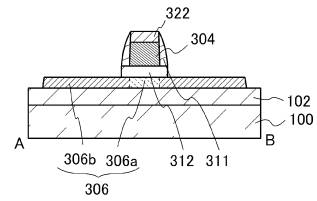


(C)

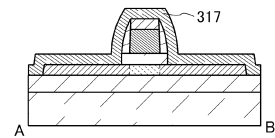


【図 10】

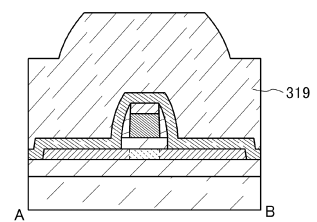
(A)



(B)



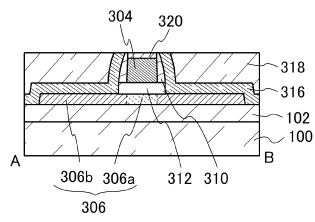
(C)



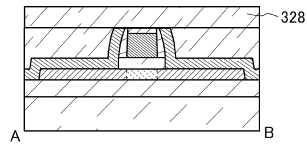


## 【図 1 1】

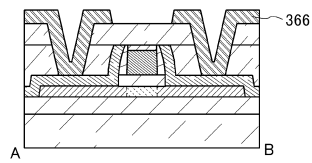
(A)



(B)

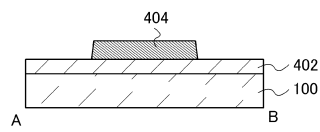


(C)

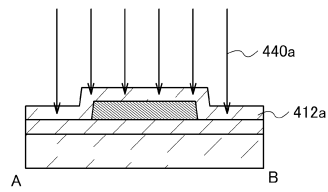


## 【図 1 3】

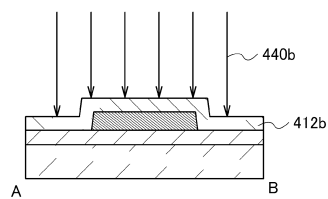
(A)



(B)

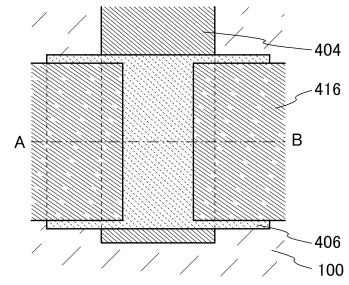


(C)

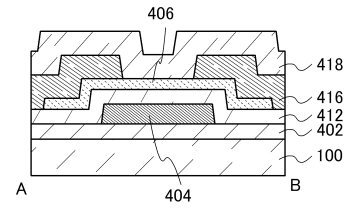


## 【図 1 2】

(A)

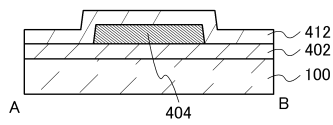


(B)

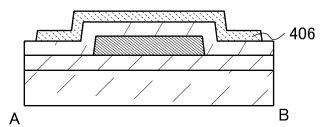


## 【図 1 4】

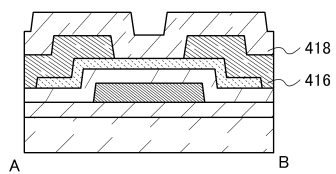
(A)



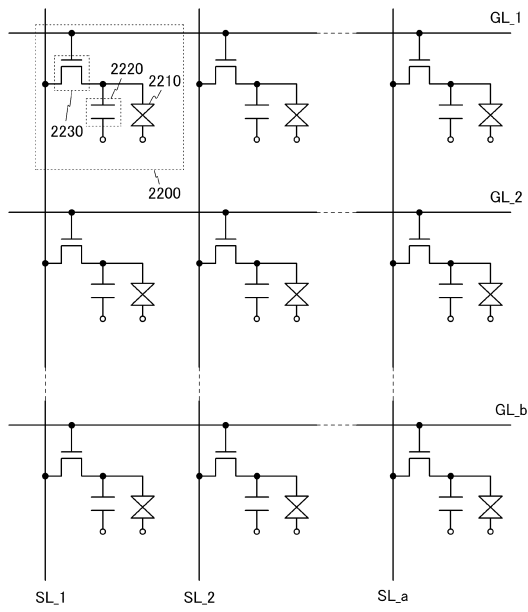
(B)



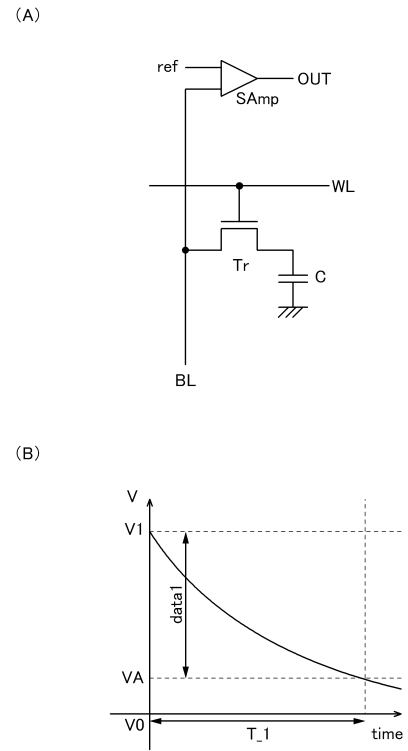
(C)



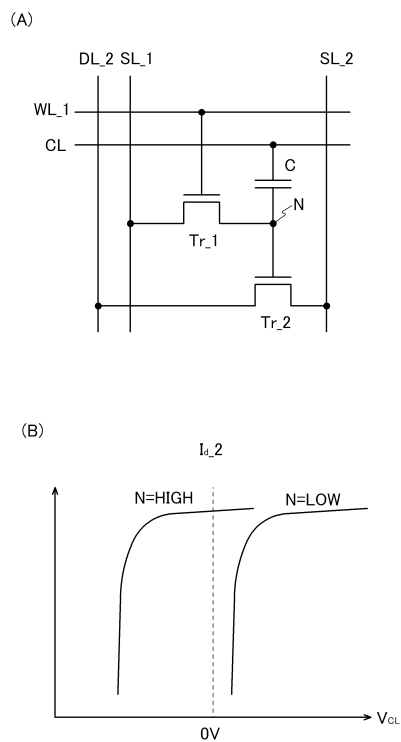
【図 15】



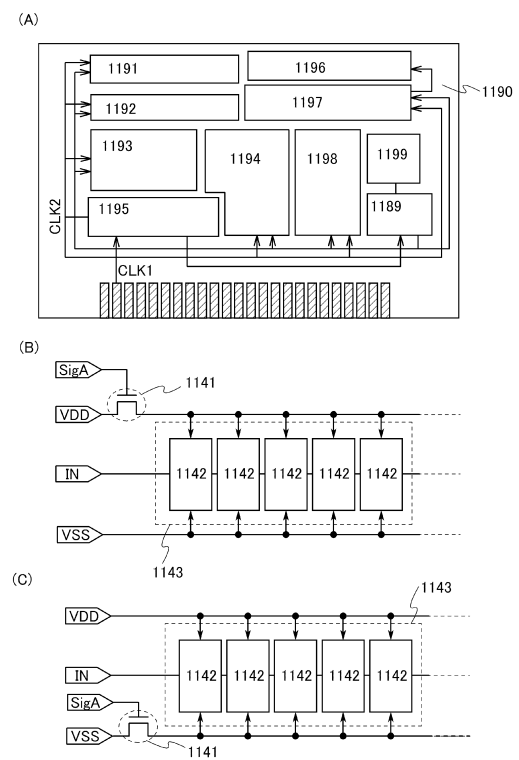
【図 16】



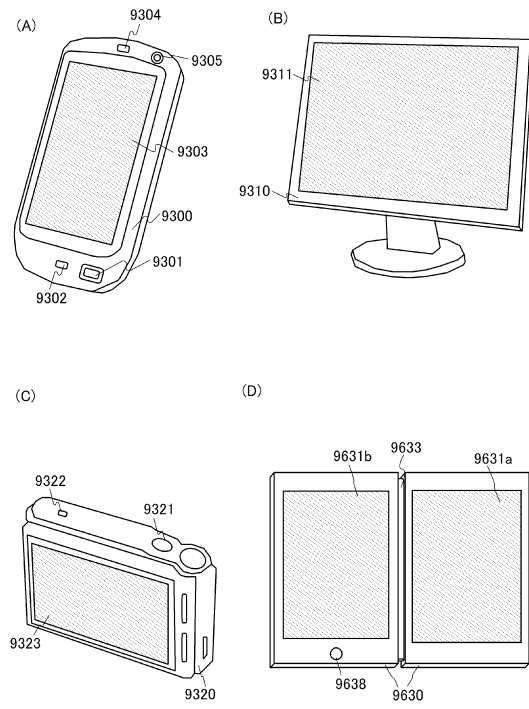
【図 17】



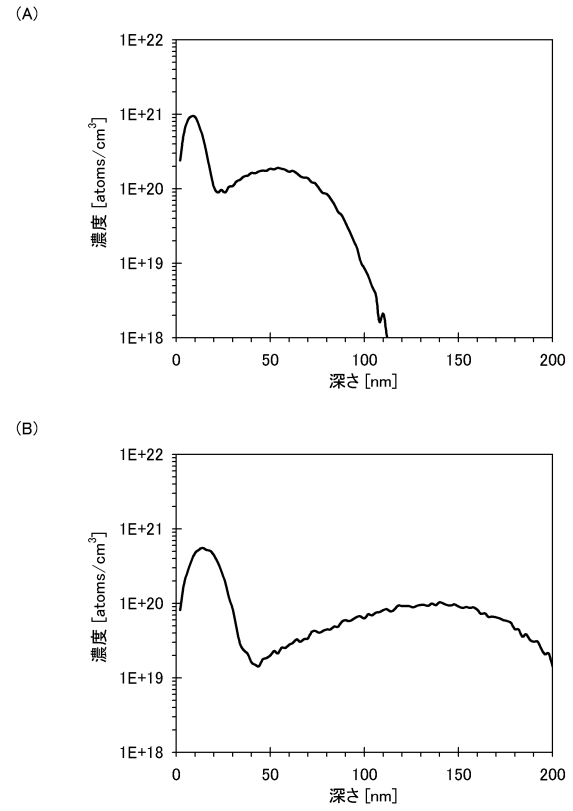
【図 18】



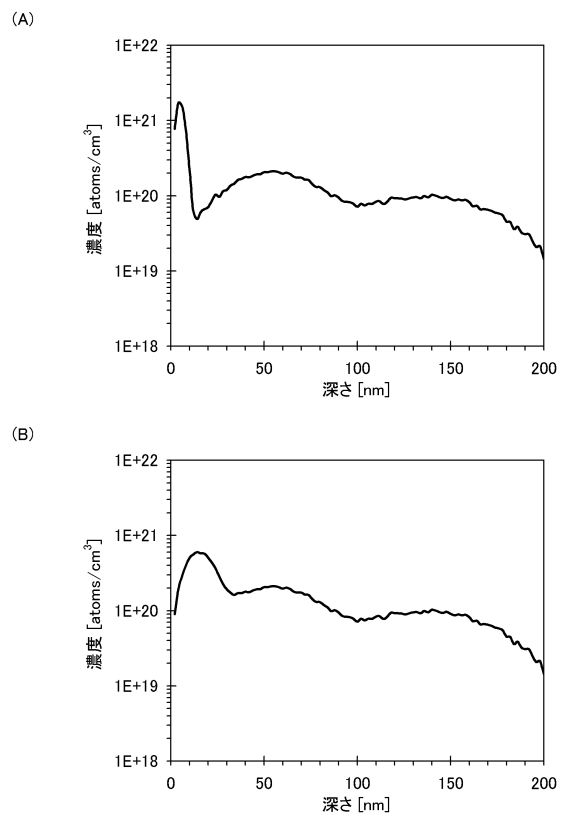
【図 19】



【図 20】



【図 21】



---

フロントページの続き

(51) Int. Cl.

**H 0 1 L 27/105 (2006.01)**  
**G 0 2 F 1/1368 (2006.01)**

F I

H 0 1 L 27/10 3 2 1  
H 0 1 L 27/10 4 6 1  
H 0 1 L 27/10 4 4 1  
G 0 2 F 1/1368