

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 12 月 27 日(27.12.2012)



(10) 国際公開番号

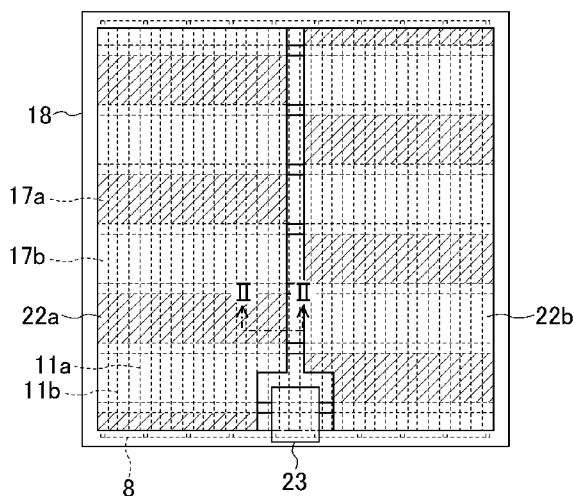
WO 2012/176399 A1

- (51) 国際特許分類:
H01L 21/338 (2006.01) H01L 29/41 (2006.01)
H01L 21/28 (2006.01) H01L 29/417 (2006.01)
H01L 21/3205 (2006.01) H01L 29/778 (2006.01)
H01L 21/768 (2006.01) H01L 29/812 (2006.01)
H01L 23/522 (2006.01)
- (21) 国際出願番号: PCT/JP2012/003825
- (22) 国際出願日: 2012 年 6 月 12 日(12.06.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-140129 2011 年 6 月 24 日(24.06.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION)
[JP/JP]; 〒5718501 大阪府門真市大字門真 1 〇 〇 6 番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 海原 一裕 (KAIBARA, Kazuhiro).
- (74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5410053 大阪府大阪市中央区本町 2 丁目 5 番 7 号 大阪丸紅ビル 5 階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: NITRIDE SEMICONDUCTOR DEVICE

(54) 発明の名称: 窒化物半導体装置

[図1]



(57) Abstract: This nitride semiconductor device is provided with: a first electrode wiring layer and a second electrode wiring layer, which are formed on a nitride semiconductor layer; a first insulating film, which is formed on the first electrode wiring layer and the second electrode wiring layer, and has first openings; a first wiring layer (17a) and a second wiring layer (17b), which are formed on the first insulating film, and are respectively connected to the first electrode wiring layer and the second electrode wiring layer via the first openings; a second insulating film (18), which is formed on the first wiring layer and the second wiring layer, and has second openings; and first pad layer (22a) and a second pad layer (22b), which are formed on the second insulating film, and are respectively connected to the first wiring layer and the second wiring layer via the second openings.

(57) 要約: 窒化物半導体装置は、窒化物半導体層の上に形成された第1の電極配線層及び第2の電極配線層と、第1の電極配線層及び第2の電極配線層の上に形成され、第1の開口部を有する第1の絶縁膜と、第1の絶縁膜の上に形成され、第1の開口部を介して第1の電極配線層及び第2の電極配線層と各々接続する第1の配線層(17a)及び第2の配線層(17b)と、第1の配線層及び第2の配線層の上に形成され、第2の開口部を有する第2の絶縁膜(18)と、第2の絶縁膜の上に形成され、第2の開口部を介して第1の配線層及び第2の配線層と各々接続する第1のパッド層(22a)及び第2のパッド層(22b)とを備えている。

明 細 書

発明の名称：窒化物半導体装置

技術分野

[0001] 本発明は、窒化物半導体装置に関し、特に、活性領域の上に形成された電極パッドを有する窒化物半導体装置に関する。

背景技術

[0002] 一般式が $\text{Al}_x\text{Ga}_{1-x-y}\text{In}_y\text{N}$ (但し、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 及び $0 \leq x + y \leq 1$) で表される III-V 族窒化物半導体は、その物理的特徴である広いバンドギャップと直接遷移型のバンド構造とを有するため、短波長光学素子に応用されている。さらに、III-V 族窒化物半導体は、高い破壊電界及び高い飽和電子速度という特徴を有するため、電子デバイス等への応用も検討されている。

[0003] 特に、半絶縁性基板の上に順次エピタキシャル成長された窒化アルミニウムガリウム ($\text{Al}_x\text{Ga}_{1-x}\text{N}$ 、但し、 $0 < x \leq 1$) 層と窒化ガリウム (GaN) 層との界面に生じる二次元電子ガス (2 Dimensional Electron Gas : 2DEG) を用いるヘテロ接合電界効果トランジスタ (Hetero-junction Field Effect Transistor : HFET) は、高出力デバイス及び高周波デバイスとして開発が進められている。HFET では、キャリア供給層 (N 型 AlGaIn ショットキ層) から電子が供給されるだけでなく、自発分極及びpiezo分極による分極効果によって電荷が供給される。このため、III-V 族窒化物半導体を用いた HFET の電子密度は、 10^{13} cm^{-2} を超える。これは、砒化アルミニウムガリウム (AlGaAs) 及び砒化ガリウム (GaAs) を用いた HFET と比べて 1 桁程度も大きい。このように、III-V 族窒化物半導体を用いた HFET においては、 GaAs を用いた HFET と比べて高いドレイン電流密度が期待でき、最大ドレイン電流が 1 A/mm を超える素子が、例えば非特許文献 1 等に提示されている。さらに、III-V 族窒化物半導体は広いバンドギャップ (例えば、 GaN では 3.4 eV) を有し、高い耐圧

特性をも示すため、III-V族窒化物半導体を用いたHFEETでは、ゲート電極とドレイン電極との間の耐圧を100V以上とすることが可能である。このため、III-V族窒化物半導体を用いたHFEET等の電子デバイスは、高周波素子、及び従来よりも小型で且つ大電力を扱える素子への応用が検討されている。

[0004] これらの特性により、III-V族窒化物半導体装置は、活性領域の大きさをシリコン(Si)半導体装置の3分の1～10分の1程度に縮小することが可能である。しかしながら、従来のIII-V族窒化物半導体装置は、配線を接続するための電極パッドが占める面積が大きく、十分に小型化することができないという問題がある。特に、大電流を流すパワーデバイスの用途では、電極パッドに接続するワイヤ径及びリボンサイズは大きい方が望ましいため、電極パッドを小さくすることには限界がある。

[0005] そこで、活性領域の上に電極パッドを形成する、いわゆるパッドオンエレメント構造が、例えば特許文献1等に提示されている。パワーデバイスは高電圧を扱うため、パッドオンエレメント構造を用いる場合、電極パッドと下層の電極との間にリーク電流が発生しないように、厚膜の層間膜を形成する必要がある。

[0006] また、高効率なデバイスを得るには、デバイスのオン抵抗の低減は必須である。さらに、パワーデバイスの用途では大電流化及び高耐圧化も必要となる。これらの特性を得るために、ゲート幅を大きくし、且つオン抵抗を低減することにより、より大きな最大電流を得ることができる。

先行技術文献

特許文献

[0007] 特許文献1：特開2008-177527号公報

非特許文献

[0008] 非特許文献1：安藤祐二、岡本康宏、宮本広信、中山達峰、井上隆、葛原正明 著「高耐圧AlGa_N/Ga_Nヘテロ接合FETの評価」信学技報、ED2002-214, CPM2002-105(2002-10), pp. 29-34

発明の概要

発明が解決しようとする課題

[0009] しかしながら、F E Tのゲート幅を直線的に延長すると、配線抵抗に起因するオン抵抗が増大し、十分にオン抵抗を低減できない。また、ソース電位の上昇及びゲート電位の低下により、ゲートとソースとの間の電圧差 (ΔV_{GS}) が減少するため、ゲート幅の増大によって期待されるだけの最大電流を得ることができない。

[0010] 本発明は前記の問題に鑑み、その目的は、オン抵抗を低減し、ゲート幅当たりの最大電流が高い窒化物半導体装置を得ることができるようになることにある。

課題を解決するための手段

[0011] 前記の目的を達成するために、本発明は窒化物半導体装置を、電極配線層とパッド層との間に配線層が形成された構成とする。

[0012] 具体的に、本発明に係る窒化物半導体装置は、基板と、基板の上に形成され、活性領域を有する窒化物半導体層と、窒化物半導体層における活性領域の上に交互に離間して形成された第1の電極配線層及び第2の電極配線層と、第1の電極配線層及び第2の電極配線層の上に形成され、第1の電極配線層及び第2の電極配線層を露出する複数の第1の開口部を有する第1の絶縁膜と、第1の絶縁膜の上に互いに離間して形成され、第1の開口部を介して第1の電極配線層と電氣的に接続し且つ第1の電極配線層と交差して延びる第1の配線層、及び第1の開口部を介して第2の電極配線層と電氣的に接続し且つ第2の電極配線層と交差して延びる第2の配線層と、第1の配線層及び第2の配線層の上に形成され、第1の配線層及び第2の配線層を露出する複数の第2の開口部を有する第2の絶縁膜と、第2の絶縁膜の上に互いに離間して形成され、第2の開口部を介して第1の配線層と電氣的に接続し且つ活性領域の上に位置する第1のパッド層、及び第2の開口部を介して第2の配線層と電氣的に接続し且つ活性領域の上に位置する第2のパッド層とを備えている。

- [0013] 本発明に係る窒化物半導体装置によると、第1の電極配線層及び第2の電極配線層の上にそれぞれと接続するように形成された第1の配線層及び第2の配線層と、第1の配線層及び第2の配線層の上にそれぞれと接続するように形成された第1のパッド層及び第2のパッド層とを備えている。このため、第1の電極配線層及び第2の電極配線層と電氣的に接続する各配線層の配線長を小さくし、見かけ上の配線数を増加でき、配線抵抗を小さくすることができる。これにより、オン抵抗が低く、ゲート幅当たりの最大電流が十分に高い窒化物半導体装置を得ることができる。
- [0014] 本発明に係る窒化物半導体装置において、第1の配線層及び第2の配線層は、それぞれが、複数の金属層であることが好ましい。
- [0015] この場合、第1の配線層及び第2の配線層のそれぞれの最上層である金属層は、該最上層である金属層と接する下層の金属層よりも、第2の絶縁膜に対する密着性が高く、また、その下層の金属層が第2の絶縁膜に拡散することを防止可能な材料であることが好ましい。
- [0016] さらに、これらの場合、第1の配線層及び第2の配線層は、それぞれが、第1の絶縁膜と接するように形成された第1の金属層と、該第1の金属層の上に形成された第2の金属層と、該第2の金属層の上に形成された最上層である第3の金属層とを含み、第1の金属層は、第2の金属層及び第3の金属層よりも第1の絶縁膜との密着性が高く、第2の金属層は、第1の金属層よりも導電率が高い金属からなり、第3の金属層は、第1の金属層及び第2の金属層よりも第2の絶縁膜との密着性が高いことが好ましい。
- [0017] このようにすると、第1の配線層及び第2の配線層に導電率の高い金属を用いると共に、それらの上層及び下層の絶縁膜と密着性の高い金属を用いることにより、配線の高い導電率を維持すると共に、配線層と絶縁膜との界面における剥がれを防ぐことができる。
- [0018] 本発明に係る窒化物半導体装置において、第1の配線層及び第2の配線層のそれぞれの最上層である金属層の光沢度は、1以上であることが好ましい。

- [0019] このようにすると、第１の配線層及び第２の配線層の上に形成される第２の絶縁膜が感光性材料の場合、第２の絶縁膜に第２の開口部を形成することが容易となる。
- [0020] 本発明に係る窒化物半導体装置において、第１のパッド層及び第２のパッド層は、それぞれが、複数の同電位のパッド層を含み、複数の同電位のパッド層は、それぞれ外部装置に接続されていることが好ましい。
- [0021] このようにすると、第１の配線層及び第２の配線層の抵抗をさらに低減することができるため、オン抵抗を低減することができる。
- [0022] 本発明に係る窒化物半導体装置において、第１のパッド層及び第２のパッド層は、それぞれが、複数の金属層であることが好ましい。
- [0023] このようにすると、第１のパッド層及び第２のパッド層の最下層を第２の絶縁膜との密着性が高く、必要であればバリアメタルの効果もある金属層とし、中間層を導電性の優れた金属層とし、最上層を外部装置との接続に適当な金属層とすることができる。これにより、各パッド層の導電率を維持すると共に、各パッド層と接続する配線及び絶縁膜の剥がれを防ぐことができる。
- [0024] 本発明に係る窒化物半導体装置において、第１の電極配線層及び第２の電極配線層は、それぞれが、窒化物半導体層の上に該窒化物半導体層と直接に接続するように形成された電極と、電極の上に形成された電極配線とを含み、窒化物半導体層の上には、電極を露出する開口部を有する電極上絶縁膜が形成され、電極配線は、電極上絶縁膜の開口部を介して電極と電氣的に接続していることが好ましい。
- [0025] このようにすると、第１の電極配線層及び第２の電極配線層を、窒化物半導体層と直接に接続する電極と、これと接続する電極配線とによって、導電性が高い配線金属層とすることができる。また、ＦＥＴの場合、そのユニットサイズは、ソース電極とドレイン電極との距離及びそれらの電極の幅により決定されるが、電極上絶縁膜の上の各電極配線の幅は、各電極の幅よりも大きくても問題はなく、このようにすると、各電極配線層の抵抗を低減する

ことができる。

発明の効果

[0026] 本発明に係る窒化物半導体装置によると、オン抵抗を低減し、ゲート幅当たりの最大電流が高い窒化物半導体装置を得ることができる。

図面の簡単な説明

[0027] [図1]図1は本発明の一実施形態に係る窒化物半導体装置を示す平面図である。

[図2]図2は本発明の一実施形態に係る窒化物半導体装置を示す、図1のII-II線における断面図である。

[図3]図3(a)及び図3(b)は本発明の一実施形態に係る窒化物半導体装置の各層を示し、図3(a)はソース電極配線及びドレイン電極配線並びにこれらよりも下層を示す平面図であり、図3(b)は第1の層間絶縁膜及びこれよりも下層を示す平面図である。

[図4]図4(a)及び図4(b)は本発明の一実施形態に係る窒化物半導体装置の各層を示し、図4(a)は第1の配線層及び第2の配線層並びにこれらよりも下層を示す平面図であり、図4(b)は第2の層間絶縁膜及びこれよりも下層を示す平面図である。

[図5]図5は本発明の一実施形態の第1変形例に係る窒化物半導体装置を示す平面図である。

[図6]図6は本発明の一実施形態の第2変形例に係る窒化物半導体装置を示す平面図である。

発明を実施するための形態

[0028] (一実施形態)

本発明の一実施形態に係る窒化物半導体装置について、図1～図4を参照しながら説明する。

[0029] 図1及び図2に示すように、本実施形態に係る窒化物半導体装置において、シリコン(Si)からなる基板1の上に、バッファ層2及び窒化物半導体層3が順次形成されている。窒化物半導体層3は、厚さが2.5 μ m程度の

アンドープ窒化ガリウム（GaN）層4と、その上に形成された厚さが50nm程度のアンドープ窒化アルミニウムガリウム（AlGa_N）層5とにより構成されている。アンドープGa_N層4とアンドープAlGa_N層5との界面領域には、2次元電子ガス（2DEG）が発生し、2DEGはチャネル領域として機能する。

[0030] 窒化物半導体層3の上には、該窒化物半導体層3と直接に接続するように、第1の電極であるソース電極7a及び第2の電極であるドレイン電極7bが、互いに離間し且つ交互に形成されている。本実施形態では、コンタクト抵抗を低減するために、アンドープAlGa_N層5及びアンドープGa_N層4の一部が除去され、ソース電極7a及びドレイン電極7bは、それらの下面がアンドープAlGa_N層5とアンドープGa_N層4との界面よりも下に位置するように形成されている。ソース電極7a及びドレイン電極7bは、チタン（Ti）及びアルミニウム（Al）等の金属からなる。また、ソース電極7aとドレイン電極7bとの間における幅が約1μmの領域は、アンドープAlGa_N層5の膜厚が薄くなっており、その上に厚さが200nm程度のマグネシウム（Mg）がドーピングされたp型Ga_N層9が形成されている。p型Ga_N層9の上には、パラジウム（Pd）、金（Au）及び白金（Pt）等からなるゲート電極8が形成されている。このため、p型Ga_N層9とアンドープAlGa_N層5とによってPN接合が形成される。その結果、ゲート電極8に印加する電圧が0Vの場合でも、p型Ga_N層9から基板1側とドレイン電極7b側とに向かって、アンドープAlGa_N層5及びアンドープGa_N層4に空乏層が広がる。これにより、チャネル領域を流れる電流が遮断されるため、ノーマリオフ動作を行わせることが可能となる。

[0031] 本実施形態の窒化物半導体装置は、窒化物半導体を用いたマルチフィンガ構造を有する電界効果トランジスタ（FET）であり、それぞれ1つのソース電極7a、ドレイン電極7b及びゲート電極8を1つのユニットとすると、複数のユニットがドレイン電極7bを中心に交互に反転して配置されるとみなすことができる。各ユニットのソース電極7a同士、ドレイン電極

7 b 同士及びゲート電極 8 同士は、後に説明するように互いに電氣的に接続されている。これにより、窒化物半導体装置のゲート幅を極めて大きくすることができ、大電流を流すことが可能なパワーデバイスを得ることができる。なお、本実施形態においては、窒化物半導体層 3 における一群のソース電極 7 a 及びドレイン電極 7 b が形成された領域及びチャネル領域であって、絶縁分離されていない領域を活性領域とする。

[0032] 窒化物半導体層 3、ソース電極 7 a、ドレイン電極 7 b、ゲート電極 8 及び p 型 GaN 層 9 の上には、膜厚が 300 nm 程度の窒化シリコン (SiN) からなる電極上絶縁膜 6 が形成されている。電極上絶縁膜 6 は、ソース電極 7 a 及びドレイン電極 7 b の表面 (上面) の一部を露出する開口部 6 a を有する。電極上絶縁膜 6 は、窒化物半導体層 3 の表面を安定化させ、後述する層間絶縁膜 12 から窒化物半導体層 3 に水分が浸入することを防ぐために設けられている。

[0033] ソース電極 7 a の上には、電極上絶縁膜 6 の開口部 6 a を介してソース電極 7 a と接続するように、Au からなるソース電極配線 11 a が形成されている。ソース電極配線 11 a は、電極上絶縁膜 6 との密着性を向上するために密着層である Ti 層を含む。ソース電極配線 11 a の膜厚は 5 μm 程度であり、その幅はソース電極 7 a 及びドレイン電極 7 b と同等又はそれ以上である。ここで、ソース電極 7 a の上のソース電極配線 11 a は、隣接する 2 つのユニットのゲート電極 8 を覆うように形成され、その幅はゲート電極 8 の端部よりもドレイン電極 7 b 側に広がるように形成されており、ソースフィールドプレートとしても機能する。同様に、ドレイン電極 7 b の上には、電極上絶縁膜 6 の開口部 6 a を介してドレイン電極 7 b と接続するように、ドレイン電極配線 11 b が形成されている。また、図 3 (a) に示すように、ソース電極 7 a とソース電極配線 11 a とからなる第 1 電極配線層、及びドレイン電極 7 b とドレイン電極配線 11 b とからなる第 2 電極配線層は、交互に配置され、互いに離間し且つ平行に延びている。また、ゲート電極 8 同士は、ソース電極配線 11 a に覆われていない領域において互いに接続し

ている。

[0034] 電極上絶縁膜 6、ソース電極配線 11a 及びド레인電極配線 11b の上には、膜厚が 400 nm 程度の SiN からなる保護膜 10 が形成されている。保護膜 10 は、電極上絶縁膜 6 と同様に、窒化物半導体層 3 を保護する耐湿膜であると共に、ソース電極配線 11a 及びド레인電極配線 11b と、これらの上に形成された後に説明する層間絶縁膜 12 との密着層として機能する。

[0035] 保護膜 10 の上には、膜厚が 10 μ m 程度のポリベンズオキサゾール (PBO) からなる層間絶縁膜 12 が形成されている。ここで、保護膜 10 及び層間絶縁膜 12 を合わせて第 1 の絶縁膜 13 と呼ぶ。第 1 の絶縁膜 13 は、ソース電極配線 11a 及びド레인電極配線 11b の上面の一部を露出する開口部 13a を有する。図 3 (b) に示すように、ソース電極配線 11a を露出する第 1 の絶縁膜 13 の開口部 13a は、それぞれ平行に配列されたソース電極配線 11a 同士の同等の位置に形成される。また、ド레인電極配線 11b を露出する第 1 の絶縁膜 13 の開口部 13a は、それぞれ平行に配列されたド레인電極配線 11b 同士の同等の位置に形成され、ソース電極配線 11a を露出する開口部 13a とは異なる位置に形成されている。本実施形態では、ソース電極配線 11a を露出する開口部 13a とド레인電極配線 11b を露出する開口部とは、それぞれの配線の長手方向に向かって交互に形成されている。

[0036] 第 1 の絶縁膜 13 の上には、その開口部 13a を介してソース電極配線 11a の少なくとも一部と接続された第 1 の配線層 17a が形成されている。具体的に、図 4 (a) に示すように、ソース電極 7a と電氣的に接続されたソース電極配線 11a の上に第 1 の絶縁膜 13 の開口部 13a が形成され、第 1 の配線層 17a は、その開口部 13a を介してソース電極 7a と電氣的に接続されたソース電極配線 11a と同電位の配線層となっている。また、第 1 の絶縁膜 13 の上には、その開口部 13a を介してド레인電極配線 11b と電氣的に接続された第 2 の配線層 17b が形成されている。第 2 の配

線層 17b は、ドレイン電極 7b と電氣的に接続されたドレイン電極配線 11b と同電位の配線層となっている。第 1 の配線層 17a 及び第 2 の配線層 17b は、ソース電極配線 11a 及びドレイン電極配線 11b と交差する方向に延びるように形成されている。第 1 の配線層 17a と第 2 の配線層 17b とは、互いに離間し、交互に配置されている。第 1 の配線層 17a 及び第 2 の配線層 17b は、チタン (Ti) からなる下層密着層 14 と、銅 (Cu) からなる導電層 15 と、ニッケル (Ni) からなる上層密着層 16 とが順次積層されて構成されている。Ti からなる下層密着層 14 の膜厚は 100 nm 程度であり、Cu からなる導電層 15 の膜厚は 5 μ m 程度であり、Ni からなる上層密着層 16 の膜厚は数十 nm ~ 1 μ m 程度である。

[0037] 第 1 の配線層 17a 及び第 2 の配線層 17b の上には、膜厚が 10 μ m 程度の PBO からなる第 2 の絶縁膜 18 が形成されている。第 2 の絶縁膜 18 は、第 1 の配線層 17a 及び第 2 の配線層 17b の上面の一部を露出する開口部 18a (図 1 の斜線部) を有する。具体的に、図 4 (b) に示すように、本実施形態では、第 1 の配線層 17a を露出する開口部 18a が図の左側の領域に形成され、第 2 の配線層 17b を露出する開口部 18a が図の右側の領域に形成されている。

[0038] 第 2 の絶縁膜 18 の上には、その開口部 18a を介して第 1 の配線層 17a の少なくとも一部と接続された第 1 のパッド層であるソース電極パッド層 22a が形成されている。すなわち、ソース電極配線 11a と第 1 の配線層 17a を介してソース電極 7a とソース電極パッド層 22a とが接続されている。これにより、ソース電極パッド層 22a はソース電極 7a と同電位のパッドとなっている。また、第 2 の絶縁膜 18 の上には、その開口部 18a を介して第 2 の配線層 17b の少なくとも一部と接続された第 2 のパッド層であるドレイン電極パッド層 22b が形成され、ドレイン電極 7b とドレイン電極パッド層 22b とが電氣的に接続され、ドレイン電極パッド層 22b はドレイン電極 7b と同電位のパッドとなっている。なお、ソース電極パッド層 22a 及びドレイン電極パッド層 22b は、活性領域の上に位置する。

また、ソース電極パッド層 2 2 a 及びドレイン電極パッド層 2 2 b は、T i からなる下層密着層 1 9 と、C u からなる導電層 2 0 と、N i からなる上層金属層 2 1 とが順次積層されて構成されている。T i からなる下層密着層 1 9 の膜厚は 1 0 0 n m 程度であり、C u からなる導電層 2 0 の膜厚は 5 μ m 程度であり、N i からなる上層金属層 2 1 の膜厚は 1 μ m 程度である。具体的に、図 1 に示すように、電極パッド層は、ソース電極パッド層 2 2 a 及びドレイン電極パッド層 2 2 b の他に、ゲート電極と電氣的に接続されたゲート電極パッド層 2 3 を含み、それらは互いに離間している。ここで、ゲート電極 8 は活性領域の外側で束ねられ、さらに活性領域の外周を迂回してゲート電極パッド層 2 3 と接続されている。これは、ゲート電極 8 はソース電極配線 1 1 a 及びドレイン電極配線 1 1 b を横切れないためである。ゲート電極 8 とゲート電極パッド層 2 3 とは、積層された絶縁膜を貫通するビア等により接続することができる。これらの電極パッド層は、外部装置との接続に必要な大きさ以上の大きさを有する。各電極パッド層の最上層は、N i 層であり、この上にワイヤボンディング、リボン及びクリップ等を介して外部装置と接続される。N i 層は、A l ワイヤ及び A l リボンとの密着性及び信頼性に優れる。

[0039] 基板 1 における窒化物半導体層 3 が形成された面と反対側の面（裏面）には、例えば A u 及びスズ（S n）等からなる裏面電極 2 4 が形成されており、外部から基板 1 に電位を与えることもできる。

[0040] 本実施形態に係る窒化物半導体装置において、ソース電極配線 1 1 a 及びドレイン電極配線 1 1 b の配線幅は、トランジスタの構造を形成する幅であるユニット幅に依存するため、それらの配線幅を大きくすると、ユニット幅が大きくなり、デバイスの単位面積当りのゲート幅が小さくなる。そこで、デバイスの電流を大きくするために、ソース電極配線 1 1 a 及びドレイン電極配線 1 1 b の配線幅を小さくする必要があるが、これにより、それらの配線抵抗が大きくなり、オン抵抗の増大及びゲート幅当たりの最大電流の減少に繋がる。ソース電極配線 1 1 a 及びドレイン電極配線 1 1 b の抵抗を低減

するには、それらの配線の上にそれらと交差する方向に延びる第1の配線層17a及び第2の配線層17bを交互に形成する。これにより、ソース電極配線11a及びドレイン電極配線11bを見かけ上分割することが可能であり、それらの配線の抵抗は分割された配線の集まりとみなすことができる。すなわち、ソース電極配線11a及びドレイン電極配線11bの配線長を小さくし、見かけ上の配線数を増加できるため、各々のソース電位の増大を抑制して、最大電流の低下を抑制すると共に、ソース電極配線11a及びドレイン電極配線11bの抵抗に起因するオン抵抗を低減できる。但し、第1の配線層17a及び第2の配線層17bの幅は見かけ上のフィンガ長を短くするため、配線幅を小さく抑える必要がある。これにより、第1の配線層17a及び第2の配線層17bにおいて生じる抵抗が大きくなり、デバイス全体のオン抵抗の上昇につながる。そこで、本実施形態のように第2の絶縁膜18を介して第1の配線層17a及び第2の配線層17bと接続するソース電極パッド層22a及びドレイン電極パッド層22bを形成する。ゲート電極パッド層23を除いて、ソース電極パッド層22a及びドレイン電極パッド層22bのそれぞれを活性領域の上のほぼ全てを覆うように形成すると、これらの電極パッド層を形成しない場合と比較して、第1の配線層17a及び第2の配線層17bにおいて生じる配線抵抗を約2分の1にすることができる。その結果、全体としてのオン抵抗を大幅に低減することができる。

[0041] 本発明の一実施形態に係る窒化物半導体装置によると、オン抵抗を低減し、ゲート幅当たりの最大電流が高い窒化物半導体装置を得ることができる。

[0042] 本実施形態では、層間絶縁膜12及び第2の絶縁膜18にPBOを用いた例を示したが、ポリイミド、ベンゾシクロブテン(BCB)、エポキシ系の感光性樹脂(例えば、化薬マイクロケム社製のSU-8等)及びフッ素系の感光性樹脂(例えば、旭硝子社製のAL-X2等)等の有機膜を用いてもよい。また、層間絶縁膜12及び第2の絶縁膜18は、同一の材料である必要はなく、それらの組み合わせであってもよい。このようにすると、それぞれの特性を活かした膜形成を行うことができる。また、それらの有機膜は、ス

ピン塗布により形成できるため、凹部の埋め込みが容易であり、それらの上面を容易に平坦化できる。また、それらの有機膜に開口部を形成するには、リソグラフィ工程によって行うことが好ましいが、酸化シリコン (SiO_2) 膜等をハードマスクとしてドライエッチングを行うことにより形成してもよい。有機材料は材料の種類によって、透水性及び耐湿性が大きく異なる。例えば、ポリイミド膜は吸湿性を有するため、絶縁膜が膨張し、亀裂の発生及び水分による窒化物半導体装置の信頼性の低下が懸念される。このような場合は、ポリイミド膜の上に SiN 膜等の耐水性を有する膜を形成することが好ましく、開口部をドライエッチング法によって形成することが好ましい。

[0043] ソース電極配線 11a 及びドレイン電極配線 11b は、下層との密着層である Ti 層と導電層である Au 層により構成されているが、層間絶縁膜 12 として用いる PBO は Au 層との密着性が低いため、 SiN からなる保護膜 10 を必要とする。しかしながら、 AL-X2 等の Au 層と比較的密着性が高い材料を層間絶縁膜 12 に用いる場合は、保護膜 10 を必要としない。この場合、電極上絶縁膜 6 は、デバイスの耐湿性の観点から、 SiN 膜とすることが好ましい。また、ソース電極配線 11a 及びドレイン電極配線 11b の最上層が Ti 及び Ni 等といった比較的有機膜との密着性が高い材料であれば、同様に保護膜 10 を必要としない。但し、水分による窒化物半導体装置の劣化を抑えるために、保護膜 10 を形成することが好ましい。

[0044] 本実施形態において、電極上絶縁膜 6 及び保護膜 10 は、 SiN 膜であるが、 SiO_2 膜等の絶縁膜又はそれらの複合膜であってもよい。但し、電極上絶縁膜 6 及び保護膜 10 のいずれかは、耐湿性に優れた SiN 膜であることが望ましい。 SiN 膜及び SiO_2 膜等はプラズマ化学気相成長法によって形成できる。

[0045] 層間絶縁膜 12 の開口部は、前述のようにリソグラフィ工程を用いて形成することが望ましいが、層間絶縁膜 12 に PBO 膜及び BCB 膜を用いると、これらはハードベークにより現像の直後よりも開口部の大きさが大きくなる傾向にある。この場合、特定のソース電極配線 11a 又はドレイン電極配

線 1 1 b からこれと隣接する他の電極配線までの距離よりも、前記の特定の電極配線を露出する開口部 1 3 a からその電極配線と隣接する他の電極配線までの距離のほうが短くなることがある。これらのいずれかの距離のうち最も短い距離を S (m) とし、層間絶縁膜 1 2 の絶縁破壊電圧を A (V/m) とすると、耐圧 V (V) 以上を満たすには、少なくとも $S \geq V/A$ を満たさなければならない。パワーデバイスの耐圧の 1 つの指標である 600 V を満たすには、 $S \geq 600/A$ となる必要がある。本実施形態では、1000 V の耐圧を目標とし、PBO 膜の絶縁破壊耐圧が $250 \text{ V}/\mu\text{m}$ であるため、 S を $4 \mu\text{m}$ 以上とする必要がある。また、ソース電極配線 1 1 a 又はドレイン電極配線 1 1 b から第 1 の配線層 1 7 a 及び第 2 の配線層 1 7 b までの距離も、前記の式を満たす必要があるため、層間絶縁膜 1 2 の膜厚は $10 \mu\text{m}$ 程度としている。但し、保護膜 1 0 の絶縁破壊耐圧も考慮に入れて、層間絶縁膜 1 2 の膜厚をさらに薄膜化してもよい。

[0046] これと同様に、第 2 の絶縁膜 1 8 の膜厚も規定することができる。本実施形態において、第 2 の絶縁膜 1 8 の膜厚は $10 \mu\text{m}$ 程度としているが、具体的に、第 1 の配線層 1 7 a とソース電極パッド層 2 2 a との間、及び第 2 の配線層 1 7 b とドレイン電極パッド層 2 2 b との間の距離が前記のように規定した絶縁破壊電圧を満たす膜厚となっていればよい。

[0047] 本実施形態の窒化物半導体装置では、ソース電極 7 a 及びドレイン電極 7 b に Ti と Al とを用いた例を示したが、代替材料又は追加材料として Ni、Au、バナジウム (V) 又はハフニウム (Hf) を用いてもよい。それらはリフトオフ法によって形成されることが好ましい。また、ゲート電極 8 は、Pd 又は Au により構成されているが、代替材料又は追加材料として Ni 又は Ti 等を用いてもよい。これらはリフトオフ法によって形成されることが好ましい。

[0048] ソース電極配線 1 1 a 及びドレイン電極配線 1 1 b は下層との密着層である Ti 層と導電性の高い Au 層とにより構成される例を示したが、Ti 層の代わりにタンタル (Ta) 層又は Ni 層を用いてもよく、Au 層の代わりに

Cu層又はAl層を用いてもよい。ソース電極配線11a、ドレイン電極配線11b、第1の配線層17a、第2の配線層17b、ソース電極パッド層22a及びドレイン電極パッド層22bは、厚膜の金属層であるため、めっき法によって形成されることが好ましい。

[0049] 第1の配線層17a、第2の配線層17b、ソース電極パッド層22a及びドレイン電極パッド層22bにおいて、下層密着層14、19にTiを用いた例を示したが、代替材料、追加材料又は組み合わせ材料としてTa、Ta₂N₃、TiN又はNiを用いてもよい。また、これらの他に、下層密着層14には、導電層15よりも層間絶縁膜12に対する密着性が高い材料が用いられてもよい。同様に、下層密着層19には、導電層20よりも第2の絶縁膜18に対する密着性が高い材料が用いられてもよい。下層密着層14は下層の層間絶縁膜12との密着性の向上を目的とするのみならず、導電層15の拡散防止膜とすることが望ましい。

[0050] また、第1の配線層17a、第2の配線層17b、ソース電極パッド層22a及びドレイン電極パッド層22bにおいて、導電層15、20にCuを用いた例を示したが、代替材料又は追加材料としてAu又はAl等を用いてもよい。これらの他に、導電層15、20には、それぞれ下層密着層14、19よりも導電率が高い材料が用いられてもよい。但し、ワイヤボンディングの際のワイヤの密着性を向上する観点から、第1の配線層17a、第2の配線層17b、ソース電極パッド層22a及びドレイン電極パッド層22bの上面は平坦であることが望ましい。このため、導電層15、20には、めっきの際に添加剤の追加によってビアを優先的に埋めることができるビアフィリングメッキが可能であるCuを用いることが望ましい。

[0051] 第1の配線層17a及び第2の配線層17bにおいて、第2の絶縁膜18との上層密着層16にNiを用いたが、このNi層は、下層の導電層15をめっき法により形成されるのと連続して、めっき法により形成されることが望ましい。また、Ni層は導電率が高くないため、Ni層の厚さが大きくなるとコンタクト抵抗が増大する要因となる。このため、Ni層の厚さは薄い

方が望ましく、フラッシュメッキと呼ばれる少なくとも $1\ \mu\text{m}$ 以下の膜厚、好ましくは数十 nm ～ $500\ \text{nm}$ の膜厚とする。また、この Ni 層の光沢度は 1 以上とすることが望ましい。具体的には、 Ni めっきの建浴液に光沢剤を追加することが望ましく、スルファミン酸浴よりもワット浴を用いることが望ましい。また、上層の第 2 の絶縁膜 18 が感光性材料からなる場合、厚膜材料の現像となり、下層の材料の光沢度が低いと、現像残り不良が多発するため、第 1 の配線層 17 a 及び第 2 の配線層 17 b の最上層にその光沢度を向上できる材料を用いることが望ましく、例えば Ni を用いる際は光沢度を向上できる添加剤を加えてめっきすることが望ましい。また、上層密着層 16 には、 Ni の他に、導電層 15 よりも第 2 の絶縁膜 18 に対する密着性が高い材料が用いられてもよい。また、導電層 15 が Cu である場合、 Cu が第 2 の絶縁膜 18 に拡散するおそれがあり、上層密着層 16 はその拡散を防ぐための拡散防止膜として機能することが望ましく、 Ni の他に Ti 、 Ta 、 TaN 又は TiN 等が用いられてもよい。

[0052] また、ソース電極パッド層 22 a 及びドレイン電極パッド層 22 b は、最上層に Ni からなる上層金属層 21 を有する構成である。この Ni 層の形成法は、下層の導電層 20 をめっき法により形成するのと連続してめっき法により形成することが望ましい。これは電極パッドの上にワイヤ等のボンディングを行うためであり、ワイヤ、リボン及びクリップの材料が Al であるならば、上層金属層 21 は Ni 及び Ag からなることが望ましい。ワイヤ、リボン及びクリップの材料が Au 及び Cu であれば、上層金属層 21 は Au からなることが望ましい。すなわち、上層金属層 21 は、ボンディングワイヤ等が接続されるのに適当な材料からなることが好ましい。

[0053] また、ソース電極パッド層 22 a 及びドレイン電極パッド層 22 b の上における実際にワイヤボンディングが行われない領域に保護絶縁膜を形成してもよい。保護絶縁膜は、層間絶縁膜 12 及び第 2 の絶縁膜 18 に用いられるような有機樹脂材料か、又はそれよりもキュア温度が低い材料であってもよい。また、保護絶縁膜は、パッケージの封止樹脂材料との密着性が良好であ

ることが好ましい。

[0054] 本実施形態では、ソース電極配線 1 1 a 及びド레인電極配線 1 1 b の膜厚は、5 μ m 程度と比較的大きい膜厚であるが、ソース電極配線 1 1 a 及びド레인電極配線 1 1 b において生じる抵抗成分の大きさが許容できる範囲内で薄膜とすることが可能である。ソース電極配線 1 1 a 及びド레인電極配線 1 1 b を薄膜化すると、デバイス全体として生じる段差を低減することができるため、ワイヤボンディングの密着性を向上できる。ソース電極配線 1 1 a 及びド레인電極配線 1 1 b の抵抗成分は、第 1 の配線層 1 7 a 及び第 2 の配線層 1 7 b の線幅、すなわちソース電極配線 1 1 a 及びド레인電極配線 1 1 b の抵抗成分長により決定される。第 1 の配線層 1 7 a 及び第 2 の配線層 1 7 b の線幅が小さく、ソース電極配線 1 1 a 及びド레인電極配線 1 1 b の抵抗成分長が短く、また、見かけ上のソース電極配線 1 1 a 及びド레인電極配線 1 1 b の本数を増加するほど、電極配線の抵抗は小さくなる。このため、ソース電極配線 1 1 a 及びド레인電極配線 1 1 b の膜厚を比較的薄くすることが可能となる。同様に、第 1 の配線層 1 7 a 及び第 2 の配線層 1 7 b の抵抗は、それらの配線幅及び膜厚の他にソース電極パッド層 2 2 a 及びド레인電極パッド層 2 2 b の形状に依存するため、デバイス全体のオン抵抗の大きさが許容できる範囲内となるように設計される必要がある。フリップチップのように外部基板への接合面積が大きい場合、ソース電極パッド層 2 2 a 及びド레인電極パッド層 2 2 b の膜厚を大きくする必要性は少ない。しかしながら、電極パッド層の一部にワイヤボンディングする場合、接合部からのシート抵抗がオン抵抗に直接に影響するため、それらの膜厚を大きくする必要がある。

[0055] 本実施形態の窒化物半導体装置では、裏面電極 2 4 は、Au 又は Sn になるが、代替材料又は追加材料にクロム (Cr) 又は Ni 等を用いてもよい。それらは、スパッタ法又は蒸着法等によって形成されてもよい。また、裏面電極 2 4 は、基板 1 を貫通して、ソース電極 7 a 又はド레인電極 7 b と電氣的に接続し、ソース電極パッド層又はド레인電極パッド層として機能

しても構わない。また、ソース電極 7 a 又はドレイン電極 7 b をバッファ層 2 まで貫通させ、基板 1 を導電性とし、裏面電極 2 4 と接続する構成としてもよい。

[0056] 本実施形態の窒化物半導体装置において、FET を例として説明したが、ダイオード構造が用いられてもよく、この場合、第 1 の電極及び第 2 の電極をアノード電極及びカソード電極とすることができる。

[0057] (一実施形態の第 1 変形例)

以下、本発明の一実施形態の第 1 変形例に係る窒化物半導体装置について図 5 を参照しながら説明する。本変形例において、本発明の一実施形態と同一の構成については説明を省略し、異なる構成についてのみ説明する。

[0058] 本変形例に係る窒化物半導体装置では、ソース電極パッド層及びドレイン電極パッド層がそれぞれ同電位である複数のパッド層を有する。

[0059] 具体的に、図 5 に示すように、第 2 の絶縁膜の上に、該第 2 の絶縁膜の開口部（図 5 の斜線部）を介して第 1 の配線層と接続する、それぞれ第 1 のパッド層である第 1 のソース電極パッド層 3 1 a 及び第 2 のソース電極パッド層 3 2 a が形成されている。また、第 2 の絶縁膜の上に、該第 2 の絶縁膜の開口部を介して第 2 の配線層と接続する、それぞれ第 2 のパッド層である第 1 のドレイン電極パッド層 3 1 b 及び第 2 のドレイン電極パッド層 3 2 b が形成されている。なお、ゲート電極パッド層 3 3 は、前記の一実施形態と同様に形成されている。

[0060] このようにすると、下層の第 1 の配線層の配線抵抗の成分長を短くすることができるため、第 1 の配線層で生じる抵抗を低減することができる。具体的に、2 つのソース電極パッド層と 2 つのドレイン電極パッド層とを有する構成とすると、これらの電極パッド層が形成されていない場合と比較して、第 1 の配線層及び第 2 の配線層の抵抗に寄与する配線長を約 4 分の 1 とすることができる。その結果、デバイス全体のオン抵抗を低減することができる。

[0061] 本発明の一実施形態の第 1 変形例に係る窒化物半導体装置によると、オン

抵抗を低減し、ゲート幅当たりの最大電流が高い窒化物半導体装置を得ることができる。

[0062] (一実施形態の第2変形例)

以下、本発明の一実施形態の第2変形例に係る窒化物半導体装置について図6を参照しながら説明する。本変形例において、本発明の一実施形態と同一の構成については説明を省略し、異なる構成についてのみ説明する。

[0063] 本変形例に係る窒化物半導体装置は、ゲート電極を2つ有するダブルゲート構造であり、前記の一実施形態のソース電極がS1電極となり、ドレイン電極がS2電極となる。一実施形態では、ソース電極配線の下に位置するようにゲート電極（第1のゲート電極：G1電極）が形成されていたが、本変形例ではS2電極と直接に接続される電極配線（ドレイン電極配線）の下に位置するように形成された第2のゲート電極（G2電極）をさらに有する構造となる。また、本変形例に係る窒化物半導体装置では、S1電極と電氣的に接続するS1電極パッド層、及びS2電極と電氣的に接続するS2電極パッド層がそれぞれ同電位である複数のパッド層を有する。

[0064] 具体的に、図6に示すように、第2の絶縁膜の上に、該第2の絶縁膜の開口部（図6の斜線部）を介して第1の配線層と接続する、それぞれ第1のパッド層である第1のS1電極パッド層41a及び第2のS1電極パッド層42aが形成されている。また、第2の絶縁膜の上に、該第2の絶縁膜の開口部を介して第2の配線層と接続する、それぞれ第2のパッド層である第1のS2電極パッド層41b及び第2のS2電極パッド層42bが形成されている。また、活性領域の外側において、第2の絶縁膜の上に、該第2の絶縁膜の開口部を介してG1電極と電氣的に接続するようにG1電極パッド層43aが形成され、同様に、G2電極と電氣的に接続するようにG2電極パッド層43bが形成されている。

[0065] 本発明の一実施形態の第2変形例に係る窒化物半導体装置によると、ダブルゲート構造においても、シングルゲート構造と同様に、オン抵抗を低減し、ゲート幅当たりの最大電流が高い窒化物半導体装置を得ることができる。

産業上の利用可能性

[0066] 本発明に係る窒化物半導体装置は、オン抵抗を低減し、ゲート幅当たりの最大電流を高くでき、特に、活性領域の上に形成された電極パッドを有する窒化物半導体装置等に有用である。

符号の説明

- [0067] 1 基板
2 バッファ層
3 窒化物半導体層
4 アンダープロGaN層
5 アンダープロAlGaN層
6 電極上絶縁膜
6a (電極上絶縁膜の) 開口部
7a ソース電極
7b ドレイン電極
8 ゲート電極
9 p-GaN層
10 保護膜
11a ソース電極配線
11b ドレイン電極配線
12 層間絶縁膜
13 第1の絶縁膜
13a (第1の絶縁膜の) 開口部
14 下層密着層
15 導電層
16 上層密着層
17a 第1の配線層
17b 第2の配線層
18 第2の絶縁膜

- 1 8 a (第2の絶縁膜の) 開口部
- 1 9 下層密着層
- 2 0 導電層
- 2 1 上層金属層
- 2 2 a ソース電極パッド層 (第1のパッド層)
- 2 2 b ドレイン電極パッド層 (第2のパッド層)
- 2 3 ゲート電極パッド層
- 2 4 裏面電極
- 3 1 a 第1のソース電極パッド層 (第1のパッド層)
- 3 1 b 第1のドレイン電極パッド層 (第2のパッド層)
- 3 2 a 第2のソース電極パッド層 (第1のパッド層)
- 3 2 b 第2のドレイン電極パッド層 (第2のパッド層)
- 3 3 ゲート電極パッド
- 4 1 a 第1のS 1 電極パッド層 (第1のパッド層)
- 4 1 b 第1のS 2 電極パッド層 (第2のパッド層)
- 4 2 a 第2のS 1 電極パッド層 (第1のパッド層)
- 4 2 b 第2のS 2 電極パッド層 (第2のパッド層)
- 4 3 a G 1 電極パッド層
- 4 3 b G 2 電極パッド層

請求の範囲

[請求項1]

基板と、

前記基板の上に形成され、活性領域を有する窒化物半導体層と、

前記窒化物半導体層における前記活性領域の上に交互に離間して形成された第1の電極配線層及び第2の電極配線層と、

前記第1の電極配線層及び第2の電極配線層の上に形成され、前記第1の電極配線層及び第2の電極配線層を露出する複数の第1の開口部を有する第1の絶縁膜と、

前記第1の絶縁膜の上に互いに離間して形成され、前記第1の開口部を介して前記第1の電極配線層と電氣的に接続し且つ前記第1の電極配線層と交差して延びる第1の配線層、及び前記第1の開口部を介して前記第2の電極配線層と電氣的に接続し且つ前記第2の電極配線層と交差して延びる第2の配線層と、

前記第1の配線層及び第2の配線層の上に形成され、前記第1の配線層及び第2の配線層を露出する複数の第2の開口部を有する第2の絶縁膜と、

前記第2の絶縁膜の上に互いに離間して形成され、前記第2の開口部を介して前記第1の配線層と電氣的に接続し且つ前記活性領域の上に位置する第1のパッド層、及び前記第2の開口部を介して前記第2の配線層と電氣的に接続し且つ前記活性領域の上に位置する第2のパッド層とを備えている窒化物半導体装置。

[請求項2]

請求項1において、

前記第1の配線層及び第2の配線層は、それぞれが、複数の金属層である窒化物半導体装置。

[請求項3]

請求項2において、

前記第1の配線層及び第2の配線層のそれぞれの最上層である金属層は、該最上層である金属層と接する下層の金属層よりも、前記第2の絶縁膜に対する密着性が高い窒化物半導体装置。

[請求項4] 請求項2又は3において、

前記第1の配線層及び第2の配線層は、それぞれが、第1の絶縁膜と接するように形成された第1の金属層と、該第1の金属層の上に形成された第2の金属層と、該第2の金属層の上に形成された最上層である第3の金属層とを含み、

前記第1の金属層は、前記第2の金属層及び第3の金属層よりも第1の絶縁膜との密着性が高く、

前記第2の金属層は、前記第1の金属層よりも導電率が高い金属からなり、

前記第3の金属層は、前記第1の金属層及び第2の金属層よりも前記第2の絶縁膜との密着性が高い窒化物半導体装置。

[請求項5] 請求項2～4のいずれか1項において、

前記第1の配線層及び第2の配線層のそれぞれの最上層である金属層の光沢度は、1以上である窒化物半導体装置。

[請求項6] 請求項1～5のいずれか1項において、

前記第1のパッド層及び第2のパッド層は、それぞれが、複数の同電位のパッド層を含み、

前記複数の同電位のパッド層は、それぞれ外部装置に接続されている窒化物半導体装置。

[請求項7] 請求項1～6のいずれか1項において、

前記第1のパッド層及び第2のパッド層は、それぞれが、複数の金属層である窒化物半導体装置。

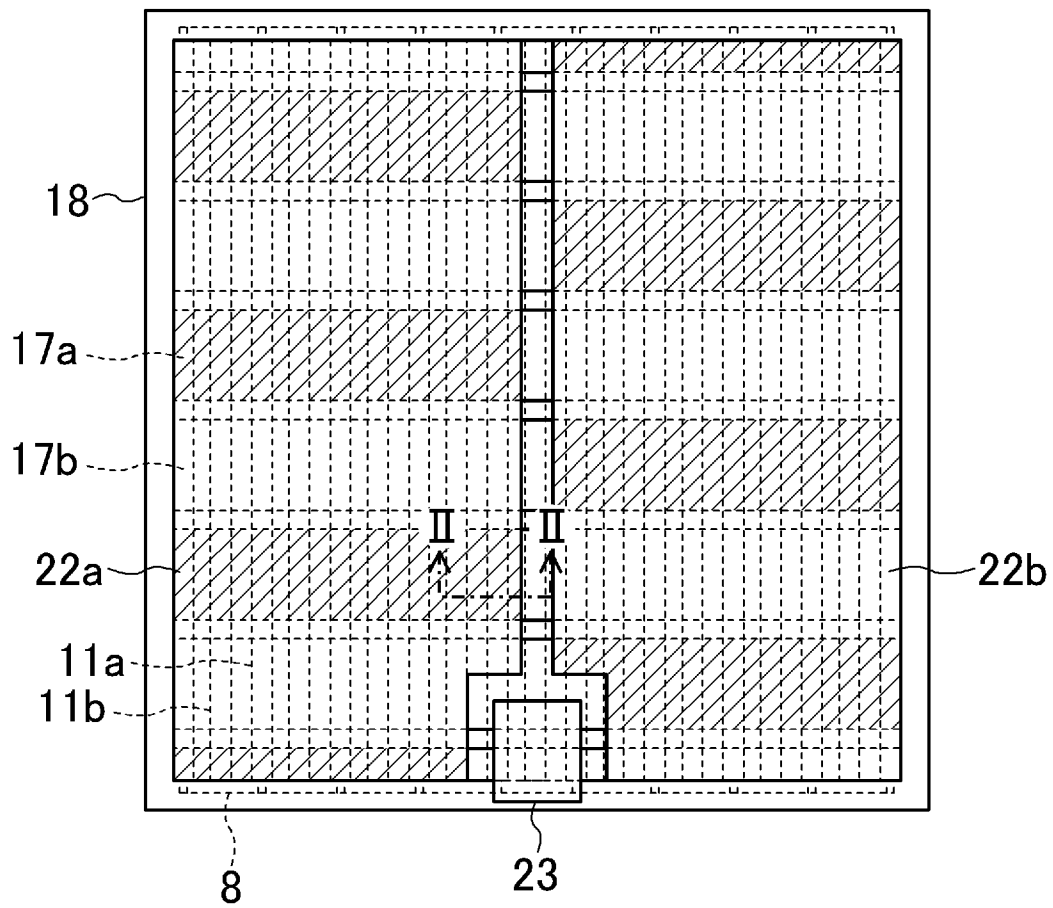
[請求項8] 請求項1～7のいずれか1項において、

前記第1の電極配線層及び第2の電極配線層は、それぞれが、前記窒化物半導体層の上に該窒化物半導体層と直接に接続するように形成された電極と、前記電極の上に形成された電極配線とを含み、

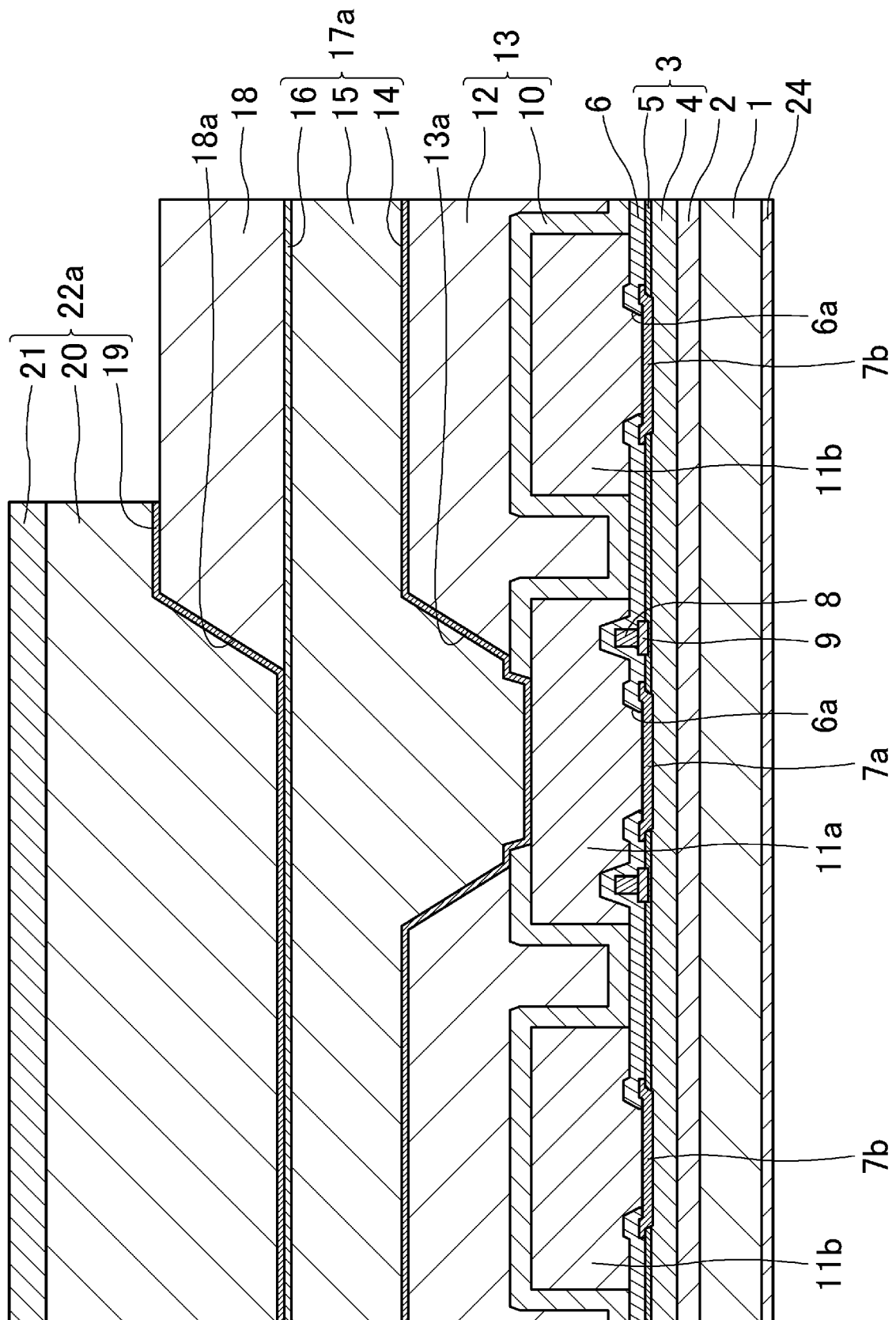
前記窒化物半導体層の上には、前記電極を露出する開口部を有する電極上絶縁膜が形成され、

前記電極配線は、前記電極上絶縁膜の開口部を介して前記電極と電氣的に接続している窒化物半導体装置。

[図1]

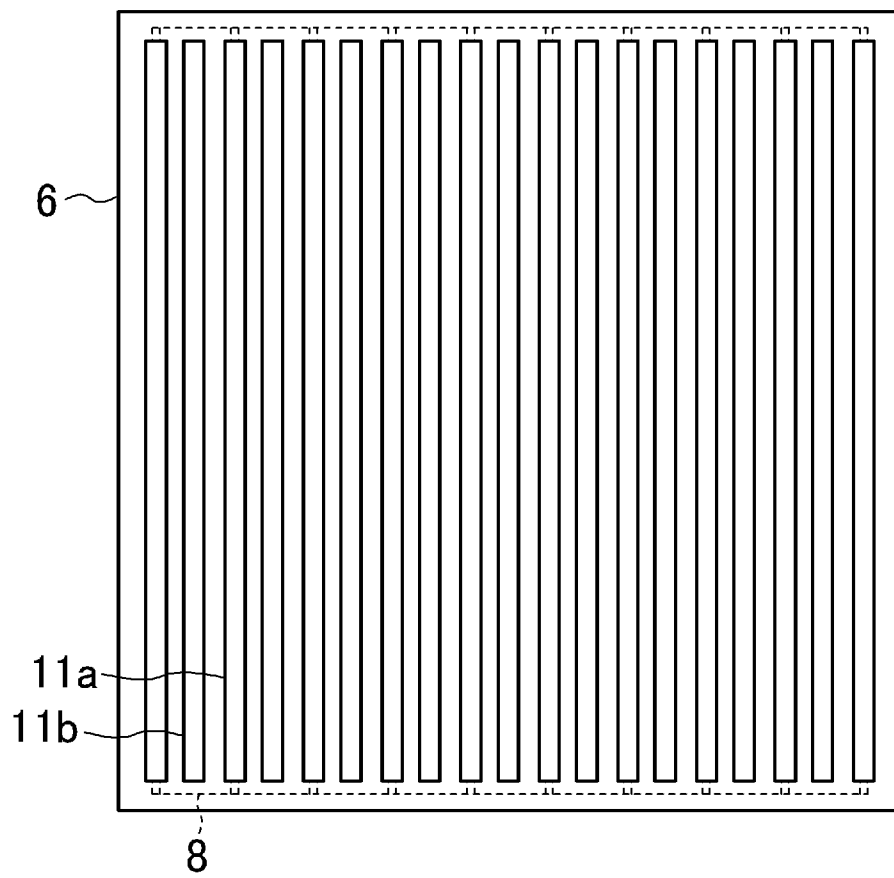


[図2]

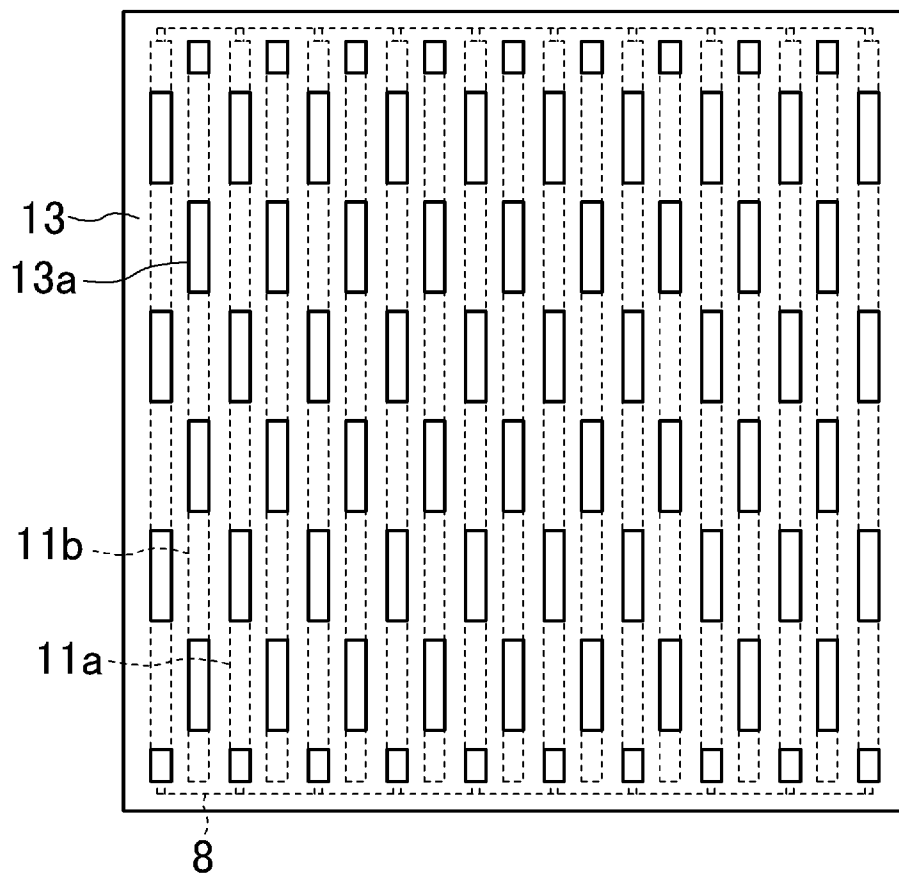


[図3]

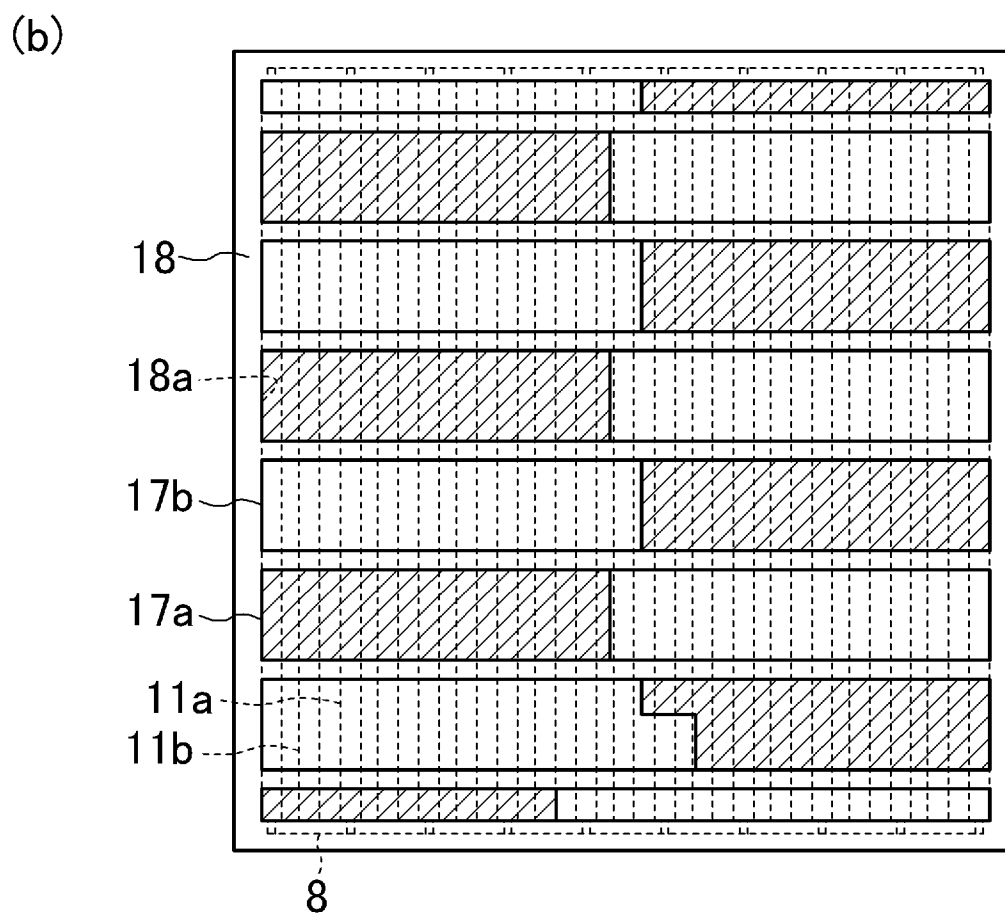
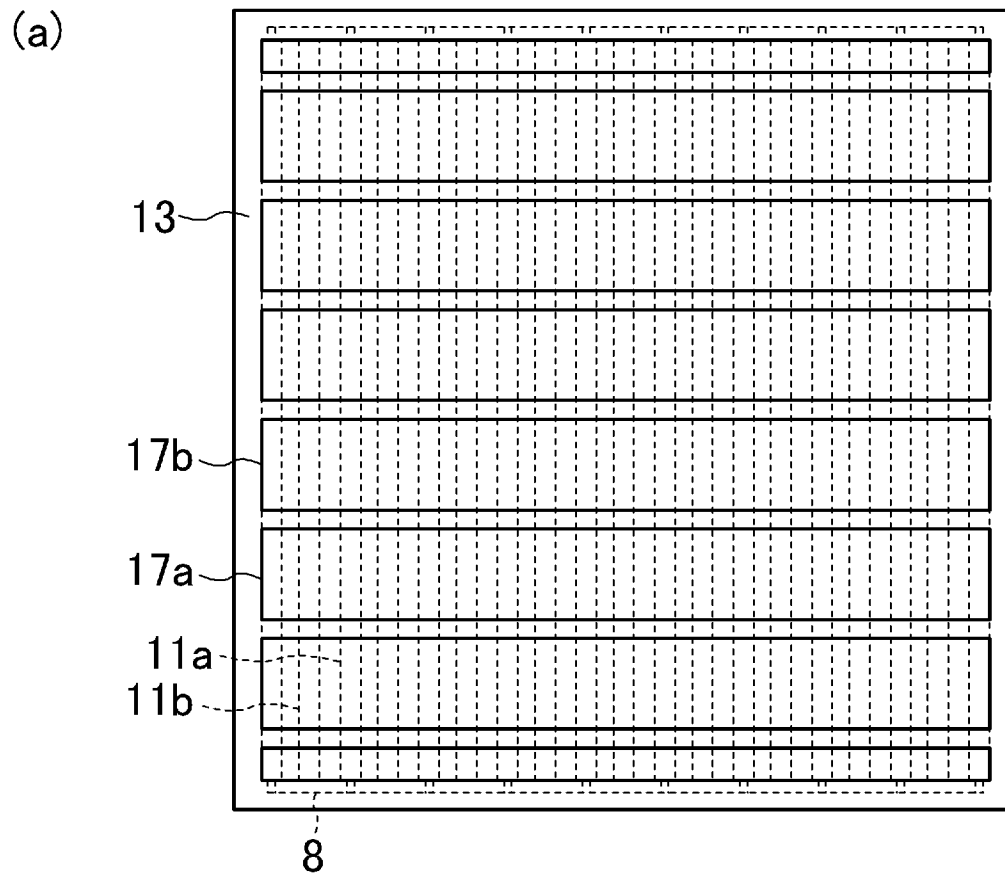
(a)



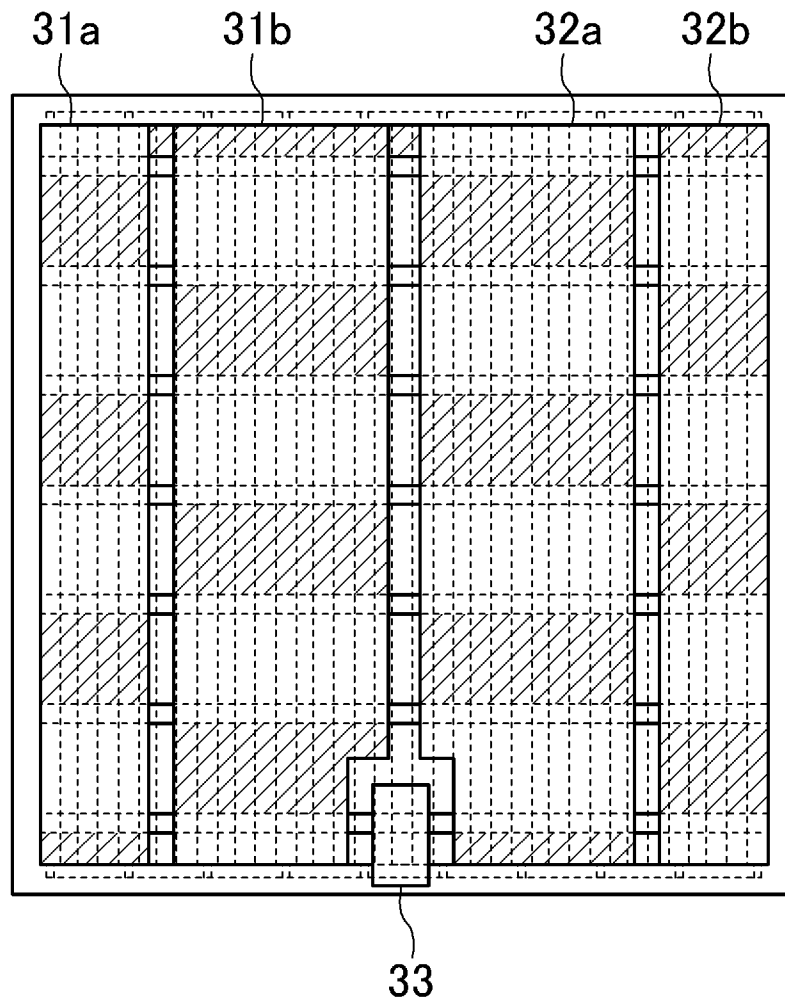
(b)



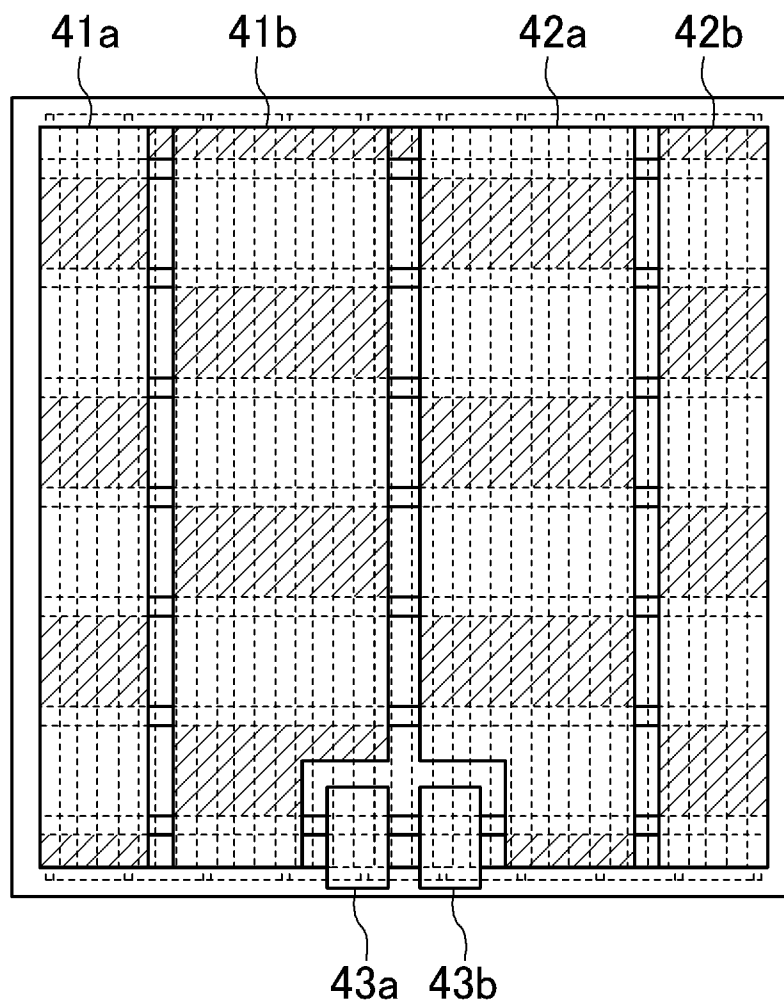
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/003825

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/338(2006.01)i, H01L21/28(2006.01)i, H01L21/3205(2006.01)i,
H01L21/768(2006.01)i, H01L23/522(2006.01)i, H01L29/41(2006.01)i,
H01L29/417(2006.01)i, H01L29/778(2006.01)i, H01L29/812(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/338, H01L21/28, H01L21/3205, H01L21/768, H01L23/522, H01L29/41,
H01L29/417, H01L29/778, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-103158 A (Panasonic Corp.), 06 May 2010 (06.05.2010), paragraphs [0029] to [0040], [0054] to [0057]; fig. 5 to 7 & US 2010/0213503 A1 & WO 2010/047016 A1	1-8
A	JP 9-64050 A (Hitachi, Ltd.), 07 March 1997 (07.03.1997), paragraphs [0024] to [0031]; fig. 1 (Family: none)	1-8
A	JP 2010-147254 A (Renesas Electronics Corp.), 01 July 2010 (01.07.2010), paragraphs [0014] to [0034]; fig. 1 to 2 (Family: none)	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 July, 2012 (11.07.12)

Date of mailing of the international search report
24 July, 2012 (24.07.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/003825

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-110988 A (Toshiba Corp.) , 12 April 2002 (12.04.2002) , paragraphs [0022] to [0025] (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/338(2006.01)i, H01L21/28(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i,
H01L23/522(2006.01)i, H01L29/41(2006.01)i, H01L29/417(2006.01)i, H01L29/778(2006.01)i,
H01L29/812(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/338, H01L21/28, H01L21/3205, H01L21/768, H01L23/522, H01L29/41, H01L29/417, H01L29/778,
H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-103158 A (パナソニック株式会社) 2010.05.06, 【0029】～【0040】、【0054】～【0057】、図5～7 & US 2010/0213503 A1 & WO 2010/047016 A1	1-8
A	JP 9-64050 A (株式会社日立製作所) 1997.03.07, 【0024】～【0031】、図1 (ファミリーなし)	1-8

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 1 . 0 7 . 2 0 1 2

国際調査報告の発送日

2 4 . 0 7 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小川 将之

5 F

9 6 3 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-147254 A (ルネサスエレクトロニクス株式会社) 2010.07.01, 【0014】～【0034】, 図1～2 (ファミリーなし)	1-8
A	JP 2002-110988 A (株式会社東芝) 2002.04.12, 【0022】～【0025】 (ファミリーなし)	1-8