



(12) 发明专利

(10) 授权公告号 CN 111406317 B

(45) 授权公告日 2024. 10. 15

(21) 申请号 201880075684.8

(22) 申请日 2018.09.18

(65) 同一申请的已公布的文献号
申请公布号 CN 111406317 A

(43) 申请公布日 2020.07.10

(30) 优先权数据
15/836,239 2017.12.08 US

(85) PCT国际申请进入国家阶段日
2020.05.22

(86) PCT国际申请的申请数据
PCT/US2018/051539 2018.09.18

(87) PCT国际申请的公布数据
W02019/112674 EN 2019.06.13

(73) 专利权人 超威半导体公司
地址 美国加利福尼亚州

(72) 发明人 桑杰·丹迪亚
格拉德·R·塔尔伯特
马赫什·S·哈迪卡

(74) 专利代理机构 上海胜康律师事务所 31263
专利代理师 樊英如 张静

(51) Int.Cl.
H01L 27/06 (2006.01)
H01L 27/02 (2006.01)
H01L 23/00 (2006.01)

(56) 对比文件
CN 107134669 A, 2017.09.05
CN 1471156 A, 2004.01.28
US 2017077000 A1, 2017.03.16
审查员 李勇

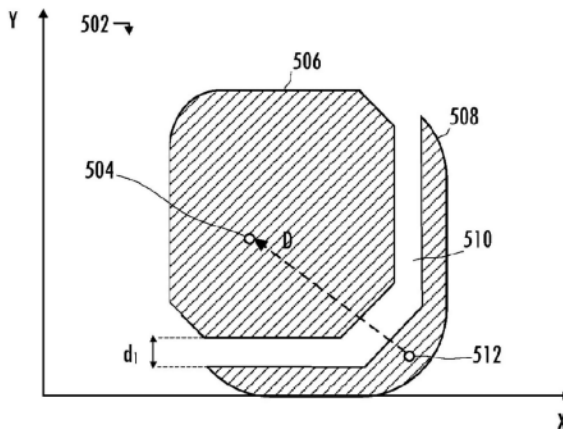
权利要求书2页 说明书4页 附图5页

(54) 发明名称

用于高速端子的焊盘设计

(57) 摘要

一种集成电路组件,包括:集成电路封装基板;以及导电焊盘,所述导电焊盘设置在所述集成电路封装基板的表面上。所述导电焊盘包括导体部分、隔离的导体部分和隔离部分,所述隔离部分设置在所述导体部分与所述隔离的导体部分之间。所述隔离的导体部分可包围所述导体部分的第一侧和所述导体部分的第二侧。所述隔离的导体部分可包围所述导体部分的周边的一部分。所述隔离部分可包括在所述导体部分与所述隔离的导体部分之间的间隙。所述间隙可具有小于接纳结构的互连结构的半径的宽度。



1. 一种集成电路组件,所述集成电路组件包括:
集成电路封装基板;以及
导电焊盘(502),所述导电焊盘设置在所述集成电路封装基板的表面上,其中所述导电焊盘包括:
导体部分(506),其被配置作为互连结构的最终着落位置(504);
隔离的导体部分(508),其被配置作为所述互连结构的初始着落位置(512),在所述互连结构处于所述初始着落位置时,所述隔离的导体部分电耦合到所述互连结构,而在所述互连结构处于所述最终着落位置时,所述隔离的导体部分与所述互连结构电隔离;以及
隔离部分(510),所述隔离部分设置在所述导体部分与所述隔离的导体部分之间,其中所述隔离部分包括在所述导体部分与所述隔离的导体部分之间的间隙,并且其中所述隔离的导体部分包围所述导体部分的第一侧和所述导体部分的第二侧。
2. 如权利要求1所述的集成电路组件,其中所述隔离的导体部分包围所述导体部分的周边的一部分。
3. 如权利要求2所述的集成电路组件,其中所述周边的所述部分是所述周边的至少25%且小于所述周边的50%。
4. 如权利要求1、2或3所述的集成电路组件,其中所述间隙填充有电绝缘固体材料。
5. 如权利要求1、2或3所述的集成电路组件,其中所述间隙具有小于所述互连结构的半径的宽度。
6. 如权利要求1、2或3所述的集成电路组件,其中所述导体部分是带有倾斜部或圆角的矩形。
7. 如权利要求1、2或3所述的集成电路组件,所述集成电路组件还包括:
所述互连结构,所述互连结构电耦合到所述导电焊盘的所述导体部分,并且在所述互连结构处于所述最终着落位置时,所述互连结构与所述导电焊盘的所述导体部分直接接触,而在所述互连结构处于所述初始着落位置时,所述互连结构与所述隔离的导体部分直接接触。
8. 如权利要求1、2或3所述的集成电路组件,所述集成电路组件还包括:
集成电路插口,所述集成电路插口被配置为使用所述互连结构将所述导电焊盘的所述导体部分机械地且电耦合到印刷电路板。
9. 如权利要求1、2或3所述的集成电路组件,所述集成电路组件还包括:
所述互连结构,在所述互连结构处于所述最终着落位置时,所述互连结构与所述导体部分直接接触,而在所述互连结构处于所述初始着落位置时,所述互连结构与所述隔离的导体部分直接接触;以及
印刷电路板,所述印刷电路板直接地附接到所述互连结构。
10. 如权利要求1、2或3所述的集成电路组件,所述集成电路组件还包括:
集成电路,所述集成电路由所述集成电路封装基板容纳,所述集成电路电耦合到所述导体部分,并且与所述隔离的导体部分电隔离,
其中所述导体部分被配置成将所述集成电路的信号电耦合到所述互连结构,并且所述隔离的导体部分被配置成与所述集成电路的信号电隔离,或者耦合到减小所述隔离的导体部分对所述导电焊盘的性能的影响的电压。

11. 一种用于制造集成电路组件的方法,所述方法包括:
在多层封装基板的表面上形成导电层;以及
由所述导电层形成导电焊盘(502),所述导电焊盘具有导体部分(506)、隔离的导体部分(508)和隔离部分(510),所述隔离部分设置在所述导体部分与所述隔离的导体部分之间,
其中所述导电焊盘的形状基于接触擦扫的从所述隔离的导体部分上的初始着落点(512)到所述导体部分上的最终着落点(504)的角度和距离。
12. 如权利要求11所述的方法,其中所述隔离部分具有小于互连结构的接触尖端的半径的宽度。
13. 如权利要求11或12所述的方法,所述方法还包括:
在所述多层封装基板的下一相邻导电层中形成空隙,所述空隙在所述导电焊盘正下方。
14. 如权利要求11或12所述的方法,其中所述隔离部分包括在所述导体部分与所述隔离的导体部分之间的间隙,并且所述间隙填充有电绝缘材料。
15. 如权利要求13所述的方法,其中所述空隙与所述导电焊盘的外周边具有相同的尺寸和形状。

用于高速端子的焊盘设计

背景技术

[0001] 一般,焊盘栅格阵列封装(LGA)是用于集成电路的表面安装封装,集成电路包括导电焊盘,该导电焊盘可电耦合到LGA插口的引脚或导电引线,该LGA插口耦合到印刷电路板或直接地耦合到印刷电路板上的导体。常规的LGA焊盘为方形或矩形的,并且具有电容,该电容会使相关联的端子或信号路径有负载并可限制耦合到焊盘的端子的高速性能。因此,期望改进的焊盘技术。

发明内容

[0002] 在至少一个实施方案中,一种集成电路组件包括:集成电路封装基板;以及导电焊盘,所述导电焊盘设置在所述集成电路封装基板的表面上。所述导电焊盘包括导体部分、隔离的导体部分和隔离部分,所述隔离部分设置在所述导体部分与所述隔离的导体部分之间。所述隔离的导体部分可包围所述导体部分的第一侧和所述导体部分的第二侧。所述隔离的导体部分可包围所述导体部分的周边的一部分。所述隔离部分可包括在所述导体部分与所述隔离的导体部分之间的间隙。所述间隙可具有小于接纳结构的互连结构的半径的宽度。

[0003] 在至少一个实施方案中,一种用于制造集成电路组件的方法包括在多层封装基板的表面上形成导电层。所述方法包括由所述导电层形成导电焊盘。所述导电焊盘具有导体部分、隔离的导体部分和隔离部分,所述隔离部分设置在所述导体部分与所述隔离的导体部分之间。所述隔离部分可具有小于接纳结构的互连结构的接触尖端的半径的宽度。所述隔离部分可包括在所述导体部分与所述隔离的导体部分之间的间隙。所述间隙可填充有电绝缘材料。

[0004] 在至少一个实施方案中,一种用于制造集成电路组件的方法包括将集成电路封装和接纳结构堆叠成堆叠。所述集成电路封装的焊盘侧与所述接纳结构的互连结构相邻并对准,从而导致所述互连结构落在对应的焊盘的隔离的导体部分上。所述方法包括响应于在正交于所述焊盘侧的表面的方向上在所述堆叠上施加的力而使所述互连结构横跨所述接纳结构。所述横跨是在平行于所述焊盘侧的表面的方向上、从对应的焊盘的所述隔离的导体部分跨所述对应的焊盘的设置在所述对应的焊盘的隔离的导体部分与导体部分之间的隔离部分而到达所述对应的焊盘的所述导体部分。所述导体部分与对应的隔离的部分分开的宽度小于所述接纳结构的所述互连结构的半径。

附图说明

[0005] 通过参考附图,可更好地理解本发明,并且本发明的许多目的、特征和优点对于本领域的技术人员而言是显而易见的。

[0006] 图1示出了集成电路组件的剖视图,该集成电路组件包括使用插口耦合到印刷电路板的LGA封装。

[0007] 图2示出了LGA封装的常规焊盘的平面图。

[0008] 图3示出了响应于施加到包括常规LGA封装的集成电路组件的力的跨常规焊盘的接触擦扫路径的平面图。

[0009] 图4示出了响应于施加到包括常规LGA封装的集成电路组件的力的跨常规焊盘的接触擦扫路径的剖视图。

[0010] 图5示出了根据本发明的至少一个实施方案的分体式LGA焊盘的平面图。

[0011] 图6示出了根据本发明的至少一个实施方案的跨分体式LGA焊盘的接触擦扫路径的详细平面图。

[0012] 图7示出了用于与LGA封装一起使用的接纳结构的示例性互连结构。

[0013] 图8示出了根据本发明的至少一个实施方案的响应于施加到包括常规LGA封装的集成电路组件的力的跨分体式焊盘的接触擦扫路径的剖视图。

[0014] 图9示出了根据本发明的至少一个实施方案的响应于施加到包括常规LGA封装的集成电路组件的力的跨分体式焊盘的另一个实施方案的接触擦扫路径的剖视图。

[0015] 图10示出了根据本发明的至少一个实施方案的跨分体式LGA焊盘的另一个实施方案的接触擦扫路径的详细平面图。

[0016] 图11示出了根据本发明的至少一个实施方案的跨分体式LGA焊盘的另一个实施方案的接触擦扫路径的详细平面图。

[0017] 图12示出了根据本发明的至少一个实施方案的促成常规LGA焊盘的电容的导电材料的面积和促成分体式LGA焊盘的电容的导电材料的面积。

[0018] 图13示出了根据本发明的至少一个实施方案的集成电路封装基板的导电材料的面积的示例性剖视图。

[0019] 在不同的附图中使用的相同的附图标记指示类似或相同的项。

具体实施方式

[0020] 一般,焊盘栅格阵列(LGA)封装包括通过使用陶瓷或塑料材料的常规封装制造技术形成的多层基板(例如,双马来酰亚胺三嗪(BT)基板)。多层基板包括用于在基板内重新分布信号的导电层。LGA封装在LGA封装的下侧上包括一个或多个触点(即,焊盘或导电焊盘)。导电层和焊盘将由LGA封装容纳的集成电路耦合到接纳结构(例如,插口或印刷电路板)上的对应的触点。典型的焊盘是扁平或平面结构,其大小和间距可变化并布置成可位于封装的周边处的矩形栅格,或在LGA封装的下侧上布置成其他图案。

[0021] 印刷电路板或附接到印刷电路板的插口是接纳结构,所述接纳结构在LGA封装的焊盘与印刷电路板之间提供机械和电连接。参考图1,集成电路插口104通过电触点108(例如,焊球、引脚、引线或其他类型的电触点)耦合到印刷电路板106上的电触点。集成电路插口104响应于把手或平板105被放置在适当的位置而施加压缩力F。如果印刷电路板本身是接纳结构,则在将LGA封装附接到印刷电路板(例如,使用焊膏)的同时向LGA封装施加压缩力。在第一方向(例如,正交于LGA封装102的下侧的竖直方向)上施加的压缩力F引起集成电路插口104的互连结构110(例如,引脚、引线或其他电触点)在第二方向(例如,正交于第一方向且平行于LGA封装102的下侧的方向)上跨LGA封装102的焊盘112进行滑动动作。如本文所指,接触擦扫(或接合擦扫)是在接触接合或插入插口期间在配合的接触表面(例如,焊盘和对应的互连结构)之间的相对运动。集成电路插口104仅是示例性的,并且可具有其他设

计并使用不同的连接机制。例如,集成电路插口104可为在插口的顶部和底部上具有触点的LGA双压缩插口。在LGA封装102与集成电路插口104之间和在集成电路插口104与印刷电路板106之间的电连接是使用力施加技术或散热器进行的。另外,代替响应于把手或平板105被放置在适当的位置而由集成电路插口104施加压缩力F,在集成电路组件100的其他实施方案中,在没有力施加机制的情况下使用散热器来施加压缩力F。

[0022] 参考图2至图4,焊盘112是常规的矩形焊盘,其形成为在集成电路封装基板的下侧上的焊盘200阵列的部分。使用常规的表面安装封装制造技术由导电材料(例如,镀金的铜或镀金、镀镍的铜)来形成焊盘112,所述常规的表面安装封装制造技术可包括适于更紧密的几何形状的常规印刷电路板制造技术。示例性制造技术通过在集成电路封装基板的下侧上形成介电层、之后对在该介电层上方形成的导电层进行常规的光刻图案化来形成焊盘112。

[0023] 参考图3和图4,在接触擦扫期间,互连结构406的尖端408最初落在焊盘112的初始位置402处,并且响应于压缩力F,横跨焊盘112而循着路径D到达焊盘112上的最终位置404。路径D相对于焊盘的侧面倾斜(例如,相对于焊盘112的边缘以30至40度角行进)。在最终位置404处,整个焊盘112促成使相关联的端子有负载的电容。该电容限制了端子的高速性能。

[0024] 减少相关联的端子上的焊盘的电容性负载的技术包括考虑到互连结构跨焊盘的接触擦扫路径的分体式焊盘设计。与图2至图4的常规矩形焊盘相比,分体式焊盘设计改进了端子的高速性能。在至少一个实施方案中,分体式焊盘设计包括用于互连结构在焊盘上的初始着落位置和互连结构在焊盘上的最终着落位置的分开的焊盘部分。参考图5至图9,每个分体式焊盘502包括导体部分506,该导体部分将在其最终着落位置处的互连结构耦合到由LGA封装容纳的集成电路的信号,例如,耦合到由LGA封装容纳的集成电路的端子。互连结构在隔离的导体部分508中的初始着落位置512处和在导体部分506内的最终着落位置504处电且机械连接到分体式焊盘502。然而,隔离的导体部分508与导体部分506电隔离并且不将互连结构耦合到由LGA封装容纳的集成电路的信号,但是它可耦合到减小隔离的导体部分506对分体式焊盘502的性能的影响的电压(例如,隔离的导体部分508耦合到接地电压,而导体部分506连接到高速I/O)。在至少一个实施方案中,隔离的导体部分508由与导体部分506相同的材料形成,但是它可由另一种导电材料形成。

[0025] 隔离的导体部分508在接触擦扫之前在初始着落位置512处接纳互连结构。隔离的导体部分508由导体材料形成,在一些实施方案中,该导体材料与导体部分506的材料相同,使得因横跨隔离的导体部分508而收集在互连结构上的来自隔离的导体部分508的任何碎屑都不可能干扰在最终着落位置504处在互连结构与导体部分506之间建立电连接。

[0026] 分体式焊盘502还包括在导体部分506与隔离的导体部分508之间的隔离部分510。隔离部分510是在导体部分506与隔离的导体部分508之间提供电隔离的物理屏障。隔离部分510可为在导体部分506与隔离的导体部分508之间的填充有电绝缘材料(例如,空气或阻焊剂)的间隙(图9),或者可填充有另一种低相对介电常数(即,低介电常数)材料(例如,阻焊剂、聚酰亚胺焊接掩模或相对介电常数小于10.0的其他材料,如图8所示)。一般,隔离部分510的宽度足够宽以提供足够的电隔离,但又足够窄以减少或消除碎屑在互连结构406的尖端408上堆积。在至少一个实施方案中,宽度 d_1 (例如,50微米或更小)窄于互连结构406的尖端408的半径 r (例如,半径 $r=100$ 微米)的50%。因此,在接触擦扫期间,互连结构406的尖

端408在沟槽上方滑动。

[0027] 示例性制造技术通过首先在集成电路封装基板的下侧上形成介电层、之后进行常规的光刻图案化以形成分体式焊盘结构来形成分体式焊盘502。例如,在封装表面上形成导电层(例如,铜层)。然后,向导电层镀另一种导电材料(例如,金)。施加光刻胶并且使用包括分体式焊盘图案的掩模版来选择性地暴露光刻胶材料,并且去除(例如,蚀刻掉)不想要的材料。代替减去法图案化工艺,可在需要材料的区域中使用添加法图案化工艺来形成导电结构。另外,代替要求重新设计被设计用于常规焊盘的掩模版,可使用单独的附加掩模版和相关联的图案化步骤来在对应的预先形成的焊盘中形成隔离结构。分体式焊盘可形成为焊接掩模限定的焊盘,其具有小于焊盘的焊接掩模开口。在其他实施方案中,分体式焊盘是在焊盘掩模上限定的焊盘,其具有小于焊接掩模开口的分体式焊盘。在至少一个实施方案中,使用铜蚀刻工艺来形成分体式焊盘。分体式焊盘可涂饰有可焊性涂层。

[0028] 在示例性封装技术中,分体式焊盘结构实质上减小了有效焊盘面积(即,促成相关联的端子的电容性负载的导电材料的面积,例如,从约 670mm^2 减小到约 335mm^2 ,减小了约50%),并且降低了对应的信号线的相关电容性负载(例如,从 0.49pF 降低至 0.19pF ,降低了约61%)。应注意,可使用其他焊盘形状和几何形状。例如,代替由矩形焊盘形成导体部分506和隔离的导体部分508,可由菱形焊盘(例如,图10)、梯形焊盘(例如,图11)或者根据接触擦扫的从隔离的导体部分上的初始着落点到导体部分上的最终着落点的角度和距离调整的其他规则或不规则形状形成具有由隔离部分510分开的隔离的导体部分和导体部分的分体式焊盘。调整可包括基于距离D和接触擦扫的预定角度范围来提供导体部分的最小尺寸。可根据制造设计规则来减小拐角(例如,通过形成具有45度角的边缘或圆角的导体),以进一步减小分体式焊盘的导体部分的面积,并且由此进一步减小电容性负载。应注意,如果擦扫角在目标接纳结构的制造商间进行标准化(例如,限制为小于10度的角度范围),则可根据擦扫角度进一步调整导电部分506的几何形状,从而进一步减小分体式焊盘502的电容。

[0029] 参考图12和图13,在至少一个实施方案中,分体式焊盘在多层封装基板的最后一个导电层(例如,20层封装的导电层M20)中形成。可用来减小单独的分体式焊盘的电容的另一种技术包括去除在多层封装的分体式焊盘502上方的下一相邻导电层(例如,导电层M19)中的导体材料。例如,可使用上述图案化技术在倒数第二个导电层(例如,导电层M19)中形成空隙904。空隙可具有与在导电层M20中形成的分体式焊盘的外周边相同的大小和形状并与导电层M20的分体式焊盘对准。

[0030] 本文所阐述的本发明的描述是说明性的,并且不旨在限制如以下权利要求书中阐述的本发明的范围。在不脱离如以下权利要求书中阐述的本发明的范围的情况下,可基于本文所阐述的描述来对本文所公开的实施方案进行变化和修改。

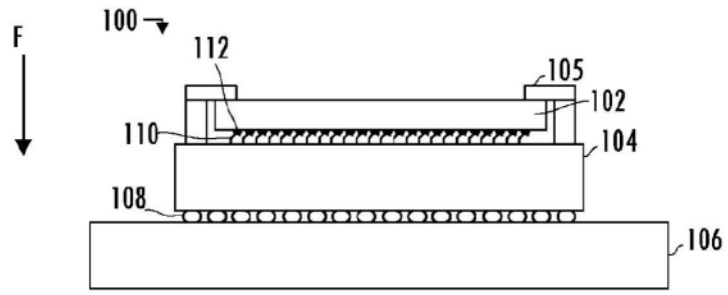


图1

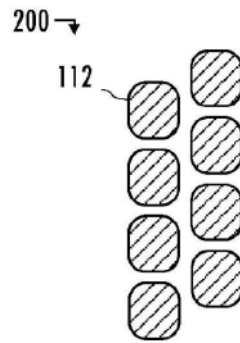


图2

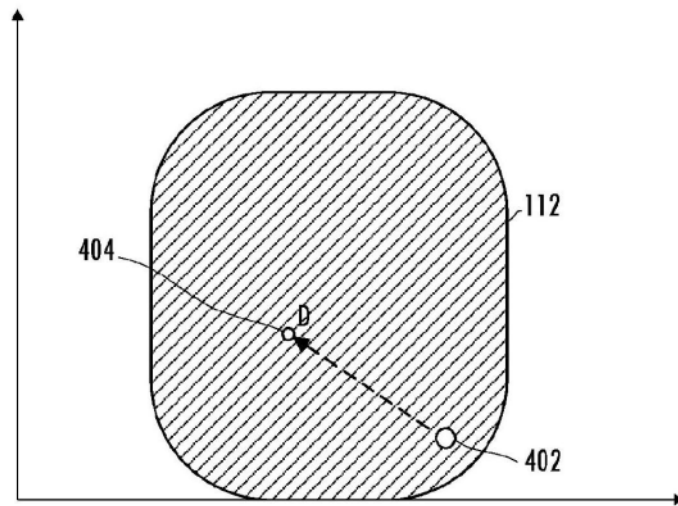


图3

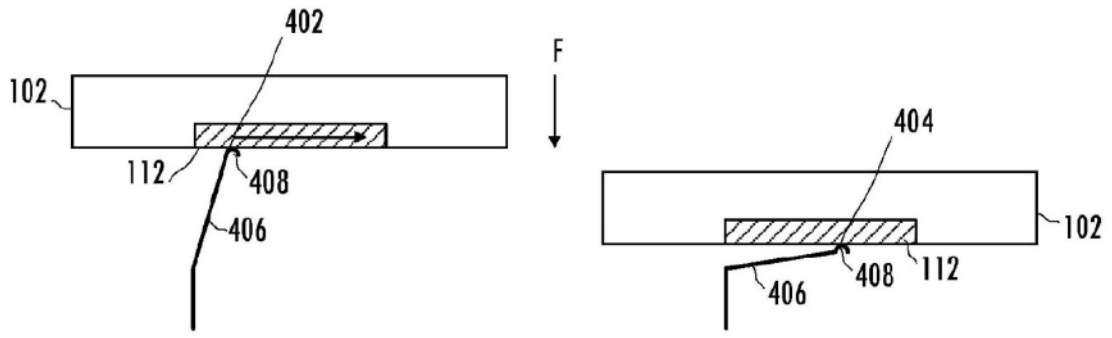


图4

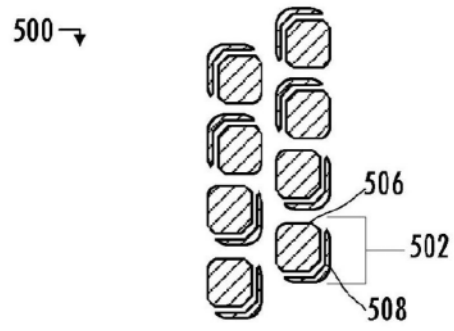


图5

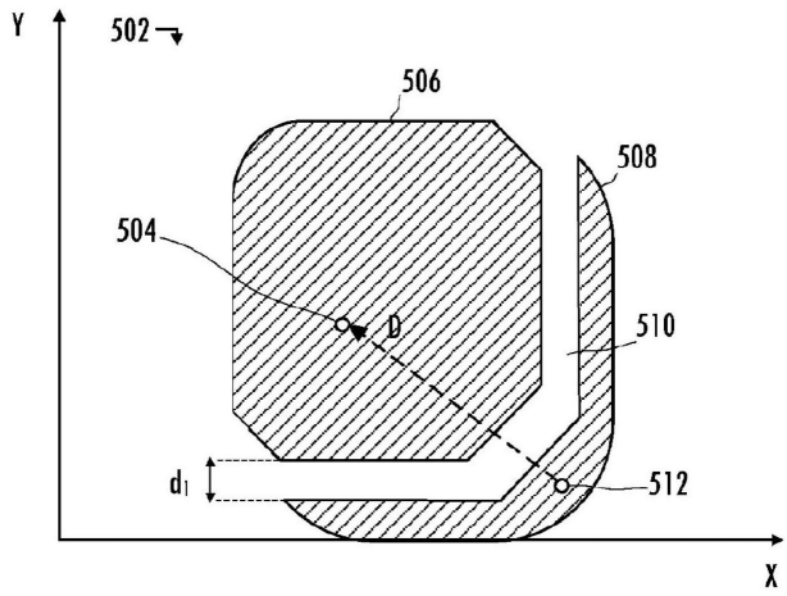


图6

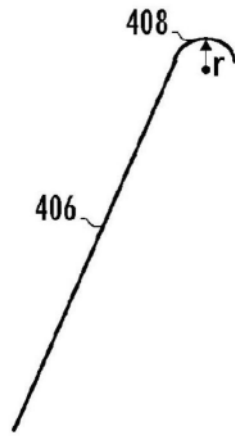


图7

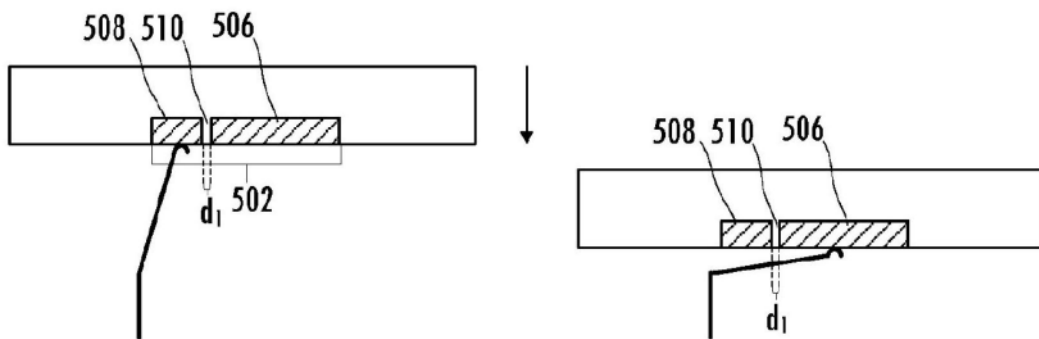


图8

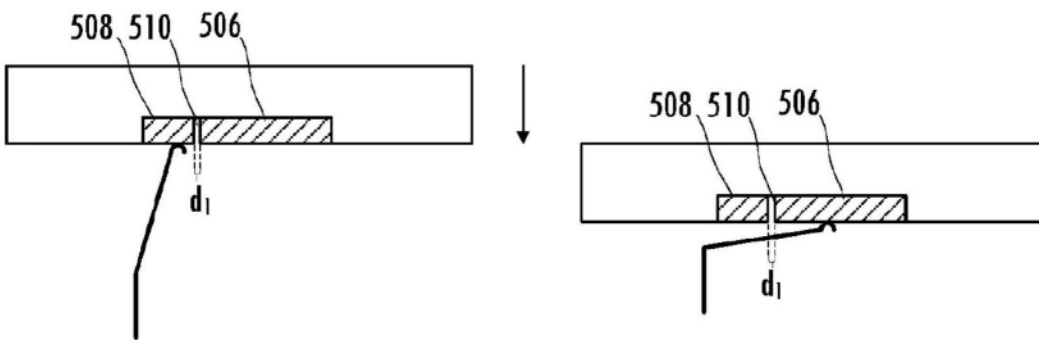


图9

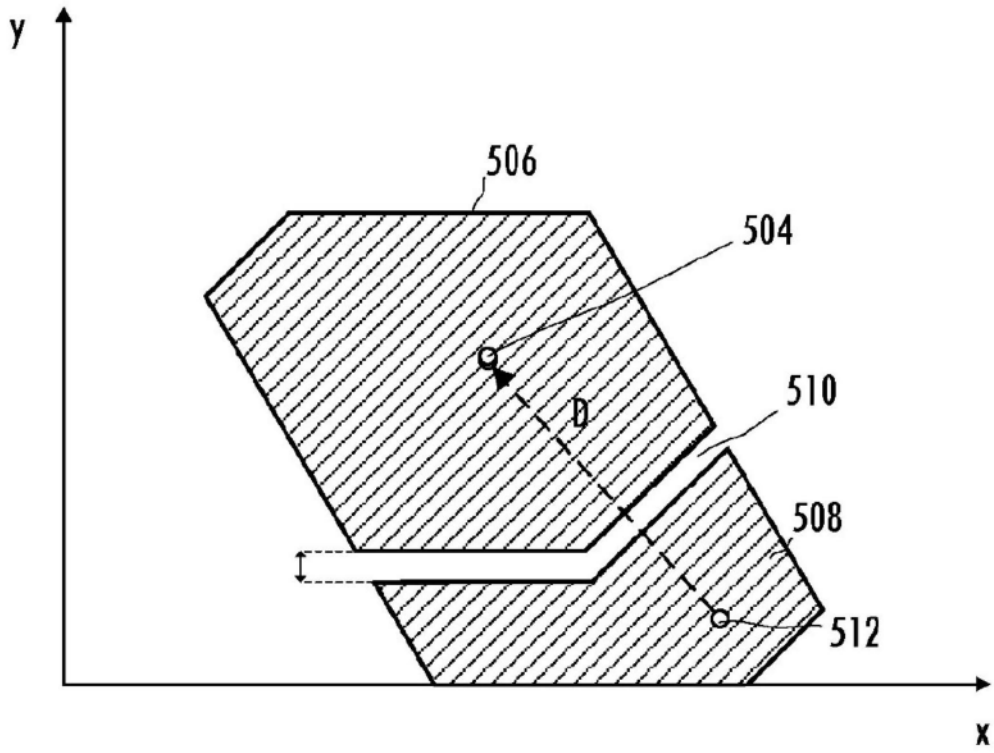


图10

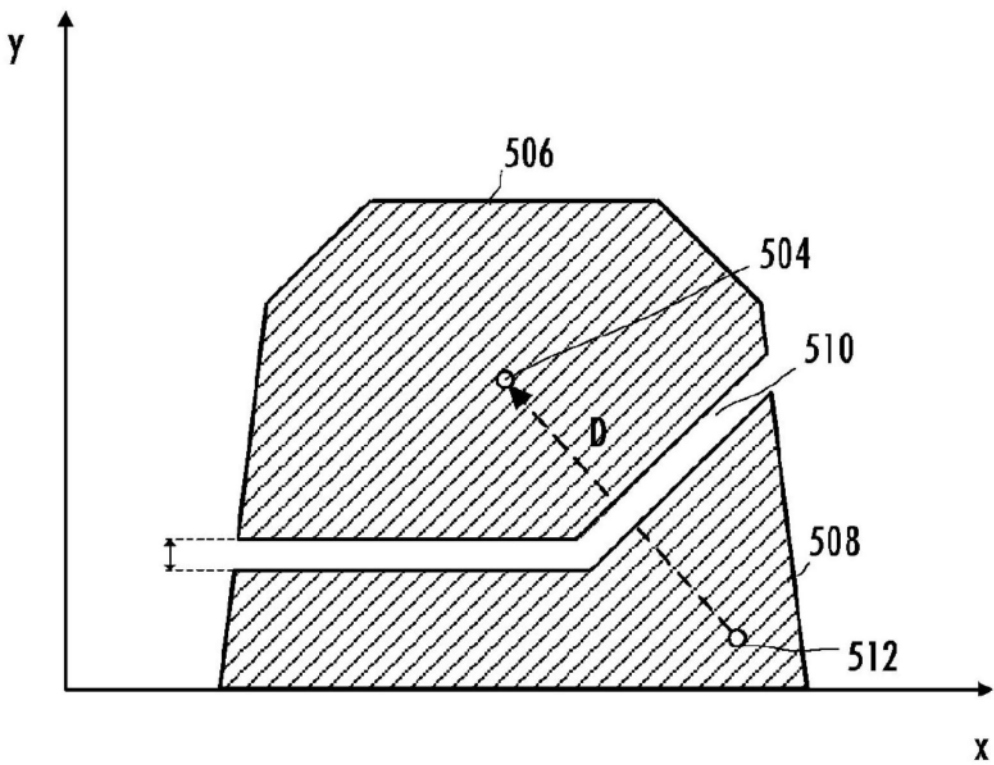


图11

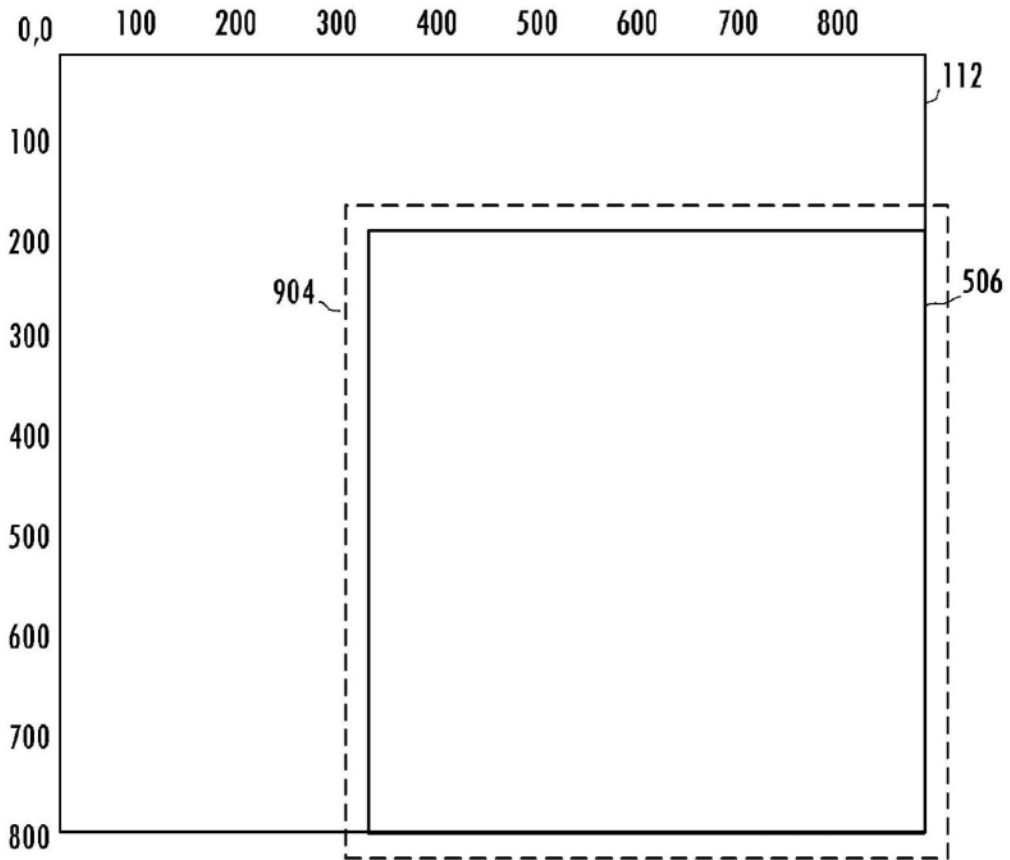


图12

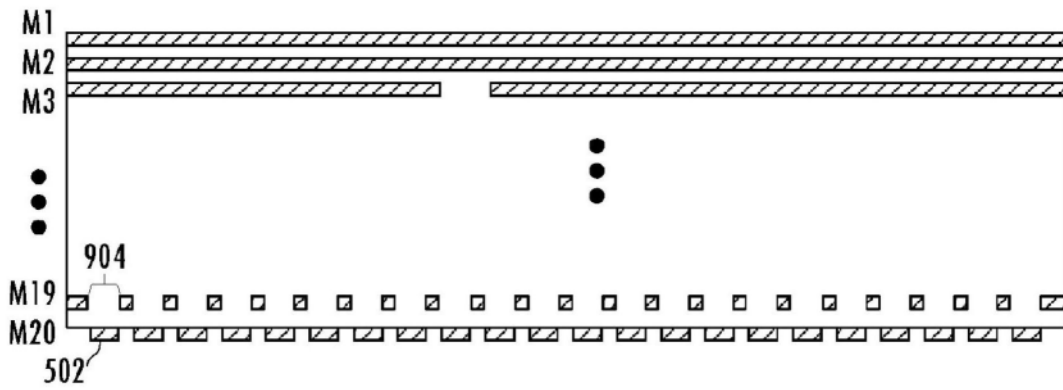


图13