

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年4月4日(04.04.2024)



(10) 国際公開番号

WO 2024/070115 A1

(51) 国際特許分類:
H04N 25/65 (2023.01) *H04N 25/46* (2023.01)

(21) 国際出願番号: PCT/JP2023/024904

(22) 国際出願日: 2023年7月5日(05.07.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2022-157951 2022年9月30日(30.09.2022) JP

(71) 出願人: パナソニック IP マネジメント株式会社 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) [JP/JP]; 〒5710057 大阪府門真市元町 2 2 番 6 号 Osaka (JP).

(72) 発明者: 荘 保 信 (SHOUHO Makoto). 佐藤 嘉晃 (SATOU Yoshiaki). 三宅 康夫 (MIYAKE Yasuo).

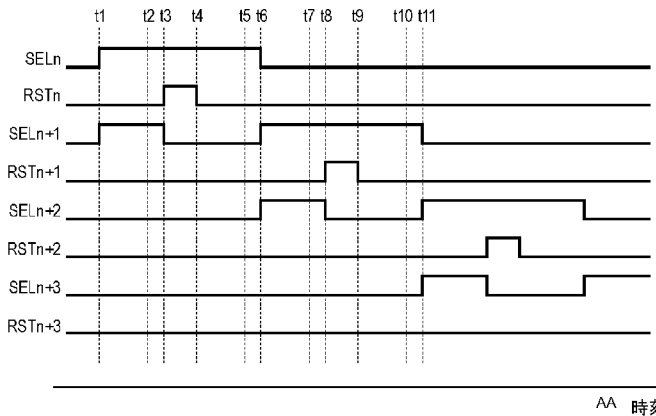
(74) 代理人: 鎌田 健司, 外 (KAMATA Kenji et al.); 〒5710057 大阪府門真市元町 2 2 番 6 号 パナソニック IP マネジメント株式会社内 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,

(54) Title: IMAGING DEVICE

(54) 発明の名称: 撮像装置

【図4】



AA Time

(57) Abstract: An imaging device 100 comprises a plurality of pixels 10 which are arranged in a matrix, vertical signal lines C which are provided for each column of the plurality of pixels 10, and a control circuit 140. The plurality of pixels 10 each include a photoelectric conversion unit that converts light into a signal charge. The control circuit 140 causes the vertical signal lines C to output, to the plurality of pixels 10, pixel signals corresponding to the amount of signal charge stored in the pixels 10, and a reference signal after reset of the pixels 10. In a first period in which a pixel signal is output to

[続葉有]



LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

a first pixel that is disposed in a first row, the control circuit 140 outputs a pixel signal also to a second pixel that is disposed in a first column in which the first pixel is disposed, and that is disposed in a second row differing from the first row. The control circuit 140 outputs the pixel signal again to the second pixel after the first period and before reset is performed.

(57) 要約：撮像装置 100 は、行列状に配列する複数の画素 10 と、複数の画素 10 の列毎に設けられた垂直信号線 C と、制御回路 140 とを備える。複数の画素 10 のそれぞれは、光を信号電荷に変換する光電変換部を含む。制御回路 140 は、複数の画素 10 に対し、画素 10 に蓄積された信号電荷の量に対応する画素信号と、画素 10 のリセット後の基準信号とを、垂直信号線 C に出力させる。制御回路 140 は、第 1 の行に配置された第 1 画素に画素信号を出力させる第 1 期間に、第 1 画素が配置された第 1 の列に配置され、かつ、第 1 の行と異なる第 2 の行に配置される第 2 画素にも画素信号を出力させる。制御回路 140 は、第 2 画素に対して、第 1 期間の後、リセットを行う前に、画素信号を再度出力させる。

明 細 書

発明の名称：撮像装置

技術分野

[0001] 本開示は、撮像装置に関する。

背景技術

[0002] CCD (Charge Coupled Device) イメージセンサおよびCMOS (Complementary Metal Oxide Semiconductor) イメージセンサは、デジタルカメラなどに広く用いられている。

[0003] 特許文献1は、撮像領域における画素ごとに帰還経路を形成し、負帰還によってリセットノイズをキャンセルする撮像装置を開示している。

[0004] 特許文献2は、高速な画素混合機能を有する撮像装置を開示している。

先行技術文献

特許文献

[0005] 特許文献1：特開2016-127593号公報

特許文献2：特開2010-259027号公報

発明の概要

発明が解決しようとする課題

[0006] 低ノイズ化が可能な撮像装置が求められている。

課題を解決するための手段

[0007] 本開示の一態様に係る撮像装置は、行列状に配列する複数の画素と、前記複数の画素の列毎に設けられた信号線と、制御回路とを備え、前記複数の画素のそれぞれは、光を信号電荷に変換する光電変換部を含み、前記制御回路は、前記複数の画素に対し、前記画素に蓄積された前記信号電荷の量に対応する画素信号と、当該画素のリセット後の基準信号とを、前記信号線に出力させ、第1の行に配置された第1画素に前記画素信号を出力させる第1期間に、前記第1画素が配置された第1の列に配置され、かつ、前記第1の行と

異なる第2の行に配置される第2画素にも前記画素信号を出力させ、前記第2画素に対して、前記第1期間の後、リセットを行う前に、前記画素信号を再度出力させる。

発明の効果

[0008] 低ノイズ化が可能な撮像装置を提供できる。

図面の簡単な説明

[0009] [図1]図1は、実施の形態1に係る撮像装置の構成を示す概略図である。

[図2]図2は、実施の形態1に係る撮像装置の回路構成を示す図である。

[図3]図3は、実施の形態1に係る撮像装置における画素の回路構成を示す図である。

[図4]図4は、実施の形態1に係る撮像装置の動作例1のタイミングチャートである。

[図5]図5は、実施の形態1に係る撮像装置の動作例2のタイミングチャートである。

[図6]図6は、実施の形態1に係る撮像装置の動作例3のタイミングチャートである。

[図7]図7は、実施の形態1に係る撮像装置の動作例4のタイミングチャートである。

[図8]図8は、実施の形態2に係る撮像装置の回路構成を示す図である。

[図9]図9は、実施の形態2に係る撮像装置の動作例のタイミングチャートである。

発明を実施するための形態

[0010] (本開示の基礎となった知見)

特許文献1では、負帰還によりリセットノイズを低減する技術を開示している。しかし、撮像装置では、更なる低ノイズ化が求められている。

[0011] 発明者らは、撮像装置の低ノイズ化を実現するにあたり、光電変換により生成した信号電荷の量に対応する信号を出力する増幅トランジスタに起因して発生するノイズに着目した。増幅トランジスタに起因するノイズとしては

、例えば、 $1/f$ ノイズおよび熱ノイズが挙げられる。発明者らは、これらのノイズを低減することを検討し、本開示の構成を得るに至った。

[0012] (本開示の概要)

本開示の概要として、本開示に係る撮像装置の例を以下に示す。

[0013] 本開示の第1態様に係る撮像装置は、行列状に配列する複数の画素と、前記複数の画素の列毎に設けられた信号線と、制御回路とを備え、前記複数の画素のそれぞれは、光を信号電荷に変換する光電変換部を含み、前記制御回路は、前記複数の画素に対し、前記画素に蓄積された前記信号電荷の量に対応する画素信号と、当該画素のリセット後の基準信号とを、前記信号線に出力させ、第1の行に配置された第1画素に前記画素信号を出力させる第1期間に、前記第1画素が配置された第1の列に配置され、かつ、前記第1の行と異なる第2の行に配置される第2画素にも前記画素信号を出力させ、前記第2画素に対して、前記第1期間の後、リセットを行う前に、前記画素信号を再度出力させる。

[0014] これにより、第1の行および第2の行の2行分の画素の画素信号が同時に信号線に出力されて混合される。その結果、例えば、画素信号を出力する増幅トランジスタが存在する場合、増幅トランジスタの実効的なゲート幅が2倍になるため、増幅トランジスタの相互コンダクタンス g_m は $\sqrt{2}$ 倍になる。一般的に、増幅トランジスタに起因するランダムノイズは $1/g_m$ に比例する。そのため、2行分の画素の画素信号が同時に信号線に出力されることで低ノイズ化を実現することが可能となる。また、一般的に、セトリング時間も $1/g_m$ に比例する。そのため、2行分の画素の画素信号が同時に信号線に出力されることで高速な駆動を実現することが可能となる。

[0015] また、例えば、本開示の第2態様に係る撮像装置は、第1態様に係る撮像装置であって、前記制御回路は、前記第1画素に対し、前記画素信号を出力させた後にリセットを行い、当該リセット後に前記基準信号を出力させる。

[0016] これにより、第1画素において、画素信号の出力と基準信号の出力とを連続して行うことができるため、簡易な回路構成で画素信号と基準信号とを用

いた信号処理を行うことが可能になる。

[0017] また、例えば、本開示の第3態様に係る撮像装置は、第1態様または第2態様に係る撮像装置であって、信号処理回路をさらに備え、前記信号処理回路は、前記第1画素および前記第2画素が前記第1期間に出力した前記画素信号と、前記第1画素が出力した前記基準信号とに基づいて画像データを生成する。

[0018] これにより、2行分の画素の画素信号が混合された画素信号を用いて画像データを生成できるため、ノイズが低減された画像データを生成できる。

[0019] また、例えば、本開示の第4態様に係る撮像装置は、第1態様に係る撮像装置であって、前記制御回路は、前記第1画素に対し、前記基準信号を出力させた後、前記信号電荷を蓄積させてから前記画素信号を出力させる。

[0020] これにより、第1画素の画素信号には、直前に出力された基準信号と同じだけのリセットノイズが重畳するため、画素信号から基準信号を差し引くことでリセットノイズの影響を除去でき、更なる低ノイズ化を実現することができる。

[0021] また、例えば、本開示の第5態様に係る撮像装置は、第1態様または第4態様に係る撮像装置であって、信号処理回路をさらに備え、前記信号処理回路は、前記第1画素が出力した前記基準信号と、前記第2画素が出力した前記基準信号と、前記第1画素および前記第2画素が前記第1期間に出力した前記画素信号とに基づいて画像データを生成する。

[0022] これにより、2行分の画素の画素信号が混合された画素信号と、2行分の画素の基準信号とを用いて画像データを生成できる。そのため、2行分の画素の画素信号が混合された画素信号に対して、2行分の画素の基準信号でリセットノイズの影響を除去できるため、更なる低ノイズ化を実現することができる。

[0023] また、例えば、本開示の第6態様に係る撮像装置は、第5態様に係る撮像装置であって、前記基準信号に対応する信号を記憶するメモリをさらに備える。

[0024] これにより、容易に2行分の画素の基準信号を信号処理に用いることができる。

[0025] また、例えば、本開示の第7態様に係る撮像装置は、第1態様から第6態様のいずれか1つに係る撮像装置であって、前記制御回路は、前記第1期間に、前記第1の列に配置され、かつ、前記第1の行および前記第2の行と異なる第3の行に配置される第3画素にも前記画素信号を出力させ、前記第3画素に対して、前記第1期間の後、リセットを行う前に、前記画素信号を再度出力させる。

[0026] これにより、第1の行、第2の行および第3の行の3行分の画素の画素信号が同時に信号線に出力されて混合される。その結果、例えば、画素信号を出力する増幅トランジスタが存在する場合、増幅トランジスタの実効的なゲート幅が3倍になるため、増幅トランジスタの相互コンダクタンス g_m は $\sqrt{3}$ 倍になる。よって、更なる低ノイズ化と高速な駆動とを実現することが可能となる。

[0027] また、例えば、本開示の第8態様に係る撮像装置は、第1態様から第7態様のいずれか1つに係る撮像装置であって、前記第1の列に設けられた前記信号線と、前記第1の列と異なる第2の列に設けられた前記信号線との間に接続されたスイッチをさらに備え、前記制御回路は、前記第1期間に、前記スイッチを導通させる。

[0028] これにより、隣接する2つの信号線が導通して、2列分の画素の画素信号が混合される。よって、更なる低ノイズ化と高速な駆動とを実現することができる。

[0029] また、例えば、本開示の第9態様に係る撮像装置は、第1態様から第8態様のいずれか1つに係る撮像装置であって、前記複数の画素のそれぞれは、リセットノイズを負帰還させるフィードバック回路を含む。

[0030] これにより、リセットノイズを低減することができ、更なる低ノイズ化を実現することができる。

[0031] また、例えば、本開示の第10態様に係る撮像装置は、第1態様から第9

態様のいずれか１つに係る撮像装置であって、前記制御回路は、前記第１画素に前記基準信号を出力させる第２期間に、前記第２画素に前記基準信号を出力させない。

[0032] これにより、第１画素とは異なるタイミングで第２画素のリセットを行うことが可能になり、第２画素の画素信号および基準信号の出力のタイミングの自由度を高めることができる。

[0033] 以下、図面を参照しながら、本開示の実施の形態を詳細に説明する。なお、以下で説明する実施の形態は、いずれも包括的または具体的な例を示す。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置および接続形態、ステップ、ステップの順序などは、一例であり、本開示を限定する主旨ではない。本明細書において説明される種々の態様は、矛盾が生じない限り互いに組み合わせることが可能である。また、以下の実施の形態における構成要素のうち、独立請求項に記載されていない構成要素については、任意の構成要素として説明される。以下の説明において、実質的に同じ機能を有する構成要素は共通の参照符号で示し、説明を省略することがある。また、図面が過度に複雑になることを避けるために、一部の要素の図示を省略することがある。

[0034] また、各図は、模式図であり、必ずしも厳密に図示されたものではない。したがって、例えば、各図において縮尺などは必ずしも一致しない。

[0035] また、本明細書において、等しいなどの要素間の関係性を示す用語、および、正方形または円形などの要素の形状を示す用語、ならびに、数値範囲は、厳格な意味のみを表す表現ではなく、実質的に同等な範囲、例えば数％程度の差異をも含むことを意味する表現である。

[0036] (実施の形態１)

[全体構成]

まず、図１を用いて、撮像装置１００の全体構成について説明する。図１は、本実施の形態に係る撮像装置の構成を示す概略図である。

[0037] 図１に示されるように、撮像装置１００は、それぞれが、半導体基板１１

0に支持された光電変換部をその一部に含む複数の画素10と、行制御線Lと、垂直信号線Cと、周辺回路と、を備える。垂直信号線Cは、信号線の一例である。

[0038] 複数の画素10は、半導体基板110に、例えば二次元に配列されることにより、撮像領域を形成する。複数の画素10は、行列状に配列している。画素10の数および配置は、図1に示す例に限定されず、任意である。例えば、複数の画素10を一次元に配列することにより（つまり行または列が1つの場合）、撮像装置100をラインセンサとして用い得る。

[0039] また、図1に例示する構成において、周辺回路は、行走査回路120と、信号処理回路130と、制御回路140と、電圧供給回路150と、メモリ170と、を含む。周辺回路は、半導体基板110に設けられていてもよいし、その一部が他の基板上に設けられていてもよい。

[0040] 行走査回路120は、行制御線Lを介して各画素10に接続されている。行制御線Lは、複数の画素10の行毎に設けられ、同一行に属する1以上の画素10に電氣的に接続されている。行制御線Lの各々は行走査回路120に接続されている。図1においては、見やすさのため行制御線Lを行毎に1つのみ示しているが、後述するように、行制御線Lは行毎に2以上の制御線を含み得る。行走査回路120は、行制御線Lに所定の電圧を印加することにより、画素10を行単位で選択し、画素10に対して、信号の出力、および、リセット動作等を行わせる。

[0041] 信号処理回路130は、垂直信号線Cを介して各画素10に接続されている。垂直信号線Cは、複数の画素10の列毎に設けられ、同一列に属する1以上の画素10に電氣的に接続される。垂直信号線Cの各々は信号処理回路130に接続されている。なお、垂直信号線Cは同一列に2本以上設けられてもよい。

[0042] 行走査回路120によって行単位で選択された画素10からの信号は、垂直信号線Cを介して信号処理回路130に出力される。画素10は、画素10に蓄積された信号電荷に対応する画素信号と、画素10のリセット後の電

位に対応する信号であるリセット後の基準信号とを垂直信号線Cに出力する。信号処理回路130は、画素10から出力された信号に対し、相関二重サンプリングに代表される雑音抑圧信号処理およびアナログーデジタル変換（AD変換）などの各種信号処理を行う。信号処理回路130は、画素10からの信号に基づいて画像データを生成し、生成した画像データを出力する。つまり、画素10からの信号は、信号処理回路130によって、画像データを示す画像信号として読み出される。信号処理回路130は、例えば、画像信号を、複数の画素10の読み出し行ごとに順次出力する。本明細書において、「画像信号」は、垂直信号線Cを介して出力された信号に基づいて読み出される出力信号であって、画像の形成に用いられる出力信号を指す。

[0043] 信号処理回路130は、例えば、雑音抑圧信号処理回路、サンプルホールド回路、アナログーデジタル変換回路およびパラレルシリアル変換回路などを含み得る。また、信号処理回路130は、プロセッサを含んでいてもよい。

[0044] 制御回路140は、例えば撮像装置100の外部から与えられる指令データおよびクロックなどを受け取り、撮像装置100全体を制御する。制御回路140は、例えば、タイミングジェネレータを有し、行走査回路120、信号処理回路130および電圧供給回路150などに駆動信号を供給する。制御回路140は、プロセッサを含んでいてもよい。

[0045] 電圧供給回路150は、例えば、バイアス制御線42との接続を有することにより、各画素10と電氣的に接続されている。電圧供給回路150は、バイアス制御線42を介して、撮像装置100の動作時に所定の電圧を各画素10に供給する。

[0046] 電圧供給回路150は、例えば、少なくとも、2以上の異なる電圧を切り替えてバイアス制御線42に印加可能に構成される。電圧供給回路150から出力される電圧の変更は、段階的であってもよいし、連続的であってもよい。電圧供給回路150は、特定の電源回路に限定されず、バッテリーなどの電源から供給された電圧を所定の電圧に変換する回路、または、複数系統

の電源のいずれかを出力する回路であってもよいし、所定の電圧を生成する回路であってもよい。電圧供給回路 150 は、上述の行走査回路 120 の一部であってもよい。

[0047] メモリ 170 は、画素 10 が出力する信号に対応する信号を記憶するフレームメモリである。メモリ 170 には、例えば、画素 10 が出力する基準信号に対応する信号が記憶される。信号処理回路 130 は、例えば、基準信号等の信号を一時的にメモリ 170 に記憶させ、メモリに記憶させた信号を用いて、画像データを生成する。また、メモリ 170 には、信号処理回路 130 および制御回路 140 が実行するプログラムが記憶されてもよい。なお、信号処理回路 130 が画像データの生成においてメモリ 170 に記憶された信号を用いない場合には、撮像装置 100 は、メモリ 170 を備えていなくてもよい。

[0048] [回路構成]

次に撮像装置 100 の回路構成について説明する。

[0049] 図 2 は、撮像装置 100 の回路構成を示す図である。図 3 は、撮像装置 100 における画素 10 の回路構成を示す図である。なお、図 2 は、画素 10 に接続される制御線および信号線等を中心に撮像装置 100 の回路構成を示している。そのため、図 2 では、いくつかの回路要素については図示が省略されている。また、図 2 における画素 10 内の回路構成については、図 3 に示されている。

[0050] 各画素 10 は、電源線 70 に接続されている。また、複数の画素 10 の行毎に、アドレス制御線 SEL、リセット制御線 RST およびフィードバック制御線 FB が設けられている。アドレス制御線 SEL、リセット制御線 RST およびフィードバック制御線 FB は上述の行制御線 L に対応する。アドレス制御線 SEL、リセット制御線 RST およびフィードバック制御線 FB はそれぞれ、同一行に属する 1 以上の画素 10 に電氣的に接続されている。図 2 および以降で説明する図等において、アドレス制御線 SEL、リセット制御線 RST およびフィードバック制御線 FB の参照符号の後ろに付された n

、 $n + 1$ 等の文字は、画素10の行を表し、 n は0または1などの0以上の整数である。例えば、アドレス制御線SEL n は、 n 行目の画素10に接続されたアドレス制御線SEL n であることを表している。また、図2等において、垂直信号線Cの参照符号の後ろに付された m 等の文字は、画素10の列を表し、 m は0または1などの0以上の整数である。例えば、垂直信号線C m は、 m 列目の画素10に接続された垂直信号線Cであることを表している。

[0051] 以下、図2および図3を参照しながら画素10の回路構成の詳細について説明する。各画素10は、光電変換部13と、増幅トランジスタ24と、アドレストランジスタ26と、リセットトランジスタ28と、帯域制御トランジスタ81と、容量素子82と、容量素子83とを有する。

[0052] 光電変換部13は、入射した光を受けて信号を生成する。光電変換部13は、例えば、半導体基板110に積層される。光電変換部13は、その全体が画素10ごとに独立した素子である必要はなく、光電変換部13の例えば一部分が複数の画素10にまたがっていてもよい。

[0053] 各画素10の光電変換部13は、さらに、バイアス制御線42に接続され所定の電圧が印加される。上述のように、バイアス制御線42は、電圧供給回路150に接続されている。

[0054] 増幅トランジスタ24、アドレストランジスタ26、リセットトランジスタ28および帯域制御トランジスタ81は、例えば、電界効果トランジスタ(FET)である。ここでは、これらのトランジスタとしてNチャネルMOSFET(Metal Oxide Semiconductor Field Effect Transistor)を例示する。増幅トランジスタ24、アドレストランジスタ26、リセットトランジスタ28および帯域制御トランジスタ81などの各トランジスタは、制御端子、入力端子および出力端子を有する。制御端子は、例えばゲート電極である。入力端子は、ドレインおよびソースの一方であり、例えばドレインである。出力端子は、ドレインおよびソースの他方であり、例えばソースである。

- [0055] 増幅トランジスタ 24 のゲート電極である制御端子は、光電変換部 13 に接続される。画素 10 では、光電変換部 13 によって生成される信号電荷は、増幅トランジスタ 24 のゲート電極と光電変換部 13 との間の電荷蓄積部 71 に蓄積される。
- [0056] ここで、信号電荷は、正孔または電子である。電荷蓄積部 71 は、例えば、増幅トランジスタ 24 のゲート電極に接続されるノードを含む。電荷蓄積部 71 は、「フローティングディフュージョンノード」とも呼ばれる。光電変換部 13 の構造の詳細は後述する。
- [0057] 増幅トランジスタ 24 の入力端子は、電源線 70 に接続される。電源線 70 は、スイッチ S1b およびスイッチ R1 に接続される。スイッチ S1b は、電源線 70 とアナログ電源 AVDD を接続するか否かを制御する。スイッチ R1 は、電源線 70 とアナログ電源 AVDD から流れる定電流源 90 とを接続するか否かを制御する。増幅トランジスタ 24 の出力端子は、アドレストランジスタ 26 の入力端子に接続される。
- [0058] アドレストランジスタ 26 の出力端子は、垂直信号線 C に接続される。垂直信号線 C は、スイッチ R1b、スイッチ S1 および信号処理回路 130（図 1 参照）に接続される。スイッチ R1b は、垂直信号線 C とアナロググラウンドに接続された定電流源 30 とを接続するか否かを制御する。スイッチ S1 は、垂直信号線 C と電圧 Vbias とを接続するか否かを制御する。スイッチ R1b、スイッチ S1 および定電流源 30 は、複数の画素 10 の列毎に設けられる。
- [0059] スイッチ S1b、スイッチ R1、スイッチ R1b およびスイッチ S1 はそれぞれ、例えば、電界効果トランジスタである。スイッチ S1b、スイッチ R1、スイッチ R1b およびスイッチ S1 はそれぞれ、例えば、制御回路 140 により動作が制御される。
- [0060] スイッチ S1 がオフとなり、スイッチ S1b がオンとなり、スイッチ R1 がオフとなり、スイッチ R1b がオンとなることで、電源線 70 がソースフォロア電源として機能する。増幅トランジスタ 24 は、電荷蓄積部 71 の電

位を増幅して出力する。増幅トランジスタ 24 のゲートの電位に応じたソースフォロア出力である信号 V_{out} は、垂直信号線 C を介して、信号処理回路 130 に画素信号または基準信号として出力される。

[0061] 増幅トランジスタ 24 の出力端子は、アドレストランジスタ 26 の入力端子が接続される。アドレストランジスタ 26 の出力端子は、垂直信号線 C に接続される。アドレストランジスタ 26 の制御端子は、アドレス制御線 SEL に接続される。アドレス制御線 SEL の電位を制御することにより、複数の画素 10 に対して、増幅トランジスタ 24 の出力を、垂直信号線 C に選択的に出力させることができる。

[0062] アドレス制御線 SEL は、行走査回路 120（図 1 参照）に接続される。行走査回路 120 は、アドレス制御線 SEL に所定の電圧を印加することにより、各行に配置された複数の画素 10 を行単位で選択する。これにより、選択された画素 10 の信号の出力が実行される。

[0063] リセットトランジスタ 28 は、帯域制御トランジスタ 81 と、電荷蓄積部 71 との間に接続される。リセットトランジスタ 28 の制御端子は、リセット制御線 RST に接続される。リセット制御線 RST の電位を制御することによって、画素 10 の電荷蓄積部 71 の電位をリセットすることができる。

[0064] 帯域制御トランジスタ 81 は、電源線 70 とリセットトランジスタ 28 との間に接続され、リセット動作時に画素内フィードバックアンプを構成する。帯域制御トランジスタ 81 の入力端子は電源線 70 に接続される。帯域制御トランジスタ 81 の出力端子は、リセットトランジスタ 28 の入力端子、容量素子 82 の一端および容量素子 83 の一端に接続される。フィードバック制御線 FB は、帯域制御トランジスタ 81 の制御端子、および、行走査回路 120（図 1 参照）に接続される。フィードバック制御線 FB の電位により、帯域制御トランジスタ 81 の状態が決定される。例えば、フィードバック制御線 FB の電位を制御することにより、電荷蓄積部 71 と、増幅トランジスタ 24 と、帯域制御トランジスタ 81 とによって帰還経路が形成される。これにより、電荷蓄積部 71 の電位を負帰還させるため、例えば、リセッ

トランジスタ 28 をオフする際に発生するリセットノイズを電荷蓄積部 71 に負帰還する。つまり、画素 10 は、リセットノイズを負帰還させるフィードバック回路を含んでいる。

[0065] 容量素子 82 および容量素子 83 は、画素内フィードバックアンプにおいて電荷蓄積部 71 の電位をリセットする際に、負帰還容量として機能し、電荷蓄積部 71 の電位をリセットする際のリセットノイズを低減させる。容量素子 82 の一端は、容量素子 83 の一端、リセットトランジスタ 28 の入力端子および帯域制御トランジスタ 81 の出力端子と接続される。容量素子 82 の他端は、例えば、基準電圧 V_R が印加される。容量素子 83 の一端は、容量素子 82 の一端、リセットトランジスタ 28 の入力端子および帯域制御トランジスタ 81 の出力端子と接続される。容量素子 83 の他端は、増幅トランジスタ 24 の制御端子およびリセットトランジスタ 28 の出力端子に接続される。容量素子 82 および容量素子 83 はそれぞれ、例えば、MIM (Metal Insulator Metal) 容量または MIS (Metal Insulator Semiconductor) 容量である。

[0066] 光電変換部 13 は、画素電極 11 と、対向電極 12 と、画素電極 11 と対向電極 12 との間に配置された光電変換層 15 とを含む。画素電極 11 と光電変換層 15 と対向電極 12 とは、例えば、半導体基板 110 にこの順で積層される。光電変換部 13 は、さらに、電子ブロック層および正孔ブロック層等の他の要素を含んでもよい。

[0067] 対向電極 12 および光電変換層 15 は、例えば、複数の画素 10 にまたがって形成される。画素電極 11 は、画素 10 毎に設けられている。画素電極 11 は、他の画素 10 の画素電極 11 から電氣的に分離されている。なお、対向電極 12 および光電変換層 15 の少なくとも一方は、1 以上の画素 10 毎に分離して設けられていてもよい。

[0068] 画素電極 11 は、光電変換層 15 に電氣的に接続され、光電変換層 15 で生成された信号電荷を捕集するための電極である。画素電極 11 は、電荷蓄積部 71 に接続されている。画素電極 11 は、導電性材料を用いて形成され

ている。画素電極 1 1 で捕集された信号電荷は電荷蓄積部 7 1 に蓄積される。

[0069] 対向電極 1 2 は、例えば、透明な導電性材料から形成される透明電極である。対向電極 1 2 は、光電変換層 1 5 において光が入射される側に配置される。対向電極 1 2 には、バイアス制御線 4 2 を介して、図 1 に示される電圧供給回路 1 5 0 が接続されている。電圧供給回路 1 5 0 が画素電極 1 1 の電位に対する対向電極 1 2 の電位を制御することにより、光電変換によって光電変換層 1 5 内に生じた正孔－電子対のうち正孔および電子のいずれか一方を、信号電荷として画素電極 1 1 によって捕集することができる。例えば信号電荷として正孔を利用する場合、画素電極 1 1 よりも対向電極 1 2 の電位を高くすることにより、画素電極 1 1 によって正孔を選択的に捕集することが可能である。なお、画素電極 1 1 よりも対向電極 1 2 の電位を低くすることにより、画素電極 1 1 によって電子を選択的に捕集することも可能である。

[0070] 光電変換層 1 5 は、光子を吸収し、信号電荷となる光電荷を発生させる層である。具体的には、光電変換層 1 5 は、入射する光を受けて正孔－電子対を発生させる。つまり、信号電荷は、正孔および電子のいずれか一方である。例えば信号電荷として正孔を利用する場合、正孔が画素電極 1 1 によって捕集される。信号電荷の逆極性の電荷である電子が対向電極 1 2 によって捕集される。光電変換層 1 5 は、光電変換材料で構成され、例えば、有機半導体材料から形成される。光電変換層 1 5 は、無機半導体材料から形成されてもよい。

[0071] なお、画素 1 0 の回路構成は、図 2 および図 3 を用いて説明した例に限らず、例えば、特許文献 1 等に記載されている撮像装置の画素の各種回路構成が適用可能である。

[0072] [撮像装置の動作]

次に、本実施の形態に係る撮像装置 1 0 0 の動作（駆動方法）について説明する。以下では、主に、画像データ（画像信号）の読み出しのシーケンス

について説明する。各画素 10 の回路の駆動は、制御回路 140 の制御に基づいて行われる。

[0073] (1) 動作例 1

まず、撮像装置 100 の動作例 1 について説明する。

[0074] 図 4 は、撮像装置 100 の動作例 1 のタイミングチャートである。図 4 には、複数の画素 10 の n 行目から $n+3$ 行目までのアドレス制御線 SEL およびリセット制御線 RST の電位の変化が示されている。アドレストランジスタ 26 は、アドレス制御線 SEL の電位がハイレベルであるとき導通状態となり、アドレス制御線 SEL の電位がローレベルであるとき非導通状態となる。また、リセットトランジスタ 28 は、リセット制御線 RST の電位がハイレベルであるとき導通状態となり、リセット制御線 RST の電位がローレベルであるとき非導通状態となる。

[0075] 以下の動作例 1 の説明では、 m 列目の画素 10 および対応する周辺回路の動作について説明するが、他の列の画素 10 についても、同様の動作が行われる。以下で説明する各動作例において、複数の画素 10 の m 列目の列は、第 1 の列の一例である。また、複数の画素 10 の n 行目の行は、第 1 の行の一例である。また、複数の画素 10 の $n+1$ 行目の行は、第 1 の行と異なる第 2 の行の一例である。また、 n 行目かつ m 列目に配置される画素 10 は、第 1 画素の一例である。また、 $n+1$ 行目かつ m 列目に配置される画素 10 は、第 2 画素の一例である。

[0076] なお、以下の説明では、説明を単純化するため、白黒の画像を得る場合について説明する。カラー画像を得る場合には、列方向および行方向において複数の画素 10 の間に、画素 10 とは異なる色に対応する画素が存在しうる。つまり、本実施の形態において、カラー画像を得る場合、複数の画素 10 は、同じ色に対応し、異なる色に対応する画素を含まない。そのため、カラー画像を得る場合には、同じ色に対応する複数の画素 10 に対して以下の動作が行われる。

[0077] まず、時刻 t_1 よりも前に、複数の画素 10 の露光が行われ、各画素 10

の電荷蓄積部 7 1 には、光電変換部 1 3 が生成した信号電荷が蓄積される。複数の画素 1 0 の露光は、例えば、グローバルシャッタ方式で行われる。例えば信号電荷として正孔を利用する場合、露光期間においては、例えば、電圧供給回路 1 5 0 は、画素電極 1 1 よりも対向電極 1 2 の電位を十分に高くするような第 1 電圧を対向電極 1 2 に供給する。これにより、各画素 1 0 において、光電変換層 1 5 の光電変換により生成した信号電荷である正孔が画素電極 1 1 に移動し、電荷蓄積部 7 1 に蓄積される。その結果、露光期間において光電変換部 1 3 への光の入射量に応じた信号電荷が電荷蓄積部 7 1 に蓄積される。露光期間終了後、電圧供給回路 1 5 0 は、光電変換部 1 3 において信号電荷の移動が実質的に生じないような第 2 電圧を対向電極 1 2 に供給する。具体的には、電圧供給回路 1 5 0 は、画素電極 1 1 と対向電極 1 2 との電位差が第 1 電圧を供給した場合よりも小さくなる、例えば、当該電位差がゼロ近傍（例えば 1 V 以下）になるような第 2 電圧を対向電極 1 2 に供給する。これにより、光電変換部 1 3 に光が入射した場合でも、生成した信号電荷が画素電極 1 1 に捕集されず、電荷蓄積部 7 1 では、露光期間に捕集された信号電荷量が保持される。露光後に、下記で説明するように、各画素 1 0 から画素信号が順次出力される。

[0078] なお、複数の画素 1 0 の露光は、ローリングシャッタ方式で行われてもよい。ローリングシャッタ方式での露光の場合には、例えば、露光後も露光中と同じ第 1 電圧が対向電極 1 2 に供給され、画素 1 0 をリセットしてから最初の画素信号の出力までが露光期間となる。また、露光期間の調整のために、画素 1 0 では、基準信号を出力する直前のリセットの後、再度リセットが行われてもよい。

[0079] 次に、時刻 t_1 において、アドレス制御線 SEL_n の電位がハイレベルになり、 n 行目の画素 1 0 のアドレスランジスタ 2 6 が導通状態になる。つまり、 n 行目の画素 1 0 が選択された状態になる。また、この際、スイッチ S_1 がオフとなり、スイッチ S_1b がオンとなり、スイッチ R_1 がオフとなり、スイッチ R_1b がオンとなる。これにより、 n 行目の画素 1 0 の電荷蓄

積部 7 1 に蓄積された信号電荷の量に対応する画素信号が垂直信号線 C m に出力される。

[0080] また、時刻 t_1 において、アドレス制御線 SEL_{n+1} の電位もハイレベルになり、 $n+1$ 行目の画素 1 0 のアドレストランジスタ 2 6 も導通状態になる。つまり、 $n+1$ 行目の画素 1 0 が選択された状態になる。これにより、 $n+1$ 行目の画素 1 0 の電荷蓄積部 7 1 に蓄積された信号電荷の量に対応する画素信号が垂直信号線 C m に出力される。これにより、垂直信号線 C m では、 n 行目の画素 1 0 が出力する画素信号と $n+1$ 行目の画素 1 0 が出力する画素信号とが混合される。

[0081] 次に、画素信号が出力されることによる垂直信号線 C m の電位の振幅がほぼ収束する時刻 t_2 において、信号処理回路 1 3 0 は、垂直信号線 C m に出力されている画素信号を読み出す。信号処理回路 1 3 0 は、例えば、垂直信号線 C m に出力された画素信号に対応する電圧レベルを一時的に保持する。信号処理回路 1 3 0 は、この電圧レベルを保持するための容量素子を含んでもよい。また、この際、信号処理回路 1 3 0 に読み出された画素信号を S_{n_n+1} とする。

[0082] 次に、時刻 t_3 において、リセット制御線 RST_n の電位がハイレベルになり、 n 行目の画素 1 0 のリセットトランジスタ 2 8 が導通状態になる。この際、フィードバック制御線 FB_n の電位もハイレベルになり、帯域制御トランジスタ 8 1 も導通状態となる。さらに、スイッチ S_1 がオンとなり、スイッチ S_{1b} がオフとなり、スイッチ R_1 がオンとなり、スイッチ R_{1b} がオフとなる。その結果、 n 行目の画素 1 0 において、増幅トランジスタ 2 4 と垂直信号線 C m と電源線 7 0 とその先の定電流源 9 0 とでソース接地アンプを形成する。これにより、 n 行目の画素 1 0 がリセットされる。具体的には、 n 行目の画素 1 0 の電荷蓄積部 7 1 の電位は V_{bias} にリセットされる。

[0083] また、時刻 t_3 において、アドレス制御線 SEL_{n+1} の電位がローレベルになり、 $n+1$ 行目の画素 1 0 のアドレストランジスタ 2 6 が非導通状態

になる。つまり、 $n + 1$ 行目の画素 10 が非選択の状態になる。また、リセット制御線 RST_{n+1} の電位はローレベルのままである。そのため、 $n + 1$ 行目の画素 10 はリセットされない。

[0084] 次に、時刻 t_4 において、リセット制御線 RST_n の電位がローレベルになり、 n 行目の画素 10 のリセットトランジスタ 28 が非導通状態になる。この際、フィードバック制御線 FB_n の電位はハイレベルとローレベルとの間の中間電位となり、帯域制御トランジスタ 81 が抵抗回路として機能し負帰還アンプが構成される。その後、時刻 t_4 と時刻 t_5 との間の所定の時刻で、フィードバック制御線 FB_n の電位はローレベルになり、帯域制御トランジスタ 81 が非導通状態となり、電荷蓄積部 71 の電位のリセットが完了する。また、この際、スイッチ S_1 がオフとなり、スイッチ S_{1b} がオンとなり、スイッチ R_1 がオフとなり、スイッチ R_{1b} がオンとなる。これにより、 n 行目の画素 10 のリセット後の信号である基準信号、つまり、リセットされた電荷蓄積部 71 の電位に対応する基準信号が垂直信号線 C_m に出力される。このように、 n 行目の画素 10 は、画素信号を出力した後、リセットが行われ、リセット後に基準信号を出力する。また、この際、 $n + 1$ 行目の画素 10 の信号は垂直信号線 C_m に出力されない。つまり、 n 行目の画素 10 の基準信号のみが垂直信号線 C_m に出力される。

[0085] 以上のようなフィードバックアンプ構成を用いたリセット動作が行われることで、電荷蓄積部 71 の電位をリセットする際のリセットトランジスタ 28 に起因するリセットノイズを低減することができる。なお、時刻 t_4 において、フィードバック制御線 FB_n の電位がハイレベルとローレベルとの間の中間電位をとらずに、ローレベルとなることで、画素 10 のリセットが完了してもよい。また、画素 10 がフィードバック回路を含まない構成の場合には、時刻 t_4 においてリセットが完了する。

[0086] 次に、時刻 t_5 において、信号処理回路 130 は、垂直信号線 C_m に出力されている基準信号を読み出す。この際、信号処理回路 130 に読み出された基準信号を R_n とする。そして、信号処理回路 130 は、 n 行目の画素 1

0の画像信号を生成する。n行目の画素10の画像信号は、画素信号 S_{n_n+1} と基準信号 R_n との差分信号($S_{n\_n+1} - R_n$)として得られる。信号処理回路130は、例えば、画素信号 S_{n_n+1} に対応する電圧と基準信号 R_n に対応する電圧との出力電圧差により差分信号を取得する。

[0087] 次に、時刻 t_6 において、アドレス制御線 SEL_n の電位がローレベルになり、n行目の画素10のアドレストランジスタ26が非導通状態になる。つまり、n行目の画素10が非選択の状態になる。

[0088] また、時刻 t_6 において、アドレス制御線 SEL_{n+1} の電位がハイレベルになり、 $n+1$ 行目の画素10のアドレストランジスタ26が導通状態になる。つまり、 $n+1$ 行目の画素10が選択された状態になる。また、この際、スイッチ S_1 がオフとなり、スイッチ S_{1b} がオンとなり、スイッチ R_1 がオフとなり、スイッチ R_{1b} がオンとなる。これにより、 $n+1$ 行目の画素10の電荷蓄積部71に蓄積された信号電荷の量に対応する画素信号が垂直信号線 C_m に出力される。 $n+1$ 行目の画素10の画素信号は、時刻 t_1 から時刻 t_3 でも出力されているが、非破壊で出力されており、 $n+1$ 行目の画素10がリセットされていない。そのため、 $n+1$ 行目の画素10は、再び画素信号を出力することが可能である。また、電圧供給回路150が、実質的に電荷蓄積部71に信号電荷を蓄積させなくなる第2電圧を対向電極12に印加しているため、時間が経過しても、 $n+1$ 行目の画素10の画素信号の出力値は変化しない。

[0089] また、時刻 t_6 において、アドレス制御線 SEL_{n+2} の電位もハイレベルになり、 $n+2$ 行目の画素10のアドレストランジスタ26も導通状態になる。つまり、 $n+2$ 行目の画素10が選択された状態になる。これにより、 $n+2$ 行目の画素10の電荷蓄積部71に蓄積された信号電荷の量に対応する画素信号が垂直信号線 C_m に出力される。これにより、垂直信号線 C_m では、 $n+1$ 行目の画素10が出力する画素信号と $n+2$ 行目の画素10が出力する画素信号とが混合される。

[0090] 次に、画素信号が出力されることによる垂直信号線 C_m の電位の振幅がほ

ば収束する時刻 t_7 において、信号処理回路 130 は、垂直信号線 C_m に出力されている画素信号を読み出す。この際、信号処理回路 130 に読み出された画素信号を S_{n+1_n+2} とする。

[0091] 次に、時刻 t_8 において、リセット制御線 RST_{n+1} の電位がハイレベルになり、 $n+1$ 行目の画素 10 のリセットトランジスタ 28 が導通状態になる。この際、フィードバック制御線 FB_{n+1} の電位もハイレベルになり、帯域制御トランジスタ 81 も導通状態となる。さらに、スイッチ S_1 がオンとなり、スイッチ S_{1b} がオフとなり、スイッチ R_1 がオンとなり、スイッチ R_{1b} がオフとなる。これにより、 $n+1$ 行目の画素 10 がリセットされる。具体的には、 $n+1$ 行目の画素 10 の電荷蓄積部 71 の電位は V_{bias} にリセットされる。

[0092] また、時刻 t_8 において、アドレス制御線 SEL_{n+2} の電位がローレベルになり、 $n+2$ 行目の画素 10 のアドレストランジスタ 26 が非導通状態になる。つまり、 $n+2$ 行目の画素 10 が非選択の状態になる。また、リセット制御線 RST_{n+2} の電位はローレベルのままである。そのため、 $n+2$ 行目の画素 10 はリセットされない。

[0093] 次に、時刻 t_9 において、リセット制御線 RST_{n+1} の電位がローレベルになり、 $n+1$ 行目の画素 10 のリセットトランジスタ 28 が非導通状態になる。この際、フィードバック制御線 FB_{n+1} の電位はハイレベルとローレベルとの間の中間電位となり、帯域制御トランジスタ 81 が抵抗回路として機能し負帰還アンプが構成される。その後、時刻 t_9 と時刻 t_{10} との間の所定の時刻で、フィードバック制御線 FB_{n+1} の電位はローレベルになり、帯域制御トランジスタ 81 が非導通状態となり、電荷蓄積部 71 の電位のリセットが完了する。また、この際、スイッチ S_1 がオフとなり、スイッチ S_{1b} がオンとなり、スイッチ R_1 がオフとなり、スイッチ R_{1b} がオンとなる。これにより、 $n+1$ 行目の画素 10 のリセット後の信号である基準信号が垂直信号線 C_m に出力される。また、この際、 $n+2$ 行目の画素 10 の信号は垂直信号線 C_m に出力されない。つまり、 $n+1$ 行目の画素 10

の基準信号のみが垂直信号線C_mに出力される。

[0094] 次に、時刻t₁₀において、信号処理回路130は、垂直信号線C_mに出力されている基準信号を読み出す。この際、信号処理回路130に読み出された基準信号をR_{n+1}とする。そして、信号処理回路130は、n+1行目の画素10の画像信号を生成する。n+1行目の画素10の画像信号は、画素信号S_{n+1}__n+2と基準信号R_{n+1}との差分信号（S_{n+1}__n+2－R_{n+1}）として得られる。

[0095] 次に、時刻t₁₁において、アドレス制御線SEL_{n+1}の電位がローレベルになり、n+1行目の画素10のアドレストランジスタ26が非導通状態になる。つまり、n+1行目の画素10が非選択の状態になる。

[0096] また、時刻t₁₁において、アドレス制御線SEL_{n+2}の電位がハイレベルになり、n+2行目の画素10のアドレストランジスタ26が導通状態になる。つまり、n+2行目の画素10が選択された状態になる。以降、複数の画素10のn+2行目以降の全ての行において、上記のn行目、n+1行目と同様の動作が、複数の画素10の行毎に行われる。これにより、複数の画素10の行数と同じ行数の画素の画像信号が信号処理回路130から出力される。

[0097] このように、動作例1では、複数の画素10は、画素信号と基準信号とを複数の画素10の1行からなる読み出し行毎に順次に垂直信号線C_mに出力する。また、読み出し行であるn行目の画素10が画素信号を出力する第1期間（時刻t₁から時刻t₃）に、n行目の次の読み出し行であるn+1行目の画素10も画素信号を出力する。また、n行目の画素10が基準信号を出力する第2期間（時刻t₄と時刻t₅との間の所定の時刻から時刻t₆）に、n+1行目の画素10は基準信号を出力しない。また、n+1行目の画素10は、第1期間の後、リセットが行われる前に、画素信号を再度出力する。信号処理回路130は、n行目の画素10およびn+1行目の画素10が第1期間に垂直信号線C_mに出力した画素信号S_n__n+1と、n行目の画素10が垂直信号線C_mに出力した基準信号R_nとに基づいて画像データ

を生成する。

[0098] このような動作により、2行分の画素10の画素信号が同時に垂直信号線Cmに出力されて混合される。2行分の画素10の画素信号の値が同じ程度の場合、増幅トランジスタ24の実効的なゲート幅が2倍になるため、増幅トランジスタ24の相互コンダクタンス g_m は $\sqrt{2}$ 倍になる。一般的に、増幅トランジスタ24に起因するランダムノイズは $1/g_m$ に比例する。そのため、2行分の画素10の画素信号が同時に垂直信号線Cmに出力されることで低ノイズ化を実現することが可能となる。また、一般的に、セトリング時間も $1/g_m$ に比例する。そのため、2行分の画素10の画素信号が同時に垂直信号線Cmに出力されることで高速な駆動を実現することが可能となる。例えば、時刻 t_1 から時刻 t_2 までの時間をより短く設定することが可能になる。

[0099] また、2行からなる読み出し行毎に画像信号を読み出している特許文献2と異なり、動作例1では、1行からなる読み出し行毎に画像信号の読み出しが行われるため、2行分の画素10の画素信号が同時に垂直信号線Cmに出力されても、解像度が粗くなることもなく、高精細な画像を得ることができる。よって、撮像装置100では、効果的に低ノイズ化が実現できる。

[0100] なお、本明細書において、「読み出し行」とは、画素10が信号を出力する行とは異なる概念の行であり、信号処理回路130によって画像信号として信号が読み出される対象となる複数の画素10の行である。つまり、読み出し行は、信号処理回路130が出力する画像信号（画像データ）の画素の行に一对一に対応する複数の画素10の行である。本実施の形態においては、読み出し行とは異なる行の画素10も、読み出し行の画素10と同時に画素信号を出力することで上記の効果が得られる。また、カラー画像を得る場合の「次の読み出し行」とは、同じ色の画素10における次の読み出し行である。

[0101] (2) 動作例2

次に、撮像装置100の動作例2について説明する。以下の動作例2の説

明では、動作例 1 との相違点を中心に説明し、共通点の説明を省略または簡略化する。動作例 2 は、信号処理回路 130 がメモリ 170 に記憶させた基準信号を用いて画像信号を生成する動作の例である。

[0102] 図 5 は、撮像装置 100 の動作例 2 のタイミングチャートである。図 5 には、図 4 と同じ項目が示されている。以下の動作例 2 の説明では、 m 列目の画素 10 および対応する周辺回路の動作について説明するが、他の列の画素 10 についても、同様の動作が行われる。

[0103] まず、時刻 t_1 において、アドレス制御線 SEL_n の電位がハイレベルになり、 n 行目の画素 10 のアドレストランジスタ 26 が導通状態になる。また、リセット制御線 RST_n の電位がハイレベルになり、 n 行目の画素 10 のリセットトランジスタ 28 が導通状態になる。この際、フィードバック制御線 FB_n の電位もハイレベルになり、帯域制御トランジスタ 81 も導通状態となる。さらに、スイッチ S_1 がオンとなり、スイッチ S_{1b} がオフとなり、スイッチ R_1 がオンとなり、スイッチ R_{1b} がオフとなる。これにより、 n 行目の画素 10 がリセットされる。

[0104] 次に、時刻 t_2 において、リセット制御線 RST_n の電位がローレベルになり、 n 行目の画素 10 のリセットトランジスタ 28 が非導通状態になる。この際、フィードバック制御線 FB_n の電位はハイレベルとローレベルとの間の中間電位となる。その後、時刻 t_2 と時刻 t_3 との間の所定の時刻で、フィードバック制御線 FB_n の電位はローレベルになり、帯域制御トランジスタ 81 が非導通状態となり、電荷蓄積部 71 の電位のリセットが完了する。また、この際、スイッチ S_1 がオフとなり、スイッチ S_{1b} がオンとなり、スイッチ R_1 がオフとなり、スイッチ R_{1b} がオンとなる。これにより、 n 行目の画素 10 のリセット後の基準信号が垂直信号線 C_m に出力される。また、この際、 $n+1$ 行目の画素 10 の信号は垂直信号線 C_m に出力されない。つまり、 n 行目の画素 10 の基準信号のみが垂直信号線 C_m に出力される。

[0105] 次に、時刻 t_3 において、信号処理回路 130 は、垂直信号線 C_m に出力

されている基準信号を読み出す。この際、信号処理回路130に読み出された基準信号を R_n とする。信号処理回路130は、読み出した基準信号 R_n をメモリ170に記憶させる。信号処理回路130は、例えば、AD変換後の基準信号 R_n のデジタル値をメモリ170に記憶させる。

[0106] 次に、時刻 t_4 において、アドレス制御線 SEL_n の電位がローレベルになり、 n 行目の画素10のアドレストランジスタ26が非導通状態になる。

[0107] また、時刻 t_4 において、アドレス制御線 SEL_{n+1} の電位がハイレベルになり、 $n+1$ 行目の画素10のアドレストランジスタ26が導通状態になる。また、リセット制御線 RST_{n+1} の電位がハイレベルになり、 $n+1$ 行目の画素10のリセットトランジスタ28が導通状態になる。この際、フィードバック制御線 FB_{n+1} の電位もハイレベルになり、帯域制御トランジスタ81が導通状態となる。さらに、スイッチ S_1 がオンとなり、スイッチ S_{1b} がオフとなり、スイッチ R_1 がオンとなり、スイッチ R_{1b} がオフとなる。これにより、 $n+1$ 行目の画素10がリセットされる。

[0108] 次に、時刻 t_5 において、リセット制御線 RST_{n+1} の電位がローレベルになり、 $n+1$ 行目の画素10のリセットトランジスタ28が非導通状態になる。この際、フィードバック制御線 FB_{n+1} の電位はハイレベルとローレベルとの間の中間電位となる。その後、時刻 t_5 と時刻 t_6 との間の所定の時刻で、フィードバック制御線 FB_{n+1} の電位はローレベルになり、帯域制御トランジスタ81が非導通状態となり、電荷蓄積部71の電位のリセットが完了する。また、この際、スイッチ S_1 がオフとなり、スイッチ S_{1b} がオンとなり、スイッチ R_1 がオフとなり、スイッチ R_{1b} がオンとなる。これにより、 $n+1$ 行目の画素10のリセット後の基準信号が垂直信号線 C_m に出力される。また、この際、 $n+2$ 行目の画素10の信号は垂直信号線 C_m に出力されない。つまり、 $n+1$ 行目の画素10の基準信号のみが垂直信号線 C_m に出力される。

[0109] 次に、時刻 t_6 において、信号処理回路130は、垂直信号線 C_m に出力されている基準信号を読み出す。この際、信号処理回路130に読み出され

た基準信号を R_{n+1} とする。信号処理回路130は、読み出した基準信号 R_{n+1} をメモリ170に記憶させる。信号処理回路130は、例えば、A/D変換後の基準信号 R_{n+1} のデジタル値をメモリ170に記憶させる。

[0110] 次に、時刻 t_7 において、アドレス制御線 SEL_{n+1} の電位がローレベルになり、 $n+1$ 行目の画素10のアドレストランジスタ26が非導通状態になる。時刻 t_7 以降、複数の画素10の $n+2$ 行目以降の全ての行において、 n 行目および $n+1$ 行目と同様の画素10のリセットおよび基準信号の読み出し等の動作が、複数の画素10の行毎に行われる。

[0111] 全ての画素10に対してリセットが行われた後、時刻 t_8 までの期間のうちの所定の期間で複数の画素10の露光が行われる。露光の動作は、動作例1で説明した通りである。

[0112] 次に、時刻 t_8 において、アドレス制御線 SEL_n の電位がハイレベルになり、 n 行目の画素10のアドレストランジスタ26が導通状態になる。また、この際、スイッチ S_1 がオフとなり、スイッチ S_{1b} がオンとなり、スイッチ R_1 がオフとなり、スイッチ R_{1b} がオンとなる。これにより、 n 行目の画素10の電荷蓄積部71に蓄積された信号電荷の量に対応する画素信号が垂直信号線 C_m に出力される。

[0113] 次に、時刻 t_9 において、アドレス制御線 SEL_{n+1} の電位がハイレベルになり、 $n+1$ 行目の画素10のアドレストランジスタ26が導通状態になる。これにより、 $n+1$ 行目の画素10の電荷蓄積部71に蓄積された信号電荷の量に対応する画素信号が垂直信号線 C_m に出力される。その結果、垂直信号線 C_m では、 n 行目の画素10が出力する画素信号と $n+1$ 行目の画素10が出力する画素信号とが混合される。

[0114] 次に、時刻 t_{10} において、信号処理回路130は、垂直信号線 C_m に出力されている画素信号を読み出す。この際、信号処理回路130に読み出された画素信号を S_{n_n+1} とする。そして、信号処理回路130は、 n 行目の画素10の画像信号を生成する。 n 行目の画素10の画像信号は、画素信号 S_{n_n+1} と基準信号 R_n および基準信号 R_{n+1} の平均値との差分

信号として得られる。信号処理回路130は、例えば、読み出した画素信号 S_{n_n+1} のAD変換後に、メモリ170に記憶されている基準信号 R_n および基準信号 R_{n+1} を参照し、画素信号 S_{n_n+1} から基準信号 R_n および基準信号 R_{n+1} の平均値を差し引く演算処理を行うことで、 n 行目の画素10の画像信号を取得する。

[0115] 次に、時刻 t_{11} において、アドレス制御線 SEL_n の電位がローレベルになり、 n 行目の画素10のアドレストランジスタ26が非導通状態になる。この際、アドレス制御線 SEL_{n+1} の電位はハイレベルのままであり、 $n+1$ 行目の画素10のアドレストランジスタ26は、引き続き導通状態である。そのため、時刻 t_{11} においても、 $n+1$ 行目の画素10の画素信号が垂直信号線 C_m に出力されている。

[0116] また、時刻 t_{11} において、アドレス制御線 SEL_{n+2} の電位がハイレベルになり、 $n+2$ 行目の画素10のアドレストランジスタ26が導通状態になる。これにより、 $n+2$ 行目の画素10の電荷蓄積部71に蓄積された信号電荷の量に対応する画素信号が垂直信号線 C_m に出力される。その結果、垂直信号線 C_m では、 $n+1$ 行目の画素10が出力する画素信号と $n+2$ 行目の画素10が出力する画素信号とが混合される。

[0117] 次に、時刻 t_{12} において、信号処理回路130は、垂直信号線 C_m に出力されている画素信号を読み出す。この際、信号処理回路130に読み出された画素信号を S_{n+1_n+2} とする。そして、信号処理回路130は、 $n+1$ 行目の画素10の画像信号を生成する。 $n+1$ 行目の画素10の画像信号は、画素信号 S_{n+1_n+2} と基準信号 R_{n+1} および基準信号 R_{n+2} の平均値との差分信号として得られる。信号処理回路130は、例えば、読み出した画素信号 S_{n+1_n+2} のAD変換後に、メモリ170に記憶されている基準信号 R_{n+1} および $n+2$ 行目の画素10の基準信号 R_{n+2} を参照し、画素信号 S_{n+1_n+2} から基準信号 R_{n+1} および基準信号 R_{n+2} の平均値を差し引く演算処理を行うことで、 $n+1$ 行目の画素10の画像信号を取得する。

[0118] 次に、時刻 t_{13} において、アドレス制御線 SEL_{n+1} の電位がローレベルになり、 $n+1$ 行目の画素 10 のアドレストランジスタ 26 が非導通状態になる。また、時刻 t_{13} において、アドレス制御線 SEL_{n+3} の電位がハイレベルになり、 $n+3$ 行目の画素 10 のアドレストランジスタ 26 が導通状態になる。時刻 t_{13} 以降、複数の画素 10 の $n+2$ 行目以降の全ての行において、上記の n 行目、 $n+1$ 行目と同様の画素信号の読み出しおよび画像信号の生成等の動作が、複数の画素 10 の行毎に順次行われる。

[0119] このように、動作例 2 では、信号処理回路 130 は、 n 行目の画素 10 が垂直信号線 C_m に出力した基準信号 R_n と、 $n+1$ 行目の画素 10 が垂直信号線 C_m に出力した基準信号 R_{n+1} と、 n 行目の画素 10 および $n+1$ 行目の画素 10 が第 1 期間に垂直信号線 C_m に出力した画素信号 S_{n_n+1} とに基づいて画像データを生成する。

[0120] このような動作により、動作例 1 と同様に、2 行分の画素 10 の画素信号が同時に垂直信号線 C_m に出力されることで、低ノイズ化および高速な駆動を実現することが可能になる。また、信号処理回路 130 が、2 行分の画素 10 の基準信号と、2 行分の画素 10 の画素信号が混合した画素信号とを用いて画像データを生成する。そのため、画像データの生成に用いられる基準信号および画素信号のいずれにも 2 行分の画素 10 のリセットノイズが重畳されていることになる。よって、2 行分の画素 10 の画素信号が混合した画素信号から 2 行分の画素 10 の基準信号を差し引くことで、リセットノイズの影響を除去でき、更なる低ノイズ化を実現することができる。

[0121] また、例えば、画素信号を出力した後、リセットが行われて、基準信号が出力されると、画素信号には、画素信号の出力前のリセットのリセットノイズが重畳し、基準信号には、画素信号の出力後のリセットのリセットノイズが重畳する。つまり、基準信号と画素信号とには、別のリセット動作によるリセットノイズが重畳する。これに対して、動作例 2 では、 n 行目の画素 10 は、リセット後の基準信号を出力した後、露光期間において信号電荷を蓄積してから、画素信号を出力する。これにより、基準信号と画素信号とには

、同じリセット動作によるリセットノイズが重畳する。そのため、画素信号から基準信号を差し引くことでリセットノイズの影響を正確に除去でき、更なる低ノイズ化を実現することができる。

[0122] このように、撮像装置 100 が動作例 2 の動作を行う場合には、リセットノイズの影響を低減できるため、撮像装置 100 は、リセットノイズを負帰還させるフィードバック回路を含んでいなくてもよい。これにより、画素回路の簡素化が可能である。

[0123] なお、動作例 2 では、信号処理回路 130 は、メモリ 170 に記憶されている 2 行分の画素 10 の基準信号を用いて画像データを生成したが、1 行分の画素 10（つまり読み出し行の画素 10）の基準信号を用いて画像データを生成してもよい。

[0124] また、信号処理回路 130 は、画像データを生成せずに、AD変換後の画素信号および基準信号を外部に出力し、外部の処理回路が、外部メモリに出力された基準信号を記憶させ、上記の画像データの生成を行ってもよい。

[0125] （3）動作例 3

次に、撮像装置 100 の動作例 3 について説明する。以下の動作例 3 の説明では、動作例 1 との相違点を中心に説明し、共通点の説明を省略または簡略化する。動作例 3 は、3 行分の画素 10 の画素信号が垂直信号線 C に同時に出力される場合の動作の例である。

[0126] 図 6 は、撮像装置 100 の動作例 3 のタイミングチャートである。図 6 には、図 4 と同じ項目が示されている。以下の動作例 3 の説明では、m 列目の画素 10 および対応する周辺回路の動作について説明するが、他の列の画素 10 についても、同様の動作が行われる。動作例 3 において、複数の画素 10 の n + 2 行目の行は、第 1 の行および第 2 の行と異なる第 3 の行の一例である。

[0127] まず、動作例 1 と同様に、時刻 t 1 よりも前に、複数の画素 10 の露光が行われ、各画素 10 の電荷蓄積部 71 には、光電変換部 13 が生成した信号電荷が蓄積される。

[0128] 次に、時刻 t_1 において、アドレス制御線 SEL_n の電位がハイレベルになり、 n 行目の画素 10 のアドレストランジスタ 26 が導通状態になる。また、この際、スイッチ S_1 がオフとなり、スイッチ S_{1b} がオンとなり、スイッチ R_1 がオフとなり、スイッチ R_{1b} がオンとなる。これにより、 n 行目の画素 10 の電荷蓄積部 71 に蓄積された信号電荷の量に対応する画素信号が垂直信号線 C_m に出力される。

[0129] また、時刻 t_1 において、アドレス制御線 SEL_{n+1} 、 SEL_{n+2} の電位もハイレベルになり、 $n+1$ 行目および $n+2$ 行目の画素 10 のアドレストランジスタ 26 も導通状態になる。これにより、 $n+1$ 行目および $n+2$ 行目の画素 10 のそれぞれの電荷蓄積部 71 に蓄積された信号電荷の量に対応する画素信号が垂直信号線 C_m に出力される。これにより、垂直信号線 C_m では、 n 行目の画素 10 が出力する画素信号と $n+1$ 行目の画素 10 が出力する画素信号と $n+2$ 行目の画素 10 が出力する画素信号とが混合される。

[0130] 次に、時刻 t_2 において、信号処理回路 130 は、垂直信号線 C_m に出力されている画素信号を読み出す。この際、信号処理回路 130 に読み出された画素信号を $S_n\_n+1\_n+2$ とする。

[0131] 次に、時刻 t_3 において、リセット制御線 RST_n の電位がハイレベルになり、 n 行目の画素 10 のリセットトランジスタ 28 が導通状態になる。この際、フィードバック制御線 FB_n の電位もハイレベルになり、帯域制御トランジスタ 81 が導通状態となる。さらに、スイッチ S_1 がオンとなり、スイッチ S_{1b} がオフとなり、スイッチ R_1 がオンとなり、スイッチ R_{1b} がオフとなる。これにより、 n 行目の画素 10 がリセットされ、 n 行目の画素 10 の電荷蓄積部 71 の電位は V_{bias} にリセットされる。

[0132] また、時刻 t_3 において、アドレス制御線 SEL_{n+1} 、 SEL_{n+2} の電位がローレベルになり、 $n+1$ 行目および $n+2$ 行目の画素 10 のアドレストランジスタ 26 が非導通状態になる。

[0133] 時刻 t_3 から時刻 t_5 にかけては、動作例 1 と同様の方法で、 n 行目の画

素10のリセットが行われる。これにより、 n 行目の画素10のリセット後の基準信号が垂直信号線 C_m に出力される。

[0134] 次に、時刻 t_5 において、信号処理回路130は、垂直信号線 C_m に出力されている基準信号を読み出す。この際、信号処理回路130に読み出された基準信号を R_n とする。そして、信号処理回路130は、 n 行目の画素10の画像信号を生成する。 n 行目の画素10の画像信号は、画素信号 $S_{n\_n+1\_n+2}$ と基準信号 R_n との差分信号($S_{n\_n+1\_n+2} - R_n$)として得られる。

[0135] 次に、時刻 t_6 において、アドレス制御線 SEL_n の電位がローレベルになり、 n 行目の画素10のアドレストランジスタ26が非導通状態になる。また、時刻 t_6 において、アドレス制御線 SEL_{n+1} の電位がハイレベルになり、 $n+1$ 行目の画素10のアドレストランジスタ26が導通状態になる。さらに、時刻 t_6 において、アドレス制御線 SEL_{n+2} 、 SEL_{n+3} の電位もハイレベルになり、 $n+2$ 行目および $n+3$ 行目の画素10のアドレストランジスタ26も導通状態になる。以降、複数の画素10の $n+1$ 行目以降の全ての行において、上記の n 行目と同様の動作が、複数の画素10の行毎に行われる。

[0136] このように、動作例3では、読み出し行である n 行目の画素10が画素信号を出力する第1期間(時刻 t_1 から時刻 t_3)に、 n 行目の次の読み出し行である $n+1$ 行目の画素10、および、 $n+1$ 行目の次の読み出し行である $n+2$ 行目の画素10も画素信号を出力する。また、 n 行目の画素10が基準信号を出力する第2期間(時刻 t_4 と時刻 t_5 との間の所定の時刻から時刻 t_6)に、 $n+1$ 行目および $n+2$ 行目の画素10は基準信号を出力しない。また、 $n+1$ 行目および $n+2$ 行目それぞれの画素10は、第1期間の後、リセットが行われる前に、画素信号を再度出力する。

[0137] このような動作により、3行分の画素10の画素信号が同時に垂直信号線 C_m に出力されて混合される。3行分の画素10の画素信号の値が同じ程度の場合、増幅トランジスタ24の実効的なゲート幅が3倍になるため、増幅

トランジスタ 24 の相互コンダクタンス g_m は $\sqrt{3}$ 倍になる。そのため、3 行分の画素 10 の画素信号が同時に垂直信号線 C_m に出力されることで更なる低ノイズ化および高速な駆動を実現することが可能となる。

[0138] なお、動作例 3 においても、動作例 2 と同様に、各行の画素 10 は、基準信号を出力した後、露光期間において信号電荷を蓄積してから、画素信号を出力してもよい。

[0139] (4) 動作例 4

次に、撮像装置 100 の動作例 4 について説明する。以下の動作例 4 の説明では、動作例 1 との相違点を中心に説明し、共通点の説明を省略または簡略化する。動作例 4 は、2 行からなる読み出し行毎に、画素 10 の画素信号および基準信号が読み出される場合の動作の例である。

[0140] 図 7 は、撮像装置 100 の動作例 4 のタイミングチャートである。図 7 には、図 4 と同じ項目が示されている。以下の動作例 4 の説明では、 m 列目の画素 10 および対応する周辺回路の動作について説明するが、他の列の画素 10 についても、同様の動作が行われる。

[0141] まず、動作例 1 と同様に、時刻 t_1 よりも前に、複数の画素 10 の露光が行われ、各画素 10 の電荷蓄積部 71 には、光電変換部 13 が生成した信号電荷が蓄積される。

[0142] 次に、時刻 t_1 において、アドレス制御線 SEL_n 、 SEL_{n+1} の電位がハイレベルになり、 n 行目および $n+1$ 行目の画素 10 のアドレストランジスタ 26 が導通状態になる。また、この際、スイッチ S_1 がオフとなり、スイッチ S_{1b} がオンとなり、スイッチ R_1 がオフとなり、スイッチ R_{1b} がオンとなる。これにより、 n 行目および $n+1$ 行目の画素 10 の電荷蓄積部 71 に蓄積された信号電荷の量に対応する画素信号が垂直信号線 C_m に出力される。

[0143] また、時刻 t_1 において、アドレス制御線 SEL_{n+2} 、 SEL_{n+3} の電位もハイレベルになり、 $n+2$ 行目および $n+3$ 行目の画素 10 のアドレストランジスタ 26 も導通状態になる。これにより、 $n+2$ 行目および $n+$

3行目の画素10のそれぞれの電荷蓄積部71に蓄積された信号電荷の量に対応する画素信号が垂直信号線Cmに出力される。これにより、垂直信号線Cmでは、n行目の画素10が出力する画素信号とn+1行目の画素10が出力する画素信号とn+2行目の画素10が出力する画素信号とn+3行目の画素10が出力する画素信号とが混合される。

[0144] 次に、時刻t2において、信号処理回路130は、垂直信号線Cmに出力されている画素信号を読み出す。この際、信号処理回路130に読み出された画素信号を $S_n\_n+1\_n+2\_n+3$ とする。

[0145] 次に、時刻t3において、リセット制御線RSTn、RSTn+1の電位がハイレベルになり、n行目およびn+1行目の画素10のリセットトランジスタ28が導通状態になる。この際、フィードバック制御線FBn、FBn+1の電位もハイレベルになり、帯域制御トランジスタ81が導通状態となる。さらに、スイッチS1がオンとなり、スイッチS1bがオフとなり、スイッチR1がオンとなり、スイッチR1bがオフとなる。これにより、n行目およびn+1行目の画素10がリセットされる。具体的には、n行目およびn+1行目の画素10の電荷蓄積部71の電位はVbiasにリセットされる。

[0146] また、時刻t3において、アドレス制御線SELn+2、SELn+3の電位がローレベルになり、n+2行目およびn+3行目の画素10のアドレ스트ランジスタ26が非導通状態になる。

[0147] 時刻t3から時刻t5にかけては、動作例1と同様の方法で、n行目およびn+1行目の画素10のリセットが行われる。これにより、n行目およびn+1行目の画素10のリセット後の基準信号が垂直信号線Cmに出力される。

[0148] 次に、時刻t5において、信号処理回路130は、垂直信号線Cmに出力されている基準信号を読み出す。この際、信号処理回路130に読み出された基準信号を R_n_n+1 とする。そして、信号処理回路130は、2行からなる読み出し行であるn行目およびn+1行目の画素10の画像信号を生

成する。n行目およびn+1行目の画素10の画像信号は、画素信号 $S_{n\_n+1\_n+2\_n+3}$ と基準信号 R_{n_n+1} との差分信号($S_{n\_n+1\_n+2\_n+3} - R_{n\_n+1}$)として得られる。

[0149] 次に、時刻t6において、アドレス制御線SELn、SELn+1の電位がローレベルになり、n行目およびn+1行目の画素10のアドレストランジスタ26が非導通状態になる。また、時刻t6において、アドレス制御線SELn+2、SELn+3の電位がハイレベルになり、n+2行目およびn+3行目の画素10のアドレストランジスタ26が導通状態になる。以降、複数の画素10のn+2行目以降の全ての行において、上記のn行目およびn+1行目と同様の動作が、複数の画素10の2行毎に行われる。これにより、複数の画素10の行数の2分の1の行数の画素の画像信号が信号処理回路130から出力される。

[0150] このように、動作例4では、4行分の画素10の画素信号が同時に垂直信号線Cmに出力されて混合される。4行分の画素10の画素信号の値が同じ程度の場合、増幅トランジスタ24の実効的なゲート幅が4倍になるため、増幅トランジスタ24の相互コンダクタンスgmは2倍になる。そのため、解像度が動作例1の場合の半分となるものの、4行分の画素10の画素信号が同時に垂直信号線Cmに出力されることで更なる低ノイズ化および高速な駆動を実現することが可能となる。

[0151] なお、動作例4においても、動作例2と同様に、各行の画素10は、基準信号を出力した後、露光期間において信号電荷を蓄積してから、画素信号を出力してもよい。

[0152] (実施の形態2)

次に、実施の形態2に係る撮像装置について説明する。以下の実施の形態2の説明において、実施の形態1との相違点を中心に説明し、共通点の説明を省略または簡略化する。

[0153] 図8は、本実施の形態に係る撮像装置101の回路構成を示す図である。なお、図8は、画素10に接続される制御線および信号線等を中心に撮像装

置 101 の回路構成を示している。

[0154] 図8に示されるように、撮像装置101は、実施の形態1に係る撮像装置100と比較して、互いに隣接する2つの垂直信号線Cに接続されるスイッチ29をさらに備える点で相違する。

[0155] スイッチ29は、 m 列目の画素10に対応して設けられた垂直信号線 C_m と、 m 列目に隣接する $m+1$ 列目の画素10に対応して設けられた垂直信号線 C_{m+1} との間に設けられている。つまり、垂直信号線 C_m は複数の画素10のうち行方向に隣接する2つの画素10の一方に接続され、垂直信号線 C_{m+1} は当該2つの画素10の他方に接続されている。スイッチ29の一端は垂直信号線 C_m に接続され、スイッチ29の他端は垂直信号線 C_{m+1} に接続される。スイッチ29は、垂直信号線 C_m と垂直信号線 C_{m+1} とを接続するか否かを制御する。図示されていないが、スイッチ29は、互いに隣接する2つの垂直信号線C毎に1つ設けられ、全ての垂直信号線Cが行方向に隣接する垂直信号線Cの一方とスイッチ29を介して接続されている。スイッチ29は、例えば、電界効果トランジスタである。撮像装置101が画素10とは異なる色に対応する画素をさらに備える場合、垂直信号線 C_m は同じ色の画素である複数の画素10のうち行方向に隣接する2つの画素10の一方に接続され、垂直信号線 C_{m+1} は当該2つの画素10の他方に接続されていてもよい。

[0156] スイッチ29の制御端子は、スイッチ制御線COLに接続されている。スイッチ制御線COLの電位を制御することによって、スイッチ29の導通状態を制御する。その結果、垂直信号線 C_m と垂直信号線 C_{m+1} とを導通させるか否かを制御できる。スイッチ制御線COLは、例えば、制御回路140に接続され、制御回路140によってスイッチ29の動作が制御される。なお、撮像装置101では、複数のスイッチ29等によって、3本以上の垂直信号線Cを導通させるか否かを制御できるように構成されていてもよい。

[0157] 次に、撮像装置101の動作について説明する。

[0158] 図9は、撮像装置101の動作例のタイミングチャートである。図9には

、図4と同じ項目に加えて、スイッチ制御線COLの電位の変化が示されている。スイッチ29は、スイッチ制御線COLの電位がハイレベルであるとき導通状態となり、スイッチ制御線COLの電位がローレベルであるとき非導通状態となる。

[0159] 以下の動作例の説明では、 m 列目および $m+1$ 列目の画素10および対応する周辺回路の動作について説明するが、他の列の画素10についても、同様の動作が行われる。本動作例において、複数の画素10の $m+1$ 列目の列は、第1の列と異なる第2の列の一例である。

[0160] 撮像装置101の動作例では、スイッチ29の動作以外は、撮像装置100の動作例1と同じ動作が行われる。以下では、スイッチ29の動作を中心に説明する。

[0161] 時刻 t_1 において、スイッチ制御線COLの電位がハイレベルになり、スイッチ29が導通状態になる。つまり、垂直信号線 C_m と垂直信号線 C_{m+1} とが導通する。時刻 t_1 において、 n 行目かつ m 列目の画素10の画素信号と $n+1$ 行目かつ m 列目の画素10の画素信号とが垂直信号線 C_m に出力され、 n 行目かつ $m+1$ 列目の画素10の画素信号と $n+1$ 行目かつ $m+1$ 列目の画素10の画素信号が垂直信号線 C_{m+1} に出力される。スイッチ29が導通状態であるため、これらの画素信号が全て混合される。

[0162] 時刻 t_2 において、信号処理回路130は、垂直信号線 C_m 、 C_{m+1} に出力されている画素信号を読み出す。この際、垂直信号線 C_m 、 C_{m+1} のいずれから読み出された画素信号も同じである。そのため、信号処理回路130は、垂直信号線 C_m 、 C_{m+1} から読み出した画素信号のうち、一方の画素信号のみを画像データの生成に用いてもよく、両方の画素信号を画像データの生成に用いてもよい。また、信号処理回路130は、一方の画素信号のみを画像データの生成に用いる場合、他方の画素信号の読み出しを行わなくてもよい。

[0163] 次に、時刻 t_3 において、スイッチ制御線COLの電位がローレベルになり、スイッチ29が非導通状態になる。時刻 t_3 から時刻 t_6 までは、スイ

ッチ29が非導通状態のまま、撮像装置100の動作例1の時刻 t_3 から時刻 t_6 までと同じ動作が行われる。なお、時刻 t_3 から時刻 t_4 または時刻 t_3 から時刻 t_6 において、スイッチ制御線COLの電位がハイレベルのままであってもよい。この場合には、画素10のリセット、または、画素10のリセットおよび画素10の基準信号の出力が、垂直信号線 C_m と垂直信号線 C_{m+1} とが導通したまま行われる。

[0164] さらに、時刻 t_6 以降、複数の画素10の $n+1$ 行目以降の全ての行において、上記の n 行目と同様の動作が、複数の画素10の行毎に行われる。そのため、各行の画素10の画素信号が出力されている期間に、スイッチ制御線COLの電位がハイレベルになり、画素10の垂直信号線 C_m と垂直信号線 C_{m+1} とが導通する。

[0165] このように、本動作例では、第1期間（時刻 t_1 から時刻 t_3 ）に、スイッチ29が導通する。これにより、2行2列分の画素10のそれぞれの画素信号が同時に垂直信号線 C_m または垂直信号線 C_{m+1} に出力されて、2行2列分の画素10の画素信号が混合される。2行2列分の画素10の画素信号の値が同じ程度の場合、増幅トランジスタ24の相互コンダクタンス g_m は増大されかつ列方向に信号が平均化される。そのため、水平方向解像度が撮像装置100の動作例1の場合の半分となるものの、2行2列分の画素10の画素信号が同時に垂直信号線 C_m 、 C_{m+1} に出力されることで更なる低ノイズ化および高速な駆動を実現することが可能となる。

[0166] なお、上記動作例では、第1期間（時刻 t_1 から時刻 t_3 ）に、 n 行目および $n+1$ 行目の画素10の画素信号が垂直信号線 C_m 、 C_{m+1} に出力されていたが、これに限らない。第1期間に、アドレス制御線SEL $n+1$ がハイレベルにならず、 n 行目の画素10のみの画素信号が垂直信号線 C_m 、 C_{m+1} に出力されてもよい。つまり、各行の読み出しにおいて、1行2列分の画素10の画素信号が同時に垂直信号線 C_m 、 C_{m+1} に出力されて混合されてもよい。これによっても、増幅トランジスタ24の実効的なゲート幅が2倍になるため、低ノイズ化および高速な駆動を実現することが可能で

ある。

[0167] また、撮像装置 101 は、各行の画素 10 が画素信号を出力する期間にスイッチ制御線 COL の電位がハイレベルになる動作を行えば、他の動作については、撮像装置 100 の動作例 2 から動作例 4 のいずれかの動作と同じ動作を行ってもよい。

[0168] (その他の実施の形態)

以上、本開示に係る撮像装置について、実施の形態に基づいて説明したが、本開示は、これらの実施の形態に限定されるものではない。

[0169] 例えば、上記実施の形態では、撮像装置は、半導体基板に画素電極、光電変換層および対向電極が積層された光電変換部を備えた積層型の撮像装置であったが、これに限らない。撮像装置の光電変換部の種類は、特に制限されず、光電変換部は、例えば、半導体基板に埋め込まれて形成される PD (Photo Diode) または SPAD (Single Photon Avalanche Diode) などであってもよい。

[0170] また、例えば、上記実施の形態では、撮像装置の信号処理回路は、画像データを生成したが、これに限らない。画像データの生成は、別の装置によって行われてもよい。また、基準信号が記憶されるメモリも別の装置に備えられていてもよい。

[0171] また、例えば、上記実施の形態では、各画素は画素内に信号を電荷蓄積部に負帰還させるフィードバック回路を含んでいたがこれに限らない。例えば、撮像装置は、画素外にフィードバック回路を有していてもよい。また、リセットノイズの影響が小さい場合には、撮像装置は、フィードバック回路を含まなくてもよい。

[0172] また、撮像装置は、上記実施の形態で説明した各構成要素を全て備えていなくてもよく、目的の動作をさせるための構成要素のみで構成されていてもよい。

[0173] また、上記実施の形態において、特定の処理部が実行する処理を別の処理部が実行してもよい。また、複数の処理の順序が変更されてもよいし、複数

の処理が並行して実行されてもよい。

[0174] また、上記実施の形態において、各構成要素は、各構成要素に適したソフトウェアプログラムを実行することによって実現されてもよい。各構成要素は、CPUまたはプロセッサなどのプログラム実行部が、ハードディスクまたは半導体メモリなどの記録媒体に記録されたソフトウェアプログラムを読み出して実行することによって実現されてもよい。

[0175] また、各構成要素は、ハードウェアによって実現されてもよい。各構成要素は、回路（または集積回路）でもよい。これらの回路は、全体として1つの回路を構成してもよいし、それぞれ別々の回路でもよい。また、これらの回路は、それぞれ、汎用的な回路でもよいし、専用の回路でもよい。

[0176] また、本開示の全般的または具体的な態様は、システム、装置、方法、集積回路、コンピュータプログラムまたはコンピュータ読み取り可能なCD-ROMなどの記録媒体で実現されてもよい。また、システム、装置、方法、集積回路、コンピュータプログラムおよび記録媒体の任意な組み合わせで実現されてもよい。

[0177] 例えば、本開示は、上記実施の形態の撮像装置として実現されてもよいし、撮像装置を制御する制御装置として実現されてもよいし、制御回路等の処理部が行う撮像装置の駆動方法をコンピュータに実行させるためのプログラムとして実現されてもよいし、このようなプログラムが記録されたコンピュータ読み取り可能な非一時的な記録媒体として実現されてもよい。

[0178] その他、本開示の主旨を逸脱しない限り、当業者が思いつく各種変形を実施の形態および実施例に施したもの、ならびに、実施の形態および実施例における一部の構成要素を組み合わせで構築される別の形態も、本開示の範囲に含まれる。

産業上の利用可能性

[0179] 本開示に係る撮像装置および撮像方法は、デジタルスチルカメラ、放送用カメラ、業務用カメラ、医療用カメラ、監視用カメラ、車載用カメラ、デジタル一眼レフカメラ、デジタルミラーレス一眼カメラ等、様々なカメラシス

テムおよびセンサシステムへの利用が可能である。

符号の説明

- [0180] 1 0 画素
- 1 1 画素電極
- 1 2 対向電極
- 1 3 光電変換部
- 1 5 光電変換層
- 2 4 増幅トランジスタ
- 2 6 アドレストランジスタ
- 2 8 リセットトランジスタ
- 2 9、R 1、R 1 b、S 1、S 1 b スイッチ
- 3 0、9 0 定電流源
- 4 2 バイアス制御線
- 7 0 電源線
- 7 1 電荷蓄積部
- 8 1 帯域制御トランジスタ
- 8 2、8 3 容量素子
- 1 0 0、1 0 1 撮像装置
- 1 1 0 半導体基板
- 1 2 0 行走査回路
- 1 3 0 信号処理回路
- 1 4 0 制御回路
- 1 5 0 電圧供給回路
- 1 7 0 メモリ
- C、C m、C m + 1 垂直信号線
- C O L スイッチ制御線
- F B、F B n、F B n + 1、F B n + 2、F B n + 3 フィードバック制御線

L 行制御線

RST、RST_n、RST_{n+1}、RST_{n+2}、RST_{n+3} リセット
制御線

SEL、SEL_n、SEL_{n+1}、SEL_{n+2}、SEL_{n+3} アドレス
制御線

請求の範囲

- [請求項1] 行列状に配列する複数の画素と、
前記複数の画素の列毎に設けられた信号線と、
制御回路と
を備え、
前記複数の画素のそれぞれは、光を信号電荷に変換する光電変換部を含み、
前記制御回路は、
前記複数の画素に対し、前記画素に蓄積された前記信号電荷の量に対応する画素信号と、当該画素のリセット後の基準信号とを、前記信号線に出力させ、
第1の行に配置された第1画素に前記画素信号を出力させる第1期間に、前記第1画素が配置された第1の列に配置され、かつ、前記第1の行と異なる第2の行に配置される第2画素にも前記画素信号を出力させ、
前記第2画素に対して、前記第1期間の後、リセットを行う前に、前記画素信号を再度出力させる、
撮像装置。
- [請求項2] 前記制御回路は、前記第1画素に対し、前記画素信号を出力させた後にリセットを行い、当該リセット後に前記基準信号を出力させる、
請求項1に記載の撮像装置。
- [請求項3] 信号処理回路をさらに備え、
前記信号処理回路は、前記第1画素および前記第2画素が前記第1期間に出力した前記画素信号と、前記第1画素が出力した前記基準信号とに基づいて画像データを生成する、
請求項1または2に記載の撮像装置。
- [請求項4] 前記制御回路は、前記第1画素に対し、前記基準信号を出力させた後、前記信号電荷を蓄積させてから前記画素信号を出力させる、

請求項 1 に記載の撮像装置。

[請求項5]

信号処理回路をさらに備え、

前記信号処理回路は、前記第 1 画素が出力した前記基準信号と、前記第 2 画素が出力した前記基準信号と、前記第 1 画素および前記第 2 画素が前記第 1 期間に出力した前記画素信号とに基づいて画像データを生成する、

請求項 1 または 4 に記載の撮像装置。

[請求項6]

前記基準信号に対応する信号を記憶するメモリをさらに備える、
請求項 5 に記載の撮像装置。

[請求項7]

前記制御回路は、

前記第 1 期間に、前記第 1 の列に配置され、かつ、前記第 1 の行および前記第 2 の行と異なる第 3 の行に配置される第 3 画素にも前記画素信号を出力させ、

前記第 3 画素に対して、前記第 1 期間の後、リセットを行う前に、前記画素信号を再度出力させる、

請求項 1、2 および 4 のいずれか 1 項に記載の撮像装置。

[請求項8]

前記第 1 の列に設けられた前記信号線と、前記第 1 の列と異なる第 2 の列に設けられた前記信号線との間に接続されたスイッチをさらに備え、

前記制御回路は、前記第 1 期間に、前記スイッチを導通させる、
請求項 1、2 および 4 のいずれか 1 項に記載の撮像装置。

[請求項9]

前記複数の画素のそれぞれは、リセットノイズを負帰還させるフィードバック回路を含む、

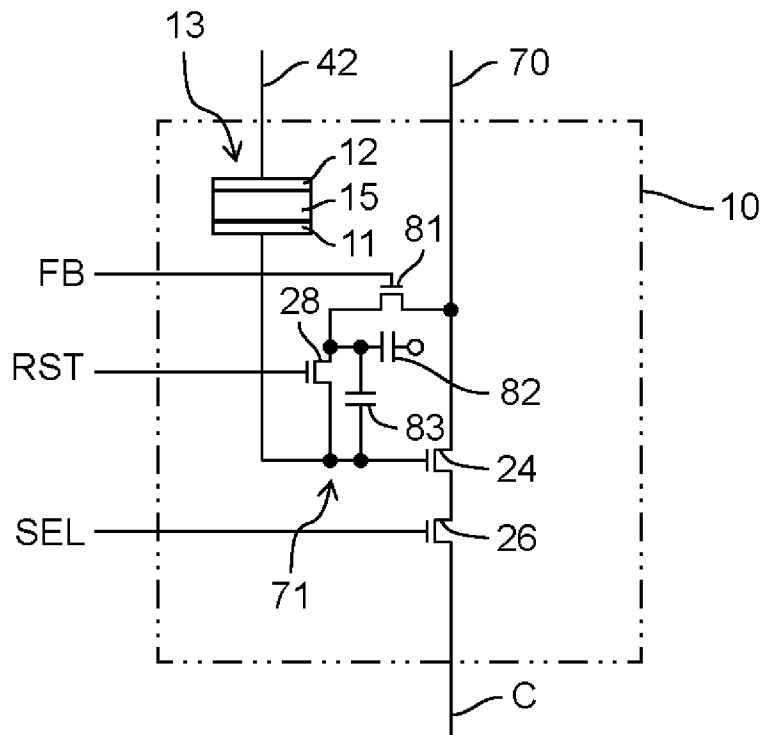
請求項 1、2 および 4 のいずれか 1 項に記載の撮像装置。

[請求項10]

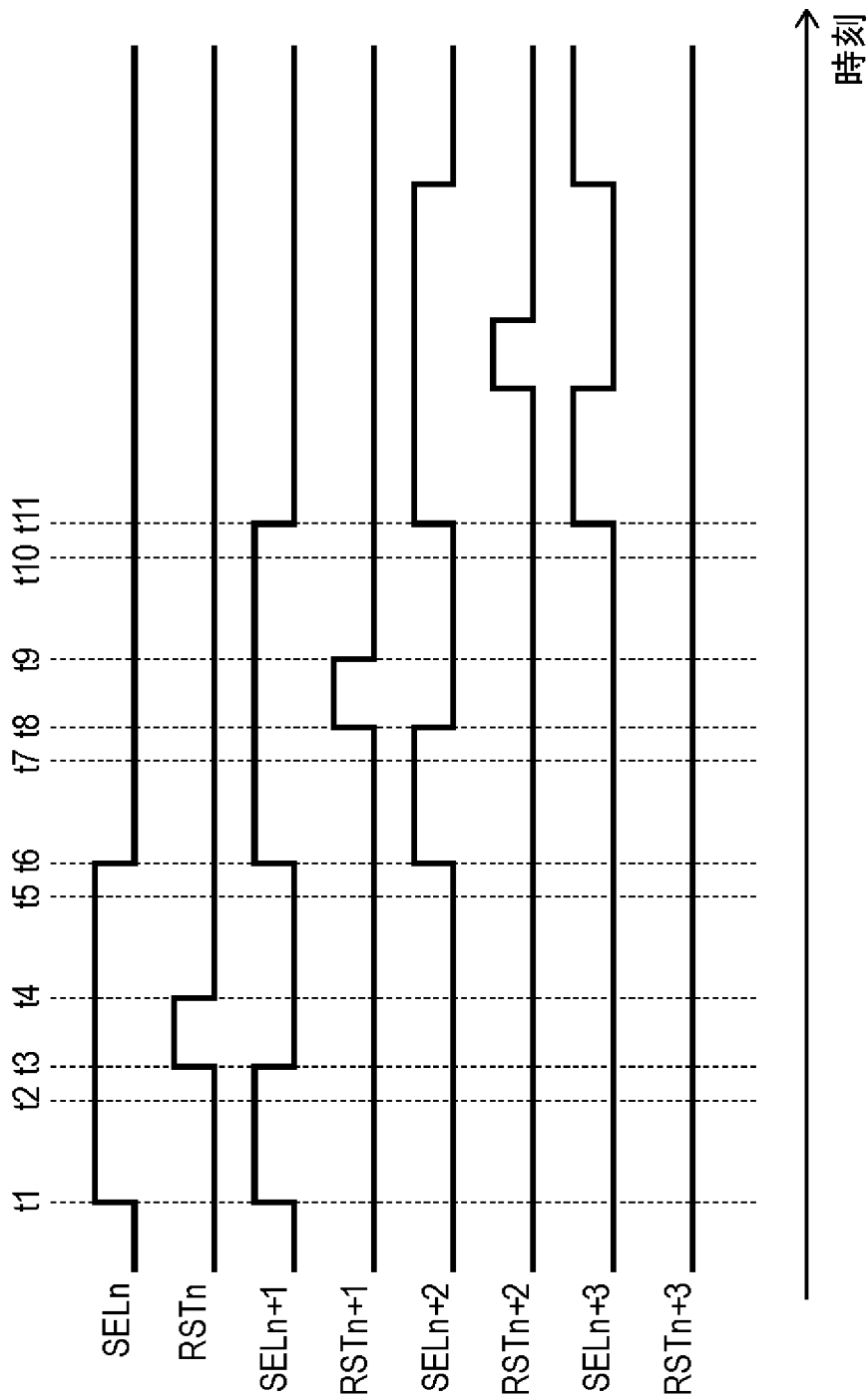
前記制御回路は、前記第 1 画素に前記基準信号を出力させる第 2 期間に、前記第 2 画素に前記基準信号を出力させない、

請求項 1、2 および 4 のいずれか 1 項に記載の撮像装置。

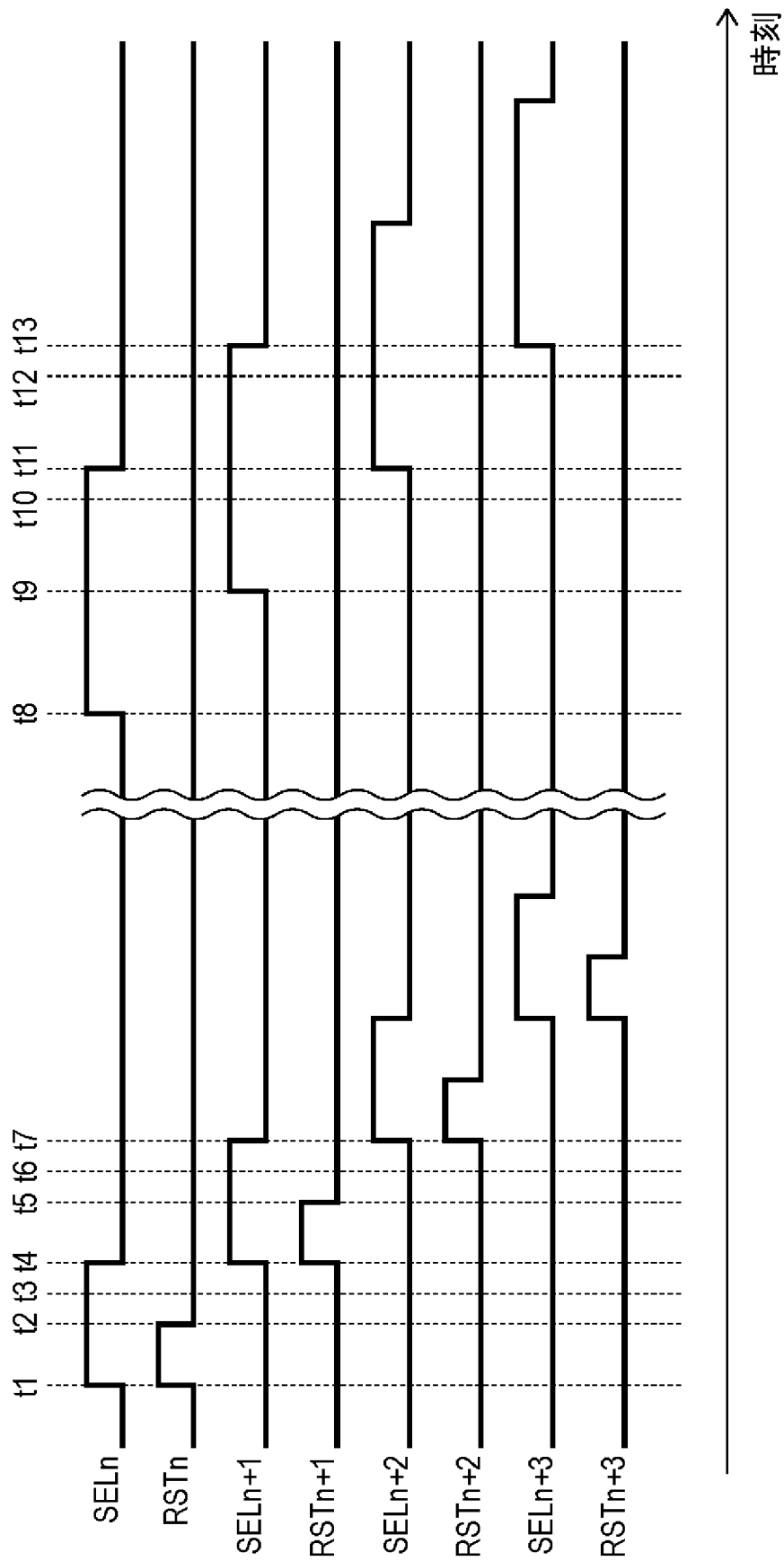
[図3]



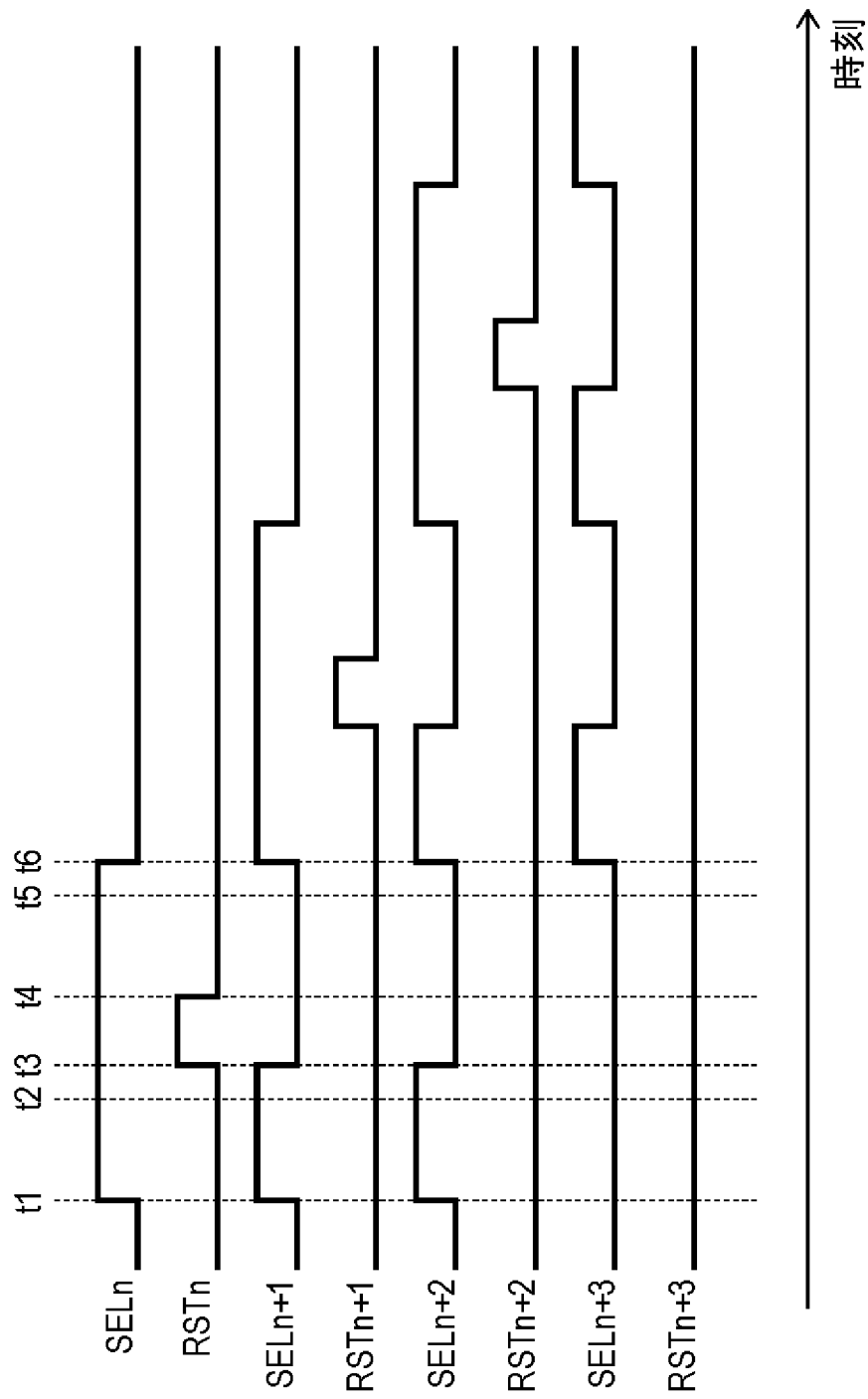
[図4]



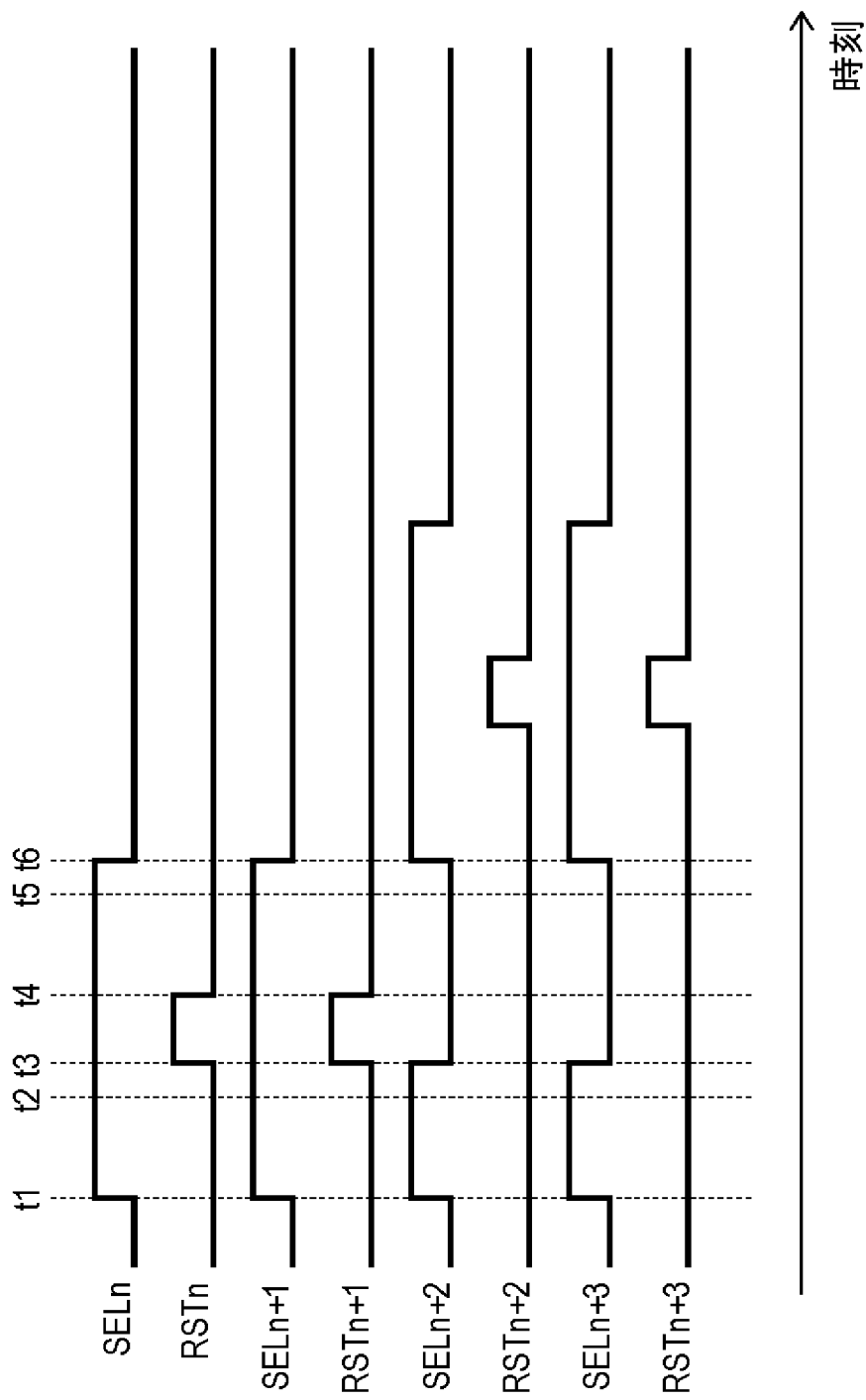
[図5]



[図6]

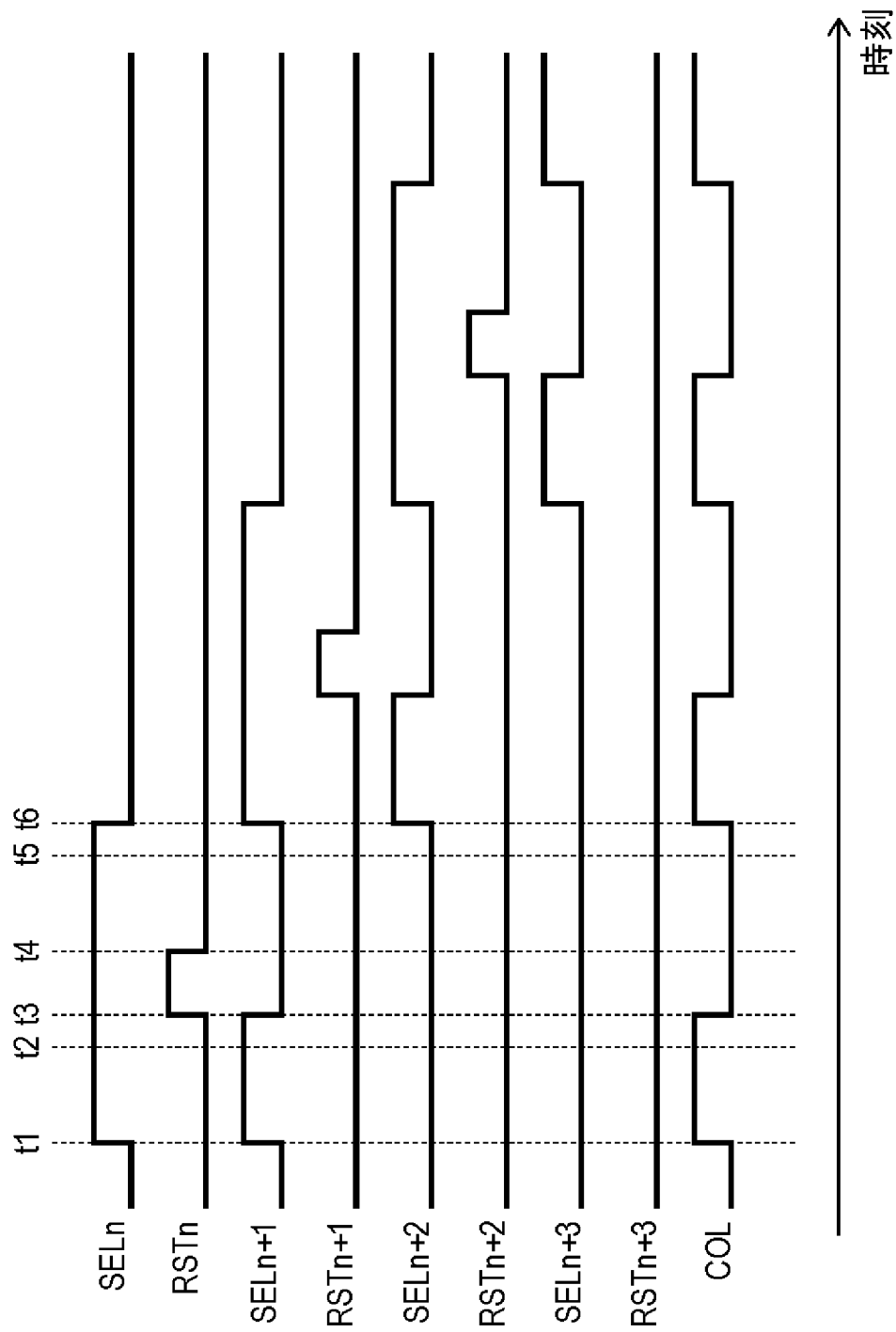


[図7]



[illegible]

[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/024904

A. CLASSIFICATION OF SUBJECT MATTER**H04N 25/65**(2023.01)i; **H04N 25/46**(2023.01)i

FI: H04N25/65; H04N25/46

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N25/65; H04N25/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2021/019973 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 04 February 2021 (2021-02-04) entire text, all drawings	1-10
A	JP 2016-127593 A (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 11 July 2016 (2016-07-11) entire text, all drawings	1-10
A	JP 2010-259027 A (PANASONIC CORPORATION) 11 November 2010 (2010-11-11) entire text, all drawings	1-10

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

04 September 2023

Date of mailing of the international search report

19 September 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/024904

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2021/019973	A1	04 February 2021	US	2022/0094873	A1	
				entire text, all drawings			
				CN	113785561	A	

JP	2016-127593	A	11 July 2016	US	2016/0190187	A1	
				entire text, all drawings			
				CN	105744183	A	

JP	2010-259027	A	11 November 2010	US	2010/0271522	A1	
				entire text, all drawings			

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 25/65(2023.01)i; H04N 25/46(2023.01)i FI: H04N25/65; H04N25/46		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H04N25/65; H04N25/46 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2021/019973 A1（パナソニックIPマネジメント株式会社）04.02.2021（2021-02-04） 全文、全文	1-10
A	JP 2016-127593 A（パナソニックIPマネジメント株式会社）11.07.2016（2016-07-11） 全文、全文	1-10
A	JP 2010-259027 A（パナソニック株式会社）11.11.2010（2010-11-11） 全文、全文	1-10
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 04.09.2023	国際調査報告の発送日 19.09.2023	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 鈴木 明 5V 9185 電話番号 03-3581-1101 内線 3571	

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/024904

引用文献			公表日	パテントファミリー文献			公表日
WO	2021/019973	A1	04.02.2021	US	2022/0094873	A1	
				全文、全図			
				CN	113785561	A	
JP	2016-127593	A	11.07.2016	US	2016/0190187	A1	
				全文、全図			
				CN	105744183	A	
JP	2010-259027	A	11.11.2010	US	2010/0271522	A1	
				全文、全図			