

308657
公告本

申請日期	84 年 10 月 24 日
案 號	84111253
類 別	IC 類 G-6F 1/2

A4
C4

308656

308657

(以上各欄由本局填註)

發明型專利說明書

一、發明 名稱	中 文	半導體積體電路
	英 文	
二、發明 創作人	姓 名	(1) 三石直幹 (2) 石橋謙一 (3) 橋村浩一
	國 籍	(1) 日本 (2) 日本 (3) 日本 (1) 日本國東京都小平市回田町一六五-三 ライ オンズヴィアール武蔵小金井貳番館二〇六
	住、居所	(2) 日本國東京都東村山市美住町二-三-一-一 アルカサル武蔵野二〇六 (3) 日本國東京都小金井市綠町五-一-八-三〇 日立尚武寮
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本 (1) 日本國東京都千代田區神田駿河台四丁目六番 地
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 金井務

裝

訂

線

308657

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國 (地區) 申請專利，申請日期： 案號： ， ☐ 有 ☐ 無主張優先權

日本 1994 年 11 月 22 日 6-312430
日本 1995 年 10 月 6 日 7-286599

☒ 無主張優先權
☒ 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

[發明之背景]

本發明係有關具備同步動作於時脈信號的複數個機能組塊之半導體積體電路，特別是有關利用在必須低消耗電力的單晶片微電腦之技術。

於日本平成6年3月從日立公司所發行的「H 8 / 3 0 4 8 系列，硬體操作」被載示在 P 6 0 7 ~ P 3 2，單晶片微電腦的各機能組塊，係為將系統時脈信號 ϕ 作基準而動作。所外加的系統時脈信號 ϕ ，係從以被輸入至設在單晶片微電腦的處所之外部時脈輸入端子 (E X T A L) 之外部時脈、或是被連接至設在微晶腦的處所之振盪端子的水晶或是陶瓷等的振盪子所產生的原振盪而被產生。另外，在微電腦內的各機能組塊供給固有的時脈信號之例被載示在日本專利特開平 3 - 2 8 6 2 1 3 號。另外在日本專利特開平 5 - 8 1 4 4 7 號；載示針對含有 C P U (中央處理裝置) 及其周邊電路之微電腦在各個周邊電路配置時脈信號的分頻器及時脈選擇手段之技術。在日本專利特開平 3 - 5 8 2 0 7 載示以分頻電路分頻振盪電路的輸出，並且從所被分頻的時脈信號選擇 1 個作為系統時脈信號之技術。

[發明之作用]

本發明者係為關於單晶片微電腦用的半導體積體電路的系統時脈信號進行以下的檢討。

系統時脈信號可以選擇是否作為與原振盪相同的周波

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (2)

數、或是選擇所謂齒輪機能即是選擇是否作為分頻原振盪而得到的周波數。該樣的系統時脈信號係被共通的供給至 C P U (中央處理裝置) 或其周邊的電路。針對上述齒輪機能，係從單晶片微電腦的低消耗電力化之觀點，因應於 C P U 所處理的內容，而期予轉換系統時脈信號的周波數。另外，考量選擇一定不變的將原振盪分頻為工作為系統時脈信號的情況、和預先將原振盪的振盪周波數變成 $1 / 2$ ，再將其與作為系統時脈信號的該原振盪相同的周波數的情況，兩情況相比較，則在兩者間若為同於原振盪的周波數時，系統時脈信號的周波數係前者為後者的 2 倍，因此原振盪器的消耗電流就形成為 2 倍。

然而，因應於 C P U 所處理的內容，在動作中轉換系統時脈信號的周波數之情況，產生了以下的問題。例如使用系統時脈 ϕ 作為串行通信介面 (S C I) 的基準時脈，系統時脈信號的分頻比形成為 $1 / 2$ 的情況，S C I 的發信收信的位元比率或是波特 (baud) 比率形成為 $1 / 2$ ，特別是起止同步式通信的情況就形成為無法通信。因而，在轉換系統時脈信號的周波數之際，必須變更 S C I 的位元比率或是波特比率的設定，使其對應於所轉換後的系統時脈信號。因此該系統時脈信號周波數的轉換必須在 S C I 的動作停止中進行。

同樣的，一般的計時器等也使系統時脈信號時脈源的情況，因減半系統時脈信號的周波數則該周期也變成 2 倍，所以對計時器不作變更設定則絕對的計時時間就形成差

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (3)

異。對 S C I 或計時器以外的幾乎所有的周邊電路或是周邊機能也必須進行同樣的再設定處理，該處理所須的軟體負擔不會因忽視而得以減少。

進而，將系統時脈信號的分頻比從 $1 / 2$ 變更成 $1 / 1$ 而提高系統時脈信號的周波數時也是同的狀況。特別是至高速的變更係為產生高速處理作為對 C P U 的處理之情況，但在該情況，在周邊的機能因幾乎都進行上述設定變更，加大時間的浪費，而成為無法對應於高速處理所必要的狀況。

然而，於上述的日本專利特開平 3 - 2 8 6 2 1 3 號在微電腦的各機能組塊，供給固有的時脈信號，係形成為可以獨立的設定被供給至各機能組塊的時脈信號之分頻比。因此，對於 1 個機能組塊其時脈信號分頻比的變更，但不會影響到其他機能組塊，因而減少軟體的負擔。

不過，供給獨立在各機能組塊的時脈信號時，必然形成為較長組塊配線的長度總和，換言之則為變大容量。消耗電流係為信號線的容量 (C)、電壓 (V)、周波數 (f) 之積的總和；由於是以 $\Sigma C \cdot V \cdot f$ 表示，所以在所使用的時脈配線所被消耗的消耗電流也依比例而變大。時脈信號係為在微電腦內部周波數 (f) 最高的信號，因而無法忽視所消耗的消耗電流。最少對於促使達到低消耗電力不是個良策。

另外，當以任意的分頻比動作各機能組塊時，一端的時脈信號的上昇變化點，不知形成在他端的時脈信號的那

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(4)

一相，因此信號的設定時間或吸持時間之確保會有困難，當然會成為非同步的介面。在所形成的非同步的介面，邏輯設計為複雜，並且在所形成的介面其必要的邏輯規模也變大。

進而，以專用軟體實行時脈信號的轉換，則發生所定的事像例如發生歸位或所定的插入要求時，CPU的高速處理若為必要的情況，辨識所形成的事像作為其插入後，實施插入例外處理，在插入處理過程中，轉換系統時脈信號的分頻比後，形成為進行所須的處理。因此，發生前述事像後至所須的處理為止的時間則增長，所以不適當。

本發明的目的係提供關於系統時脈信號並且可以實現低消耗電力化之半導體積體電路。

本發明的其他目的係提供其減少軟體負擔而將CPU等的內藏機能組塊的動作速度形成為可變之半導體積體電路。

本發明的另外目的係提供在發生所定事像可以縮短作所須的處理之時間之半導體積體電路。

本發明的最後目的係提供將在不同所被供給的系統時脈信號的周波數之機能組塊間的介面形成為能簡單化之半導體積體電路。

本發明的前述目的與新型的特徵由本說明書的記述及附屬的圖面就可了解。

以下，簡單的說明本申請案所揭示的發明當中較具代表性的概要。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(5)

[1] 半導體積體電路，具備振盪器(1 2)，及根據該振盪器的輸出所形成的周波數，用以將一定的第 2 系統時脈信號(ϕS) 共通的供給至複數個機能組塊之第 2 時脈信號配線(L 2)、及對從上述振盪器(1 2) 的輸出被形成爲分頻比可選擇，並且形成周波數爲低於上述第 2 系統時脈信號的第 1 系統時脈信號(ϕB) 之時脈控制電路(1 3) 及爲了將在上述時脈控制電路(1 3) 所形成的第 1 系統時脈信號供給至所須的機能組塊之第 1 時脈信號配線(L 1)。

[2] 介由上述第 1 時脈信號配線而供給第 1 系統時脈信號的機能組塊，係被形成爲主匯流排(1，2)。針對微電腦等的資料處理，形成爲主匯流排所動作的 CPU，一般是由於命令及資料的取出而頻繁地的起動匯流排循環。因此，在該些個主匯流排供給分頻比爲可變的系統組塊信號，對於使半導體積體電路成爲低消耗電力化係爲良策。

[3] 介由上述第 2 時脈信號配線而供給第 2 系統時脈信號的機能組塊，係被形成爲輔匯流排(7，8，9，10)。就是變更主匯流排的系統時脈信號之周波數，也使其將串行通信介面的位元比率或是波特(band) 比率，再則計時器的計時周期等保持一定，這些係爲了使其不要設定變更周邊機能組塊。

[4] 在上述時脈控制電路(1 3)，可以備有以上述主匯流排使其能設定爲了選擇第 1 系統時脈信號(ϕB

訂

五、發明說明(6)

) 的分頻比之資訊的蓄碼器手段 (1 3 2) 。係爲了使其以 C P U 等的主控匯流排能任意地選擇分頻比。

[5] 在介由上述第 1 時脈信號配線而供給第 1 系統時脈信號 (ϕB) , 並且連接作爲主匯流排所動作的機能時脈之第 1 內部資料匯流排 (I D B) 、與介由上述第 2 時脈信號配線而供給第 2 系統時脈信號 (ϕS) , 並且連接作爲輔匯流排所動作的機能時脈之第 2 內部資料匯流排 (P D B) , 資料匯流排被分離。以被連接在第 1 內部資料匯流排的主匯流排, 而選取被連接在第 2 內部資料匯流排處的輔匯流排時, 因應該選取而具備將上述第 1 內部資料匯流排連接在第 2 內部資料匯流排之匯流排控制器 (3) 。在第 2 內部資料匯流排, 當所被連接的機能時脈的輸出爲全部高阻抗狀態時保持該匯流排的狀態, 並且上述被連接機能組塊在被讀出或是寫入時, 依此而設有容許改變匯流排的狀態之吸持電路 (H D 1 、 H D 2) 。由於將如 C P U 等的主匯流排頻繁地起動匯流排循環之機能組塊, 連接至與輔匯流排不同的資料匯流排, 因而頻繁的減小所被選取的資料匯流排之負荷。關於被利用在選取的頻度爲相對較低的資料匯流排, 係在該處以吸持電路吸持資料, 因而減少在該資料匯流排上的充放電次數, 所以達到低消耗電力化。

[6] 供給上述第 1 系統時脈信號 (ϕB) 的機能組塊, 係爲提供以該第 1 系統時脈信號形成第 1 無交疊的 2 相時脈信號 ($\phi 1 B$, $\phi 2 B$) 之無交疊產生電路, 供給

五、發明說明(7)

第 2 系統時脈信號 (ϕS) 的機能組塊，係為提供以該第 2 系統時脈信號形成第 2 無交疊 2 相時脈信號 ($\phi 1 S$ 、 $\phi 2 S$) 之無交疊產生電路 (7 0 0)，第 1 無交疊 2 相時脈信號 ($\phi 1 B$ ， $\phi 2 B$) 與第 2 無交疊 2 相時脈信號 ($\phi 1 S$ ， $\phi 2 S$) 部分的位相為一致 (例如在第 2 3 圖 $\phi 1 S$ 與 $\phi 2 B$ 的上昇時間)，供給第 2 系統時脈信號的機能組塊 (例如第 1 9 圖的輔匯流排) 係針對第 2 無交疊 2 相時脈信號同步於上述位相一致的時間 (例如在第 2 3 圖的狀態 3 $\phi 1 S$ 的上昇)，使其變化供給至被供給有第 1 系統時脈信號的機能組塊 (例如第 1 9 圖的主匯流排) 之信號。如果隨著該介面規格在使其相異系統時脈信號的機能組塊間從資料被輸出至輸入且鎖定該輸出資料為止可以確保第 2 系統時脈信號 (ϕS) 的 1 周期以上的期間。因此，將在系統時脈信號的周波數相異的機能組塊間之介面簡易化，換言之則是簡易化為了介面的時間設計。

[7] 供給上述第 1 系統時脈信號 (ϕB) 的機能組塊係為提供從該第 1 系統信號形成第 1 無交疊 2 相時脈信號 ($\phi 1 B$ ， $\phi 2 B$) 之無交疊產生電路；供給第 2 系統時脈信號 (ϕS) 的機能組塊係為提供從該第 2 系統時脈信號形成第 2 無交疊 2 相時脈信號 ($\phi 1 S$ ， $\phi 2 S$) 之無交疊產生電路 (7 0 0)。上述第 1 無交疊 2 相時脈信號的第 1 相其時脈信號 (例如第 2 0 圖的 $\phi 1 B$) 之低準位期間係與第 2 無交疊 2 相時脈信號的第 1 相其時脈信號 (例如第 2 0 圖的 $\phi 1 S$) 之低準位期間為一致；第 1 的

五、發明說明(8)

無交疊 2 相時脈信號的第 2 相其時脈信號 (例如第 20 圖的 $\phi 2 B$) 之高準位期間係與第 2 的無交疊 2 相時脈信號的第 2 相其時脈信號 (例如第 20 圖的 $\phi 2 S$) 之高準位期間為一致。各機能組塊的輸出與輸入，係為使其同步於第 1 相或是第 2 相的其中的時脈信號，在相異系統時脈信號的機能組塊間，從資料被輸出至輸入且鎖定該輸出資料為止係可以確保第 2 系統時脈信號 (ϕS) 的高於 1 周期以上的期間。這會使在系統時脈信號的周波數所相異的組塊間的介面簡易化，換之之係為使介面之時間簡易化。

[8] 被設置有將上述第 1 系統時脈信號 (ϕB) 與第 2 系統時脈信號 (ϕS) 選擇性的輸出至外部之輸出電路 (例如第 26、27 圖的 IOP60、61)、及從上述輸出電路的輸出形成為非選擇狀態時，將該輸出電路的時脈輸入配線 (1310，1311) 強制在所定準位之邏輯電路 (1300、1301、1307)。在不須系統時脈信號的外部輸出時，於上述時脈輸入配線抑止充放電並且達成低消耗電力化。

[9] 在每個機能組塊個別地抑止內部時脈信號等的產生之其他觀點之發明係為提供接受根據從振盪器 (12) 的輸出所被形成的系統時脈信號 (ϕS)，且形成同步於該系統時脈信號之複數相的內部時脈信號 ($\phi 1 S$ ， $\phi 2 S$)，再隨著所被形成的內部時脈信號而作動之複數個機能組塊 (7，8，9，10)，及為了將以上述機能組塊單位使其禁內部時脈信號的形成之資訊保持為可換寫

五、發明說明(9)

之蓄碼器手段(1 3 3)，上述機能組塊具備以由上述蓄碼器手段之對應資訊而在禁止內部時脈信號的形成時將該內部時脈信號的變化使其停止在一定的狀態後保持內部狀態之第1內部時脈控制手段(7 0 0)，且被形成在1個的半導體基板。在未利用內藏的機能組塊內，內部時脈信號的變化被停止，抑制因時脈信號的無意義變化之充放電流其電力消耗。針對內部時脈信號停止狀態而使其保持內部狀態，係為省掉在選擇動作再開時改變內部電路而設定的時間。

[1 0] 上述機能組塊進而具備以選擇自身的作動而以上述複數相的內部時脈信號($\phi 1 S$ ， $\phi 2 S$) 形成內部時間信號($\phi 1 - PWM$ ， $\phi 2 - PWM$)，且以自身的動作成為非選擇而將內部時間信號的變化使其停止在一定的狀態後保持內部狀態之內部時脈控制手段(7 1 0)。針對動作的非選擇狀態抑制在接受內部時間信號($\phi 1 - PWM$ 、 $\phi 2 - PWM$) 的電路之電力消耗。針對作動作選擇狀態在停止內部時間信號的變化時使其保持內部狀態，係為在動作再開時節省更改內部電路而重新設定的時間。

[1 1] 上述內部時間信號係為無交疊的2相時間信號($\phi 1 - PWM$ ， $\phi 2 - PWM$)；接受該時間信號而動作的電路，係含有接受該第1相的時間信號而機動地動作之動態電路(2 3)、及串連在該動態電路且接受第2相的時脈信號而靜態地作動之靜態電路(2 1)等而形成

五、發明說明(10)

。無交疊2相的靜態信號($\phi 1 - PWM$ 、 $\phi 2 - PWM$)當中由於工作較大的相之時脈信號供給至動態電路的輸出負荷容量的保持時間就是為有限鎖定時間也相對的變短，所以可以擴展周波數低減範圍。進而與用靜態鎖定電路構成雙方的情況作比較，則可以縮小電路的物理規模。

[12] 根據事像檢出而強制地變更系統時脈信號的周波數之其他觀點的發明，係為具有單數或複數個第1機能組塊(1、2)、及對第1機能組塊在檢出要求例外的處理之內外的事情(EVENT)之發生而對應的第1機能組塊輸出要求例外的處理的信號之事情檢出電路(4)、及對第1機能組塊使其發生要求例外的處理之事情的單數或複數個第2機能組塊(7、8、9、10)、及將被供給至上述第1機能組塊和事情檢出電路之第1系統時脈信號(ϕB)的周波數使其可選擇的形成為可變的同時，根據以上述事情檢出電路的所須事情的檢出而將周波數的選擇狀態強制在所定的狀態之選擇控制手段(131、132)等之半導體積體電路。當發生所須的事情時，所被設定的系統時脈信號周波數就是較低，選擇控制手段也可以將系統時脈信號周波數的選擇狀態強制在所須的狀態例如強制在最高周波數選擇狀態，依此，在發生所定的事情時，縮短至作所須的處理為止的時間。

[13] 上述選擇手段，具有將用以周波數選擇的控制資訊保持在可改寫之第1蓄碼器手段(132)、及隨著保持該第1蓄碼器手段之控制資訊而選擇第1系統時脈

五、發明說明 (12)

係以被供給該周波數為一定的第 2 系統時脈信號 (ϕS) 形成內部時脈信號 ($\phi 1 S$, $\phi 2 S$) 後依該信號而動作，並且在第 2 機能組塊單位設置保持在可改寫為了使其禁止上述內部時脈信號的形成之資訊的第 2 蓄碼器手段，根據以上述事像檢出電路的所定事像的檢出 (例如重設) ，上述第 2 蓄碼器手段，係被初化成為禁止內部時脈信號的形成之狀態。為了使其減低在重設等的所定事像發生時其初期狀態的電力消耗。

[1 7] 為了強制的變更系統時脈信號的周波數而利用插入向量等的向量與成對的控制資訊之另外觀點的發明，係提供中央處理裝置 (1) 、及對中央處理裝置輸出要求例外的處理的信號之事像檢出電路 (4) 、及中央處理裝置的周邊電路 (7 , 8 , 9 , 1 0) ，及可選擇地指示被供給至上述中央處理裝置及事像檢出電路之第 1 系統時脈信號 (ϕB) 的周波數之第 1 蓄碼器手段 (1 3 2) 、及在接受第 2 系統時脈信號 (ϕS) 而動作的上述周邊電路單位將為了使其禁止該內部時脈信號的形成之資訊保持為可改寫的第 2 蓄碼器手段 (1 3 3) ；上述中央處理裝置當從事像檢出電路具有例外的處理要求時，從因應於該要求的向量與成對的區域 (第 3 0 圖的位址 0 , 4 , 8 , 1 2) 取得設定在第 1 及第 2 的蓄碼器手段之控制資訊。係為了因應事像的種類而使其能仔細的實行低消耗電力設定。

[1 8] 上述中央處理裝置 (1) ，當從事像檢出電

五、發明說明(11)

信號的周波數之選擇器，第1蓄碼器手段，具備在於第1狀態(=0)指示特定周波數(ϕ OSC)的選擇的同時根據以上述事像檢出電路的所定事像的檢出而被強制在上述1狀態之第1記憶區域(MSME)、及針對在該第1記憶區域其第2狀態(MSME=1)儲存爲了所須的周波數選擇之資訊的第2記憶區域(CKS1, CKS0)等而形成。當發生所定的事像時，因可以將第1記憶區域(MSME)強制在第1狀態(=0)，所以能簡單處理就將系統時脈信號強制在特定周波數。

[14] 上述第1機能組塊係爲中央處理裝置(1)，從上述事像檢出電路供給要求上述例外處理的信號之中央處理裝置，係爲在從該例外的處理之復歸之際，可以將第1記憶區域設定在第2狀態(MSME=1)。因此，中央處理裝置在實行所被要求的例外處理後，就是復歸在具有該要求時的處理或是其次的情況，也不須使其退避及復歸第2記憶區域(CKS1, CKS2)之值其自體。

[15] 上述第1機能組塊係爲資料傳送控制器(2)，從上述事像檢出電路供給要求上述例外的處理之信號的資料傳送控制器，係輸出指示該例外的處理完了之信號(132)，上述邏輯手段係可以指示該完了之信號的活性狀態而將第1記憶區域設定在第2狀態(MSME=1)。依此將系統時脈信號恢復至原樣，因而在中央處理裝置或是軟體不須任何負擔。

[16] 上述第2機能組塊(7, 8, 9, 10)，

五、發明說明 (13)

路 (4) 具有例外的處理要求時，以第 1 及第 2 蓄碼器手段，在設定從因應於該要求的向量與成對的區域所取得的控資訊之前，爲了從該例外的處理復歸而使其退避第 1 及第 2 蓄碼器手段之值。在所被要求之例外的處理完了後，係爲了對處必須復歸至事像發生之前的狀態之情況。

[1 9] 用分頻電路可產生低分頻比的分頻電路信號未從分頻電路器供給，用機能組塊內的分頻器個別的產生之其他觀點的發明，針對具備振盪器 (1 2)，及根據從振盪器的輸出而形成系統時脈信號之時脈控制電路 (1 3)、及接受從時脈控制電路的系統時脈信號而動作之複數個機能組塊等而形成的半導體積體電路，系統時脈信號 (ϕS) 係在其他相對的必要分頻比較小的時脈信號 (第 6 圖的 $\phi S / 2$) 之機能組塊，於每個機能組塊設置分頻系統時脈信號之分頻器，並且對於相對的必要分頻比較大的時脈信號 ($\phi / 8$ 、 $\phi / 16$) 之複數個機能組塊而設置共通的產生該時脈信號而供給的分頻電路後所被構成。在低比的時脈信號也直接供給至複數個機能組塊之情況，由於是低分頻比在該時脈信號傳輸系因而形成較大電力消耗。

依據上述過的手段，被供給至如周邊電路或是輔匯流排的機能組塊之系統時脈信號 (也示爲周邊時脈信號) 係爲獨立的；由於被供給至如主匯流排的機能組塊之系統時脈信號 (也示爲主匯流排時脈信號) 的分頻比成爲可變，所以因應 C P U 等的動作狀態，而增加上述主匯流排時脈

五、發明說明(14)

信號之分頻比，可以實現低消耗電力化。

上述周邊時脈信號因可以固定，所以就是變更上述主匯流排時脈信號，S C I 的位元比率至波特比率，或時間的周期爲了保持一定，也不須因至 C P U 等的系統時脈信號的周波數變更而使其變更這些個周邊機能組塊的設定。

周邊機能組塊因與主匯流排比較而動作頻度較低，所以只在所定的信號被輸入時使其動作，另外，由於因應於所須可禁止其動作，所以半導體積體電路成爲更低消耗電力化。此時，在於動作禁止狀態之周邊機能組塊保持內部狀態，係使其在動作許可後就可以直接再開動作。

將上述周邊時脈信號等的時脈信號輸入至複數個機能組塊作爲共通的時脈信號，係比在各機能組塊供給獨立的時脈信號，還減小時脈配線的配線容量，並且使其減小消耗電力。

將主匯流排信號，比周邊時脈信號經常是同等或是遲緩，並且將主匯流排與周邊機能組塊間的介面信號，由於使其同步於主匯流排時脈信號與周邊時脈信號的例如共通的變化點，因而將主匯流排與周邊機能組塊間的介面使其可以作爲簡易的同步介面。進而縮小半導體積體電路的邏輯規模，並且達到製造費用的減低及低消耗電力化。

[圖面之簡單說明]

第1圖係爲有關本發明的半導體積體電路之一實施例其單晶片微電腦之方塊圖。

五、發明說明 (15)

第 2 圖係表示第 1 圖的單晶片微電腦之變形例的方塊圖。

第 3 (A) 圖係表示各機能組塊的代表性的邏輯電路之構成例；第 3 (B) 圖係表示以 C M O S 動態電路構成順序電路之例；第 3 (C) 圖係表示被用於本實施例的單晶片微電腦其 C M O S 動態電路的一例之圖。

第 4 圖係表示分頻電路的一例之方塊圖。

第 5 圖係為分頻電路的一例之動作時間圖。

第 6 圖係表示 P W M 時間的一例之方塊圖。

第 7 (A) 圖係表示無交疊產生電路的一例之邏輯電路圖；第 7 (B) 圖係表示時脈控制電路的一例之邏輯電路圖；第 7 (C) 圖係表示被採用於的無交疊產生電路的一例之邏輯電路圖。

第 8 圖係為第 6 圖的 P W M 時間的一例的動作之時間圖。

第 9 圖係表示第 1 圖所示的單晶片微電腦之時脈振盪器及時脈控制電路的一例之方塊圖。

第 1 0 (A) 圖係為將以 M S M 位元、C K S 1 位元、C K S 0 位元的邏輯值其時脈信號的選擇形態之一例作為說明圖；第 1 0 (B) 圖係表示選擇器的一實施例之邏輯電路圖。

第 1 1 (A) 圖及第 1 1 (B) 圖係表示控制模組制動模式之模組制動控制蓄碼器之蓄碼器構成，以及控制中速模式之時脈控制蓄碼器之蓄碼器構成例其說明圖。

附件一

第849657號專利申請案
中文說明書修正頁

民國85年A7月B7修正

修正補充
84年7月13日

五、發明說明16)

第12(A)圖~第12(C)圖係為在於模組制動控制蓄碼器其MSTP7~MSTP5之說明圖。

第13(A)圖~第13(B)圖係為在於模組制動控制蓄碼器其MSTP4~MSTP3之說明圖。

第14(A)圖~第14(C)圖係為時脈控制蓄碼器之說明圖。

第15圖係為著眼於在本實施例的單晶片微電腦其系統時脈信號之概略的動作圖。

第16圖係表示MSME位元之概略的一例之方塊圖。

第17圖係為在於插入要求發生時其一例的動作時間圖。

第18圖係為在於DTC起動要求發生時其一例的動作時間圖。

第19圖係為在於主匯流排與輔匯流排之間其第1介面規格之概略圖。

第20圖係為隨著第19圖的主匯流排時脈與輔匯流排時脈的一例之時間圖。

第21圖係為在於主匯流排與輔匯流排之間其第2介面規格之概略說明圖。

第22圖係為隨著第21圖的主匯流排時脈與輔匯流排時脈的一例之時間圖。

第23圖係為主匯流排時脈與輔匯流排時脈之其他動作時間圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

煩請委員明示本案是否變更實質內容

經濟部中央標準局員工消費合作社印製

五、發明說明 (17)

第 2 4 圖係為在於對輔匯流排的讀出動作其匯流排介面的一例之時間圖。

第 2 5 圖係為在於對輔匯流排的寫入動作其匯流排介面的一例之時間圖。

第 2 6 圖係為了說明使其選擇性的能外部輸出時脈信號 ϕS 及 ϕB 的構成之一例其說明圖。

第 2 7 圖係為了說明使其選擇性的能外部輸出時脈信號 ϕS 或是 ϕB 的其中一個的構成之一例其說明圖。

第 2 8 (A) 圖及第 2 8 (B) 圖係為在第 2 7 圖的構成所必要的 p H I S / 位元之說明圖。

第 2 9 圖係表示單晶片微電腦的內部匯流排的其他分割例之概略方塊圖。

第 3 0 (A) 圖 ~ 第 3 0 (C) 圖係為了說明指定低消耗電力狀態之向量配列與該情況的儲存棧之一例其說明圖。

第 3 1 圖係為在於將低消耗電力資訊配置成向量之實施例其例外處理時及返回時的一例其動作時間圖。

第 3 2 圖係代表性的表示低消耗電力控制蓄碼器的 1 位元分的構成的一例之方塊圖。

第 3 3 圖係表示時脈振盪器及時脈控制電路之其他例之方塊圖。

第 3 4 圖係為專門表示從第 3 3 圖的時脈控制電路至其他機能時脈的時脈信號 $\phi 1 L$ 、 $\phi 2 L$ 之供給形態其單晶片微電腦之概略方塊圖。

五、發明說明(18)

〔實施例〕

<<單晶片微電腦的機能訊息塊>>

在第1圖係表示有關本發明的半導體積體電路其一實施例之單晶片微電腦的方塊圖。該單晶片微電腦，係提供中央處理裝置(CPU)1、資料轉換控制器(DTC)2、匯流排控制器(BSC)3、插入控制器4、唯讀記憶體(ROM)5、隨機存取記憶體(RAM)6、計時器7、時間監視計時器(WDT)8、串行通信介面(SCI)9、類比／數位(A/D)轉換器10、第1～第11輸出輸入通道I/O P1～I/O P11、時脈振盪器(CPG)12、時脈控制電路13、及分頻電路14的機能時脈(亦稱為電路模組)，這些機能組塊，並非被侷限於此組成，以皆知的CMOS半導體積體電路之製造技術，而被形成在單結晶矽的一個半導體基板上。上述計時器含有PWM(Pulse Width Modulation)計時器作為範例，針對計時器7特別是指PWM計時器時大致上係表示PWM計時器。

在上述單晶片微電腦，被設置有複數個外部端子。外部端子當中在電源端子被供給有接地準位(V_{ss})、電源電壓準位(V_{cc})、類比信號用接地準位(AV_{ss})、類比信號用電源電壓準位(AV_{cc})。在外部端子除了上述電源端子以外具有重設(RESET)、待命(STBY)、模式控制(MD0～MD2)、時脈輸入(EXTAL、

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (19)

X T A L) 、無法標記的插入 (N M I) 的各端子等作為專用控制端子。

< 單晶片微電腦內部匯流排構成 >

第 1 圖所示的上述各機能時脈，係以內部匯流排而相互的被連接。內部匯流排係以含有位址匯流排及資料匯流排的其他讀出信號、寫入信號、匯流排大小信號等之控制匯流排所形成。在內部的位址匯流排存有 I A B 、 P A B 。內部的資料匯流排則存在有 I D B 及 P D B 。這些個 I A B 、 P A B 及 I D B 、 P D B 的匯流排，係以匯流排控制器了而相互介面。

內部資料匯流排 I D B 、內部位址匯流排 I A B ，具有作為主匯流排而動作的 C P U 1 或是 D T C 2 的其中一個為選擇性的匯流排權而被使用。那一個給予匯流權，係以匯流排控制器 3 的控制作決定。匯流排控制器 3 ，含有解讀被輸出至內部位址匯流排 I A B 的資訊後，判定是否選擇那個機能組塊之機能組塊選擇電路 M S 。機能組塊選擇電路 M S 、係以位址信號辨識所被選擇的機能組塊，並且活性化所被識別的機能組塊所對應的模組選擇信號（無圖示）。依照以該機能組塊選擇電路 M S 所解讀的資訊，而決定（選擇） I A B 與 P A B 之間、及 I D B 與 P D B 之間是否連接或是不連接。即是此時的選取對象在被結合在內部匯流排 I A B 、 I D B 的電路模組之情況匯流排控制器 3 係未將內部匯流排 P A B 、 P D B 連接至 I A B 、

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (20)

I D B。然而選取對象在被結合在內部匯流排 P A B、P D B 的電路模組之情況匯流排控制器 3 係將內部匯流排 P A B、P D B 連接至 I A B、I D B。

針本本說明書，主匯流排係意味著可以輸入（形成）或是輸出至匯流排的位址，亦可以輸入輸出資料之模組；輔匯流排係意味著不能輸出（形成）至匯流排的位址，位址的輸入及資料的輸入輸出則為可能之模組。

內部匯流排 I A B、I D B 被連接至 C P U 1、D T C 2、R O M 5、M A M 6、匯流排控制器 3。進而，內部位址匯流排 I A B 係為了使其能與未圖示的外部位址匯流排連接，因而被連接至輸入輸出進出口 I / O P 1 ~ I / O P 3，內部資料匯流排 I D B 係為了能與無圖示的外部資料匯流排連接，因而被連接至輸入輸出進出口 I / O P 4、I / O P 5。內部匯流排 P A B、P D B 係被連接至匯流排控制器 3、計時器 7、時間監視計時器 8、S C I 9、A / D 轉換器 10、插入控制器 4、及輸入輸出進出口 I / O P 1 ~ I / O P 11。內部匯流排 P A B、P D B 介由輸入輸出進出口 I / O P 1 ~ I / O P 11 而被利用在外部選取時的匯流排介面控制，係以匯流排控器 3 控制。

將上述內部匯流排形成為 I A B、I D B 與 P A B、P D B 的 2 系統化，則在隨著匯流排選取的利用頻度較多的電路模組，考慮使其共有相對負荷較小的匯流排。另外在以 C P U 1 的匯流排進出當中，命令給予的次數比資料

五、發明說明 (21)

進出的次數還多。另外，爲了使其提高 C P U 1 的處理性能，所以必須因應於所處理的內容而給予命令，因而增高單位時間的命令給予次數。顧慮到此點，在本實施例將作爲主匯流排模組的 C P U 1、D T C 2；及儲存作爲 C P U 1 的作業區域的 R A M 6，或程式等的 R O M 5 等與其他的電路模組分隔開後連接至相對負荷較小的內部匯流排 I A B、I D B。

在以 C P U 1 的匯流排進出當中，命令給予的次數比資料進出的次數還多。另外爲了使其提高 C P U 1 的處理性能，所以必須因應於所處理內容而給予命令，因而提高單位時間的命令給予頻度。C P U 1 的命令大多是設置在內藏 R O M 5 或是外部記憶體（無圖示）。因此程式記憶體若在外部記憶體時也是介由輸入輸出進出口 I / O P 1 ~ I / O P 5 而利用內部匯流排 I A B、I D B 亦可，因此不使用多數被連接與命令給予無關係的電路模組而造成負荷較大的內部匯流排 P A B、P D B 亦可完成。

內部匯流排 P A B、P D B，係使其當未使用該匯流排時，而能保持在該匯流排之前的值。例如在內部匯流排 P D B 的各信號線被結合有靜態鎖定電路，當未使用內部匯流排 P D B 時，在該匯流排被連接有輸出端子之電路模組之該輸出端子係爲高輸出阻抗狀態，以上述靜態鎖定電路而使其保持匯流排 P D B 之前的值。如果使用 C M O S 電路時，該情況；因爲未變化信號狀態，所以可以將這些個 P D B 的消耗電流視爲幾乎 0。P A B、P D B 如第 1

五、發明說明 (22)

圖所示，由於所被連接的對象較多、配線容量較大，因而使其減少在這些匯流排所發生的信號變化頻度，換言之連接相對利用頻度較低的電路模組，所以達到低消耗電力化。即是在隨著匯流排進出的利用頻度較多的電路模組使其共有相對負荷較小的匯流排 I A B、I D B。

< 單晶片微電腦的時脈供給系統 >

本實施例的單晶片微電腦係同步於以時脈振盪器 1 2 及時脈控制電路 1 3 所產生的系統時脈信號而動作。各機能組塊係用以根據該系統時脈信號而形成的相互不交疊的 2 相時脈信號而作動。依據本實施例，系統時脈信號大致分為 ϕB 與 ϕS 。便利上統稱系統時脈信號 ϕS 與 ϕB 並也單獨以 ϕ 表示系統時脈。同樣的對於根據 ϕS 所形成的無交疊的 2 相時脈信號 $\phi 1 S$ 、 $\phi 2 S$ ，然後對於 ϕB 所形成的無交疊的 2 相時脈信號 $\phi 1 B$ 、 $\phi 2 B$ 而總稱這些也有只以 $\phi 1$ 、 $\phi 2$ 表示。另外，從時脈振盪器 1 2 所輸出的時脈信號係如圖示作為 ϕOSC 。

上述系統時脈信號 ϕB ，例如被供給至 CPU 1、DTC 2、匯流排控制器 3、插入控制器 4、外部匯流排的介面用、輸入輸出進出口 I/O P 1 ~ I/O P 5 作為主匯流排時脈。為了將時脈信號 ϕB 供給至各電路模組之時脈信號配線係如圖所示作為 L 1，時脈信號 ϕB 係針對時脈控制電路 1 3 由於分頻時脈信號 ϕOSC 而被形成。針對本實施例，分頻比為可選擇。時脈信號 ϕB 的分頻比

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (23)

如果較大時，依此比例，接受系統時脈 ϕB 之電路模組的部分之動作周波數則降低，消耗電力也減低。所接受的部分，原則上係隨時在動作狀態。例如插入控制器 4 必須隨時監視插入要求的發生，如果發生插入要求時，則發生所定的狀態遷移，由於是必須在 CPU 1 或 DTC 2 要求處理。因此針對該電路部份可以以時脈信號 ϕB 控制該作動周波數，係為實現因應於所須而減低在於單晶片微電腦全體的消耗電力。

他方的系統時脈信號 ϕS ，被供給至計時器 7、時間監視計時器 8、SCI 9、A/D 轉換器、輸入輸出 I/O P 1 ~ I/O P 11，作為周邊時脈。為了將系統時脈信號 ϕS 供給至各電路模組之時脈信號配線係如圖示作為 L 2。

從第 1 圖明白，時脈信號，除了 ROM 5、MAM 6 之外被供給至各能組塊，作為全體的時脈信號之配線長成為相當的長。如第 1 圖所示，供給時脈信號 ϕB 的機能組塊，及供給時脈信號 ϕS 機能組塊，分別被一定程度的局部存在化。依此，可以抑制為了時脈信號之總配線長。至少可以在全部的機能組塊各別供給獨立的時脈信號的情況還縮短全體的配線長。由於抑制時脈信號的總配線長，因而可以抑制寄生在該配線的容量成分。時脈信號因為信號變化的周數較大，由於抑制時脈信號配線的容量（由於縮短配線長），所以可以抑制消耗電力。

系統時脈信號 ϕB 的周波數，例如如後述可以逐次以

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (24)

軟體變更分類比的設定。對於此點，系統時脈信號 ϕS 的周波數係被固定。另外，時脈控制電路 13 係對 DTC 2、計時器 7、時間監視計時器 8、SCI 9、A/D 轉換電路 10，供給時脈控制信號。所供給的時脈控制信號，係為許可／停止在上述機能組塊內其時脈信號的作動（時脈信號的變化）。關於所供給的時脈控制，例如被記載在日本專利特開昭 60-195631 號等。不過在所記載的例未考量到關於停止時脈動作的期間中之機能組塊之作動。依據本發明群的檢討，停止機能組塊的時脈之期間中，應保持內部狀態。該樣的機能組塊係為同步作動於根據系統時脈信號 ϕS 而形成的無交疊的 2 相時脈信號 $\phi 1$ 、 $\phi 2$ ，其詳情依據第 3 (A) 圖～第 3 (C) 圖載述於後，以靜態電路構成同步於 $\phi 1$ 的順序電路；以靜態電路構成同步於 $\phi 2$ 的順序電路。

<< 在單晶片微電腦其模組制動 >>

關於在單晶片微電腦其模組制動該詳情載述於後，概略的如下所述。從時脈控制電路 13、對 DTC 2、計時器 7、時間監視計時器 8、SCI 9、A/D 轉換器 10 供給時脈停止信號即是供給模組制動信號（在於第 1 圖係將各別被供給模組制動信號總稱為 MSTP 如圖示）。所供給的模組制動信號 MSTP 係從時脈控制電路 13 對各機能組塊供給作為固有的信號。在以複數波道所形成的 SCI 時於每個波道分配模組制動信號 MSTP 亦為可能

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (25)

。關於所供給的機能組塊單位之時脈停止，被記載在日本平成6年3月，日立製作所發行「H8 / 3048系列，硬體手冊」P. 607 ~ P 632；及日本專利特開昭60 - 195631等。然而時間監視計時器8當作爲時間監視計時器的機能時，模組制動信則爲無效。時間監視計時器8係爲監視系統的機能上爲了防止因誤訊而停止。關於其詳情載述於後。在前述日本平成6年3月，日立製作所發行「H8 / 3048系列，硬體手冊」P 607 ~ P 632，當時脈停止時，機能組塊形成爲重設狀態，而造成必須再設定內部蓄碼器。例如，在起止同步式SCI，當動作再開時，輸出1訊框分的序言後，無法立刻進行作動。在PWM計時器7形成爲必須設定時脈選擇或工作。對於此點，本實施例，當時脈停止時，機能組塊仍然保持內部狀態。

< < 時脈同步型內藏記憶體之採用 > >

第2圖表示第1圖的單晶片微電腦之變形例之方塊圖。第2圖所示的單晶片微電腦，係對第1圖ROM 5及RAM 6形成爲同步動作於時脈信號之電路形式，例如在這些ROM 5及RAM 6被供給有與供給至CPU 1相同的時脈信號 ϕB 。該樣由於使其將內藏記憶體ROM 5、RAM 6同步於主匯流排CPU 1、DTC 2之時脈而使其動作，因而可以進行高速的動作。作爲同步動作於時脈之RAM 6係可以列舉同步脈衝・靜態RAM等。作爲同

五、發明說明 (26)

步動作於時脈之 R O M 5 係可以列舉時標 R O M 、
E E P R O M 、及瞬時記憶體等。

< < 各機能組塊的內部電路 > >

在第 3 (A) 圖表示構成各機能組塊的邏輯電路之代表性組塊例。各個邏輯電路基本上含有：組合電路 2 0 、及同步且作動於時脈信號 ϕ 2 而作為該輸入該電路輸出之順序電路 2 1 、及輸入順序電路 2 1 的輸出之組合電路 2 2 、同步且作動時脈信號 ϕ 1 而作為輸入組合電路 2 2 的輸出之順序電路 2 3 等，將其作代表而將電路作為單位。另外因應於所須，從順序電路 2 3 至組合電路 2 0 信號構成為循環性傳達亦可。從外部的輸入信號被輸至其中的電路，輸入至外部的輸出信號係從其中的電路輸出（未圖示）。

在第 3 (B) 圖表示以 C M O S 動態電路構成上述順序電路 2 1 、2 3 之例。例如順序電路 2 1 係以 C M O S 同步反向器 2 1 0 與 C M O S 反向器 2 1 1 的串聯電路所構成；順序電路 2 3 係以 C M O S 同步反向器 2 3 0 與 C M O S 反向器 2 3 1 的串聯電路所構成。針對順序電路 2 1 ，同步反向器 2 1 0 係以時脈信號 ϕ 2 的高準位而可能輸出作動；針對順序電路 2 3 ，同步反向器 2 3 0 係以時脈信號 ϕ 1 的高準位而能輸出動作。P 通道型 M O S 電晶體 2 1 2 係在動作待機時因被形成為低準位的信號 S I G 而成 O N 狀態，將反向器 2 1 1 的輸入強制成電源

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (27)

電壓而將內部形成爲保持之前值的狀態。該信號 S I G 可以使用類似於第 9 圖所示的振盪停止信號 1 3 5。

針對第 3 (B) 圖所示之電路形式，資訊傳輸係以對同步反向器 2 1 0、2 3 0 的輸出負荷容量之充電及放電而機能地實行。依該樣由於使用 2 相無交疊時脈信號 $\phi 1$ 、 $\phi 2$ 與動態電路，所以能縮小電晶體數，並且能縮小半導體積體電路之物理性規模。不過這是以儲存在負荷容量之電荷進行資料的保持，由於存在從負荷容量的洩漏電流，所以資料的保持只能在有限的時間實行。例如，將洩漏電流視爲一定時，在保持高準位的狀態，資料可以表示爲 $V - i t / C$ 。C 爲容量、V 爲電源電壓，i 爲洩漏電壓，t 爲經過時間。隨著時間經過降低輸出端子的電壓，以 V_{th} 表示輸入該電壓的 C M O S 電路的臨界值電壓，只能保持低於 $C (V - V_{th}) / i$ 以下時間的資料。因此在該時間內有必要更新資料。換言之如同步反向器 2 1 0、2 3 0 的開關元件的開關周波數無法低於 $i / C (V - V_{th})$ 。所以在時脈停止時之內部動作停止時，如果開關周波數較高則無法保持資料。

在該時脈停止狀態，若欲保持資料則考量在各個順序電路 2 1、2 3 不用靜態電路，而改用靜態電路。靜態電路與動態電路比較，則是增加電晶體數，且使其增加半導體積體電路之物理性規模。如果增加電晶體數，則配線也增加，並且與配線數及電晶體數成比例的消耗電流也增加。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (28)

在第 3 (C) 圖表示使用本實施例的單晶片微電腦之 M O S 動態電路例。於同圖同步於時脈信號 $\phi 1$ 的順序電路 2 3 為動態電路；同步於時脈信號 $\phi 2$ 的順序電路 2 1 為靜態電路所構成。該靜態電路係為追加同步轉反向器 2 1 3 反並聯連接在反向器 2 1 1，同步反相器 2 1 0 係能逆相輸出作動。然而在順序電路 2 3 其輸出端的反向器 2 3 1 係為了合於邏輯極而附加但因應於所須亦可消除。若根據第 3 (C) 圖之例，在時脈停止時，及動作待機時，時脈信號 $\phi 1$ 為高準位， $\phi 2$ 為低準位，順序電路 2 1 係為鎖定之前的輸入資料而供給供至後段的組合電路 2 2，並且將順序電路 2 3 的狀態控制為保持之前值之狀態。然而，動作待機時時未被停止，在未發生有所定事像的情況，意味著保持以前的狀態而停止動作的狀態。前述所定的事像，例如，P W M 計時器 7 的情況，會有以 C P U 1 等的主匯流排的讀出或寫入，及後述的計數提高時脈的產生。

在於第 3 (C) 圖，構成順序電路 2 3 的時間電路係以 6 個 M O S 電晶體所構成，相同的在於第 3 (C) 圖構成順序電路 2 1 的靜態電路係以 1 0 個 M O S 電晶體所構成。在於第 3 (B) 圖，構成順序電路 2 3 的時間電路係以 6 個電晶體所構成，相同的在於第 3 (B) 圖構成順序電路 2 1 的時間電路係以 7 個 M O S 電晶體所構成。另外若全部為靜態電路，則任何的順序電路 2 1，2 3 皆以 1 0 個 M O S 電晶體所構成。因此若比較該部分，對於在

(請先閱讀背面之注意事項再填寫本頁)

不

訂

五、發明說明 (29)

第 3 (C) 圖的構成之 16 個電晶體，若全部以動態電路則為 13 個電晶體，若全部以靜態電路則為 20 個電晶體；第 3 (C) 圖的構成，雙方以動態電路的情形作比較則約為 1.23 倍，雙方以靜態電路的情形作比較則為約 0.8 倍之電晶數就可形成。

另外構成交互使用靜態電路與動態電路，作為第 3 (C) 圖所示的順序電路；從 50 % 開始偏位無交疊的 2 相時脈信號 $\phi 1$ 、 $\phi 2$ 的工作比（在本申請書工作比 = 高準位的期間 / 1 周期），工作比較大側為動態電路之時脈信號。因此，例如成為可以擴張對系統時脈信號 ϕB 的周波數之減低範圍。例如在動態電路之時脈 $\phi 1$ 採用比第 20 圖所示的 50 % 還大的工作時脈信號 $\phi 1 B$ ；在靜態電路之時脈 $\phi 2$ 採用比 50 % 還小的工作時脈信號 $\phi 2 B$ 。

< < 分頻電路時脈 > >

除了系統信號之外，尚有分頻電路信號供給至所定的機能組塊。即是因應於所須分頻系統時脈信號的情況與將該分頻器配置在個個機能組塊作比較，在使用分頻電路的情況集中形成各種分頻比的時脈信號後將必要的分頻比之時脈分開在必要的機能組塊，所以各機能組塊的分頻器可以共通化，並且可以達成在於晶片全體的邏輯規模。

不過，依據本發明群的檢討，分頻電路信號，在共通地利用各機能組塊的特性上，形成為時脈配線長較長，配線容量較大。進而低分頻比的分頻電路係為信號變化較高

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (30)

。因此，消耗電流也較大。衡量此點之本實施例，因應於低分頻比的分頻電路時脈信號之周波數較高的時脈信號對機能組塊而共通的分頻電路無法負擔，以用各個分頻電路個別的產生各機能組塊。

在第 4 圖係以方塊圖表示分頻電路 1 4 的一例。在同圖代表性的表示下位 4 位數分的構成，構成各位數的鎖定電路以圖號 1 4 0 ~ 1 4 3 表示，其電路構成與代表性表示詳細的鎖定電路 1 4 0 之構成相同。鎖定電路 1 4 0 係以 2 輸入 "N O R" 閘 1 4 0 1、1 4 0 2 所形成的靜態電路構成爲主體，在該輸出端被配置有用以端子 C S 所被輸出控制的同步反向器 1 4 0 3，在該靜態電路的輸入端被配置有以端子 C M 的邏輯值實行開閉機能的 2 輸入 "A N D" 閘 1 4 0 4、1 4 0 5。輸入端子 T 被結合在 2 輸入型的排他邏輯和閘 1 4 0 6 的一方之輸入端子，在他方的輸入端子被歸還有同步反向器 1 4 0 3 的輸出。在上述 "A N D" 閘 1 4 0 4 及在上述 "A N D" 閘 1 4 0 5 用反向器 1 4 0 7 分轉後分別被供給至排斥邏輯和閘 1 4 0 6 的輸出。在最下位的鎖定電路 1 4 0 的輸入端子 T 被供給有邏輯值 "1"，下位側的向上計數時脈 $\phi / 4 \text{ UP}$ 、 $\phi / 8 \text{ UP}$ 、 $\phi / 16 \text{ UP}$ ，... 被供給至上位的輸入端子 T 而連接成縱列形態。

各位數的鎖定電路 1 4 0、1 4 1、1 4 2、1 4 3，... 端子 C M 爲更新保持在邏輯值 "1"（沒有特別的限制是本實施例爲高準位）之時的資料。端子 T 若爲邏

五、發明說明 (31)

輯值 " 0 " (沒有特別的限制但本實施例為低準位) 時則保持資料 ; 端子 T 若為邏輯值 " 1 " 時則反轉資料。即是端子 C M 與端子 C S 不能同時的成為邏輯值 1 。換言之 $\phi 1$ 、 $\phi 2$ 則為無交疊 2 相的時脈信號。針對端子 C S 的高準位同步反相器 1 4 0 3 形成為能輸出動作 ; 端子 C S 的低準位形成為高輸出阻抗狀態。在於端子 C M 的論理值 " 1 " , " A N D " 閘 1 4 0 4 、 1 4 0 5 的他方之輸入被反映在該 " A N D " 閘 1 4 0 4 、 1 4 0 5 的輸出後實行鎖定資料的更新。此時端子 T 若為低準位在在低準位為止所被鎖定的資料則被保持為原樣 ; 端子 T 若為高準位在其高準位為止所被鎖定的資料則被反轉。在於端子 C M 的低準位 1 4 0 4 、 1 4 0 5 的輸出雙方都被強制在低準位而 2 個 " N O R " 閘 1 4 0 1 、 1 4 0 2 所形成的靜態鎖定則在其低準位為止的狀態保持為靜態。

上述無交疊的 2 相時脈信號 $\phi 1$ 、 $\phi 2$ 係從上述時脈信號 $\phi O S$ 而被產生。該產生電路 1 4 4 如第 4 圖所示相互的一方的輸出介由延遲電路 1 4 4 1 、 1 4 4 2 復歸至他方的輸入之一對 " A N D " 閘 1 4 4 3 、 1 4 4 4 作為主體 , 在時脈信號 $\phi 1$ 、 $\phi 2$ 的停止時 , 具備將 $\phi 1$ 強制為高準位之輸出控制用 " O R " 閘 1 4 4 5 、 1 4 4 5 及將 $\phi 2$ 強制為低準位之輸出用 " A N D " 閘 1 4 4 6 而形成。 " A N D " 閘 1 4 4 4 對於介由 $\phi O S C$ 及延遲電路 1 4 4 1 之復歸信號的各個反轉信號採用邏輯積。 " A N D " 閘 1 4 4 3 採用介由延遲電路 1 4 4 2 之復歸信

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (32)

號的反轉信號與 ϕ O S C 之邏輯積。 " A N D " 閘

1 4 4 6 對於分頻電路模組制動信號 M S T P P S C 的反轉信號與 " A N D " 閘 1 4 4 4 的輸出採用邏輯積。關於分頻電路模組制動信號 M S T P P S C 共詳情載述於後，但依其邏輯值 " 0 " 容許時脈信號 ϕ 1 、 ϕ 2 的輸出，依其邏輯值 " 1 " 禁止該時脈信號 ϕ 1 、 ϕ 2 的輸出。在於時脈信號 ϕ 1 、 ϕ 2 的輸出狀態 ϕ 7 為高準位、 ϕ 2 被固定在低準位。因此，此時分頻電路時脈信號的變化也被抑止。

在第 4 圖所示的分頻電路 1 4 向上計數前述時脈信號 ϕ O S C 。例如日本平成 5 年 3 月，日立製作所發行『 H 8 / 3 0 0 3 ，硬體手冊 P 5 5 5 所記載的分頻電路，依序產生分頻時脈 $\phi / 2$ 、 $\phi / 4$ 、 $\phi / 8 \dots \dots$ 等。本實施例的分頻電路 1 4 進而也產生各個位數的向上計數時脈 $\phi / 2$ U P 、 $\phi / 4$ U P 、 $\phi / 8$ U P 。當該位數其向上計數信號（進位信號）得有且作為比該位數還下位側的全部進位信號與該位數其鎖定電路之輸出。

針對本實施例用以分頻電路 1 4 所產生的時脈信號（分頻電路時脈信號）被供給至所定的機能組塊，例如被供給至計時器 7 、 S C I 9 、 A / D 轉換器 1 0 等。在此情況，被供給至該機能組塊之分頻電路時脈，被作為高於 $\phi / 8$ 的分頻比之分頻電路時脈信號。如 $\phi / 2$ 、 $\phi / 4$ 及 $\phi / 2$ U P 、 $\phi / 4$ U P 等的相對分頻比較小（周波數較高）的時脈信號在於分頻電路 1 4 至外部的機能組塊未

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (33)

被輸出。在分頻比較低的時脈信號也從分頻電路 1 4 一起供給至各機能組塊的情況，由於同步於相當長的時脈配線上而造成的較高周波數而快速施行放電，所以造成較大消耗電力，而且各機能組塊將較高周波數的時脈信號利用別的系統時脈系不受限制，該電力消耗可預想會有較大浪費。因此，如 $\phi / 2$ 周波數較高的時脈信號係在機能組塊內部分頻系統時脈信號 ϕS 後再使用，所以可以減低電力消耗。

在第 5 (A) ~ 5 (I) 圖表示分頻電路 1 4 的動作時間圖。分頻電路時脈信號係在同步於時脈信號 $\phi 1$ 之時間被變化。各個位數向上計數時脈比自身還下位的位數之鎖定電路輸出形成為全位元邏輯值 " 1 " 則視為邏輯值 " 1 "，同步於之後的 $\phi 1$ 而變化該位數。即是在各位數的輸出 Q 之 1 周期發生 1 次輸至上位位數的向上計數時脈。例如， $\phi / 8$ 與 $\phi / 16$ UP 持有同一周期的信號， $\phi / 16$ 的高準位期間一致於時脈信號 $\phi / 2$ 的高準位時間。

< < 模組制動 > >

在第 6 圖表示 PWM 計時器 7 的方塊圖。PWM 計時器 7 係以無交疊產生電路 7 0 0、時脈控制電路 7 1 0、分頻器 7 2 0、讀出 / 寫入控制電路 7 3 0、計時器時脈控制電路 7 4 0、輸出控制 7 5 0、匯流排介面 7 6 0、控制蓄碼器 (T C R) 7 7 1、計時器 (T C N T)

五、發明說明 (34)

7 7 2、工作蓄碼器 (D T R) 7 7 3、比較器 (C M P) 7 7 4 所構成。

無交疊產生電路 7 0 0，輸入時脈信號 ϕS ，相互的無交疊之關係，分別產生與 ϕS 同相的時脈信號 $\phi 1 S$ 、及對於時脈信號 $\phi 1 S$ 為逆相的時脈信號 $\phi 2 S$ 。此無交疊產生電路 7 0 0 的一例如第 7 (A) 圖所示，將相互一方的輸出介由延遲電路 7 0 1、7 0 2 復歸為他方的輸入之一對 " A N D " 閘 7 0 3、7 0 4 作為主體，在應停止時脈信號 $\phi 1 S$ 、 $\phi 2 S$ 時具備將時脈信號 $\phi 1 S$ 強制為高準位之輸出控制用 " O R " 閘 7 0 5，將時脈信號 $\phi 2 S$ 強制為低準位之輸出控制用 " A N D " 閘 7 0 6 而形成。" A N D " 閘 7 0 4 係對於介由時脈信號 ϕS 與延遲電路 7 0 1 之復歸信號的各個反轉信號採用邏輯積。" A N D " 閘 7 0 3 採用介由時脈信號與延遲電路 7 0 2 之復歸信號的反轉信號之邏輯積。" A N D " 閘 7 0 6 係對於被供給至一方的輸入之計時器模組制動信號 $\phi S M S T P P W M$ 之反應信號與 " A N D " 閘 7 0 4 的輸出採用邏輯積。關於計時器模組制動信號 $M S T P P W M$ 其詳情載述於後，但依其邏輯值 " 0 " 則容許時脈信號 $\phi 1 S$ 、 $\phi 2 S$ 的輸出；依邏輯值 " 1 " 則禁止該時脈信號 $\phi 1 S$ 、 $\phi 2 S$ 的輸出。即是計時器模組制動信號 $M S T P P W M$ 為邏輯值 " 1 " 時， $\phi 1 S$ 為高準位、 $\phi 2 S$ 被固定在低準位的狀態。該計時器模組制動信號 $M S T P P W M$ 在不須使其作動 $P W M$ 計時器 7 時被

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (35)

作為為了以所定邏輯值使其停止時脈信號 $\phi 1 S$ 、 $\phi 2 S$ 之控制信號。

用無交疊產生電路 700 所產生的時脈信號 $\phi 1 S$ 、 $\phi 2 S$ 只限制被供給至分頻器 720、時脈控制電路 710、及計時器時脈控制電路 740。

分頻器 720 輸入時脈信號 $\phi 1 S$ 及 $\phi 2 S$ 後，產生時脈信號 $\phi S / 2$ 。該邏輯構成，可以以在第 4 圖說明過的分頻電路 14 其最下位的邏輯構成而實現。對於時脈信號 ϕS 而關於分頻比較小的時脈信號 $\phi S / 2$ 係用機能組塊內的分頻器產生。這是以分頻電路的項目所說過的方式而達成低消耗電力化之顧慮。

計數器時脈控制電路 740 輸入 $\phi / 16 UP$ 、 $\phi / 64 UP$ 、及 $\phi / 256 UP$ 作為分頻電路時脈，並且輸入以前述分頻器 720 所產生的時脈信號 $\phi S / 2$ 。從這些個輸入時脈信號選擇所須的輸入時脈信號，所被選擇的輸入時脈信號被使用為向上計數。即是以控制蓄碼器 (TCR) 771 的 CK1、CK0 位元，指定所被選擇的輸入時脈信號，由於該指定因而以計時器時脈控制電路 740 實行輸入時脈信號的選擇，同步於所被選擇的時脈信號之周期而產生向上計數時脈信號 741。該向上計數時脈信號 741 的產生係在上述控制蓄碼器 (TCR) 內的 OE (輸出・啓動) 位元為 '1' 時被許可，在 '0' 時被禁止。計數器 (TCNT) 772 同步於該向上計數時脈信號 741 而實行向上計數動作。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明 (36)

時脈控制電路 7 1 0 輸入以時脈信號 $\phi 1 S$ 及 $\phi 2 S$ 、C P U 1 的輸出之位址信號所產生的 P W M 計時器選擇信號 M S P W M # (符號 # 附註該符號之信號為負邏輯的信號)、及從計數器時脈控制電路 7 4 0 所輸出的向上計數時脈信號 7 4 1 後，將時脈信號 $\phi 1 - P W M$ 、 $\phi 2 - P W M$ 供給至 T C R 7 7 1、T C N T 7 7 2、C M P 7 7 4、D T R 7 7 3、匯流排介面 7 6 0、輸出控制電路 7 5 0。時脈信號 $\phi 1 - D W M$ 、 $\phi 2 - P W M$ ，係在 C P U 1 讀出 / 寫入 P W M 計時器 7 時，或是產生向上計數時脈信號時為有效。其他的情況， $\phi 1 - P W M$ 被固定在高準位， $\phi 2 - P W M$ 被固定在低準位的狀態。

讀出 / 寫入控制電路 7 3 0，介由匯流排控制器而輸入 C P U 1 的輸出內部位址、讀出信號 R D、寫入信號 W R、P W M 計時器選擇信號 M S P W M # 後，控制各蓄碼器與匯流排介面，而控制各蓄碼器與例如 C P U 1 之間的資料之輸入輸出。

輸出控制電路 7 5 0 輸出 C M P 7 7 4 的輸出傳送匹配信號 7 8 0、及 T C N T 7 7 2 的輸出溢出信號 7 8 1、及從 T C R 7 7 1 的 O E 位元後，輸出 P W M 信號。O E 位元被設定為邏輯值 " 1 "，則 P W M 信號從所定的輸入輸出進出口與兼用的端子輸出至外部。P W M 信號在傳送匹配時 (傳送匹配信號 7 8 0 為邏輯值 " 1 ") 輸入邏輯值 " 1 "，並且在溢出時 (溢流信號 7 8 1 為邏輯值 " 1 ") 輸出邏輯值 " 0 "。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (37)

匯流排介面 7 6 0 係以讀出寫入控制電路 7 3 0 的控制，施行在內部資料匯流排 P D B 與 P W M 計時器 7 的內部之模組資料匯流排之間的資訊之輸入輸出。

T C R 7 7 1 具有 O E 位元與 C K 1 ~ C K 0 位元，隨著讀出／寫入控制電路 7 3 0 的控制而輸入輸出資料。O E 位元被設定為 ' 1 '，P W M 計時器 7 則作動。C K 1 ~ C K 0 位元如前所述被作為為了選擇計數時脈周期之位元。T C N T 7 7 2 隨著讀出／寫入控制電路 7 3 0 的控制而輸入輸出資料。另外，以計數器時脈控制電路 7 4 0 的輸出計數時時脈信號 7 4 1 施行向上計數動作，以向上計數動作而產生溢流的情況，T C N T 7 7 2 將溢流信號 7 8 1 作為活性狀態。D T R 7 7 3 隨著讀出／寫入控制電路 7 3 0 之控制而輸入輸出資料。C M P 7 7 4 係為輸入 T C N T 7 7 2 及 D T R 7 7 3 的輸出後作比較，其結果為一致時將傳送匹配信號 7 8 0 作為活性狀態。

在第 7 (B) 圖表示時脈控制電路 7 1 0 的一例。時脈控制電路 7 1 0，係以 2 個邏輯和電路 7 1 1、7 1 2；1 個邏輯積電路 7 1 3 所構成。計時器選擇信號 M S P W M # 的反轉信號與向上計數時脈信號 7 4 1 被輸入至邏輯和電路 7 1 1。邏輯和電路 7 1 1 的輸出之反轉信號與時脈信號 $\phi 1 S$ 被輸入至邏輯和電路 7 1 2，該輸出被作為時脈信號 $\phi 1 - P W M$ 。另外邏輯和電路 7 1 1 的輸出與時脈信號 $\phi 2 S$ 被輸入至邏輯積電路 7 1 3，該

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (38)

輸出被作為時脈信號 $\phi 2 - PWM$ 。時脈信號 $\phi 1 - PWM$ 、 $\phi 2 - PWM$ ，係為了 CPU 1 讀出／寫入 PWM 計時器 7，所以將計時器選擇信號 $MSPWM\#$ 形成為活性狀態時，或是發生向上計數時脈信號 741 時為有效。其他的情況被固定在時脈信號 $\phi 1 - PWM$ 為高準位，時脈信號 $\phi 2 - PWM$ 為低準位之狀態。也就是只在產生所定的事像（CPU 1 的讀出／寫入，及向上計數時脈信號的發生）時，被供給至各部的時脈 $\phi 1 - PWM$ 、 $\phi 2 - PWM$ 施行時脈變化。因此接受時脈信號 $\phi 1 - PWM$ 、 $\phi 2 - PWM$ 而同步於該時脈信號而作動之電路，即是無交疊產生電路 700、時脈控制電路 710，分頻器 720、計數器時脈控制電路 740 以外的機能組塊只在產生所定的事像時動作。在其他的狀態信號的變化被抑止，並且消耗電流被抑制。

無交疊產生電路 700 被形成為如上述第 7 (A) 圖的構成，以模組制動信號 $MS T P P W M$ 的高準位 $\phi 1 S$ 被固定在高準位， $\phi 2 S$ 被固定在低準位。從第 7 (B) 圖也明白，針對在無交疊產生電路 700 其上述模組制動狀態時脈信號 $\phi 1 - PWM$ 、 $\phi 2 P W M$ 也被固定在各個所定的準位。在完全不利用該 PWM 計時器 7 的情況用以模組制動信號 $MS T P P W M$ 抑止內部的時脈信號 $\phi 1 S$ 、 $\phi 2 S$ 、 $\phi 1 - PWM$ 、 $\phi 2 - PWM$ 的變化，在利用 PWM 計時器 7 的情況也至產生上述所定的事像為止抑止內部時脈信號 $\phi 1 - PWM$ 、 $\phi 2 - PWM$ 的變化，所以

五、發明說明 (39)

可以達成低消耗電力化。

選擇性抑止以上述無交疊產生電路 7 0 0 及時脈控制電路 7 1 0 的內部時脈信號的變化之構成，係為在該其他電路模組例如在 W D T 8、S C I 9、A / D 1 0 也同樣地被適用。關於高分頻比的分頻電路時脈信號之供給與以內部分頻器之低分頻比的時脈生成也為同樣。

在第 7 (C) 圖表示被採用在 W D T 8 之無交疊產生電路的例。對第 7 (A) 圖所示的無交疊產生電路 7 0 0 而被追加邏輯積電路 7 0 7。在邏輯積電路 7 0 7 的一方之輸入被供給有分配在 W D T 8 的模組制動信號 M S T P W D T，在他方的輸入被供給有指定時間監視計時器模式之 W D T M 位元的反轉信號。W D T 8 也被形成為可利用作為時間隔計時器，在利用該計時器作為時間監視計時器之情況 W D T M 位元被形成為邏輯值“1”，在所定的蓄碼器被設置有 W D T M 位元，將該位元例如以 C P U 1 形成邏輯值“1”而指定時間監視計時器模式，換言之暫時被指定有時間監視，以模組制動信號 M S T P W D T 之模組制動的指示被忽略。所以可以防止利用 W D T 8 之系統監視的機能誤差而被解除之事態，而期待系統的信賴性提高。

在第 8 圖表示第 6 圖的 P W M 計時器之動作時間圖。C P U 1 從狀態 S 3 寫入 P W M 計時器 7 的 T C R 7 7 1。所施序寫入動作須要 3 狀態，首先針對狀態 S 3 模組選擇信號 M S P W M # 被作為低準位。模組選擇信號

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(40)

M S P W M 被作為低準位，在第 7 (B) 圖所示邏輯積電路 7 1 1 的輸出則成為高準位，時脈信號 $\phi 1 - P W M$ 、 $\phi 2 - P W M$ 同步於 $\phi 1 S$ 、 $\phi 2 S$ 而開始變化。然而，M S P W M # 則同步於 $\phi 1 S$ 。用寫入動作的第 3 狀態 (狀態 S 5 的開始時間) D E 位元被設定為 " 1 "。另外被設有 C K 1 ~ C K 0，由於該所被設定的 C K 1 ~ C K 0，因而例如選擇時脈信號 $\phi S / 2$ 。

在 O E 位元被設定為 " 1 " 的狀態，分頻器 7 2 0 的產生時脈信號 $\phi S / 2$ 被作為向上計數時脈信號，該向上計數時脈信號在於高準位期間，時脈信號 $\phi 1 - P W M$ 、 $\phi 2 - P W M$ 隨著時脈信號 $\phi 1 S$ 、 $\phi 2 S$ 而變化，P W M 計時器 7 實行向上計數動作。在狀態 S 6 ~ 狀態 S 1 2 的期間， $\phi 1 - P W M$ 、 $\phi 2 - P W M$ 的周期與照原來使用時脈信號 $\phi 1 S$ 、 $\phi 2 S$ 的情況作比較，作為 $1 / 2$ 。因此，無交疊產生電路 7 0 0、時脈控制電路 7 1 0、分頻器 7 2 0、計數器時脈控制電路 7 4 0 以外的電路組塊之動作頻度也成為 $1 / 2$ ，所輸入部分的消耗電流也可以成為 $1 / 2$ 。例如，所輸入部分的邏輯規模，與無交疊產生電路 7 0 0、時脈控制電路 7 1 0、分頻器 7 2 0、計數器時脈控制電路 7 4 0 之邏輯規模之比，若為 8 : 2 時，P W M 計數器 7 全體的消耗電流也可以成為 $6 / 1 0$ 。在向上計數時脈選擇 $\phi / 1 6 U P$ ，此 $\phi / 1 6 U P$ 因等於 $\phi S / 8$ 的周波數，所以前述部分的消耗電流為 $1 / 8$ ，並且可以將 P W M 計時器 7 全體的消

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(41)

耗電流成爲 3 / 1 0 。

另外，以在狀態 S 1 3 ~ 狀態 S 1 5 其 C P U 1 的寫入動作，O E 位元清除爲“0”，則邏輯和電路 7 1 1 的輸出成爲低準位，因此 $\phi 1 - P W M$ 被固定在高準位、 $\phi 2 - P W M$ 被固定在低準位。P W M 計時器 7 之計時器作動中（狀態 S 3 ~ 狀態 5、狀態 S 7、狀態 S 9、狀態 S 1 1、狀態 S 1 3 ~ 狀態 S 1 5）， $\phi 1 - P W M$ 、 $\phi 2 - P W M$ 的脈衝幅寬爲同等；動作的中斷中， $\phi 1 - P W M$ 爲高準位、 $\phi 2 - P W M$ 爲低準位。在於該作動的中斷狀態內部狀態係被保持著。即是在 P W M 計時器 7 的無交疊產生電路 7 0 0、時脈控制電路 7 1 0、分頻器 7 2 0、計數器時脈控制電路 7 4 0 以外的電路組塊其順序電路，由於是使用如第 3 (C) 圖所示的順序電路，所以時脈信號的 $\phi 2$ 成爲 $\phi 2 - P W M$ 、 $\phi 1$ 成爲 $\phi 1 - P W M$ 。

同樣，在模組制動模式，模組停止信號 M S T P W M 變成活性狀態， $\phi 1 S$ 在高準位、 $\phi 2 S$ 在低準位的狀態下停止。在於此狀態 P W M 計時器 7 自體的狀態，係與前述同樣的被保持著。例如，T C R 7 7 1 的內容、或 D T R 7 7 3、T C N T 7 7 2 的內容被保持著。在模組制動解除後，不必要施行 T C R 7 7 1 的再設定等，在模組制動狀態，也能實行以 C P U 1 的讀出 / 寫入。因停止 $\phi 1 S$ 及 $\phi 2 S$ ，所以 P W M 計時器 7 全體的信號變化被抑止，在其間的消耗電流實質上爲 0。然而在第 7 (A)

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (42)

圖所示的計時器模組制動信號 M S T P P W M 的供給線，連接邏輯積電路的輸出，如果使其在該邏輯積電路供給計時器模組制動信號 M S T P P W M 與計時器模組選擇信號 M S P W M # 時，就是設定模組制動狀態，P W M 計時器也成為能從 C P U 1 寫入／寫出。

< 時脈控制電路 >

在第 9 圖表示第 1 圖所示的單晶片微電腦之時脈振盪器 1 2 及時脈控制電路 1 3 的一例。時脈控制電路 1 3，係以分頻器 1 3 0、選擇器 1 3 1、時脈控制蓄碼器 1 3 2、模組制動控制蓄碼器 1 3 3、待命控制電路 1 3 4 所構成。模組制動控制蓄碼器 1 3 3 對應可選擇的機能組塊，設定所定的位元數。即是在可選擇的機能組塊，各別所對應的位元被設置在模組制動控制蓄碼器 1 3 3。在振盪器 1 2 介由 E X T A L、X T A L 端子而被連接有水晶振動子，或是從 E X T A L 端子供給外部時脈。利用水晶振盪子時可以以水晶振盪子與電路 1 2 構成振盪電路。振盪電路 1 2，沒有特別的被限制，但產生水晶振盪子的固有振動數或是外部時脈的周波數，及同一的周波數之時脈信號 ϕ O S C。振盪器 1 2 從待命控制電路 1 3 4 供給振盪器停止信號 1 3 5，在於待命狀態，振盪器停止信號 1 3 5 因被變成活性狀態所以振盪器被停止，時脈信號 ϕ O S C 被固定在高準位後停止其變化。然而振盪器 1 2 內藏工作補正電路亦可。另外振盪器 1 2 內藏分頻器

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (43)

，輸出將水晶振盪子或是外部時脈 2 分頻過的時脈信號作為 ϕOSC 亦可。關於這些被記載在日本平成 5 年 3 月，日立製作所發行『H 8 / 3 0 0 3、硬體手冊』P 5 5 3 ~ P 5 6 0。

分頻器 1 3 0，輸入時脈信號 ϕOSC ，例如依序進行 2 分頻，且產生時脈信號 $\phi OSC / 2$ 、 $\phi OSC / 4$ 、 $\phi OSC / 8$ 。選擇器 1 3 1，輸入時脈信號 ϕOSC 、 $\phi OSC / 2$ 、 $\phi OSC / 4$ 、 $\phi OSC / 8$ 後，輸出以時脈控制蓄碼器器 1 3 2 的 M S M E 位元；C K S 1、C K S 0 位元所被選擇的時脈信號，作為系統時脈信號 ϕB ，並且供給至在單晶片微電腦其上述 C P U 1 等。或是更改 $\phi OSC / 2$ 、 $\phi OSC / 4$ 、 $\phi OSC / 8$ 而使其輸入向上計數時脈 $\phi OSC / 4 UP$ 、 $\phi OSC / 8 UP$ 、 $\phi OSC / 16 UP$ 亦可。以選擇器 1 3 1 變更選擇內容時，特別是在變更前與變更後進行設定時脈信號的位相。例如，因同步於時脈信號 ϕS （可以在選擇器 1 3 1 內部產生時為 $\phi 1 S$ ）之上昇後變更，所以遷移時的最小脈衝幅寬，造成為高於時脈信號 ϕS （ ϕOSC ）的脈衝幅寬。在停止時脈信號時 ϕOSC 被形成為高準位，時脈信號 ϕB 及 ϕS 也被形成高準位，作為低消耗電力狀態。在第 1 0（A）圖表示以 M S M E 位元、C K S 1 位元、C K S 0 位元的邏輯值之時脈信號的選擇形態例。C K S 1、C K S 0 在 M S M E = 1 之時為有有意義，M S M E = 0 之時不拘限於 C K S 1、C K S 0

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (44)

形成為 $\phi S = \phi OSC$ 。

在第 10 (B) 圖表示以上述 M S M E 位元、C K S 1 位元、C K S 0 位元而被控制的一實施例。在於同圖，A G 1 0 1 係為接受 C K S 1 位元、C K S 0 位元及 M S M E 位元，這些個位元為「1」時輸出「1」之「A N D」閘，A G 1 0 2 係為接受 C K S 0 位元之反轉信號，C K S 1 位元及 M S M E 位元，在 C K S 0 = 「0」，C K S 「1」，M S M E = 「1」時則輸出「1」之「A N D」閘，A G 1 0 3 係為接受 C K S 1 位元之反轉信號、C K S 0 位元及 M S M E 位元，在 C K S 1 = 「0」，C K S 0 = 「1」，M S M E = 「1」時則輸出「1」之「A N D」閘。A G 1 0 4 係為接受 C K S 0 位元之反轉信號、C K S 1 之反轉信號，在 C K S 0 = 「0」，C K S 1 = 「0」時，則輸出「1」之「A N D」閘，A G 1 0 1 係為接受上述 A G 1 0 4 的輸出與 M S M E 位元的反轉信號，A G 1 0 4 的輸出為「1」或是 M S M E = 「0」時，輸出「1」之「N O R」閘。因此，「N O R」閘 A G 1 0 4，在 M S M E 位元為「0」時或是 C K S 0 位元與 C K S 1 位元為「0」時，輸出「1」。

A G 1 0 5 係為接受上述 N O R 閘 A G 1 0 1 的輸出與時脈信號 ϕOSC 之「A N D」閘；A G 1 0 6 係為接受上述「A N D」閘 A G 1 0 3 的輸出及所被分頻的時脈信號 $\phi OSC / 2$ 之「A N D」閘；A G 1 0 7 係為上述「A N D」閘 A G 1 0 2 的輸出與所被分頻的時脈信號 ϕ

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(45)

O S C / 4 之 " A N D " 閘 ; A G 1 0 8 係為接受上述 " A N D " 閘 A G 1 0 1 的輸出與所被分頻的時脈信號 ϕ O S C / 8 之 " A N D " 閘。這些個 " A N D " A G 1 0 5 ~ A G 1 0 8 的輸出係被供給至 " N O R " 閘 A G 1 0 2 , 並且從該 " N O R " 閘 A G 1 0 2 輸出上述系統時脈信號 ϕ B 。因此, 由於構成選擇器, 因而輸出具有隨著第 1 0 (A) 圖所示的各位元的組合之周波數其系統時脈信號 ϕ B 。

時脈控制蓄碼器 1 3 2 及模組置動控制蓄碼器 1 3 3 , 被連接至內部次料匯流排 P D B , 並且成為可從 C P U 1 讀出 / 寫入。

時脈控制蓄碼器 1 3 2 , 係為將 M S M E 位元、 C K S 1 、 C K S 0 位輸出至選擇器 1 3 1 的同時, 將 S S B Y 位元輸出至待命控制電路 1 3 4 。模組制動控制蓄碼器 1 3 3 , 係為將模組制動信號 M S T P 供給至各機能組塊。待命控制電路 1 3 4 , 例如以觸發電路所構成, 控制蓄碼器 1 3 2 的 S S B Y 位元在邏輯值 " 1 " 的狀態下, C P U 1 實行靜止命令 (靜止命令實行信號為活性狀態), 則所構成的觸發電路形成為設定狀態。由於此觸發電路的設定狀態, 因而振盪器停止信號 1 3 5 成為活性狀態, 停止振盪器 1 2 的振盪動作後, 單晶片微電腦形成為待命狀態。另外, 在待命狀態下產生外部插入要求或重設時, 例如以插入控制器 4 的控制, 待命解除信號 1 3 6 形成為活性狀態, 前述觸發電路成為重設狀態。以該設定狀

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(46)

態，振盪器停止信號 1 3 5 形成爲非活性狀態，再開振盪器 1 2 的振盪動作後待命狀態被解除。在待命狀態解除時，使其設置振盪安定時間即可，但解除的詳細順序或構成在本發明沒有直接的關係，所以省略其詳細說明。然而 CPU 1 實行同軸命令則 CPU 1 內部的動作時脈被停止。在 S S B Y 位元被形成邏輯值“0”時 CPU 1 實行靜止命令時，時脈振盪器 1 2 的振盪動作被停止。CPU 1 實行靜止命令後被設定在該 CPU 1 的狀態（CPU 1 的靜止狀態）被形成爲可以以插入或重設解除。

在第 1 1 (A) 圖、第 1 1 (B) 圖表示控制模組制動模式的模組制動蓄碼器 1 3 3 之蓄碼器構成、及控制中速模式的時脈控制蓄碼器 1 3 2 之蓄碼器構成例。在第 1 2 (A)、1 2 (B)、1 2 (C)、1 3 (A)、1 3 (B)、1 4 (A)、1 4 (B) 及 1 4 (C) 表示這些蓄碼器的各位元之詳情。

模組制動控制蓄碼器 1 3 3 係爲以 CPU 而能寫入／讀出的 8 位元蓄碼器，具有位元 M S T P 7 ~ M S T P 3、M S T P 7 爲資料轉換控制器 (D T C) 2；M S T P 6 爲計時器；M S T P 5 爲時間監視計時器 (W D T) 8。M S T P 4 爲串行通信介面 (S C I) 9；M S T P 3 爲對應於 A / D 轉換器 1 0。如第 1 2 (A) ~ 第 1 2 (C) 圖及第 1 3 (A) 圖、第 1 3 (B) 圖所示，由於這些所以在機能組塊單位分別可以指定模組制動狀態。爲了 P W M 計時器 7 的上述模組制動信號

五、發明說明 (47)

M S T P P W M 係因位元 M S T P 6 被設為邏輯值 " 1 "，所以被形成為活性狀態。被設定在位元 M S T P 5 之邏輯值 " 1 " 係為根據第 7 (C) 圖所說明的情形，實質上在不是時間監視計時器模式時有效。在電源投入後或是重設後這些個位元的初期值，沒有被特別限制，但邏輯值為 " 1 "，重設後被形成為模組制動狀態。使其減低作動開始之後的消耗電流。例如因應於模組制動狀態的機能組塊，與動作狀態的機能組塊的邏輯規模之比，而消耗電流被減低。例如比率為 4 : 6，消耗電流可以減低至 $6 / 10$ 。

分頻電路 1 4，當作為分頻電路時脈信號的供給對象之計時器 7、W D T 8、S C I 9、A / D 轉換器 1 0 全部被形成為模組制動狀態時，即是 M S T P 6 ~ M S T P 3 位元全部被設定為 " 1 "，並且 W D T 8 在不是時間監視計時器模式時，分頻電路模組制動信號 M S T P P S C 成為活性狀態後，被形成為停止狀態。如果依據第 9 圖，為了分頻電路 1 4 的模組制動信號 M S T P P S C，以採用對於位元 M S T P 6 ~ M S T P 3 之模組制動信號及時間監視計時器模式信號 M D T M 的反轉信號之邏輯值的邏輯電路 1 3 7 而被形成。然而模組制動控制蓄碼器 1 3 3 的位元 2 ~ 位元 0 係為保留位元，當讀出時其讀出為 " 0 "，寫入則為無效。

時脈控制蓄碼器 1 3 2，具有如第 1 1 (A) 圖所示的 S S B Y、M S M E、C K S 1、C K S 0 的 4 位元。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(48)

如第 14 (A) 圖所示，SSBY 位元係為控制輸至待機狀態的遷移。在 SSBY 位元被設定為邏輯值「1」的狀態下，CPU 1 實行靜止命令，則時脈振盪器 12 的振盪作動被停止，單晶片微電腦遷移至待機狀態，在 SSBY 位元被清除為邏輯值「0」的狀態下，CPU 1 實行靜止命令時，CPU 1 內部的時脈信號則被停止後 CPU 1 遷移至所謂靜止狀態。在該待機狀態，單晶片微電腦全體被停止，但在靜止狀態只有停止 CPU 1。

如第 14 (B) 圖及第 14 (C) 圖所示，位元 MSME 為中速模式的許可位元，只在該位元被設定為邏輯值「1」時，以位元 CKS1、CKS0 的時脈信號的指定成為有效。由於位元 MSME、CKS1、CKS0 被供給至選擇器，因而從 ϕOSC 、 $\phi OSC/2$ 、 $\phi OSC/4$ 、 $\phi OSC/8$ 選擇微電腦的系統時脈信號 ϕB 。然而系統時脈信號 ϕB 的 1 周期之時間被稱為 1 狀態。選擇時脈信號 ϕOSC 以外的時脈之狀態稱為中速模式。然而位元 6 ~ 位元 3 為保留位元，當讀出時被讀出為「0」，寫入則為無效。

在第 15 圖表示著眼於在本實施例的單晶片微電腦其系統時脈信號之概略的動作流程圖。在重設之後，單晶片微電腦被形成為模組制動狀態，CPU 等的主匯流排在高速模式 ($\phi B = \phi OSC$) 開始動作。然後進行判定是否為中速模式 (ST1)，若不須高速動作則在時脈控制蓄碼器寫入所須之值後，遷移至中速模式 (ST2)。對應

五、發明說明 (49)

於必要動作之機能組塊，則在模組制動控制蓄碼器寫入所須之值後，解除對於所須的機能組塊之模組制動狀態 (S T 3)。其後進行各機能組塊的設定 (S T 4)。例如以在各機能時脈的控制蓄碼器等初期的寫入所須之值而實行。然後以 C P U 1 進行所須的處理 (S T 5)，但在此時若不須高處理時爲了使其可遷移至中速模式，所以判定是否使其變化時脈信號 ϕB (S T 6) 後，依據其結果設定時脈控制蓄碼器 (S T 7)。當沒有使其動作特定的機能組塊之必要的同時，爲了對處特定的機能組塊之動作形成新的須要時，所以在所應使其動作的電路模組 (機能組塊) 是否有變更的判定被施行 (S T 8)，在應變更時於模組制動控制蓄碼器寫入所須之值後，變更模組制動狀態 (S T 9)。然後在待機狀態判定應否改變 (S T 10)，若須要中斷微電腦全體的動作時，則將 S S B Y 位元設定爲 " 1 " 後，實行靜止命令 (S T 11)，而遷移至待機狀態 (S T 12)。當發生外部插入時，則從待機狀態復歸後再開動作 (S T 13)。如上述在於待機狀態模組的內部狀態因被保持，所以待機狀態的解除後不必要進行各機能組塊的設定例如不必要進行輸至各機能組塊的控制蓄碼器等等的寫入。在上述的步驟其蓄碼器的設定係以程式而實行。例如指定蓄碼器，由於以 C P U 1 實行寫入資料的命令，所以進行輸至蓄碼器的設定。

< < 隨著插入要求等的 ϕB 之轉換 > >

五、發明說明(50)

依據本發明群的檢討，以軟體進行爲了低消耗電力化的時脈之轉換，則發生所定的事件例如發生輸至CPU1的插入而有必要使其高速處理CPU1時，辨識所發生的事像作爲插入，並且實施插入例外處理，在該插入處理路徑當中，轉換系統時脈的分頻比後，形成爲所須的處理。這是產生前述事像後，無法加速作所須的處理爲止的動作速度，對於插入的反應時間則增長，狀況不良。在本實施例，發生插入要求或轉送要求等所定事像時，控制位元MSME自動的被消除爲邏輯值“0”，形成可以將CPU1或DTC2遷移至使其同步動作於作爲時脈信號 ϕB 的最高周波數的OSC之高速模式。在從插入例外處理之返回時，位元MSME被設定爲邏輯值“1”。以軟體將位元MSME設定爲邏輯值“1”，則形成在隨著設定完成的控制位元CKS0、CKS1之動作模式。當產生DTC起動要求(DTC傳送要求)時，則同樣的控制位元MSME位元自動的清除爲邏輯值“0”，CPU1及DTC2遷移至高速模式。完了DTC資料轉送時，則MSME位元自動的被設定爲邏輯值“1”，並且形成在隨著設定完成的控制位元CKS0、CKS1之動作模式。在DTC2若有從外部的傳送要求端子、或已有從外部的傳送要求的情況也相同。

在第16圖表示MSME位元的概略方塊圖。

MSME位元例如將設定。重設型的觸發電路1320成在主體。觸發電路1320的資料輸入端子D被連接在內

五、發明說明(51)

部資料匯流排 P D B 之所定的信號線，時脈輸入端子 C，係為邏輯積電路 1 3 2 1 的輸出，即是成為表示 C P U 1 的匯流排權之信號及寫入信號及位址解碼信號之邏輯積信號。然而，上述位址解碼信號，係為解調而得位址匯流排 I A B 的內容之信號，表示供給時脈控制蓄碼器 1 3 2 的位址之信號。輸出端子 Q，被供給至時脈控制電路 1 3 的選擇器 1 3 1 的同時，介由時脈緩衝器 1 3 2 2 而被輸出至資料匯流排。時脈緩衝器 1 3 2 2，係以輸入上述解碼信號與讀出信號之 2 輸入之邏輯電路 1 3 2 3 的高準位輸出而成為能輸出作動，針對除此之外的狀態則成為高輸出阻抗狀態。在重設輸入端子 R，從邏輯和電路 1 3 2 4 供給重設信號及 D T C 傳送要求信號及 C P U 插入信號之邏輯和信號。在設定輸入端子 S 供給 D T C 傳送終了信號 1 3 2 5。D T C 傳送終了信號 1 3 2 5 係從 D T C 輸出，例如在資料傳送終了時活性化 D T C 2。上述還原信號，使用從外部的還原信號 R E S 或是時間監視計時器 W D T 8 的輸出信號。另外，上述 D T C 傳送要求信號，係從插入控制器 4 供給，上述 C P U 插入信號也從插入控制器 4 供給。

上述 C P U 插入信號及 D T C 傳送要求信號被作為事像發生信號。D T C 2 在從插入控制器 4 的 D T C 傳送要求以外持有從外部的傳送要求的輸入端子之情況，從該外部的傳送要求信號與從插入控制器的傳送要求信號之邏輯和信號被提供給至上述邏輯和電路 1 3 2 4 作為 D T C 傳

五、發明說明 (52)

送要求信號。然而，參照 C P U 1 的遮蔽資訊後，就是發生 C P U 1 的低於遮蔽準位之插入要求，也不會被辨識作為事像。關於插入遮蔽，例如記載在日本平成 5 年 3 月，日立製作所發生『H 8 / 3 0 0 3，硬體手冊』P 8 9 ~ P 1 1 5。

在第 1 7 圖表示插入要求產生時其動作時間的一例。在位元 C K S 1 被消除為「0」，位元 C K S 0 被設定為「1」，位元 M S M E 被設定為「1」的狀態，針對以 $\phi B = \phi O S C / 2$ 作動之狀態（中速模式），在狀態 S 5，產生插入要求信號，則 M S M E 位元被清除為「0」，並且形成為 $\phi B = \phi O S C$ ，C P U 1 及 D T C 2 等被形成為高速模式。C P U 1 為進行插入例外處理，在高速模式完了應處理之處理，則 C P U 隨著該動作程式而將 M S M E 用軟體設定為「1」。例如在狀態 S 1 5 M S M E 位元被設定為「1」，並且成為 $\phi B = \phi O S C / 2$ ，其後 C P U 1 實行返回命後，被遷移至原來的處理。

在第 1 8 圖表示 D T C 起動要求發生時其動作時間的一例。與第 1 7 圖相同的，首先，C P U 1 係以中速模式（位元 C K S 1 被清除為「0」，位元 C K S 0 被設定為「1」，位元 M S M E 被設定為「1」之狀態下，成為 $\phi B = \phi O S C / 2$ ）作動。此時產生形成為 D T C 的起動要因之 D T C 傳送要求時，則位元 M S M E 被清除為「0」，並且成為 $\phi B = \phi O S C$ 而作動 C P U 1 及 D T C

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (53)

2 等。D T C 被起動時，則例如成為起動要因之插入要因被清除，並且進行資料傳送。當完了必要的資料傳送，則從 D T C 2 的 D C T 傳送完了信號 1 3 2 5 形成為活性狀態，因此 M S M E 位元被設定為「1」，並且 C P U 1 等的機能組塊的動作速度回復到原來的速度。

< < 介面信號 > >

在第 9 圖概略的表示主匯流排與輔匯流排之介面的一例。在同圖代表性的表示介面信號 I / F 1 與 I / F 2。在第 20 圖表示主匯流排時脈與輔匯流排時脈的一例之時間。依據本實施例主匯流排，係為同步動作時脈信號 ϕB 的 C P U 1 及 D T C 2，輔匯流排，係為同步動作於時脈信號 ϕS 的 W D T 8 或 S C I 9 等的機能組塊。

時脈信號 ϕB ，係因應以上述選擇器 1 3 1 的選擇狀態而時常周期還比時脈信號 ϕS 長或同等，時脈信號 ϕB 的下降邊緣係同步於 ϕS 的上昇邊緣。 $\phi 1 S$ 、 $\phi 2 S$ 係為 ϕB 所被產生的無交疊的 2 相時脈信號； $\phi 1 B$ 、 $\phi 2 B$ 係為從 ϕB 所被產生的無交疊的 2 相時脈信號。在於第 20 圖時脈信號 ϕB 的工作係為超過 50%。時脈信號 ϕB ，可以以例如工作 50% 2 分頻相當於時脈信號 ϕS 之時脈信號 $\phi O S C$ 的信號與 4 分頻的信號之邏輯和而形成。或是作為向上計數信號 $\phi O S C / S U P$ 的反轉亦可。特別是在第 20 圖的例，時脈信號 $\phi 1 B$ 的低準位期間係為被一致於時脈信號 $\phi 1 S$ 的低準位期間，並且時

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (54)

脈信號 $\phi 2 B$ 的高準位期間係為一致於時脈信號 $\phi 2 S$ 的高準位期間。換言之，時脈信號 $\phi 1 B$ 的低準位之脈衝幅寬與時脈信號 $\phi 1 S$ 的低準位之脈衝幅寬相等，時脈信號 $\phi 2 B$ 的高準位之脈衝幅寬與 $\phi 2 S$ 的高準位之脈衝幅寬相等。

在第 19 圖之例，主匯流排的輸出信號，係被同步於輸至時脈信號 $\phi 1 B$ 的高準位之變化而輸出；輸至主匯流排的輸入信號，係被同步於從時脈信號 $2 B$ 的高準位輸至低準位的變化而被鎖定。輸至輔匯流排的輸入信號，係為從時脈信號 $\phi 2 S$ 的高準位輸至低準位的變化而被鎖定。參照第 20 圖，主匯流排係同步於時脈信號 ϕB 及 $\phi 1 B$ 的高準位期間而輸出；輔匯流排係同步於 ϕS 及 $\phi 1 S$ 的高準位期間而輸出。另外，主匯流排係為在時脈信號 ϕB 為低準位， $\phi 2 B$ 為高準位的期間輸入（鎖定係為同步於從時脈信號 $\phi 2 B$ 的高準位輸至低準位的變化而被實行），輔匯流排係為在 ϕS 為低準位， $\phi 2 S$ 為高準位的期間輸入（鎖定係為同步於從時脈信號 $\phi 2 S$ 的高準位輸至低準位的變化而被實行）。例如，在於第 20 圖，介面信號 $I / F 1$ 被當作為從主匯流排輸至輔匯流排的介面信號。介面信號 $I / F 1$ ，係為同步於輸至狀態 9 的 $\phi 1 B$ 之高準位的變化而從主匯流排輸出，並且同步於從狀態 $S 9$ 的 $\phi 2 S$ 之高準位輸至低準位的變化而鎖定在輔匯流排。另外，介面信號 $I / F 2$ 被當作為從輔匯流排輸至主匯流排的介面信號。介面信號 $I / F 2$ 係為同步於輸至狀態 $S 3$

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (55)

的 $\phi 1 S$ 之高準位的變化而從輔匯流排輸出，同步於從狀態 $S 4$ 的 $\phi 2 B$ 之高準位輸至低準位的變化而被鎖定在主匯流排。因此，從信號的輸出開始至投入為止，一定可以確保時脈信號 ϕS 的超過 1 狀態的期間。因此，時間的設計，不考慮中速模式的情況，即是可以使其與成為 $\phi B = \phi O S C$ 的情況相同。

在第 21 圖及第 22 圖表示將爲了輸入輸出控制的同步時脈信號使其與第 19 圖及第 20 圖相反的情況。在第 21 圖之例主匯流排的輸出被同步於時脈信號 $\phi 2 B$ 的高準位之變化；至主匯流排的輸入係爲同步於從時脈信號 1 B 的高準位輸至低準位的變化而被鎖定。至輔匯流排的輸入係爲從時脈信號 $\phi 1 S$ 的高準位輸至低準位的變化而被鎖定，輔匯流排的輸出係被同步於輸至時脈信號 $\phi 2 S$ 的高準位的變化。參照第 22 圖，主匯流排的輸出同步於時脈信號 ϕB 的低準位及 $\phi 2 B$ 的高準位期間而被實行；輔匯流排的輸出同步於 ϕS 的低準位及 $\phi 2 S$ 的高準位期間而被實行。主匯流排係爲在時脈信號 ϕB 及 $\phi 1 B$ 爲高準位的期間被實行（鎖定係爲同步於從時脈信號 $\phi 1 B$ 的高準位輸至低準位的變化而被實行）；輔匯流排的輸入係爲在時脈信號 ϕS 及 $\phi 1 S$ 爲高準位的期間被實行（鎖定係爲同步於從時脈信號 $\phi 1 S$ 的高準位輸至低準位的變化而被實行）。例如，在於第 22 圖，介面信號 $I / F 1$ 被當作爲從主匯流排輸至輔匯流排的介面信號。介面信號

$I / F 1$ ，係爲同步於輸至狀態 $S 4$ 的 $\phi 2 B$ 之高準位的

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (56)

變化而從主匯流排輸出，並且同步於從狀態 S 5 的 $\phi 1 S$ 高準位輸至低準位的變化而被鎖定在輔匯流排。另外，介面信號 I / F 2 被當作爲從輔匯流排輸至主匯流排的介面信號。介面信號 I / F 2，係爲同步於輸至狀態 S 7 的 $\phi 2 S$ 之高準位的變化而從輔匯流排輸出，同步於從狀態 S 1 2 的 $\phi 1 B$ 之高準位輸至低準位的變化而被鎖定在主匯流排。因此，從信號的輸出開始至投入爲止，一定可以確保時脈信號 ϕS 的超過 1 狀態的期間。因此，時間的設計，不考慮中速模式的情況，可以使其與作爲 $\phi B = \phi O S C$ 的情況相同。

如第 20 圖及第 22 圖所示，主匯流排的動作時脈 ($\phi 1 B$ ， $\phi 2 B$) 與輔匯流排的動作時脈 ($\phi 1 S$ ， $\phi 2 S$) 作比較，周波較低，所以從主匯流排輸至輔匯流排的介面信號，一定可以與該主匯流排的輸出狀態相同狀態認識輔匯流排。因此，以主匯流排的狀態單位，介面信號可以成爲任意的脈衝幅寬。在此介面信號可以分配讀出信號・寫入信號等的匯流排進出信號，或是插入要因清除信號等。

如第 20 圖及第 22 圖所示，輔匯流排的動作組塊，因爲與主匯流排的動作組塊作比較周波數較高，所以從輔匯流排輸至主匯流排的介面信號，係爲輔匯流排的輸出後，無法使在主匯流排所被辨識的時間 (該輔匯流排的狀態) 一定。因此這些的介面信號成爲所謂手動信號亦可。在該介面信號，可以分配插入要求信號，或是 D T C 起動要

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (57)

求信號。例如，插入要求信號，係一旦，主因段被設定為 1，且形成活性狀態時，則保持該狀態。CPU 則在辨識插入要求信號後，將插入要因清除為“0”時，插入要求信號被形成為非活性狀態。另外，這些的介面信號不以 1 狀態被辨識。在只使用 1 狀態期間的情況，使其在輸入側進行邊緣的檢出。然而，若將此時的輸出期間，作為可選擇的系統時脈信號 ϕB 的最長周期，即是若超過時脈信號 $\phi OSC / 8$ 的周期之期間，則手動則都不必。

主匯流排間，或是輔匯流排間的要求信號可以成為任意的動作時間。

在第 23 圖表示主匯流排時脈與輔匯流排時脈的其他動作時間。與第 20 圖及第 22 圖不同，時脈信號 ϕB 在中速模式也被形成為工作 50%。時脈信號 ϕB 比 ϕS 還時常周期為同等或是較長，時脈信號 ϕB 的上昇邊緣係同步於 ϕS 的上昇邊緣。

各機能組塊間的介面信號的輸入輸出時間與第 19 圖相同，詳情如下。主匯流排（輔匯流排），容許同步於 ϕB 與 1B 的高準位期間（ ϕS 與 $\phi S1$ 的高準位期間）而輸出（輸出信號變化被容許）。關於信號輸入而主匯流排（輔匯流排），容許輸入至 ϕB 為低準位 $\phi 2B$ 為高準位的期間（ ϕS 為低準位 $\phi S2$ 為高準位的期間）。主匯流排的輸入鎖定時間被同步於從時脈信號 $\phi 2B$ 的高準位輸至低準位的變化，輔匯流排的輸入鎖定時間被同步於從時脈信號 $\phi 2S$ 的高準位輸至低準位的變化。例如在於圖，介面

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (58)

信號 I / F 1 係從主匯流排輸至匯流排的介面信號。介面信號 I / F 1，係同步於狀態 S 9 的 ϕ 1 B 而從主匯流排輸出，並且同步於從狀態 9 的 ϕ 2 S 之高準位輸至低準位的變化而被鎖定在輔匯流排。另外，介面信號 I / F 2 係為從輔匯流排至主匯流排的介面信號。介面信號 I / F 2，係同步於狀態 S 3 的 ϕ 1 S 而從輔匯流排輸出，並且同步於從狀態 S 4 的 ϕ 2 B 之高準位輸至低準位的變化而被鎖定在主匯流排。因此，從信號的輸出開始至投入為止，一定可以確保時脈信號 ϕ S 的超過 1 狀態的期間。因此，時間設計不考慮中速模式時，即是可以使其與作為 ϕ B = ϕ O S C 的情況相同。

針對第 2 3 圖的時間應著眼之點，係為時脈信號 ϕ 2 S 的上昇被一致於時脈信號 ϕ 1 S 的上昇時間，在於該點時脈信號 ϕ 2 B 與 ϕ 1 S 部分的位相被一致。在於該位相為一致的時間，形成為實行從輔匯流排輸至主匯流排的輸出。

此時，使用第 2 3 圖的時脈信號的介面控制時間，如第 2 1 圖成反向時，由於 ϕ B 與 ϕ S 的位相，會有無法確保從信號的輸出開始至投入為止的時間之狀況，並且會有無法正確的傳達信號的狀況。例如，輔匯流排同步於在第 2 3 圖的狀態 S 6 的 ϕ 2 S 之上昇而輸出信號時，主匯流排容許同步於在狀態 S 7 的 ϕ 1 B 的下降而鎖定輸入資料，在從信號輸至該信號的輸入鎖定為止之間只確保時脈信號 ϕ S 的 1 / 2 周期。在信號只有 1 個的情況就是不會造

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (59)

成問題，如存在複數個信號的情況，複數個信號當中，也會發生傳達舊信號與傳達新信號混在的情況，在以這些的組合而成有意義時變成爲無意義的資料，同時會有造成誤動作的原因之情況。

以如第 19 圖的介面規格利用如第 23 圖的時脈信號波形時，如第 23 圖所示，主匯流排的動作時脈與輔匯流排作比較因爲周波數較低，所以從主匯流排輸至輔匯流排的介面信號，一定在與主匯流排的輸出相同狀態被辨識在輔匯流排。因而在狀態單位，介面信號可以成爲任意的脈衝幅寬。在該介面信號，可以分配讀出・寫入信號等的匯流排進出信號，或是插入要因清除信號等。

輔匯流排的動作時脈與主匯流排的動作時間作比較因爲周波數較高，所以在於第 23 圖從輔匯流排輸至主匯流排的介面信號，係在輔匯流排輸出後，無法使被辨識在主匯流排的時間（該輔匯流排的狀態）爲一定。因此，這些的介面信號可成爲所謂的手動信號。在該介面信號，可以分配插入要求信號，或是 D T C 起動要求信號等。然而，此時的輸出期間若爲可選擇的系統時脈信號 ϕB 的最長周期即是半導體積體電路 $\phi O S C / 8$ 的周期以上的期間，則手動完全不要。

此處更詳加說明關於第 20 圖及第 22 圖的時脈信號波形。如從第 20 圖、第 22 圖所明白， $\phi 2 B$ 的高準位期間被含在 $\phi 1 S$ 的低準位期間。因此在從同步於 $\phi 1 S$ 的上昇的輔匯流排的輸出至同步於 $\phi 2 B$ 的下降之主匯流

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (60)

排的輸入信號鎖定動作，實質上至少可以確保 ϕS 的 1 狀態分的充裕時間。因此在從同步於 $\phi 1 B$ 的上昇之主匯流排的輸出至同步於 $\phi 2 S$ 的下降之輔匯流排的輸入信號鎖定動作為止，實際上至少可以確保 ϕS 的 1 狀態分的充裕時間。這些的情形，對於第 19 圖、第 21 圖雙方的介面規格是可成立。對於此情形，如第 23 圖，在使用輸至時脈信號 $\phi 2 B$ 的高準位之上昇變化與輸至 $\phi 1 S$ 的高準位之上昇變化其位相為一致的關係之時脈信號 $\phi 1 S$ 、 $\phi 2 S$ 、 $\phi 1 B$ 、 $\phi 2 B$ 等的情況，只在於利用該位相一致的時間作為從輔匯流排輸至主匯流排的信號輸出時間之匯流排介面規格（例如第 19 圖的介面規格），在從信號的輸出至該信號的輸入鎖定為止可以確保 ϕS 的 1 狀態分的充裕時間。

< < 實際的匯流排介面時間例 > >

在第 24 圖及第 25 圖表示實際的匯流排介面時間的一例。各圖的時間，在利用第 20 圖及第 22 圖所示的時脈信號的情況，如上述，該介面的規格由於第 19 圖、第 21 圖都完全的可以利用，所以因應於信號的種類而採用最適當的任何一方的介面規格之例。在於各圖，從主匯流排供給位址（經過 PAB ）、機能組塊信號（ $MS\#$ ），讀出信號 $RD\#$ 、寫出信號 $WR\#$ 。在於第 24 圖係狀態 $S5$ ，進行主匯流排的讀出動作。即是從狀態 $S5$ 至狀態 $S16$ 為止，位址匯流排及機能組塊選擇信號（ $MS\#$ ）

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (61)

形成爲有效。同步於主匯流排的第 1 狀態 (從狀態 S 5 ~ S 8) 的 $\phi 2 B$ 而讀出信號 R D # 形成爲活性狀態 (低準位) 。輔匯流排檢出該輸至讀出信號 R D # 的活性狀態的遷移，在該輔匯流排內部使蓄碼讀出信號及匯流排介面信號成爲活性狀態。例如在於第 6 圖所示，蓄碼器 7 7 1 或是時間計數器，以蓄碼器寫出信號指定，從所被指定的蓄碼器、計數器介由模組資料匯流排，資料被傳送至匯流排介面 7 6 0，且被鎖定。蓄碼讀出信號等的輔匯流排內的控制信號例如被包含在第 6 圖的讀出寫入控制電路 7 3 0 的輸出控制信號。然後同步於在狀態 S 9 的其次的 $\phi 2 S$ ，前述被鎖定的資料被輸出至資料匯流排。讀出信號 R D # 成爲非活性狀態後，同步於在狀態 S 1 6 的其次的狀態之 $\phi 1 S$ 的變化，而資料匯流排被形成爲高阻抗狀態。讀出信號 R D # 同步於主匯流排的第 3 狀態 (從狀態 1 3 ~ 1 6) 的 $\phi 2 B$ 之上昇而被形成爲非活性狀態。主匯流排同步於該時脈信號 $\phi 2 B$ 的下降而鎖定資料匯流排的內含。

針對 2 5 圖從狀態 5 進行主匯流排的寫入動作。從狀態 S 5 至狀態 S 1 6 爲止，位址匯流排及機能組塊選擇信號 (M S #) 成爲有效。同步於在主匯流排的第 1 狀態 (狀態 S 5 ~ S 8) 的 $\phi 2 B$ 之上昇，而寫出資料被輸出至資料匯流排。同步於主匯流排的第 2 狀態 (狀態 S 9 ~ S 1 2) 的 $\phi 1 B$ 之上昇，而寫入信號 W R # 成爲活性狀態 (低準位) 。輔匯流排檢出輸至該寫入信號 W R # 的活性狀態之遷移，而使匯流排介面鎖定信號及蓄碼器寫入信

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (62)

號成爲活性狀態。寫入資料被鎖定在匯流排介面；從匯流排介面，介由模組資料匯流排，而資料被傳送並且被寫入至所被指定的蓄碼器或是時間計數器等。該信號例如被包含在第 6 圖的讀出寫入控制電路 730 的所輸出的控制信號。同步於在主匯流排的第 3 狀態（從狀態 13 ~ 16）的 $\phi 2$ B 之上昇，而讀出信號成爲活性狀態。

< 時脈信號 ϕ 的外部輸出 >

如第 26 圖所示單晶片微電腦，可以在外部輸出系統時脈信號 ϕS 、 ϕB 。即是具有將系統時脈信號 ϕS ，成爲其他半導體積體電路裝置等的基準時脈的情況、與將系統時脈信號 ϕB 返回原樣而產生同步於外部匯流排的控制信號。針對本發明，爲了成爲其他半導體積體電路裝置等基準時脈因而使其能輸出系統時脈信號 ϕS ；另外爲了產生同步於外部匯流排的控制信號因而使其能輸出系統時脈信號。該輸出端子 $T \phi S$ 、 $T \phi B$ 分別獨立的被設置在所定的輸入輸出進出口 I / O P。例如，時脈信號 ϕS 的輸出分配在輸入輸出進出口 I / O P 60，時脈信號 ϕB 的輸出分配在輸入輸出進出口 I / O P 61。輸入輸出進出口 I / O P 60、61 被兼用在其他的輸入輸出機能，並且被包含在第 1 圖所示的輸入輸出進出口 I / O P 6。

此時，時脈信號 ϕS 及 ϕB 以時脈控制電路 13 而被產生，在外部介由上述的輸入輸出進出口 I / O P 60，I / P O 61 而被輸出。時脈信號 ϕS 及 ϕB ，在半導體

五、發明說明 (63)

積體電路內實質上為最高速的種類之信號。另外在時脈控制電路 13 與輸入輸出進出口 I / O P 60, I / O P 61 之間的配線 1310, 1311 被延伸在機能組塊間，且持有較大的容量成分。因此該時脈信號的外部輸出時由於其比較大容量成分與較高周波數因而消耗電流也形成為較大。

這些 ϕS 或是 $\phi B1$ 的外部輸出，因為是必要的動作，所以消耗電流是不得已的。不過，單晶片微電腦等，在外部不須輸出時脈的情況較多。停止時脈輸出，例如如被記載在日本專利特願昭 60-60-184207，除了低消耗電力之外，對耦合雜訊的減低，不要輻射的減低具有效果。為了對應於此效果，在本實施例，時脈信號 ϕS 或是 ϕB 未輸出至外部的情况，時脈控制電路 13 與輸入輸出進出口 I / O P 60, I / O P 61 之間的信號例如固定在邏輯值“0”，使其在時脈配線 1310, 1311 上不會發生信號變化，而能減低消耗電流。例如如在第 26 圖概略的表示，用以時脈控制電路 13 所產生的時脈信號 ϕS 的外部輸出用被設置有邏輯積電路 1300 及時脈驅動器 1302，時脈驅動器 1302 的輸出介由時脈配線而被連接在輸入輸出進出口 I / O P 60。同樣的用以時脈控制電路 13 所產生的時脈信號 ϕB 的外部輸出用被設置有邏輯積電路 1301 及時脈驅動器 1303 的串聯電路，時脈驅動器 1303 的輸出介由時脈配線而被連接在輸入輸出進出口 I / O P 61。對輸入輸出進出口

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(64)

I / O P 6 0、I / O P 6 1 的輸出許可，係為可以使用所對應的輸入輸出進出口 I / O P 6 的方位蓄碼器（未圖示）之所對應的位元 D D R 6 0、D D R 6 1。位元 D D R 6 0、D D R 6 1 若被設定為邏輯值“1”時 I / O P 6 0、I / O P 6 1 則成為輸出許可狀態。這是對 ϕ S 與 ϕ B 為能獨立的控制。此時，在上述邏輯積電路 1 3 0 0 的他方之輸入被供給有輸出許可位元 D D R 6 0 的反轉信號；在上述邏輯積電路 1 3 0 1 的他方之輸入被供給有輸出許可位元 D D R 6 1 的反轉信號。因此，針對在 I / O P 6 0、I / O P 6 1 時脈信號 ϕ S、 ϕ B 的輸出未被許可的狀態下邏輯積電路 1 3 0 0、1 3 0 1 的輸出被固定在低準位。所以在外部未輸出時脈信號時可以減低在時脈驅動器 1 3 0 0、1 3 0 3 以後的時脈配線之消耗電力，並且可以達成以上耦合雜訊的減低，及不要輻射的減低。

在第 2 7 圖表示時脈信號 ϕ S 或是 ϕ B 的任何一方可選擇性的外部輸出時的變形例。此時在時脈控制蓄碼器 1 3 2 備有第 2 8 (A) 圖及第 2 8 (B) 圖所示的 P H I S 位元。如第 2 8 (B) 圖所示，P H I S 位元為邏輯值“1”之時使其指示將時脈信號 ϕ S 輸出至外部，邏輯值“0”之時使其指示將時脈信號 ϕ B 輸出至外部。應輸出時脈信號的選擇係以由邏輯積電路 1 3 0 4、1 3 0 5 與邏輯和電路所形成的選擇器而被實行。以該選擇器所被選擇的時脈信號之外部輸出之許可，係用以對於

五、發明說明(65)

上述輸入輸出進出口 I / O P 6 0 的輸出許可位元 D D R 6 0 而被實行，該輸出許可位元與第 2 6 圖的情況相同的被反轉而被供給至邏輯積電路 1 3 0 7，並且以輸出許可位元 D D R 6 0，只在時脈信號被輸出許可的情況選擇器的輸出時脈信號從邏輯積電路 1 3 0 7 及時脈驅動器 1 3 0 8 介由時脈配線而被供給至輸入輸出進出口 I / O P 6 1。輸至時脈信號的外部端子 T ϕ 的輸出被禁止時，上述同樣邏輯積電路 1 3 0 7 的輸出被固定在邏輯值“0”，其結果可以實現在時脈驅動器 1 3 0 8 以後的時脈配線的消耗電力之減低。

< 內部匯流排的多分割 >

在第 2 9 圖表示單晶片微電腦的內部匯流排之其他分割例。第 2 9 圖係為著眼於單晶片微電腦的內部匯流排之方塊圖。緩衝器 B U F 被含在輸入輸出 I / O P 1 ~ I / O P 5，並且是外部位址匯流排及外部資料匯流排與被形成為介面之緩衝電路。

在第 1 圖所示的內部位址匯流排 P A B 及內部資料匯流排 P D B，在於第 2 9 圖分別被分割為內部位址匯流排 P A B 1 及內部資料匯流排 P D B 1，與內部位址匯流排 P A B 2 及內部資料匯流排 P D B 2，在內部匯流排 P A B 1 及 P D B 1 被結合有輸入進出口 I / O P 1 ~ I / O P 6、W D T 8、靜態鎖定電路 H D 1，在內部匯流排 P A B 2 及 P D B 2 被連接 I / O P 7 ~ 1 1、計時器

五、發明說明 (66)

7、S C I 9、A / D 轉換器 10、及靜態鎖定電路 H D 2。

內部匯流排 P A B 1 及 P A B 2，再則內部匯流排 P D B 1 及 P D B 2，各個配線長即是配線容量被形成為同等，並且這些全體的配線容量不致比在第 1 圖的情況其內部匯流排 P A B 及 P D B 的配線容量還大，在電路組塊的實際的配置，被分割內部匯流排與回路模組的分配被決定。理論上，輸入輸出進出口 I / O P、計時器 7、W D T 8、S C I 9、A / D 轉換器 10，不須規定是否應連接在所被分割的那個匯流排。

以被包含在匯流排控制器 3 之模組選擇之判定，而使 P A B 1 與 P D B 1、P A B 2 與 P D B 2 的那個被形成為活性狀態。另外，R O M 5 或是 R A M 6 被選取時，P A B 1 與 P D B 1、P A B 2 與 P D B 2 都被形成為非活性狀態。非活性狀態的情況，內部位址匯流排 P A B 1 與 P A B 2 被保持之前的值。另外，匯流排控制器 3 及 W D T 8 等的機能組塊的輸出成為高阻抗時，內部資料匯流排 P D B 1 與 P D B 2，以靜態鎖定電路 H D 1 及 H D 2 保持前值。靜態鎖定電路 H D 1 及 H D 2，被設置有逆向並聯連接於每個信號線的 2 個反向器電路而被構成，並且被保持 P D B 1、P D B 2 的狀態，在其他機能組塊輸出資料時，具有使其可以優先以該輸出資料的匯流排之驅動的較小的驅動能力。即是構成靜態鎖定電路 H D 1、H D 2 之反相器電路之輸出電流，比 P D B 1、P D B 2

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明 (67)

的洩漏電流還大，比機能組塊的輸出電流還相當的小。然而，第 1 圖的內部匯流排 P D B 及 P A B 的分割數可成為高於 3。內部位址匯流排 P A B 的個數若較少時，內部位址匯流排成為共通，使其只分割內部資料匯流排亦可。

< < 低消耗電力資訊的向量化 > >

用以對於插入要求等的處理之高速化作為強制的提高時脈信號 ϕB 的周波數之手段，除了利用第 9 圖及第 10 (A) 圖等所說明過的時脈控制蓄碼器 132 的 M S M E 位元之外，在插入處理（也包含如重設的例外處理）的開始時，投入低消耗電力資訊作為向量。在 C P U 1 的位址空間的一部分，對應於各個插入的複數個向量被預先寫入。當產生插入的要求時，C P U 1 則投入對應於該插入的向量，實行隨著有關於保持在所投入的向量之插入的資訊之處理。即是當當產生插入要的要求時，C P U 則輸出指向對應於該插入的向量之位址，並且從以該位址所示的向量區域投入關於上述插入之資訊。針對本實施例具有以該插入所應被實行的程式（處理程序程式）的開始位址與低消耗電力資訊，作為該資訊。應答於插入的要求後，上述開始位址，為了處理程序程式的實行，因而被設定在 C P U 內的程式計數器（無圖示）；上述低消耗電力資訊，如後述，被設定在模組制動控制蓄碼器 133 及時脈控制蓄碼器 132。另外，對於插入要求的處理完了後，為了復歸至原來的程式，所以如後述，狀態蓄碼器的內容、

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (68)

及所復歸的位址，在應答插入要求時，被寫入至以 C P U 1 內的堆陣指標器（無圖示）所被指定的 C P U 1 之位址空間內的位址區域（堆積儲存區域）。從之後的說明能理解到，在於本實施例，上述狀態蓄碼器的內容，除了復歸位址的其他，上述模組制動控制蓄碼器 1 3 3 及時脈控制蓄碼器 1 3 2 的內容，也被寫入至在上述堆陣指標器所被指定的堆積儲存區域（被堆積儲存化）。例如插入向量係為以插入所應實行的處理程序之開始位址，同時保有為了實行中速模式的設定或模組制動的設定之控制資訊作為低消耗力資訊。此情況，時脈控制蓄碼器 1 3 2 的初期值可以以重設向量的低消耗電力資訊而決定，並且可使該資訊成為中速模式。若成為此樣，因即刻可以設定重設後的低消耗電力狀態，所以減輕軟體的負擔，另外，形成為可從中速模式的開始等，可以減低消耗電流。

在第 3 0 (A) 圖 ~ 第 3 0 (C) 圖表示指定消耗電力狀態的向量配列與該情況的堆積儲存之例。根據該例低消耗電力資訊，如第 3 0 (B) 圖所示，係為 8 位元。即是，低消耗電力資訊，包含有對應於模組制動控制蓄碼器 1 3 3 的位元 7 ~ 2 (M S T P 7 ~ M S T P 2) 之 6 位元（低消耗電力資訊的位元 7 ~ 2）、及對應於時脈控制蓄碼器 1 3 2 的位元 0 與位元 1 (C K S 0 、 C K S 1) 之 2 位元（低消耗電力資訊的位元 1 、 0 ）。針對第 3 0 (A) 所示的向量，開始位址若位址空間為 1 6 M B 時則為 2 4 位元。如第 3 0 (C) 圖所示在堆積儲存，針對復

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (69)

歸位址與復歸目的地，除了在所被利用的低消耗電力資訊的其他，被包含有對於保持 C P U 1 的內部狀態之狀態蓄碼器器的 1 6 位元分的記憶區域。在上述狀態蓄碼器器，被包含有表示演算的結果之狀態編碼、或插入遮敝位元等。然而，針對以下的說明，合併模組制動控制蓄碼器 1 3 3 的位元 7 - 2 (M S T P 7 ~ M S T P 2)、與時脈控制蓄碼器 1 3 2 的位元 0 及位元 1 (C K S 0、C K S 1) 後，稱為低消耗電力狀態控制蓄碼器器。

在第 3 1 圖表示例外處理時及返復時的動作時間。沒有被特別的限制，但 R O M 5 及 R A M 6 係為以 1 狀態可讀出／寫入。命令及向量被配置在 R O M 5，堆積儲存被配置在 R A M 6。在例外處理時，當時的程式計數器 (P C) 之值及低消耗電力狀態控制蓄碼器器 (時脈控制蓄碼器 1 3 2 的 C K 0、C K 1 與模組制動控制蓄碼器 1 3 3 的 M S T P 2 ~ M S T P 7) 的資訊，和無圖示的上述狀態蓄碼器器的內等被待避在堆積儲存 (狀態 S 1 ~ S 5)。即是為了讀出上述低消耗電力狀態控制蓄碼器的內容，所以專用的讀出信號 R D - L P C R # 被形成為活性狀態 (狀態 S 2 ~ S 4) 的同時，寫入信號 W R # 也被形成為活性狀態，上述控制蓄碼器的內容被寫入至堆陣。持續在堆積儲存的動作，從 R O M 5 讀出低消耗電力狀態控制蓄碼器器及 P C 之內容 (S 6 ~ S 9)，作為向量。從 R O M 5 所被讀出的低消耗電力狀態控制蓄碼器未被投入至 C P U，而被寫入至低消耗電力狀態控制蓄碼器器 (

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (70)

S 6 ~ S 8) 。因此從狀態 S 7 , 低消耗電力控制蓄碼器的內容被變更, 而造成變更中速模式的設定, 或模組制動的設定。作為向量的開始位元被投入至 C P U 內部的無圖示的程式計數器, 從該開始位址 C P U 1 開始實行命令 (S 1 1 ~ S 1 3) 。

在返復時, 從 R A M 6 內的堆積儲存, 讀出狀態蓄碼器。低消耗電力狀態控制蓄碼器、P C 等的內容 (S 1 4 ~ S 1 8) 。從堆積儲存所被讀出的低消電力狀態控制蓄碼器的內容未被投入至 C P U 1 , 而被寫入至低消耗電力狀態控制蓄碼器。復歸位址被投入至 C P U 1 的內部, 從該位址 C P U 1 開始實行命令。狀態蓄碼器被收容在 C P U 1 的內部。從 S 1 6 復歸低消耗電力控制蓄碼器的內容。復歸中速模式的設定、或模組制動的設定, 與 S 6 以前的狀態相同。若 S 6 以前、S 1 6 以後設定為中速模式, S 7 ~ S 1 5 設定為高速模式, 則可以實現與第 1 7 圖相同的動作, 且無軟體的負擔。在每個插入, 因可以設定低消耗電力狀態, 所以對無必要作高速處理的插入要求, 使其為適當的動作速度。因此沒有浪費到消耗電力。另外, 以模組制動, 因可以保持且停止機能組塊的內部狀態, 例如 D T C 2 若為模組制動時, 則以 D T C 2 使用匯流排, 所以可以防止中斷 C P U 1 的動作, 並且高速的插入處理路徑的實行為必要的情況係有效。

在第 3 2 圖代表性的表示低消耗電力控制蓄碼器的 1 位元之構造。如上所述, 時脈控制蓄碼器 1 3 2 的位元 1

五、發明說明(71)

、0 及模組制動控制蓄碼器 1 3 3 的位元 7 ~ 2 構成低消耗電力控制蓄碼器。第 3 2 圖的構成係對於第 1 6 圖追加 2 個邏輯和電路 1 3 2 5、1 3 2 6，在時脈的輸入端子，介由邏輯和電路 1 3 2 5，供給前述專用寫入信號 WR - L P C R，不拘限於位址輸入資料匯流排的內容。另外，在同步緩衝器 1 3 2 2 的寫入信號，也介由邏輯和電路 1 3 2 6 而供給前述專用寫入信號 RD - L P C R，不拘限於位址蓄碼器的內容輸出至資料匯流排。這些的專用寫入信號 WR - L P C R 及專用讀出信號 RD - L P C R，例如例以 CPU 1 而被形成，成為共通於時脈控制蓄碼器 1 3 2 的位元 1、0 及模組制動控制蓄碼器 1 3 3 的位元 7 ~ 2 的各信號。然而在於第 3 2 圖，RD、WR、RD - L P C R、WR - L P C R 的各信號，為了使理解容易化，所以用圖表示，作為正邏輯的信號。

< < 子時脈振盪器之例 > >

在第 3 3 圖表示時脈振盪器及時脈控制電路的其他例。此例係對於第 9 圖，再追加第 2 振盪器 1 2 A、分頻器 1 3 0 A、選擇器 1 3 1 A、及無交疊產生電路 1 3 8。在第 2 振盪器 1 2 A 的 EX T A L L、X T A L L，例如連接如 3 2 . 7 6 8 K H z 的水晶振盪器。作為持有 2 組振盪器的單晶片微電腦，例如被記載在前述日本平成 4 年 9 月，日立製作所發行『H 8 / 3 8 3 4、H D 6 4 7 3 8 3 4、H D 6 4 3 3 8 3 4、硬體手冊』

五、發明說明 (72) .

。第 2 分頻器 1 3 0 A 係以前述相同施予 8 分頻，所被分頻的時脈信號 $\phi O S C / 2$ 、 $\phi O S C / 4$ 、

$\phi O S C / 8$ 係在從時脈控制蓄碼器 1 3 2 的控制位元而選擇選擇器 1 3 1 A。所以根據被選擇的時脈信號而無交疊產生電路 1 3 8 產生無交疊的 2 相時脈信號 $\phi 1 L$ 、

$\phi 2 L$ ，所須的機能組塊例如供給至 C P U 1 及計時器 7

。該無交疊產生電路 1 3 8，係適於較低動作周波數且適於低電壓動作，所以與被內藏於前述各機能組塊的情況相異。由於是低周波，因而就是將 2 相的時脈信號 $\phi L 1$ 、 $\phi L 2$ 供給至 C P U 1、計時器 7 等，也不會產生由於消耗電力之缺點。

沒有特別的被限制，但無交疊的 2 相時脈信號 $\phi 1 L$ 、 $\phi 2 L$ 係為將單晶片微電腦利用於計時處理的情況使用。時脈控制蓄碼器 1 3 2 具有時間監視模式位元 W M，以該位元成為邏輯值“1”而單晶片微電腦在計時處理在所要的最低動作周波數而被動作。計時處理，例如在單晶片微電腦的控制對象含有計時器時，在如每 1 秒的一定時間更新計時器表示之處理，以無交疊 2 相的時脈信號 $\phi 1 L$ 、 $\phi 2 L$ 而作計時動作的計時器，再以該計時器的每隔一定時間的計時器插入而在 C P U 1 實行計時處理。

在第 3 4 圖係表示專門表示輸至從第 3 3 圖的時脈控制電路 1 3 的其他機能組塊的上述時脈信號 $\phi 1 L$ 、

$\phi 2 L$ 之供給形態其單晶片微電腦的概略組塊圖。該組塊圖例如為考慮上述計時處理之圖。針對第 3 4 的單晶片微

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (73)

電腦，係代表性的表示第 3 3 圖的時脈控制電路 1 3 的其他、C P U 1、匯流排控制器 3、插入控制器 4、輸入輸出進出口 I / O P 1 ~ I / O P 1 1、及計時器 7。各電路組塊所示的 N O V 係為從輸入組塊信號形成無交疊 2 相時脈信號之無交疊產生電路。在被結合於在第 1 圖所說明過的內部匯流排 I A B、I D B 之 C P U 1、匯流排控制器 3 及插入控制器 4 的無交疊產生電路 N O V 被供給有上述時脈信號 B，被結合於在第 1 圖所說明過的內部匯流排 P A B、P D B 的計時器 7 及 I / O P 1 ~ I / O P 1 1 的無交疊產生電路 N O V，被供給有上述時脈信號 ϕ S。進而在各機能組塊 1、3、4、7、I / O P 1 ~ I / O P 1 1 被供給有上述無交疊 2 相的時脈信號 ϕ L 1、 ϕ L 2，在於各個機能組塊被設置有為了選擇是否利用從無交疊產生電路 N O V 所產生的 2 相時脈信號或是 2 相時脈信號 ϕ L 1、 ϕ L 2 的其中一個作為內部同步時脈信號之選擇器 S E L。計時器 7 係為隨著以 C P U 1 等所被設定的內部控制蓄碼器而實行選擇器的選擇。從複數個波道構成計時器 7 的情況，在每個波道若具有該控制蓄碼器與選擇器 S E L 即可。C P U 1、匯流排控制器 3、插入控制器 4、及輸入輸出進出口 I / O P 1 ~ I / O P 1 1 的選擇器 S E L，係在從時脈控制電路 1 3 所被輸出的監視模式位元 W M 而決定選擇狀態。

監視模式位元成為邏輯值“1”時，在於計時器 7 所定的波段以外則成為模組制動狀態。在計時器 7 其所定的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (74)

波道係在控制位元而以選擇器 S E L 選擇時脈信號 $\phi L 1$, $\phi L 2$, 利用選擇信號 $\phi L 1$ 、 $\phi L 2$ 而例如實行為了間歇的實行計時處理之計時動作再在每隔一定時間輸出計時器插入信號。針對 C P U 1 、 匯流排控制器 3 、 插入控制器及 I / O P 1 ~ I / O P 1 1 係在邏輯值 " 1 " 的監視模式位元 W M 以選擇器選擇時脈信號 $\phi L 1$ 、 $\phi L 2$, 所以這些機能組塊被同步動作於計時用的低周波數之時脈信號 $\phi L 1$ I $\phi L 2$ 。計時器 7 在每隔一定時間發生為計時用處理之插入信號 , C P U 1 應答該信號而間歇的進行計時處理。監視模式位元 W M 成為活性狀態時 , 第 1 振盪器 1 2 停止振盪動作。監視模式係以監視模式位元 W M 成為邏輯值 " 0 " 而解除 C P U 1 。

依據上述實施例得到以下的效果。〔 1 〕系統時脈信號以 ϕS 與 ϕB , 時脈信號的相配線並沒有很大 , 將系統時脈信號 ϕB 的分頻比使其可變 , 確保機能組塊的絕對基準時脈 , 同時將系統時脈信號 ϕB 使其可變而減低主匯流排的消耗電力 , 進而可以減低半導體積體電路全體的消耗電力。由於減低消耗電力 (不須電波的發生) , 因而可以減低不要的輻射。

〔 2 〕在 S C I 或計時器的周邊電路因被供給有周波數一定的系統時脈信號 ϕS , 所以輸至 C P U 等的系統時脈信號 ϕB 之周波數就是被變更 , 也可以一的地保持 S C I 位元比率或是波特 (baud) 比率 , 再而計時器的計時周期等 , 就是變更 C P U 等的動作周波數也不須這些周

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (75)

邊機能組塊的設定變更。

[3] 在上述時脈控制電路 1 3 , 因具備爲了選擇系統時脈信號 ϕB 的分頻比的資訊以上述主匯流排而能設定之蓄碼器手段 1 3 2 , 所以可以以 CPU 等的主匯流排而任意地進行分頻比的選擇。

[4] 資料匯流排, 被分離在供給系統時脈信號 ϕB 且被連接有 CPU 等的機能組塊之內部資料匯流排 IDB、與供給系統時脈信號 ϕS 且被接有成為輔匯流排的機能組塊之內部資料匯流排 PDB。由於將如 CPU 等的主匯流排頻繁地起動匯流排循環之機能組塊, 連接在與輔匯流排不同的其他資料匯流排, 因而頻繁地所被選取的資料匯流排之負荷被減小, 而期予爲低消耗電力。由於以吸持電路 HD 1、HD 2 前值保持被利用於選取之頻度相對較低的資料匯流排, 因而使其減少在該資料匯流排上的充放電次數而期予爲低消耗電力。

[5] 將作為 1 相時脈信號的系統時脈信號 ϕS 、 ϕB 供給至機能組塊, 在各機能組塊內部, 由於生 2 相時脈信號, 因而減低時脈的總配線容量, 並且可以減低消耗電力。

[6] 使用分頻電路時脈信號時, 低分頻比的分頻電路時脈信號係在每個機能組塊的內部產生, 分頻比的較大的分頻電路時脈信號係共通的產生, 所以邏輯規模不會太大, 因不會將信號變化周波數的較大信號作為機能組塊間信號, 所以可以減低消耗電力。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (76)

[7] 例如以第 2 0 圖及第 2 3 圖說明從輔匯流排輸至主匯流排的機能間信號，由於同步於 $\phi 1 S$ 而實行，因而可以易於介面。

[8] 使其能保機能組塊的內部狀態，並且因限定供給常時時脈之部分，所是在動作中，也因保持內部狀態，而可以省掉軟體的再設定之負擔。

[9] 將資料匯流排作為初期，分割內部匯流排後，非活性狀態的匯流排因抑止信號變化，所以減低 1 次動作的變化之信號容量，因而可以減低消耗電力。

[1 0] 設置檢出插入或外部端子的信號變化之資訊的如插入控制器的事像檢出電路，在事像發生時，自動的變更 ϕB 的分頻比，同時變更模組制動的狀態；事像發生過後，縮短施行所須的處理為止的時間，因而可以提高處理性能。在變更時，將變更前的資訊例如待避在堆積儲存等，新資訊例如與向量同時負載，因而可以進行任意的設定。

(1 1) 使其可以將相當於時脈信號 ϕS 與 ϕB 之時脈信號輸出至外部，並且以軟體可禁止其輸出，因而可以將時脈信號 ϕS 為外部半導體積體電路的基準時脈，同時將時脈信號 ϕB 作為匯流排控制電路的控制信號。另外，若不必要禁止輸出，因而可以達到消耗電力的減低、耦合雜訊的減低、不要輻射的減低。

根據實施例而具有的說明以上本發明者所達成的發明，但本發明不止限於該實施例，不用說若不脫離其要點之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (77)

範圍下種種的變更皆有可能。

例如將時脈信號形成非對稱時，不限於上述實施例。在動作爲不必要的任意情況，可以一方爲高準位，停止他方入爲低準位。例如可以適用於 C P U 成爲等待狀態的情況，若將全部時間電路形成爲靜態型時，未將時脈形成爲非對稱，中速模式的情況的 ϕB ，也可以成爲工作 50 % 的時脈。

時脈控制蓄碼器，除了從 C P U 能讀出 / 寫入之外，亦可以外部端子的設定而成爲可變更。例如，以所定的端子之輸入，亦可成爲能變更時脈控制蓄碼器的初期設定值。所定的端子在低準位的狀態重設時則以高速時脈動作，其後以 C P U 的設定成爲能低速動作；另外，所定的端子在高準位的狀態重設時則以低速時脈動作，其後可以使其以 C P U 的設定成爲能高速動作。

關於匯流排時間的詳情，係能有種種的變更。I A B · I D B 與 P A B · P D B 的時間成爲同樣，但該時間亦可偏差。在事像，例如能使其含有外部匯流排解放。在外部解放匯流排時，主匯流排自動的成爲中速模式，或是也可以將 D T C 形成爲模組制動狀態，作爲向量所被供給的低消耗電力資訊也不被限定在 8 位元。可以成爲任意的位元數。持有複數組專用的讀出信號、專用的寫入信號亦可。

關於低消耗電力控制蓄碼器的構成也有種種的變更。動態電路、靜態電路的具體電路構成也有種種的變更。例

五、發明說明(78)

如，靜態電路可以以觸發器構成。另外觸發器不被限定在2相的無交疊。也可以成為3相以上或是交疊時脈。如果一部分位相的時脈較長，其他位相的時脈較短亦可。

作為資料傳送裝置，已說明了關於內藏DTC的情況，但該裝置內藏DMA控制器(DMAC)亦可。實施中的DTC改讀DMAC亦可。這些與CPU不須要獨立的機能組塊，作CPU的一部分而被實現亦可。此情況，會有被用作稱為微小的DMA、或是大型業務、或是智慧型I/O業務等的情況。關於單晶片微電腦的其他機能組塊不被任何約束。機能組塊的個數、或模組制動的指定方法也可以任意。

在以上的說明主要是說明了關於適用於作為本發明者其發明背景所形成的利用領域之單晶片微電腦的情況，但不被限定於該情況，在其他半導體積體電路裝置也能適用，本發明至少也可以適用於構成同步於時脈而動作的系統之半導體積體電路。

針對本專利申請所揭示的發明當中簡單的說明其代表性所得到的效果如下述。

[1] 由於將周波數一定的第2系統時脈信號(ϕS)共通的供給至複數個機能組塊，並且將分頻比為可選擇，周波數為低於上述第2系統時脈信號之第1系統時脈信號(ϕB)供給至所定的機能組塊，因而因應於供給第1系統時脈信號(ϕB)的機能組塊之狀態而改變其動作周波數，因此可以達到低消耗電力。此時，就是變更該第1

五、發明說明 (79)

系統時脈信號的周波數接受第 2 系統時脈信號 (ϕS) 而動作的複數個機能組塊之動作速度也不會變化，在於以該第 1 系統時脈信號之周波數變更的電力消耗之控制時，對於接受第 2 系統時脈信號 (ϕS) 而動作之複數個機能組塊係完全不須爲了再設定動作條件之處理。

[2] 由於將介由上述第 1 時脈信號配配線而供給第 1 系統時脈信號之機能組塊作爲主匯流排，因而在該主匯流排形成被供給有分頻比可變的系統時脈信號。在於微電腦等的資料處理裝置，作爲主匯流排的 C P U 一般因頻繁的起動爲了命令及資料取出之匯流排循環，所以對低消耗電力是有效果的。

[3] 由於將介由上述第 2 時脈信號配線而供給第 2 系統時脈信號之機能組塊作爲輔匯流排，因而就是變更主匯流排的系統時脈信號之周波數，也可以一定的保持串行通信介面的位元比率或是波特 (baud) 比率，再而計時器的計時周期等，並且可以不須這些周邊機能組塊的設定變更。

[4] 由於爲了選擇第 1 時脈信號 (ϕB) 的分頻比之資訊採用以上述主匯流排而能設定的蓄碼器手段，因而以 C P U 等的主匯流排可以任意的實行分頻比的選擇。

[5] 由於如 C P U 等的主匯流排將頻繁的起動匯流排循環之機能組塊，與輔匯流排係爲連接至別的資料匯流排，頻繁的選取資料匯流排之負荷因而變小，針對此點也達成低消耗電力。以吸持電路將被利用於選取的頻度相對

五、發明說明(80)

較低的資料匯流排保持前值，而使其減少在該匯流排上的充放電次數而期予以低消耗電力。

[6] 由於將根據第 1 及第 2 的各個系統時脈信號而產生的無交疊之 2 相時脈信號使其部分的位相為一致，並且同同步於該位相為一致的時間，而使其變化從被同步動作於第 2 系統時脈信號之機能組塊，供給至被同步動作於第 1 系統時脈信號之機能組塊（相對的動作速度較緩而得有的機能組塊）的信號，因而將在時脈信號周波數的所被相異的機能組塊間的介面容易化，換言之可以將為了介面的時間設計容易化。

[7] 由於根據第 1 及第 2 的各個系統時脈信號而產生的無交疊之 2 相時脈信號的第 1 相相同時脈信號，具有低準位期間被一致的位相，並且第 2 相的相同時脈信號具有高準位期間被一致的位相，因而各機能組塊的輸出與輸入就是同步於第 1 相或第 2 相的其中的時脈信號，從在系統時脈信號使其相異的機能組塊間的輸出至輸入該輸出的鎖定也可以確保第 2 系統時脈信號（ ϕS ）的高於 1 周之期間，因此將在系統時脈信號周波數的相異之機能組塊間的介面容易化，換言之可以將為了介面的時間設計容易化。

[8] 由於在於從將第 1 系統時脈信號（ ϕB ）與第 2 系統時脈信號（ ϕS ）選擇性的輸出至外部之輸出電路而將該輸出電路的時脈輸入配線強制在所定準位，因而在不須系統時脈信號的外部輸出之情況，可以抑止在上述時

五、發明說明 (81)

脈輸入配線其充放電，而期予為低消耗電力。

[9] 由於在每個機能組塊個別的抑止內部時脈信號等的產生，因而在未利用的內藏機能組塊內，內部時脈信號的變化被停止，而可以抑制因時脈信號的無須變化其充放電流之電力消耗。此時，由於在於內部時脈信號停止狀態使其保持內部狀態，因而在動作再開選擇時可以省掉改變內部電路而設定的作業。

[1 0] 因自身的動作為非選擇性所以以抑止內部時間信號的發生而可以實現低消耗電力。由於在內部時間信號的變化被停止時使其保持內部狀態，因而在動作再開時可以省掉改變內部電路而重新設定的作業。

[1 1] 由於將接受無交疊的 2 相之內部時間信號而動作的電路，含有接受其第 1 相的時間信號而動態的動作之時間電路、及被串聯的連接於該動態電路且接受第 2 相的時間信號而動態的動作之靜態電路而構成，因而無交疊的 2 相之動態信號當中若將工作較大的位相之動態信號供給至動態電路，工作較小的位相之動態信號供給至靜態電路，則就是動態電路的輸出負荷容量之保持時間為有限，鎖定時間也相對的變短，而可以擴張第 1 系統時脈信號的周波數低減範圍。進而將雙方與用靜態鎖定電路所構成的情況作比較，可以縮小電路的物理性規模。

[1 2] 由於根據事像的檢出而強制第 1 系統時脈信號的周波數，因而發生所定的事像時，就是降低所被設定的系統時脈信號周波數，也可以將系統時脈信號周波數的

五、發明說明 (82)

選擇狀態強制在所定的狀態例如強制在最高周波數選擇狀態，因此，在產生所定的事像時可以短縮至作所須的處理之時間。

[1 3] 由於因事像產生而以所定的記憶區域 (M S M E) 改寫成所定的值強制系統時脈信號周波數，因而可以將系統時脈信號強制在特定周波數之處理簡單化。

[1 4] 由於因事像產生而在從被要求在中央處理裝置的例外的處理復歸時，中央處理裝置將上述記憶 (記憶區域) 返回至所定的值，因而選擇性的指定周波數的情報之記憶區域 (C K S 1 、 C K S 2) 的值也不須退避及使其復歸該自體。

[1 5] 接受周波數被強制的系統時脈信號之機能組塊為中央處理裝置以外的資料傳送控制器時，由於因事像的產生例外的處理被要求的資料傳送控制器輸出指定該例外的處理完了的信號，因此將上述記憶區域 (M S M E) 回復至所定的值，因而可以不加諸中央處理裝置或是軟體的一切負擔就將系統時脈信號回復到原來。

[1 6] 由於設置能改寫的保持為了在機能組塊單位使其禁止內部時脈信號的形成之資訊的蓄碼器手段 (1 3 3)，並且根據重設等的所定的事像產生，而在禁止內部時脈信號的形成的狀態將該蓄碼器手段初期化，因而可以在重設等的所定事像產生時使其減低其初期狀態的電力消耗。

[1 7] 由於利用系統時脈信號周波數的強制插入向

五、發明說明 (83)

量等的向量與成對的控制資訊，因而可以因應於事像的種類而仔細的施行低消耗電力設定。

[1 8] 由於在利用上述插入向量的向量與成對的控制資訊的情況事像產生時，以該向量與成對的控制資訊而為使現在的低消耗電力控制的資訊不被消失而使其退避，因而可以在以事像產生而被要求之例外的處理完了後，電力控制狀態也使其復歸至事像發生前的狀態。

[1 9] 由於以分頻電路所能產生的低分頻比之分頻電路時脈信號未能分頻電路供給，而以機能組塊內的分頻器使其各別的產生，因而低分頻比的時脈信號也從分頻電路直接供給至複數個機能組塊的情況作比較可以達成低消耗電力化。

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱：

)

半 導 體 積 體 電 路

本發明半導體積體電路，係根據從振盪器的輸出而被形成之周波數將一定的第1系統時脈信號共通的供給至周邊機能組塊，並且根據從振盪器的輸出而被形成的周波數為可變且該周波數將低於上述第1系統時脈信號之第2系統時脈信號 ϕB 供給至CPU等的匯流排主模組。然後，供給第1系統時脈信號的機能組塊之資料匯流排與供給第2系統時脈信號的機能組塊之資料匯流排使其分離。

(請先閱讀背面之注意事項再填寫本頁各欄)

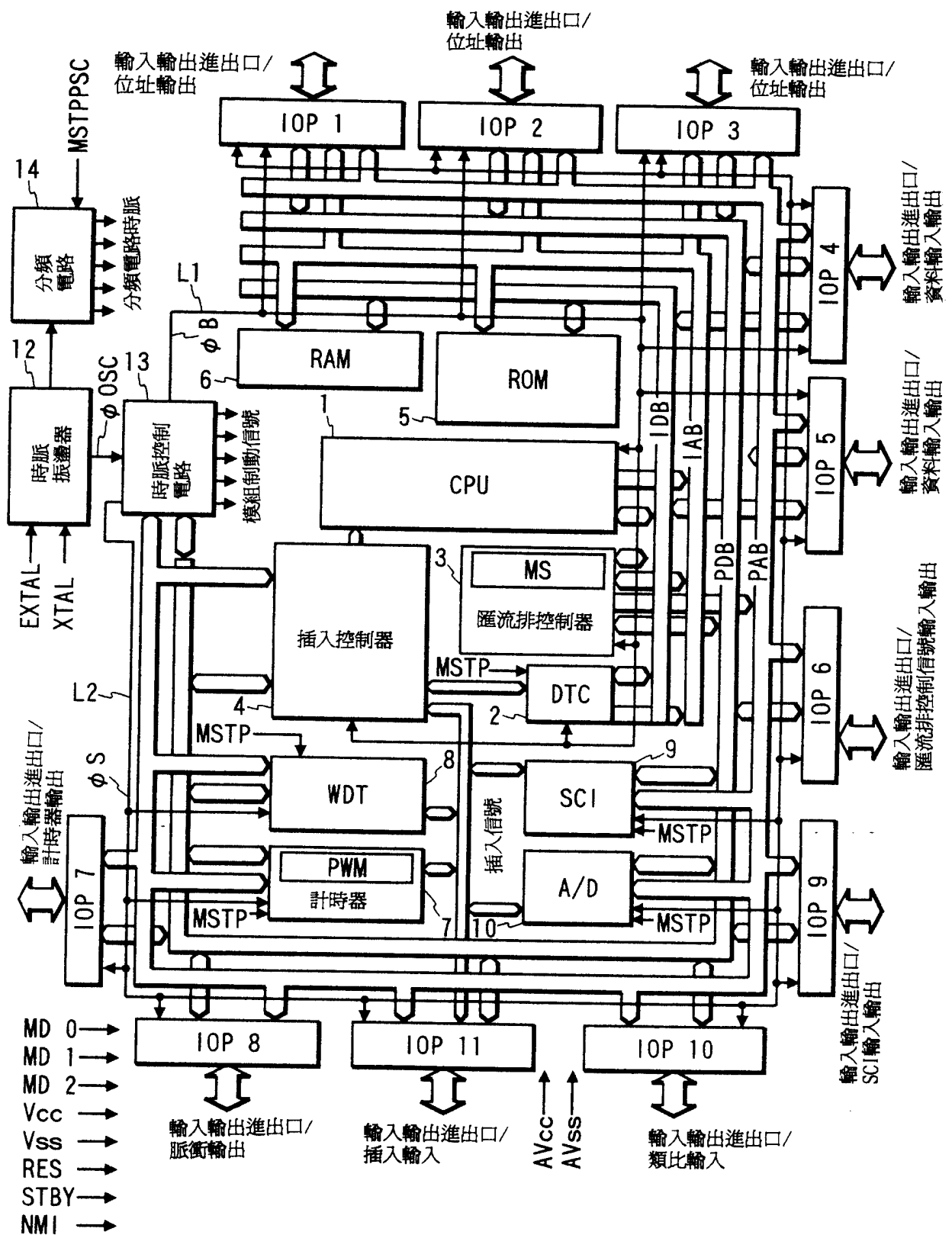
裝

訂

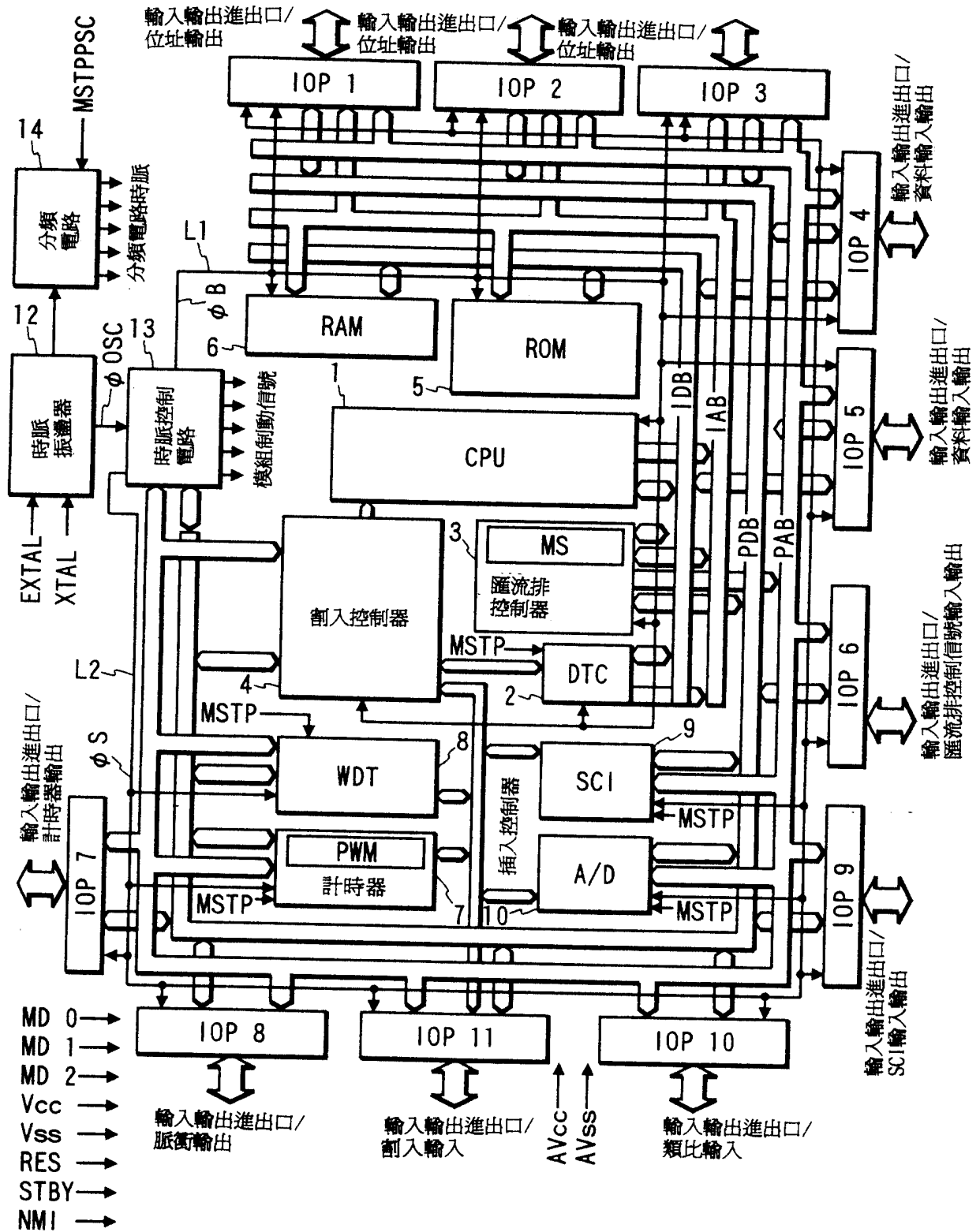
線

英文發明摘要(發明之名稱：

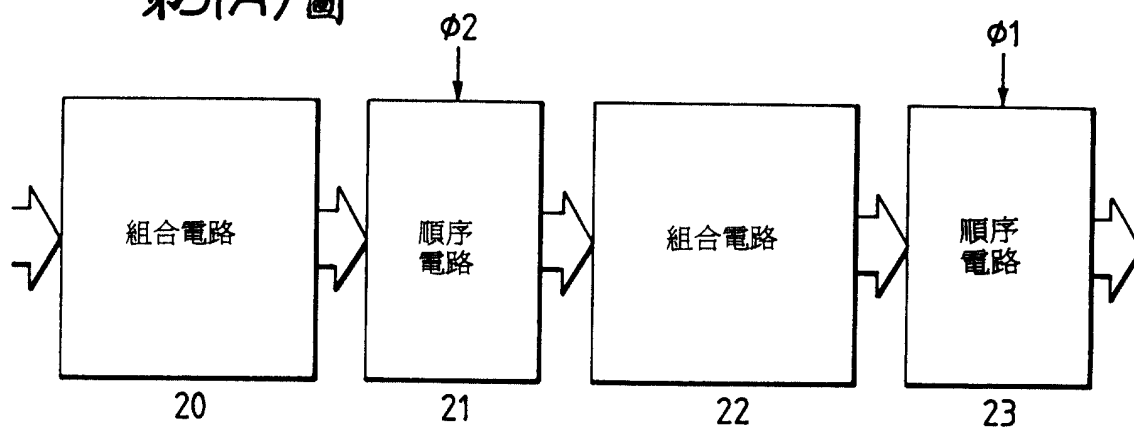
)



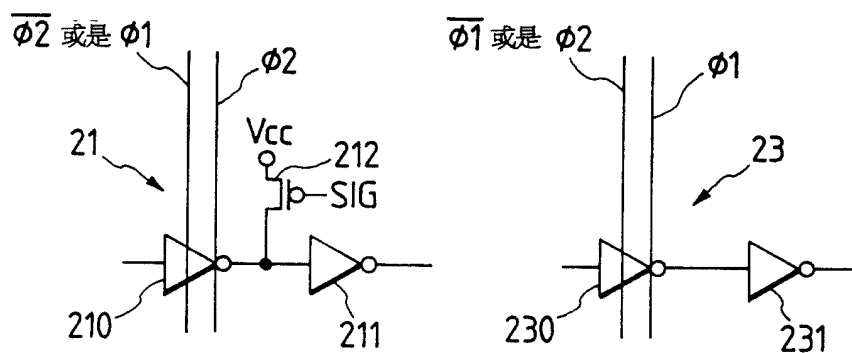
第2圖



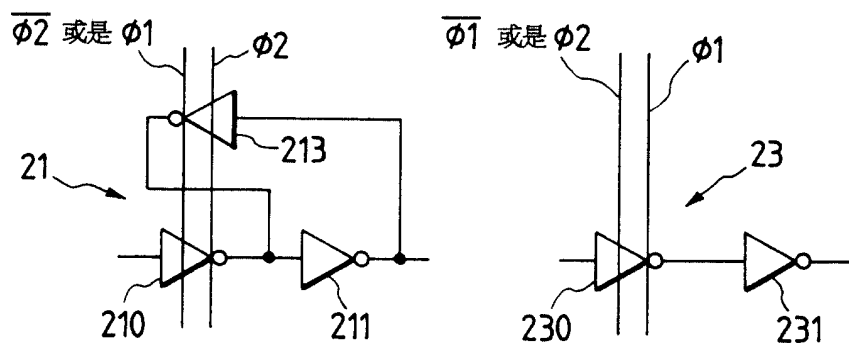
第3(A)圖



第3(B)圖



第3(C)圖



第5圖(A) ϕ_{OSC}



第5圖(B) ϕ_1



第5圖(C) ϕ_2



第5圖(D) $\phi_{1/2}, \phi_{1/4UP}$



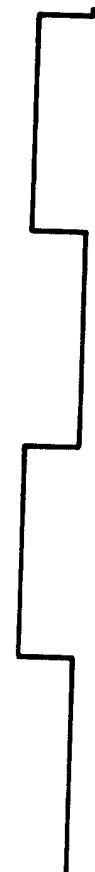
第5圖(E) $\phi_{1/4}$



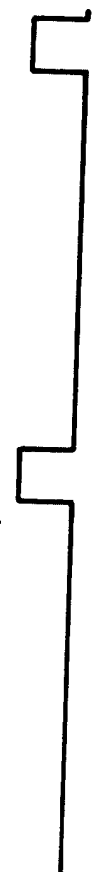
第5圖(F) $\phi_{1/8UP}$



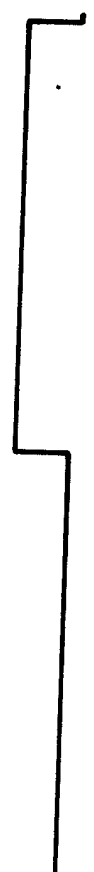
第5圖(G) $\phi_{1/8}$



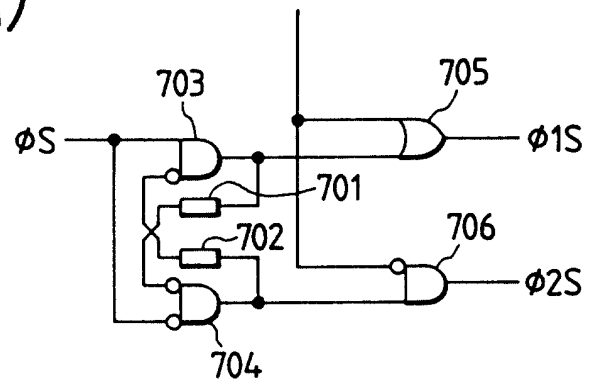
第5圖(H) $\phi_{1/16UP}$



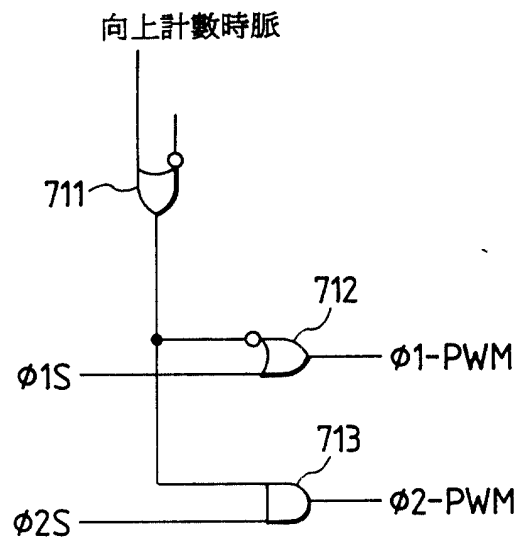
第5圖(I) $\phi_{1/16}$



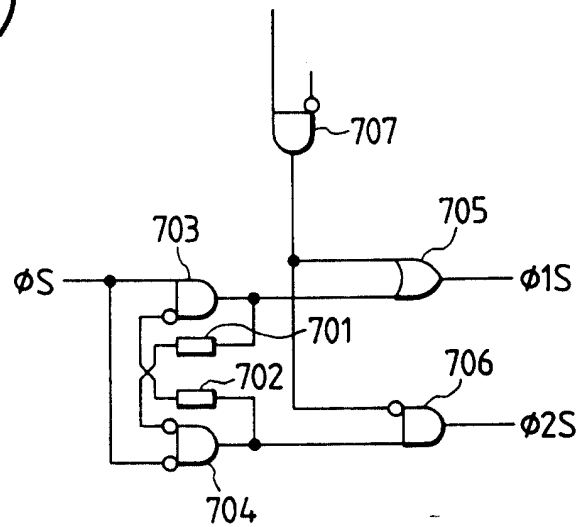
第 7 圖 (A)



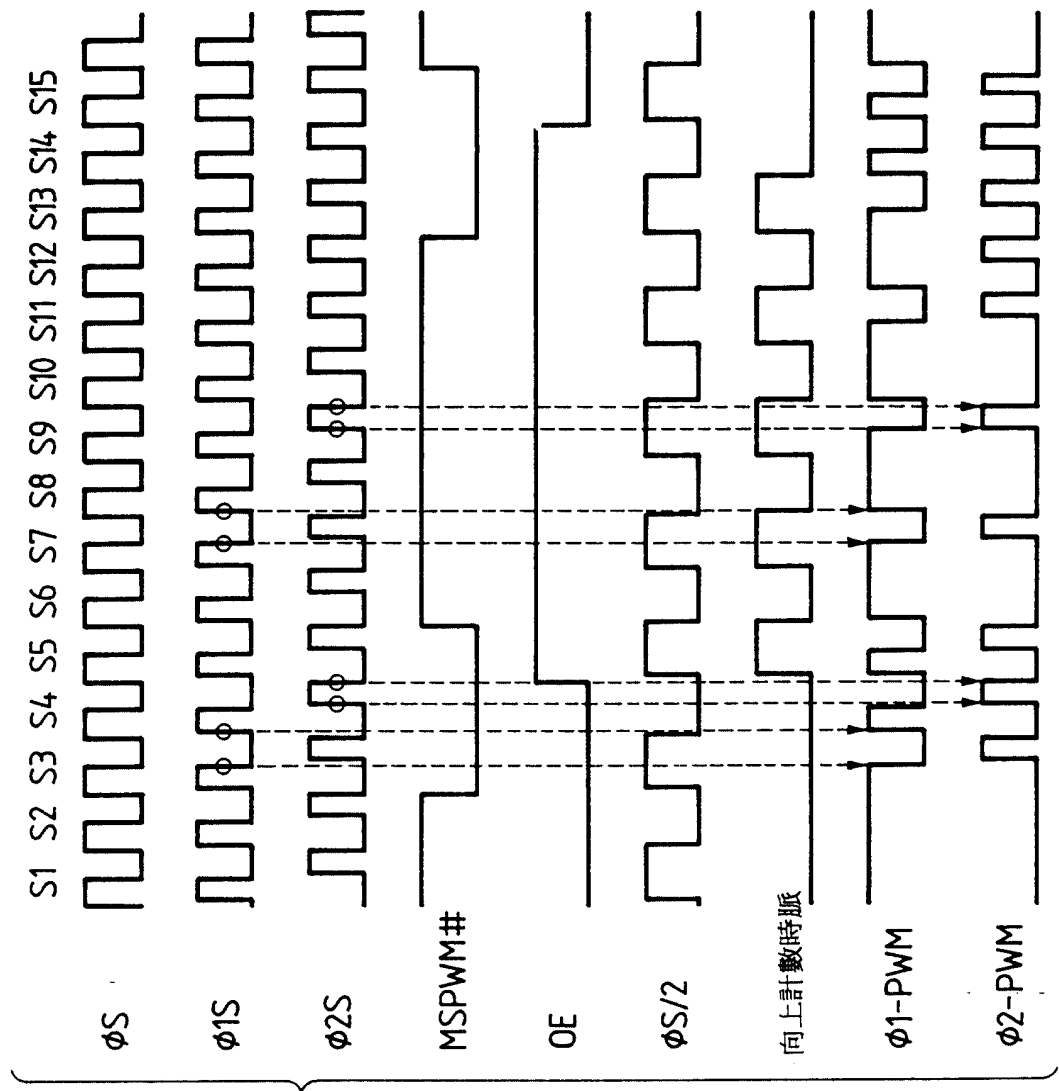
第 7 圖 (B)



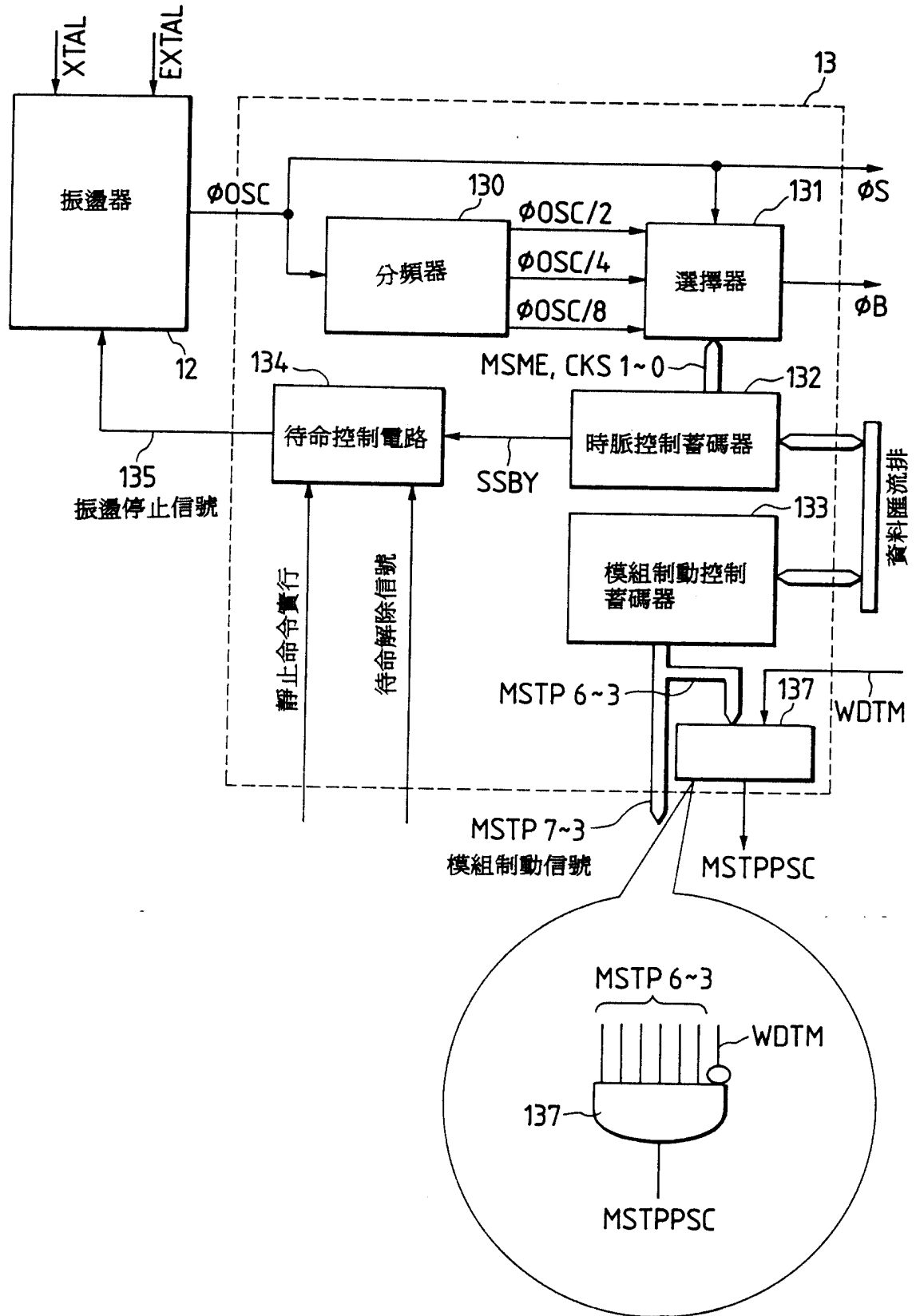
第 7 圖 (C)



第 8 圖



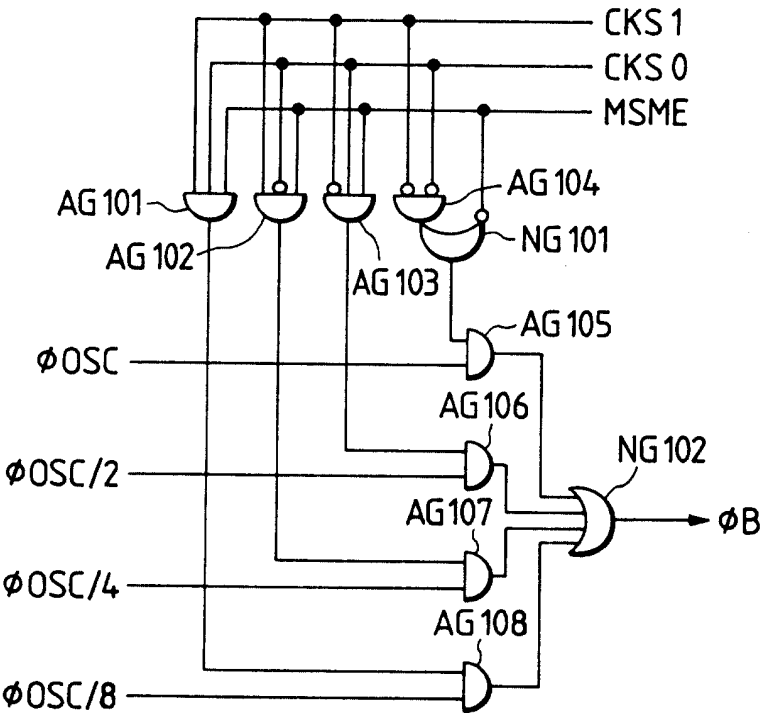
第 9 圖



第10圖(A)

MSME	CKS 1	CKS 0	ϕB
0	-	-	ϕOSC
1	0	0	ϕOSC
	0	1	$\phi OSC/2$
	1	0	$\phi OSC/4$
	1	1	$\phi OSC/8$

第10圖(B)



第11圖 (A)

132 時脈控制蓄碼器

位元 :	7	6	5	4	3	2	1	0
	SSBY	-	-	-	-	MSME	CKS 1	CKS 0
初期值 :	0	0	0	0	0	0	0	0
R/W :	R/W	-	-	-	-	R/W	R/W	R/W

第11圖 (B)

133 模組制動控制蓄碼器

位元 :	7	6	5	4	3	2	1	0
	MSTP 7	MSTP 6	MSTP 5	MSTP 4	MSTP 3	-	-	-
初期值 :	1	1	1	1	1	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	-	-

第12圖(A)

位元7	說明
MSTP 7	
0	DTC動作可能狀態(初期值)
1	DTC模組制動狀態

第12圖(B)

位元6	說明
MSTP 6	
0	計時器動作可能狀態(初期值)
1	計時器模組制動狀態

第12圖(C)

位元5	說明
MSTP 5	
0	WDT動作可能狀態(初期值)
1	WDT模組制動狀態

第13圖(A)

位元4	說明
MSTP 4	
0	SCI動作可能狀態(初期值)
1	SCI模制動狀態

第13圖(B)

位元3	說明
MSTP 3	
0	A/D轉換器動作可能狀態 (初期值)
1	A/D轉換模制動狀態

第14圖(A)

位元7	說明
SSBY	
0	靜止命令實行後遷移至靜止狀態(初期值)
1	靜止命令實行後遷移至待命狀態

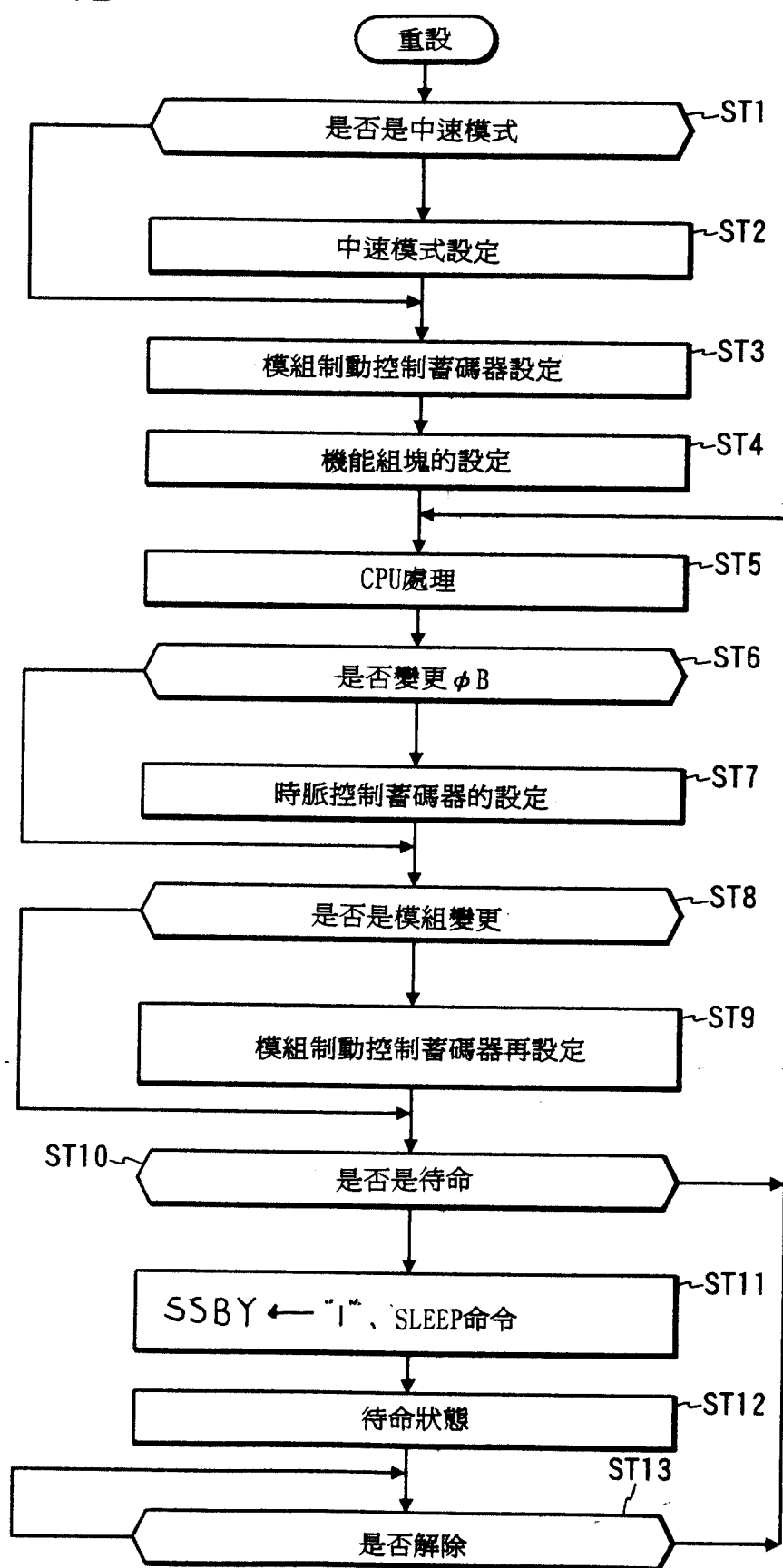
第14圖(B)

位元2	說明
MSME	
0	禁止中速模式 (時常 $\phi B = \phi OSC$)(初期值)
1	許可中速模式

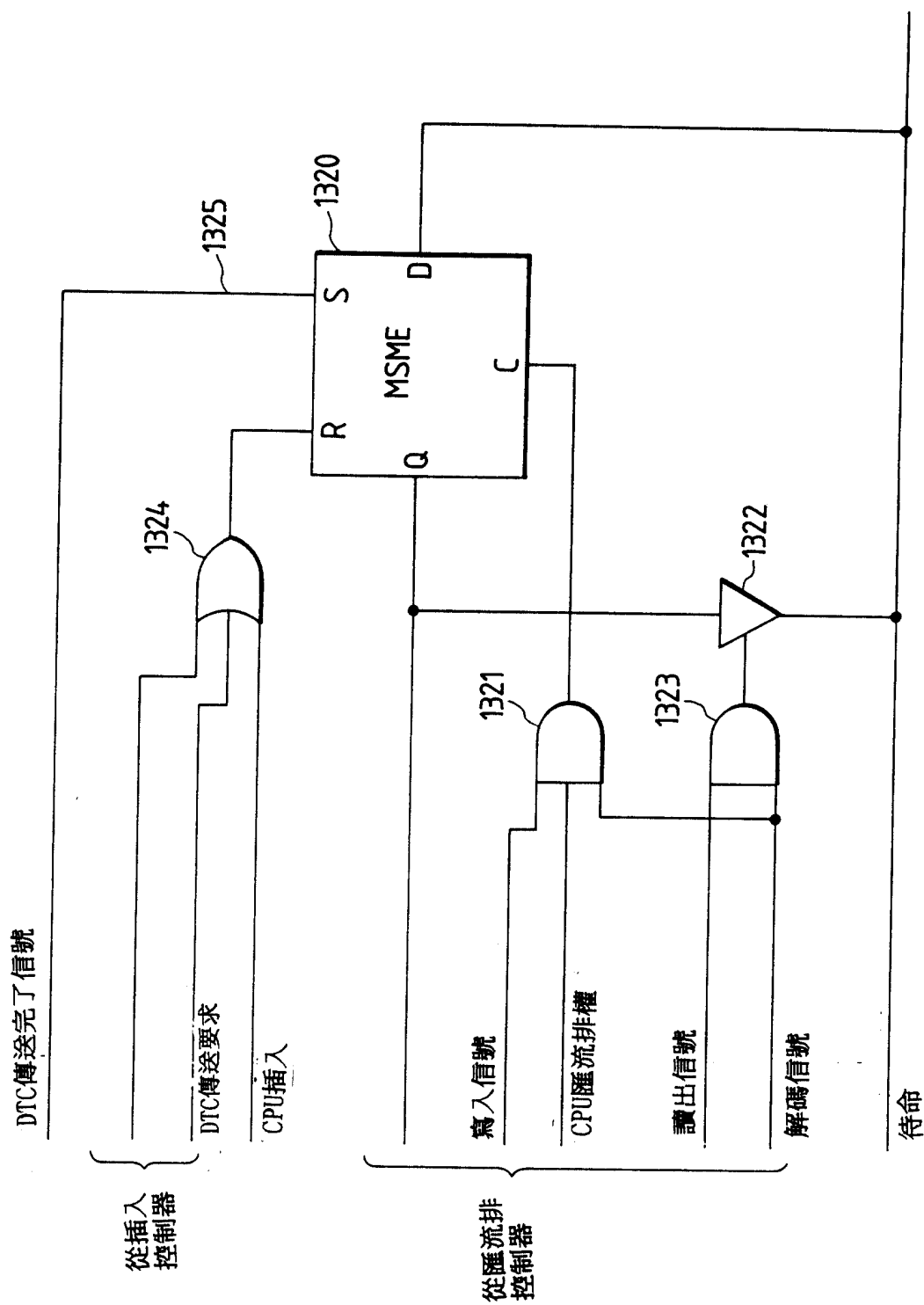
第14圖(C)

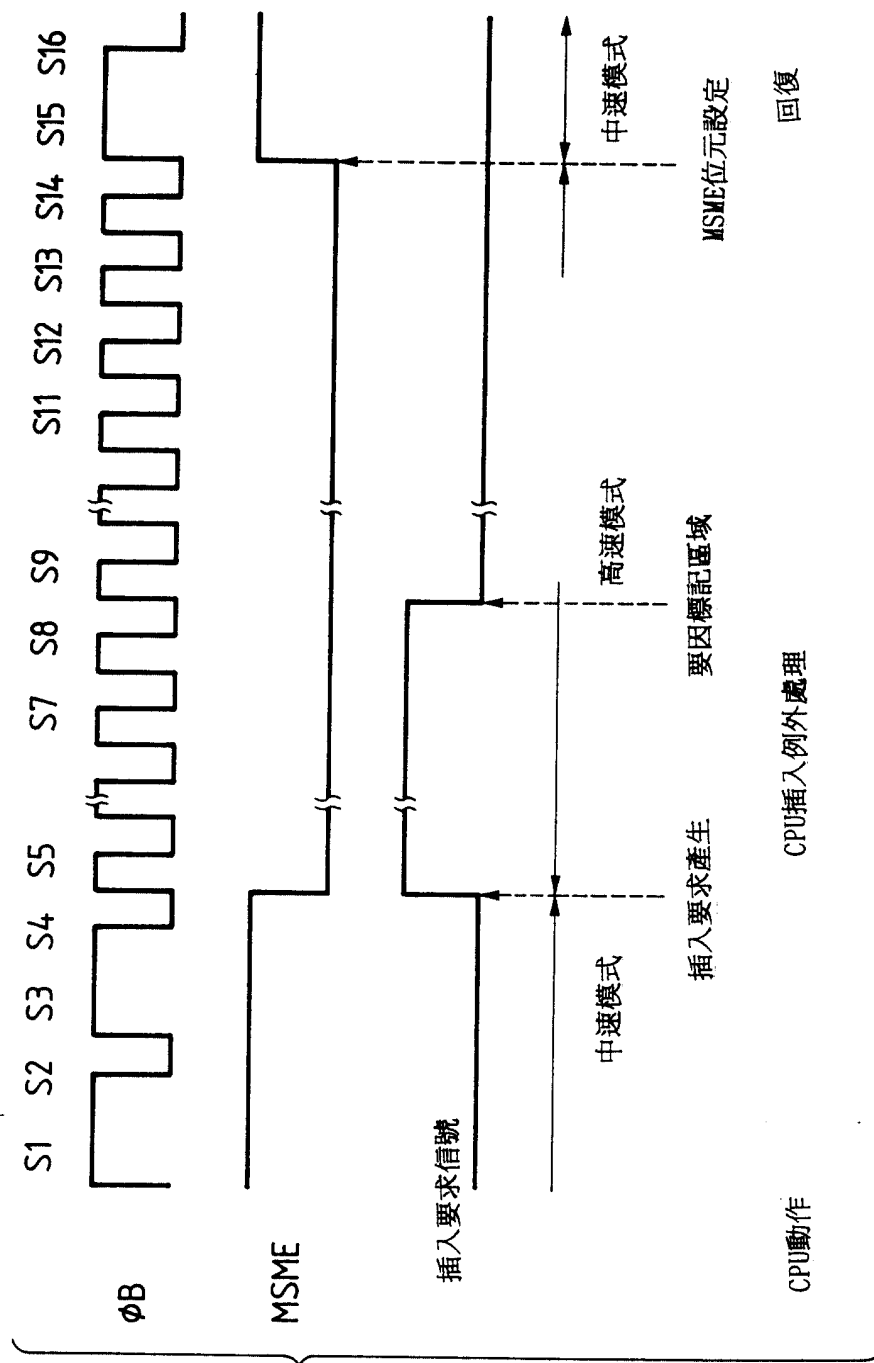
位元1	位元0	說明
CKS 1	CKS 0	
0	0	$\phi B = \phi OSC$ (初期值)
0	1	$\phi B = \phi OSC/2$
1	0	$\phi B = \phi OSC/4$
1	1	$\phi B = \phi OSC/8$

第15圖

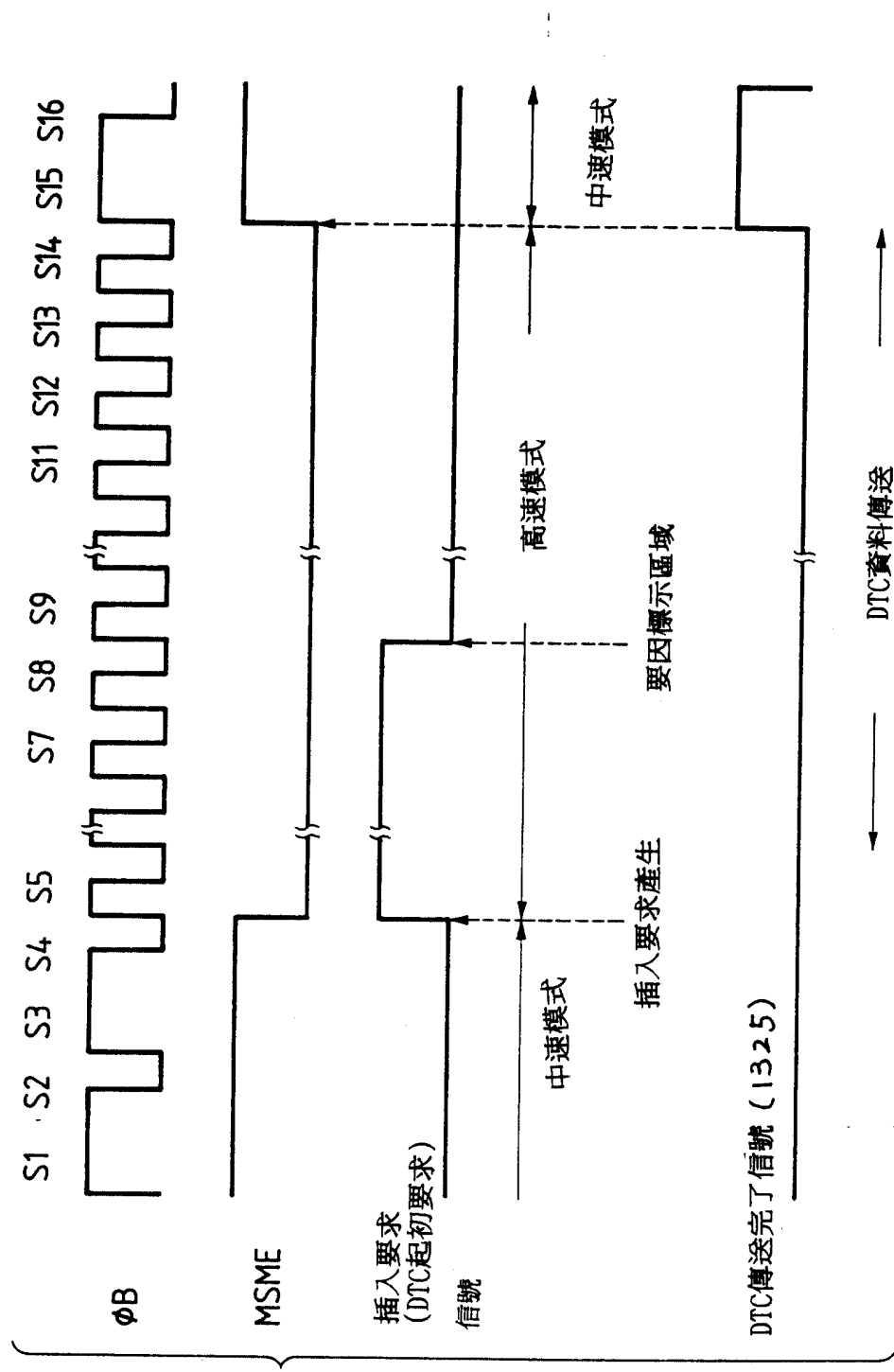


第16圖



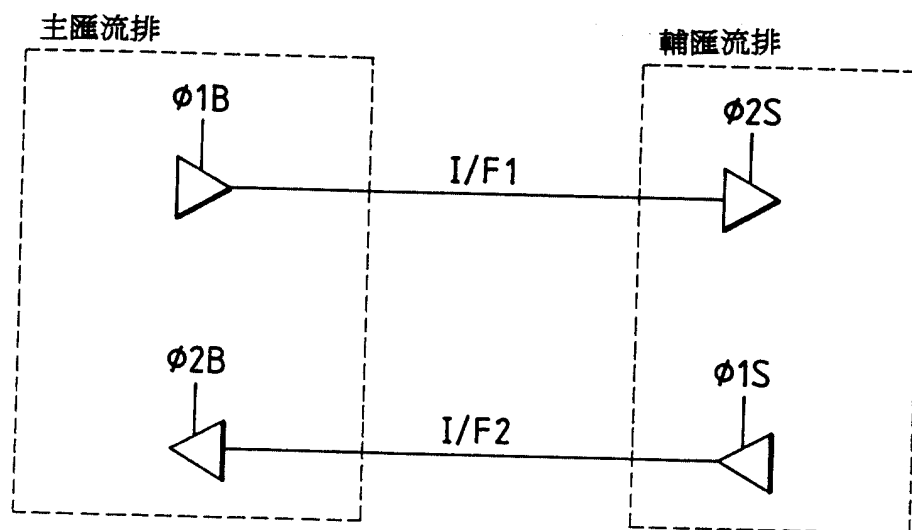


第17圖

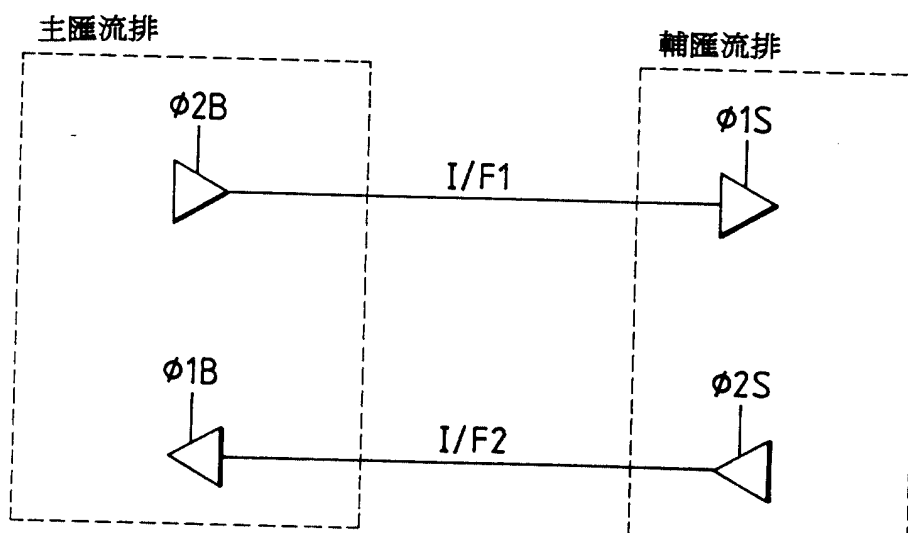


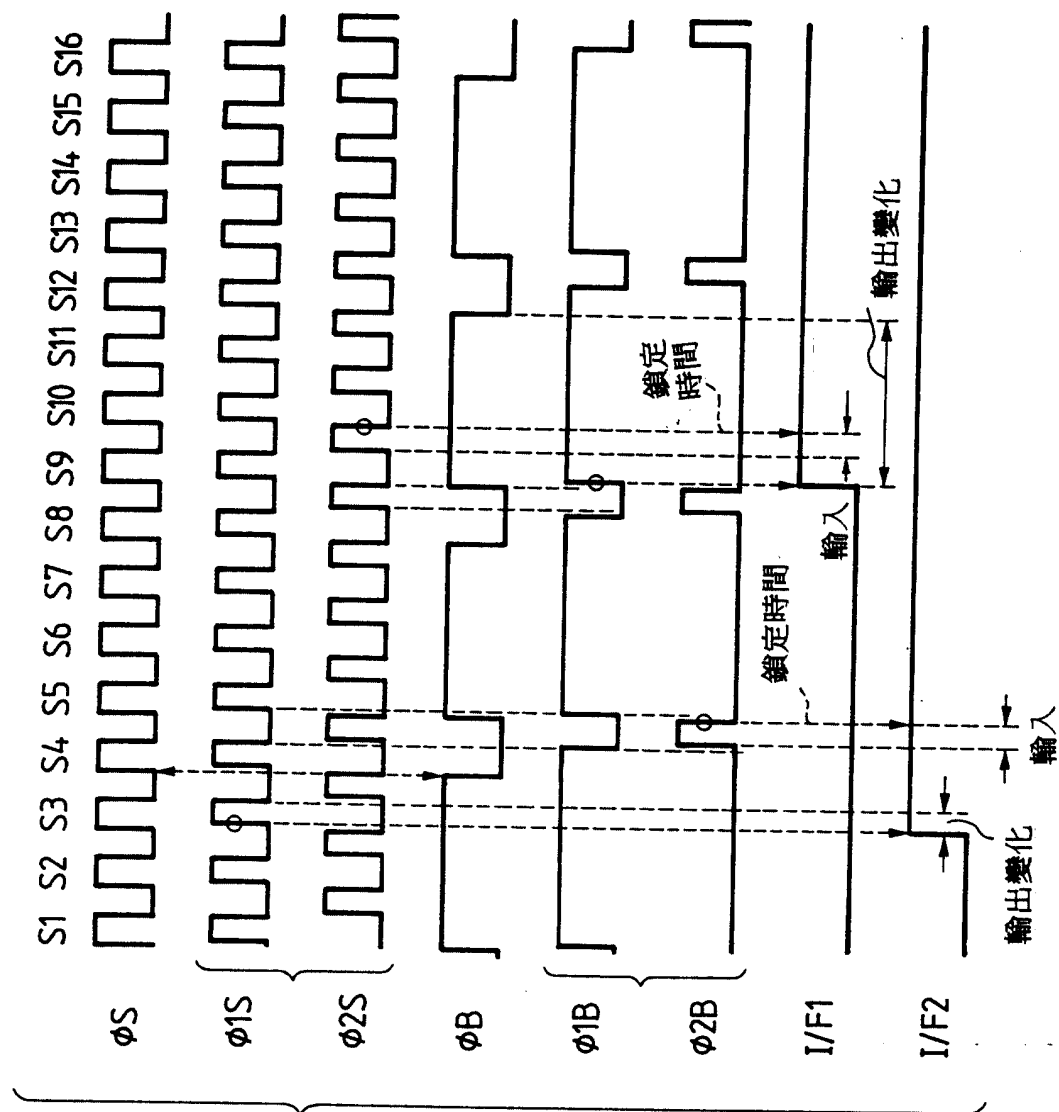
第18圖

第19圖



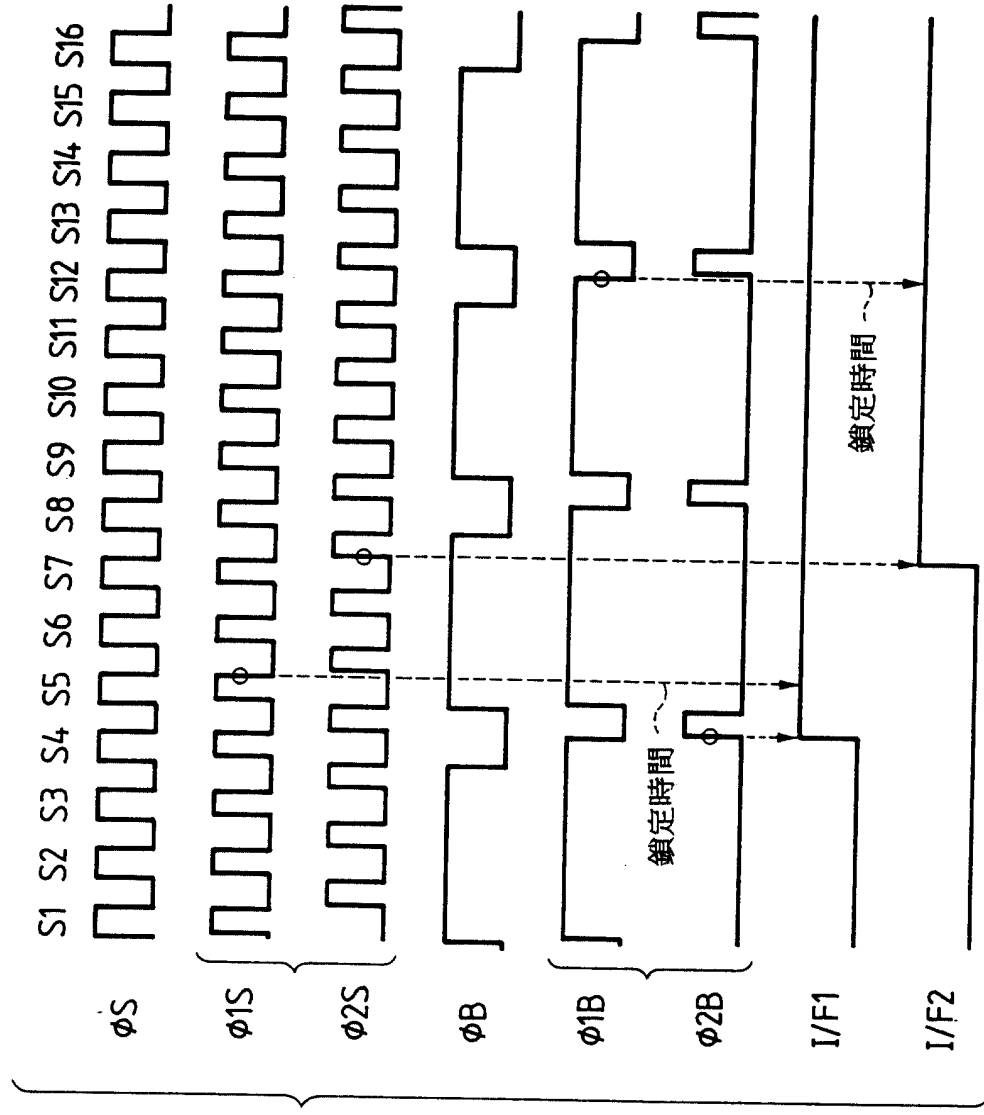
第21圖

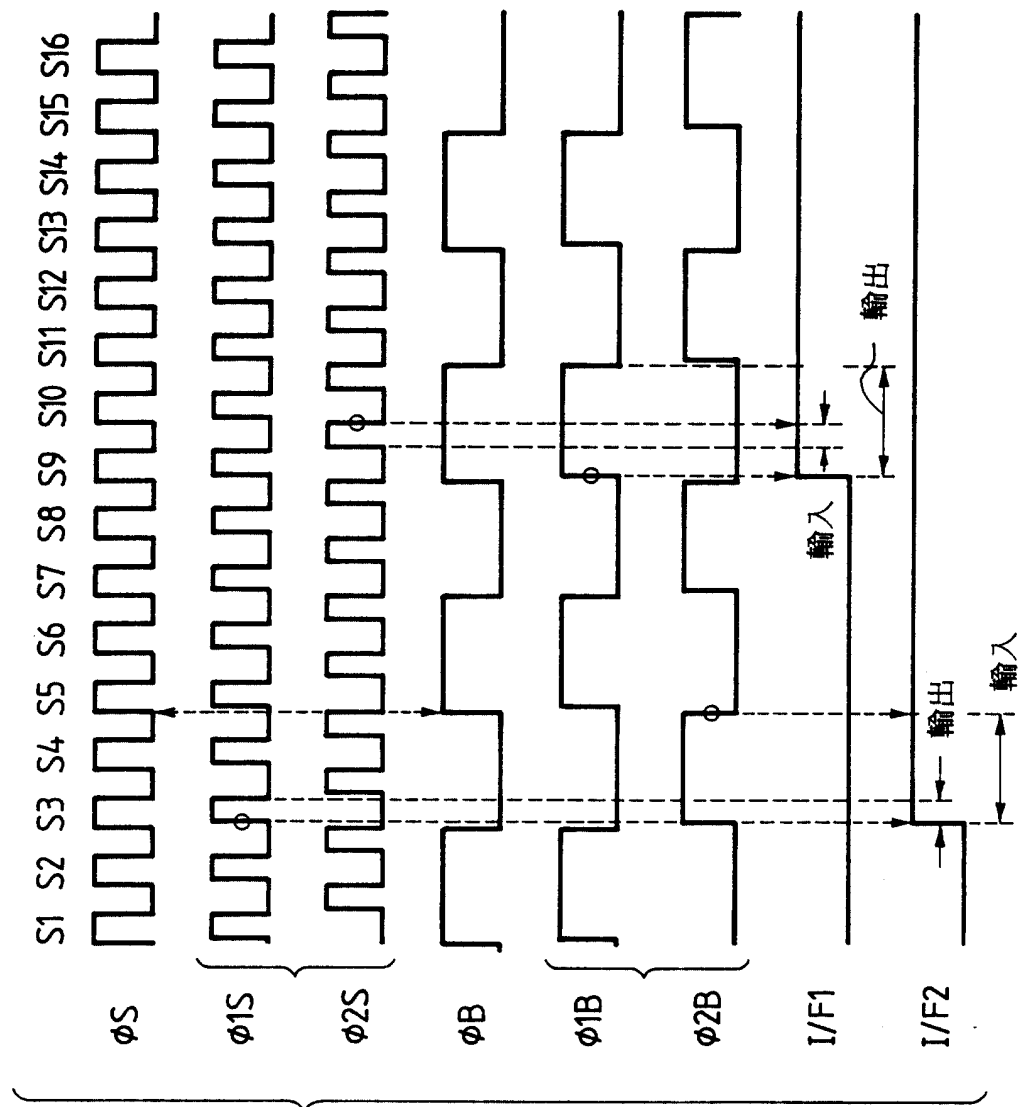




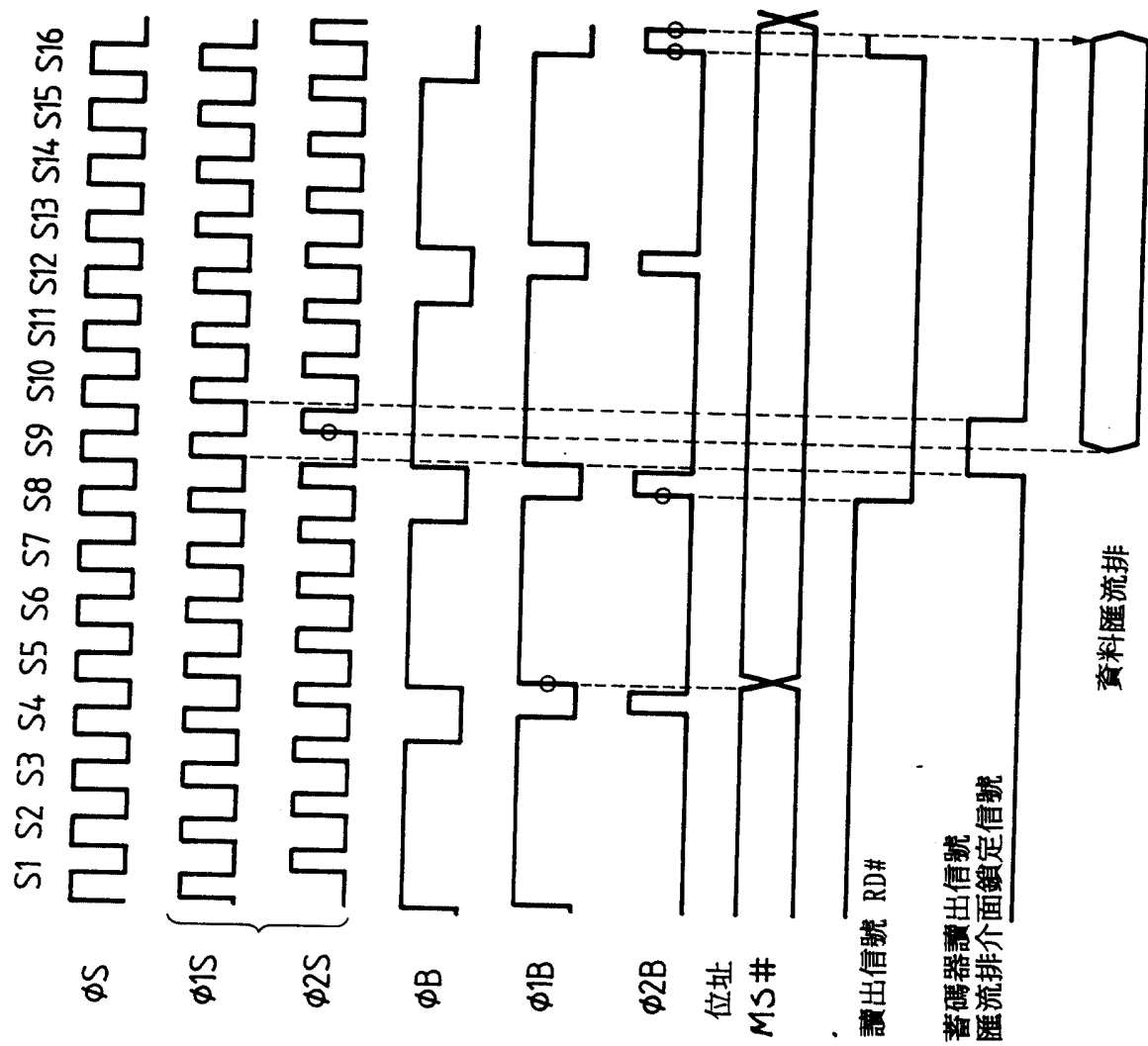
第20圖

第22圖

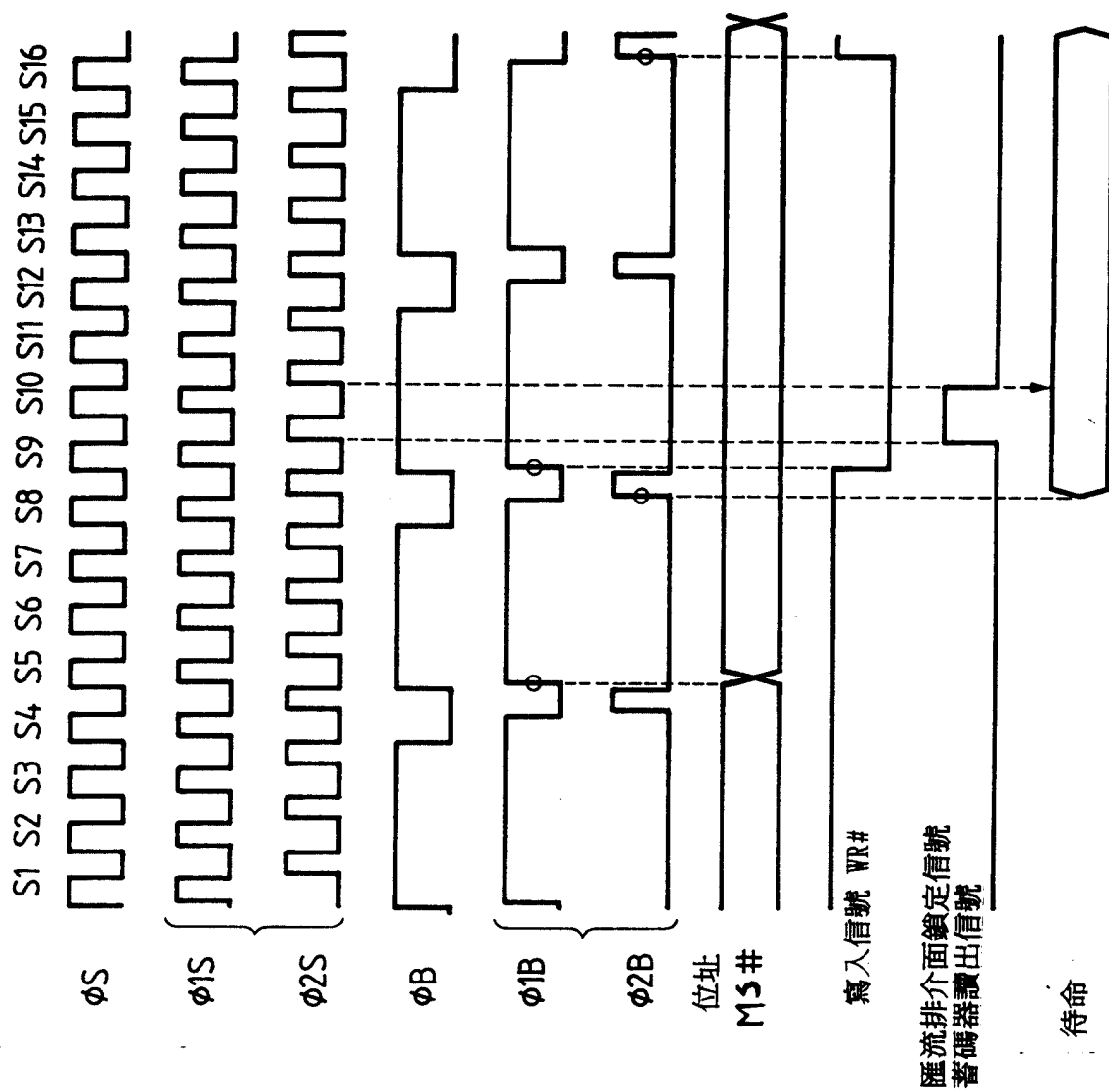




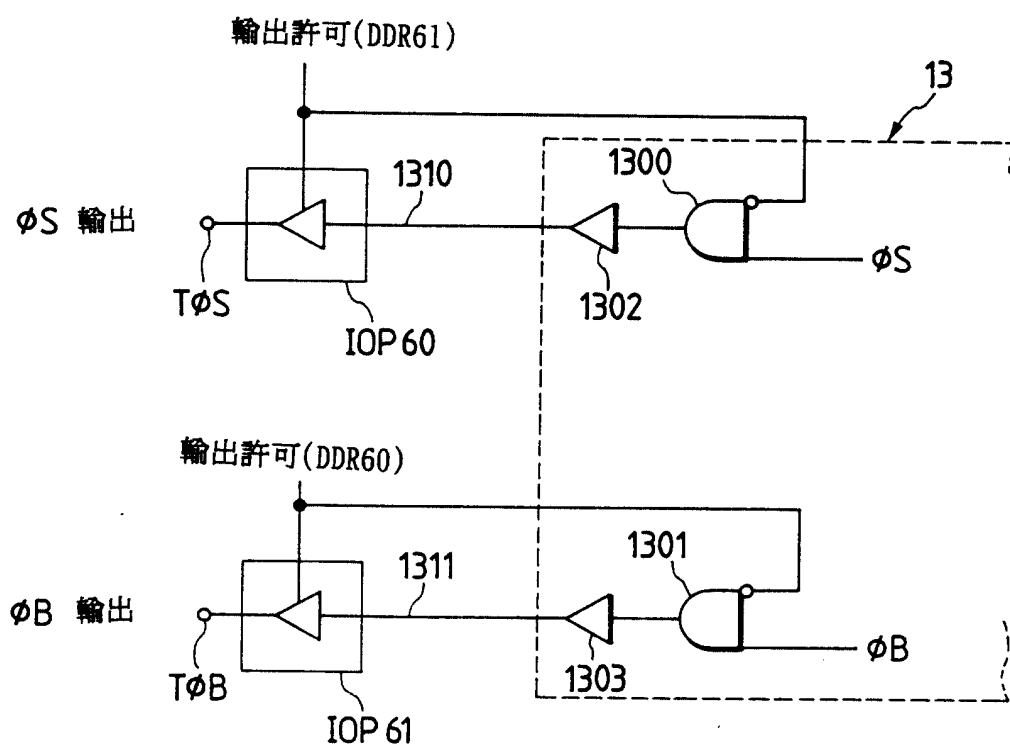
第23圖

[illegible]

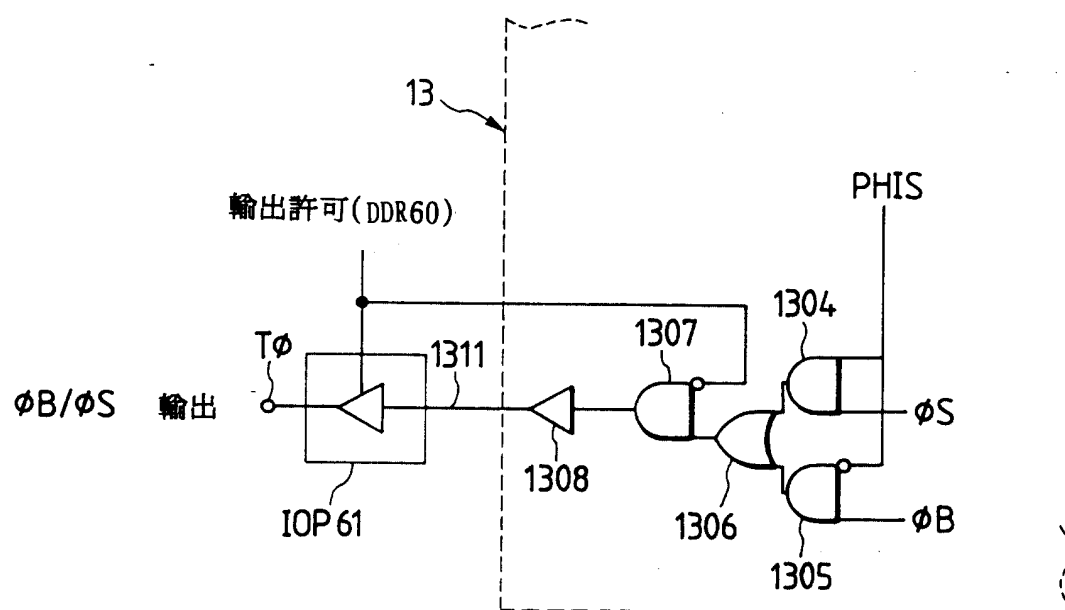
第25圖



第26圖



第27圖



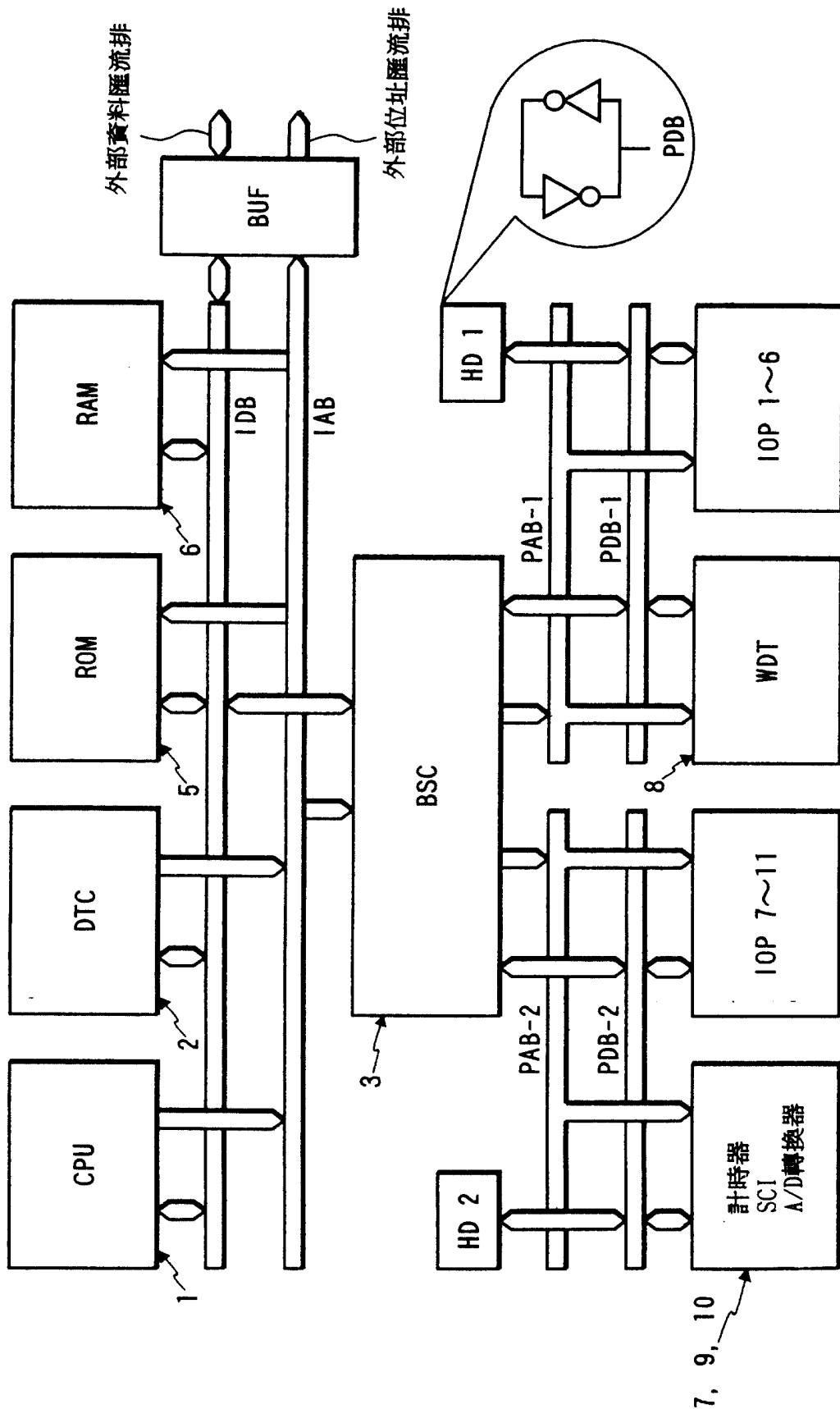
第28圖(A)

位元 :	7	6	5	4	3	2	1	0
	SSBY	-	-	-	PHIS	MSME	CKS 1	CKS 0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	-	-	-	R/W	R/W	R/W	R/W

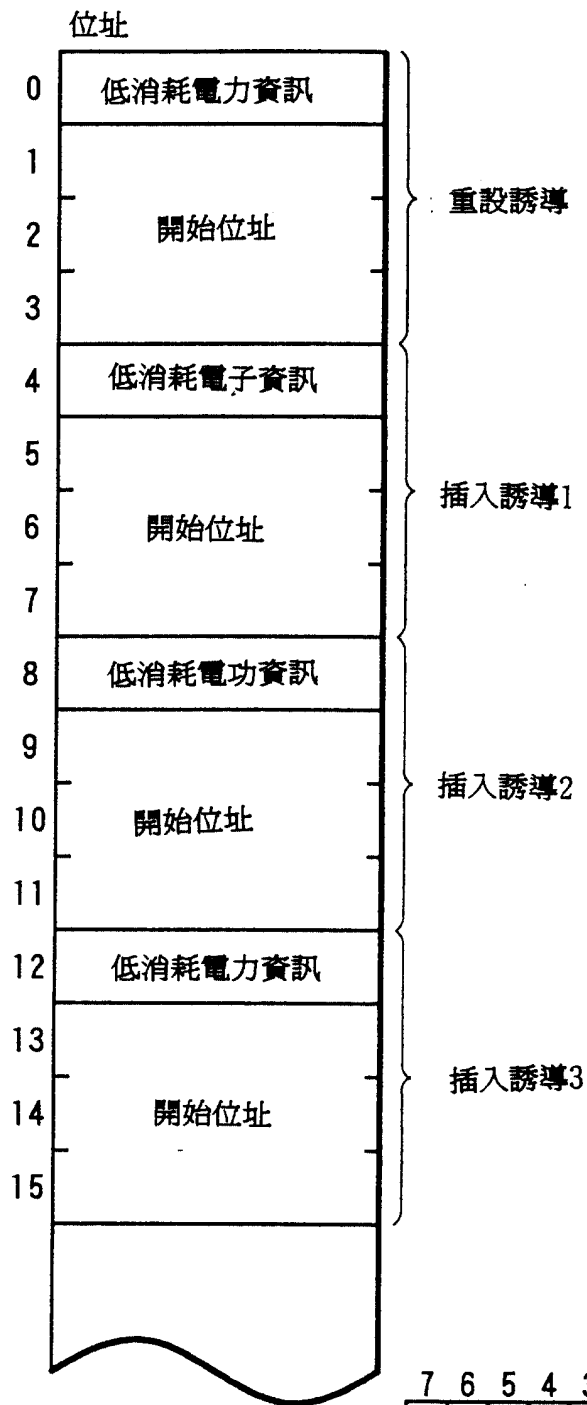
第28圖(B)

位元3	説明
PHIS	
0	從 ϕ 端子輸出 ϕ S(初期値)
1	從 ϕ 端子輸出 ϕ B

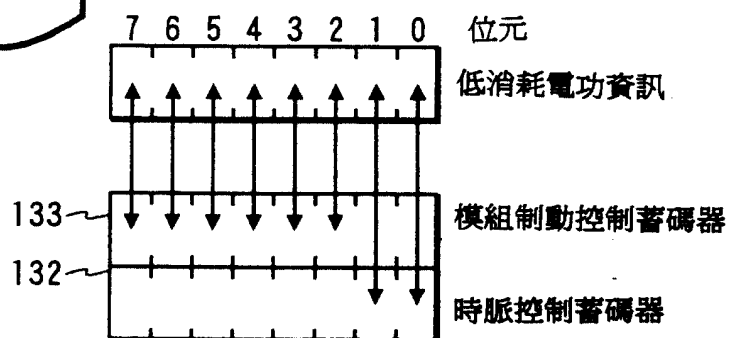
第29圖



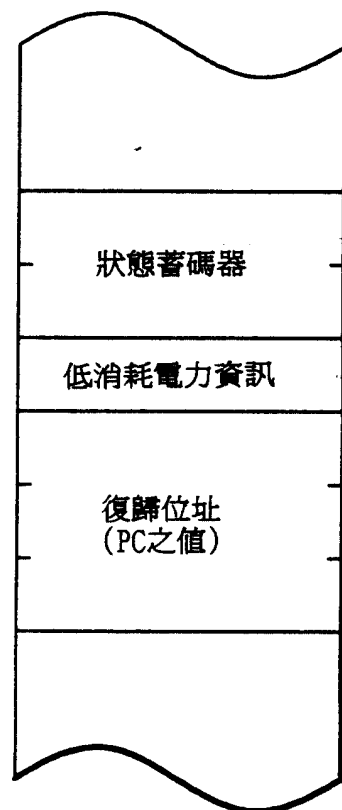
第30圖 (A)



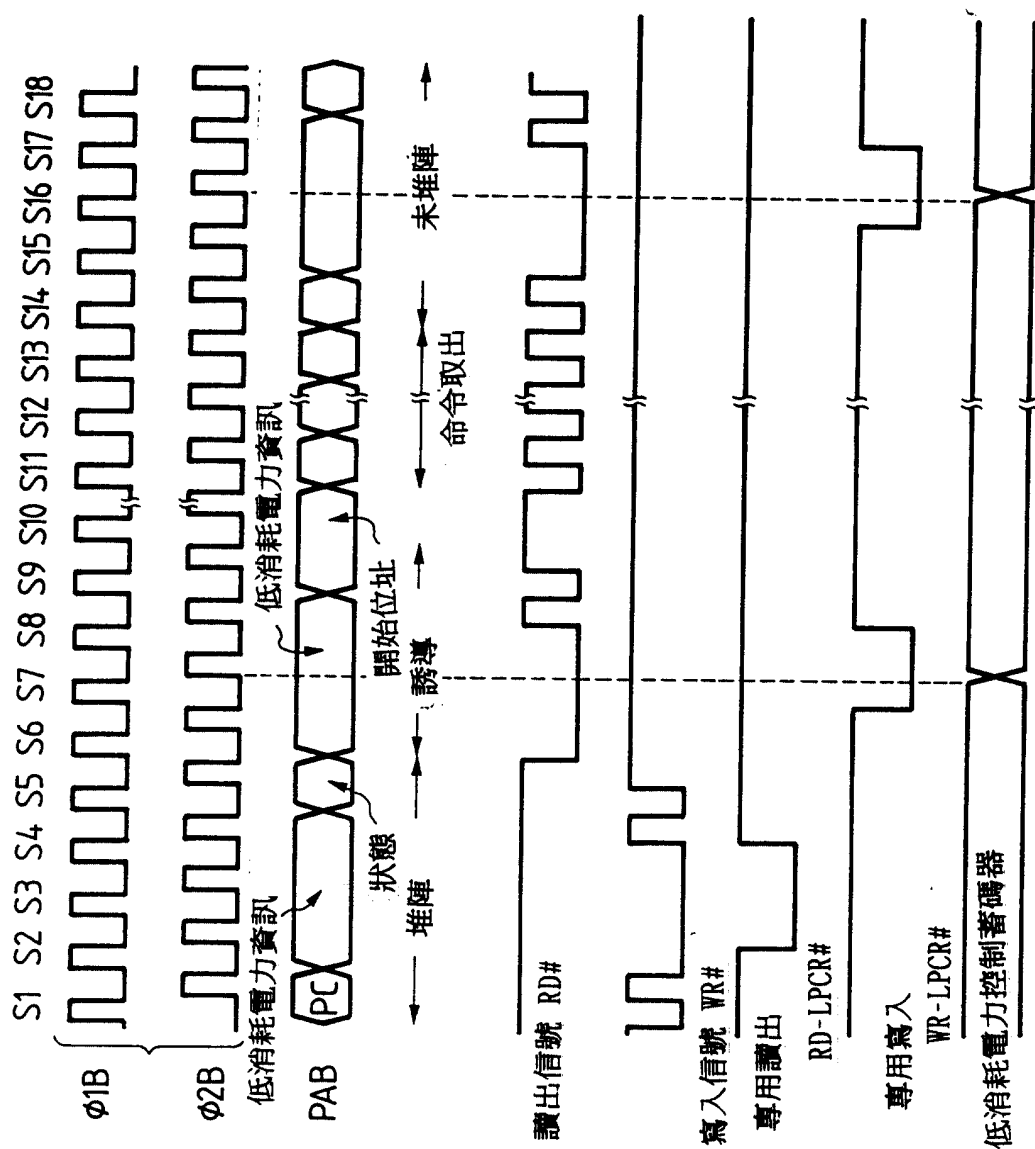
第30圖 (B)



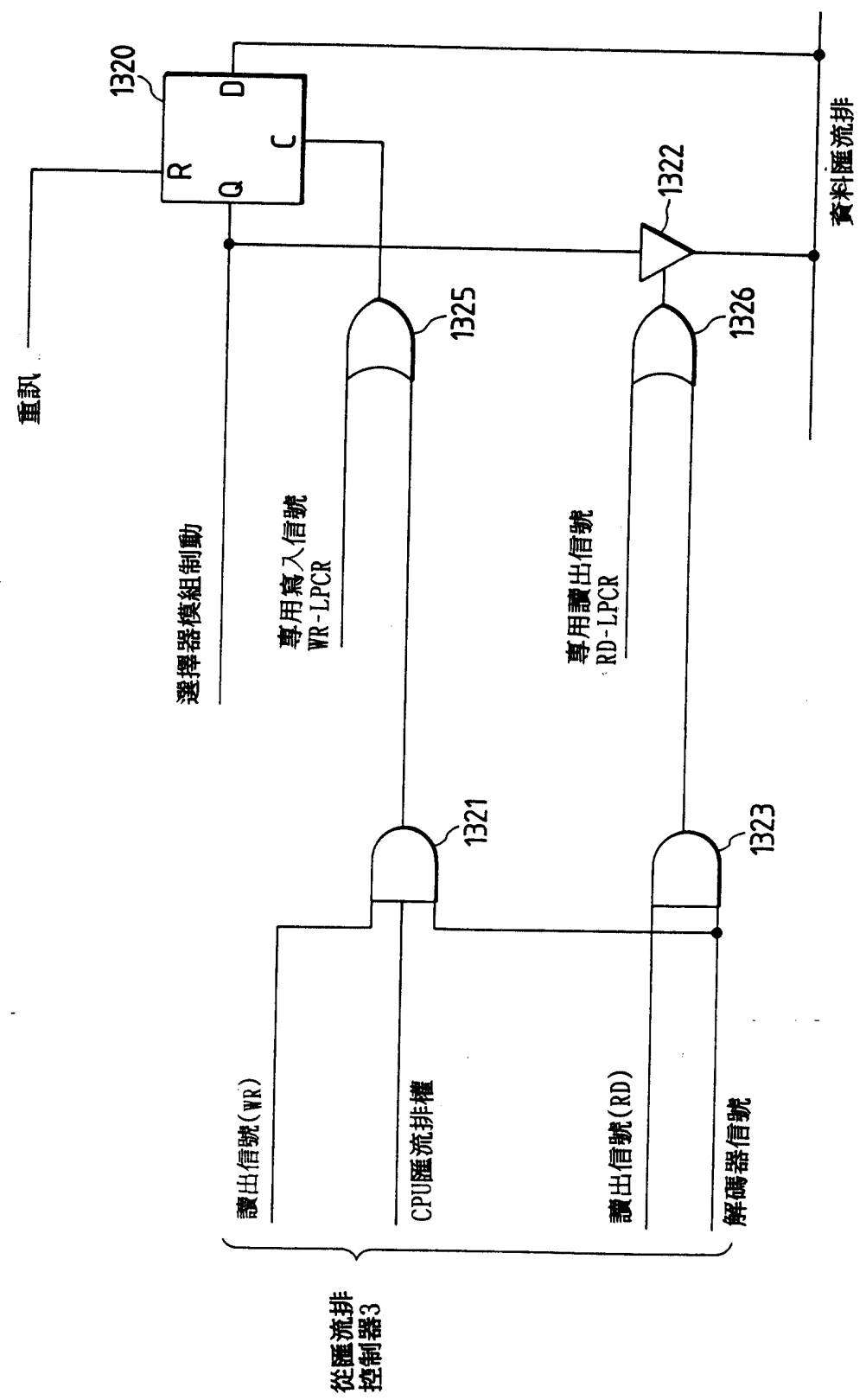
第30圖 (C)



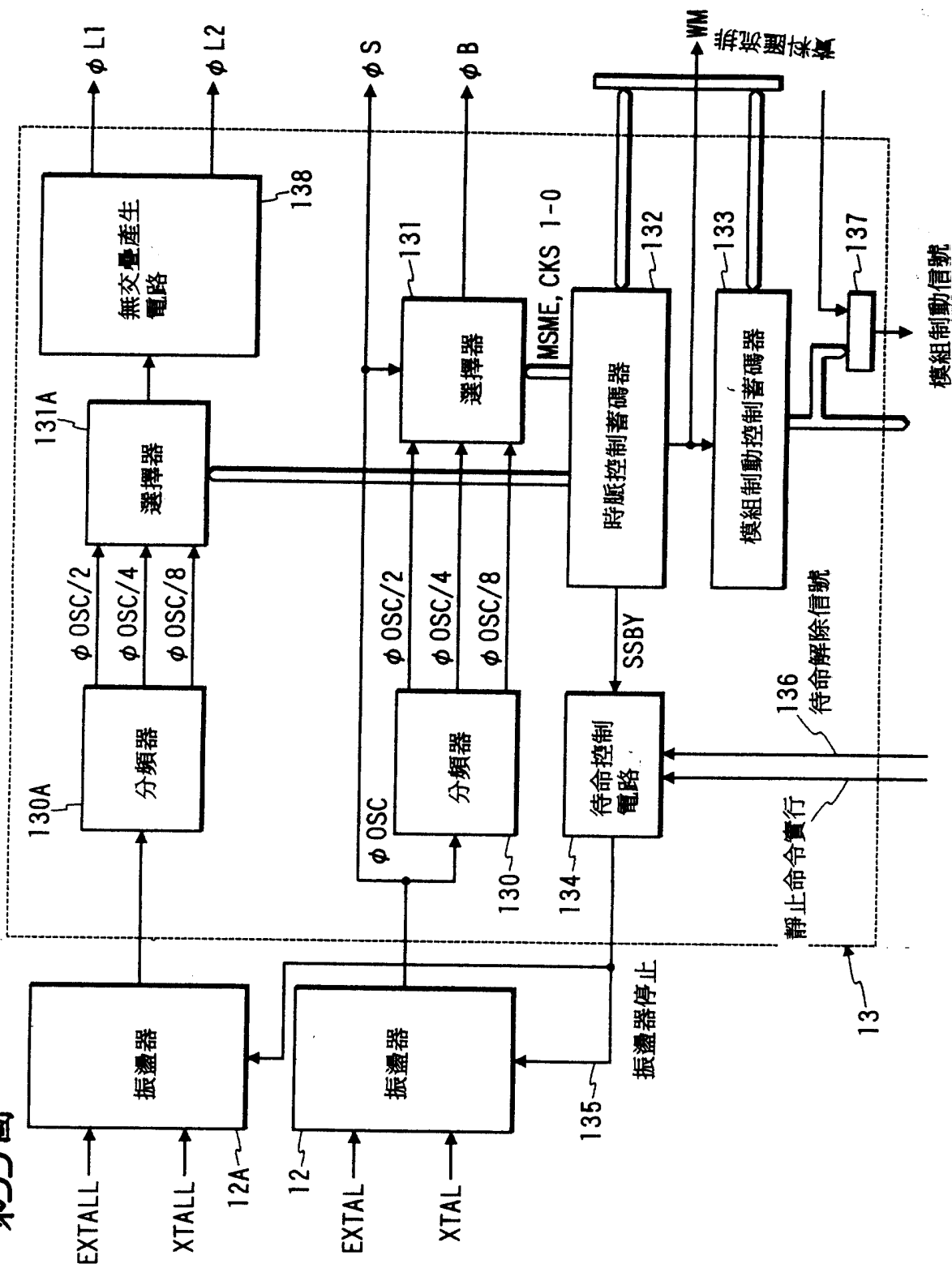
第31圖



第32圖

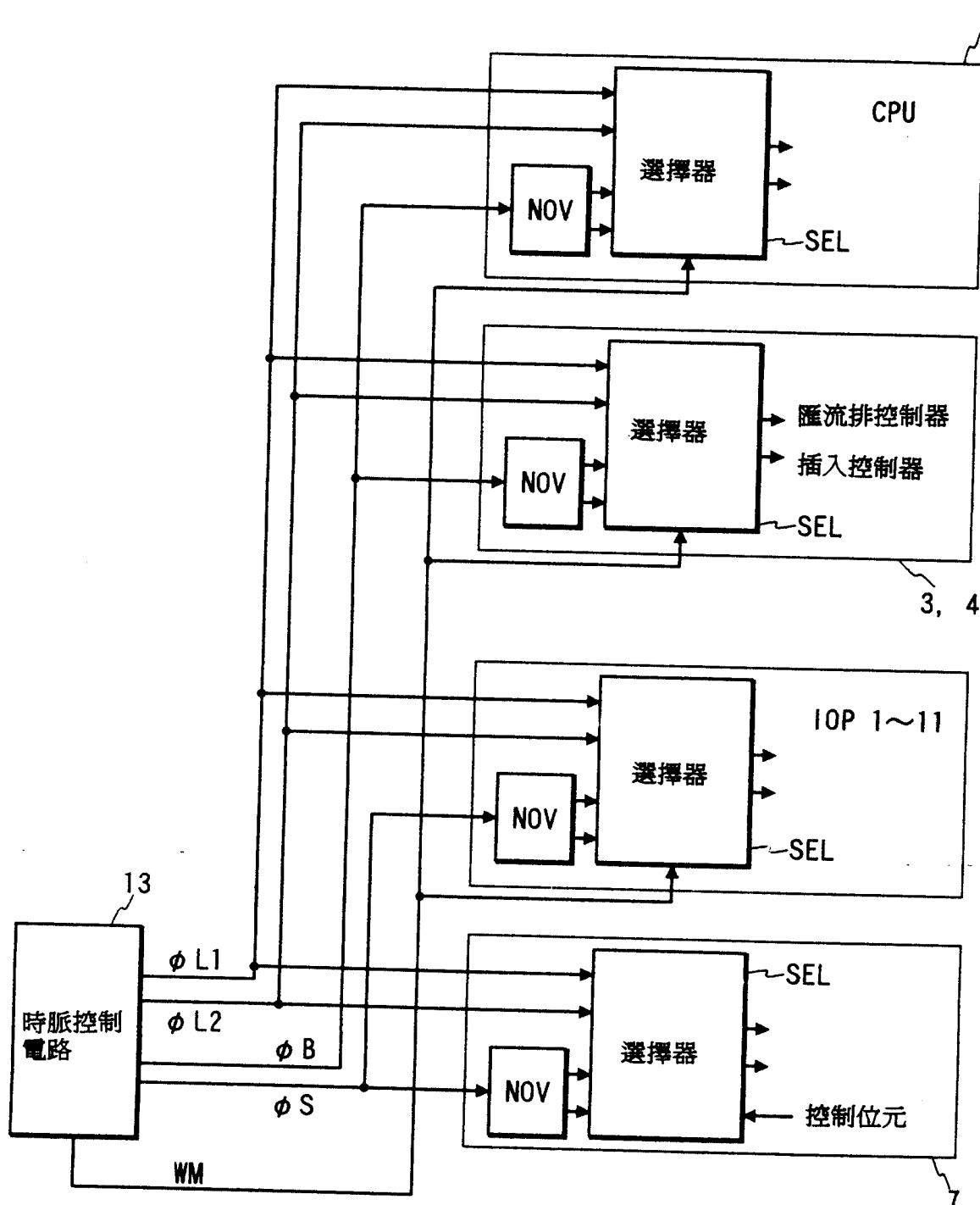


第33圖



308657

第34圖



六、申請專利範圍

附件二：

第 84111253 號 專利 申請 案

中文 申請 專利 範圍 修正 本

民國 85 年 7 月 修正

1. 一種半導體積體電路，包含：

隨著所被供給的系統時脈信號而動作的第 1 機能組塊

；及

隨著所被供給的系統時脈信號，而分別動作的複數個
第 2 機能組塊；及

具有將根據所定的時脈信號而被形成的處所之第 2 周
波數之第 2 系統時脈信號，共通的供給至上述複數個第 2
機能組塊之第 2 時脈信號配線；及

由於該分頻比為含有可變的時脈形成電路而分頻上述
所定的時脈信號，因而形成第 1 系統時脈信號之時脈控制
電路；及

將上述第 1 系統時脈信號供給至上述第 1 機能組塊之
第 1 時脈信號配線。

2. 如申請專利範圍第 1 項之半導體積體電路，其中
進而具有被結合在上述第 1 機能組塊與上述第 2 機能組塊
之匯流排，並且上述第 1 機能組塊具有作為主匯流排而動
作的機能。

3. 如申請專利範圍第 2 項之半導體積體電路，其中
上述第 2 機能組塊具有作為輔匯流排而動作的機能。

4. 如申請專利範圍第 3 項之半導體積體電路，其中

(請先閱讀背面之注意事項再填寫本頁)

第

訂

煩請委員明示本案是否變更實質內容

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

上述時脈控制電路具有保持爲了決定上述分頻比的資訊之蓄碼器手段，並且輸至上述蓄碼器手段的資訊，由於上述第 1 機能組塊而被設定。

5. 如申請專利範圍第 3 項之半導體積體電路，其中上述匯流排具有連接上述第 1 機能組塊的第 1 內部資料匯流排、及連接上述第 2 機能組塊的第 2 內部資料匯流排；

上述半導體積體電路，進而含有因應對於以上述主匯流排的上述輔匯流排之選取，而將上述第 1 內部資料匯流排連接至第 2 內部資料匯流排之匯流排控制器。

6. 如申請專利範圍第 5 項之半導體積體電路，其中進而含有，被連接在上述第 2 內部資料匯流排，上述第 2 機能組塊的輸出爲高阻抗狀態時，保持上述第 2 內部資料匯流排的狀態，並且上述第 2 機能組塊實行讀出或是寫入動作時，容許隨著讀出匯流排的資料或是寫入匯流排的資料而變化之吸持電路。

7. 如申請專利範圍第 3 項之半導體積體電路，其中上述第 1 機能組塊具有，以上述第 1 系統時脈信號形成相互無交疊的第 1 的 2 相時脈信號之無交疊信號形成電路，

上述第 2 機能組塊具有，以上述第 2 系統時脈信號形成相互無交疊的第 2 的 2 相時脈信號之無交疊信號形成電路，

其中上述第 1 的 2 相時脈信號，與上述第 2 的 2 相時脈信號，部分的位相爲一致，並且同步於該位相爲一致的時間，而變化被供給至上述第 1 機能組塊之信號。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

六、申請專利範圍

8. 如申請專利範圍第3項之半導體積體電路，其中上述第1機能組塊具有，以上述第1系統時脈信號形成相互無交疊的第1的2相時脈信號之無交疊信號形成電路，

上述第2機能組塊具有，以上述第2系統時脈信號形成相互無交疊的第2的2相時脈信號之無交疊信號形成電路，

其中上述第1的2相時脈信號當中一方的時脈信號之低準位期間，與上述第2的2相時脈信號中一方的時脈信號之低準位期間一致；上述的第1的2相時脈信號當中他方的時脈信號之高準位期間，與上述第2的2相時脈信號當中他方時脈信號之高準位期間一致。

9. 如申請專利範圍第3項之半導體積體電路，其中含有：

外部端子；及

被結合在上述外部端子與時脈信號配線之間，將時脈信號配線上的時脈信號，選擇性的輸出至上述外部端子之輸出電路；及

接受上述第1系統時脈信號，與上述第2系統時脈信號，並且從上述外部端子輸出上述第1系統時脈信號，或是第2系統時脈信號時，供給上述第1系統時脈信號，或是第2系統時脈信號至上述時脈信號配線；上述輸出電路未輸出時脈信號至上述外部端子時，將上述時脈信號配線固定至所定的電位之邏輯電路。

10. 一種半導體積體電路係為包括含有接受所定的

(請先閱讀背面之注意事項再填寫本頁)

表

訂

六、申請專利範圍

時脈信號而形成複數相位的內部時脈信號之時脈形成電路，並且隨著所被形成的內部時脈信號而動作之處所的複數個機能組塊；及

對於上述複數個機能組塊而共通的被設置，並且保持各個對應於各機能組塊的控制資訊之蓄碼器手段，

其中上述時脈形成電路含有隨著所對應的控制資訊，而選擇性的禁止上述內部時脈信號的形成，並且輸出所定狀態的信號之控制電路。

1 1 . 如申請專利範圍第 1 0 項之半導體積體電路，其中上述機能組塊，進而具有應答對於該機能組塊的選擇，而以上述複數相位的內部時脈信號，形成內部時間信號之電，該電路含有應答對於該機能組塊之非選擇，而將上述內部時間信號限制在所定的狀態之控制電路。

1 2 . 如申請專利範圍第 1 1 項之半導體積體電路，其中上述內部時間信號係為相互無交疊的 2 相之時間信號，

上述機能組塊含有以上述 2 相的時間信號當中一方的時間信號而動態的動作之時間電路、及與上述時間電路串聯的連接，並且以上述 2 相的時間信號當中他方的時間信號而靜態的動作之靜態電路。

1 3 . 一種半導體積體電路含有，隨著第 1 系統時脈信號而實行第 1 處理與例外處理之第 1 機能組塊；及

檢出事像的產生，並且對於上述第 1 機能組塊，輸出要求實行例外處理的要求信號之事像檢出電路；及

六、申請專利範圍

產生事像的第2機能組塊；及

變更上述第1系統時脈信號的周波數之控制電路，應答上述要求信號，將上述第1系統時脈信號變更成所定的周波數之控制電路。

14. 如申請專利範圍第13項之半導體積體電路，其中上述控制電路包括具有第1記憶區域與第2記憶區域的蓄碼器手段；及

含有上述所定的周波數，接受相異周波數的複數個時脈，上述蓄碼器手段內的第1記憶區域成為第1狀態時，輸出上述所定的周波數之時脈信號，作為上述第1系統時脈信號，上述蓄碼器手段內的第1記憶區域成為第2狀態時，隨著被保持上述第2記憶區域的資訊，而輸出上述複數個時脈信號當中的1個，作為上述第1系統時脈信號之選擇器。

15. 如申請專利範圍第14項之半導體積體電路，其中上述第1機能組塊，係為應答上述例外處理完了後，輸出完了信號之資料傳送控制器，以上述完了信號，上述蓄碼器當中的第1記憶區域被設定至上述第2狀態。

16. 如申請專利範圍第14項之半導體積體電路，其中上述第1機能組塊係應答於上述例外處理的終了，而來輸出終了信號之資料傳送控制器，根據上述終了信號，上述蓄碼器內之第1記憶區域被設定至上述第2狀態。

17. 如申請專利範圍第13項之半導體積體電路，上述第2機能組塊，具有從含有所定周波數的第2系統時

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

脈信號形成爲了使其動作該第2機能組塊的內部時脈信號之時脈形成電路，

上述半導體積體電路，進而具有保持爲了控制以上述時脈形成電路其內部時脈信號的形成之控制資訊的第2蓄碼器手段，該第2蓄碼器手段，應答從上述事像檢出電路的檢出輸出而設定禁止以上述時脈形成電路其內部時脈信號的形成。

18. 如申請專利範圍第13項之半導體積體電路，上述事像檢出電路，係爲隨著上述第1系統時脈信號而動作。

19. 一種半導體積體電路包含有爲了應答例外處理的要求，因而從對應該例外處理的向量區域投入資訊，並且隨著第1系統時脈信號而動作之中央處理裝置；及

檢出事像的產生，輸出例外處理的要求至上述中央處理裝置之第1蓄碼器手段；及

具有接受第2系統時脈信號，且形成內部時脈信號的時脈信號形成電路，隨著所被形成的內部時脈信號而動作之周邊電路；及

保持控制以上述周邊電路內的時脈信號形成電路其內部時脈信號的形成之資訊的第2蓄碼器手段；

其中例外處理的要求時，被設定在上述第1蓄碼器手段及上述第2蓄碼器手段之資訊，係被保持在上述之向量區域與形成成對的區域，例外處理被要求時，從上述向量區域與形成成對的區域上述資訊被設定在上述第1蓄碼器

六、申請專利範圍

手段及第 2 蓄碼器手段。

20. 如申請專利範圍第 19 項之半導體積體電路，其中上述中央處理裝置，從上述向量區域與形成成對的區域將上述資訊，在設定至上述第 1 蓄碼器手段及第 2 蓄碼器手段之前，將被保持在上述第 1 蓄碼器手段及第 2 蓄碼器手段之資訊退避至堆積儲存。

21. 如申請專利範圍第 19 項之半導體積體電路，其中上述事項檢出，電路隨著上述第 1 系統時脈信號而動作。

22. 一種具有隨著系統時脈信號而動作之複數之機能組塊之半導體積體電路含有形成時脈信號之時脈信號形成電路；及

以比第 1 分頻比還大的分頻比分頻上述時脈信號，並且將所被形成的第 1 時脈信號，介由時脈信號配線，而供給至上述複數個機能組塊內的複數個機能組塊的處所之共通分頻電路；

其中上述複數個機能組塊內的所定的機能組塊，含有以比上述第 1 分頻比還小的分頻比，分頻上述時脈信號之分頻電路。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂